

### 特長

デュアル・モード傾斜計システム

2軸、水平測定モード、 $\pm 90^\circ$

1軸、垂直測定モード、 $\pm 180^\circ$

高精度： $0.1^\circ$

デジタル傾斜データの分解能： $0.025^\circ$

デジタル加速度データの分解能： $0.244 \text{ mg}$

加速度測定範囲： $\pm 1.7 \text{ g}$

デジタル温度センサー出力

デジタル制御バイアス校正

デジタル制御サンプル・レート

デジタル制御周波数応答

レート/スレッシュホールド制限付きデュアル警告設定

補助デジタル I/O

デジタル制御セルフテスト

デジタル制御低消費電力モード

SPI 互換シリアル・インターフェース

補助 12 ビット ADC 入力/DAC 出力

単電源動作： $3.0 \sim 3.6 \text{ V}$

$3500 \text{ g}$  衝撃耐性

### アプリケーション

プラットフォームの制御、安定化、およびアライメント

傾斜センシング、傾斜計、レベリング

モーション/位置測定

モニタ/アラーム機器（セキュリティ、医療、安全）

ナビゲーション

### 概要

ADIS16209 は、1軸 ( $\pm 180^\circ$ ) と 2軸 ( $\pm 90^\circ$ ) の動作が可能な高精度デジタル傾斜計です。標準電源電圧 ( $3.3 \text{ V}$ ) と SPI (シリアル・ペリフェラル・インタフェース) により、ほとんどの産業用システム設計に簡単に統合できます。シンプルな構成の内部レジスタにより、出力データと設定機能のすべてにアクセスできます。アクセスできる出力データには、校正加速度、正確な傾斜角、電源、内部温度、補助アナログ/デジタル入力信号、診断エラー・フラグ、プログラマブルなアラーム条件などが挙げられます。

設定可能な動作パラメータとしては、サンプル・レート、パワーマネジメント、デジタル・フィルタ、補助のアナログ/デジタル出力、オフセット/ゼロ点調整、センサー機構部のセルフ・テストなどがあります。

ADIS16209 は、 $-40 \sim +125^\circ \text{C}$  の温度範囲で動作し、 $9.2 \text{ mm} \times 9.2 \text{ mm} \times 3.9 \text{ mm}$  LGA パッケージを採用しています。標準 RoHS 準拠のリフロー・ハンダ処理で装着できます。

### 機能ブロック図

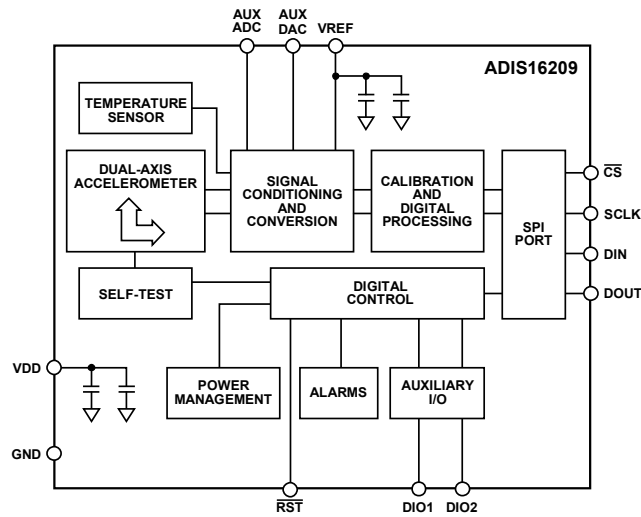


図 1.

## 目次

特長.....	1	ピン配置と機能の説明.....	7
アプリケーション.....	1	推奨パッド・レイアウト.....	7
機能ブロック図.....	1	代表的な性能特性.....	8
概要.....	1	動作原理.....	10
改訂履歴.....	2	基本動作.....	11
仕様.....	3	出力データ・レジスタ.....	12
タイミング仕様.....	5	動作制御レジスタ.....	12
タイミング図.....	5	補正レジスタ.....	14
絶対最大定格.....	6	アラーム・レジスタ.....	14
熱抵抗.....	6	外形寸法.....	16
ESDに関する注意.....	6	オーダー・ガイド.....	16

## 改訂履歴

### 8/09—Rev. A to Rev. B

Changes to Features Section.....	1
Changes to Input Low Voltage, $V_{INL}$ , Parameter, Table 1.....	4
Changes to Figure 18 and Figure 19.....	10
Changes to Table 7, Table 8, and Table 10.....	12
Updated Outline Dimensions.....	16
Changes to Ordering Guide.....	16

### 7/08—Rev. 0 to Rev. A

Changes to Figure 19.....	10
Changes to Table 21.....	15

### 3/08—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{ V}$ 、傾斜 =  $0^\circ$ 。

表 1.

Parameter	Conditions	Min	Typ	Max	Unit
HORIZONTAL INCLINE	Each axis				
Input Range			±90		Degrees
Relative Accuracy	±30° from horizon, AVG_CNT = 0x08		±0.1		Degrees
Sensitivity	±30° from horizon		0.025		%/LSB
VERTICAL ROTATION	Rotational plane within ±30° of vertical				
Input Range		-180		+180	Degrees
Relative Accuracy	360° of rotation		±0.25		Degrees
Sensitivity	-40°C to +85°C		0.025		%/LSB
ACCELEROMETER	Each axis				
Input Range <sup>1</sup>	25°C	±1.7			g
Nonlinearity <sup>1</sup>	Percentage of full scale		±0.1	±0.2	%
Alignment Error	X sensor to Y sensor		±0.1		Degrees
Cross Axis Sensitivity			±2		%
Sensitivity	-40°C to +85°C, VDD = 3.0 V to 3.6 V	0.243	0.244	0.245	mg/LSB
ACCELEROMETER NOISE PERFORMANCE					
Output Noise	AVG_CNT = 0x00		1.7		mg rms
Noise Density	AVG_CNT = 0x00		0.19		mg/√Hz rms
ACCELEROMETER FREQUENCY RESPONSE					
Sensor Bandwidth			50		Hz
Sensor Resonant Frequency			5.5		kHz
ACCELEROMETER SELF-TEST STATE <sup>2</sup>					
Output Change When Active	At 25°C	706	1343	1973	LSB
TEMPERATURE SENSOR					
Output at 25°C			1278		LSB
Scale Factor			-0.47		°C/LSB
ADC INPUT					
Resolution			12		Bits
Integral Nonlinearity (INL)			±2		LSB
Differential Nonlinearity (DNL)			±1		LSB
Offset Error			±4		LSB
Gain Error			±2		LSB
Input Range		0		2.5	V
Input Capacitance	During acquisition		20		pF
ON-CHIP VOLTAGE REFERENCE					
Accuracy	At 25°C	-10		+10	mV
Reference Temperature Coefficient			±40		ppm/°C
Output Impedance			70		Ω
DAC OUTPUT	5 kΩ/100 pF to GND				
Resolution			12		Bits
Relative Accuracy	For Code 101 to Code 4095		4		LSB
Differential Nonlinearity			1		LSB
Offset Error			±5		mV
Gain Error			±0.5		%
Output Range			0 to 2.5		V
Output Impedance			2		Ω
Output Settling Time			10		μs

Parameter	Conditions	Min	Typ	Max	Unit
<b>LOGIC INPUTS</b>					
Input High Voltage, $V_{INH}$		2.0			V
Input Low Voltage, $V_{INL}$				0.8	V
Logic 1 Input High Current, $I_{INH}$	$V_{IH} = 3.3\text{ V}$		$\pm 0.2$	$\pm 10$	$\mu\text{A}$
Logic 0 Input Low Current, $I_{INL}$	$V_{IL} = 0\text{ V}$				
All Except $\overline{\text{RST}}$			-40	-60	$\mu\text{A}$
$\overline{\text{RST}}^3$			-1		$\text{mA}$
Input Capacitance, $C_{IN}$			10		$\text{pF}$
<b>DIGITAL OUTPUTS</b>					
Output High Voltage, $V_{OH}$	$I_{SOURCE} = 1.6\text{ mA}$	2.4			V
Output Low Voltage, $V_{OL}$	$I_{SINK} = 1.6\text{ mA}$			0.4	V
<b>SLEEP TIMER</b>					
Timeout Period <sup>4</sup>		0.5		128	Seconds
<b>START-UP TIME<sup>5</sup></b>					
Power-On	Time until data is available				
	Fast mode, $\text{SMPL\_PRD} \leq 0x07$		150		ms
	Normal mode, $\text{SMPL\_PRD} \geq 0x08$		190		ms
Reset Recovery	Fast mode, $\text{SMPL\_PRD} \leq 0x07$		30		ms
	Normal mode, $\text{SMPL\_PRD} \geq 0x08$		70		ms
Sleep Mode Recovery			2.5		ms
<b>FLASH MEMORY</b>					
Endurance <sup>6</sup>		20,000			Cycles
Data Retention <sup>7</sup>	$T_J = 85^\circ\text{C}$	20			Years
<b>CONVERSION RATE SETTING</b>					
		1.04		2731	SPS
<b>POWER SUPPLY</b>					
Operating Voltage Range		3.0	3.3	3.6	V
Power Supply Current	Normal mode, $\text{SMPL\_PRD} \geq 0x08$		11	14	$\text{mA}$
	Fast mode, $\text{SMPL\_PRD} \leq 0x07$		36	42	$\text{mA}$
	Sleep mode, $-40^\circ\text{C}$ to $+85^\circ\text{C}$		140	350	$\mu\text{A}$

<sup>1</sup> iMEMS®パッケージ・デバイスのテスト、設計、特性評価により保証しています。

<sup>2</sup> セルフテスト応答はVDDの2乗に比例して変化します。

<sup>3</sup>  $\overline{\text{RST}}$  ピンは内部プルアップを備えています。

<sup>4</sup> 設計により保証されています。

<sup>5</sup> ここに記載する時間には、50 Hz単極システムに関連するセンサーの過渡応答時間は含まれていません。正確な測定値を取得できるようになるまでどれだけ時間がかかるかを考慮して、システム精度の目標値を検討する必要があります。記載されている時間には、環境温度等による熱安定状態に達するまでの時間は含まれていません。

<sup>6</sup> 耐久性はJEDEC規格 22 Method A117 に準拠し、 $-40^\circ\text{C}$ 、 $+25^\circ\text{C}$ 、 $+85^\circ\text{C}$ 、 $+125^\circ\text{C}$ の温度条件で測定しています。

<sup>7</sup> JEDEC規格 22 Method A117 に準拠し、ジャンクション温度 ( $T_J$ ) =  $55^\circ\text{C}$ 時の等価データ保持寿命期間です。データ保持寿命期間は、ジャンクション温度にともなって短くなります。

### タイミング仕様

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{ V}$ 、傾斜 =  $0^\circ$ 。

表 2.

Parameter	Description	Min <sup>1</sup>	Typ	Max	Unit
$f_{\text{SCLK}}$	Fast mode, $\text{SMPL\_PRD} \leq 0x07$ ( $f_s \geq 546\text{ Hz}$ ) <sup>2</sup> Normal mode, $\text{SMPL\_PRD} \geq 0x08$ ( $f_s \leq 482\text{ Hz}$ ) <sup>2</sup>	0.01		2.5	MHz
$t_{\text{Datarate}}$	Chip select period, fast mode, $\text{SMPL\_PRD} \leq 0x07$ ( $f_s \geq 546\text{ Hz}$ ) <sup>2</sup> Chip select period, normal mode, $\text{SMPL\_PRD} \geq 0x08$ ( $f_s \leq 482\text{ Hz}$ ) <sup>2</sup>	40		100	$\mu\text{s}$
$t_{\text{CS}}$	Chip select to clock edge	48.8			ns
$t_{\text{DAV}}$	Data output valid after SCLK edge			100	ns
$t_{\text{DSU}}$	Data input setup time before SCLK rising edge	24.4			ns
$t_{\text{DHD}}$	Data input hold time after SCLK rising edge	48.8			ns
$t_{\text{DF}}$	Data output fall time		5	12.5	ns
$t_{\text{DR}}$	Data output rise time		5	12.5	ns
$t_{\text{SFS}}$	CS high after SCLK edge	5			ns

<sup>1</sup> これらの仕様についてはテストを行っていません。設計保証です。  
<sup>2</sup>  $f_s$  はSMPL\_PRDレジスタで定義される内部サンプル・レートを意味します。

### タイミング図

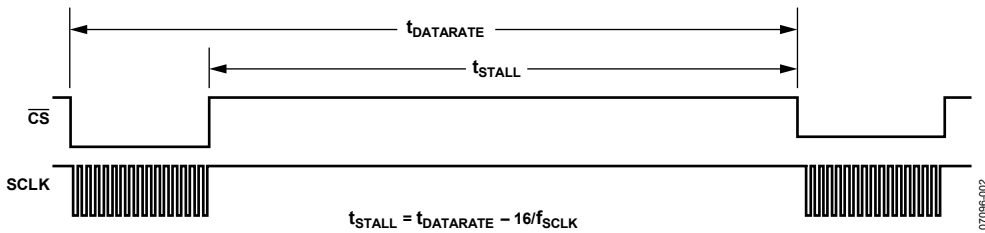


図 2. SPI チップ・セレクト・タイミング

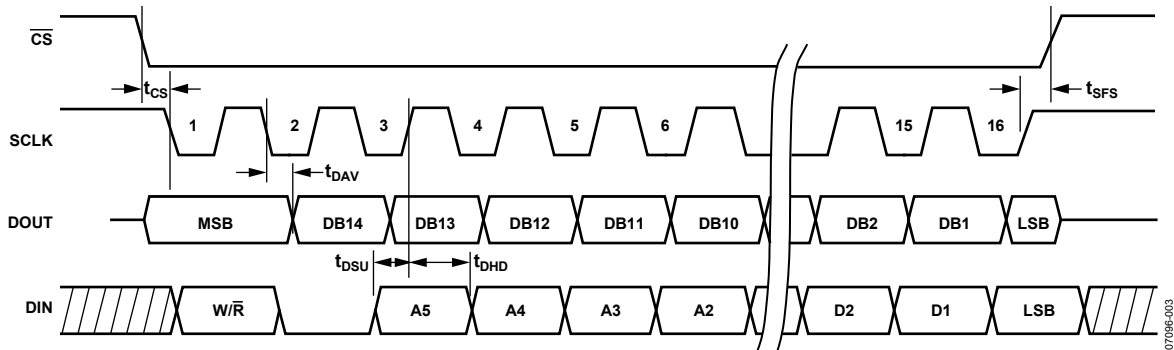


図 3. SPI タイミング  
(フェーズ = 1、極性 = 1 の代表的な SPI 設定を使用)

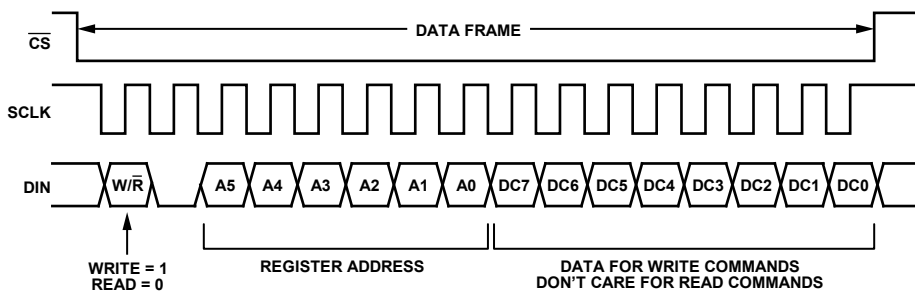


図 4. DIN ビット・シーケンス

## 絶対最大定格

表 3.

Parameter	Rating
Acceleration (Any Axis, Unpowered)	3500 g
Acceleration (Any Axis, Powered)	3500 g
VDD to GND	-0.3 V to +7.0 V
Digital Input/Output Voltage to GND	-0.3 V to +5.5 V
Analog Inputs to GND	-0.3 to VDD + 0.3 V
Analog Outputs to GND	-0.3 to VDD + 0.3 V
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

表 4. パッケージ特性

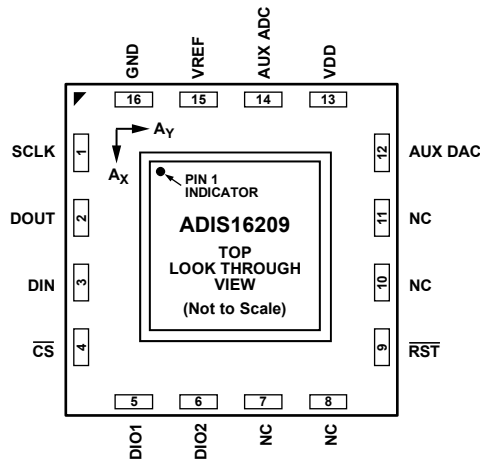
Package Type	$\theta_{JA}$	$\theta_{JC}$	Device Weight
16-Terminal LGA	250°C/W	25°C/W	0.6 g

## ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

## ピン配置と機能の説明



**NOTES**

1. NC = NO CONNECT.
2. THIS IS NOT AN ACTUAL TOP VIEW, BECAUSE THE PINS ARE NOT VISIBLE FROM THE TOP. THIS IS A LAYOUT VIEW THAT REPRESENTS THE PIN CONFIGURATION IF THE PACKAGE IS LOOKED THROUGH FROM THE TOP. THIS CONFIGURATION IS PROVIDED FOR PCB LAYOUT PURPOSES.

07196E-005

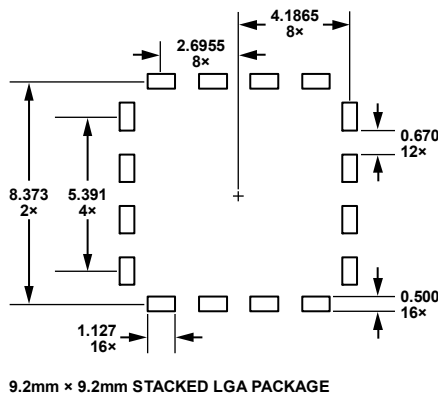
図 5. ピン配置

表 5. ピン機能の説明

ピン番号	記号	タイプ <sup>1</sup>	説明
1	SCLK	I	SPI、シリアル・クロック
2	DOUT	O	SPI、データ出力
3	DIN	I	SPI、データ入力
4	$\overline{CS}$	I	SPI、チップ・セレクト
5, 6	DIO1, DIO2	I/O	デジタル入力/出力ピン
7, 8, 10, 11	NC	N/A	無接続
9	$\overline{RST}$	I	リセット (アクティブ・ロー)
12	AUX DAC	O	補助 DAC 出力
13	VDD	S	電源、3.3 V
14	AUX ADC	I	補助 ADC 入力
15	VREF	O	高精度リファレンス
16	GND	S	グラウンド

<sup>1</sup> S = 電源、O = 出力、I = 入力

## 推奨パッド・レイアウト



9.2mm x 9.2mm STACKED LGA PACKAGE

07196E-005

図 6. パッド・レイアウトの例

代表的な性能特性

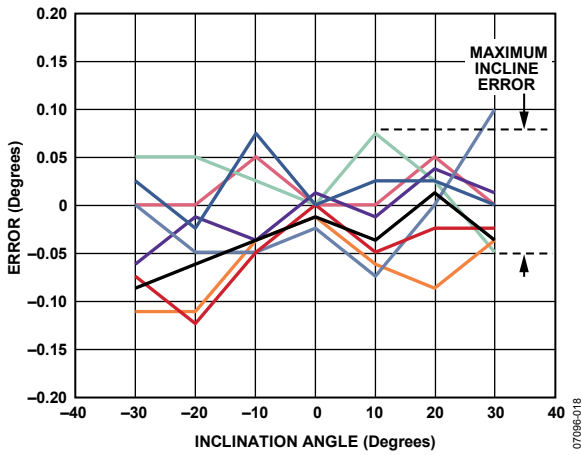


図 7. 水平測定モード時の傾斜誤差 (8 個のデバイス、水平位置で自動ゼロ点調整済、温度一定、3.3 V)

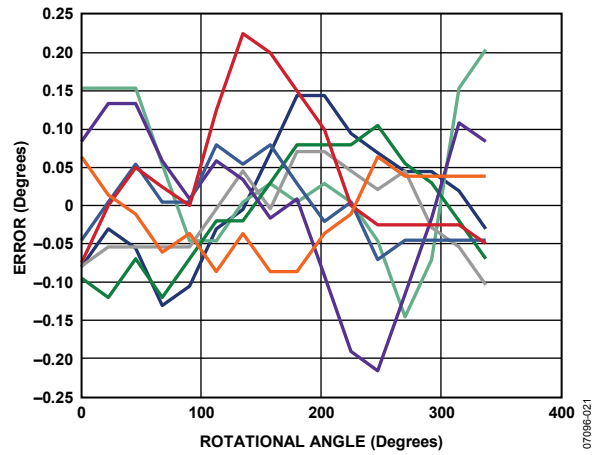


図 10. 垂直測定モード時の回転誤差 (8 個のデバイス、25°C、3.3 V)

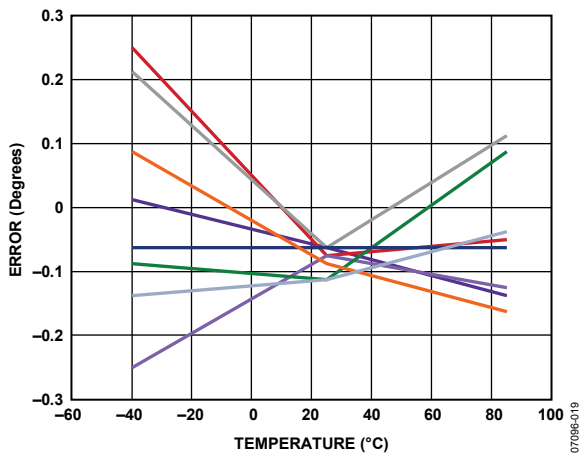


図 8. 水平モード時、動作温度範囲、 $\pm 30^\circ$ での最大傾斜誤差 (8 個のデバイス、水平位置の自動ゼロ点調整済、25°C、3.3 V)

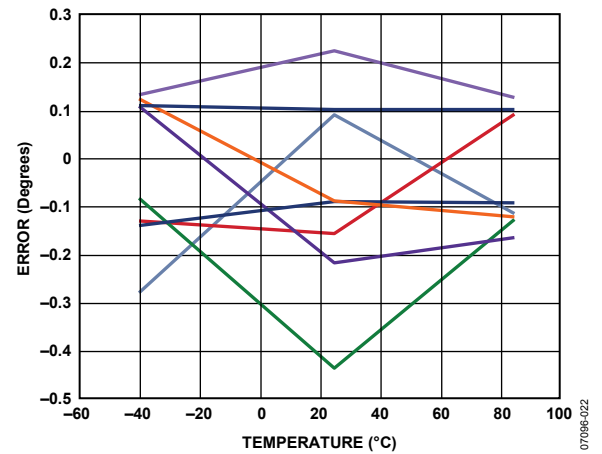


図 11. 垂直測定モード時の回転誤差の温度特性 (8 個のデバイス、 $0^\circ \sim 360^\circ$ 、3.3 V)

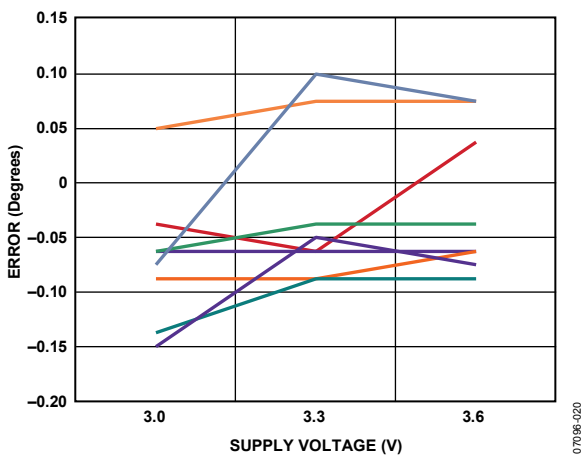


図 9. 水平モード時、動作電源電圧範囲、 $\pm 30^\circ$ での最大傾斜誤差 (8 個のデバイス、水平位置の自動ゼロ点調整済、25°C、3.3 V)

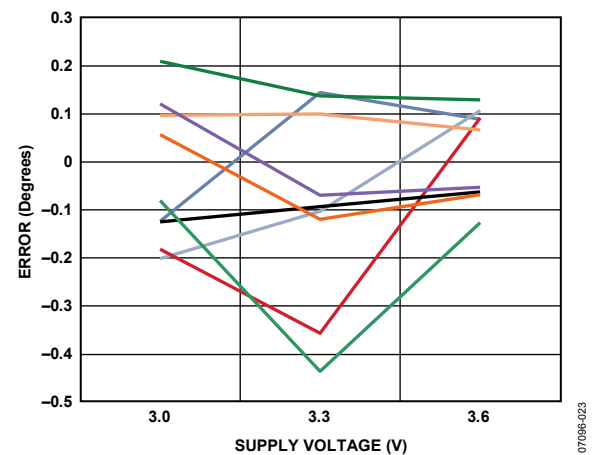


図 12. 垂直測定モード時の電源電圧変化による誤差 (8 個のデバイス、 $0^\circ \sim 360^\circ$ 、25°C)



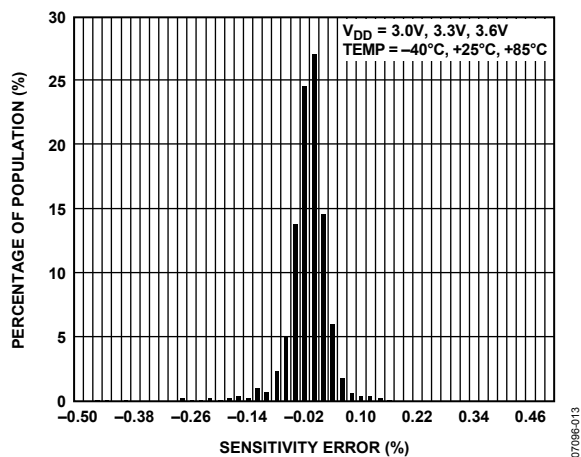


図 13. 加速度センサーの出力感度誤差分布

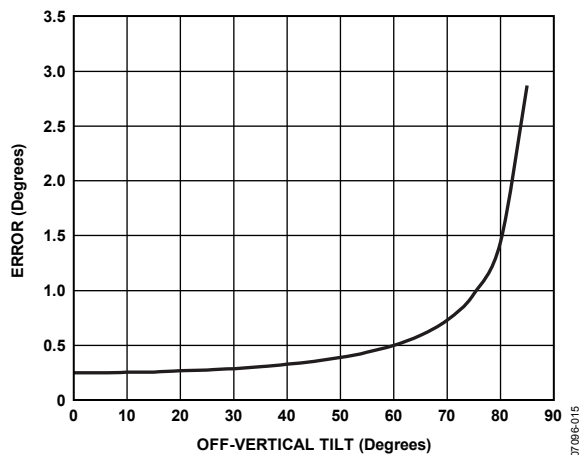


図 15. 垂直モード時、非垂直傾斜 対 傾き誤差 (25°C、3.3 V)

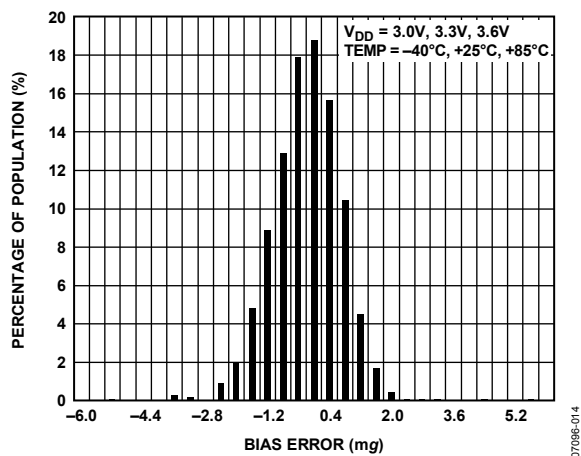


図 14. 加速度センサーの出力バイアス誤差分布

## 動作原理

ADIS16209 傾斜センシング・システムは、重力に対する応答をもつ MEMS 加速度センサーをセンシング素子として使用しています。一般に、MEMS 加速度センサーは、微小なばねによって支えられた構造体を持ち、検出櫛歯構造を固定部との間で形成しております。力が加わった時の可動部の移動量は、そのばね定数によって決まります。この構造は、動的な力や重力などの静的な力に対して反応します。

図 16 と 図 17 は、加速度センサーの重力に対する反応を重力に対する向きという観点から示しています。図 16 は水平測定モード、図 17 は垂直測定モードに対応します。垂直測定モードでは、1 軸構成よりも測定範囲がかなり広がります。ADIS16209 は加速度を傾斜角に変換する信号処理回路を内蔵しており、精度を低下させる既知の複数の誤差源を補正します。

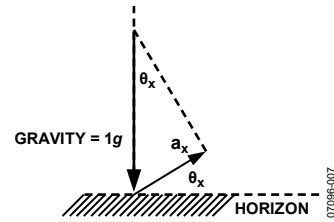


図 16. 1 軸傾斜の理論図

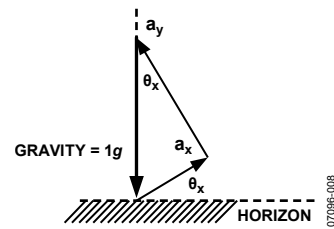


図 17. 2 軸傾斜の理論図

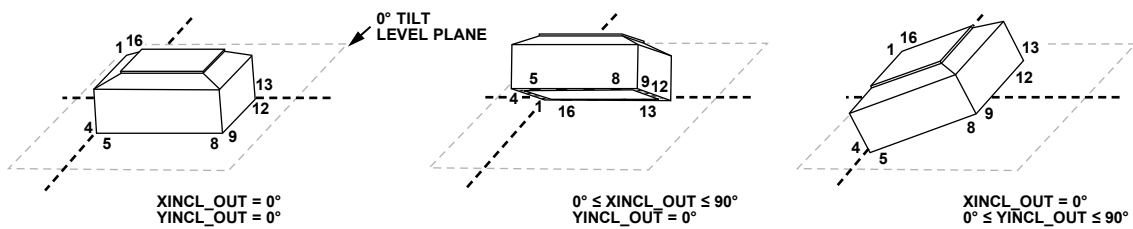


図 18. 水平傾斜角の向き

ROT_OUT	0°	+30°	+90°	+120°	+180°	-150°	-90°	-60°
XACCL_OUT	-1g	-0.866g	0g	0.5g	+1g	+0.866g	0g	-0.5g
YACCL_OUT	0g	+0.5g	+1g	+0.866g	0g	-0.5g	-1g	-0.866g

NOTES

1. ROT\_OUT = 180° IS 1 LSB DIFFERENT THAN ROT\_OUT = -179.975°.

図 19. 垂直角の向き

## 基本動作

ADIS16209は、電源/グラウンドとSPI接続のみで動作可能です。SPIは簡単に接続でき、一般的な多くのデジタル・ハードウェア・プラットフォームがこれに対応しています。図20に接続図、表2、図2、図3にタイミングとビット割当てを示します。また、図4にレジスタ・メモリにアクセスするためのビット・シーケンスを示します。ADIS16209の各機能は、それぞれ専用の16ビット(2バイト)レジスタを備えています。各バイトには一意の6ビット・アドレスがあります。DINビット・シーケンスで次のデータ・フレームの出力を設定するには全16SCLKサイクルが必要になります。ADIS16209は全二重動作に対応しています。表6にADIS16209の全ユーザ・レジスタ・マップを示します。各レジスタについて、下位バイト・アドレスを示しています。2バイトのレジスタの場合、上位バイト・アドレスはそれぞれその下位バイト・アドレスより0x01大きくした値になります。

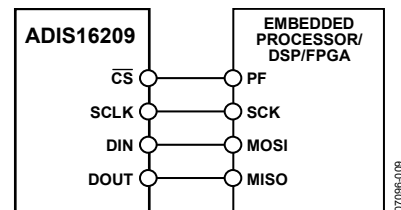


図 20. 代表的な SPI 接続

設定レジスタの多くは、フラッシュ・メモリ内にミラー領域が割り当てられており、これがバックアップとして機能します。これらのレジスタのバックアップを正しく行うために、COMMANDレジスタにはマニュアル・フラッシュ更新の開始ビットがあります。ENDURANCEレジスタにて、バックアップの累積回数を確認できます。

表 6. ユーザ・レジスタ・マップ

Name	R/W	Flash Backup	Address	Size (Bytes)	Function	Reference
ENDURANCE	R	Yes	0x00	2	Diagnostics, flash write counter (16-bit binary)	
SUPPLY_OUT	R	No	0x02	2	Output, power supply	表 7
XACCL_OUT	R	No	0x04	2	Output, x-axis acceleration	表 7
YACCL_OUT	R	No	0x06	2	Output, y-axis acceleration	表 7
AUX_ADC	R	No	0x08	2	Output, auxiliary ADC	表 7
TEMP_OUT	R	No	0x0A	2	Output, temperature	表 7
XINCL_OUT	R	No	0x0C	2	Output, ±90° x-axis inclination	表 7
YINCL_OUT	R	No	0x0E	2	Output, ±90° y-axis inclination	表 7
ROT_OUT	R	No	0x10	2	Output, ±180° vertical rotational position	表 7
XACCL_NULL	R/W	Yes	0x12	2	Calibration, x-axis acceleration offset null	表 16
YACCL_NULL	R/W	Yes	0x14	2	Calibration, y-axis acceleration offset null	表 16
XINCL_NULL	R/W	Yes	0x16	2	Calibration, x-axis inclination offset null	表 17
YINCL_NULL	R/W	Yes	0x18	2	Calibration, y-axis inclination offset null	表 17
ROT_NULL	R/W	Yes	0x1A	2	Calibration, vertical rotation offset null	表 17
			0x1C to 0x1F	4	Reserved, do not write to these locations	
ALM_MAG1	R/W	Yes	0x20	2	Alarm 1, amplitude threshold	表 18
ALM_MAG2	R/W	Yes	0x22	2	Alarm 2, amplitude threshold	表 18
ALM_SMPL1	R/W	Yes	0x24	2	Alarm 1, sample period	表 19
ALM_SMPL2	R/W	Yes	0x26	2	Alarm 2, sample period	表 19
ALM_CTRL	R/W	Yes	0x28	2	Alarm, source control register	表 20
		No	0x2A to 0x2F	6	Reserved	
AUX_DAC	R/W	No	0x30	2	Auxiliary DAC data	表 14
GPIO_CTRL	R/W	No	0x32	2	Operation, digital I/O configuration and data	表 13
MSC_CTRL	R/W	No	0x34	2	Operation, data-ready and self-test control	表 12
SMPL_PRD	R/W	Yes	0x36	2	Operation, sample rate configuration	表 8
AVG_CNT	R/W	Yes	0x38	2	Operation, filter configuration	表 10
SLP_CNT	W	Yes	0x3A	2	Operation, sleep mode control	表 9
STATUS	R	No	0x3C	2	Diagnostics, system status register	表 21
COMMAND	W	No	0x3E	2	Operation, system command register	表 15

## 出力データ・レジスタ

表7にADIS16209の各出力データ・レジスタのデータ構成を示します。各出力データ・レジスタは上位バイトのMSBから始まり、ビット・シーケンスは新規データ (ND) フラグ、エラー/アラーム (EA) フラグ、14ビットのデータで構成されます。データ・ビットはLSB詰めで、12ビット・データ・フォーマットの場合は残りの2ビットは未使用です。NDフラグは、読み出していないデータが出力データ・レジスタに存在していることを示します。このフラグは、出力レジスタの読出しシーケンス中にクリアされて0になり、次の内部サンプル更新サイクルが終了すると、1になります。EAフラグは、エラー状態を示します。STATUSレジスタはすべてのエラー・フラグを保持しており、エラー原因を調べるために使用できます。

表7. 出力データ・レジスタのフォーマット

Register	Bits	Format	Scale <sup>1</sup>
SUPPLY_OUT	14	Binary, 3.3 V = 0x2A3D	0.30518 mV
XACCL_OUT	14	Twos complement	0.24414 mg
YACCL_OUT	14	Twos complement	0.24414 mg
AUX_ADC	12	Binary, 2 V = 0x0CCC	0.6105 mV
TEMP_OUT	12	Binary, 25°C = 0x04FE	-0.47°C
XINCL_OUT <sup>2</sup>	14	Twos complement	0.025°
YINCL_OUT <sup>2</sup>	14	Twos complement	0.025°
ROT_OUT <sup>3</sup>	14	Twos complement	0.025°

<sup>1</sup> ScaleはLSB当たりの値を示しています。

<sup>2</sup> 範囲は-90°~+90°です。

<sup>3</sup> 範囲は-179.975°~+180°です。

## 動作制御レジスタ

### 内部サンプル・レート

SMPL\_PRD レジスタは ADIS16209 の内部サンプル・レートを制御し、タイムベースと乗数の2つの部分があります。次の式で、サンプル・レートが得られます。

$$t_S = t_B \times N_S + 122.07 \mu\text{s}$$

表8. SMPL\_PRD ビットの説明

Bit	Description	(Default = 0x0014)
15:8	Not used	
7	Time base ( $t_B$ ): 0 = 244.14 $\mu\text{s}$ , 1 = 7.568 ms	
6:0	Increment setting ( $N_S$ )	

デフォルト・サンプル期間の計算例:

$$SMPL\_PRD = 0x01, B7 - B0 = 00000001$$

$$B7 = 0 \rightarrow t_B = 244.14 \mu\text{s}, B6 \dots B0 = 00000001 \rightarrow N_S = 1$$

$$t_S = t_B \times N_S + 122.07 \mu\text{s} = 244.14 \times 1 + 122.07 = 366.21 \mu\text{s}$$

$$f_S = 1/t_S = 2731 \text{ SPS}$$

サンプル・レートの設定は、SPI通信のデータレートへ影響を与えます。546 SPS以上のサンプル・レートの場合は、SPI SCLKは最大2.5 MHzで動作可能で、546 SPS未満のサンプル・レートの場合は最大1 MHzでの動作が可能となります。サンプル・レートの設定は、消費電力にも影響します。サンプル・レートを546 SPS未満の値に設定すると、消費電力は概ね68%減少します。546SPS以上か以下かの2つの動作モード選択により、システム・レベルで性能(サンプル・レート、シリアル転送速度)と消費電力のどちらを優先するか決めることができます。

## パワーマネジメント

ADIS16209には消費電力を最適化するために2つの動作モードがありますが、それに加えてSLP\_CNTレジスタを使って周期的な動作停止の期間を設定することができます。

表9. SLP\_CNT ビットの説明

Bit	Description	(Default = 0x0000)
15:8	Not used	
7:0	Data bits, 0.5 seconds/LSB	

たとえば、SLP\_CNTレジスタに0x08を書き込むと、ADIS16209は4秒間周期でスリープ・モードに入ります。電源をオフにするか、デバイスをリセットすることで、このプロセスを停止することができます。

## デジタル・フィルタリング

AVG\_CNTレジスタは、8つの乗数 ( $2^M = 1, 2, 4, 16, 32, 64, 128, 256$ ) で移動平均フィルタのサイズを指定することにより、移動平均デジタル・フィルタを制御します。AVG\_CNTレジスタの指定のビットに係数Mの値を書き込むだけでフィルタの設定ができます。

表10. AVG\_CNT ビットの説明

Bit	Description	(Default = 0x0008)
15:4	Not used	
3:0	Power-of-two step size, maximum binary value = 1000	

次の式は、このフィルタの周波数応答を示しています。

$$H_A(f) = \frac{\sin(\pi \times N \times f \times t_S)}{N \times \sin(\pi \times f \times t_S)}$$

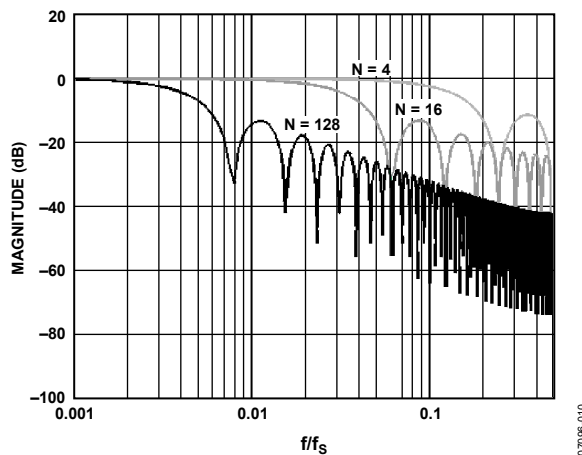


図21. 周波数応答 (移動平均フィルタ)

## デジタル I/O ライン

ADIS16209 では、複数の設定オプションを持つ 2 個の汎用デジタル入出力 (I/O) ラインを利用できます。

表 11. デジタル I/O ライン設定レジスタ

Function	Priority	Register
Data-Ready I/O Indicator	1	MSC_CTRL
Alarm Indicator	2	ALM_CTRL
General-Purpose I/O Configuration	3	GPIO_CTRL
General-Purpose I/O Line Communication		GPIO_CTRL

### データ・レディ I/O インジケータ

MSC\_CTRL レジスタは、データ・レディ機能を制御します。たとえば、このレジスタに 0x05 を書き込むとデータ・レディ機能が有効になり、DIO2 がアクティブ・ローのデータ・レディ・ラインに設定されます。デューティサイクルは 25% (許容誤差: ±10%) です。

表 12. MSC\_CTRL ビットの説明

Bit	Description (Default = 0x0000)
15:11	Not used
10	Self-test at power-on: 1 = disabled, 0 = enabled
9	Not used
8	Self-test enable (temporary, bit is volatile): 1 = enabled, 0 = disabled
7:3	Not used
2	Data-ready enable: 1 = enabled, 0 = disabled
1	Data-ready polarity: 1 = active high, 0 = active low
0	Data-ready line select: 1 = DIO2, 0 = DIO1

### セルフテスト

セルフテストは、センサーの機構部を動かすことで、センサーのシグナル・コンディショニング回路全体の動作検証が行えます。セルフテストは、電源投入時に行うモード (Self-test at power-on ビットを 1 にセットすると無効) と任意の時点で Self-test enable ビットを 1 にセットして行うマニュアルモードの 2 つのモードがあります。Self-test at power-on ビットが 0 の場合、いずれかのセルフテストで障害が検出されると、STATUS レジスタ内のセルフテスト・エラー・フラグが 1 に設定されます。Self-test enable ビットが 1 の時には STATUS レジスタ内のセルフテスト・エラー・フラグは影響を受けず、正常であれば出力が P3 の Output Change When Active に規定の値の範囲で変化します。マニュアル・セルフテスト・ループ中は、SMPL\_PRD や AVG\_CNT を変更することはできません。MSC\_CTRL ビットの詳細については、表 12 を参照してください。

### 汎用 I/O

GPIO\_CTRL レジスタは、汎用デジタル・ライン DIO1 と DIO2 の入出力の方向とデータの制御を行います。たとえば、GPIO\_CTRL レジスタに 0x02 を書き込むと、DIO2 が出力ラインに設定され、DIO1 は入力ラインに設定されます。GPIO\_CTRL のデータビットを読み出すと、ラインのロジック・レベルがわかります。

表 13. GPIO\_CTRL ビットの説明

Bit	Description (Default = 0x0000)
15:10	Not used
9	General-Purpose I/O Line 2 data
8	General-Purpose I/O Line 1 data
7:2	Not used
1	General-Purpose I/O Line 2, data direction control: 1 = output, 0 = input
0	General-Purpose I/O Line 1, data direction control: 1 = output, 0 = input

### 補助 DAC

補助 DAC は、アナログ・レベルの制御が必要なシステムに便利な機能であり、12 ビットで出力レベル調整が可能で、AUX\_DAC レジスタにより制御されます。補助 DAC は、0~2.5 V のレール to レール・バッファ出力を提供します。電流をシンクしていないときは、グラウンド・リファレンスの 5 mV 以内で出力を駆動することができます。出力がグラウンドに近づくとき、直線性が劣化し始め (100 LSB のポイントから)、シンク電流が増大すると、非直線な範囲も拡大します。COMMAND レジスタの DAC 出力ラッチ機能により、AUX\_DAC の各バイトに書き込みを行っている最中にも補助 DAC 出力を一定の値で継続して出力することができます。補助 DAC レジスタの値は揮発性であり、リセットやパワーサイクル後に必要な出力レベルを再度設定する必要があります。

表 14. AUX\_DAC ビットの説明

Bit	Description (Default = 0x0000)
15:12	Not used
11:0	Data bits, scale factor = 0.6105 mV/code Offset binary format, 0 V = 0 codes

### グローバル・コマンド

COMMAND レジスタには複数のコマンドの開始ビットがあり、これによってよくある動作を簡単に行うことができます。該当する COMMAND ビットに 1 を書き込むと、その機能が実行されます。

表 15. COMMAND ビットの説明

Bit	Description (Default = 0x0000)
15:8	Not used
7	Software reset
6:5	Not used
4	Clear status register (reset all bits to 0)
3	Flash update; backs up all registers, see Table 6
2	DAC data latch
1	Factory calibration restore
0	Autonull

ソフトウェア・リセット・コマンドにより内部プロセッサをリセットし、フラッシュ・メモリ領域内の値をすべてのレジスタにロードすることができます。

フラッシュ更新 (Flash update) を行うと、すべてのフラッシュ・バックアップ・レジスタの値が該当する不揮発性フラッシュ・メモリ領域にコピーされます。この処理には約 50 ms かかり、規定の動作範囲内の電源が必要です。フラッシュ更新が完了したら、STATUS レジスタを読み出して処理が正常に終了したか確認してください (正常終了の場合、フラッシュ更新エラーの値は 0 になります)。このエラー・ビットを読み出すことによって、フラッシュ更新が正常に終了しなかった場合にはシステム・プロセッサに処理を再実行するように警告することができます。

DAC データ・ラッチ (DAC data latch) コマンドは、AUX\_DAC の値を DAC ラッチにロードします。AUX\_DAC の値は 1 バイトずつ更新されるため、このコマンドによって AUX\_DAC を更新中に DAC 出力電圧を一定に保つことができます。

自動ゼロ点調整 (Autonull) コマンドにより、センサー出力からオフセットを簡単に除去できます。このコマンドは、出力データ・レジスタの値を取り出し、その逆符号の値をオフセット校正レジスタにロードします。この処理の精度は、測定中の力およびモーションの印加を最小限に抑え、かつノイズをいかに管理できるかに依存します (「デジタル・フィルタリング」を参照)。工場出荷時への校正值の復帰 (Factory calibration restore) コマンドは、オフセット・ゼロ点レジスタ (XACCL\_NULL など) の値をデフォルトに戻します。

## 補正レジスタ

ADIS16209 は広範な工場出荷時補正データを持っており、高精度の加速度、傾斜、回転位置データを提供します。更にユーザー工程でのオンサイト補正が必要なシステムの場合は、ユーザ設定が可能なオフセット調整レジスタを使用してください。

表 16 に、ユーザ設定が可能な補正レジスタ XACCL\_NULL、YACCL\_NULL のビット割当てを示します。表 17 は、ユーザ設定が可能な補正レジスタ XINCL\_NULL、YINCL\_NULL、ROT\_NULL のビット割当てです。

表 16. 加速度オフセット・レジスタのビットの説明

Bit	Description (Default = 0x0000)
15:14	Not used
13:0	Data bits, twos complement, sensitivity = 0.24414 mg/LSB

表 17. 傾斜/回転オフセット・レジスタのビットの説明

Bit	Description (Default = 0x0000)
15:14	Not used
13:0	Data bits, twos complement, sensitivity = 0.025°/LSB

## アラーム・レジスタ

アラーム機能は、2つの独立した状態を監視します。ALM\_CTRL レジスタは、データ・ソースの制御入力、(設定値と比較前の) データ・フィルタリング、静的/動的比較、出力インジケータの設定に対応します。ALM\_MAGx レジスタは、トリガ・スレッショールドと極性を設定します。ALM\_SMPLx レジスタは、動的変化率の算出に使用するサンプル数を提供します。変化率の計算は次式のように行います。

$$Y_C = \frac{1}{N_{DS}} \sum_{n=1}^{N_{DS}} y(n+1) - y(n) \Rightarrow Alarm \Rightarrow is Y_C > or < M_C ?$$

ここで、

$N_{DS}$  は ALM\_SMPLx のサンプル数です。

$y(n)$  はサンプルされた出力データです。

$M_C$  は ALM\_MAGx の比較用の値です。

>or< は ALM\_MAGx の MSB で決まります。

表 18. ALM\_MAG1/ALM\_MAG2 ビットの説明

Bit	Description (Default = 0x0000)
15	Comparison polarity: 1 = greater than, 0 = less than
14	Not used
13:0	Data bits, matches format of trigger source selection

表 19. ALM\_SMPL1/ALM\_SMPL2 ビットの説明

Bit	Description (Default = 0x0001)
15:8	Not used
7:0	Data bits: number of samples (both 0x00 and 0x01 = 1)

表 20. ALM\_CTRL ビットの説明

Bit	Value	Description (Default = 0x0000)
15:12		Trigger source, Alarm 2
	0000	Disabled
	0001	Power supply
	0010	X-acceleration
	0011	Y-acceleration
	0100	Auxiliary ADC
	0101	Temperature sensor
	0110	X-axis incline angle
	0111	Y-axis incline angle
	1000	Rotational position
11:8		Trigger source, Alarm 1, same as Bits[15:12]
7		Not used
6		Alarm 2 rate-of-change control: 1 = enabled
5		Alarm 1 rate-of-change control: 1 = enabled
4		Alarm 2 filter: 1 = filtered data, 0 = no filter <sup>1</sup>
3		Alarm 1 filter: 1 = filtered data, 0 = no filter <sup>1</sup>
2		Alarm indicator, using DIO1/DIO2: 1 = enabled
1		Alarm indicator polarity: 1 = active high
0		Alarm indicator line select: 1 = DIO2, 0 = DIO1

<sup>1</sup> ここでは、フィルタ処理済みの傾斜角と垂直角データが設定値との比較に使用されています。

### ステータス

STATUS レジスタは一連のエラー・フラグを提供する、一般的なシステム・レベルの問題に対するインジケータになります。すべてのフラグは、STATUS レジスタ読み出しサイクル後に毎回クリアされます (0 にセット)。エラー状態が残っている場合、次のサンプル・サイクル中にエラー・フラグが 1 となります。

表 21. STATUS ビットの説明

Bit	Description	(Default = 0x0000)
15:10	Not used	
9	Alarm 2 status: 1 = active, 0 = inactive	
8	Alarm 1 status: 1 = active, 0 = inactive	
7:6	Not used	
5	Self-test diagnostic error flag: 1 = error condition, 0 = normal operation	
4	Not used	
3	SPI communications failure: 1 = error condition, 0 = normal operation	
2	Flash update failed: 1 = error condition, 0 = normal operation	
1	Power supply greater than 3.625 V: 1 > 3.625 V, 0 ≤ 3.625 V (normal)	
0	Power supply less than 2.975 V: 1 < 2.975 V, 0 ≥ 2.975 V (normal)	

## 外形寸法

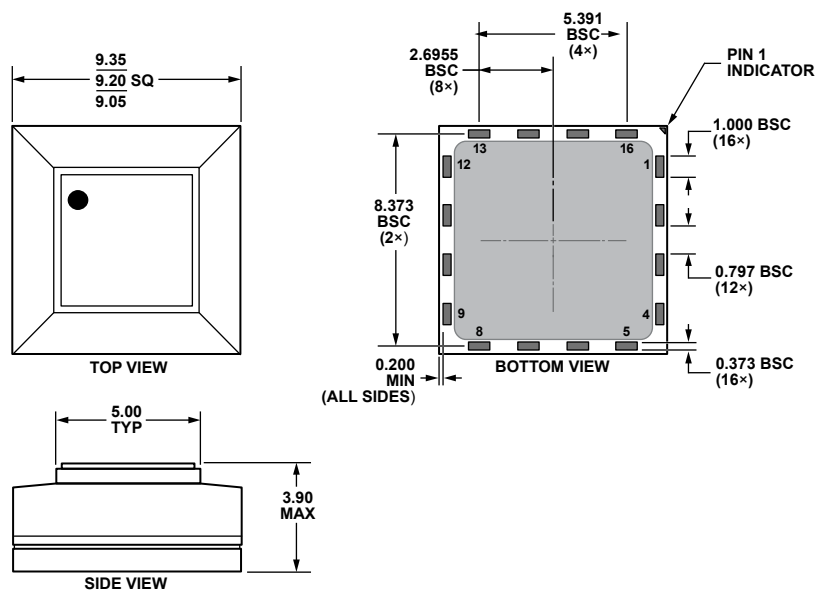


図 22. 16 ピンのスタック型ランド・グリッド・アレイ [LGA]  
(CC-16-2)  
寸法単位：mm

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADIS16209CCCZ <sup>1</sup>	-40°C to +125°C	16-Terminal Stacked Land Grid Array [LGA]	CC-16-2
ADIS16209/PCBZ <sup>1</sup>		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。