



# SPI インターフェース、クワッド SPST スイッチ、低 $Q_{INJ}$ 、低 $C_{ON}$ 、 $\pm 15\text{ V}/+12\text{ V}$ 、Mux 構成可能

## データシート

## ADGS1212

### 特長

- エラー検出機能を備えた SPI インターフェース
  - CRC、無効な読出し/書き込みアドレス、SCLK カウント・エラーの検出を含む
- バースト・モードとデジチェーン・モードをサポート
- 業界標準の SPI モード 0 および SPI モード 3 との互換性あり
- ブレーク・ビフォー・メーカーのスイッチングを確保することで、スイッチの外部配線によるマルチプレクサ構成が可能
- アナログ信号範囲:  $V_{SS} \sim V_{DD}$ 
  - $\pm 15\text{ V}$  と  $+12\text{ V}$  の電源で仕様規定
  - 両電源動作:  $4.5\text{ V} \sim 16.5\text{ V}$
  - 単電源動作:  $5\text{ V} \sim 16.5\text{ V}$
- 容量とリークが極めて小さく、高速なセトリング・タイムを実現
  - スイッチ・オフ時、 $25\text{ }^\circ\text{C}$ 、 $\pm 15\text{ V}$  でのドレイン容量:  $1\text{ pF}$  (代表値)
  - スイッチ・オン時、 $25\text{ }^\circ\text{C}$ 、 $\pm 15\text{ V}$  での容量:  $2.6\text{ pF}$  (代表値)
  - $25\text{ }^\circ\text{C}$  でのチャージ・インジェクション  $< 1\text{ pC}$  (代表値)
- $1.8\text{ V}$  ロジックとの互換性あり、 $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$

### アプリケーション

- 自動試験装置
- データ・アキュイジション・システム
- バッテリー駆動のシステム
- サンプル&ホールド・システム
- オーディオ信号のルーティング
- ビデオ信号のルーティング
- 通信システム

### 概要

ADGS1212 は 4 個の独立した単極単投 (SPST) スイッチを内蔵しています。シリアル周辺機器インターフェース (SPI) でスイッチを制御します。SPI インターフェースは、巡回冗長検査 (CRC) エラーの検出、無効な読出し/書き込みアドレスの検出、SCLK カウント・エラーの検出など、強力なエラー検出機能を備えています。

複数の ADGS1212 デバイスをデジチェーン接続できます。デジチェーン・モードでは、最小限のデジタル・ラインで複数のデバイスを構成できます。さらに、ADGS1212 をバースト・モードで動作して、SPI コマンド間の時間を短縮できます。

iCMOS 構造により消費電力が極めて少ないため、携帯型の計装機器やバッテリー駆動の計装機器に最適なデバイスになっています。

各スイッチをオンにすると、両方向に均一に信号が伝達されます。また、各スイッチは電源電圧まで拡張された入力信号範囲を備えています。

### 機能ブロック図

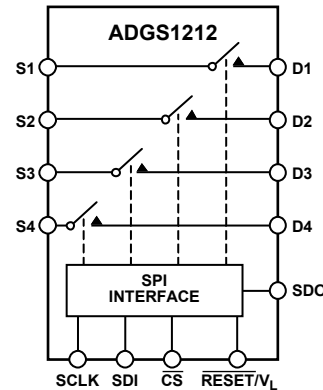


図 1.

オフ状態では、電源電圧までの信号レベルがブロックされます。これらのスイッチは、容量とチャージ・インジェクションが極めて小さく、低グリッチと高速セトリングを必要とするデータ・アキュイジションやサンプル&ホールドのアプリケーションにとって最適なソリューションです。高速なスイッチングと広い信号帯域幅を組み合わせることで、このデバイスはビデオ信号のスイッチングにも適しています。

多機能ピンの名称は、該当する機能のみで表示されることがあります。

### 製品のハイライト

- SPI インターフェースを搭載しているので、パラレル変換やロジック・トレースの必要がなく、汎用の入出力 (GPIO) チャンネル数が減ります。
- デジチェーン・モードでは、複数のデバイスを使用する場合にロジック・トレースを追加する必要がありません。
- CRC エラーの検出、無効な読出し/書き込みアドレスの検出、SCLK カウント・エラーの検出により、デジタル・インターフェースの信頼性が向上します。
- CRC およびエラー検出の機能を備えているので、ADGS1212 は安全重視のシステムで使用できます。
- ブレーク・ビフォー・メーカーのスイッチングを確保することで、外部配線を使用したマルチプレクサ構成で ADGS1212 を使用できます。
- ADGS1212  $1.8\text{ V}$  ロジックとの互換性あり、 $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
- 超低容量
- $< 1\text{ pC}$  のチャージ・インジェクション。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	エラー検出機能.....	17
アプリケーション.....	1	エラー・フラグ・レジスタのクリア.....	18
概要.....	1	バースト・モード.....	18
機能ブロック図.....	1	ソフトウェア・リセット.....	18
製品のハイライト.....	1	デイジーチェーン・モード.....	18
改訂履歴.....	2	パワーオン・リセット.....	19
仕様.....	3	アプリケーション情報.....	20
±15 V の両電源.....	3	ブ레이크・ビフォア・メークのスイッチング.....	20
12 V の単電源.....	5	電源レール.....	20
チャンネルごとの連続電流 (Sx または Dx).....	6	電源の推奨事項.....	20
タイミング特性.....	7	レジスタの一覧.....	21
絶対最大定格.....	9	レジスタの詳細.....	22
熱抵抗.....	9	スイッチ・データ・レジスタ.....	22
ESD に関する注意.....	9	エラー設定レジスタ.....	22
ピン配置およびピン機能の説明.....	10	エラー・フラグ・レジスタ.....	23
代表的な性能特性.....	11	バースト・イネーブル・レジスタ.....	23
試験回路.....	14	ソフトウェア・リセット・レジスタ.....	23
用語の定義.....	16	外形寸法.....	24
動作原理.....	17	オーダー・ガイド.....	24
アドレス・モード.....	17		

## 改訂履歴

9/2017–Revision 0: Initial Version

## 仕様

## ±15 V の両電源

特に指定のない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analogue Signal Range			$V_{DD}$ to $V_{SS}$	V	
On Resistance, $R_{ON}$	120			$\Omega$ typ	$V_S = \pm 10\text{ V}$ , $I_S = -10\text{ mA}$ , see Figure 24
On-Resistance Match Between Channels, $\Delta R_{ON}$	190 2.5	230	260	$\Omega$ max $\Omega$ typ	$V_{DD} = +13.5\text{ V}$ , $V_{SS} = -13.5\text{ V}$ $V_S = \pm 10\text{ V}$ , $I_S = -10\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	6 20 57	10 72	11 79	$\Omega$ max $\Omega$ typ $\Omega$ max	$V_S = -5\text{ V}/0\text{ V}/+5\text{ V}$ , $I_S = -10\text{ mA}$
LEAKAGE CURRENTS					
Source Off Leakage, $I_{S(OFF)}$	$\pm 0.02$			nA typ	$V_{DD} = +16.5\text{ V}$ , $V_{SS} = -16.5\text{ V}$ $V_S = \pm 10\text{ V}$ , $V_D = 10\text{ V}$ , see Figure 27
Drain Off Leakage, $I_{D(OFF)}$	$\pm 0.1$ $\pm 0.02$	$\pm 0.6$	$\pm 1$	nA max nA typ	$V_S = \pm 10\text{ V}$ , $V_D = 10\text{ V}$ , see Figure 27
Channel On Leakage, $I_{D(ON)}$ , $I_{S(ON)}$	$\pm 0.1$ $\pm 0.02$ $\pm 0.1$	$\pm 0.6$	$\pm 1$	nA max nA typ nA max	$V_S = V_D = \pm 10\text{ V}$ , see Figure 23
DIGITAL OUTPUT					
Output Voltage Low, $V_{OL}$			0.4 0.2	V max V max	$I_{SINK} = 5\text{ mA}$ $I_{SINK} = 1\text{ mA}$
High or Low Output Current, $I_{OL}$ or $I_{OH}$	0.001			$\mu\text{A}$ typ	Output voltage ( $V_{OUT}$ ) = ground voltage ( $V_{GND}$ ) or $V_L$
Digital Output Capacitance, $C_{OUT}$	4		$\pm 0.1$	$\mu\text{A}$ max pF typ	
DIGITAL INPUTS					
Input Voltage High, $V_{INH}$			2 1.35	V min V min	$3.3\text{ V} < V_L \leq 5.5\text{ V}$ $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Low, $V_{INL}$			0.8 0.8	V max V max	$3.3\text{ V} < V_L \leq 5.5\text{ V}$ $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Low or High Input Current, $I_{INL}$ or $I_{INH}$	0.001			$\mu\text{A}$ typ $\mu\text{A}$ max	$V_{IN} = V_{GND}$ or $V_L$
Digital Input Capacitance, $C_{IN}$	4		$\pm 0.1$	pF typ	
DYNAMIC CHARACTERISTICS <sup>1</sup>					
On Time, $t_{ON}$	375			ns typ	Load resistance ( $R_L$ ) = 300 $\Omega$ , load capacitance ( $C_L$ ) = 35 pF
Off Time, $t_{OFF}$	450 125	450	450	ns max ns typ	$V_S = 10\text{ V}$ , see Figure 32 $R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
Break-Before-Make Time Delay, $t_D$	160 205	180	205	ns max ns typ	$V_S = 10\text{ V}$ , see Figure 32 $R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
Charge Injection, $Q_{INJ}$	-0.9		150	ns min pC typ	$V_{S1} = V_{S2} = 10\text{ V}$ , see Figure 31 $V_S = 0\text{ V}$ , source resistance ( $R_S$ ) = 0 $\Omega$ , $C_L = 1\text{ nF}$ , see Figure 33
Off Isolation	-80			dB typ	$R_L = 50\text{ }\Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 26

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Channel to Channel Crosstalk	-110			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 25
Total Harmonic Distortion + Noise	0.15			% typ	$R_L = 10 \text{ k}\Omega$ , $5 \text{ V rms}$ , $f = 20 \text{ Hz}$ to $20 \text{ kHz}$ , see Figure 28
-3 dB Bandwidth	1000			MHz typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , see Figure 29
Insertion Loss	-6.5			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 29
Off Switch Source Capacitance, $C_{S(OFF)}$	0.9			pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
	1.1			pF max	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
Off Switch Drain Capacitance, $C_{D(OFF)}$	1			pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
	1.2			pF max	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
On Switch Capacitances, $C_{D(ON)}$ , $C_{S(ON)}$	2.6			pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
	3			pF max	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
<b>POWER REQUIREMENTS</b>					
Positive Power Supply Current, $I_{DD}$	0.001		1.0	$\mu\text{A typ}$	$V_{DD} = +16.5 \text{ V}$ , $V_{SS} = -16.5 \text{ V}$ All switches open
	250			$\mu\text{A max}$	All switches open
	260		420	$\mu\text{A typ}$	All switches closed, $V_L = 5.5 \text{ V}$
				$\mu\text{A max}$	All switches closed, $V_L = 5.5 \text{ V}$
			440	$\mu\text{A typ}$	All switches closed, $V_L = 2.7 \text{ V}$
				$\mu\text{A max}$	All switches closed, $V_L = 2.7 \text{ V}$
Load Current, $I_L$					
Inactive	6.3		8.0	$\mu\text{A typ}$	Digital inputs = $0 \text{ V}$ or $V_L$
				$\mu\text{A max}$	Digital inputs = $0 \text{ V}$ or $V_L$
SCLK = 1 MHz	14			$\mu\text{A typ}$	$\overline{\text{CS}}$ and SDI = $0 \text{ V}$ or $V_L$ , $V_L = 5 \text{ V}$
	7			$\mu\text{A typ}$	$\overline{\text{CS}}$ and SDI = $0 \text{ V}$ or $V_L$ , $V_L = 3 \text{ V}$
SCLK = 50 MHz	390			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and SDI = $0 \text{ V}$ or $V_L$ , $V_L = 5 \text{ V}$
	210			$\mu\text{A typ}$	$\overline{\text{CS}} = V_L$ and SDI = $0 \text{ V}$ or $V_L$ , $V_L = 3 \text{ V}$
SDI = 1 MHz	15			$\mu\text{A typ}$	$\overline{\text{CS}}$ and SCLK = $0 \text{ V}$ or $V_L$ , $V_L = 5 \text{ V}$
	7.5			$\mu\text{A typ}$	$\overline{\text{CS}}$ and SCLK = $0 \text{ V}$ or $V_L$ , $V_L = 3 \text{ V}$
SDI = 25 MHz	230			$\mu\text{A typ}$	$\overline{\text{CS}}$ and SCLK = $0 \text{ V}$ or $V_L$ , $V_L = 5 \text{ V}$
	120			$\mu\text{A typ}$	$\overline{\text{CS}}$ and SCLK = $0 \text{ V}$ or $V_L$ , $V_L = 3 \text{ V}$
Active at 50 MHz SCLK	1.8			$\text{mA typ}$	Digital inputs toggle between $0 \text{ V}$ and $V_L$ , $V_L = 5.5 \text{ V}$
			2.1	$\text{mA max}$	Digital inputs toggle between $0 \text{ V}$ and $V_L$ , $V_L = 2.7 \text{ V}$
	0.7			$\text{mA typ}$	Digital inputs toggle between $0 \text{ V}$ and $V_L$ , $V_L = 2.7 \text{ V}$
Negative Power Supply Current, $I_{SS}$	0.001		1.0	$\text{mA max}$	Digital inputs = $0 \text{ V}$ or $V_L$
			1.0	$\mu\text{A typ}$	Digital inputs = $0 \text{ V}$ or $V_L$
			$\pm 4.5/\pm 16.5$	$\mu\text{A max}$	Digital inputs = $0 \text{ V}$ or $V_L$
$V_{DD}/V_{SS}$				$\text{V min/V max}$	GND = $0 \text{ V}$

<sup>1</sup> 設計上の性能は確保していますが、出荷テストの対象外です。

## 12 V の単電源

特に指定のない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 2.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to $V_{DD}$	V	
On Resistance, $R_{ON}$	300			$\Omega$ typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$ , see Figure 24
On-Resistance Match Between Channels, $\Delta R_{ON}$	475 4.5	567	625	$\Omega$ max $\Omega$ typ	$V_{DD} = 10.8\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	12 60	26	27	$\Omega$ max $\Omega$ typ	$V_S = 3\text{ V}/6\text{ V}/9\text{ V}$ , $I_S = -1\text{ mA}$
LEAKAGE CURRENTS					
Source Off Leakage, $I_{S(OFF)}$	$\pm 0.02$			nA typ	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ , see Figure 27
Drain Off Leakage, $I_{D(OFF)}$	$\pm 0.1$ $\pm 0.02$	$\pm 0.6$	$\pm 1$	nA max nA typ	$V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ , see Figure 27
Channel On Leakage, $I_{D(ON)}$ , $I_{S(ON)}$	$\pm 0.1$ $\pm 0.02$ $\pm 0.1$	$\pm 0.6$	$\pm 1$	nA max nA typ nA max	$V_S = V_D = 1\text{ V}/10\text{ V}$ , see Figure 23
DIGITAL OUTPUT					
Output Voltage Low, $V_{OL}$			0.4 0.2	V max V max	$I_{SINK} = 5\text{ mA}$ $I_{SINK} = 1\text{ mA}$
High or Low Output Current, $I_{OL}$ or $I_{OH}$	0.001		$\pm 0.1$	$\mu\text{A}$ typ $\mu\text{A}$ max	Output voltage ( $V_{OUT}$ ) = ground voltage ( $V_{GND}$ ) or $V_L$
Digital Output Capacitance, $C_{OUT}$	4			pF typ	
DIGITAL INPUTS					
Input Voltage High, $V_{INH}$			2 1.35	V min V min	$3.3\text{ V} < V_L \leq 5.5\text{ V}$ $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Low, $V_{INL}$			0.8 0.8	V max V max	$3.3\text{ V} < V_L \leq 5.5\text{ V}$ $2.7\text{ V} \leq V_L \leq 3.3\text{ V}$
Low or High Input Current, $I_{INL}$ or $I_{INH}$	0.001		$\pm 0.1$	$\mu\text{A}$ typ $\mu\text{A}$ max	$V_{IN} = V_{GND}$ or $V_L$
Digital Input Capacitance, $C_{IN}$	4			pF typ	
DYNAMIC CHARACTERISTICS <sup>1</sup>					
On Time, $t_{ON}$	395			ns typ	Load resistance ( $R_L$ ) = 300 $\Omega$ , load capacitance ( $C_L$ ) = 35 pF
Off Time, $t_{OFF}$	475 135	485	490	ns max ns typ	$V_S = 8\text{ V}$ , see Figure 32 $R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
Break-Before-Make Time Delay, $t_D$	170 230	195	225	ns max ns typ	$V_S = 8\text{ V}$ , see Figure 32 $R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
Charge Injection, $Q_{INJ}$	-0.5		170	ns min pC typ	$V_{S1} = V_{S2} = 8\text{ V}$ , see Figure 31 $V_S = 6\text{ V}$ , $R_S = 0\text{ }\Omega$ , $C_L = 1\text{ nF}$ , see Figure 33
Off Isolation	-80			dB typ	$R_L = 50\text{ }\Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 26
Channel to Channel Crosstalk	-110			dB typ	$R_L = 50\text{ }\Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 25
-3 dB Bandwidth	900			MHz typ	$R_L = 50\text{ }\Omega$ , $C_L = 5\text{ pF}$ , see Figure 29

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Insertion Loss	-8.9			dB typ	$R_L = 50 \Omega$ , $C_L = 5$ pF, $f = 1$ MHz, see Figure 29
Off Switch Source Capacitance, $C_{S(OFF)}$	1.2			pF typ	$V_S = 6$ V, $f = 1$ MHz
	1.4			pF max	$V_S = 6$ V, $f = 1$ MHz
Off Switch Drain Capacitance, $C_{D(OFF)}$	1.3			pF typ	$V_S = 6$ V, $f = 1$ MHz
	1.5			pF max	$V_S = 6$ V, $f = 1$ MHz
On Switch Capacitances, $C_{D(ON)}$ , $C_{S(ON)}$	3.2			pF typ	$V_S = 6$ V, $f = 1$ MHz
	3.9			pF max	$V_S = 6$ V, $f = 1$ MHz
<b>POWER REQUIREMENTS</b>					
Positive Power Supply Current, $I_{DD}$	0.001			$\mu$ A typ	$V_{DD} = 13.2$ V All switches open
			1.0	$\mu$ A max	All switches open
	220			$\mu$ A typ	All switches closed, $V_L = 5.5$ V
			380	$\mu$ A max	All switches closed, $V_L = 5.5$ V
	270			$\mu$ A typ	All switches closed, $V_L = 2.7$ V
			440	$\mu$ A max	All switches closed, $V_L = 2.7$ V
Load Current, $I_L$					
Inactive	6.3			$\mu$ A typ	Digital inputs = 0 V or $V_L$
			8.0	$\mu$ A max	Digital inputs = 0 V or $V_L$
SCLK = 1 MHz	14			$\mu$ A typ	$\overline{CS}$ and SDI = 0 V or $V_L$ , $V_L = 5$ V
	7			$\mu$ A typ	$\overline{CS}$ and SDI = 0 V or $V_L$ , $V_L = 3$ V
SCLK = 50 MHz	390			$\mu$ A typ	$\overline{CS} = V_L$ and SDI = 0 V or $V_L$ , $V_L = 5$ V
	210			$\mu$ A typ	$\overline{CS} = V_L$ and SDI = 0 V or $V_L$ , $V_L = 3$ V
SDI = 1 MHz	15			$\mu$ A typ	$\overline{CS}$ and SCLK = 0 V or $V_L$ , $V_L = 5$ V
	7.5			$\mu$ A typ	$\overline{CS}$ and SCLK = 0 V or $V_L$ , $V_L = 3$ V
SDI = 25 MHz	230			$\mu$ A typ	$\overline{CS}$ and SCLK = 0 V or $V_L$ , $V_L = 5$ V
	120			$\mu$ A typ	$\overline{CS}$ and SCLK = 0 V or $V_L$ , $V_L = 3$ V
Active at 50 MHz SCLK	1.8			mA typ	Digital inputs toggle between 0 V and $V_L$ , $V_L = 5.5$ V
			2.1	mA max	Digital inputs toggle between 0 V and $V_L$ , $V_L = 2.7$ V
	0.7			mA typ	Digital inputs toggle between 0 V and $V_L$ , $V_L = 2.7$ V
			1.0	mA max	
$V_{DD}$			5/16.5	V min/V max	$GND = 0$ V, $V_{SS} = 0$ V

<sup>1</sup> 設計上の性能は確保していますが、出荷テストの対象外です。

### チャンネルごとの連続電流 (Sx または Dx)

表 3. 4 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx <sup>1</sup>				
$V_{DD} = 15$ V, $V_{SS} = -15$ V ( $\theta_{JA} = 67^\circ\text{C/W}$ )	20	8	2.5	mA maximum
$V_{DD} = 12$ V, $V_{SS} = 0$ V ( $\theta_{JA} = 67^\circ\text{C/W}$ )	14	6.67	2.4	mA maximum

<sup>1</sup> Sx は S1 ~ S4 ピン、Dx は D1 ~ D4 ピンを表します。

表 4. 1 つのチャンネルがオン

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx <sup>1</sup>				
$V_{DD} = 15$ V, $V_{SS} = -15$ V ( $\theta_{JA} = 67^\circ\text{C/W}$ )	35	9.6	2.5	mA maximum
$V_{DD} = 12$ V, $V_{SS} = 0$ V ( $\theta_{JA} = 67^\circ\text{C/W}$ )	24.7	8.77	2.5	mA maximum

<sup>1</sup> Sx は S1 ~ S4 ピン、Dx は D1 ~ D4 ピンを表します。

タイミング特性

特に指定のない限り、 $V_L = 2.7\text{ V} \sim 5.5\text{ V}$ 、 $GND = 0\text{ V}$ 、すべての仕様で  $T_{MIN} \sim T_{MAX}$ 。設計と特性評価による性能は確保していますが、出荷テストの対象外です。

表 5.

Parameter	Limit	Unit	Test Conditions/Comments
TIMING CHARACTERISTICS			
$t_1$	20	ns min	SCLK period
$t_2$	8	ns min	SCLK high pulse width
$t_3$	8	ns min	SCLK low pulse width
$t_4$	10	ns min	$\overline{CS}$ falling edge to SCLK active edge
$t_5$	6	ns min	Data setup time
$t_6$	8	ns min	Data hold time
$t_7$	10	ns min	SCLK active edge to $\overline{CS}$ rising edge
$t_8$	20	ns max	$\overline{CS}$ falling edge to SDO data available
$t_9^1$	20	ns max	SCLK falling edge to SDO data available
$t_{10}$	20	ns max	$\overline{CS}$ rising edge to SDO returns to high impedance
$t_{11}$	20	ns min	$\overline{CS}$ high time between SPI commands
$t_{12}$	8	ns min	$\overline{CS}$ falling edge to SCLK becomes stable
$t_{13}$	8	ns min	$\overline{CS}$ rising edge to SCLK becomes stable

<sup>1</sup>  $V_L$  と 20 pF の負荷に接続された 1 k $\Omega$  のプルアップ抵抗で測定。SDO を使用する場合の最大 SCLK 周波数は  $t_9$  で決定します。

タイミング図

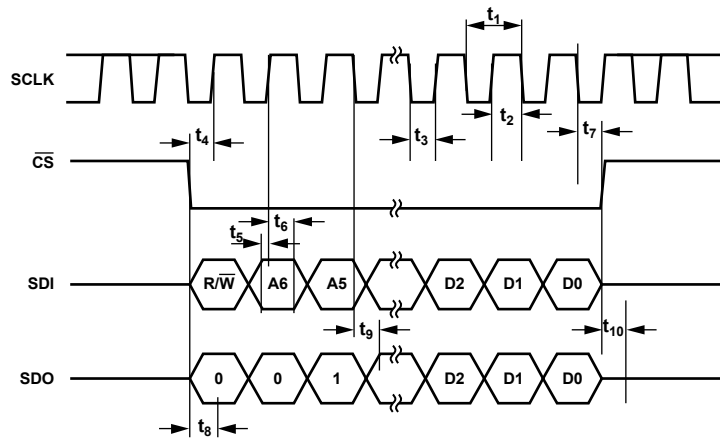


図 2. アドレス・モードのタイミング図

15936-002

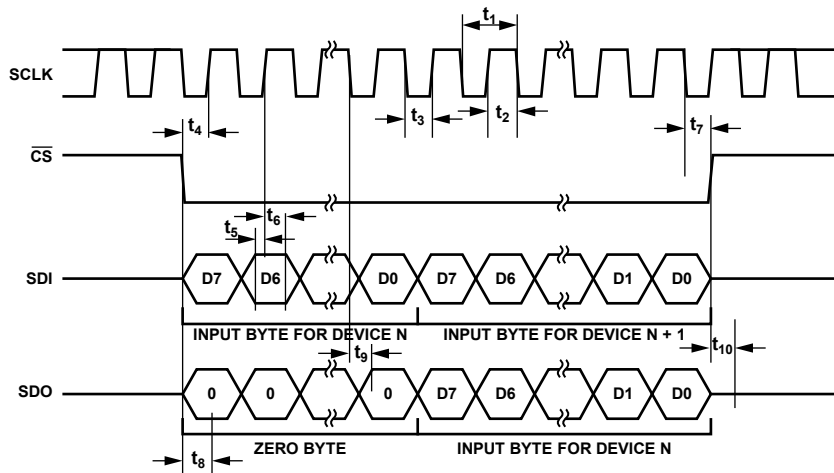


図 3. デイジーチェーンのタイミング図

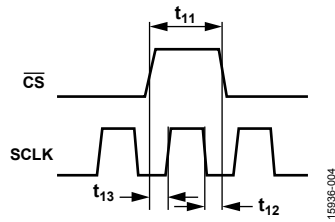


図 4. SCLK/CS のタイミング図



## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
$V_{DD}$ to $V_{SS}$	35 V
$V_{DD}$ to GND	-0.3 V to +25 V
$V_{SS}$ to GND	+0.3 V to -25 V
$V_L$ to GND	-0.3 V to +6 V
Analog Inputs <sup>1</sup>	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Digital Inputs <sup>1</sup>	-0.3 V to +6 V
Peak Current, Sx or Dx Pins <sup>2</sup>	38 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or Dx Pins <sup>2,3</sup>	Data + 15%
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Reflow Soldering Peak Temperature, Pb Free	260(+0/-5)°C

<sup>1</sup> デジタル Sx ピンおよび Dx ピンでの過電圧は、内部ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

<sup>2</sup> Sx は S1 ~ S4 ピン、Dx は D1 ~ D4 ピンを表します。

<sup>3</sup> 表 3 および表 4 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

同時に複数の絶対最大定格を適用することはできません。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 7.熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	$\Psi_{JT}$	Unit
CP-24-15 <sup>1</sup>	67	33.7	11.1	°C/W

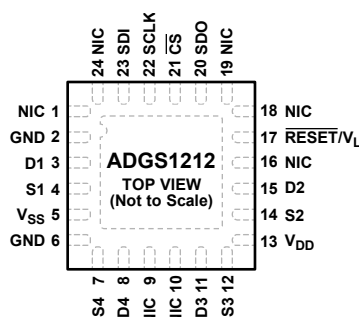
<sup>1</sup> 熱抵抗のシミュレーション値は、4つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照。

## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



- NOTES
1. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE EXPOSED PAD BE SOLDERED TO THE SUBSTRATE, V<sub>SS</sub>.
  2. NIC = NOT INTERNALLY CONNECTED.

15936-005

図 5. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1、9、10、16、18、19、24	NIC	内部では未接続。
2、6	GND	グラウンド・リファレンス (0 V)。
3	D1	ドレイン端子 1。このピンは、入力または出力に設定できます。
4	S1	ソース端子 1。このピンは、入力または出力に設定できます。
5	V <sub>SS</sub>	負電源の電位。単電源アプリケーションでは、V <sub>SS</sub> をデバイスの近くで GND に接続します。
7	S4	ソース端子 4。このピンは、入力または出力に設定できます。
8	D4	ドレイン端子 4。このピンは、入力または出力に設定できます。
11	D3	ドレイン端子 3。このピンは、入力または出力に設定できます。
12	S3	ソース端子 3。このピンは、入力または出力に設定できます。
13	V <sub>DD</sub>	正電源の電位。
14	S2	ソース端子 2。このピンは、入力または出力に設定できます。
15	D2	ドレイン端子 2。このピンは、入力または出力に設定できます。
17	RESET/V <sub>L</sub>	RESET/ロジック電源入力 (V <sub>L</sub> ) 通常動作では、2.7 V ~ 5.5 V の電源で RESET/V <sub>L</sub> ピンを駆動します。ハードウェア・リセットを完了するには、RESET ピンをローにプルダウンします。リセット後、すべてのスイッチは解放され、適切なレジスタがデフォルト値に設定されます。
20	SDO	シリアル・データ出力。多数のデバイスをデイズチェーン接続したり、診断のためにレジスタに格納されたデータをリードバックするには、このピンを使用します。シリアル・データは SCLK の立上がりエッジで伝搬され、外部抵抗を使用して、このオープンドレイン出力を V <sub>L</sub> にプルダウンします。
21	CS	アクティブ・ローのコントロール入力。CS は、入力データのフレーム同期信号です。
22	SCLK	シリアル・クロック入力です。SCLK の立上がりエッジでデータがキャプチャされます。最大 50 MHz のレートでデータを転送できます。
23	SDI	シリアル・データ入力。シリアル・クロック入力の立上がりエッジでデータがキャプチャされます。
	EPAD	エクスポーズド・パッド。エクスポーズド・パッドは内部で接続されていません。ハンダ接続の信頼性と熱性能を向上させるため、このエクスポーズド・パッドを基板 V <sub>SS</sub> にハンダ付けすることを推奨します。

代表的な性能特性

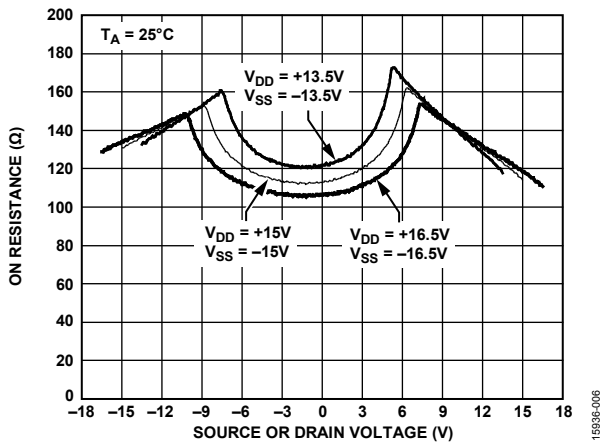


図 6. さまざまな両電源でのオン抵抗とソース電圧またはドレイン電圧 ( $V_S$  または  $V_D$ ) の関係

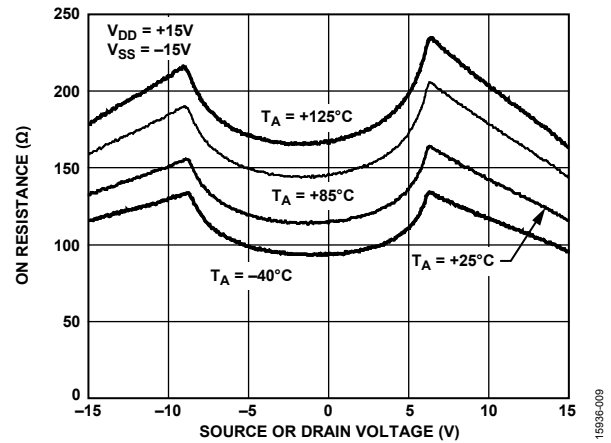


図 9. さまざまな周辺温度 ( $T_A$ )、±15 V の両電源でのオン抵抗とソース電圧またはドレイン電圧 ( $V_S$  または  $V_D$ ) の関係

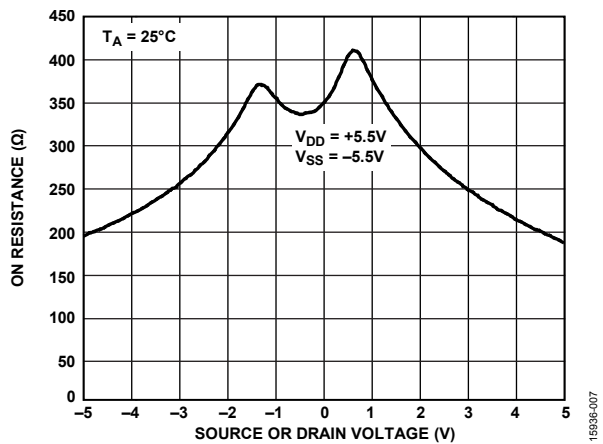


図 7. ±5.5 V の両電源でのオン抵抗とソース電圧またはドレイン電圧 ( $V_S$  または  $V_D$ ) の関係

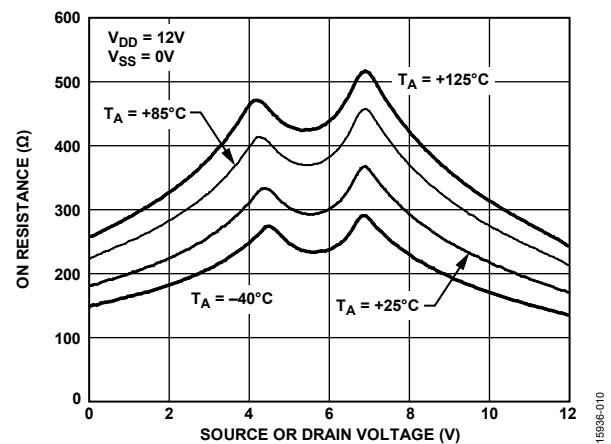


図 10. 周辺温度 ( $T_A$ )、±12 V の単電源でのオン抵抗とソース電圧またはドレイン電圧 ( $V_S$  または  $V_D$ ) の関係

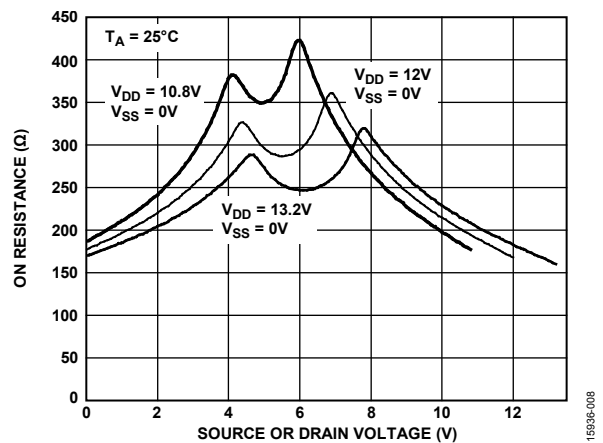


図 8. さまざまな単電源でのオン抵抗とソース電圧またはドレイン電圧 ( $V_S$  または  $V_D$ ) の関係

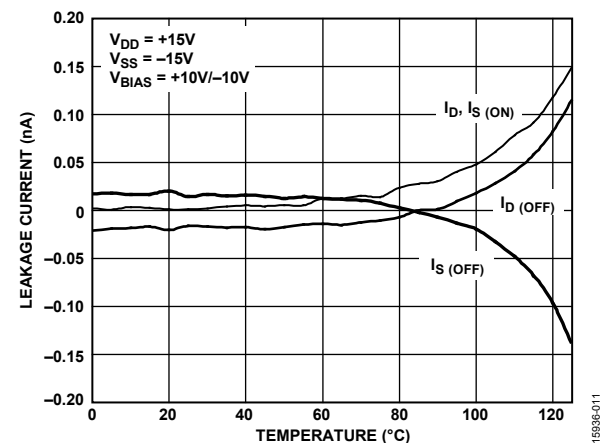


図 11. リーク電流の温度特性、±15 V の両電源

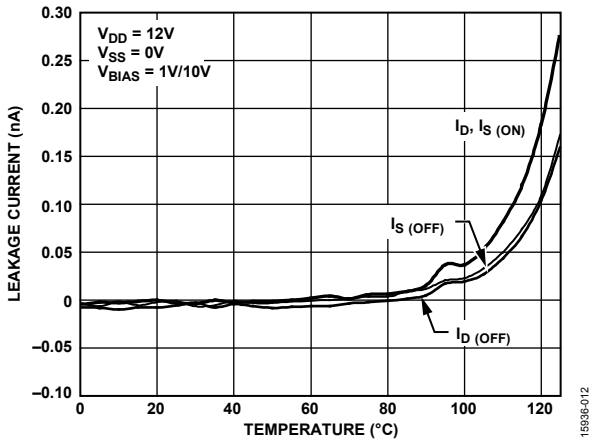


図 12. リーク電流の温度特性、12 V の単電源

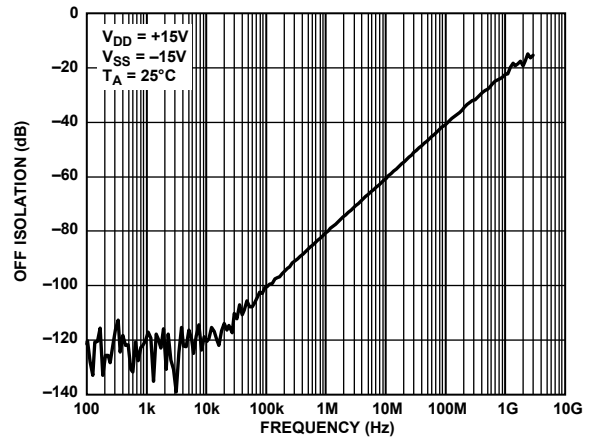


図 15. オフ・アイソレーションの周波数特性、±15 V の両電源

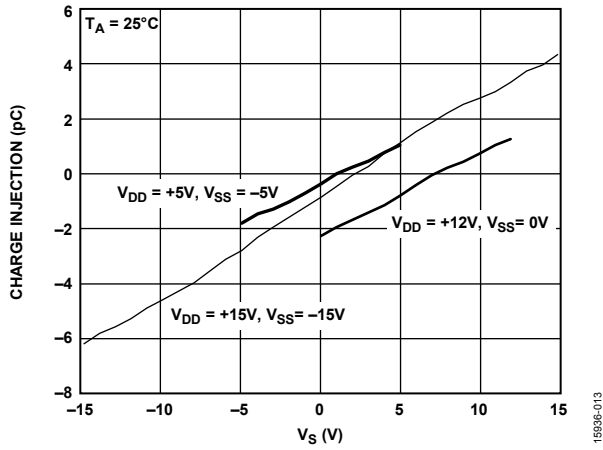


図 13. チャージ・インJECTIONとソース電圧 ( $V_S$ ) の関係

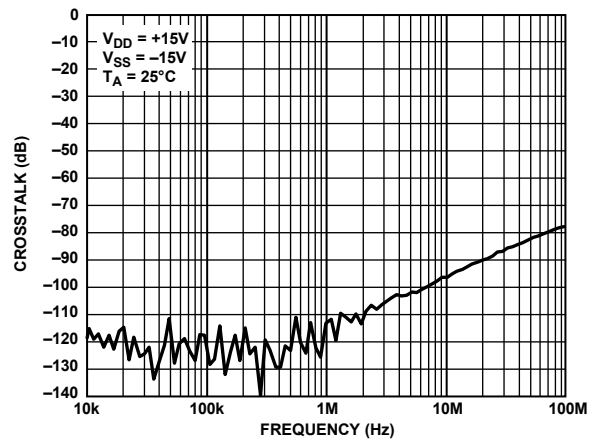


図 16. クロストークの周波数特性、±15 V の両電源

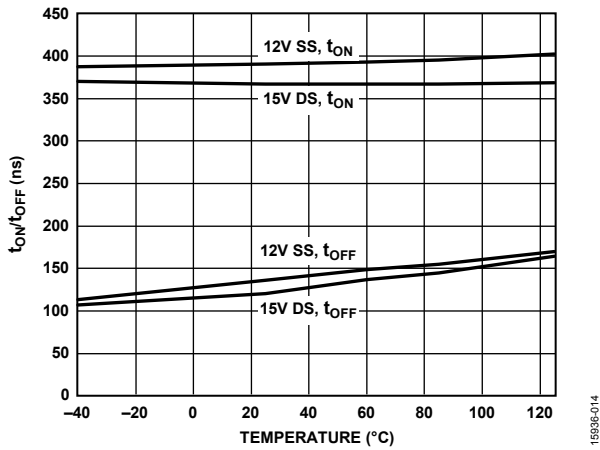


図 14.  $t_{ON}/t_{OFF}$  と温度の関係、単電源 (SS) と両電源 (DS)

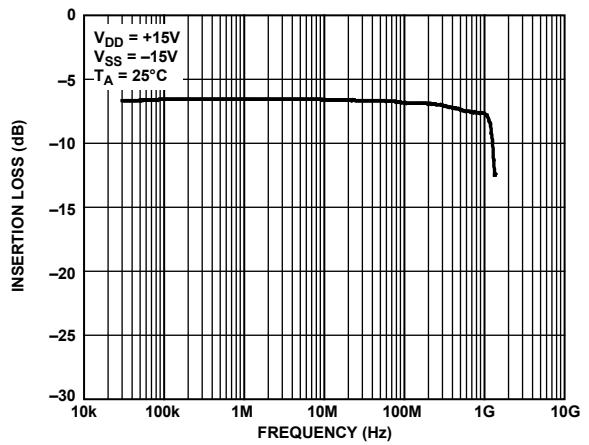


図 17. 挿入損失の周波数特性、±15 V の両電源

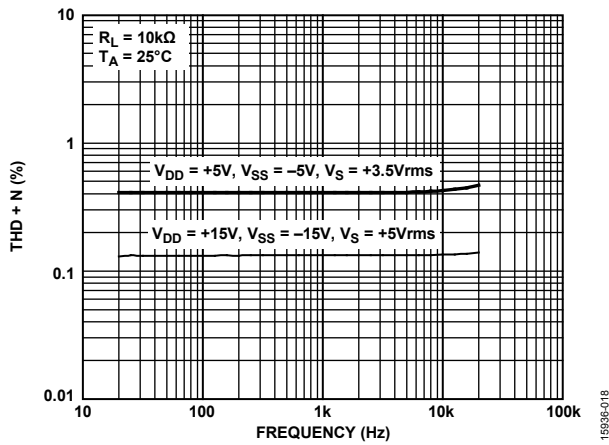


図 18. 全高調波歪み + ノイズ (THD + N) の周波数特性

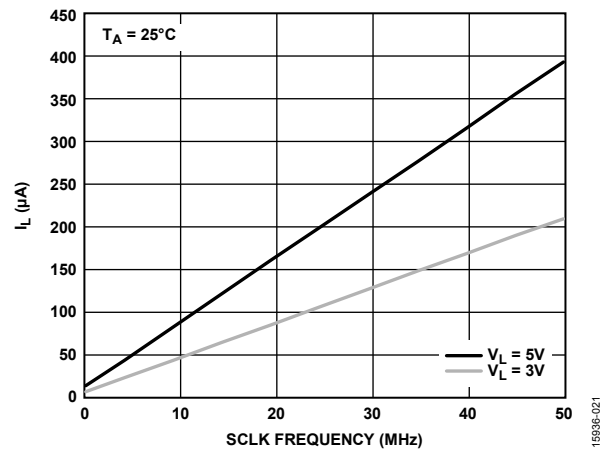


図 21.  $\overline{CS}$  がハイの場合の負荷電流 ( $I_L$ ) の SCLK 周波数特性

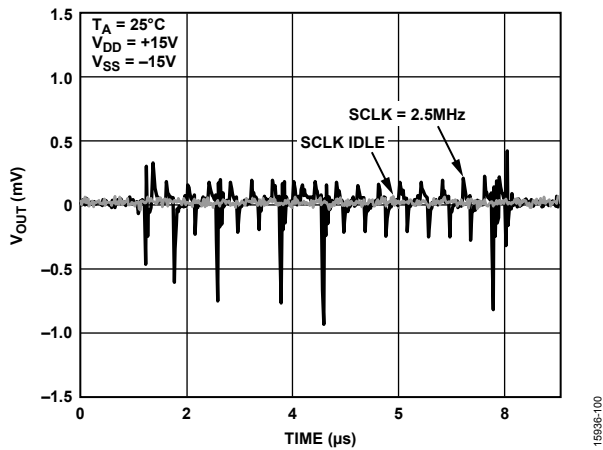


図 19. デジタル・フィードスルー

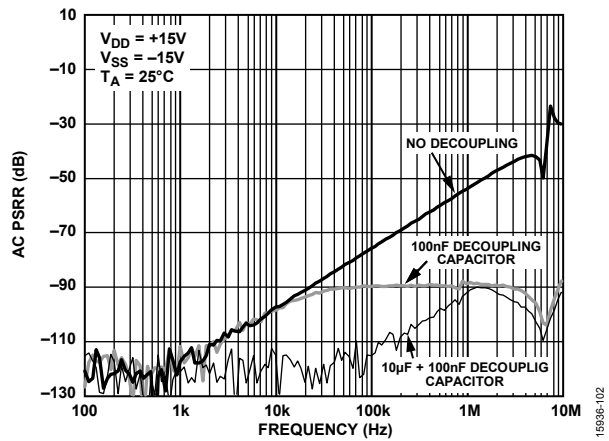


図 22. 電源電圧変動除去比 (PSRR) の周波数特性

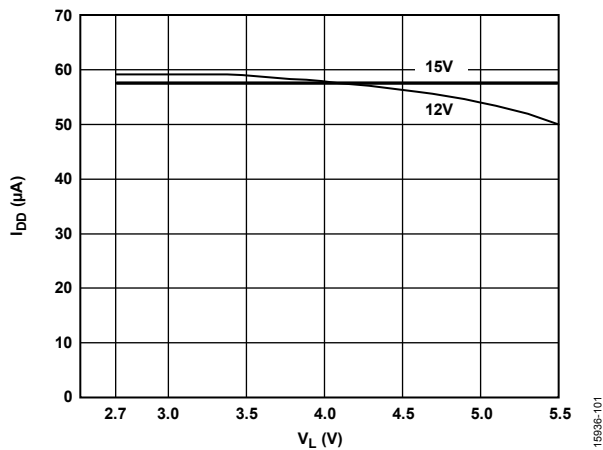


図 20. 正の電源電流 ( $I_{DD}$ ) と  $V_L$  の関係

試験回路

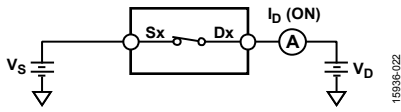


図 23. オン・リーク

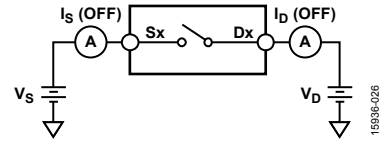


図 27. オフ・リーク

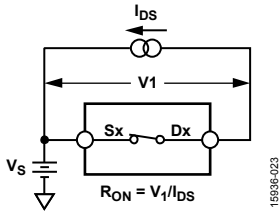


図 24. オン抵抗

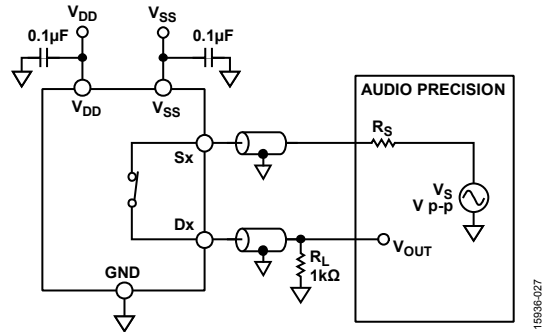


図 28. THD + ノイズ

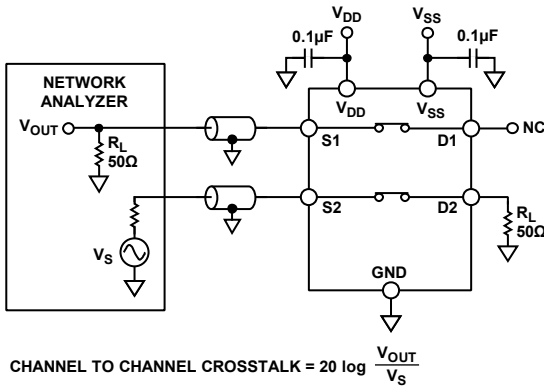


図 25. チャンネル間クロストーク

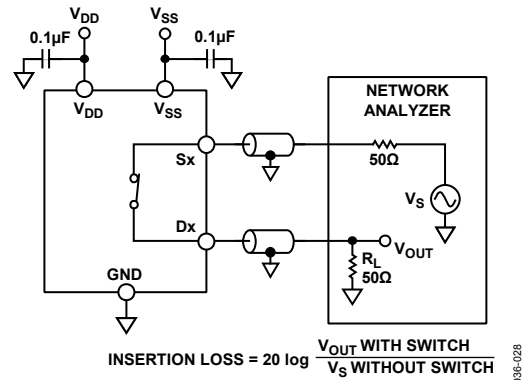


図 29. -3 dB 帯域幅

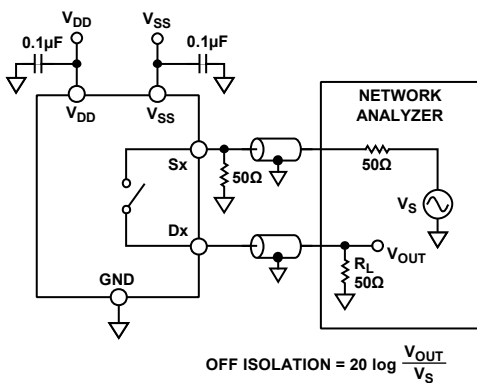
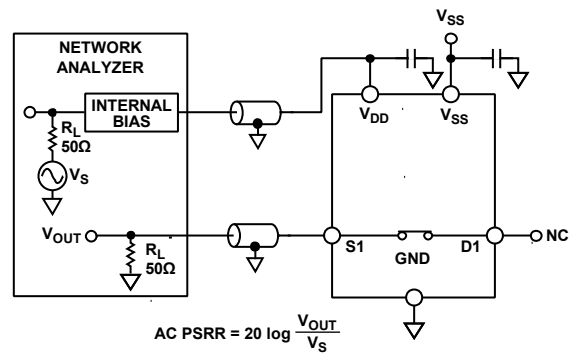


図 26. オフ・アイソレーション



NOTES  
1. BOARD AND COMPONENT EFFECTS ARE NOT DE-EMBEDDED FROM THE AC PSRR MEASUREMENT.

図 30. AC PSRR

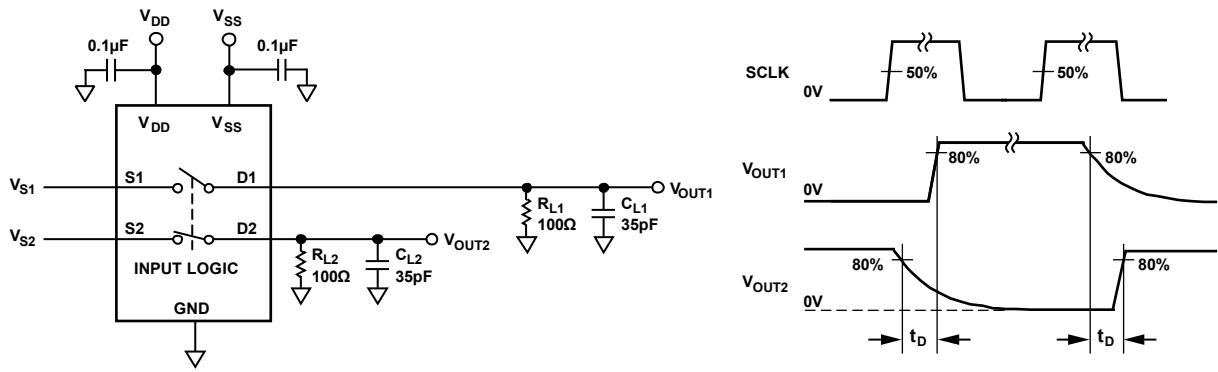


図 31. ブレーク・ビフォア・メークの遅延時間、 $t_D$

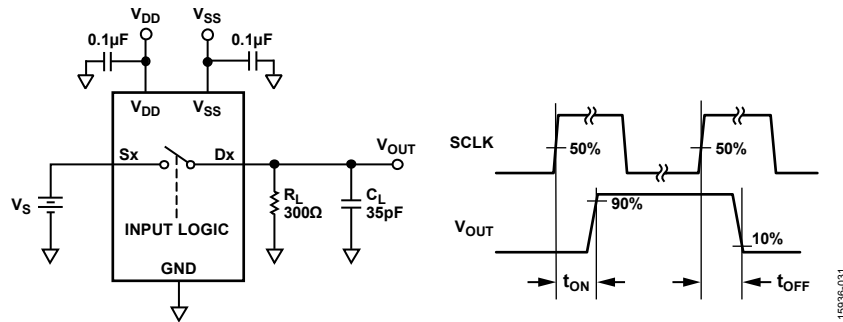


図 32. スイッチング時間、 $t_{ON}$  および  $t_{OFF}$

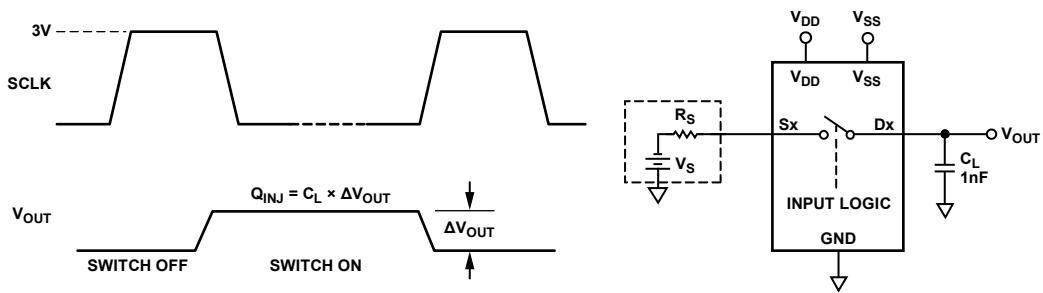


図 33. チャージ・インジェクション、 $Q_{INJ}$

## 用語の定義

**I<sub>DD</sub>**

正の電源電流。

**I<sub>SS</sub>**

負の電源電流。

**V<sub>D</sub>、V<sub>S</sub>**

端子 D<sub>X</sub> と端子 S<sub>X</sub> のアナログ電圧。

**R<sub>ON</sub>**

端子 D<sub>X</sub> と端子 S<sub>X</sub> の間の抵抗。

**ΔR<sub>ON</sub>**

任意の 2 チャンネル間の R<sub>ON</sub> の差。

**R<sub>FLAT (ON)</sub>**

仕様規定されたアナログ信号範囲における、オン抵抗の最大値と最小値の差として定義される抵抗値の平坦性。

**I<sub>S (OFF)</sub>**

スイッチ・オフ時のソース・リーク電流。

**I<sub>D (OFF)</sub>**

スイッチ・オフ時のドレイン・リーク電流。

**I<sub>D (ON)</sub>、I<sub>S (ON)</sub>**

スイッチ・オン時のチャンネル・リーク電流。

**V<sub>INL</sub>**

ロジック 0 の最大入力電圧。

**V<sub>INH</sub>**

ロジック 1 の最小入力電圧。

**I<sub>INL</sub>、I<sub>INH</sub>**

デジタル入力のロー・レベルおよびハイ・レベルでの入力電流。

**C<sub>D (OFF)</sub>**

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

**C<sub>S (OFF)</sub>**

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

**C<sub>D (ON)</sub>、C<sub>S (ON)</sub>**

スイッチ・オン時の容量。グラウンドを基準として測定。

**C<sub>IN</sub>**

デジタル入力容量。

**t<sub>ON</sub>**

デジタル・コントロールで入力と出力をオンにする間の遅延。

**t<sub>OFF</sub>**

デジタル・コントロールで入力と出力をオフにする間の遅延。

**オフ・アイソレーション**

オフ・スイッチから混入する不要な信号の大きさ。

**チャージ・インжекション**

切替え中にデジタル入力からアナログ出力に転送されるグリッチ・インパルスの大きさ。

**クロストーク**

寄生容量に起因し、あるチャンネルから別のチャンネルに混入する不要な信号の大きさ。

**-3 dB 帯域幅**

帯域幅とは、出力が 3 dB 減衰する周波数。

**オン応答**

オン状態にあるスイッチの周波数応答。

**挿入損失**

スイッチのオン抵抗に起因する損失。

**全高調波歪み + ノイズ (THD + N)**

基本波成分に対する全高調波成分 + 信号ノイズの比。

**AC 電源変動除去比 (AC PSRR)**

変調振幅に対する出力信号の振幅の比。AC PSRR は、電源電圧ピンに現れる AC ノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイス電源の DC 電圧が、0.62 V p-p の正弦波で変調されます。



## 動作原理

ADGS1212は、エラー検出機能を備えたシリアル制御、クワッドSPSTスイッチのセットです。SPIモード0およびSPIモード3をデバイスと組み合わせると、最大50MHzのSCLK周波数で動作させることができます。ADGS1212のデフォルトのモードは、デバイスのレジスタがCSによって分割される16ビットのSPIコマンドでアクセスするアドレス・モードです。-CRCエラー検出が有効な場合、SPIコマンドは24ビットになります。その他のエラー検出機能には、SCLKカウント・エラーや無効な読出し/書込みエラーがあります。これらのSPIインターフェースでエラーが発生すると、エラー・フラグ・レジスタの読出し時に検出されます。また、ADGS1212は、バースト・モードとデジジェチェーン・モードでも動作します。

ADGS1212のインターフェース・ピンは、CS、SCLK、SDI、およびSDOです。SPIインターフェースを使用する場合は、CSをローにします。データはSCLKの立ち上がりエッジ発生時にSDIでキャプチャされ、SCLKの立下がりエッジ発生時にSDOで伝搬されます。SDOはオープンドレイン出力を備えているので、プルアップ抵抗をこの出力に接続します。ADGS1212を使用してもローにならない場合、SDOは高インピーダンス状態になります。

### アドレス・モード

アドレス・モードは、パワーアップ時のADGS1212のデフォルト・モードです。アドレス・モードでは、単一のSPIフレームがCS立下りエッジと後続のCS立上りエッジによって分割されます。16SCLKサイクルで構成されます。アドレス・モードのタイミング図を図34に示します。最初のSDIビットを使用して、SPIコマンドが読出しコマンドまたは書込みコマンドのどちらであるかを示します。最初のビットが0に設定されている場合は、書込みコマンドが実行されます。最初のビットが1に設定されている場合は、読出しコマンドが実行されます。次の7ビットはターゲット・レジスタのアドレスを決定します。残りの8ビットは、指定されたレジスタへデータを提供します。読出しコマンド実行中のクロック・サイクルでは、SDOがレジスタに含まれるデータを伝搬するため、最後の8ビットは無視されます。

SPIコマンドのターゲット・レジスタのアドレスは、8番目のSCLK立上りエッジで決定されます。このレジスタのデータは、SPI読

出し中に9～16番目のSCLK立下りエッジでSDOから伝搬されます。レジスタへの書込みは、SPIの書込み中に16番目のSCLK立上りエッジで発生します。

SPIコマンドの実行中、SDOは8つのSCLK立下りエッジで8つのアライメント・ビットを送信します。SDOで観察されるアライメント・ビットは、デフォルトで0x25です。

### エラー検出機能

SPIインターフェースでは、プロトコルと通信のエラーを検出できます。不正なSCLKカウント・エラー検出、無効な読出しと書込みアドレス・エラー検出、CRCエラー検出の3つのエラーを検出できます。エラー設定レジスタには、各エラーに対応するインペール・ビットがあります。さらに、エラー・フラグ・レジスタには、各エラーに対応するエラー・フラグ・ビットがあります。

### 巡回冗長検査 (CRC) エラーの検出

CRCエラー検出機能では、8つのSCLKサイクルで有効なSPIフレームが拡張されます。8つの追加サイクルは、SPIフレームのCRCバイトを送信するために必要です。CRCバイトは、16ビットのペイロードを使用してSPIブロックによって計算されます。ペイロードは、R/Wビット、レジスタ・アドレス・ビット[6:0]、レジスタ・データ・ビット[7:0]で構成されます。SPIブロックで使用されるCRC多項式は、 $x^8+x^2+x^1+1$ 、シード値は0です。CRCを有効にした場合のタイミング図については、図35を参照してください。レジスタへの書込みは、CRCエラー・チェックを有効にした場合に24番目のSCLK立上りエッジで発生します。

SPIの書込み中に、マイクロコントローラ/CPU(中央処理装置)は、SDI経由でCRCバイトを出力します。SPIブロックは、24番目の立上りエッジ直前にCRCバイトをチェックします。同じエッジで、SPIインターフェースから不正なCRCバイトが受信されると、レジスタへの書込みは阻止されます。CRCエラー・フラグは、不正なCRCバイトが検出された場合にエラー・フラグ・レジスタでアサートされます。

SPIの読出しを実行中、CRCバイトはSDOからマイクロコントローラに出力されます。

CRCエラー検出機能は、デフォルトでは無効になっています。この機能はエラー設定レジスタで設定できます。

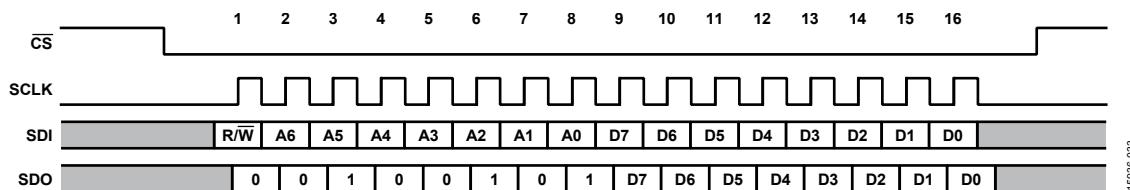


図 34. アドレス・モードのタイミング図

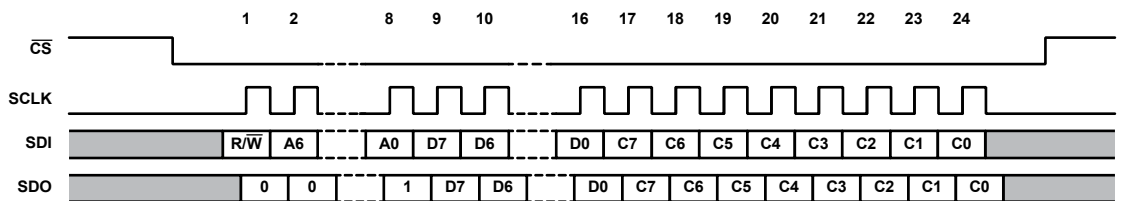


図 35. CRC が有効な場合のタイミング図

### SCLK カウント・エラー検出

SCLK カウント・エラー検出を使用すると、不正な SCLK サイクル数がマイクロコントローラ/CPU から送信されたかどうかを検出できます。アドレス・モードで CRC を無効にすると、SCLK サイクルの発生回数は 16 回になります。検出される SCLK サイクルの回数が 16 未満の場合、SCLK カウントのエラー・フラグがエラー・フラグ・レジスタでアサートされます。デバイスによって受信される SCLK サイクルの回数が 16 未満の場合、レジスタ・マップへの書込みは発生しません。ADGS1212 によって受信される SCLK サイクルの回数が 16 を超える場合も、メモリ・マップへの書込みが 16 番目の SCLK 立上がりエッジで発生し、エラー・フラグ・レジスタでフラグがアサートされます。CRC を有効にすると、発生する SCLK サイクルの回数は 24 になります。SCLK カウント・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで設定できます。

### 無効な読出し/書込みアドレス・エラー

存在しないレジスタ・アドレスが読出しまたは書込みのターゲットになると、無効な読出し/書込みアドレス・エラーが検出されます。さらに、このエラーは、読出し専用レジスタに書出しが試行された場合にもアサートされます。無効な読出し/書込みアドレス・エラーが発生すると、エラー・フラグ・レジスタで無効な読出し/書込みアドレス・エラー・フラグがアサートされます。無効な読出し/書込みアドレス・エラーは、9 番目の SCLK 立上がりエッジで検出されます。つまり、無効なアドレスがターゲットになっている場合、レジスタへの書込みは発生しません。無効な読出し/書込みアドレス・エラー検出は、デフォルトで有効です。この機能はエラー設定レジスタで無効にできます。

### エラー・フラグ・レジスタのクリア

エラー・フラグ・レジスタをクリアするには、専用の 16 ビット SPI フレーム 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R/W アドレス・エラーはトリガされません。CRC が有効な場合、エラー・クリア・コマンドを正常に完了するため、CRC バイトも送信する必要があります。16 番目または 24 番目の SCLK 立上がりエッジで、エラー・フラグ・レジスタは 0 にリセットされます。

### バースト・モード

SPI インターフェースでは、CS ラインをアサート解除する必要がなく、連続する SPI コマンドに対応できます。これをバースト・モードといいます。バースト・モードを有効にするには、バースト・イネーブル・レジスタを使用します。このモードでは、同じ 16 ビット・コマンドを使用してデバイスと通信します。さらに、SDO でのデバイスの応答は、対応する SPI コマンドに揃えられます。図 36 に、バースト・モードを実行中の SDI と SDO の例を示します。

無効な読出し/書込みアドレスおよび CRC のエラー・チェック機能は、バースト・モードの実行中もアドレス・モードと同様に動作します。ただし、SCLK カウント・エラー検出の動作は若干異なります。特定の CS フレーム内で SCLK サイクルの合計がカウントされ、CRC を有効にした状態で合計が 16 または 24 の倍数でない場合、SCLK カウント・エラー・フラグがアサートされます。

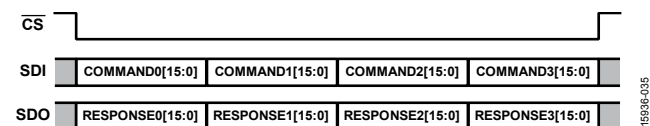


図 36. バースト・モード・フレーム

### ソフトウェア・リセット

アドレス・モードでは、次の方法でソフトウェア・リセットを開始できます。レジスタ 0x0B をターゲットとする連続した 2 つの SPI コマンド（つまり 0xA3 と 0x05）の書込みを実行します。ソフトウェア・リセットの後に、すべてのレジスタ値がデフォルトに設定されます。

### デジチェーン・モード

デジチェーン設定では、複数の ADGS1212 デバイスを接続できます。図 37 に、このセットアップを示します。すべてのデバイスが同じ CS と SCLK ラインを共有し、デバイスの SDO ラインが次のデバイスの SDI ラインに接続され、シフト・レジスタが作成されます。デジチェーン・モードでは、SDO は SDI の 8 サイクル遅延したバージョンになります。デジチェーン・モードでは、すべてのコマンドがスイッチ・データ・レジスタをターゲットにします。そのため、デジチェーン・モードでは設定を変更できません。

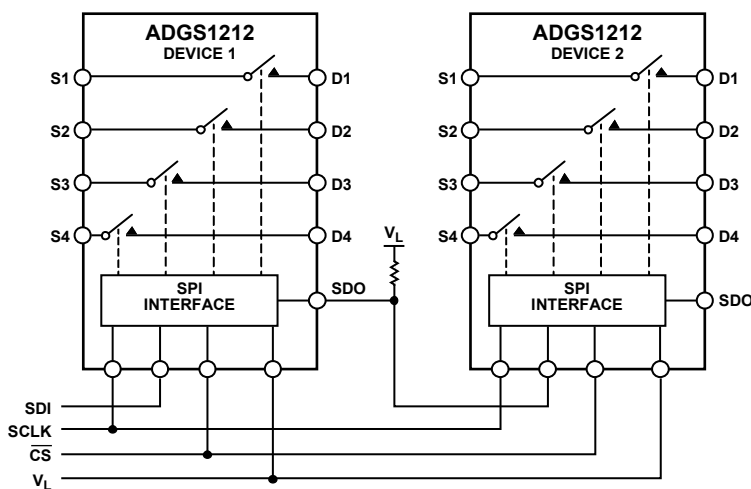


図 37. デジチェーン構成で接続された 2 台の ADGS1212 デバイス

ADGS1212は、アドレス・モードで16ビットのSPIコマンド0x2500(図38を参照)を送信した場合のみ、デジチェーン・モードに移行できます。ADGS1212がこのコマンドを受信すると、デバイスのSDOが同じコマンドを送信します。SDOのアライメント・ビットが0x25であることが理由です。この場合、デジチェーン接続された複数のデバイスを単一のSPIフレームでデジチェーン・モードに移行できます。デジチェーン・モードを終了するには、ハードウェア・リセットが必要です。

通常のデジチェーンSPIフレームのタイミング図については、図39を参照してください。 $\overline{CS}$ がハイになると、デバイス1はコマンド0、ビット[7:0]をスイッチ・データ・レジスタに書き込みます。デバイス2はコマンド1、ビット[7:0]をスイッチに書き込みます。残りのデバイスも同様にコマンドを実行します。SPIブロックでは、SDIから受信した最後の8ビットを使用してスイッチが更新されます。デジチェーン・モードに移行した後、チェーン内の各デバイスに搭載されたSDOによって送信される

最初の8ビットは0x00です。 $\overline{CS}$ がハイになると、内部シフト・レジスタ値は0にリセットされません。

SCLK 立上がりエッジでは、SDI からデータが読み出されます。一方、SCLK 立下がりエッジでは、SDO からデータが伝搬されます。 $\overline{CS}$ がハイになるまでSCLK サイクルが発生する回数は、8の倍数になるはずですが、そうでない場合、SPI インターフェースは受信した最後の8ビットをスイッチ・データ・レジスタに送信します。

### パワーオン・リセット

ADGS1212 のデジタル・セクションは、 $V_L$  の電源投入時に初期化フェーズを実行します。この初期化は、ハードウェアまたはソフトウェアのリセット後も発生します。 $V_L$  の電源投入またはリセットの後、少なくとも120  $\mu$ s 経過してからSPIコマンドを発行します。120  $\mu$ s の初期化フェーズでは、 $V_L$  がドロップアウトしないよう注意してください。 $V_L$  がドロップアウトすると、ADGS1212 の動作で異常が発生する可能性があります。

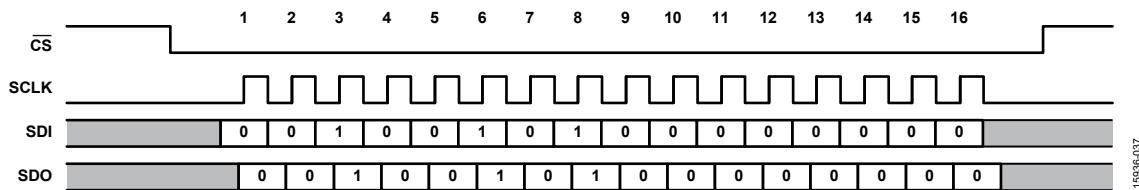
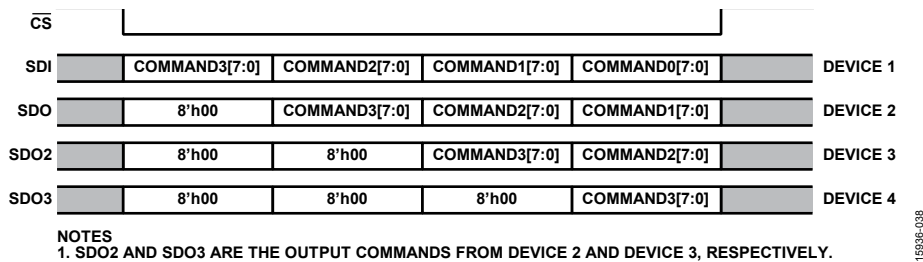


図 38. デジチェーン・モードに移行する SPI コマンド



NOTES  
1. SDO2 AND SDO3 ARE THE OUTPUT COMMANDS FROM DEVICE 2 AND DEVICE 3, RESPECTIVELY.

図 39. デジチェーン・モードで4台のADGS1212デバイスが接続されるSPIフレームの例

## アプリケーション情報

### ブレイク・ビフォア・メーカーのスイッチング

ADGS1212はブレイク・ビフォア・メーカーのスイッチング機能を備えています。この機能により、デバイスをマルチプレクサ・アプリケーションで使用できます。マルチプレクサ形式でデバイスを使用するには、目的のMUX構成にデバイスを外部でハードワイヤ接続します（図40を参照）。

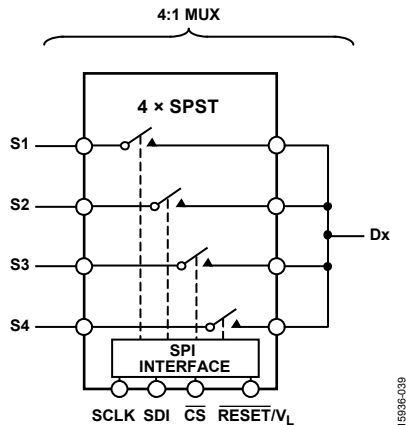


図40. 4:1 Muxに構成されたSPIコントロール・スイッチ

### 電源レール

ADGS1212の正常な動作を確保するには、 $0.1\ \mu\text{F}$ のデカップリング・コンデンサが必要です。

ADGS1212は、 $\pm 4.5\ \text{V} \sim \pm 16.5\ \text{V}$ のバイポーラ電源で動作することができます。 $V_{\text{DD}}$ と $V_{\text{SS}}$ に接続した電源が対称である必要はありませんが、 $V_{\text{DD}}$ と $V_{\text{SS}}$ の範囲が $33\ \text{V}$ を超えてはいけません。また、ADGS1212は、 $V_{\text{SS}}$ をGNDに接続した $5\ \text{V} \sim 16.5\ \text{V}$ の単電源で動作することもできます。

$V_{\text{L}}$ に供給できる電圧範囲は $2.7\ \text{V} \sim 5.5\ \text{V}$ です。

デバイスは $\pm 15\ \text{V}$ 、 $+12\ \text{V}$ のアナログ電圧範囲で仕様規定されています。

### 電源の推奨事項

アナログ・デバイスでは、ほとんどの高性能シグナル・チェーンの要件を満たす広範なパワー・マネジメント製品を提供しています。

バイポーラ電源ソリューションの例を図41に示します。**ADP5070**（デュアル・スイッチング・レギュレータ）は、典型的なシグナル・チェーンのADGS1212、アンプ、高精度コンバータ向けに正と負の電源レールを生成します。図41に示すように、オプションで2つの低ドロップアウト（LDO）レギュレータがあります。**ADP7118**と**ADP7182**はそれぞれ正と負のLDOです。これらのLDOを使用すると、極めて小さなノイズに敏感なアプリケーションで**ADP5070**の出力リップルを削減できます。

**ADM7160**を使用すると、ADGS1212内のデジタル回路に電力を供給するのに必要な $V_{\text{L}}$ 電圧を生成できます。

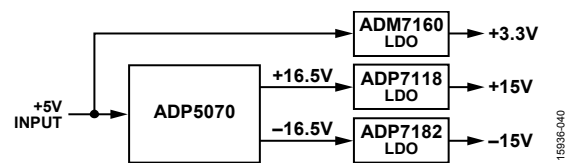


図41. バイポーラ電源のソリューション

表9. 推奨されるパワー・マネジメント・デバイス

Product	Description
ADP5070	1 A/0.6 A, dc-to-dc switching regulator with independent positive and negative outputs
ADM7160	5.5 V, 200 mA, ultralow noise, linear regulator
ADP7118	20 V, 200 mA, low noise, CMOS LDO linear regulator
ADP7182	-28 V, -200 mA, low noise, LDO linear regulator

## レジスタの一覧

表 10. レジスタの一覧

レジスタ (Hex)	名前	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	デフォルト	R/W	
0x01	SW_DATA	Reserved			SW4_EN	SW3_EN	SW2_EN	SW1_EN		0x00	R/W	
0x02	ERR_CONFIG	Reserved				RW_ERR_EN	SCLK_ERR_EN	CRC_ERR_EN		0x06	R/W	
0x03	ERR_FLAGS	Reserved				RW_ERR_FLAG	SCLK_ERR_FLAG	CRC_ERR_FLAG		0x00	R	
0x05	BURST_EN	Reserved							BURST_MODE_EN		0x00	R/W
0x0B	SOFT_RESETB	SOFT_RESETB									0x00	R/W

## レジスタの詳細

### スイッチ・データ・レジスタ

アドレス: 0x01、リセット: 0x00、レジスタ名: SW\_DATA

スイッチ・データ・レジスタは、ADGS1212の4つのスイッチのステータスを制御します。

表 11. SW\_DATA のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:4]	予備		これらのビットは予約済みで、0 に設定します。	0x0	R
3	SW4_EN	0 1	SW4 のイネーブル・ビット。 0 SW4 オープン。 1 SW4 クローズ。	0x0	R/W
2	SW3_EN	0 1	SW3 のイネーブル・ビット。 0 SW3 オープン。 1 SW3 クローズ。	0x0	R/W
1	SW2_EN	0 1	SW2 のイネーブル・ビット。 0 SW2 オープン。 1 SW2 クローズ。	0x0	R/W
0	SW1_EN	0 1	SW1 のイネーブル・ビット。 0 SW1 オープン。 1 SW1 クローズ。	0x0	R/W

### エラー設定レジスタ

アドレス: 0x02、リセット: 0x06、レジスタ名: ERR\_CONFIG

エラー設定レジスタでは、必要に応じて関連する機能を有効または無効にできます。

表 12. ERR\_CONFIG のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:3]	予備		これらのビットは予約済みで、0 に設定します。	0x0	R
2	RW_ERR_EN	0 1	無効な読出し/書込みアドレスを検出するイネーブル・ビット。 0 ディスエーブル。 1 イネーブル。	0x1	R/W
1	SCLK_ERR_EN	0 1	SPI フレームの SCLK サイクルの回数が正しいかどうかを検出するためのエラー・ビット。CRC が無効でバースト・モードが無効な場合、SCLK サイクルの回数は 16 になります。CRC が有効でバースト・モードが無効な場合、SCLK サイクルの回数は 24 になります。CRC が無効で、バースト・モードが有効の場合、SCLK サイクルの回数は 16 になります。CRC が有効で、バースト・モードが有効の場合、SCLK サイクルの回数は 24 になります。 0 ディスエーブル。 1 イネーブル。	0x1	R/W
0	CRC_ERR_EN	0 1	CRC エラー検出のイネーブル・ビット。有効な場合の SPI フレームは 24 ビットです。 0 ディスエーブル。 1 イネーブル。	0x0	R/W

## エラー・フラグ・レジスタ

アドレス: 0x03、リセット: 0x00、レジスタ名: ERR\_FLAGS

エラー・フラグ・レジスタを使用すると、エラーが発生したかどうかを判断できます。エラー・フラグ・レジスタをクリアするには、16ビットの専用 SPI コマンド 0x6CA9 をデバイスに書き込みます。この SPI コマンドを実行しても、無効な R/W アドレス・エラーはトリガされません。CRC が有効な場合、エラー・フラグ・レジスタのクリア・コマンドを正常に完了するには、SPI の書き込みで正しい CRC バイトを挿入する必要があります。

表 13. ERR\_FLAGS のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:3]	予備		これらのビットは予約済みで、0 に設定します。	0x0	R
2	RW_ERR_FLAG	0 1	無効な読み出し/書き込みアドレスのエラー・フラグ。ターゲット・アドレスが存在しない場合、SPI 読み出しでエラー・フラグがアサートされます。また、SPI 書き込みのアドレスが存在しない場合、または読み出し専用である場合にも、エラー・フラグがアサートされます。 0 エラーなし。 1 エラー。	0x0	R
1	SCLK_ERR_FLAG	0 1	SPI フレームの SCLK サイクルの数が正しいかどうかを検出するためのフラグ。 0 エラーなし。 1 エラー。	0x0	R
0	CRC_ERR_FLAG	0 1	レジスタへの書き込みで CRC エラーが発生したかどうかを判断するエラー・フラグ。 0 エラーなし。 1 エラー。	0x0	R

## バースト・イネーブル・レジスタ

アドレス: 0x05、リセット: 0x00、レジスタ名: BURST\_EN

バースト・イネーブル・レジスタを使用すると、バースト・モードを有効または無効にできます。有効にすると、 $\overline{CS}$  をアサート解除せずに、複数の連続する SPI コマンドを送信できます。

表 14. BURST\_EN のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:1]	予備		これらのビットは予約済みで、0 に設定します。	0x0	R
0	BURST_MODE_EN	0 1	バースト・モード・イネーブル・ビット。 0 ディスエーブル。 1 イネーブル。	0x0	R/W

## ソフトウェア・リセット・レジスタ

アドレス: 0x0B、リセット: 0x00、レジスタ名: SOFT\_RESETB

ソフトウェア・リセットを実行するには、ソフトウェア・リセット・レジスタを使用します。このレジスタに 0xA3 と 0x05 の順で書き込みを実行すると、デバイスのレジスタはデフォルトの状態にリセットされます。

表 15. SOFT\_RESETB のビットの説明

ビット	ビット名	設定	説明	デフォルト	アクセス
[7:0]	SOFT_RESETB		ソフトウェア・リセットを実行するには、このレジスタに 0xA3 と 0x05 の順で書き込みを実行します。	0x0	R

外形寸法

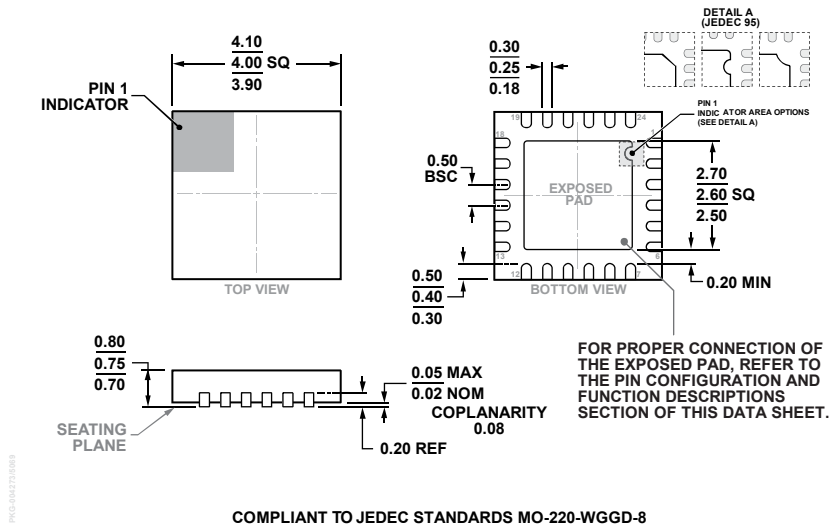


図 42. 24 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]  
 4 mm × 4 mm ボディ、0.75 mm パッケージ高 (CP-24-15)  
 寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADGS1212BCPZ	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-15
ADGS1212BCPZ-RL7	-40°C to +125°C	24-Lead Lead Frame Chip Scale Package [LFCSP]	CP-24-15
EVAL-ADGS1212SDZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品