

特長

- オン抵抗: 0.8 Ω (typ)
- 85°Cでの最大オン抵抗: 1 Ω 以下
- 1.8 V~5.5 Vの単電源動作
- 大きな電流処理能力: 300 mA 連続
- レール to レールのスイッチング動作
- 高速なスイッチング時間: 17 ns 以下
- 消費電力: 0.1 μW 以下
- 1.30 mm × 1.60 mm のミニ LFCSP パッケージを採用

アプリケーション

- 携帯電話
- PDA
- MP3 プレーヤ
- 電源配線
- バッテリー駆動のシステム
- PCMCIA カード
- モデム
- オーディオ信号やビデオ信号のルーティング
- 通信システム

概要

ADG854 は、独立に選択可能な 2 個の CMOS SPDT (シングル・ポール、ダブル・スロー)スイッチを内蔵する低電圧 CMOS デバイスです。このデバイスは、全温度範囲で 1Ω を下回る極めて低いオン抵抗を提供します。ADG854 は、3.3 V と 5.5 V の電源動作に対して仕様が規定されています。

各スイッチはオンのとき等しく両方向に導通し、電源までの入力信号範囲を持っています。ADG854 は、ブ레이크・ピフオー・メーカー・スイッチング動作を行います。

ADG854 は、1.3 mm × 1.6 mm の 10 ピン・ミニ LFCSP パッケージを採用しています。

機能ブロック図

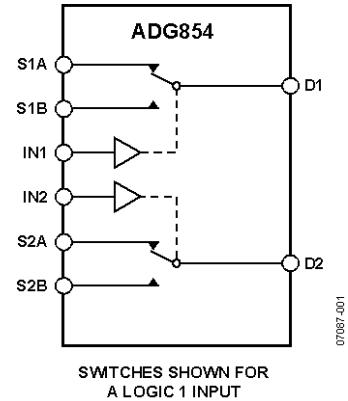


図 1.

製品のハイライト

1. -40°C~+85°Cの全温度範囲で 1 Ω 以下。
2. 1.8 V~5.5 Vの単電源動作。
3. 1.8 V CMOS ロジックと互換。
4. 大きな電流処理能力(チャンネルあたりの連続電流 300 mA)。
5. 低い THD + N: 0.08% (typ)。
6. 1.30 mm × 1.60 mm のミニ LFCSP パッケージを採用

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

目次

特長	1	ESD の注意	5
アプリケーション	1	ピン配置およびピン機能説明	6
機能ブロック図	1	代表的な性能特性	7
概要	1	テスト回路	10
製品のハイライト	1	用語	12
改訂履歴	2	外形寸法	13
仕様	3	オーダー・ガイド	13
絶対最大定格	5		

改訂履歴

6/08—Revision 0: Initial Version

仕様

特に指定のない限り、 $V_{DD} = 4.2V \sim 5.5V$ 、 $GND = 0V$ 。

表 1.

Parameter	+25°C	-40°C to +85°C	Unit	Test Conditions/Comments
ANALOG SWITCH				
Analog Signal Range		0 to V_{DD}	V	
On Resistance, R_{ON}	0.8		Ω typ	$V_{DD} = 4.2V$, $V_S = 0V$ to V_{DD} , $I_{DS} = 100mA$; see Figure 16.
	0.85	1	Ω max	
On Resistance Match Between Channels, ΔR_{ON}	0.02		Ω typ	$V_{DD} = 4.2V$, $V_S = 0V$ to V_{DD} , $I_{DS} = 100mA$
		0.04	Ω max	
On Resistance Flatness, $R_{FLAT(ON)}$	0.17		Ω typ	$V_{DD} = 4.2V$, $V_S = 0V$ to V_{DD} , $I_{DS} = 100mA$
		0.23	Ω max	
LEAKAGE CURRENTS				
Source Off Leakage, I_S (Off)	± 10		pA typ	$V_{DD} = 5.5V$ $V_S = 0.6V/4.2V$, $V_D = 4.2V/0.6V$; see Figure 17
Channel On Leakage, I_D , I_S (On)	± 30		pA typ	$V_S = V_D = 0.6V$ or $4.2V$; see Figure 18
DIGITAL INPUTS				
Input High Voltage, V_{INH}		2.0	V min	
Input Low Voltage, V_{INL}		0.8	V max	
Input Current				
I_{INL} or I_{INH}	0.002		μA typ	$V_{IN} = V_{GND}$ or V_{DD}
		0.05	μA max	
Digital Input Capacitance, C_{IN}	2.5		pF typ	
DYNAMIC CHARACTERISTICS¹				
t_{ON}	17		ns typ	$R_L = 50\Omega$, $C_L = 35pF$
	23	28	ns max	$V_S = 3V/0V$; see Figure 19
t_{OFF}	6		ns typ	$R_L = 50\Omega$, $C_L = 35pF$
	8.5	9.2	ns max	$V_S = 3V$; see Figure 19
Break-Before-Make Time Delay, t_{BBM}	14		ns typ	$R_L = 50\Omega$, $C_L = 35pF$
		8	ns min	$V_{S1} = V_{S2} = 1.5V$; see Figure 20
Charge Injection	30		pC typ	$V_S = 1.5V$, $R_S = 0\Omega$, $C_L = 1nF$; see Figure 21
Off Isolation	-75		dB typ	$R_L = 50\Omega$, $C_L = 5pF$, $f = 100kHz$; see Figure 22
Channel-to-Channel Crosstalk	-85		dB typ	S1A to S2A/S1B to S2B, $R_L = 50\Omega$, $C_L = 5pF$, $f = 100kHz$; see Figure 25
	-73		dB typ	S1A to S1B/S2A to S2B, $R_L = 50\Omega$, $C_L = 5pF$, $f = 100kHz$; see Figure 24
Total Harmonic Distortion + Noise, THD + N	0.08		% typ	$R_L = 32\Omega$, $f = 20Hz$ to $20kHz$, $V_S = 3.5V$ p-p
Insertion Loss	-0.06		dB typ	$R_L = 50\Omega$, $C_L = 5pF$; see Figure 23
-3 dB Bandwidth	100		MHz typ	$R_L = 50\Omega$, $C_L = 5pF$; see Figure 23
C_S (Off)	19.5		pF typ	
C_D , C_S (On)	50		pF typ	
POWER REQUIREMENTS				
I_{DD}	0.002		μA typ	$V_{DD} = 5.5V$ Digital inputs = 0V or 5.5V
		1.0	μA max	

¹ 設計上保証しますが、出荷テストは行いません。

特に指定のない限り、 $V_{DD} = 2.7 \sim 3.6$ V、 $GND = 0$ V。

表 2.

Parameter	+25°C	-40°C to +85°C	Unit	Test Conditions/Comments
ANALOG SWITCH				
Analog Signal Range		0 to V_{DD}	V	
On Resistance, R_{ON}	1.3		Ω typ	$V_{DD} = 2.7$ V, $V_S = 0$ V to V_{DD} , $I_{DS} = 100$ mA; see Figure 16.
	1.5	1.7	Ω max	
On Resistance Match Between Channels, ΔR_{ON}	0.03		Ω typ	$V_{DD} = 2.7$ V, $V_S = 0.6$ V, $I_{DS} = 100$ mA
		0.05	Ω max	
On Resistance Flatness, $R_{FLAT(ON)}$	0.48		Ω typ	$V_{DD} = 2.7$ V, $V_S = 0$ V to V_{DD} , $I_{DS} = 100$ mA
		0.66	Ω max	
LEAKAGE CURRENTS				
Source Off Leakage, I_S (Off)	± 10		pA typ	$V_{DD} = 3.6$ V $V_S = 0.6$ V/3.3 V, $V_D = 3.3$ V/0.6 V; see Figure 17
Channel On Leakage, I_D , I_S (On)	± 30		pA typ	$V_S = V_D = 0.6$ V or 3.3 V; see Figure 18
DIGITAL INPUTS				
Input High Voltage, V_{INH}		1.35	V min	
Input Low Voltage, V_{INL}		0.7	V max	
Input Current				
I_{INL} or I_{INH}	0.002		μ A typ	$V_{IN} = V_{GND}$ or V_{DD}
		0.05	μ A max	
Digital Input Capacitance, C_{IN}	4		pF typ	
DYNAMIC CHARACTERISTICS¹				
t_{ON}	25		ns typ	$R_L = 50$ Ω , $C_L = 35$ pF
	37	43	ns max	$V_S = 1.5$ V/0 V; see Figure 19
t_{OFF}	7		ns typ	$R_L = 50$ Ω , $C_L = 35$ pF
	7.4	8	ns max	$V_S = 1.5$ V; see Figure 19
Break-Before-Make Time Delay, t_{BBM}	22		ns typ	$R_L = 50$ Ω , $C_L = 35$ pF
		13	ns min	$V_{S1} = V_{S2} = 1$ V; see Figure 20
Charge Injection	23		pC typ	$V_S = 1.5$ V, $R_S = 0$ V, $C_L = 1$ nF; see Figure 21
Off Isolation	-75		dB typ	$R_L = 50$ Ω , $C_L = 5$ pF, $f = 100$ kHz; see Figure 22
Channel-to-Channel Crosstalk	-85		dB typ	S1A to S2A/S1B to S2B; $R_L = 50$ Ω , $C_L = 5$ pF, $f = 100$ kHz; see Figure 25
	-73		dB typ	S1A to S1B/S2A to S2B; $R_L = 50$ Ω , $C_L = 5$ pF, $f = 100$ kHz; see Figure 24
Total Harmonic Distortion, THD	0.15		% typ	$R_L = 32$ Ω , $f = 20$ Hz to 20 kHz, $V_S = 1.5$ V p-p
Insertion Loss	-0.07		dB typ	$R_L = 50$ Ω , $C_L = 5$ pF; see Figure 23
-3 dB Bandwidth	100		MHz typ	$R_L = 50$ Ω , $C_L = 5$ pF; see Figure 23
C_S (Off)	20		pF typ	
C_D , C_S (On)	52		pF typ	
POWER REQUIREMENTS				
I_{DD}	0.002		μ A typ	$V_{DD} = 3.6$ V Digital inputs = 0 V or 3.6 V
		1.0	μ A max	

¹ 設計上保証しますが、出荷テストは行いません。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
V_{DD} to GND	-0.3 V to +6 V
Analog Inputs ¹	-0.3 V to $V_{DD} + 0.3$ V
Digital Inputs ¹	-0.3 V to $V_{DD} + 0.3$ V or 10 mA, whichever occurs first
Peak Current per Channel, S or D	500 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current per Channel, S or D	300 mA
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
10-Lead Mini LFCSP θ_{JA} Thermal Impedance, 3-Layer Board	131.6°C/W
Reflow Soldering, Pb-Free Peak Temperature	260(+0/-5)°C
Time at Peak Temperature	10 sec to 40 sec

¹ IN、S、または D での過電圧は内部ダイオードでクランプされます。電流は、規定された最大定格に制限してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

同時に複数の絶対最大定格条件を適用することはできません。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

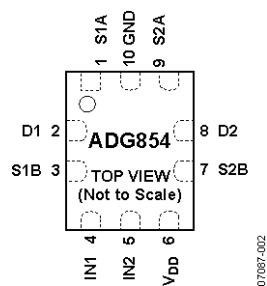


図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1、3、7、9	S1A、S1B、S2B、S2A	ソース・ピン。このピンは、入力または出力に設定することができます。
2、8	D1、D2	ドレイン・ピン。このピンは、入力または出力に設定することができます。
4	IN1	ロジック・コントロール入力。
5	IN2	ロジック・コントロール入力。
6	V _{DD}	正電源電位。
10	GND	グラウンド基準電圧(0 V)。

表 5. ADG854 の真理値表

Logic (IN1/IN2)	Switch A (S1A or S2A)	Switch B (S1B or S2B)
0	Off	On
1	On	Off

代表的な性能特性

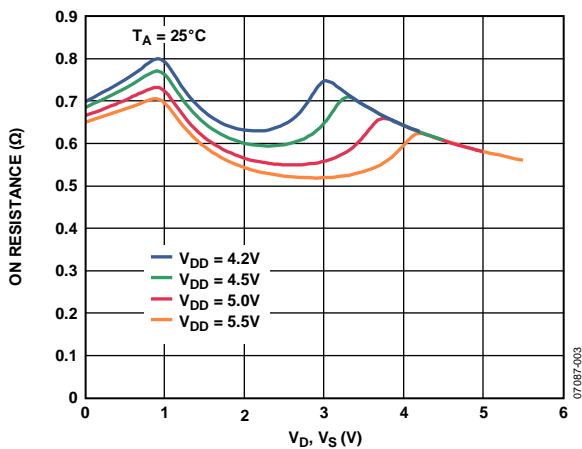


図 3. オン抵抗対 V_D (V_S)、 $V_{DD} = 4.2\text{ V} \sim 5.5\text{ V}$

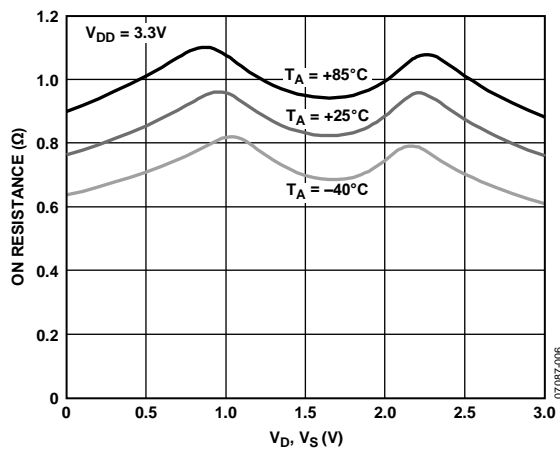


図 6. さまざまな温度でのオン抵抗対 V_D (V_S)
 $V_{DD} = 3.3\text{ V}$

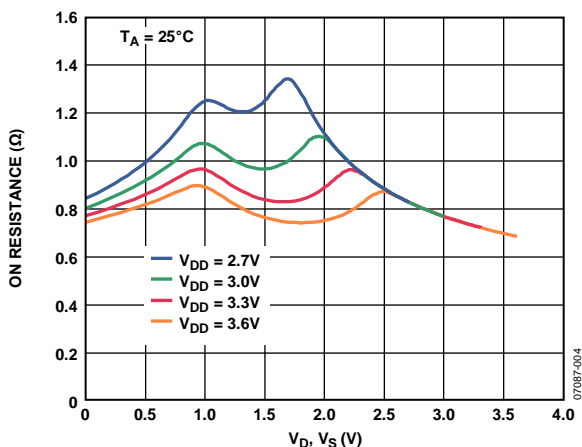


図 4. オン抵抗対 V_D (V_S)、 $V_{DD} = 2.7\text{ V} \sim 3.6\text{ V}$

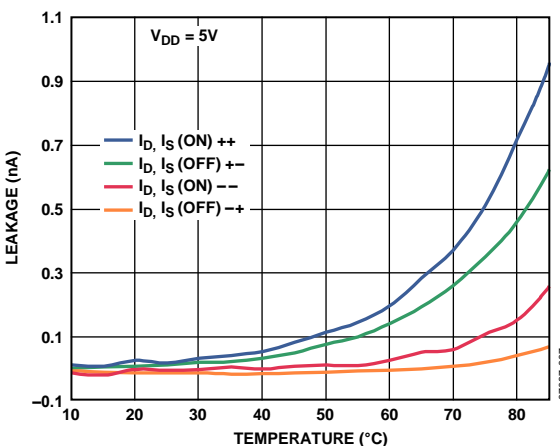


図 7. リーク電流の温度特性、 $V_{DD} = 5\text{ V}$

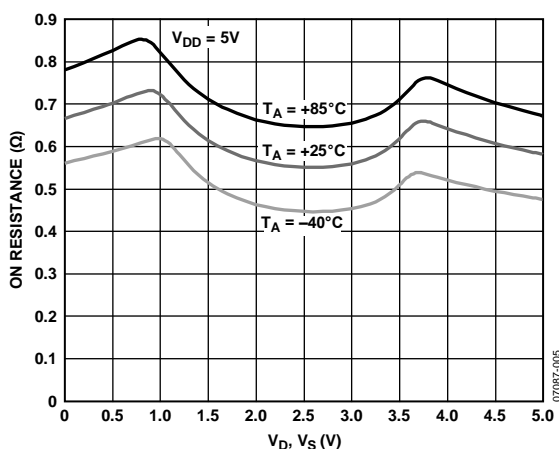


図 5. さまざまな温度でのオン抵抗対 V_D (V_S)
 $V_{DD} = 5\text{ V}$

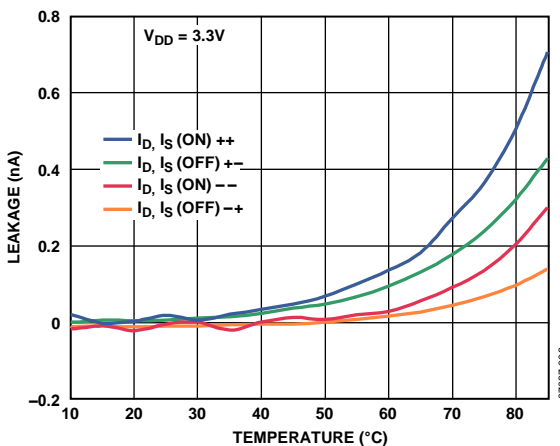


図 8. リーク電流の温度特性、 $V_{DD} = 3.3\text{ V}$

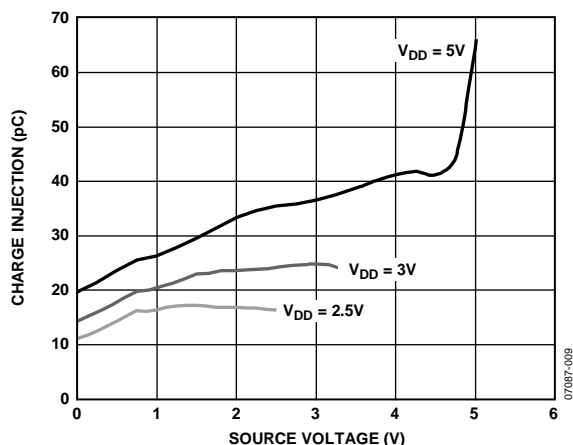


図 9.チャージ・インJECTION対ソース電圧

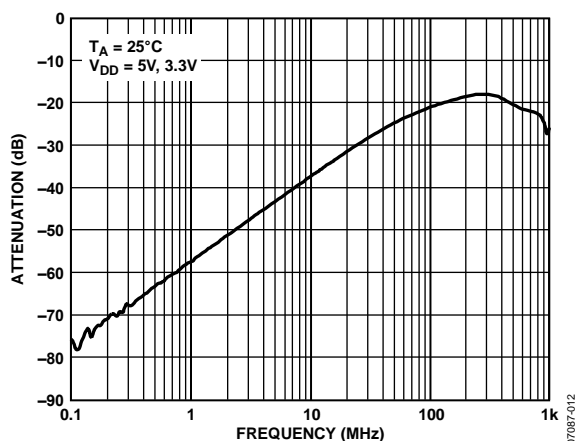


図 12.オフ時アイソレーションの周波数特性

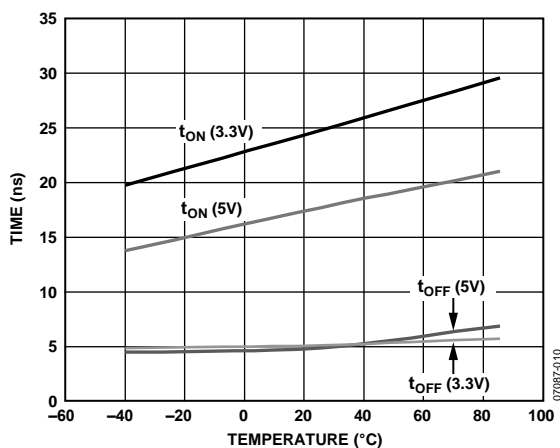


図 10. t_{ON}/t_{OFF} 時間の温度特性

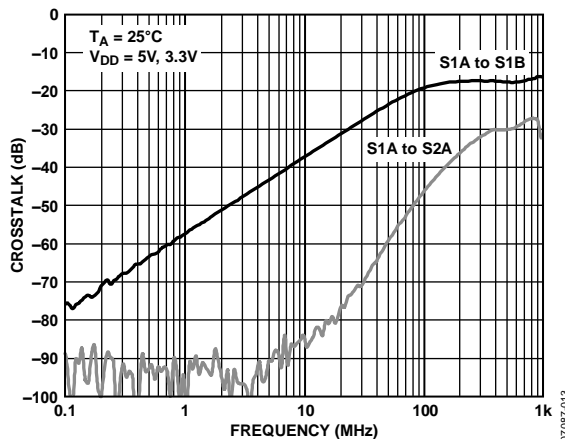


図 13.クロストークの周波数特性

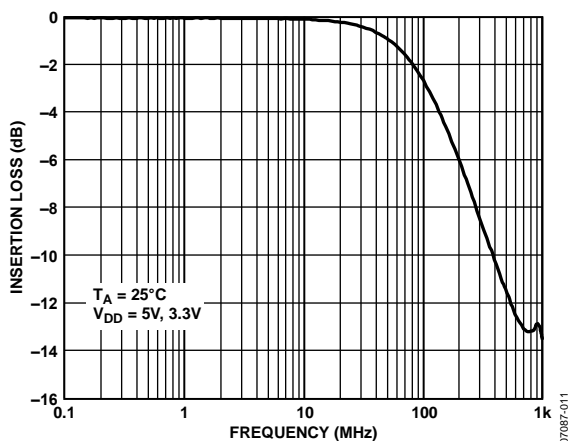


図 11.帯域幅

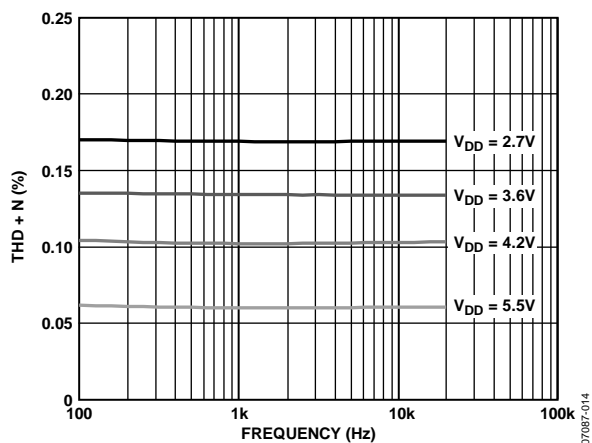


図 14.総合高調波歪み+ノイズ(THD+N)の周波数特性

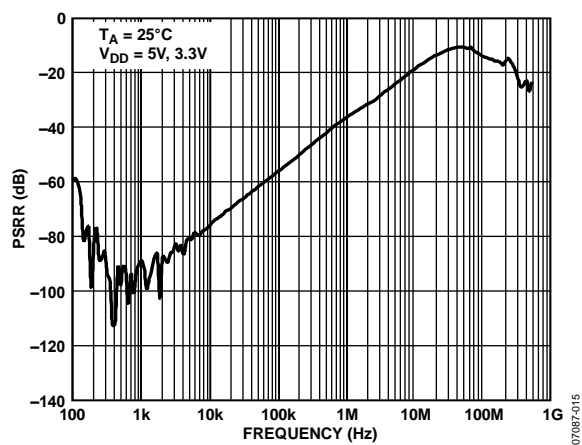


図 15.PSRR の周波数特性

テスト回路

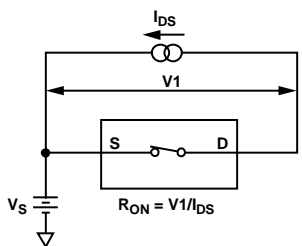


図 16. オン抵抗

07087-019

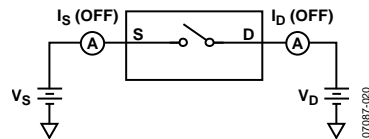


図 17. オフ時リーク

07087-020

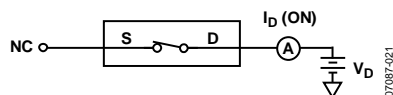


図 18. オン時リーク

07087-021

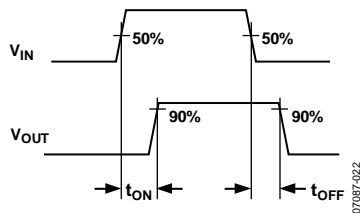
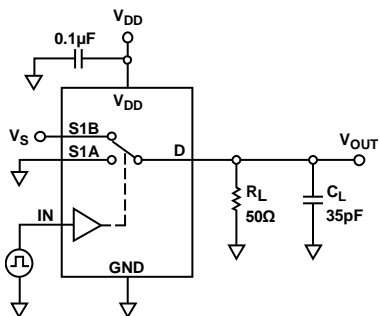


図 19. スイッチング時間、 t_{ON} 、 t_{OFF}

07087-022

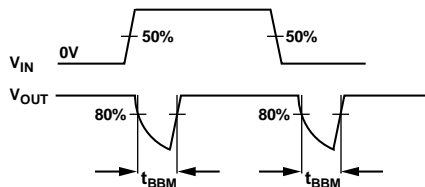
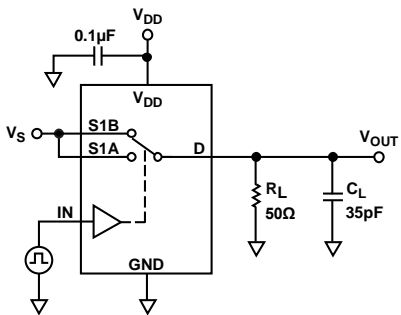


図 20. ブレーク・ビフォ・メーク時間遅延、 t_{BBM}

07087-023

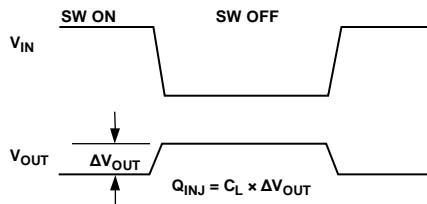
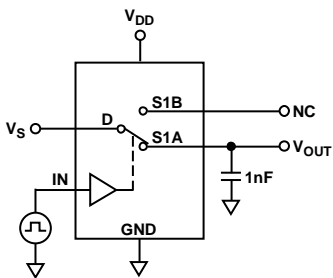
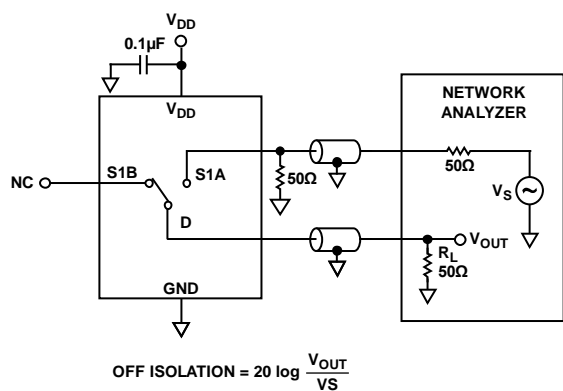


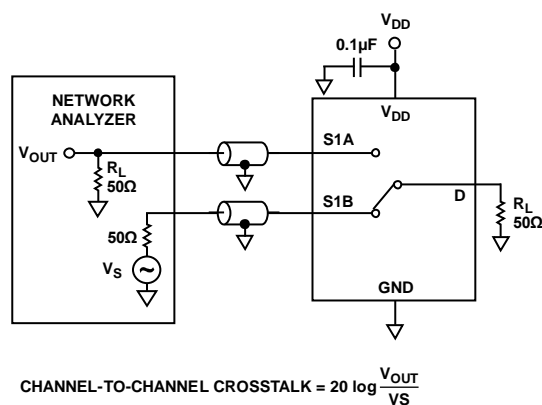
図 21. チャージ・インJECTION

07087-024



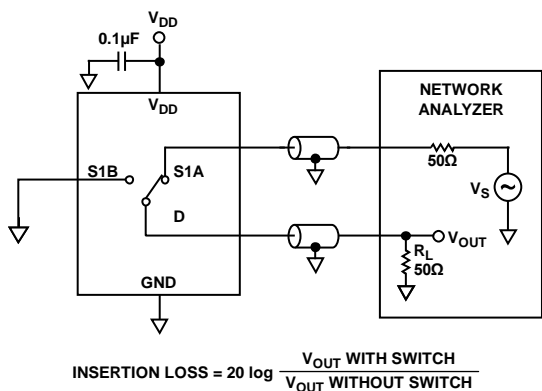
07087-025

図 22. オフ時アイソレーション



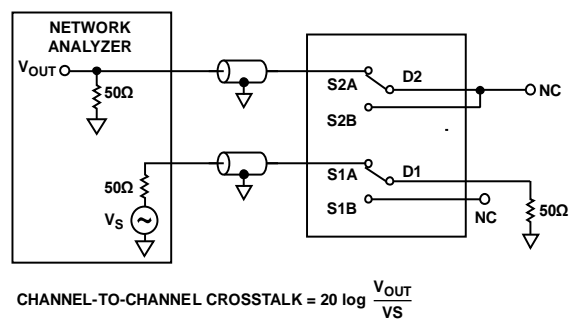
07087-027

図 24. チャンネル間クロストーク (S1A—S1B 間/S2A—S2B 間)



07087-026

図 23. 帯域幅



07087-028

図 25. チャンネル間クロストーク (S1A—S2A 間、S1B—S2B 間)

用語

I_{DD}

正電源電流。

V_D (V_S)

D、S ピンのアナログ電圧。

R_{ON}

D-S 間の抵抗

$R_{FLAT(ON)}$

スイッチ上で測定したオン抵抗の最大値と最小値の差。

ΔR_{ON}

任意の 2 チャンネル間のオン抵抗の差。

I_S (Off)

スイッチ「オフ」時のソース・リーク電流。

I_D (Off)

スイッチ「オフ」時のドレイン・リーク電流。

I_D 、 I_S (On)

スイッチ「オン」時のチャンネル・リーク電流。

V_{INL}

ロジック「0」の最大入力電圧。

V_{INH}

ロジック「1」の最小入力電圧。

I_{INL} (I_{INH})

デジタル入力の入力電流。

C_S (Off)

スイッチ「オフ」時のソース容量。グラウンドを基準に測定。

C_D (Off)

スイッチ「オフ」時のドレイン容量。グラウンドを基準に測定。

C_D 、 C_S (On)

スイッチ「オン」時の容量。グラウンドを基準に測定。

C_{IN}

デジタル入力容量。

t_{ON}

デジタル入力の 50%/90% ポイントとスイッチ・オン状態との間の遅延時間。

t_{OFF}

デジタル入力の 50%/90% ポイントとスイッチ・オン状態との間の遅延時間。

t_{BBM}

一方のスイッチから他方のスイッチへ切り替わるときの、両スイッチの 80% ポイント間で測定したオフ時間またはオン時間。

チャージ・インジェクション

スイッチのオン/オフ時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさ。

オフ時アイソレーション

「オフ」状態のスイッチを通過する不要信号の大きさ。

クロストーク

寄生容量に起因して 1 つのチャンネルから別のチャンネルに伝達される不要信号の大きさ。

-3 dB 帯域幅

出力が 3 dB 減衰する周波数。

オン応答

オン状態にあるスイッチの周波数応答

挿入損失

スイッチのオン抵抗に起因する損失。

THD + N

信号の高調波振幅とノイズの和の基本波に対する比。

外形寸法

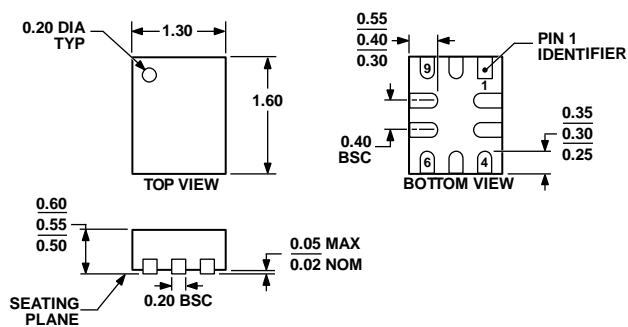


図 26.10 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_UQ]
 1.30 × 1.60 mm ボディ、極薄クワッド
 (CP-10-10)
 寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
ADG854BCPZ-REEL ¹	-40°C to +85°C	10-Lead Lead Frame Chip Scale Package [LFCSP_UQ]	CP-10-10	C
ADG854BCPZ-REEL7 ¹	-40°C to +85°C	10-Lead Lead Frame Chip Scale Package [LFCSP_UQ]	CP-10-10	C

¹Z = RoHS 準拠製品