

### 特長

ラッチアップ保護機能内蔵

人体モデル (HBM) ESD定格: 8 kV

低オン抵抗 (13.5Ω)

両電源動作: ±9 V~±22 V

単電源動作: 9 V~40 V

48V 電源最大定格

±15 V, ±20 V, +12 V, +36 V でフルの仕様を規定

アナログ信号範囲:  $V_{SS} \sim V_{DD}$

アプリケーション

リレーの置き換え

自動テスト装置 (ATE)

データ・アキュジション

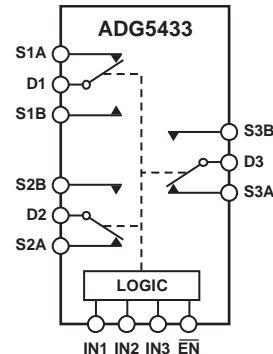
計測機器

航空電子機器

オーディオ・ビデオ・スイッチング

通信システム

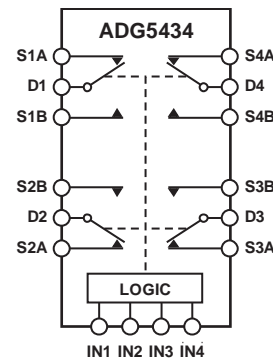
### 機能ブロック図



SWITCHES SHOWN FOR  
A LOGIC 1 INPUT.

09207-001

図 1. ADG5433 TSSOP と LFCSP\_VQ



SWITCHES SHOWN FOR  
A LOGIC 1 INPUT.

09207-002

図 2. ADG5434 TSSOP

### 概要

ADG5433 と ADG5434 はモノリシック、工業用 CMOS アナログ・スイッチで、それぞれ内訳は、3つの独立して選択できるシングル・ポール、ダブル・スロー (SPDT) スイッチと 4つの独立して選択できる SPDT スイッチです。

全てのチャンネルは、チャンネルの切り替え時に瞬間的な短絡を防ぐブレーク・ビフォア・メイクのスイッチ動作を行います。ADG5433 (LFCSP と TSSOP パッケージ) の EN 入力、デバイスをイネーブルまたはディスエーブルする時に使われます。ディスエーブル状態では、すべてのチャンネルはスイッチ・オフされます。

これらのアナログ・スイッチの ON 抵抗は極めて小さくしかも平坦なので、(低歪が要求される) データ・アキュジションやゲイン・スイッチのアプリケーションに理想的です。

### 製品のハイライト

1. トレンチ・アイソレーションによりラッチアップから保護されます。絶縁トレンチにより P チャンネルと N チャンネルのトランジスタが分離されるので、厳しい過電圧下でもラッチアップを起こしません。
2. 低  $R_{ON}$ 。
3. 両電源動作。アナログ信号がバイポーラであるアプリケーションに対しては、ADG5412/ADG5413 は ±22 V までの両電源で動作可能です。
4. 単電源動作。アナログ信号がユニポーラであるアプリケーションに対しては、ADG5412/ADG5413 は 40 V までの単電源で動作可能です。
5. 3 V ロジック互換デジタル入力。  $V_{INH} = 2.0 V$ ,  $V_{INL} = 0.8 V$ 。
6.  $V_L$  ロジック電源が不要

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長 .....	1	チャンネルあたりの連続電流、Sx 又は Dx.....	8
アプリケーション .....	1	絶対最大定格.....	9
機能ブロック図 .....	1	ESD の注意 .....	9
概要 .....	1	ピン配置とピン機能の説明 .....	10
製品のハイライト .....	1	代表的な性能特性.....	12
改訂履歴 .....	2	テスト回路.....	16
仕様 .....	3	用語 .....	18
±15 V 両電源 .....	3	トレンチ・アイソレーション .....	19
±20 V 両電源 .....	4	アプリケーション情報.....	20
12 V 単電源 .....	5	外形寸法 .....	21
36 V 単電源 .....	6	オーダー・ガイド.....	22

## 改訂履歴

10/10—Revision 0:初版

## 仕様

### ±15 V 両電源

特に指定のない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ ,  $V_{SS} = -15\text{ V} \pm 10\%$ ,  $GND = 0\text{ V}$ 。

表 1.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			$V_{DD}$ to $V_{SS}$	V	
On Resistance, $R_{ON}$	13.5			$\Omega$ typ	$V_S = \pm 10\text{ V}$ , $I_S = -10\text{ mA}$ ; 図 26.
	15	18	22	$\Omega$ max	$V_{DD} = +13.5\text{ V}$ , $V_{SS} = -13.5\text{ V}$
On-Resistance Match Between Channels, $\Delta R_{ON}$	0.3			$\Omega$ typ	$V_S = \pm 10\text{ V}$ , $I_S = -10\text{ mA}$
	0.8	1.3	1.4	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	1.8			$\Omega$ typ	$V_S = \pm 10\text{ V}$ , $I_S = -10\text{ mA}$
	2.2	2.6	3	$\Omega$ max	
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.05$			nA typ	$V_{DD} = +16.5\text{ V}$ , $V_{SS} = -16.5\text{ V}$
	$\pm 0.25$	$\pm 1$	$\pm 7$	nA max	$V_S = \pm 10\text{ V}$ , $V_D = \mp 10\text{ V}$ ; 図 29.
Drain Off Leakage, $I_D$ (Off)	$\pm 0.1$			nA typ	$V_S = \pm 10\text{ V}$ , $V_D = \mp 10\text{ V}$ ; 図 29.
	$\pm 0.4$	$\pm 4$	$\pm 30$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.1$			nA typ	$V_S = V_D = \pm 10\text{ V}$ ; 図 25.
	$\pm 0.4$	$\pm 4$	$\pm 30$	nA max	
<b>DIGITAL INPUTS</b>					
Input High Voltage, $V_{INH}$			2.0	V min	
Input Low Voltage, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	0.002			$\mu\text{A}$ typ	$V_{IN} = V_{GND}$ or $V_{DD}$
			$\pm 0.1$	$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	6			pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
Transition Time, $t_{TRANSITION}$	157			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	207	245	272	ns max	$V_S = 10\text{ V}$
$t_{ON}(\overline{EN})$	160			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	196	241	274	ns max	$V_S = 10\text{ V}$ ; 図 34.
$t_{OFF}(\overline{EN})$	91			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	106	138	140	ns max	$V_S = 10\text{ V}$ ; 図 34.
Break-Before-Make Time Delay, $t_D$	45			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
			21	ns min	$V_{S1} = V_{S2} = 10\text{ V}$ ; 図 33.
Charge Injection, $Q_{INJ}$	130			pC typ	$V_S = 0\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ ; 図 35.
Off Isolation	-60			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; 図 28.
Channel-to-Channel Crosstalk	-60			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; 図 27.
Total Harmonic Distortion + Noise	0.01			% typ	$R_L = 1\text{ k}\Omega$ , 15 V p-p, $f = 20\text{ Hz}$ to 20 kHz; 図 30.
-3 dB Bandwidth	145			MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ ; 図 31.
Insertion Loss	-0.9			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; 図 31.
$C_S$ (Off)	14			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (Off)	24			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (On), $C_S$ (On)	53			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
<b>POWER REQUIREMENTS</b>					
$I_{DD}$	45			$\mu\text{A}$ typ	$V_{DD} = +16.5\text{ V}$ , $V_{SS} = -16.5\text{ V}$
	55		70	$\mu\text{A}$ max	Digital inputs = 0 V or $V_{DD}$
$I_{SS}$	0.001			$\mu\text{A}$ typ	Digital inputs = 0 V or $V_{DD}$
			1	$\mu\text{A}$ max	
$V_{DD}/V_{SS}$			$\pm 9/\pm 22$	V min/V max	$GND = 0\text{ V}$

# ADG5433/ADG5434

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

## ±20 V 両電源

特に指定のない限り、 $V_{DD} = +20\text{ V} \pm 10\%$ ,  $V_{SS} = -20\text{ V} \pm 10\%$ ,  $GND = 0\text{ V}$ 。

表 2.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			$V_{DD}$ to $V_{SS}$	V	
On Resistance, $R_{ON}$	12.5			$\Omega$ typ	$V_S = \pm 15\text{ V}$ , $I_S = -10\text{ mA}$ ; ☒ 26.
On-Resistance Match Between Channels, $\Delta R_{ON}$	14 0.3	17	21	$\Omega$ max $\Omega$ typ	$V_{DD} = +18\text{ V}$ , $V_{SS} = -18\text{ V}$ $V_S = \pm 15\text{ V}$ , $I_S = -10\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.8 2.3 2.7	1.3 3.1	1.4 3.5	$\Omega$ max $\Omega$ typ $\Omega$ max	$V_S = \pm 15\text{ V}$ , $I_S = -10\text{ mA}$
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.05$			nA typ	$V_{DD} = +22\text{ V}$ , $V_{SS} = -22\text{ V}$ $V_S = \pm 15\text{ V}$ , $V_D = \mp 15\text{ V}$ ; ☒ 29.
Drain Off Leakage, $I_D$ (Off)	$\pm 0.25$ $\pm 0.1$	$\pm 1$	$\pm 7$	nA max nA typ	$V_S = \pm 15\text{ V}$ , $V_D = \mp 15\text{ V}$ ; ☒ 29.
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.4$ $\pm 0.1$ $\pm 0.4$	$\pm 4$	$\pm 30$	nA max nA typ nA max	$V_S = V_D = \pm 15\text{ V}$ ; ☒ 25.
<b>DIGITAL INPUTS</b>					
Input High Voltage, $V_{INH}$			2.0	V min	
Input Low Voltage, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	0.002			$\mu\text{A}$ typ $\mu\text{A}$ max	$V_{IN} = V_{GND}$ or $V_{DD}$
Digital Input Capacitance, $C_{IN}$	6		$\pm 0.1$	pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
Transition Time, $t_{TRANSITION}$	150			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
$t_{ON}(\overline{EN})$	199 152	230	253	ns max ns typ	$V_S = 10\text{ V}$ $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
$t_{OFF}(\overline{EN})$	186 90	223	253	ns max ns typ	$V_S = 10\text{ V}$ ; ☒ 34. $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
Break-Before-Make Time Delay, $t_D$	104 36	118	130	ns max ns typ	$V_S = 10\text{ V}$ ; ☒ 34. $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
Charge Injection, $Q_{INJ}$	176		17	ns min pC typ	$V_{S1} = V_{S2} = 10\text{ V}$ ; ☒ 33. $V_S = 0\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ ; ☒ 35.
Off Isolation	-60			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; ☒ 28.
Channel-to-Channel Crosstalk	-60			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; ☒ 27.
Total Harmonic Distortion + Noise	0.012			% typ	$R_L = 1\text{ k}\Omega$ , $20\text{ V p-p}$ , $f = 20\text{ Hz}$ to $20\text{ kHz}$ ; ☒ 30.
-3 dB Bandwidth	140			MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ ; ☒ 31.
Insertion Loss	-0.8			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; ☒ 31.
$C_S$ (Off)	15			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (Off)	23			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (On), $C_S$ (On)	52			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
<b>POWER REQUIREMENTS</b>					
$I_{DD}$	50 70		110	$\mu\text{A}$ typ $\mu\text{A}$ max	$V_{DD} = +22\text{ V}$ , $V_{SS} = -22\text{ V}$ Digital inputs = $0\text{ V}$ or $V_{DD}$
$I_{SS}$	0.001			$\mu\text{A}$ typ	Digital inputs = $0\text{ V}$ or $V_{DD}$

$V_{DD}/V_{SS}$	$\pm 9/\pm 22$	V min/V max	GND = 0 V
-----------------	----------------	-------------	-----------

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

## 12 V 電源

他に指定のない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ ,  $V_{SS} = 0\text{ V}$ ,  $GND = 0\text{ V}$ 。

表 3.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			0 V to $V_{DD}$	V	
On Resistance, $R_{ON}$	26			$\Omega$ typ	$V_S = 0\text{ V to }10\text{ V}$ , $I_S = -10\text{ mA}$ ; 図 26.
On-Resistance Match Between Channels, $\Delta R_{ON}$	30	36	42	$\Omega$ max	$V_{DD} = 10.8\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 0\text{ V to }10\text{ V}$ , $I_S = -10\text{ mA}$
	0.3			$\Omega$ typ	
On-Resistance Flatness, $R_{FLAT(ON)}$	1	1.5	1.6	$\Omega$ max	$V_S = 0\text{ V to }10\text{ V}$ , $I_S = -10\text{ mA}$
	5.5			$\Omega$ typ	
	6.5	8	12	$\Omega$ max	
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.05$			nA typ	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ ; 図 29.
Drain Off Leakage, $I_D$ (Off)	$\pm 0.25$	$\pm 1$	$\pm 7$	nA max	$V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ ; 図 29.
	$\pm 0.1$			nA typ	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.4$	$\pm 4$	$\pm 30$	nA max	$V_S = V_D = 1\text{ V}/10\text{ V}$ ; 図 25.
	$\pm 0.1$			nA typ	
	$\pm 0.4$	$\pm 4$	$\pm 30$	nA max	
<b>DIGITAL INPUTS</b>					
Input High Voltage, $V_{INH}$			2.0	V min	$V_{IN} = V_{GND}$ or $V_{DD}$
Input Low Voltage, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	0.002			$\mu\text{A}$ typ	
				$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	6			pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
Transition Time, $t_{TRANSITION}$	220			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$
	290	357	400	ns max	
$t_{ON}(\overline{EN})$	228			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$ ; 図 34.
	289	370	426	ns max	
$t_{OFF}(\overline{EN})$	90			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$ ; 図 34.
	115	131	151	ns max	
Break-Before-Make Time Delay, $t_D$	106			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$ $V_{S1} = V_{S2} = 8\text{ V}$ ; 図 33.
				ns min	
Charge Injection, $Q_{INJ}$	60			pC typ	$V_S = 6\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ ; 図 35.
Off Isolation	-60			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; 図 28.
Channel-to-Channel Crosstalk	-60			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; 図 27.
Total Harmonic Distortion + Noise	0.1			% typ	$R_L = 1\text{ k}\Omega$ , $6\text{ V p-p}$ , $f = 20\text{ Hz to }20\text{ kHz}$ ; 図 30.
-3 dB Bandwidth	150			MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ ; 図 31.
Insertion Loss	-0.8			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; 図 31.
$C_S$ (Off)	18			pF typ	$V_S = 6\text{ V}$ , $f = 1\text{ MHz}$

# ADG5433/ADG5434

$C_D$ (Off)	28		pF typ	$V_S = 6\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (On), $C_S$ (On)	54		pF typ	$V_S = 6\text{ V}$ , $f = 1\text{ MHz}$
<b>POWER REQUIREMENTS</b>				
$I_{DD}$	40		$\mu\text{A}$ typ	$V_{DD} = 13.2\text{ V}$ Digital inputs = 0 V or $V_{DD}$
$V_{DD}$	50	65	$\mu\text{A}$ max	GND = 0 V, $V_{SS} = 0\text{ V}$
		9/40	V min/V max	

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

## 36 V 単電源

特に指定のない限り  $V_{DD} = 36\text{ V} \pm 10\%$ ,  $V_{SS} = 0\text{ V}$ , GND = 0 V。

表 4.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
ANALOG SWITCH					
Analog Signal Range			0 V to $V_{DD}$	V	
On Resistance, $R_{ON}$	14.5			$\Omega$ typ	$V_S = 0\text{ V}$ to 30 V, $I_S = -10\text{ mA}$ ; 図 26.
On-Resistance Match Between Channels, $\Delta R_{ON}$	0.3	19	23	$\Omega$ max $\Omega$ typ	$V_{DD} = 32.4\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 0\text{ V}$ to 30 V, $I_S = -10\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.8 3.5 4.3	1.3 5.5	1.4 6.5	$\Omega$ max $\Omega$ typ $\Omega$ max	$V_S = 0\text{ V}$ to 30 V, $I_S = -10\text{ mA}$
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.05$			nA typ	$V_{DD} = 39.6\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/30\text{ V}$ , $V_D = 30\text{ V}/1\text{ V}$ ; 図 29.
Drain Off Leakage, $I_D$ (Off)	$\pm 0.25$ $\pm 0.1$	$\pm 1$	$\pm 7$	nA max nA typ	$V_S = 1\text{ V}/30\text{ V}$ , $V_D = 30\text{ V}/1\text{ V}$ ; 図 29.
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.4$ $\pm 0.1$ $\pm 0.4$	$\pm 4$	$\pm 30$	nA max nA typ nA max	$V_S = V_D = 1\text{ V}/30\text{ V}$ ; 図 25.
<b>DIGITAL INPUTS</b>					
Input High Voltage, $V_{INH}$			2.0	V min	$V_{IN} = V_{GND}$ OR $V_{DD}$
Input Low Voltage, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ OR $I_{INH}$	0.002			$\mu\text{A}$ typ $\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	6		$\pm 0.1$	pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
Transition Time, $t_{TRANSITION}$	180			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
$t_{ON}(\overline{EN})$	262 176	274	289	ns max ns typ	$V_S = 18\text{ V}$ $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
$t_{OFF}(\overline{EN})$	216 98	238	268	ns max ns typ	$V_S = 18\text{ V}$ ; 図 34. $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
Break-Before-Make Time Delay, $t_D$	123 50	127	129	ns max ns typ	$V_S = 18\text{ V}$ ; 図 34. $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
Charge Injection, $Q_{INJ}$	150		21	ns min pC typ	$V_{S1} = V_{S2} = 18\text{ V}$ 図 33. $V_S = 18\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ ; 図 35.
Off Isolation	-60			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; 図 28.
Channel-to-Channel Crosstalk	-60			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; 図 27.
Total Harmonic Distortion + Noise	0.4			% typ	$R_L = 1\text{ k}\Omega$ , 18 V p-p, $f = 20\text{ Hz}$ to 20 kHz; 図 30.
-3 dB Bandwidth	135			MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ ; 図 31.

# ADG5433/ADG5434

Insertion Loss	-1			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ ; 31.
$C_S$ (Off)	18			pF typ	$V_S = 18 \text{ V}$ , $f = 1 \text{ MHz}$
$C_D$ (Off)	28			pF typ	$V_S = 18 \text{ V}$ , $f = 1 \text{ MHz}$
$C_D$ (On), $C_S$ (On)	46			pF typ	$V_S = 18 \text{ V}$ , $f = 1 \text{ MHz}$
<b>POWER REQUIREMENTS</b>					
$I_{DD}$	80			$\mu\text{A}$ typ	$V_{DD} = 39.6 \text{ V}$ Digital inputs = 0 V or $V_{DD}$
	100		130	$\mu\text{A}$ max	
$V_{DD}$			9/40	V min/V max	GND = 0 V, $V_{SS} = 0 \text{ V}$

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

チャンネルあたりの連続電流、Sx 又は Dx

**表 5. ADG5433**

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx				
$V_{DD} = +15\text{ V}, V_{SS} = -15\text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	80	58	36	mA maximum
LFCSP ( $\theta_{JA} = 30.4^\circ\text{C/W}$ )	147	103	70	mA maximum
$V_{DD} = +20\text{ V}, V_{SS} = -20\text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	85	63	39	mA maximum
LFCSP ( $\theta_{JA} = 30.4^\circ\text{C/W}$ )	156	109	74	mA maximum
$V_{DD} = 12\text{ V}, V_{SS} = 0\text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	63	45	28	mA maximum
LFCSP ( $\theta_{JA} = 30.4^\circ\text{C/W}$ )	116	84	53	mA maximum
$V_{DD} = 36\text{ V}, V_{SS} = 0\text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	83	60	37	mA maximum
LFCSP ( $\theta_{JA} = 30.4^\circ\text{C/W}$ )	151	107	72	mA maximum

**表 6. ADG5434**

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx				
$V_{DD} = +15\text{ V}, V_{SS} = -15\text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	70	51	31	mA maximum
$V_{DD} = +20\text{ V}, V_{SS} = -20\text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	74	54	33	mA maximum
$V_{DD} = 12\text{ V}, V_{SS} = 0\text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	54	39	23	mA maximum
$V_{DD} = 36\text{ V}, V_{SS} = 0\text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	73	53	32	mA maximum



## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
$V_{DD}$ to $V_{SS}$	48 V
$V_{DD}$ to GND	- 0.3V to +48 V
$V_{SS}$ to GND	+0.3 V to -48 V
Analog Inputs <sup>1</sup>	$V_{SS} - 0.3 \text{ V}$ to $V_{DD} + 0.3 \text{ V}$ or 30 mA, whichever occurs first
Digital Inputs <sup>1</sup>	$V_{SS} - 0.3 \text{ V}$ to $V_{DD} + 0.3 \text{ V}$ or 30 mA, whichever occurs first
Peak Current, Sx or Dx Pins	
ADG5433	280 mA (pulsed at 1 ms, 10% duty cycle maximum)
ADG5434	240 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or Dx <sup>2</sup>	Data + 15%
Temperature Range	
Operating	-40°C to +125°C
Storage	-65°C to +150°C
Junction Temperature	150°C
Thermal Impedance, $\theta_{JA}$	
16-Lead TSSOP (4-Layer Board)	112.6°C/W
20-Lead TSSOP (4-Layer Board)	143°C/W
16-Lead LFCSP (4-Layer Board)	30.4°C/W
Reflow Soldering Peak Temperature, Pb Free	260(+0/-5)°C

<sup>1</sup>INx、Sx、Dx ピンでの過電圧は内部ダイオードでクランプされます。電流は、規定された最大定格に制限してください。

<sup>2</sup>表 5 を参照。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間、絶対最大定格の状態に晒すとデバイスの信頼性に影響を与える可能性があります。

同時に複数の絶対最大定格条件を適用することはできません。

### ESD の注意



#### ESD (electrostatic discharge) sensitive device.

Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

# ADG5433/ADG5434

## ピン配置およびピン機能の説明

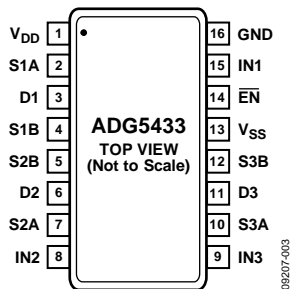
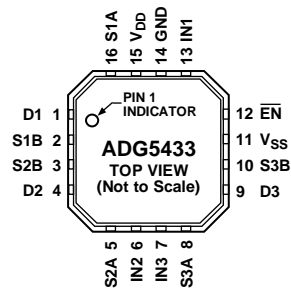


図 3. ADG5433 TSSOP ピン配置



NOTES  
1. EXPOSED PAD IS TIED TO SUBSTRATE,  $V_{SS}$

図 4. ADG5433 LFCSP\_VQ ピン配置

表 8. ADG5433 ピン機能の説明

ピン番号		記号	説明
TSSOP	LFCSP_VQ		
1	15	$V_{DD}$	正電源電位。
2	16	S1A	ソース・ピン 1A。このピンは、入力または出力に設定することができます。
3	1	D1	ドレイン・ピン 1。このピンは、入力または出力に設定することができます。
4	2	S1B	ソース・ピン 1B。このピンは、入力または出力に設定することができます。
5	3	S2B	ソース・ピン 2B。このピンは、入力または出力に設定することができます。
6	4	D2	ドレイン・ピン 2。このピンは、入力または出力に設定することができます。
7	5	S2A	ソース・ピン 2A。このピンは、入力または出力に設定することができます。
8	6	IN2	ロジック・コントロール入力 2。
9	7	IN3	ロジック・コントロール入力 3。
10	8	S3A	ソース・ピン 3A。このピンは、入力または出力に設定することができます。
11	9	D3	ドレイン・ピン 3。このピンは、入力または出力に設定することができます。
12	10	S3B	ソース・ピン 3B。このピンは、入力または出力に設定することができます。
13	11	$V_{SS}$	負電源電位。単電源アプリケーションでは <b>GND</b> に接続することができます。
14	12	$\overline{EN}$	アクティブ・ローのデジタル入力。ハイ・レベルの時、デバイスはディスエーブルになりすべてのスイッチがオフになります。ロー・レベルの時、 $IN_x$ ロジック入力によりオンのスイッチが指定されます。
15	13	IN1	ロジック・コントロール入力 1。
16	14	GND	グラウンド・リファレンス(0 V)。
	EP	露出パッド	露出パッドは内部で接続されています。ハンダ接続の信頼性向上と耐熱性を最大にするために、このパッドをサブストレート $V_{SS}$ にハンダ付けする事を推奨します。

表 9. ADG5433 の真理値表

EN	INx	SxA	SxB
1	X	Off	Off
0	0	Off	On
0	1	On	Off

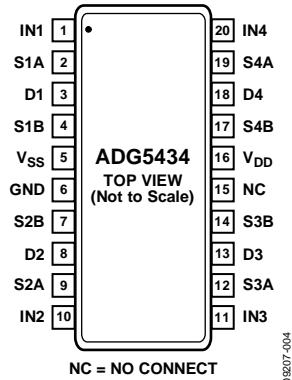


図 5.ADG5434 TSSOP ピン配置

表 10. ADG5434 ピン機能の説明

ピン番号	記号	説明
1	IN1	ロジック・コントロール入力 1。
2	S1A	ソース・ピン 1A。このピンは、入力または出力に設定することができます。
3	D1	ドレイン・ピン 1。このピンは、入力または出力に設定することができます。
4	S1B	ソース・ピン 1B。このピンは、入力または出力に設定することができます。
5	V <sub>SS</sub>	負電源電位。単電源アプリケーションでは、このピンはグラウンドに接続できます。
6	GND	グラウンド・リファレンス(0 V)。
7	S2B	ソース・ピン 2B。このピンは、入力または出力に設定することができます。
8	D2	ドレイン・ピン 2。このピンは、入力または出力に設定することができます。
9	S2A	ソース・ピン 2A。このピンは、入力または出力に設定することができます。
10	IN2	ロジック・コントロール入力 2。
11	IN3	ロジック・コントロール入力 3。
12	S3A	ソース・ピン 3A。このピンは、入力または出力に設定することができます。
13	D3	ドレイン・ピン 3。このピンは、入力または出力に設定することができます。
14	S3B	ソース・ピン 3B。このピンは、入力または出力に設定することができます。
15	NC	未接続。
16	V <sub>DD</sub>	正電源電位。
17	S4B	ソース・ピン 4B。このピンは、入力または出力に設定することができます。
18	D4	ドレイン・ピン 4。このピンは、入力または出力に設定することができます。
19	S4A	ソース・ピン 4A。このピンは、入力または出力に設定することができます。
20	IN4	ロジック・コントロール入力 4。

表 11.ADG5434 の真理値表

INx	SxA	SxB
0	Off	On
1	On	Off

## 代表的な性能特性

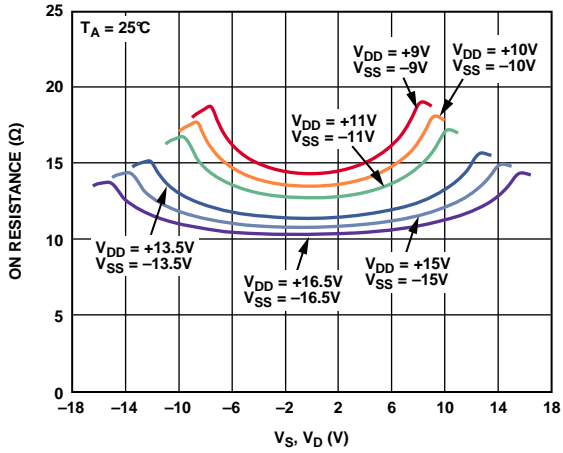


図 6.  $V_D$ 、 $V_S$  の関数としてのオン抵抗 (両電源)

09207-047

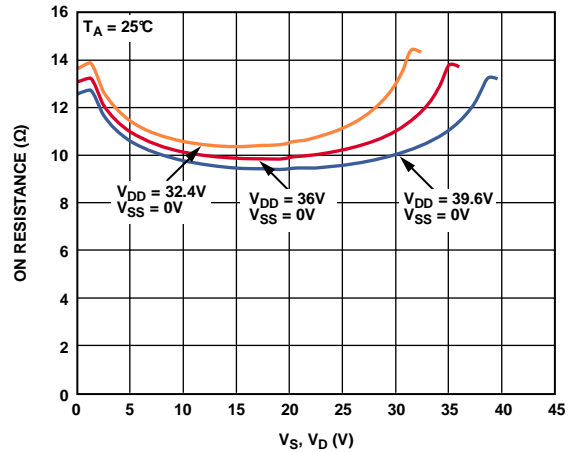


図 9.  $V_D$ 、 $V_S$  の関数としてのオン抵抗 (単電源)

09207-046

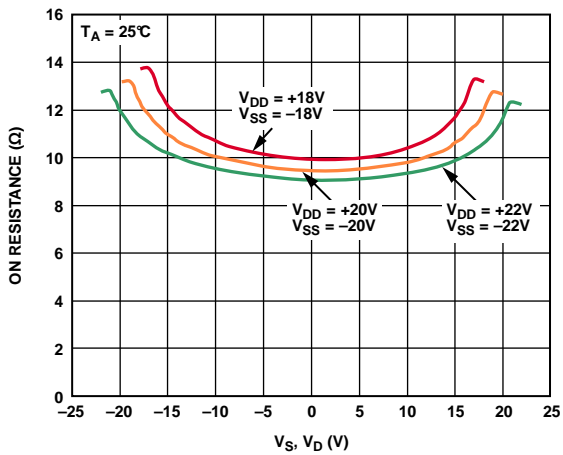


図 7.  $V_D$ 、 $V_S$  の関数としてのオン抵抗 (両電源)

09207-048

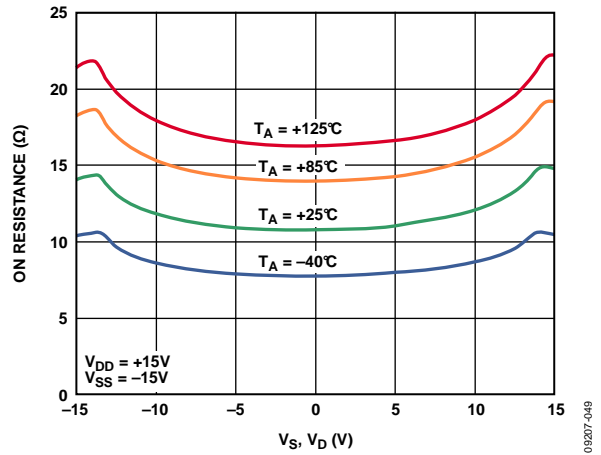


図 10.  $V_D$  ( $V_S$ ) の関数としてのさまざまな温度でのオン抵抗、 $\pm 15$  V 両電源

09207-049

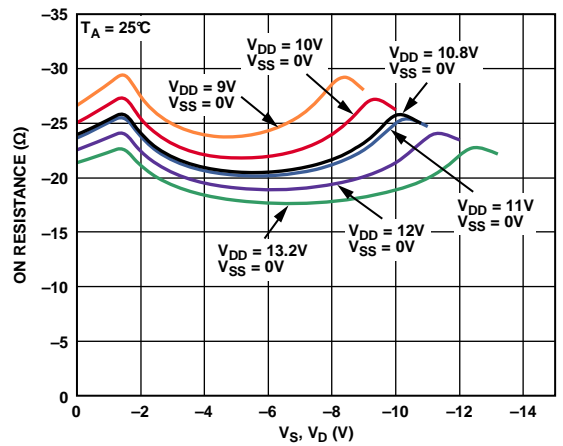


図 8.  $V_D$ 、 $V_S$  の関数としてのオン抵抗 (単電源)

09207-044

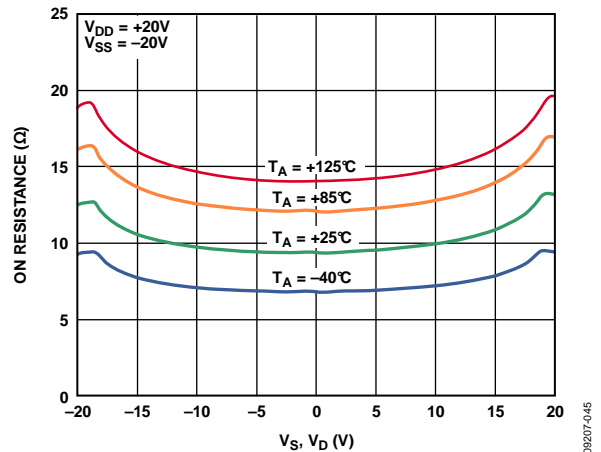


図 11.  $V_D$  ( $V_S$ ) の関数としてのさまざまな温度でのオン抵抗、 $\pm 20$  V 両電源

09207-045

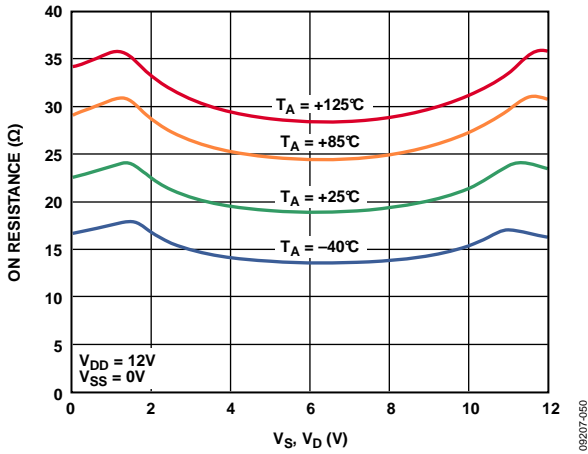


図 12.  $V_D$  ( $V_S$ )の関数としての様々な温度でのオン抵抗、12 V 単電源

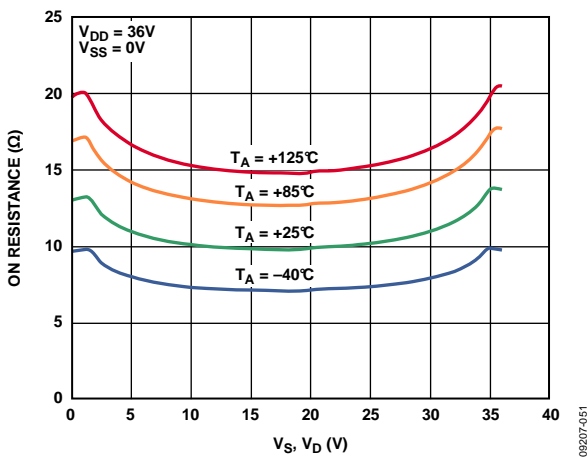


図 13.  $V_D$  ( $V_S$ )の関数としてのさまざまな温度でのオン抵抗、36 V 単電源

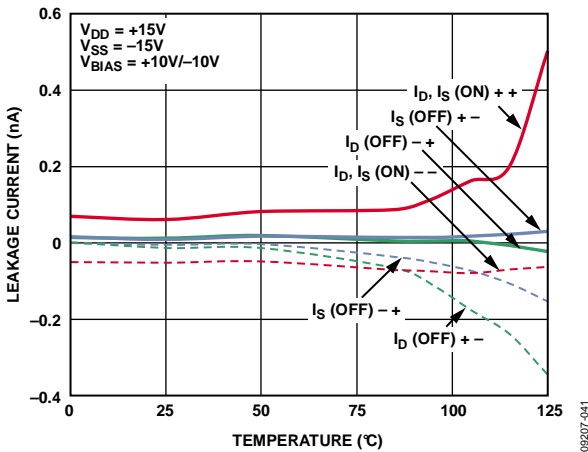


図 14. 温度の関数としてのリーク電流、 $\pm 15\text{V}$  両電源

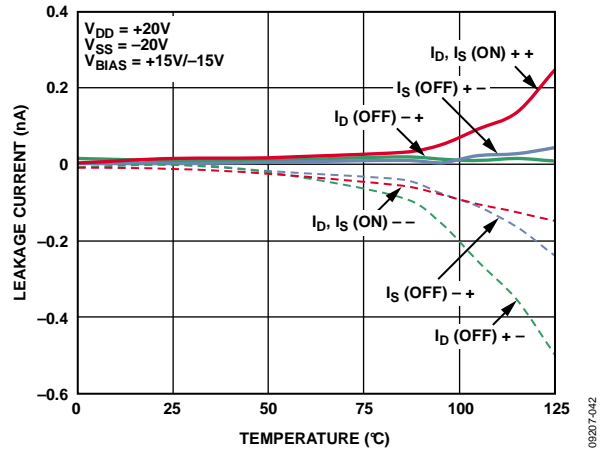


図 15. 温度の関数としてのリーク電流、 $\pm 20\text{V}$  両電源

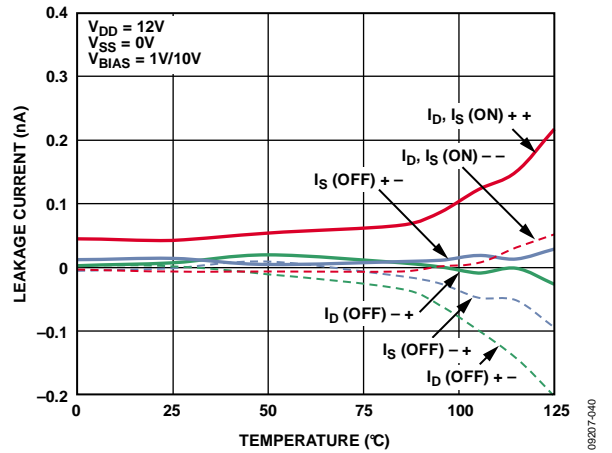


図 16. 温度の関数としてのリーク電流、12 V 単電源

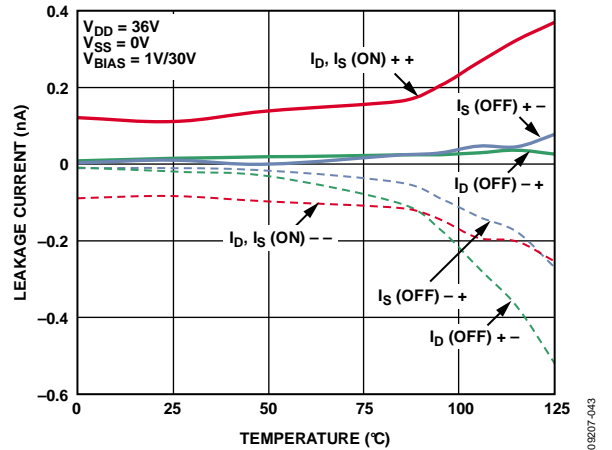


図 17. 温度の関数としてのリーク電流、36 V 単電源

# ADG5433/ADG5434

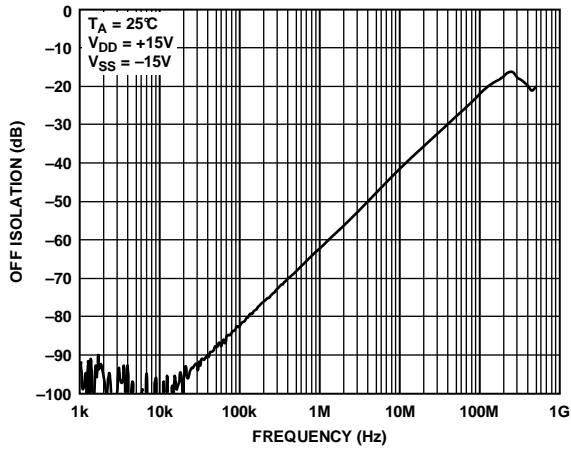


図 18. オフ時アイソレーションの周波数特性

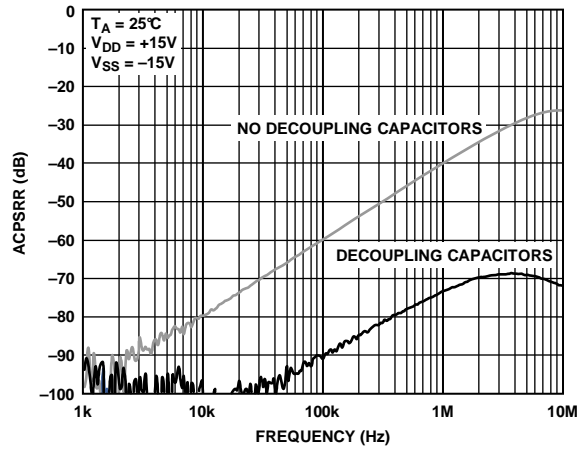


図 21. ACPSRR の周波数特性

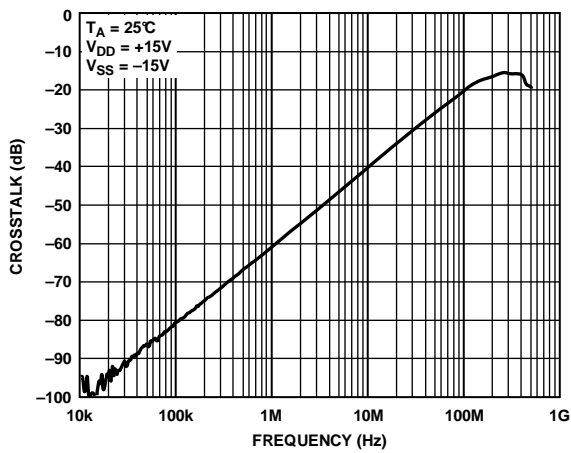


図 19. クロストークの周波数特性

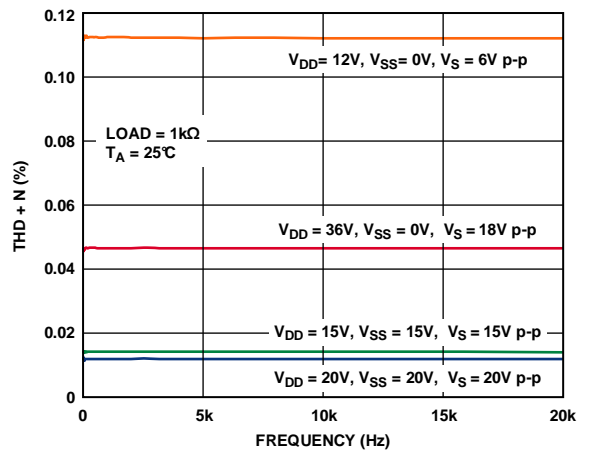


図 22. THD + N の周波数特性

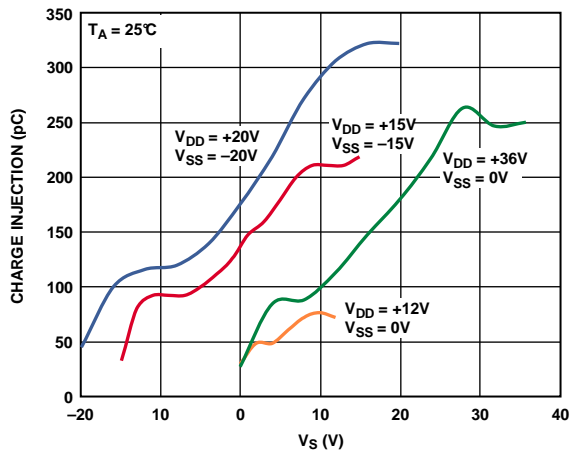


図 20. チャージ・インJECTION対ソース電圧

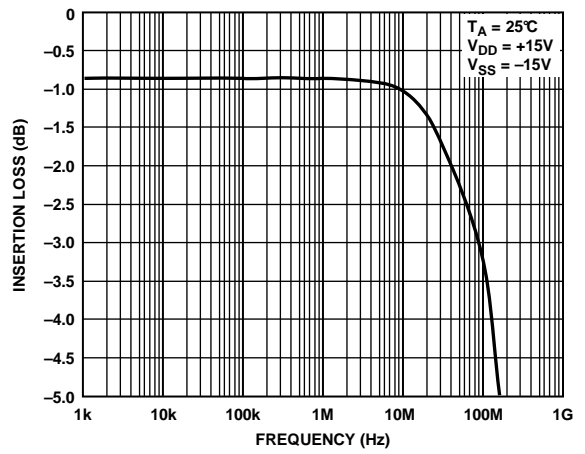


図 23. 帯域幅

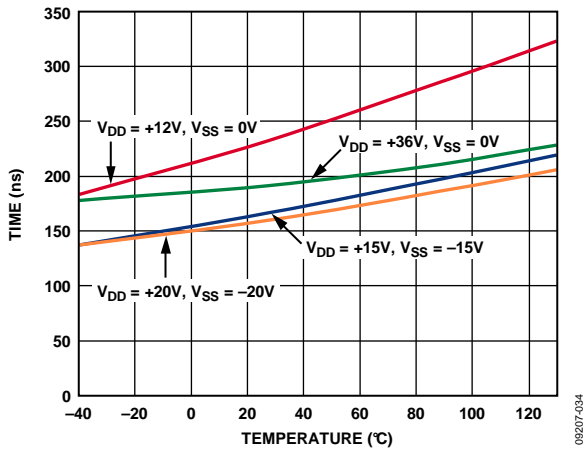


図 24.  $t_{\text{TRANSITION}}$  時間の温度特性

092207-034

## テスト回路

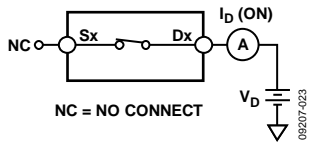


図 25. オン時リーク

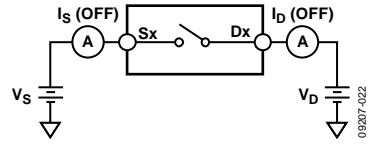


図 29. オフ時リーク

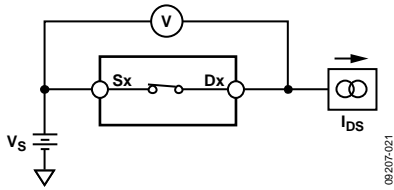


図 26. オン抵抗

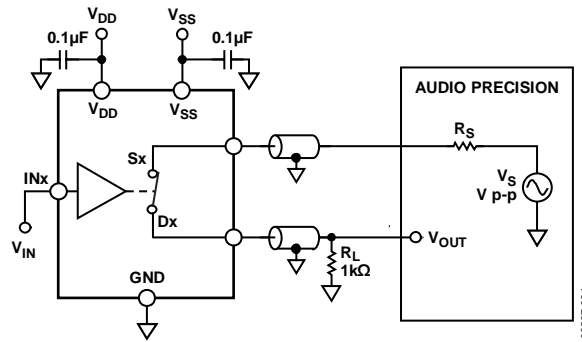
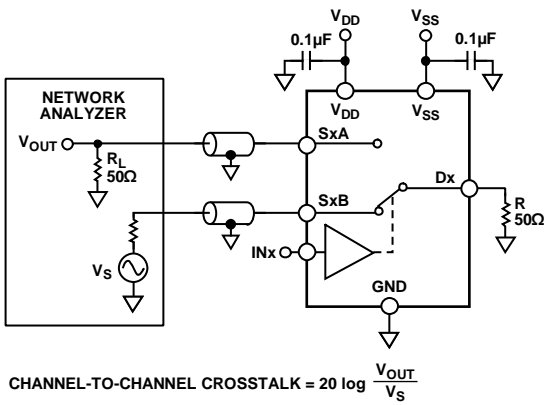
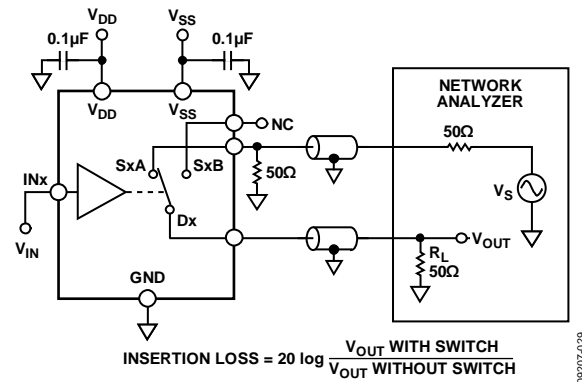


図 30. THD + ノイズ



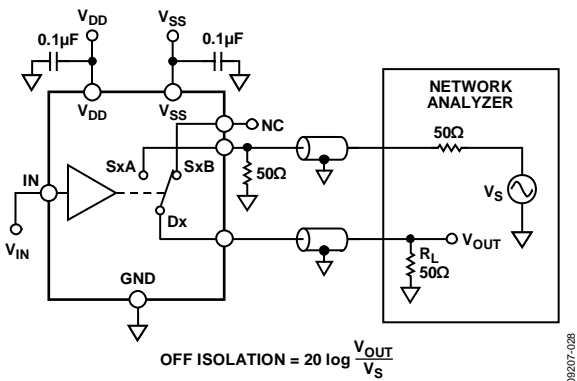
$$\text{CHANNEL-TO-CHANNEL CROSSTALK} = 20 \log \frac{V_{\text{OUT}}}{V_s}$$

図 27. チャンネル間クロストーク



$$\text{INSERTION LOSS} = 20 \log \frac{V_{\text{OUT WITH SWITCH}}}{V_{\text{OUT WITHOUT SWITCH}}}$$

図 31. 帯域幅



$$\text{OFF ISOLATION} = 20 \log \frac{V_{\text{OUT}}}{V_s}$$

図 28. オフ時アイソレーション



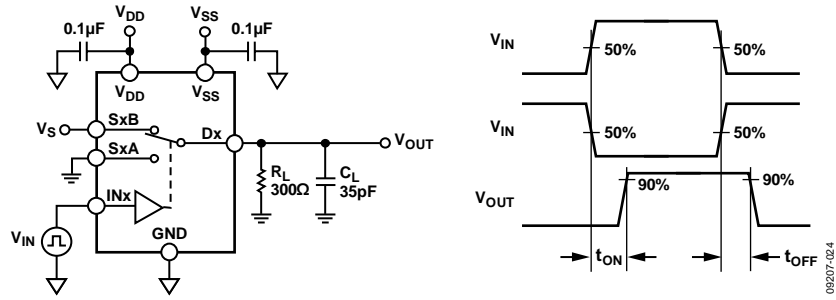


図 32.スイッチング時間

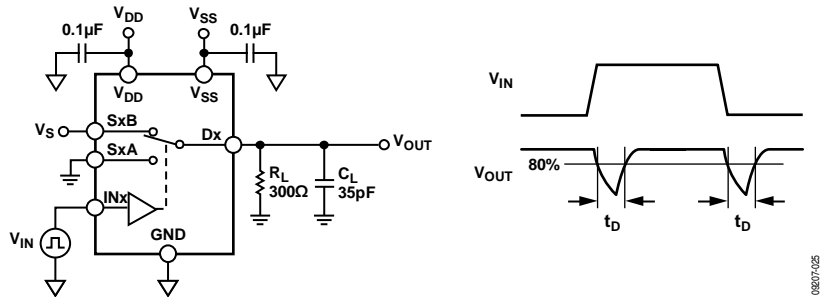


図 33.ブレイク・ビフォ・メーク時間遅延、 $t_D$

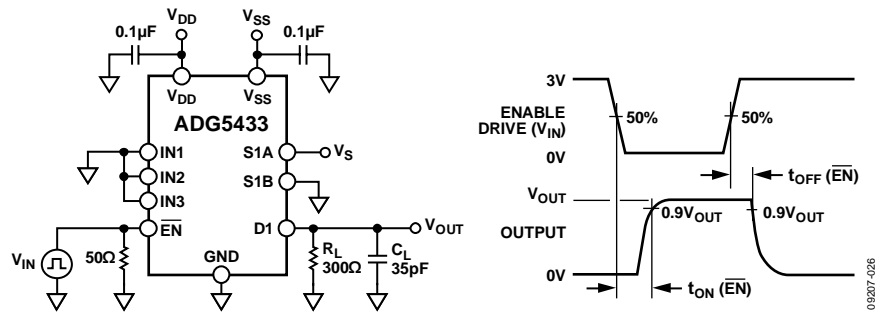


図 34.イネーブル遅延、 $t_{ON}(\overline{EN})$ ,  $t_{OFF}(\overline{EN})$

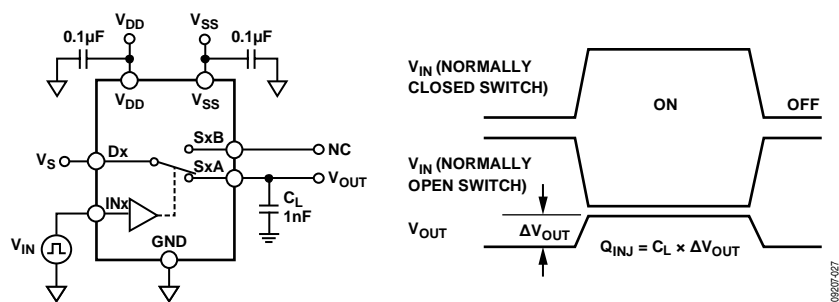


図 35.チャージ・インジェクション

## 用語

### $I_{DD}$

$I_{DD}$  は正の電源電流を表します。

### $I_{SS}$

$I_{SS}$  は負の電源電流を表します。

### $V_D, V_S$

$V_D$  と  $V_S$  は各々 D ピンと S ピンのアナログ電圧を表します。

### $R_{ON}$

$R_{ON}$  は D ピンと S ピン間の抵抗。

### $\Delta R_{ON}$

$\Delta R_{ON}$  は任意の 2 チャンネルの  $R_{ON}$  の差を表します。

### $R_{FLAT(ON)}$

規定されたアナログ信号範囲で測定したオン抵抗の最大値と最小値の差を  $R_{FLAT(ON)}$  と表します。

### $I_S(Off)$

$I_S(Off)$  はスイッチ・オフ時のソース・リーク電流です。

### $I_D(Off)$

$I_D(Off)$  はスイッチ・オフ時のドレイン・リーク電流です。

### $I_D(On), I_S(On)$

$I_D(On)$  と  $I_S(On)$  はスイッチ・オン時のチャンネル・リーク電流を表します。

### $V_{INL}$

$V_{INL}$  はロジック"0"の最大入力電圧です。

### $V_{INH}$

$V_{INH}$  はロジック"1"の最小入力電圧です。

### $I_{INL}, I_{INH}$

$I_{INL}$  と  $I_{INH}$  はそれぞれデジタル入力のロー・レベルおよびハイ・レベルでの入力電流を表します。

### $C_D(Off)$

$C_D(Off)$  はスイッチ・オフ時のドレイン容量を表し、グラウンドを基準として測定されます。

### $C_S(Off)$

$C_S(Off)$  はスイッチ・オフ時のソース容量を表し、グラウンドを基準として測定されます。

### $C_D(On), C_S(On)$

$C_D(On)$  and  $C_S(On)$  はスイッチ・オン時の容量を表し、グラウンドを基準として測定されます。

### $C_{IN}$

$C_{IN}$  はデジタル入力容量を表します。

### $t_{ON(EN)}$

$t_{ON(EN)}$  はデジタル入力の 50% の点とスイッチ・オンの出力レベルが 90% になった点の間の遅延時間を表します。

### $t_{OFF(EN)}$

$t_{OFF(EN)}$  はデジタル入力の 50% の点とスイッチ・オフの出力レベルが 90% になった点の間の遅延時間を表します。

### $t_{TRANSITION}$

あるアドレス状態から別のアドレス状態へ切り替わる時のデジタル入力の 50% の点とスイッチ・オンの出力レベルが 90% になった点との間の遅延時間。

### $t_D$

$t_D$  はあるアドレス状態から別のアドレス状態へ切り替わる時の両スイッチの 80% の点間で測定したオフ時間を表します。

### オフ時アイソレーション

オフ・チャンネルのスイッチを通過する不要信号の大きさを表します。

### チャージ・インジェクション

電荷注入は、スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスを表します。

### クロストーク

クロストークは寄生容量によって 1 つのチャンネルから別のチャンネルに伝達される不要信号の大きさです。

### 帯域幅

帯域幅は、出力が 3 dB 減衰する周波数です。

### オン応答

オン応答はオン状態にあるスイッチの周波数応答です。

### 総合高調波歪+ノイズ(THD + N)

高調波振幅と信号ノイズの和の基本波に対する比で THD+ N と表します。

### AC 電源変動除去比(ACPSRR)

ACPSRR は、電源電圧ピンに現れるノイズやスプリアス信号がスイッチ出力へ結合するのを防止するデバイスの能力を表します。デバイスの DC 電圧を 0.62 V p-p の正弦波で変調した時、出力の信号振幅の変調振幅に対する比が ACPSRR です。

## トレンチ・アイソレーション

ADG5433 と ADG5434 の場合、各 CMOS スイッチの NMOS トランジスタと PMOS トランジスタの間に絶縁酸化物層(トレンチ)が設けてあります。接合分離されたスイッチ内のトランジスタ間に発生する寄生接合が大幅に軽減されるため、ラッチアップを完全に防止したスイッチが得られます。

接合分離では、PMOS トランジスタと NMOS トランジスタの N ウェルと P ウェルが、通常動作では逆バイアスになるダイオードを形成します。しかし過電圧状態では、このダイオードが順方向バイアスになる事があります。2 個のトランジスタによりシリコン制御整流子(SCR)タイプの回路が形成され、電流が大幅に増幅されるため、ラッチアップが起こります。

トレンチ・アイソレーションでは、このダイオードがなくなるため、ラッチアップのないスイッチが実現できます。

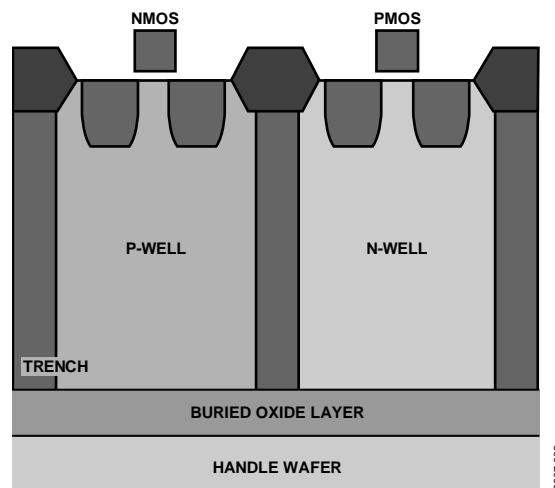


図 36. トレンチ・アイソレーション

08207-502

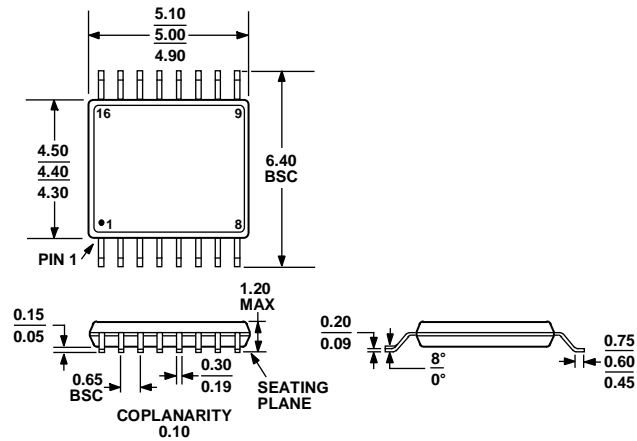
## アプリケーション情報

ADG54xx ファミリーのスイッチ/マルチプレクサは、ラッチアップを起しやすい計装、工業用、車載、航空宇宙、その他の厳しい環境に対して強固なソリューションを提供します。ラッチアップは、デバイス故障の方向に導き、電源が遮断するまで継続する望ましくない高電流状態です。

ADG5433/ADG5434 高電圧スイッチでは、9 V~40 V の単電源動作と $\pm 9$  V~ $\pm 22$  V の両電源動作が可能です。

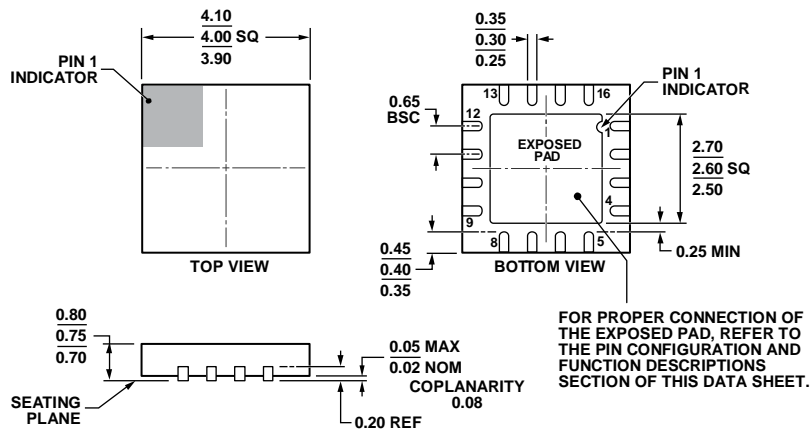
ADG5433/ADG5434 (および同じファミリーから選択した他のデバイス)は、8 kV の人体モデル ESD 定格を実現しているため、アプリケーションによっては、外付けの保護回路が不要な強固なソリューションを実現することができます。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AB

図 37.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]  
(RU-16) 寸法: mm



FOR PROPER CONNECTION OF THE EXPOSED PAD, REFER TO THE PIN CONFIGURATION AND FUNCTION DESCRIPTIONS SECTION OF THIS DATA SHEET.

COMPLIANT TO JEDEC STANDARDS MO-220-WGGC.

図 38.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_VQ]  
4 mm x 4 mm ボディ、極薄クワッド(CP-16-17) 寸法: mm

01/2309-B

# ADG5433/ADG5434

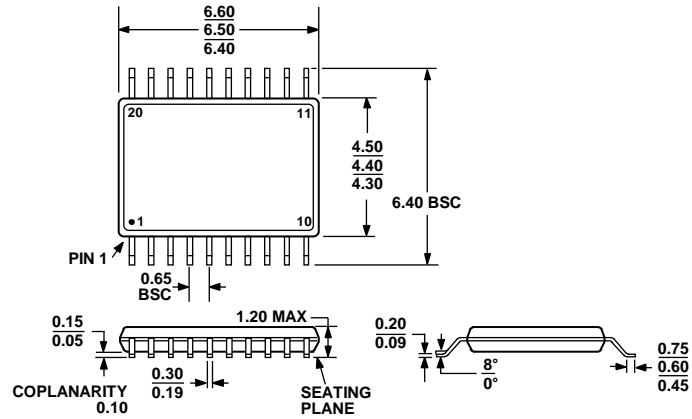


図 39.20 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]  
(RU-20) 寸法: mm

## オーダー・ガイド

モデル <sup>1</sup>	温度範囲	説明	EN ピン	パッケージ・オプション
ADG5433BRUZ	-40°C to +125°C	16-Lead Thin Shrink Sm all Outline Package [TSSOP]	Yes	RU-16
ADG5433BRUZ-REEL7	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	Yes	RU-16
ADG5433BCPZ-REEL7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	Yes	CP-16-17
ADG5434BRUZ	-40°C to +125°C	20-Lead Thin Shrink Sma II Outline Package [TSSOP]	No	RU-20
ADG5434BRUZ-REEL7	-40°C to +125°C	20-Lead Thin Shrink Small Outline Package [TSSOP]	No	RU-20

<sup>1</sup> Z = RoHS 準拠製品

**NOTES**

ADG5433/ADG5434

## NOTES