



高電圧ラッチアップ保護 シングルSPDT スイッチ

データシート

ADG5419

特長

ラッチアップなし
ESD 定格: 人体モデル (HBM) 8 kV
低オン抵抗: 13.5 Ω
両電源動作: ±9 V ~ ±22 V
単電源動作: 9 V ~ 40 V
最大電源電圧定格: 48 V
仕様を±15 V、±20 V、+12 V、+36 V 電源で規定
アナログ信号範囲: $V_{DD} \sim V_{SS}$

アプリケーション

高電圧信号のルーティング
自動テスト装置
アナログ・フロントエンド回路
高精度データ・アキュイジション
工業用計装機器
アンプ・ゲインの選択
リレーの置き換え

概要

ADG5419 は、ラッチアップなしの単極双投 (SPDT) スイッチを内蔵する工業用モノリシック CMOS アナログ・スイッチです。

各スイッチはオンの時に両方向に等しく導通し、入力信号範囲は電源電圧まで可能です。オフ状態では、電源電圧までの信号レベルを阻止します。ADG5419は、マルチプレクサ・アプリケーションで使用するブレイク・ピフォア・メーク・スイッチング動作を行います。

これらのスイッチは、極めて小さいオン抵抗とオン抵抗平坦性を持つため、小さい歪が必須のデータ・アキュイジションとゲイン・スイッチング・アプリケーションに最適なソリューションとなっています。これらのスイッチは、ラッチアップが生じない構造と高いESD 定格を持つため、厳しい環境にも。

機能ブロック図

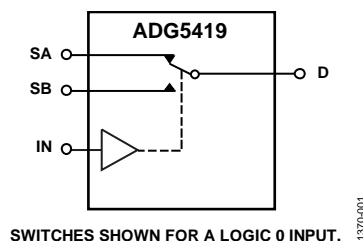


図 1.

製品のハイライト

1. トレンチ・アイソレーションによりラッチアップから保護します。絶縁トレンチにより p チャンネルと n チャンネルのトランジスタを分離し、厳しい過電圧状態でもラッチアップを防止します。
2. 低オン抵抗 R_{ON} : 13.5 Ω。
3. 両電源動作。アナログ信号がバイポーラであるアプリケーションに対しては、ADG5419 は ±22 V までの両電源で動作することができます。
4. 単電源動作。アナログ信号がユニポーラであるアプリケーションに対しては、ADG5419 は 40 V までの単電源で動作することができます。
5. 3 V ロジック互換デジタル入力: $V_{INH} = 2.0 V$ 、 $V_{INL} = 0.8 V$ 。
6. ロジック電源 V_L が不要。
7. 8 ピン MSOP パッケージを採用

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2013 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	チャンネルあたりの連続電流、 S_x またはD.....	7
アプリケーション.....	1	絶対最大定格.....	8
機能ブロック図.....	1	ESDの注意.....	8
概要.....	1	ピン配置およびピン機能説明.....	9
製品のハイライト.....	1	代表的な性能特性.....	10
改訂履歴.....	2	テスト回路.....	13
仕様.....	3	用語.....	15
±15 V 両電源.....	3	アプリケーション情報.....	16
±20 V 両電源.....	4	トレンチ・アイソレーション.....	16
12 V 単電源.....	5	外形寸法.....	17
36 V 単電源.....	6	オーダー・ガイド.....	17

改訂履歴

9/13—Revision 0: Initial Version

仕様

±15 V 両電源

特に指定がない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	13.5 15	19	23	Ω typ Ω max	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$; see Figure 22 $V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	0.1			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.8 1.8	1.3	1.4	Ω max Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$
	2.2	2.7	3.1	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.1 ± 0.25	± 1	± 10	nA typ nA max	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$; see Figure 21
Channel On Leakage, I_D (On), I_S (On)	± 0.1 ± 0.4	± 4	± 10	nA typ nA max	$V_S = V_D = \pm 10\text{ V}$; see Figure 21
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002		± 0.1	μA typ μA max	$V_{IN} = V_{GND}$ or V_{DD}
Digital Input Capacitance, C_{IN}	6			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	217 260	310	336	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$; see Figure 27
Break-Before-Make Time Delay, t_D	86		45	ns typ ns min	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$; see Figure 28
Charge Injection, Q_{INJ}	130			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 29
Off Isolation	-60			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 24
Channel-to-Channel Crosstalk	-80			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 23
Total Harmonic Distortion + Noise	0.01			% typ	$R_L = 1\text{ k}\Omega$, 15 V p-p , $f = 20\text{ Hz to } 20\text{ kHz}$; see Figure 25
-3 dB Bandwidth	190			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 26
Insertion Loss	-0.8			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 26
C_S (Off)	12			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)	55			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	45 55		70	μA typ μA max	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ Digital inputs = 0 V or V_{DD}
I_{SS}	0.001		1	μA typ μA max	Digital inputs = 0 V or V_{DD}
V_{DD}/V_{SS}			$\pm 9/\pm 22$	V min/V max	$GND = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

±20 V 両電源

特に指定がない限り、 $V_{DD} = +20\text{ V} \pm 10\%$ 、 $V_{SS} = -20\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 2.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	12.5			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$; see Figure 22
	14	18	22	Ω max	$V_{DD} = +18\text{ V}$, $V_{SS} = -18\text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	0.1			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$
	0.8	1.3	1.4	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	2.3			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$
	2.7	3.3	3.7	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.1			nA typ	$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$
	± 0.25	± 1	± 10	nA max	$V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$; see Figure 21
Channel On Leakage, I_D (On), I_S (On)	± 0.1			nA typ	$V_S = V_D = \pm 15\text{ V}$; see Figure 21
	± 0.4	± 4	± 10	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	$V_{IN} = V_{GND}$ or V_{DD}
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	6			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	200			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	235	279	294	ns max	$V_S = 10\text{ V}$; see Figure 27
Break-Before-Make Time Delay, t_D	77			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
			46	ns min	$V_S = 10\text{ V}$; see Figure 28
Charge Injection, Q_{INJ}	160			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 29
Off Isolation	-60			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 24
Channel-to-Channel Crosstalk	-80			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 23
Total Harmonic Distortion + Noise	0.01			% typ	$R_L = 1\text{ k}\Omega$, 20 V p-p, $f = 20\text{ Hz}$ to 20 kHz; see Figure 25
-3 dB Bandwidth	190			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 26
Insertion Loss	-0.7			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 26
C_S (Off)	11			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)	55			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	50			μA typ	$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$
	70		110	μA max	Digital inputs = 0 V or V_{DD}
I_{SS}	0.001			μA typ	Digital inputs = 0 V or V_{DD}
			1	μA max	
V_{DD}/V_{SS}			$\pm 9/\pm 22$	V min/V max	$GND = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

12 V 単電源

特に指定がない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 3.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	26			Ω typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$; see Figure 22
On-Resistance Match Between Channels, ΔR_{ON}	30	38	44	Ω max	$V_{DD} = 10.8\text{ V}$, $V_{SS} = 0\text{ V}$
	0.1			Ω typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	1	1.5	1.6	Ω max	
	5.5			Ω typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -10\text{ mA}$
	6.8	8.3	12.3	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.1			nA typ	$V_{DD} = +13.2\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}$ to 10 V, $V_D = 10\text{ V}$ to 1 V; see Figure 21
Channel On Leakage, I_D (On), I_S (On)	± 0.25	± 1	± 10	nA max	
	± 0.1		± 10	nA typ	$V_S = V_D = 1\text{ V}$ to 10 V; see Figure 21
	± 0.4	± 4	± 10	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	$V_{IN} = V_{GND}$ or V_{DD}
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	6			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	333			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	414	508	567	ns max	$V_S = 8\text{ V}$; see Figure 27
Break-Before-Make Time Delay, t_D	176			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
			97	ns min	$V_S = 8\text{ V}$; see Figure 28
Charge Injection, Q_{INJ}	55			pC typ	$V_S = 6\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 29
Off Isolation	-60			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 24
Channel-to-Channel Crosstalk	-80			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 23
Total Harmonic Distortion + Noise	0.03			% typ	$R_L = 1\text{ k}\Omega$, 6 V p-p, $f = 20\text{ Hz}$ to 20 kHz; see Figure 25
-3 dB Bandwidth	170			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 26
Insertion Loss	-1.7			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 26
C_S (Off)	15			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)	50			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	40			μA typ	$V_{DD} = 13.2\text{ V}$
	50		65	μA max	Digital inputs = 0 V or V_{DD}
V_{DD}			9/40	V min/V max	$GND = 0\text{ V}$, $V_{SS} = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

36 V 単電源

特に指定がない限り、 $V_{DD} = 36 V \pm 10\%$ 、 $V_{SS} = 0 V$ 、 $GND = 0 V$ 。

表 4.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	14.5			Ω typ	$V_S = 0 V$ to 30 V, $I_S = -10 mA$; see Figure 22
On-Resistance Match Between Channels, ΔR_{ON}	16	20	24	Ω max	$V_{DD} = 32.4 V$, $V_{SS} = 0 V$
	0.1			Ω typ	$V_S = 0 V$ to 30 V, $I_S = -10 mA$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.8	1.3	1.4	Ω max	
	3.5			Ω typ	$V_S = 0 V$ to 30 V, $I_S = -10 mA$
	4.3	5.5	6.5	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.1			nA typ	$V_{DD} = 39.6 V$, $V_{SS} = 0 V$ $V_S = 1 V$ to 30 V, $V_D = 30 V$ to 1 V; see Figure 21
Channel On Leakage, I_D (On), I_S (On)	± 0.25 ± 0.1	± 1	± 10	nA max nA typ	$V_S = V_D = 1 V$ to 30 V; see Figure 21
	± 0.4	± 4	± 10	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ μA max	$V_{IN} = V_{GND}$ or V_{DD}
Digital Input Capacitance, C_{IN}	6		± 0.1	pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	216			ns typ	$R_L = 300 \Omega$, $C_L = 35 pF$
	250	286	310	ns max	$V_S = 18 V$; see Figure 27
Break-Before-Make Time Delay, t_D	80			ns typ	$R_L = 300 \Omega$, $C_L = 35 pF$
			47	ns min	$V_S = 18 V$; see Figure 28
Charge Injection, Q_{INJ}	135			pC typ	$V_S = 18 V$, $R_S = 0 \Omega$, $C_L = 1 nF$; see Figure 29
Off Isolation	-60			dB typ	$R_L = 50 \Omega$, $C_L = 5 pF$, $f = 1 MHz$; see Figure 24
Channel-to-Channel Crosstalk	-80			dB typ	$R_L = 50 \Omega$, $C_L = 5 pF$, $f = 1 MHz$; see Figure 23
Total Harmonic Distortion + Noise	0.01			% typ	$R_L = 1 k\Omega$, 18 V p-p, $f = 20 Hz$ to 20 kHz; see Figure 25
-3 dB Bandwidth	170			MHz typ	$R_L = 50 \Omega$, $C_L = 5 pF$; see Figure 26
Insertion Loss	-1			dB typ	$R_L = 50 \Omega$, $C_L = 5 pF$, $f = 1 MHz$; see Figure 26
C_S (Off)	14			pF typ	$V_S = 18 V$, $f = 1 MHz$
C_D (On), C_S (On)	50			pF typ	$V_S = 18 V$, $f = 1 MHz$
POWER REQUIREMENTS					
I_{DD}	80			μA typ	$V_{DD} = 39.6 V$ Digital inputs = 0 V or V_{DD}
	100		130	μA max	
V_{DD}			9/40	V min/V max	$GND = 0 V$, $V_{SS} = 0 V$

¹設計上保証しますが、出荷テストは行いません。

チャンネルあたりの連続電流、S_xまたはD

表 5.

Parameter	25°C	85°C	125°C	Unit	Test Conditions/Comments
CONTINUOUS CURRENT, S _x OR D					MSOP ($\theta_{JA} = 133.1^{\circ}\text{C/W}$)
$V_{DD} = +15\text{ V}, V_{SS} = -15\text{ V}$	113	73	46	mA maximum	
$V_{DD} = +20\text{ V}, V_{SS} = -20\text{ V}$	118	76	47	mA maximum	
$V_{DD} = 12\text{ V}, V_{SS} = 0\text{ V}$	90	60	41	mA maximum	
$V_{DD} = 36\text{ V}, V_{SS} = 0\text{ V}$	116	74	46	mA maximum	

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to V_{SS}	48 V
V_{DD} to GND	-0.3 V to +48 V
V_{SS} to GND	+0.3 V to -48 V
Analog Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Digital Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Peak Current, Sx or D Pins	410 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or D ²	Data + 15%
Temperature Range	
Operating	-40°C to $+125^\circ\text{C}$
Storage	-65°C to $+150^\circ\text{C}$
Junction Temperature	150°C
Thermal Impedance, θ_{JA}	
8-Lead MSOP (4-Layer Board)	133.1°C/W
Reflow Soldering Peak Temperature, Pb Free	As per JEDEC J-STD-020
Human Body Model (HBM) ESD	8 kV

¹ IN、Sx、D の各ピンでの過電圧は内部ダイオードでクランプされます。電流は、規定された最大定格に制限してください。

² 表 5 を参照。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

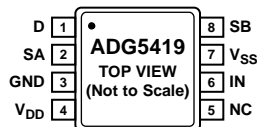
同時に複数の絶対最大定格条件を適用することはできません。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明



NOTES

1. NC = NO CONNECT. NOT INTERNALLY CONNECTED.

11370-002

図 2. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	D	ドレイン・ピン。このピンは、入力または出力に設定することができます。
2	SA	ソース・ピン。このピンは、入力または出力に設定することができます。
3	GND	グラウンド・リファレンス(0 V)。
4	V _{DD}	正電源電位。
5	NC	未接続。内部で接続されていません。
6	IN	ロジック・コントロール入力。
7	V _{SS}	負電源電位。
8	SB	ソース・ピン。このピンは、入力または出力に設定することができます。

表 8. 真理値表

IN	Switch A	Switch B
0	On	Off
1	Off	On

代表的な性能特性

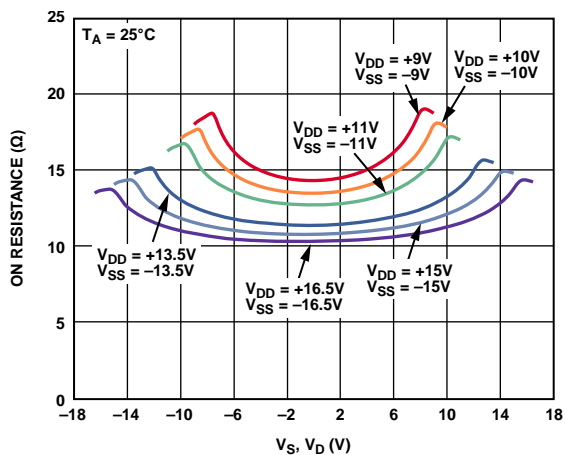


図 3. V_S 、 V_D の関数としてのオン抵抗、両電源

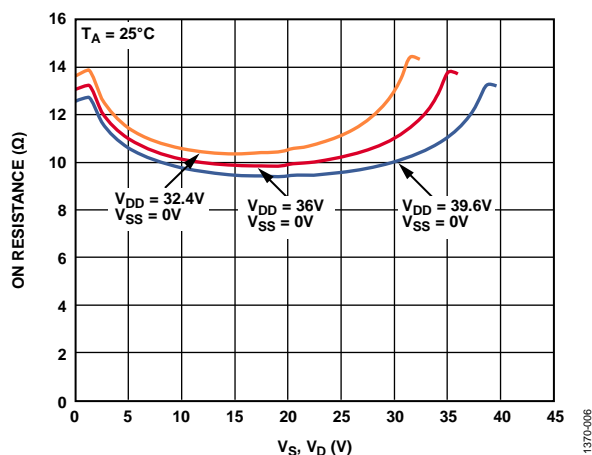


図 6. V_S 、 V_D の関数としてのオン抵抗、単電源

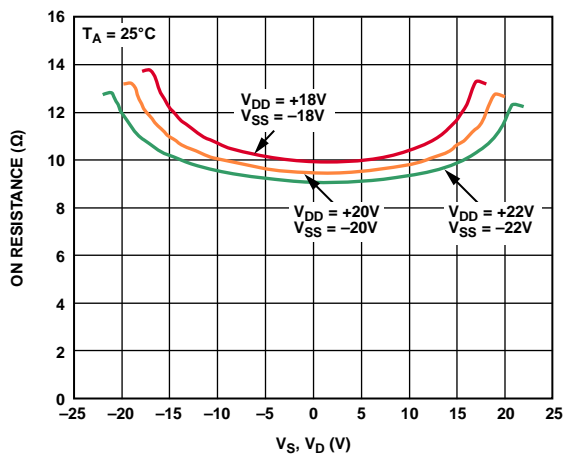


図 4. V_S 、 V_D の関数としてのオン抵抗、両電源

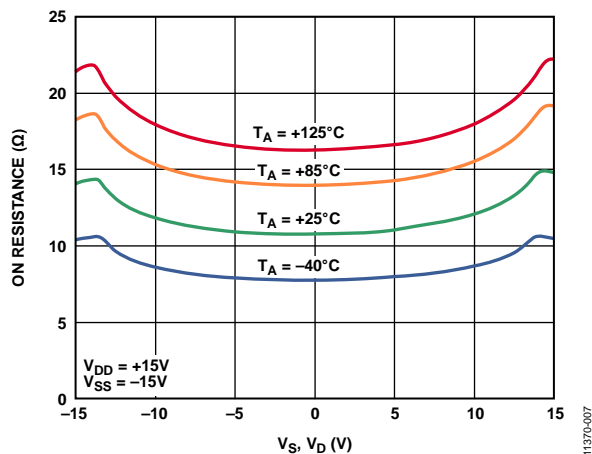


図 7. V_S (V_D) の関数としての様々な温度でのオン抵抗 ± 15 V 両電源

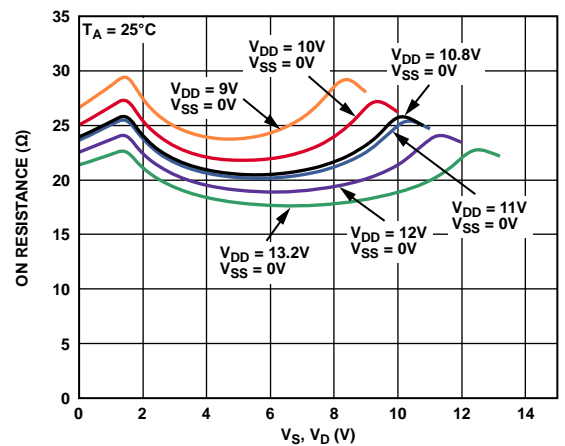


図 5. V_S 、 V_D の関数としてのオン抵抗、単電源

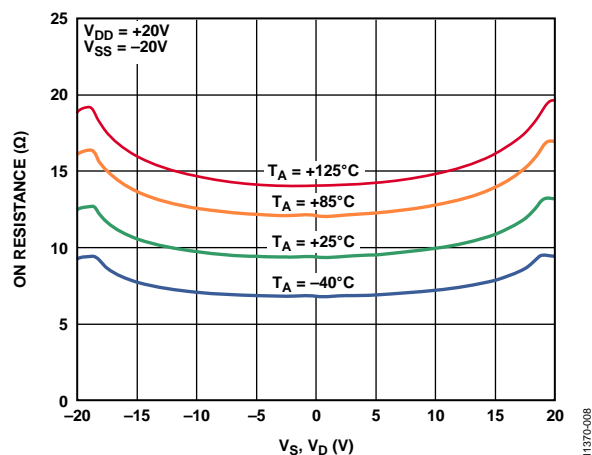


図 8. V_S (V_D) の関数としての様々な温度でのオン抵抗 ± 20 V 両電源

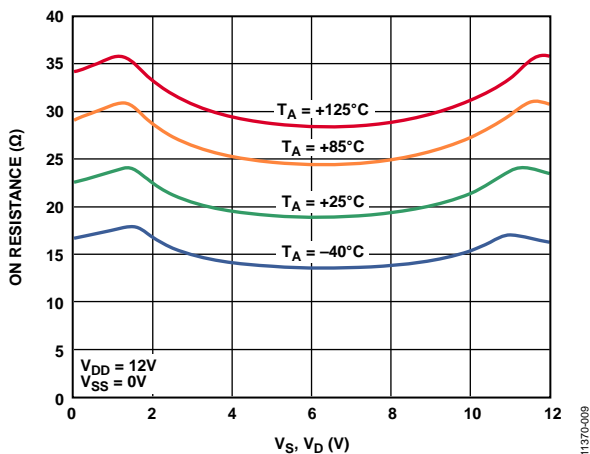


図 9. V_S (V_D) の関数としての様々な温度でのオン抵抗
12 V 単電源

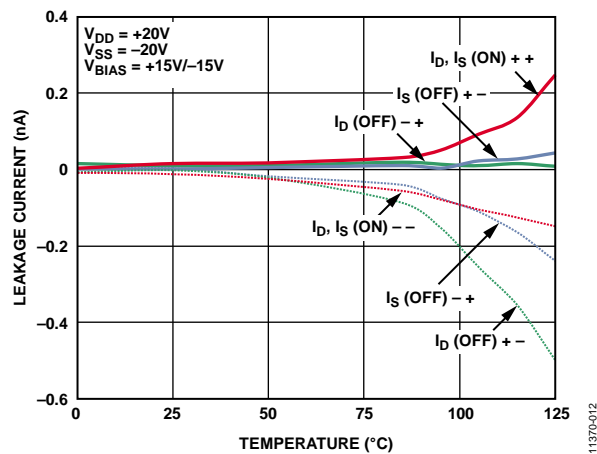


図 12. 温度の関数としてのリーク電流
±20 V 両電源

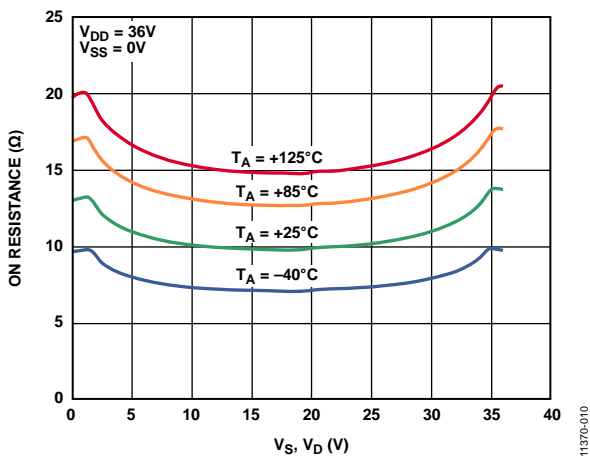


図 10. V_S (V_D) の関数としての様々な温度でのオン抵抗
36 V 単電源

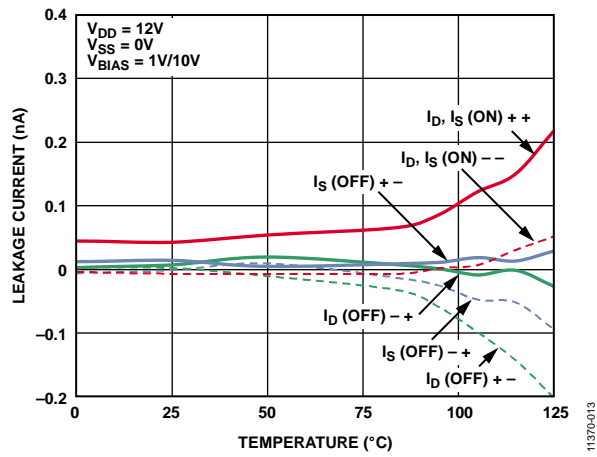


図 13. 温度の関数としてのリーク電流
12 V 単電源

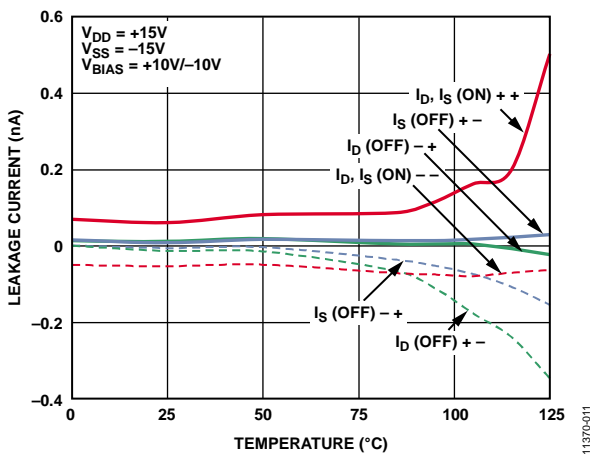


図 11. 温度の関数としてのリーク電流
±15 V 両電源

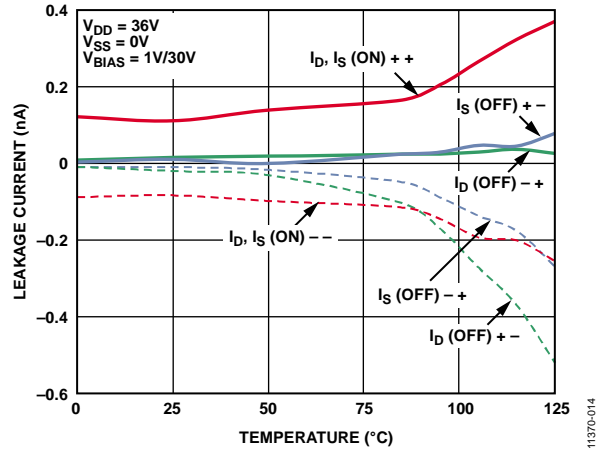


図 14. 温度の関数としてのリーク電流
36 V 単電源

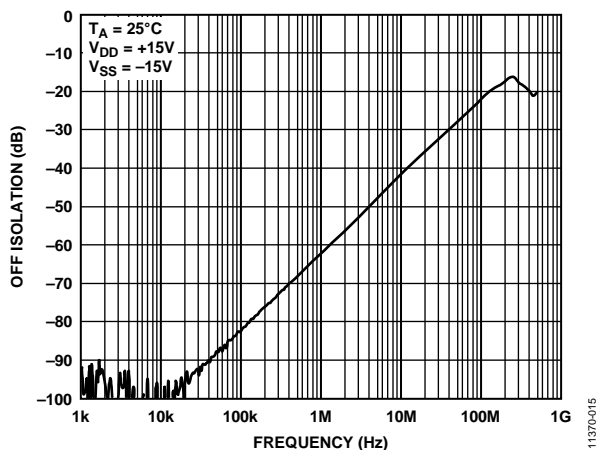


図 15. オフ・アイソレーションの周波数特性

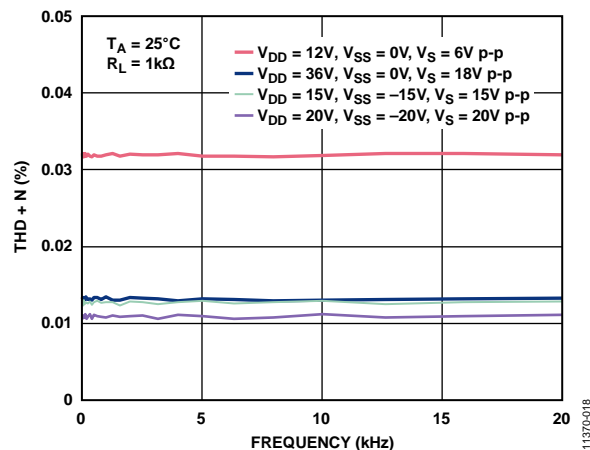


図 18. THD + N の周波数特性

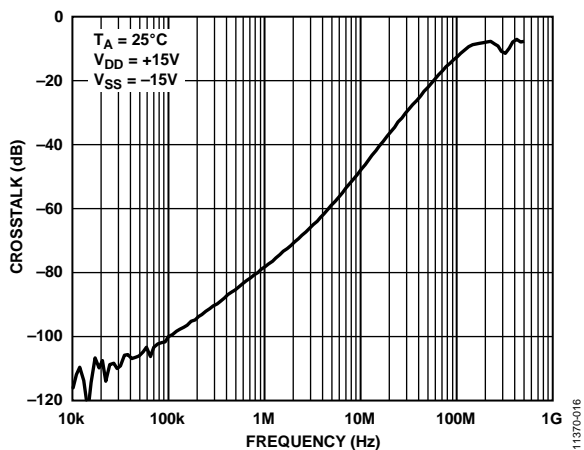


図 16. クロストークの周波数特性

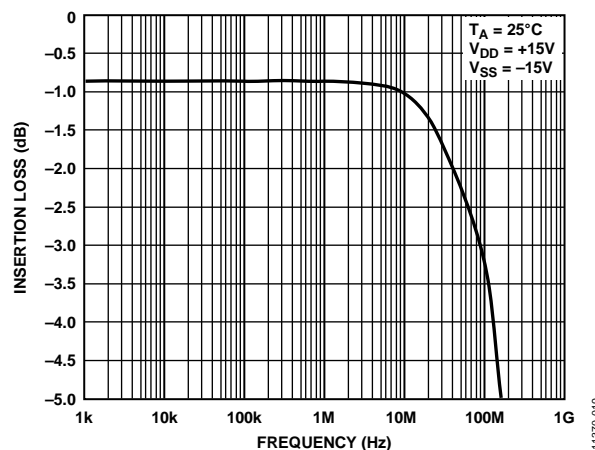


図 19. 帯域幅

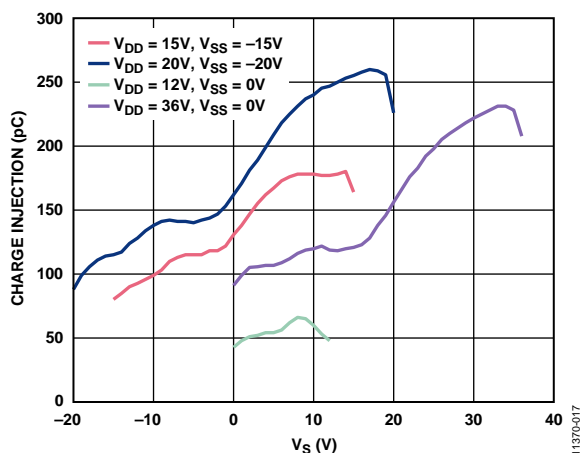


図 17. 電源電圧に対するチャージ・インジェクション

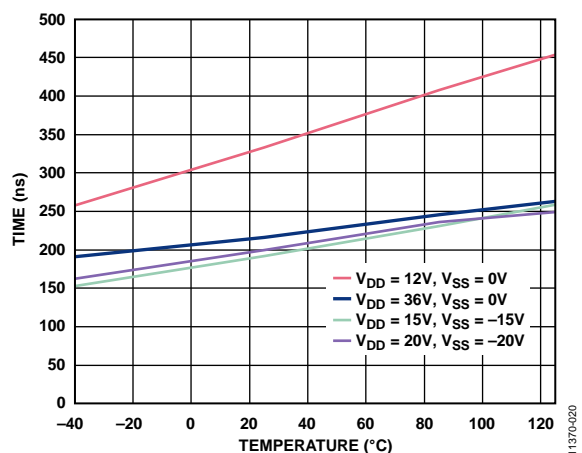


図 20. 時間 $t_{\text{TRANSITION}}$ の温度特性

テスト回路

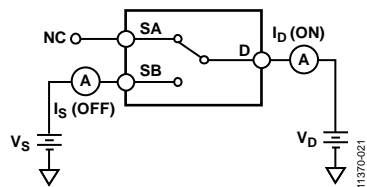


図 21. オン・リークおよびオフ・リーク

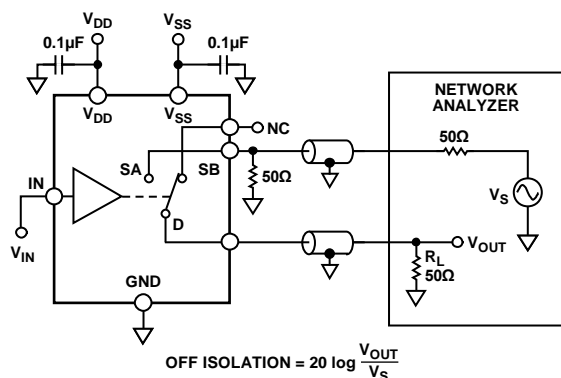


図 24. オフ・アイソレーション

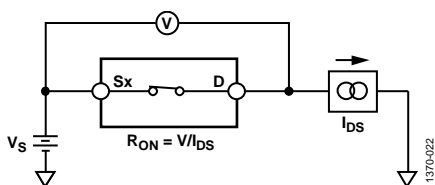


図 22. オン抵抗

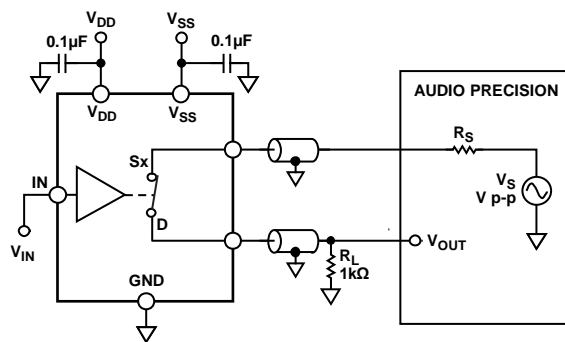


図 25. THD + N

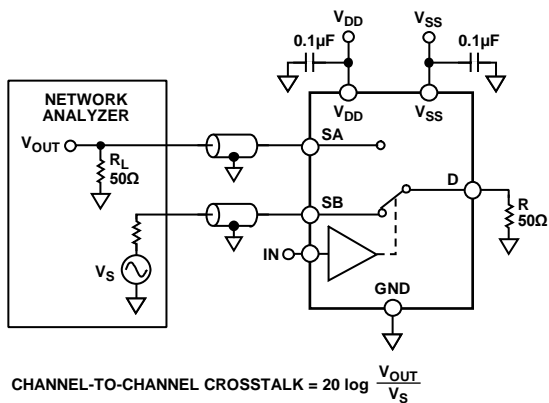


図 23. チャンネル間クロストーク

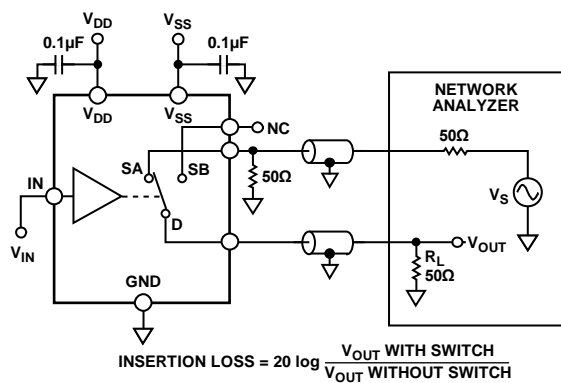


図 26. 帯域幅

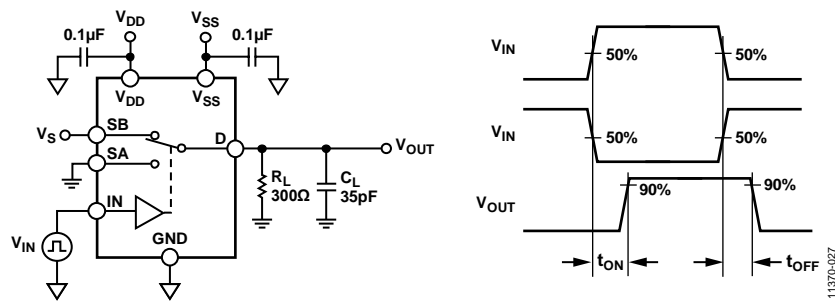


図 27.スイッチング・タイミング

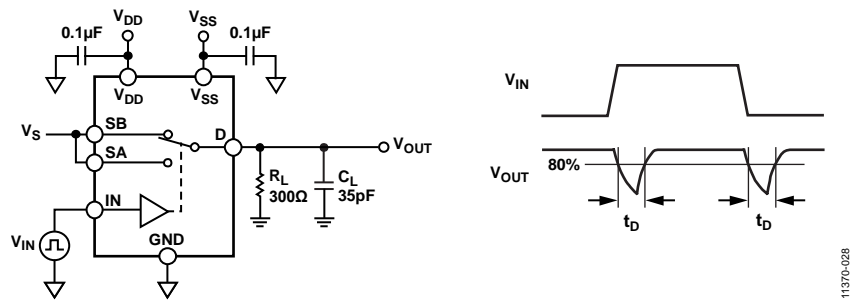


図 28.ブレイク・ビフォア・メーク遅延 t_D

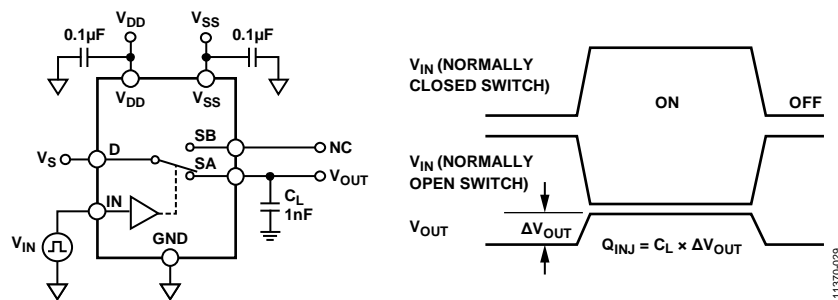


図 29.チャージ・インジェクション

用語

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

V_D、V_S

それぞれ、D、S ピンのアナログ電圧。

R_{ON}

D-S ピン間の抵抗。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

R_{FLAT(ON)}

仕様で規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (On)、I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、I_{INH}

デジタル入力のそれぞれロー・レベルおよびハイ・レベルでの入力電流。

C_S (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_D (On)、C_S (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{TRANSITION}

あるアドレス状態から別のアドレス状態へ切り替わるときのデジタル入力の 50%/90% ポイントとスイッチ・オン状態との間の遅延時間。

t_D

あるアドレス状態から別のアドレス状態へ切り替わるときの両スイッチの 80% ポイント間で測定したオフ時間。

オフ・アイソレーション

オフ状態のチャンネルを通過する不要信号の大きさ。

チャージ・インジェクション

スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさ。

クロストーク

寄生容量に起因して 1 つのチャンネルから別のチャンネルに混入する不要信号の大きさ。

帯域幅

出力が DC 値から 3 dB 減衰する周波数の範囲。

全高調波歪+ノイズ(THD + N)

高調波振幅と信号ノイズの和の基本波に対する比。

アプリケーション情報

ADG54xx ファミリーのスイッチ/マルチプレクサは、ラッチアップが発生しやすい計装、工業用、航空宇宙、その他の厳しい環境に対して頑丈なソリューションを提供します。ラッチアップは、デバイス故障に至る高電流状態を発生させて、電源をオフにするまで継続します。ADG5419 高電圧スイッチでは、9 V ~ 40 V の単電源動作と ± 9 V ~ ± 22 V の両電源動作が可能です。ADG5419 (および同じファミリーから選択した他のデバイス) は、8 kV の人体モデル ESD 定格を実現しているため、アプリケーションによっては、外付けの保護回路が不要な強固なソリューションを実現することができます。

トレンチ・アイソレーション

ADG5419 では、各 CMOS スイッチの NMOS トランジスタと PMOS トランジスタの間に絶縁酸化物層(トレンチ)が設けてあります。ジャンクションで絶縁されたスイッチ内の複数のトランジスタ間に発生する寄生ジャンクションがなくなるため、ラッチアップを完全に防止したスイッチが得られます。

ジャンクション・アイソレーションでは、PMOS トランジスタと NMOS トランジスタの N ウェルと P ウェルが、通常動作では逆バイアスされるダイオードを形成しますが、過電圧状態では、このダイオードが順方向バイアスされるようになります。2 個のトランジスタによりシリコン制御整流子(SCR)タイプの回路が形成されるため、電流が大幅に増幅されて、ラッチアップが発生します。トレンチ・アイソレーションでは、このダイオードがなくなるため、ラッチアップのないスイッチが実現できます。

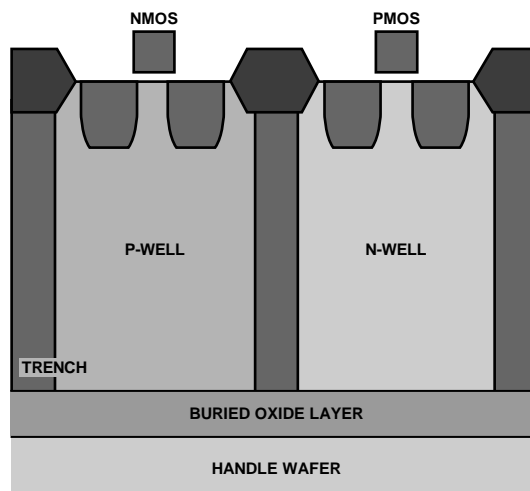


図 30. トレンチ・アイソレーション

外形寸法

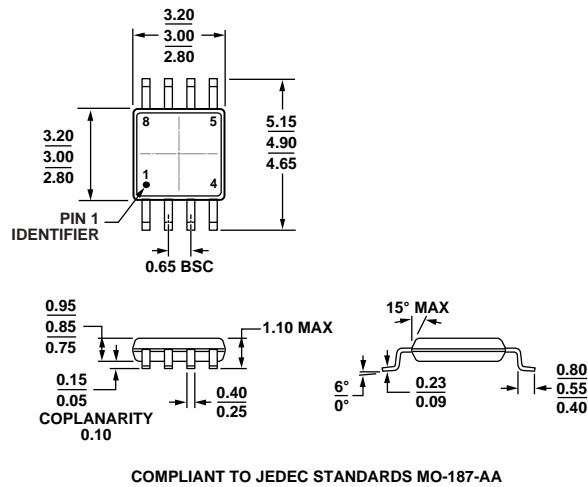


図 31.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADG5419BRMZ	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	S48
ADG5419BRMZ-RL7	-40°C to +125°C	8-Lead Mini Small Outline Package [MSOP]	RM-8	S48

¹ Z = RoHS 準拠製品