

特長

ラッチアップ保護機能内蔵

ESD 定格: 人体モデル (HBM) 8 kV

小さいオン抵抗: 10 Ω 以下

両電源動作: ±9 V~±22 V

単電源動作: 9 V~40 V

最大電源電圧定格: 48 V

仕様を±15 V、±20 V、+12 V、+36 V 電源で規定

アナログ信号範囲: $V_{SS} \sim V_{DD}$

アプリケーション

リレーの同じ書式を選択置き換え

自動テスト装置

データ・アクイジション

計装機器

航空電子機器

オーディオとビデオ・スイッチング

通信システム

概要

ADG5412/ADG5413 は、4 個の独立なシングル・ポール/シングル・スロー (SPST) スイッチを内蔵しています。ADG5412 はロジック 1 でターンオンします。ADG5413 には ADG5412 と同じデジタル・コントロール・ロジックを持つスイッチが 2 個と、ロジックが反転しているスイッチが 2 個内蔵されています。各スイッチはオンのとき等しく両方向に導通し、入力信号範囲は電源電圧まで可能です。オフ状態では、電源電圧までの信号レベルを阻止します。

ADG5412 と ADG5413 には、 V_L ピンがありません。デジタル入力は、全動作電源範囲で 3 V ロジック入力と互換です。

オン抵抗はフル・アナログ入力範囲で平坦であるため、オーディオ信号のスイッチングで優れた直線性と低歪みを提供します。高速なスイッチング速度を持つため、ビデオ信号のスイッチングにも適しています。ADG5413 は、マルチプレクサ・アプリケ

機能ブロック図

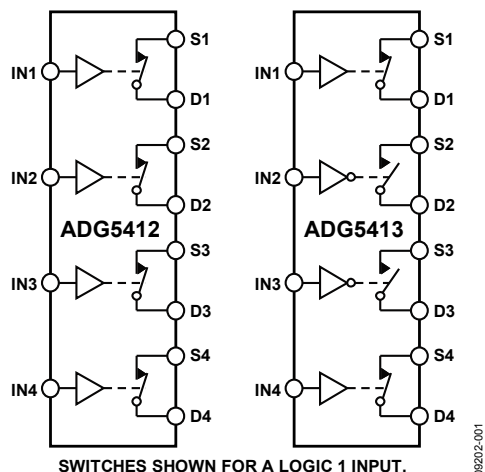


図 1.

ーションで使用するブレーク・ビフォア・メーク・スイッチング動作を行います。

製品のハイライト

1. トレンチ・アイソレーションによりラッチアップから保護します。絶縁トレンチにより p チャンネルと n チャンネルのトランジスタを分離することにより、厳しい過電圧状態でもラッチアップを防止します。
2. R_{ON} が小さい。
3. 両電源動作。アナログ信号がバイポーラであるアプリケーションに対しては、ADG5412/ADG5413 は ±22 V までの両電源で動作することができます。
4. 単電源動作。アナログ信号がユニポーラであるアプリケーションに対しては、ADG5412/ADG5413 は 40 V までの単電源で動作することができます。
5. 3 V ロジック互換デジタル入力: $V_{INH} = 2.0 V$ 、 $V_{INL} = 0.8 V$ 。
6. V_L ロジック電源が不要。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長.....	1	チャンネルあたりの連続電流、S _X またはD _X	7
アプリケーション.....	1	絶対最大定格.....	8
機能ブロック図.....	1	ESDの注意.....	8
概要.....	1	ピン配置およびピン機能説明.....	9
製品のハイライト.....	1	代表的な性能特性.....	10
改訂履歴.....	2	テスト回路.....	14
仕様.....	3	用語.....	16
±15 V両電源.....	3	トレンチ・アイソレーション.....	17
±20 V両電源.....	4	アプリケーション情報.....	18
12 V単電源.....	5	外形寸法.....	19
36 V単電源.....	6	オーダー・ガイド.....	19

改訂履歴

7/10—Revision 0: Initial Version

仕様

±15 V両電源

特に指定がない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analogue Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	9.8			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$; see Figure 24
On-Resistance Match Between Channels, ΔR_{ON}	11	14	16	Ω max	$V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$
	0.35			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.7	0.9	1.1	Ω max	
	1.2			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -10\text{ mA}$
	1.6	2	2.2	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.05			nA typ	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$; see Figure 27
Drain Off Leakage, I_D (Off)	± 0.25	± 0.75	± 3.5	nA max	
	± 0.05			nA typ	$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$; see Figure 27
Channel On Leakage, I_D (On), I_S (On)	± 0.25	± 0.75	± 3.5	nA max	
	± 0.1			nA typ	$V_S = V_D = \pm 10\text{ V}$; see Figure 23
	± 0.4	± 2	± 12	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	$V_{IN} = V_{GND}$ or V_{DD}
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	2.5			pF typ	
DYNAMIC CHARACTERISTICS¹					
t_{ON}	170			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	202	236	262	ns max	$V_S = 10\text{ V}$; see Figure 31
t_{OFF}	120			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	145	170	182	ns max	$V_S = 10\text{ V}$; see Figure 31
Break-Before-Make Time Delay, t_D (ADG5413 Only)	15			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
Charge Injection, Q_{INJ}	240		6	ns min	$V_{S1} = V_{S2} = 10\text{ V}$; see Figure 30
				pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 32
Off Isolation	-78			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 26
Channel-to-Channel Crosstalk	-70			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 25
Total Harmonic Distortion + Noise	0.009			% typ	$R_L = 1\text{ k}\Omega$, 15 V p-p, $f = 20\text{ Hz}$ to 20 kHz; see Figure 28
-3 dB Bandwidth	167			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 29
Insertion Loss	-0.7			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 29
C_S (Off)	18			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	18			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)	60			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
POWER REQUIREMENTS					
I_{DD}	45			$\mu\text{A typ}$	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ Digital inputs = 0 V or V_{DD}
	55		70	$\mu\text{A max}$	
I_{SS}	0.001			$\mu\text{A typ}$	Digital inputs = 0 V or V_{DD}
			1	$\mu\text{A max}$	
V_{DD}/V_{SS}			$\pm 9/\pm 22$	V min/V max	GND = 0 V

¹ 設計上保証しますが、出荷テストは行いません。

±20 V両電源

特に指定がない限り、 $V_{DD} = +20\text{ V} \pm 10\%$ 、 $V_{SS} = -20\text{ V} \pm 10\%$ 、GND = 0 V。

表 2.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	9			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$; see Figure 24
	10	13	15	Ω max	
On-Resistance Match Between Channels, ΔR_{ON}	0.35			Ω typ	$V_{DD} = +18\text{ V}$, $V_{SS} = -18\text{ V}$ $V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	0.7	0.9	1.1	Ω max	$V_S = \pm 15\text{ V}$, $I_S = -10\text{ mA}$
	1.5			Ω typ	
	1.8	2.2	2.5	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.05			nA typ	$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$ $V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$; see Figure 27
	± 0.25	± 0.75	± 3.5	nA max	
Drain Off Leakage, I_D (Off)	± 0.05			nA typ	$V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$; see Figure 27
	± 0.25	± 0.75	± 3.5	nA max	
Channel On Leakage, I_D (On), I_S (On)	± 0.1			nA typ	$V_S = V_D = \pm 15\text{ V}$; see Figure 23
	± 0.4	± 2	± 12	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	$V_{IN} = V_{GND}$ or V_{DD}
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			$\mu\text{A typ}$	
			± 0.1	$\mu\text{A max}$	
Digital Input Capacitance, C_{IN}	2.5			pF typ	
DYNAMIC CHARACTERISTICS¹					
t_{ON}	158			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$; see Figure 31
	187	217	240	ns max	
t_{OFF}	110			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$; see Figure 31
	138	154	170	ns max	
Break-Before-Make Time Delay, t_D (ADG5413 Only)	12			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
			5	ns min	$V_{S1} = V_{S2} = 10\text{ V}$; see Figure 30
Charge Injection, Q_{INJ}	310			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 32
Off Isolation	-78			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 26
Channel-to-Channel Crosstalk	-70			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 25
Total Harmonic Distortion + Noise	0.007			% typ	$R_L = 1\text{ k}\Omega$, 20 V p-p, $f = 20\text{ Hz}$ to 20 kHz; see Figure 28
-3 dB Bandwidth	160			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 29

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Insertion Loss	-0.6			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 29
C_S (Off)	17			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
C_D (Off)	17			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
C_D (On), C_S (On)	60			pF typ	$V_S = 0 \text{ V}$, $f = 1 \text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	50			μA typ	$V_{DD} = +22 \text{ V}$, $V_{SS} = -22 \text{ V}$ Digital inputs = 0 V or V_{DD}
	70		110	μA max	
I_{SS}	0.001			μA typ	Digital inputs = 0 V or V_{DD}
V_{DD}/V_{SS}			$\pm 9/\pm 22$	V min/V max	GND = 0 V

¹ 設計上保証しますが、出荷テストは行いません。

12 V単電源

特に指定がない限り、 $V_{DD} = 12 \text{ V} \pm 10\%$ 、 $V_{SS} = 0 \text{ V}$ 、 $GND = 0 \text{ V}$ 。

表 3.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	19			Ω typ	$V_S = 0 \text{ V}$ to 10 V, $I_S = -10 \text{ mA}$; see Figure 24
	22	27	31	Ω max	$V_{DD} = 10.8 \text{ V}$, $V_{SS} = 0 \text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	0.4			Ω typ	$V_S = 0 \text{ V}$ to 10 V, $I_S = -10 \text{ mA}$
	0.8	1	1.2	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	4.4			Ω typ	$V_S = 0 \text{ V}$ to 10 V, $I_S = -10 \text{ mA}$
	5.5	6.5	7.5	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.05			nA typ	$V_{DD} = 13.2 \text{ V}$, $V_{SS} = 0 \text{ V}$ $V_S = 1 \text{ V}/10 \text{ V}$, $V_D = 10 \text{ V}/1 \text{ V}$; see Figure 27
	± 0.25	± 0.75	± 3.5	nA max	
Drain Off Leakage, I_D (Off)	± 0.05			nA typ	$V_S = 1 \text{ V}/10 \text{ V}$, $V_D = 10 \text{ V}/1 \text{ V}$; see Figure 27
	± 0.25	± 0.75	± 3.5	nA max	
Channel On Leakage, I_D (On), I_S (On)	± 0.1			nA typ	$V_S = V_D = 1 \text{ V}/10 \text{ V}$; see Figure 23
	± 0.4	± 2	± 12	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	$V_{IN} = V_{GND}$ or V_{DD}
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	2.5			pF typ	
DYNAMIC CHARACTERISTICS¹					
t_{ON}	225			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	296	358	403	ns max	$V_S = 8 \text{ V}$; see Figure 31
t_{OFF}	150			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	187	222	247	ns max	$V_S = 8 \text{ V}$; see Figure 31
Break-Before-Make Time Delay, t_D (ADG5413 Only)	70			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
			38	ns min	$V_{S1} = V_{S2} = 8 \text{ V}$; see Figure 30
Charge Injection, Q_{INJ}	95			pC typ	$V_S = 6 \text{ V}$, $R_S = 0 \Omega$, $C_L = 1 \text{ nF}$; see Figure 32
Off Isolation	-78			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 26
Channel-to-Channel Crosstalk	-70			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 25
Total Harmonic Distortion + Noise	0.07			% typ	$R_L = 1 \text{ k}\Omega$, 6 V p-p, $f = 20 \text{ Hz}$ to 20 kHz; see Figure 28

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
-3 dB Bandwidth	180			MHz typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$; see Figure 29
Insertion Loss	-1.3			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 29
C_S (Off)	22			pF typ	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$
C_D (Off)	22			pF typ	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$
C_D (On), C_S (On)	58			pF typ	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	40		65	μA typ μA max	$V_{DD} = 13.2 \text{ V}$ Digital inputs = 0 V or V_{DD}
V_{DD}			9/40	V min/V max	GND = 0 V, $V_{SS} = 0 \text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

36 V単電源

特に指定がない限り、 $V_{DD} = 36 \text{ V} \pm 10\%$ 、 $V_{SS} = 0 \text{ V}$ 、 $\text{GND} = 0 \text{ V}$ 。

表 4.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	10.6			Ω typ	$V_S = 0 \text{ V}$ to 30 V, $I_S = -10 \text{ mA}$; see Figure 24
	12	15	17	Ω max	$V_{DD} = 32.4 \text{ V}$, $V_{SS} = 0 \text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	0.35			Ω typ	$V_S = 0 \text{ V}$ to 30 V, $I_S = -10 \text{ mA}$
	0.7	0.9	1.1	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	2.7			Ω typ	$V_S = 0 \text{ V}$ to 30 V, $I_S = -10 \text{ mA}$
	3.2	3.8	4.5	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.05			nA typ	$V_{DD} = 39.6 \text{ V}$, $V_{SS} = 0 \text{ V}$ $V_S = 1 \text{ V}/30 \text{ V}$, $V_D = 30 \text{ V}/1 \text{ V}$; see Figure 27
	± 0.25	± 0.75	± 3.5	nA max	
Drain Off Leakage, I_D (Off)	± 0.05			nA typ	$V_S = 1 \text{ V}/30 \text{ V}$, $V_D = 30 \text{ V}/1 \text{ V}$; see Figure 27
	± 0.25	± 0.75	± 3.5	nA max	
Channel On Leakage, I_D (On), I_S (On)	± 0.1			nA typ	$V_S = V_D = 1 \text{ V}/30 \text{ V}$; see Figure 23
	± 0.4	± 2	± 12	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	$V_{IN} = V_{GND}$ or V_{DD}
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	2.5			pF typ	
DYNAMIC CHARACTERISTICS¹					
t_{ON}	180			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	220	230	248	ns max	$V_S = 18 \text{ V}$; see Figure 31
t_{OFF}	130			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	169	167	174	ns max	$V_S = 18 \text{ V}$; see Figure 31
Break-Before-Make Time Delay, t_D (ADG5413 Only)	25			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
			8	ns min	$V_{S1} = V_{S2} = 18 \text{ V}$; see Figure 30
Charge Injection, Q_{INJ}	280			pC typ	$V_S = 18 \text{ V}$, $R_S = 0 \Omega$, $C_L = 1 \text{ nF}$; see Figure 32
Off Isolation	-78			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 26
Channel-to-Channel Crosstalk	-70			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$;

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Total Harmonic Distortion + Noise	0.03			% typ	Figure 25 $R_L = 1\text{ k}\Omega$, 18 V p-p, $f = 20\text{ Hz}$ to 20 kHz; see Figure 28
-3 dB Bandwidth	174			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 29
Insertion Loss	-0.8			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 29
C_S (Off)	18			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	18			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)	58			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					$V_{DD} = 39.6\text{ V}$
I_{DD}	80			μA typ	Digital inputs = 0 V or V_{DD}
	100		130	μA max	
V_{DD}			9/40	V min/ V max	GND = 0 V, $V_{SS} = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

チャンネルあたりの連続電流、 S_x または D_x

表 5.

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, S_x OR D_x				
$V_{DD} = +15\text{ V}$, $V_{SS} = -15\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	89	59	37	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	160	94	49	mA maximum
$V_{DD} = +20\text{ V}$, $V_{SS} = -20\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	95	63	39	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	170	98	50	mA maximum
$V_{DD} = 12\text{ V}$, $V_{SS} = 0\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	61	43	29	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	110	70	42	mA maximum
$V_{DD} = 36\text{ V}$, $V_{SS} = 0\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	80	54	35	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	144	87	47	mA maximum

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to V_{SS}	48 V
V_{DD} to GND	-0.3 V to +48 V
V_{SS} to GND	+0.3 V to -48 V
Analog Inputs ¹	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V or 30 mA, whichever occurs first
Digital Inputs ¹	$V_{SS} - 0.3$ V to $V_{DD} + 0.3$ V or 30 mA, whichever occurs first
Peak Current, Sx or Dx Pins	278 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or Dx ²	Data + 15%
Temperature Range	
Operating	-40°C to +125°C
Storage	-65°C to +150°C
Junction Temperature	150°C
Thermal Impedance, θ_{JA}	
16-Lead TSSOP (4-Layer Board)	112.6°C/W
16-Lead LFCSP (4-Layer Board)	30.4°C/W
Reflow Soldering Peak Temperature, Pb Free	260(+0/-5)°C

¹INx、Sx、Dx ピンでの過電圧は内部ダイオードでクランプされます。電流は、規定された最大定格に制限してください。

²表 5 を参照。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

同時に複数の絶対最大定格条件を適用することはできません。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

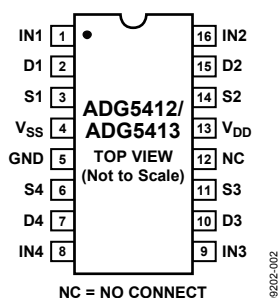
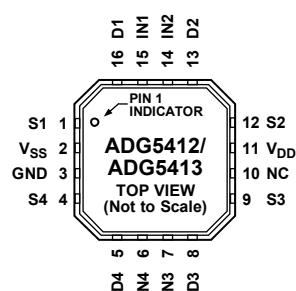


図 2.TSSOP のピン配置



NOTES
1. EXPOSED PAD TIED TO SUBSTRATE, V_{SS}.
2. NC = NO CONNECT.

図 3.LFCSP ピン配置

表 7.ピン機能の説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	15	IN1	ロジック・コントロール入力 1。
2	16	D1	ドレイン・ピン 1。入力または出力に設定することができます。
3	1	S1	ソース・ピン 1。入力または出力に設定することができます。
4	2	V _{SS}	負電源電位。
5	3	GND	グラウンドリファレンス(0 V)。
6	4	S4	ソース・ピン 4。入力または出力に設定することができます。
7	5	D4	ドレイン・ピン 4。入力または出力に設定することができます。
8	6	IN4	ロジック・コントロール入力 4。
9	7	IN3	ロジック・コントロール入力 3。
10	8	D3	ドレイン・ピン 3。入力または出力に設定することができます。
11	9	S3	ソース・ピン 3。入力または出力に設定することができます。
12	10	NC	未接続。
13	11	V _{DD}	正電源電位。
14	12	S2	ソース・ピン 2。入力または出力に設定することができます。
15	13	D2	ドレイン・ピン 2。入力または出力に設定することができます。
16	14	IN2	ロジック・コントロール入力 2。
	EP	エクスポーズド・パッド	エクスポーズド・パッドは内部で接続されています。ハンダ接続の信頼性と熱能力を向上させるために、このパッドをサブストレート V _{SS} にハンダ付けすることが推奨されます。

表 8.ADG5412 の真理値表

IN _x	Switch Condition
1	On
0	Off

表 9.ADG5413 の真理値表

IN _x	S1, S4	S2, S3
0	Off	On
1	On	Off

代表的な性能特性

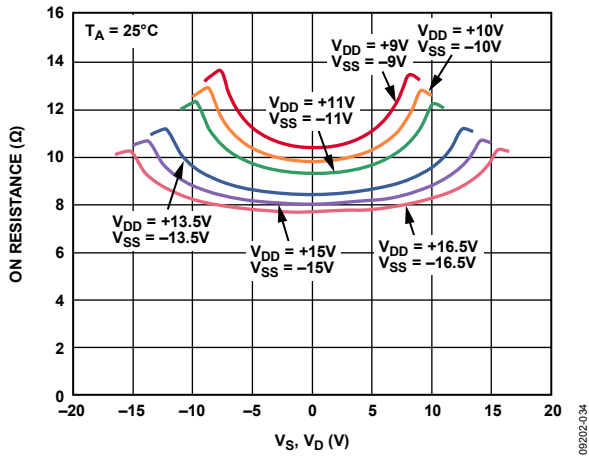


図 4. V_S 、 V_D の関数としての R_{ON} 、両電源

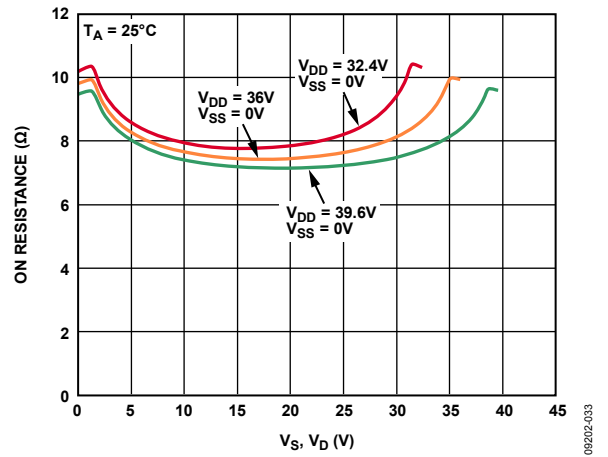


図 7. V_S 、 V_D の関数としての R_{ON} 、単電源

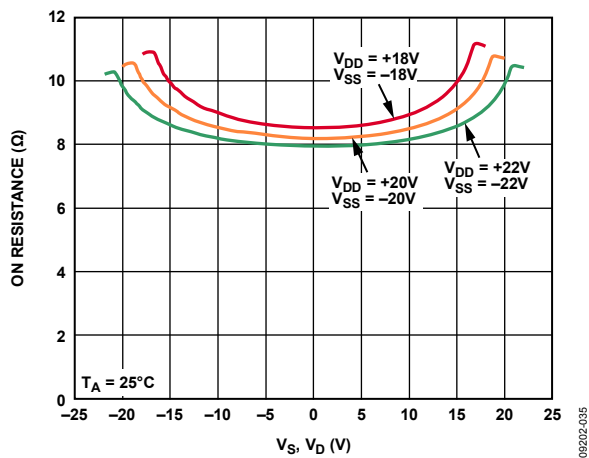


図 5. V_S 、 V_D の関数としての R_{ON} 、両電源

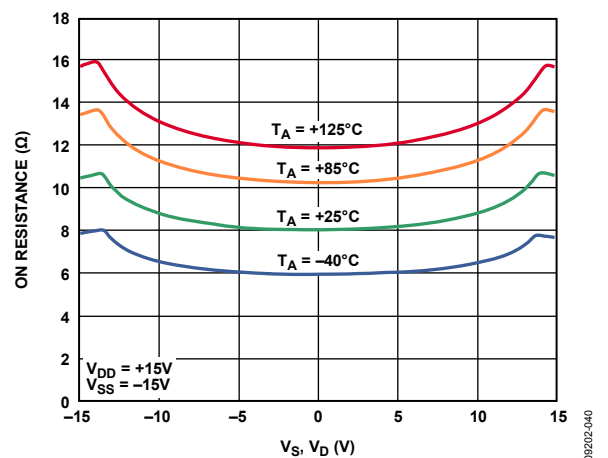


図 8. V_S (V_D) の関数としての様々な温度での R_{ON} 、 ± 15 V 両電源

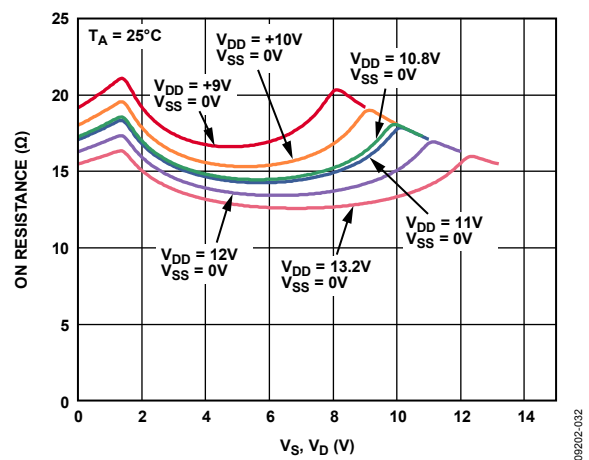


図 6. V_S 、 V_D の関数としての R_{ON} 、単電源

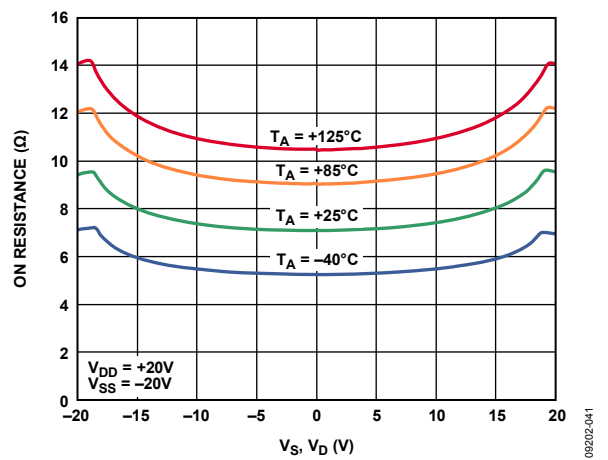


図 9. V_S (V_D) の関数としての様々な温度での R_{ON} 、 ± 20 V 両電源

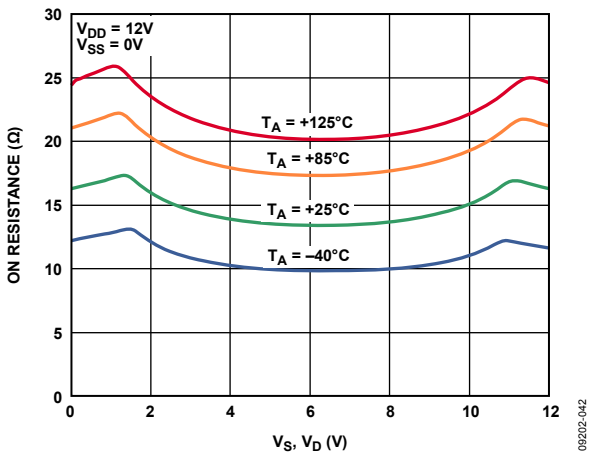


図 10. V_S (V_D)の関数としての様々な温度での R_{ON} 、12 V 単電源

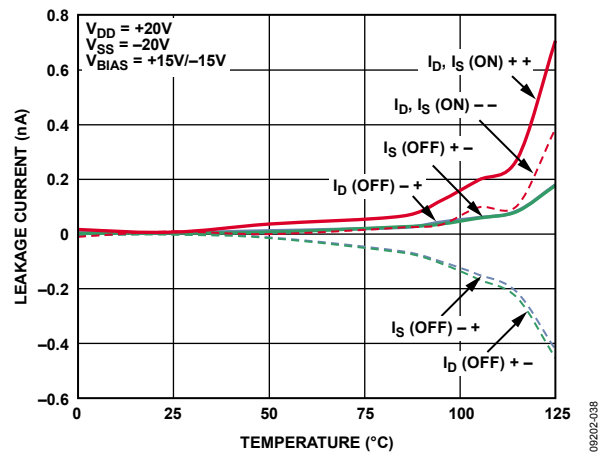


図 13. リーク電流の温度特性、±20 V 両電源

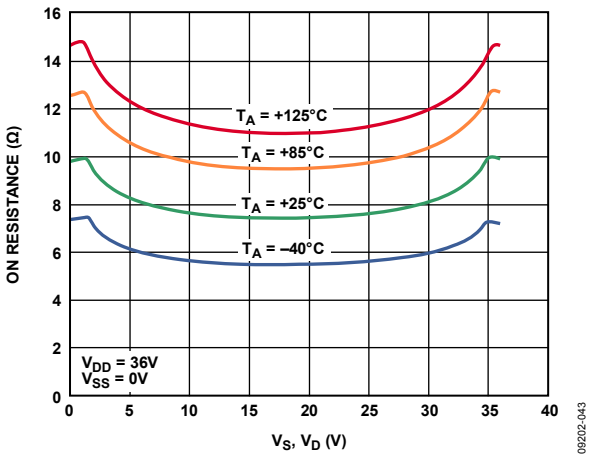


図 11. V_S (V_D)の関数としての様々な温度での R_{ON} 、36 V 単電源

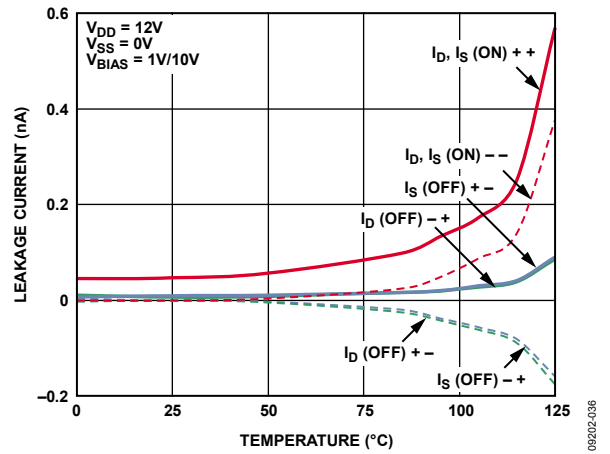


図 14. リーク電流の温度特性、12 V 単電源

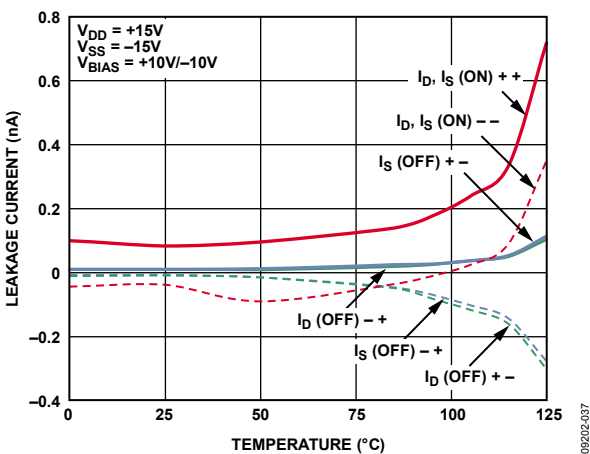


図 12. リーク電流の温度特性、±15 V 両電源

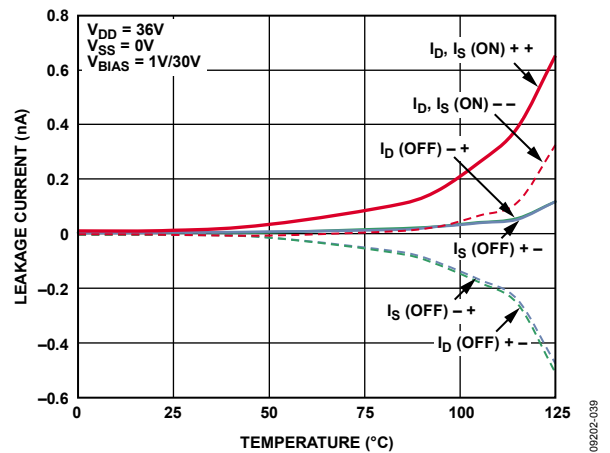


図 15. リーク電流の温度特性、36 V 単電源

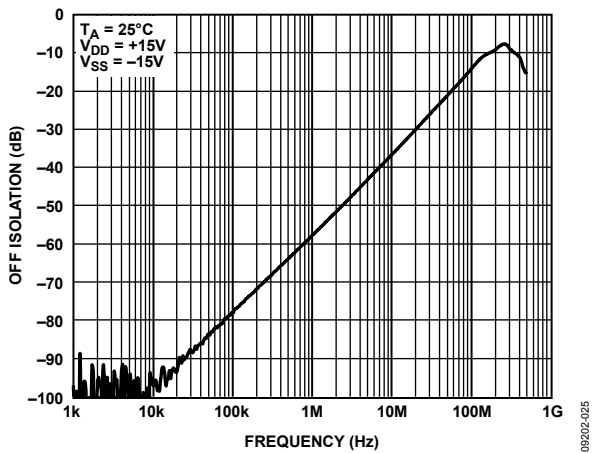


図 16. オフ時アイソレーションの周波数特性、±15 V 両電源

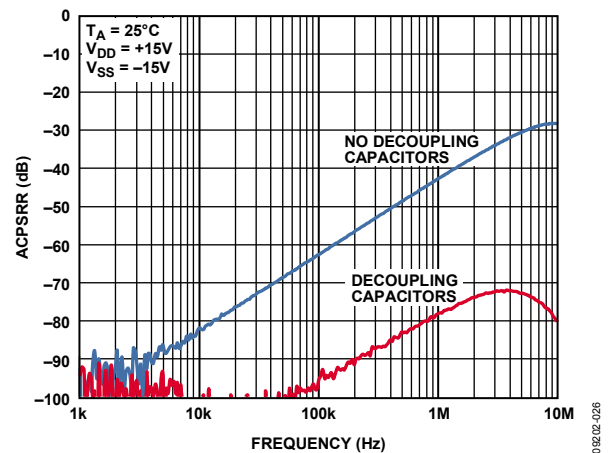


図 19.ACPSRR の周波数特性、±15 V 両電源

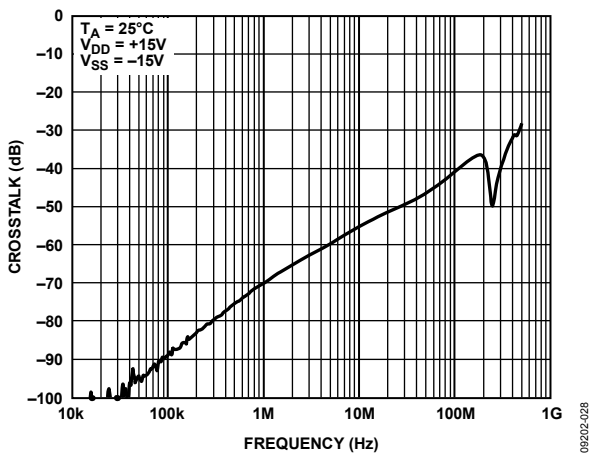


図 17. クロストークの周波数特性、±15 V 両電源

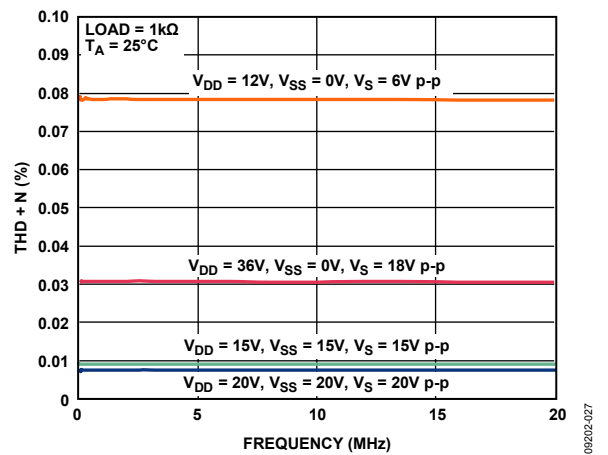


図 20. THD + N の周波数特性、±15 V 両電源

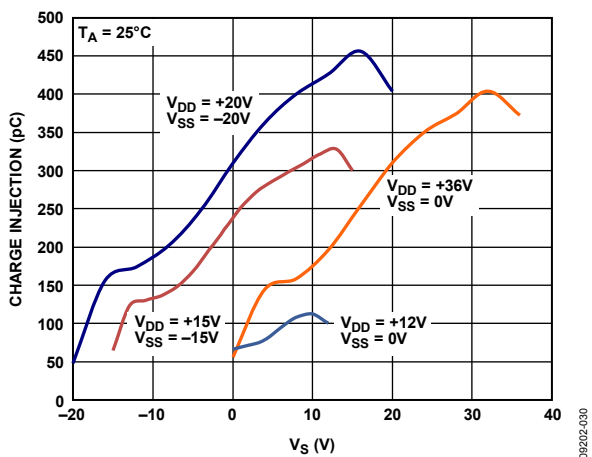


図 18. ソース電圧対チャージ・インジェクション

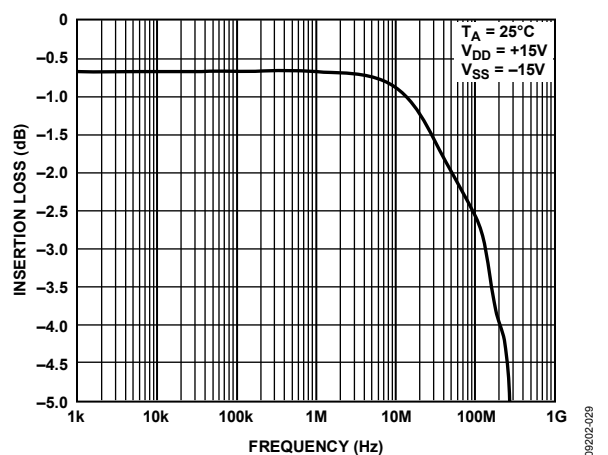


図 21. 帯域幅

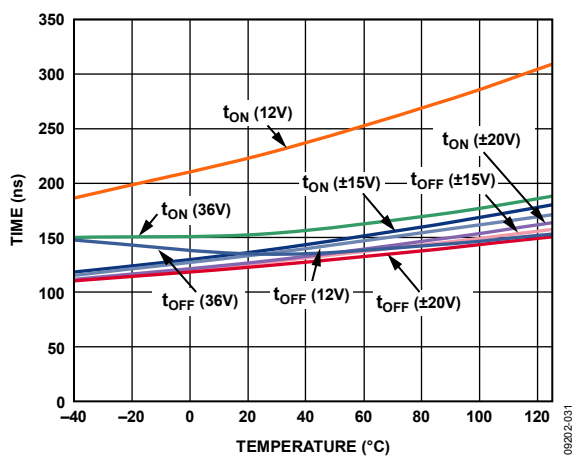


図 22. t_{ON} 、 t_{OFF} 時間の温度特性

テスト回路

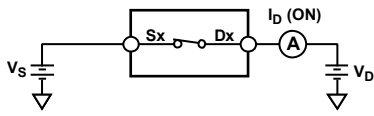


図 23. オン時リーク

09202-016

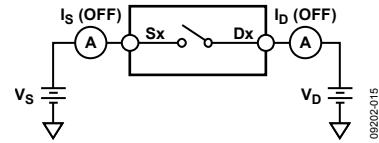


図 27. オフ時リーク

09202-015

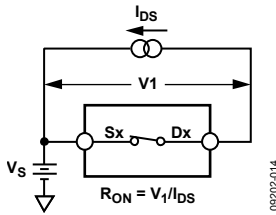


図 24. オン抵抗

09202-014

$$R_{ON} = V_1 / I_{DS}$$

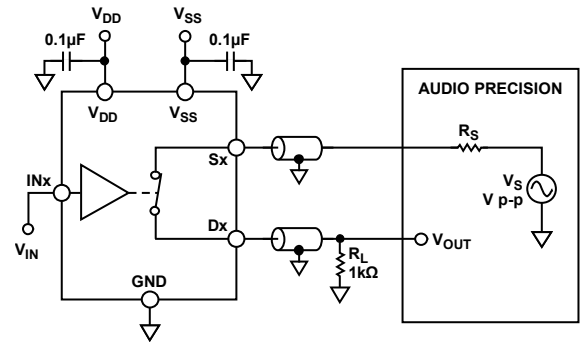
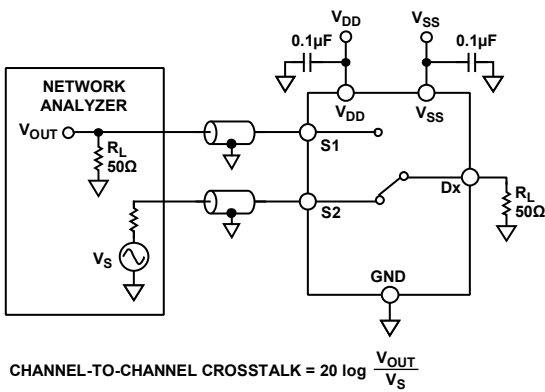


図 28. THD + ノイズ

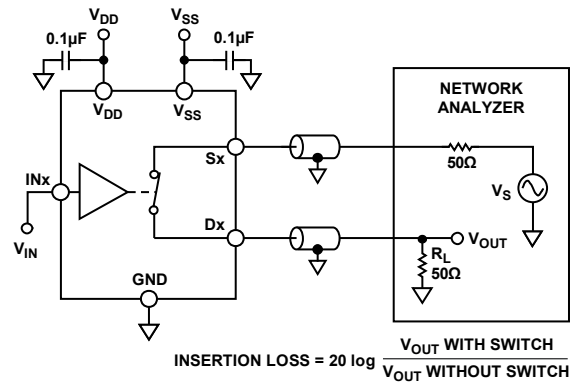
09202-024



$$\text{CHANNEL-TO-CHANNEL CROSSTALK} = 20 \log \frac{V_{OUT}}{V_S}$$

図 25. チャンネル間クロストーク

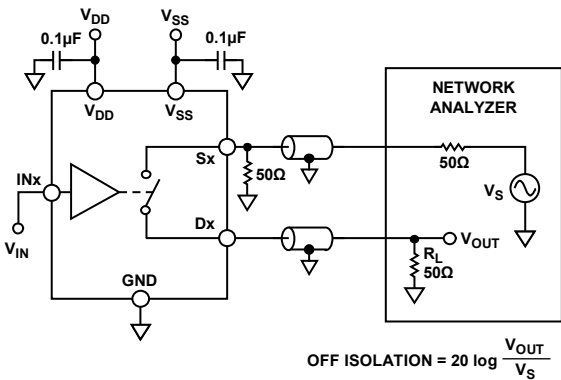
09202-021



$$\text{INSERTION LOSS} = 20 \log \frac{V_{OUT \text{ WITH SWITCH}}}{V_{OUT \text{ WITHOUT SWITCH}}}$$

図 29. 帯域幅

09202-023



$$\text{OFF ISOLATION} = 20 \log \frac{V_{OUT}}{V_S}$$

図 26. オフ時アイソレーション

09202-020

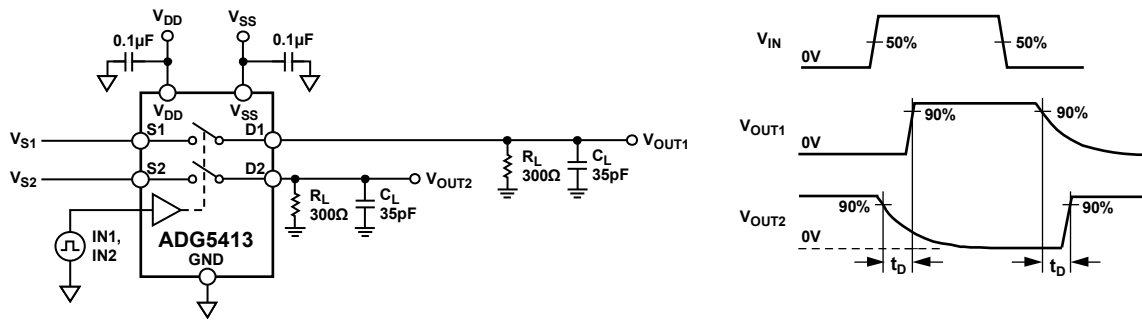


図 30. ブレーク・ビフォア・メーク時間遅延、t_d

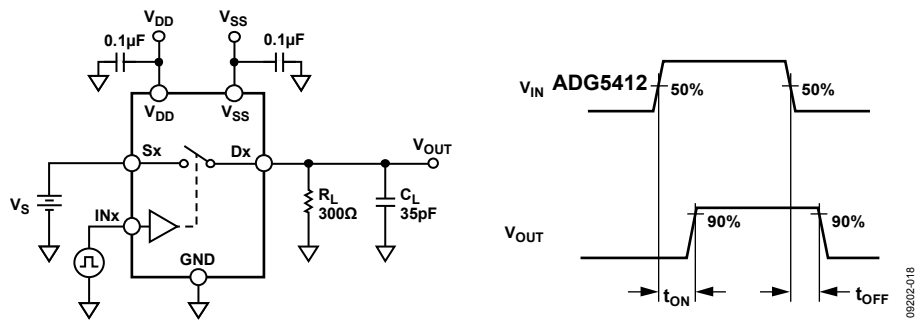


図 31. スイッチング時間

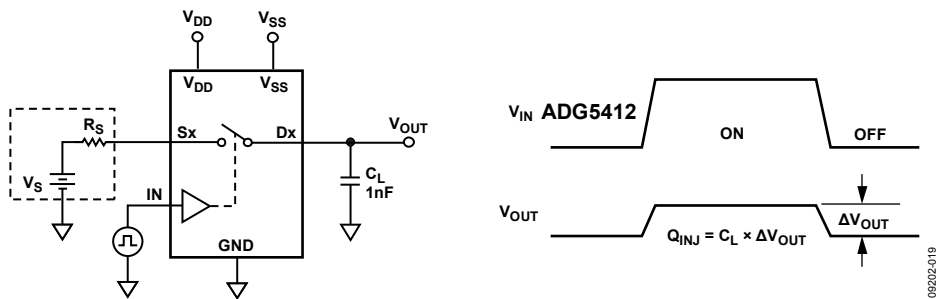


図 32. チャージ・インJECTION

用語

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

V_D 、 V_S

それぞれ、D、S ピンのアナログ電圧。

R_{ON}

D-S ピン間の抵抗。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

$R_{FLAT(ON)}$

平坦性は、仕様で規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義され、 $R_{FLAT(ON)}$ で著されます。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (Off)

スイッチ・オフ時のドレイン・リーク電流。

I_D (On)、 I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL} 、 I_{INH}

デジタル入力のそれぞれロー・レベルおよびハイ・レベルでの入力電流。

C_D (Off)

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_S (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_D (On)、 C_S (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON}

デジタル・コントロール入力から出力スイッチ・オンまでの遅延。

t_{OFF}

デジタル・コントロール入力から出力スイッチ・オフまでの遅延。

t_D

あるアドレス状態から別のアドレス状態へ切り替わるときの両スイッチの 80%ポイント間で測定したオフ時間。

オフ時アイソレーション

オフ状態のスイッチを通過する不要信号の大きさ。

チャージ・インジェクション

電荷注入は、スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスを表します。

クロストーク

寄生容量に起因して 1 つのチャンネルから別のチャンネルに混入する不要信号の大きさ。

帯域幅

帯域幅は、出力が 3 dB 減衰する周波数です。

オン応答

オン状態にあるスイッチの周波数応答。

挿入損失

スイッチのオン抵抗に起因する損失。

総合高調波歪+ノイズ(THD + N)

高調波振幅と信号ノイズの和の基本波に対する比。THD + N で表されます。

AC 電源変動除去比(ACPSRR)

出力信号振幅の変調振幅に対する比。ACPSRR は、電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧が、0.62 V p-p の正弦波で変調されま

トレンチ・アイソレーション

ADG5412 と ADG5413 では、各 CMOS スイッチの NMOS トランジスタと PMOS トランジスタの間に絶縁酸化物層(トレンチ)が設けてあります。接合で絶縁されたスイッチ内の複数のトランジスタ間に発生する寄生接合がなくなるため、ラッチアップを完全に防止したスイッチが得られます。

接合アイソレーションでは、PMOS トランジスタと NMOS トランジスタの N ウェルと P ウェルが、通常動作では逆バイアスされるダイオードを形成しますが、過電圧状態では、このダイオードが順方向バイアスされるようになります。2 個のトランジスタによりシリコン制御整流子(SCR)タイプの回路が形成されるため、電流が大幅に増幅されて、ラッチアップが発生します。トレンチ・アイソレーションでは、このダイオードがなくなるため、ラッチアップのないスイッチが実現できます。

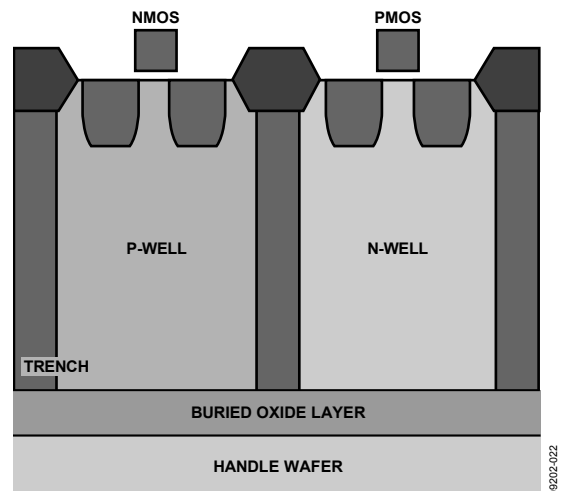


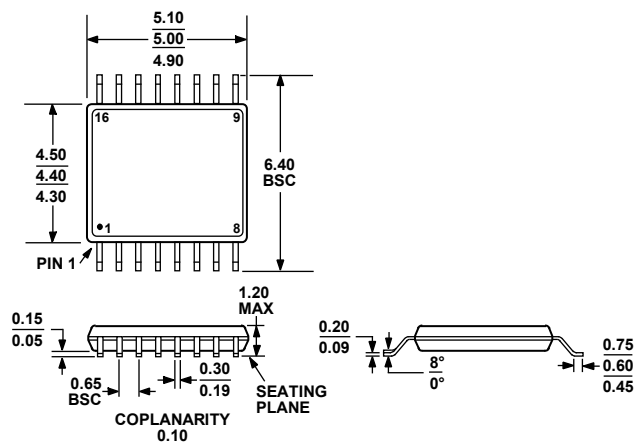
図 33. トレンチ・アイソレーション

アプリケーション情報

ADG54xx ファミリーのスイッチ/マルチプレクサは、ラッチアップが発生しやすい計装、工業用、車載、航空宇宙、その他の厳しい環境に対して強固なソリューションを提供します。ラッチアップは、デバイス故障に至る高電流状態を発生させて、電源をオフにするまで続きます。ADG5412/ADG5413 高電圧ス

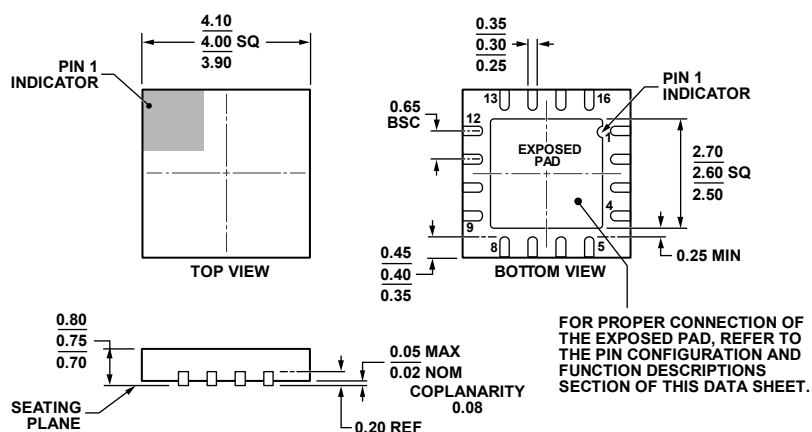
イッチでは、9 V~40 V の単電源動作と ± 9 V~ ± 22 V の両電源動作が可能です。ADG5412/ADG5413 (および同じファミリーから選択した他のデバイス)は、8 kV の人体モデル ESD 定格を実現しているため、アプリケーションによっては、外付けの保護回路が不要な強固なソリューションを実現することができます。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AB

図 34.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-16)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-WGGC.

図 35.16 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ]
4 mm × 4 mm ボディ、極薄クワッド
(CP-16-17)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADG5412BRUZ	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5412BRUZ-REEL7	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5412BCPZ-REEL7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-16-17
ADG5413BRUZ	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5413BRUZ-REEL7	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5413BCPZ-REEL7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-16-17

¹ Z = RoHS 準拠製品。