



# 4チャンネル・マルチプレクサ、 $10\Omega R_{ON}$ 、 フォルト・プロテクトおよび検出機能付き

データシート

ADG5404F

## 特長

- 最大 $\pm 55V$ までの過電圧保護機能
- 最大 $\pm 55V$ までのパワーオフ保護機能
- ソース・ピン上の過電圧検出
- フォルト状態を示す割込みフラグ
- 低オン抵抗:  $10\Omega$  (typ)
- オン抵抗平坦性  $0.5\Omega$  (max)
- 人体モデル (HBM) ESD 定格  $4kV$
- 全ての状況でラッチアップを防止
- デジタル入力なしで既知の状態
- アナログ入力信号範囲:  $V_{SS} \sim V_{DD}$
- 両電源動作:  $\pm 5V \sim \pm 22V$
- 単電源動作:  $8V \sim 44V$
- $\pm 15V$ 、 $\pm 20V$ 、 $12V$  および  $36V$  で完全仕様規定

## アプリケーション

- アナログ入力/出力モジュール
- プロセス制御/分散制御システム
- データ・アキュイジション
- 計測機器
- 航空電子機器
- 自動テスト装置 (ATE)
- 通信関連システム
- リレーの置き換え

## 概要

ADG5404Fは、フォルト保護入力を備えた4つのシングル・チャンネルからなるアナログ・マルチプレクサです。ADG5404Fは、2ビット・バイナリ・アドレス・ライン (A0とA1) による決定に応じて4つの入力の中の1つを共通ドレイン、D、にスイッチングします。イネーブル・デジタル入力 (EN) は、すべてのスイッチをディセーブルするために使用されます。各チャンネルは、オンのときに両方向に等しく導通し、各スイッチの入力信号範囲は電源電圧までです。デジタル入力は、全動作電圧範囲にわたって  $3V$  ロジック入力と互換性があります。

電源が供給されないとき、スイッチはオフ状態を維持し、チャンネル入力が高インピーダンスになります。通常動作条件下では、Sxピンのアナログ入力信号レベルが、 $V_{DD}$  または  $V_{SS}$  をしきい電圧  $V_T$  だけ超えると、チャンネルがオフになり、Sxピンが高インピーダンスになります。チャンネルがオンの場合、ドレイン・ピンは、ドレイン応答 (DR) 入力ピンに応答します。DRピンがフローティング状態かハイ・レベルにプルアップされた場合、ドレインは高インピーダンスでフローティング状態となります。DRピンがロー・レベルにプルダウンされた場合、ドレインはレールを超えた電圧にプルされま

## 機能ブロック図

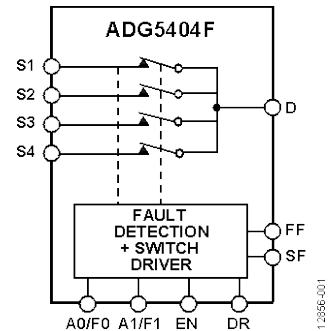


図 1.

す。グラウンドに対して  $+55V$  または  $-55V$  までの入力信号レベルは、通電状態と非通電状態の両方でブロックされます。

ADG5404Fは、その低いオン抵抗と信号範囲の大部分でのオン抵抗平坦性とによって、高い直線性と低い歪が重要なデータ収集およびゲイン・スイッチング・アプリケーションに理想的なソリューションです。

このデータシート全体にわたって、2つの機能をもつピンの名前は、場合に応じて適切な機能で呼ばれます。詳しいピンの名前と機能の説明はピン配置およびピン機能説明を参照してください。

## 製品のハイライト

- ソース・ピンは、電源レールを超える電圧 ( $-55V$  および  $+55V$  まで) から保護されます。
- ソース・ピンは、非通電状態で  $-55V \sim +55V$  の電圧に対して保護されます。
- デジタル出力を備えた過電圧検出は、スイッチの動作状態を示します。
- トレンチ・アイソレーションがラッチアップを防ぎます。
- 低オン抵抗とオン抵抗平坦性に最適化されています。
- ADG5404Fは、 $\pm 5V \sim \pm 22V$  の両電源、または  $8V \sim 44V$  の単電源で動作します。

Rev. 0

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。仕様は予告なく変更されることがあります。アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗黙的に許諾するものではありません。商標および登録商標は、それぞれの所有者の財産です。  
©2015 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

特長.....	1	テスト回路.....	18
アプリケーション.....	1	用語.....	22
機能ブロック図.....	1	動作原理.....	23
概要.....	1	スイッチ・アーキテクチャ.....	23
製品のハイライト.....	1	フォルト保護機能.....	24
改訂履歴.....	2	アプリケーション情報.....	25
仕様.....	3	電源レール.....	25
±15 V両電源    3.....	3	電源シーケンシング保護機能.....	25
±20 V両電源    3.....	5	信号範囲.....	25
12 V単電源.....	7	低インピーダンス・チャンネル保護機能.....	25
36 V単電源.....	9	高電圧サージ抑制.....	25
連続電流.....	10	インテリジェント・フォルト検出.....	25
絶対最大定格.....	11	大電圧、高周波数信号.....	25
ESDの注意.....	11	外形寸法.....	26
ピン配置およびピン機能説明.....	12	オーダー・ガイド.....	26
代表的な性能特性.....	13		

## 改訂履歴

12/14—Revision 0:初版

## 仕様

## ±15 V 両電源 3

特に指定しない限り、 $V_{DD} = 15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\text{ }\mu\text{F}$

表 1.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			$V_{DD}$ to $V_{SS}$	V	$V_{DD} = 13.5\text{ V}$ , $V_{SS} = -13.5\text{ V}$ , see Figure 30
On Resistance, $R_{ON}$	10			$\Omega$ typ	Voltage on the Sx pins ( $V_S = \pm 10\text{ V}$ , $I_S = -10\text{ mA}$ )
	11.2	14	16.5	$\Omega$ max	
	9.5			$\Omega$ typ	$V_S = \pm 9\text{ V}$ , $I_S = -10\text{ mA}$
	10.7	13.5	16	$\Omega$ max	
On-Resistance Match Between Channels, $\Delta R_{ON}$	0.65			$\Omega$ typ	$V_S = \pm 10\text{ V}$ , $I_S = -10\text{ mA}$
	0.9	1.05	1.2	$\Omega$ max	
	0.65			$\Omega$ typ	$V_S = \pm 9\text{ V}$ , $I_S = -10\text{ mA}$
	0.9	1.05	1.2	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	0.6			$\Omega$ typ	$V_S = \pm 10\text{ V}$ , $I_S = -10\text{ mA}$
	0.9	1.1	1.1	$\Omega$ max	
	0.1			$\Omega$ typ	$V_S = \pm 9\text{ V}$ , $I_S = -10\text{ mA}$
	0.4	0.5	0.5	$\Omega$ max	
Threshold Voltage, $V_T$	0.7			V typ	See 図 26
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.1$			nA typ	$V_{DD} = 16.5\text{ V}$ , $V_{SS} = -16.5\text{ V}$ $V_S = \pm 10\text{ V}$ , voltage on the D pin ( $V_D = \mp 10\text{ V}$ ), see Figure 31
	$\pm 0.5$	$\pm 4$	$\pm 20$	nA max	
Drain Off Leakage, $I_D$ (Off)	$\pm 0.3$			nA typ	$V_S = \pm 10\text{ V}$ , $V_D = \mp 10\text{ V}$ , see Figure 31
	$\pm 1.0$	$\pm 15$	$\pm 65$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.3$			nA typ	$V_S = V_D = \pm 10\text{ V}$ , see Figure 32
	$\pm 1.0$	$\pm 13.4$	$\pm 55$	nA max	
<b>FAULT</b>					
Source Leakage Current, $I_S$ With Overvoltage			$\pm 81$	$\mu\text{A}$ typ	$V_{DD} = 16.5\text{ V}$ , $V_{SS} = 16.5\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , see Figure 35
Power Supplies Grounded or Floating			$\pm 44$	$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$ , $EN = 0\text{ V}$ or floating, $Ax = 0\text{ V}$ or floating, $V_S = \pm 55\text{ V}$ , see Figure 36
Drain Leakage Current, $I_D$ With Overvoltage	$\pm 6$			nA typ	$DR = \text{floating or } > 2\text{ V}$ $V_{DD} = 16.5\text{ V}$ , $V_{SS} = 16.5\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , see Figure 35
	$\pm 15$	$\pm 35$	$\pm 80$	nA max	
Power Supplies Grounded	$\pm 10$			nA typ	$V_{DD} = 0\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , $EN = 0\text{ V}$ , see Figure 36
	$\pm 30$	$\pm 50$	$\pm 100$	nA max	
Power Supplies Floating	$\pm 10$	$\pm 10$	$\pm 10$	$\mu\text{A}$ typ	$V_{DD} = \text{floating}$ , $V_{SS} = \text{floating}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , $EN = 0\text{ V}$ , see Figure 36
<b>DIGITAL INPUTS/OUTPUTS</b>					
Input Voltage High, $V_{INH}$			2.0	V min	
Input Voltage Low, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	$\pm 0.7$			$\mu\text{A}$ typ	$V_{IN} = V_{GND}$ or $V_{DD}$
			$\pm 1.2$	$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	6.0			pF typ	
Output Voltage High, $V_{OH}$	2.0			V min	
Output Voltage Low, $V_{OL}$	0.8			V max	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
Transition Time, $t_{TRANSITION}$	400			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
	540	555	570	ns max	$V_S = 10\text{ V}$ , see Figure 46
$t_{ON}$ (EN)	430			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
	535	555	575	ns max	$V_S = 10\text{ V}$ , see Figure 45

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
t <sub>OFF</sub> (EN)	180			ns typ	R <sub>L</sub> = 300 Ω, C <sub>L</sub> = 35 pF
	225	230	235	ns max	V <sub>S</sub> = 10 V, see Figure 45
Break-Before-Make Time Delay, t <sub>D</sub>	320			ns typ	R <sub>L</sub> = 300 Ω, C <sub>L</sub> = 35 pF
			185	ns min	V <sub>S</sub> = 10 V, see Figure 44
Overvoltage Response Time, t <sub>RESPONSE</sub>	600			ns typ	R <sub>L</sub> = 1 kΩ, C <sub>L</sub> = 2 pF, see Figure 39
	775	820	840	ns max	
Overvoltage Recovery Time, t <sub>RECOVERY</sub>	700			ns typ	R <sub>L</sub> = 1 kΩ, C <sub>L</sub> = 2 pF, see Figure 40
	1000	1050	1100	ns max	
Interrupt Flag Response Time, t <sub>DIGRESP</sub>	85		115	ns typ	C <sub>L</sub> = 10 pF, see Figure 41
Interrupt Flag Recovery Time, t <sub>DIGREC</sub>	60		85	μs typ	C <sub>L</sub> = 10 pF, see Figure 42
	600			ns typ	C <sub>L</sub> = 10 pF, R <sub>PULLUP</sub> = 1 kΩ, see Figure 43
Charge Injection, Q <sub>INJ</sub>	680			pC typ	V <sub>S</sub> = 0 V, R <sub>S</sub> = 0 Ω, C <sub>L</sub> = 1 nF, see Figure 47
Off Isolation	-72			dB typ	R <sub>L</sub> = 50 Ω, C <sub>L</sub> = 5 pF, f = 1 MHz, see Figure 33
Channel to Channel Crosstalk	-72			dB typ	R <sub>L</sub> = 50 Ω, C <sub>L</sub> = 5 pF, f = 1 MHz, see Figure 34
Total Harmonic Distortion Plus Noise, THD + N	0.001			% typ	R <sub>L</sub> = 10 kΩ, V <sub>S</sub> = 15 V <sub>p-p</sub> , f = 20 Hz to 20 kHz, see Figure 38
-3 dB Bandwidth	108			MHz typ	R <sub>L</sub> = 50 Ω, C <sub>L</sub> = 5 pF, see Figure 37
Insertion Loss	-0.9			dB typ	R <sub>L</sub> = 50 Ω, C <sub>L</sub> = 5 pF, f = 1 MHz, see Figure 37
Source Capacitance (C <sub>S</sub> ), Off	11			pF typ	V <sub>S</sub> = 0 V, f = 1 MHz
Drain Capacitance (C <sub>D</sub> ), Off	51			pF typ	V <sub>S</sub> = 0 V, f = 1 MHz
C <sub>D</sub> (On), C <sub>S</sub> (On)	63			pF typ	V <sub>S</sub> = 0 V, f = 1 MHz
<b>POWER REQUIREMENTS</b>					V <sub>DD</sub> = 16.5 V, V <sub>SS</sub> = -16.5 V, GND = 0 V, digital inputs = 0 V, 5 V, or V <sub>DD</sub>
Normal Mode					
I <sub>DD</sub>	0.9			mA typ	
	1.2		1.3	mA max	
I <sub>GND</sub>	0.4			mA typ	
	0.55		0.6	mA max	
I <sub>SS</sub>	0.5			mA typ	
	0.65		0.7	mA max	
Fault Mode					V <sub>S</sub> = ±55 V
I <sub>DD</sub>	1.2			mA typ	
	1.6		1.8	mA max	
I <sub>GND</sub>	0.8			mA typ	
	1.0		1.1	mA max	
I <sub>SS</sub>	0.5			mA typ	Digital inputs = 5 V
	1.0		1.8	mA max	V <sub>S</sub> = ±55 V, V <sub>D</sub> = 0 V
V <sub>DD</sub> /V <sub>SS</sub>			±5	V min	GND = 0 V
			±22	V max	GND = 0 V

<sup>1</sup> デザインで保証します。出荷テストは実施しません。

## ±20 V 両電源 3

特に指定しない限り、 $V_{DD} = 20\text{ V} \pm 10\%$ 、 $V_{SS} = -20\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\text{ }\mu\text{F}$ 

表 2.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			$V_{DD}$ to $V_{SS}$	V	$V_{DD} = 18\text{ V}$ , $V_{SS} = -18\text{ V}$ , see Figure 30
On Resistance, $R_{ON}$	10			$\Omega$ typ	$V_S = \pm 15\text{ V}$ , $I_S = -10\text{ mA}$
	11.5	14.5	16.5	$\Omega$ max	
	9.5			$\Omega$ typ	$V_S = \pm 13.5\text{ V}$ , $I_S = -10\text{ mA}$
	11	14	16.5	$\Omega$ max	
On-Resistance Match Between Channels, $\Delta R_{ON}$	0.65			$\Omega$ typ	$V_S = \pm 15\text{ V}$ , $I_S = -10\text{ mA}$
	0.9	1.05	1.2	$\Omega$ max	
	0.65			$\Omega$ typ	$V_S = \pm 13.5\text{ V}$ , $I_S = -10\text{ mA}$
	0.9	1.05	1.2	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	1.0			$\Omega$ typ	$V_S = \pm 15\text{ V}$ , $I_S = -10\text{ mA}$
	1.4	1.5	1.5	$\Omega$ max	
	0.1			$\Omega$ typ	$V_S = \pm 13.5\text{ V}$ , $I_S = -10\text{ mA}$
	0.4	0.5	0.5	$\Omega$ max	
Threshold Voltage, $V_T$	0.7			V typ	See Figure 26
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.1$			nA typ	$V_{DD} = 22\text{ V}$ , $V_{SS} = -22\text{ V}$
	$\pm 0.5$	$\pm 4$	$\pm 20$	nA max	$V_S = \pm 15\text{ V}$ , $V_D = \pm 15\text{ V}$ , see Figure 31
Drain Off Leakage, $I_D$ (Off)	$\pm 0.3$			nA typ	$V_S = \pm 15\text{ V}$ , $V_D = \pm 15\text{ V}$ , see Figure 31
	$\pm 1.0$	$\pm 15$	$\pm 65$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.3$			nA typ	$V_S = V_D = \pm 15\text{ V}$ , see Figure 32
	$\pm 1.0$	$\pm 13.4$	$\pm 55$	nA max	
<b>FAULT</b>					
Source Leakage Current, $I_S$ With Overvoltage			$\pm 85$	$\mu\text{A}$ typ	$V_{DD} = +22\text{ V}$ , $V_{SS} = -22\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , see Figure 35
Power Supplies Grounded or Floating			$\pm 44$	$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$ , $IN_X = 0\text{ V}$ or floating, $A_X = 0\text{ V}$ or floating, $V_S = \pm 55\text{ V}$ , see Figure 36
Drain Leakage Current, $I_D$ With Overvoltage	$\pm 400$			nA typ	$DR = \text{floating or } > 2\text{ V}$ $V_{DD} = +22\text{ V}$ , $V_{SS} = -22\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , see Figure 35
	$\pm 1.5$	$\pm 1.5$	$\pm 1.5$	$\mu\text{A}$ max	
Power Supplies Grounded	$\pm 10$			nA typ	$V_{DD} = 0\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S =$ $\pm 55\text{ V}$ , $EN = 0\text{ V}$ , see Figure 36
	$\pm 30$	$\pm 50$	$\pm 100$	nA max	
Power Supplies Floating	$\pm 10$	$\pm 10$	$\pm 10$	$\mu\text{A}$ typ	$V_{DD} = \text{floating}$ , $V_{SS} = \text{floating}$ , $GND =$ $0\text{ V}$ , $V_S = \pm 55\text{ V}$ , $EN = 0\text{ V}$ , see Figure 36
<b>DIGITAL INPUTS</b>					
Input Voltage High, $V_{INH}$			2.0	V min	
Input Voltage Low, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	0.7			$\mu\text{A}$ typ	$V_{IN} = V_{GND}$ or $V_{DD}$
			1.2	$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	6.0			pF typ	
Output Voltage High, $V_{OH}$	2.0			V min	
Output Voltage Low, $V_{OL}$	0.8			V max	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
Transition Time, $t_{TRANSITION}$	405			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
	540	555	570	ns max	$V_S = 10\text{ V}$ , see Figure 46
$t_{ON}$ (EN)	430			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
	535	560	585	ns max	$V_S = 10\text{ V}$ , see Figure 45
$t_{OFF}$ (EN)	170			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
	205	210	215	ns max	$V_S = 10\text{ V}$ , see Figure 45
Break-Before-Make Time Delay, $t_D$	330			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
			200	ns min	$V_S = 10\text{ V}$ , see Figure 44
Overvoltage Response Time, $t_{RESPONSE}$	480			ns typ	$R_L = 1\text{ k}\Omega$ , $C_L = 2\text{ pF}$ , see Figure 39

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Overvoltage Recovery Time, $t_{RECOVERY}$	640	680	700	ns max	$R_L = 1\text{ k}\Omega$ , $C_L = 2\text{ pF}$ , see Figure 40
	800			ns typ	
	1150	1250	1500	ns max	
Interrupt Flag Response Time, $t_{DIGRESP}$	85		115	ns typ	$C_L = 10\text{ pF}$ , see Figure 41
Interrupt Flag Recovery Time, $t_{DIGREC}$	60		85	$\mu\text{s}$ typ	$C_L = 10\text{ pF}$ , see Figure 42
	600			ns typ	$C_L = 10\text{ pF}$ , $R_{PULLUP} = 1\text{ k}\Omega$ , see Figure 43
Charge Injection, $Q_{INJ}$	695			pC typ	$V_S = 0\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ , see Figure 47
Off Isolation	-73			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 33
Channel to Channel Crosstalk	-73			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 34
Total Harmonic Distortion Plus Noise, THD+N	0.001			% typ	$R_L = 10\text{ k}\Omega$ , $V_S = 20\text{ V}_{p-p}$ , $f = 20\text{ Hz}$ to $20\text{ kHz}$ , see Figure 38
-3 dB Bandwidth	110			MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , see Figure 37
Insertion Loss	-0.9			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 37
$C_S$ (Off)	11			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (Off)	47			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (On), $C_S$ (On)	61			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
<b>POWER REQUIREMENTS</b>					$V_{DD} = 22\text{ V}$ , $V_{SS} = -22\text{ V}$ , digital inputs = $0\text{ V}$ , $5\text{ V}$ , or $V_{DD}$
Normal Mode					
$I_{DD}$	0.9			mA typ	
	1.2		1.3	mA max	
$I_{GND}$	0.4			mA typ	
	0.55		0.6	mA max	
$I_{SS}$	0.5			mA typ	
	0.65		0.7	mA max	
Fault Mode					$V_S = \pm 55\text{ V}$
$I_{DD}$	1.2			mA typ	
	1.6		1.8	mA max	
$I_{GND}$	0.8			mA typ	
	1.0		1.1	mA max	
$I_{SS}$	0.5			mA typ	Digital inputs = $5\text{ V}$
	1.0		1.8	mA max	$V_S = \pm 55\text{ V}$ , $V_D = 0\text{ V}$
$V_{DD}/V_{SS}$			$\pm 5$	V min	$GND = 0\text{ V}$
			$\pm 22$	V max	$GND = 0\text{ V}$

<sup>1</sup> デザインで保証します。出荷テストは実施しません。

## 12 V 単電源

特に指定しない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\text{ }\mu\text{F}$ 

表 3.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			0 to $V_{DD}$	V	$V_{DD} = 10.8\text{ V}$ , $V_{SS} = 0\text{ V}$ , see Figure 30
On Resistance, $R_{ON}$	22			$\Omega$ typ	$V_S = 0\text{ V}$ to $10\text{ V}$ , $I_S = -10\text{ mA}$
	24.5	31	37	$\Omega$ max	
	10			$\Omega$ typ	$V_S = 3.5\text{ V}$ to $8.5\text{ V}$ , $I_S = -10\text{ mA}$
	11.2	14	16.5	$\Omega$ max	
On-Resistance Match Between Channels, $\Delta R_{ON}$	0.65			$\Omega$ typ	$V_S = 0\text{ V}$ to $10\text{ V}$ , $I_S = -10\text{ mA}$
	1.1	1.2	1.3	$\Omega$ max	
	0.65			$\Omega$ typ	$V_S = 3.5\text{ V}$ to $8.5\text{ V}$ , $I_S = -10\text{ mA}$
	0.9	1.05	1.2	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	12.5			$\Omega$ typ	$V_S = 0\text{ V}$ to $10\text{ V}$ , $I_S = -10\text{ mA}$
	14.5	19	23	$\Omega$ max	
	0.6			$\Omega$ typ	$V_S = 3.5\text{ V}$ to $8.5\text{ V}$ , $I_S = -10\text{ mA}$
	0.9	1.1	1.3	$\Omega$ max	
Threshold Voltage, $V_T$	0.7			V typ	See Figure 26
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.1$			nA typ	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ , see Figure 31
	$\pm 0.5$	$\pm 4$	$\pm 20$	nA max	
Drain Off Leakage, $I_D$ (Off)	$\pm 0.3$			nA typ	$V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ , see Figure 31
	$\pm 1.0$	$\pm 15$	$\pm 65$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.3$			nA typ	$V_S = V_D = 1\text{ V}/10\text{ V}$ , see Figure 32
	$\pm 1.0$	$\pm 13.4$	$\pm 55$	nA max	
<b>FAULT</b>					
Source Leakage Current, $I_S$ With Overvoltage			$\pm 73$	$\mu\text{A}$ typ	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , see Figure 35
Power Supplies Grounded or Floating			$\pm 44$	$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$ , $EN = 0\text{ V}$ or floating, $V_S = \pm 55\text{ V}$ , see Figure 36
Drain Leakage Current, $I_D$ With Overvoltage	$\pm 6$			nA typ	$DR = \text{floating or } >2\text{ V}$ $V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$ , $Ax = 0\text{ V}$ or floating, $V_S = \pm 55\text{ V}$ , see Figure 35
	$\pm 15$	$\pm 35$	$\pm 80$	nA max	
Power Supplies Grounded	$\pm 10$			nA typ	$V_{DD} = 0\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , $EN = 0\text{ V}$ , see Figure 36
	$\pm 30$	$\pm 50$	$\pm 100$	nA max	
Power Supplies Floating	$\pm 10$	$\pm 10$	$\pm 10$	$\mu\text{A}$ typ	$V_{DD} = \text{floating}$ , $V_{SS} = \text{floating}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , $EN = 0\text{ V}$ , see Figure 36
<b>DIGITAL INPUTS</b>					
Input Voltage High, $V_{INH}$			2.0	V min	
Input Voltage Low, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	0.7			$\mu\text{A}$ typ	$V_{IN} = V_{GND}$ or $V_{DD}$
			1.2	$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	6.0			pF typ	
Output Voltage High, $V_{OH}$	2.0			V min	
Output Voltage Low, $V_{OL}$	0.8			V max	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
Transition Time, $t_{TRANSITION}$	400			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
	545	560	570	ns max	$V_S = 10\text{ V}$ , see Figure 46
$t_{ON}$ (EN)	430			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
	530	545	560	ns max	$V_S = 8\text{ V}$ , see Figure 45
$t_{OFF}$ (EN)	205			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
	255	265	270	ns max	$V_S = 8\text{ V}$ , see Figure 45
Break-Before-Make Time Delay, $t_D$	290			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
			175	ns min	$V_S = 8\text{ V}$ , see Figure 44
Overvoltage Response Time, $t_{RESPONSE}$	700			ns typ	$R_L = 1\text{ k}\Omega$ , $C_L = 2\text{ pF}$ , see Figure 39

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Overvoltage Recovery Time, $t_{RECOVERY}$	875	940	975	ns max	$R_L = 1\text{ k}\Omega$ , $C_L = 2\text{ pF}$ , see Figure 40
	630			ns typ	
	780	830	920	ns max	
Interrupt Flag Response Time, $t_{DIGRESP}$	85		115	ns typ	$C_L = 10\text{ pF}$ , see Figure 41
Interrupt Flag Recovery Time, $t_{DIGREC}$	60		85	$\mu\text{s}$ typ	$C_L = 10\text{ pF}$ , see Figure 42
Charge Injection, $Q_{INJ}$	600			ns typ	$C_L = 10\text{ pF}$ , $R_{PULLUP} = 1\text{ k}\Omega$ , see Figure 43
	322			pC typ	$V_S = 6\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ , see Figure 47
Off Isolation	-68			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 33
Channel to Channel Crosstalk	-70			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 34
Total Harmonic Distortion Plus Noise, THD+N	0.007			% typ	$R_L = 10\text{ k}\Omega$ , $V_S = 6\text{ V p-p}$ , $f = 20\text{ Hz}$ to $20\text{ kHz}$ , see Figure 38
-3 dB Bandwidth	90			MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , see Figure 37
Insertion Loss	-0.9			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 37
$C_S$ (Off)	14			pF typ	$V_S = 6\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (Off)	66			pF typ	$V_S = 6\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (On), $C_S$ (On)	76			pF typ	$V_S = 6\text{ V}$ , $f = 1\text{ MHz}$
<b>POWER REQUIREMENTS</b>					$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ , digital inputs = 0 V, 5 V, or $V_{DD}$
<b>Normal Mode</b>					
$I_{DD}$	0.9			mA typ	
	1.2		1.3	mA max	
$I_{GND}$	0.4			mA typ	
	0.55		0.6	mA max	
$I_{SS}$	0.5			mA typ	
	0.65		0.7	mA max	
<b>Fault Mode</b>					
$I_{DD}$	1.2			mA typ	$V_S = \pm 55\text{ V}$
	1.6		1.8	mA max	
$I_{GND}$	0.8			mA typ	
	1.0		1.1	mA max	
$I_{SS}$	0.5			mA typ	Digital inputs = 5 V
	1.0		1.8	mA max	
$V_{DD}$			8	V min	$V_S = \pm 55\text{ V}$ , $V_D = 0\text{ V}$
			44	V max	GND = 0 V

<sup>1</sup> デザインで保証します。出荷テストは実施しません。



## 36 V 単電源

特に指定しない限り、 $V_{DD} = 36\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\text{ }\mu\text{F}$ 

表 4.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analogue Signal Range			0 to $V_{DD}$	V	$V_{DD} = 32.4\text{ V}$ , $V_{SS} = 0\text{ V}$ , see Figure 30
On Resistance, $R_{ON}$	22			$\Omega$ typ	$V_S = 0\text{ V}$ to 30 V, $I_S = -10\text{ mA}$
	24.5	31	37	$\Omega$ max	
On-Resistance Match Between Channels, $\Delta R_{ON}$	10			$\Omega$ typ	$V_S = 4.5\text{ V}$ to 28 V, $I_S = -10\text{ mA}$
	11	14	16.5	$\Omega$ max	
	0.65			$\Omega$ typ	$V_S = 0\text{ V}$ to 30 V, $I_S = -10\text{ mA}$
	1.1	1.2	1.3	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	0.65			$\Omega$ typ	$V_S = 4.5\text{ V}$ to 28 V, $I_S = -10\text{ mA}$
	0.9	1.05	1.2	$\Omega$ max	
	12.5			$\Omega$ typ	$V_S = 0\text{ V}$ to 30 V, $I_S = -10\text{ mA}$
	14.5	19	23	$\Omega$ max	
Threshold Voltage, $V_T$	0.1			$\Omega$ typ	$V_S = 4.5\text{ V}$ to 28 V, $I_S = -10\text{ mA}$
	0.4	0.5	0.5	$\Omega$ max	
	0.7			V typ	See Figure 26
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.1$			nA typ	$V_{DD} = 39.6\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/30\text{ V}$ , $V_D = 30\text{ V}/1\text{ V}$ , see Figure 31
Drain Off Leakage, $I_D$ (Off)	$\pm 0.5$	$\pm 4$	$\pm 20$	nA max	
	$\pm 0.3$			nA typ	$V_S = 1\text{ V}/30\text{ V}$ , $V_D = 30\text{ V}/1\text{ V}$ , see Figure 31
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 1.0$	$\pm 15$	$\pm 65$	nA max	
	$\pm 0.3$			nA typ	$V_S = V_D = 1\text{ V}/30\text{ V}$ , see Figure 32
	$\pm 1.0$	$\pm 13.4$	$\pm 55$	nA max	
<b>FAULT</b>					
Source Leakage Current, $I_S$ With Overvoltage			$\pm 68$	$\mu\text{A}$ typ	$V_{DD} = 39.6\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = +55\text{ V}$ , $-40\text{ V}$ , see Figure 35
			$\pm 44$	$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$ , $A_X = 0\text{ V}$ or floating, $V_S = +55\text{ V}$ , $-40\text{ V}$ , see Figure 36
Drain Leakage Current, $I_D$ With Overvoltage	$\pm 6$			nA typ	DR = floating or $>2\text{ V}$ $V_{DD} = 39.6\text{ V}$ , $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$ , $V_S = +55\text{ V}$ , $-40\text{ V}$ , see Figure 35
	$\pm 15$	$\pm 35$	$\pm 80$	nA max	
Power Supplies Grounded	$\pm 10$			nA typ	$V_{DD} = 0\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = +55\text{ V}$ , $-40\text{ V}$ , $EN = 0\text{ V}$ , see Figure 36
	$\pm 30$	$\pm 50$	$\pm 100$	nA max	
Power Supplies Floating	$\pm 10$	$\pm 10$	$\pm 10$	$\mu\text{A}$ typ	$V_{DD} = \text{floating}$ , $V_{SS} = \text{floating}$ , $GND = 0\text{ V}$ , $V_S = +55\text{ V}$ , $-40\text{ V}$ , $EN = 0\text{ V}$ , see Figure 36
<b>DIGITAL INPUTS</b>					
Input Voltage High, $V_{INH}$			2.0	V min	
Input Voltage Low, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	0.7			$\mu\text{A}$ typ	$V_{IN} = V_{GND}$ or $V_{DD}$
			1.2	$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	6.0			pF typ	
Output Voltage High, $V_{OH}$	2.0			V min	
Output Voltage Low, $V_{OL}$	0.8			V max	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
Transition Time, $t_{TRANSITION}$	400			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
	540	555	570	ns max	$V_S = 10\text{ V}$ , see Figure 46
$t_{ON}$ (EN)	430			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
	530	550	570	ns max	$V_S = 18\text{ V}$ , see Figure 45
$t_{OFF}$ (EN)	175			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$
	210	215	220	ns max	$V_S = 18\text{ V}$ , see Figure 45
Break-Before-Make Time Delay, $t_D$	340			ns typ	$R_L = 300\text{ }\Omega$ , $C_L = 35\text{ pF}$

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Overvoltage Response Time, $t_{\text{RESPONSE}}$	270		200	ns min	$V_S = 18 \text{ V}$ , see Figure 44
	360	375	385	ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 2 \text{ pF}$ , see Figure 39
Overvoltage Recovery Time, $t_{\text{RECOVERY}}$	1400			ns max	
	1900	2100	2400	ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 2 \text{ pF}$ , see Figure 40
Interrupt Flag Response Time, $t_{\text{DIGRESP}}$	85		115	ns typ	$C_L = 10 \text{ pF}$ , see Figure 41
Interrupt Flag Recovery Time, $t_{\text{DIGREC}}$	60		85	$\mu\text{s typ}$	$C_L = 10 \text{ pF}$ , see Figure 42
	600			ns typ	$C_L = 10 \text{ pF}$ , $R_{\text{PULLUP}} = 1 \text{ k}\Omega$ , see Figure 43
Charge Injection, $Q_{\text{INJ}}$	588			pC typ	$V_S = 18 \text{ V}$ , $R_S = 0 \Omega$ , $C_L = 1 \text{ nF}$ , see Figure 47
Off Isolation	-72			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 33
Channel to Channel Crosstalk	-73			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 34
Total Harmonic Distortion Plus Noise, THD+N	0.001			% typ	$R_L = 10 \text{ k}\Omega$ , $V_S = 18 \text{ V p-p}$ , $f = 20 \text{ Hz to } 20 \text{ kHz}$ , see Figure 38
-3 dB Bandwidth	108			MHz typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , see Figure 37
Insertion Loss	-0.9			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 37
$C_S$ (Off)	11			pF typ	$V_S = 18 \text{ V}$ , $f = 1 \text{ MHz}$
$C_D$ (Off)	48			pF typ	$V_S = 18 \text{ V}$ , $f = 1 \text{ MHz}$
$C_D$ (On), $C_S$ (On)	60			pF typ	$V_S = 18 \text{ V}$ , $f = 1 \text{ MHz}$
<b>POWER REQUIREMENTS</b>					$V_{\text{DD}} = 39.6 \text{ V}$ , $V_{\text{SS}} = 0 \text{ V}$ , digital inputs = 0 V, 5 V, or $V_{\text{DD}}$
Normal Mode					
$I_{\text{DD}}$	0.9			mA typ	
	1.2		1.3	mA max	
$I_{\text{GND}}$	0.4			mA typ	
	0.55		0.6	mA max	
$I_{\text{SS}}$	0.5			mA typ	
	0.65		0.7	mA max	
Fault Mode					$V_S = +55 \text{ V}$ , $-40 \text{ V}$
$I_{\text{DD}}$	1.2			mA typ	
	1.6		1.8	mA max	
$I_{\text{GND}}$	0.8			mA typ	
	1.0		1.1	mA max	
$I_{\text{SS}}$	0.5			mA typ	Digital inputs = 5 V
	1.0		1.8	mA max	$V_S = +55 \text{ V}$ , $-40 \text{ V}$ , $V_D = 0 \text{ V}$
$V_{\text{DD}}$			8	V min	$\text{GND} = 0 \text{ V}$
			44	V max	$\text{GND} = 0 \text{ V}$

<sup>1</sup> デザインで保証します。出荷テストは実施しません。

## 連続電流

表 5.

Parameter	25°C	85°C	125°C	Unit	Test Conditions/Comments
14-Lead TSSOP					
$\theta_{\text{JA}} = 112.6^\circ\text{C/W}$	147	95	58	mA max	$V_S = V_{\text{SS}} + 4.5 \text{ V to } V_{\text{DD}} - 4.5 \text{ V}$
	115	77	50	mA max	$V_S = V_{\text{SS}} \text{ to } V_{\text{DD}}$

## 絶対最大定格

T<sub>A</sub> = 25°C, unless otherwise noted.

Table 6.

Parameter	Rating
V <sub>DD</sub> to V <sub>SS</sub>	48 V
V <sub>DD</sub> to GND	-0.3 V to +48 V
V <sub>SS</sub> to GND	-48 V to +0.3 V
Sx to GND	-55 V to +55 V
Sx to V <sub>DD</sub> or V <sub>SS</sub>	80 V
V <sub>S</sub> to V <sub>D</sub>	80 V
D Pin <sup>1</sup> to GND	V <sub>SS</sub> - 0.7 V to V <sub>DD</sub> + 0.7 V or 30 mA, whichever occurs first
Digital Inputs to GND	GND - 0.3 V to 48 V
Peak Current, Sx or D Pins	363 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or D	Data <sup>2</sup> + 15%
Digital Output	GND - 0.3 V to 6 V or 30 mA, whichever occurs first
D Pin, Overvoltage State, DR = GND, Load Current	1 mA
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Thermal Impedance, θ <sub>JA</sub>	
14-Lead TSSOP, θ <sub>JA</sub> Thermal Impedance (4-Layer Board)	112.6°C/W
Reflow Soldering Peak Temperature, Pb-Free	As per JEDEC J-STD-020
ESD Rating, Human Body Model (HBM): ANS/ESD STM5.1- 2007	
Input/Output (I/O) Port to Supplies	4 kV
I/O Port to I/O Port	4 kV
All Other Pins	4 kV

<sup>1</sup> Dピンでの過電圧は、内部ダイオードでクランプされます。電流を所定の最大定格に制限します。

<sup>2</sup> 表5を参照。

上記の絶対最大定格を超えるストレスを加えると、製品に恒久的な損傷を与えることがあります。これは、ストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上での製品動作を定めたものではありません。デバイスの最大動作状態を超えて動作させると、製品の信頼性に影響を及ぼします。

同時に複数の絶対最大定格条件を適用することはできません。

## ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

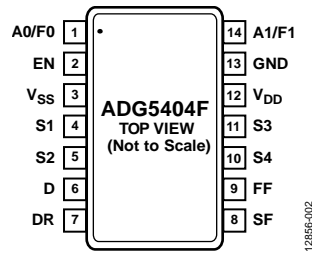


図 2.ピン配置

表 7.ピン機能の説明

ピン番号	記号	説明
1	A0/F0 <sup>1</sup>	ロジック・コントロール入力 (A0)。 SF ピンではデコーダ (F0)。
2	EN	アクティブ・ハイのデジタル入力。このピンがロー・レベルのとき、デバイスはディセーブルされ、すべてのスイッチがオフになります。このピンがハイ・レベルのとき、Ax ロジック制御入力オン・スイッチを決定します。
3	VSS	負電源電圧。
4	S1	過電圧保護されたソース端子 1。このピンは、入力または出力に設定することができます。
5	S2	過電圧保護されたソース端子 2。このピンは、入力または出力に設定することができます。
6	D	ドレイン・ピン。このピンは、入力または出力に設定することができます。
7	DR	ドレイン応答デジタル入力。このピンを GND に接続すると、過電圧フォルト状態の際にドレインは VDD または VSS になります。ピンがフローティング状態または VDD に接続された場合は、ドレインはデフォルト状態で、オープン回路となります。
8	SF	特定のフォルト・デジタル出力。このピンは、A0/F0 および A1/F1 の状態により、デバイスが通常動作のときにハイ出力になり、フォルト状態が特定ピンに検出されたときにロー出力になります (表 9 を参照)。
9	FF	フォルト・フラグ・デジタル出力。このピンは、デバイスが通常動作のときにハイ出力になり、Sx 入力のどれかがフォルト状態になったときにロー出力になります。
10	S4	過電圧保護されたソース端子 4。このピンは、入力または出力に設定することができます。
11	S3	過電圧保護されたソース端子 3。このピンは、入力または出力に設定することができます。
12	VDD	正電源電圧。
13	GND	グラウンド・リファレンス (0 V)。
14	A1/F1 <sup>1</sup>	ロジック・コントロール入力 (A1)。 SF ピンではデコーダ (F1)。

<sup>1</sup> データシート全体にわたって、2つの機能をもつピンの名前は、該当する適切な機能によって呼ばれます。

表 8.真理値表

EN	A1	A0	Connected Sx Pin
0	X <sup>1</sup>	X <sup>1</sup>	All switches off
1	0	0	S1
1	0	1	S2
1	1	0	S3
1	1	1	S4

<sup>1</sup> X means don't care.

表 9.フォルト診断出力真理値表

Switch in Fault <sup>1</sup>	State of Specific Fault Pin (SF) with Decoder Pins (F1, F0)				State of the Fault Flag Pin (FF)
	F1 = 0, F0 = 0	F1 = 0, F1 = 1	F1 = 1, F0 = 0	F1 = 1, F0 = 1	
No switch in fault	1	1	1	1	1
S1	0	1	1	1	0
S2	1	0	1	1	0
S3	1	1	0	1	0
S4	1	1	1	0	0

<sup>1</sup> 複数のソース入力と同時にフォルトになることがあります。

代表的な性能特性

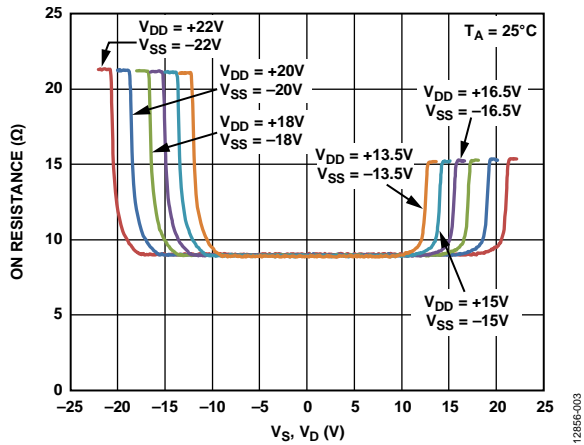


図 3.  $V_S$  と  $V_D$  の関数としての  $R_{ON}$ 、両電源

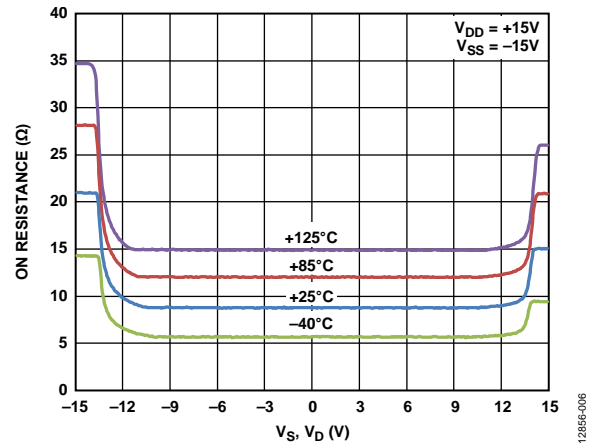


図 6. 様々な温度での  $V_S$  と  $V_D$  の関数としての  $R_{ON}$ 、 $\pm 15$  V 両電源

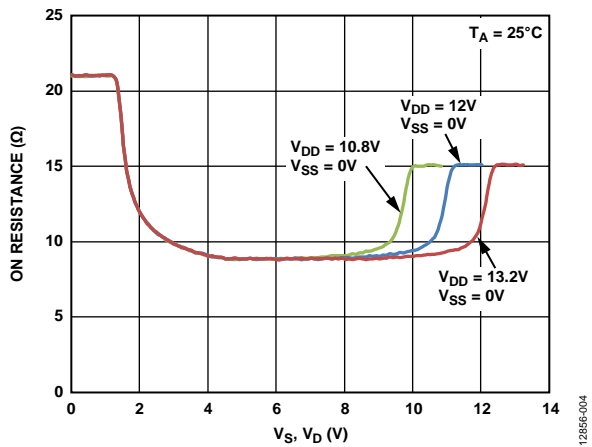


図 4.  $V_S$  と  $V_D$  の関数としての  $R_{ON}$ 、12V 単電源

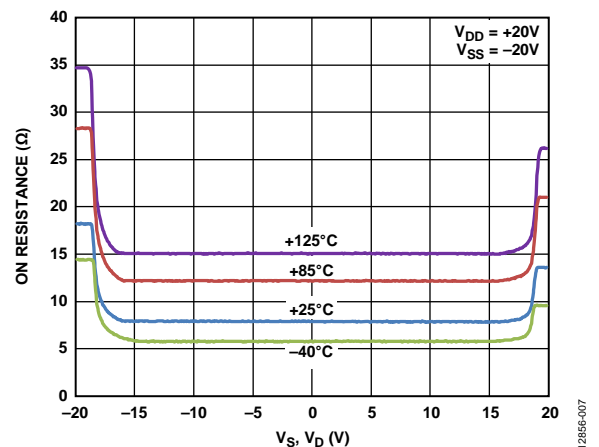


図 7. 様々な温度での  $V_S$  と  $V_D$  の関数としての  $R_{ON}$ 、 $\pm 20$  V 両電源

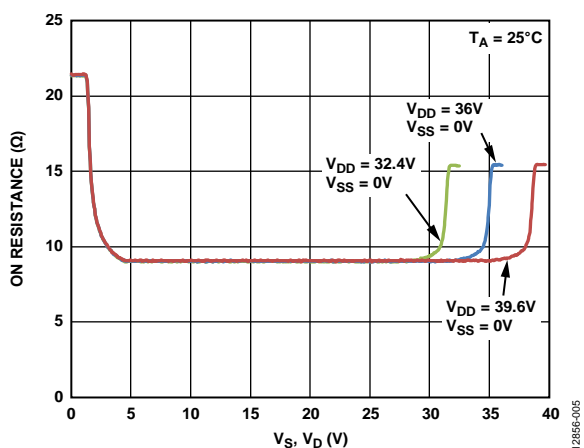


図 5.  $V_S$  と  $V_D$  の関数としての  $R_{ON}$ 、36V 単電源

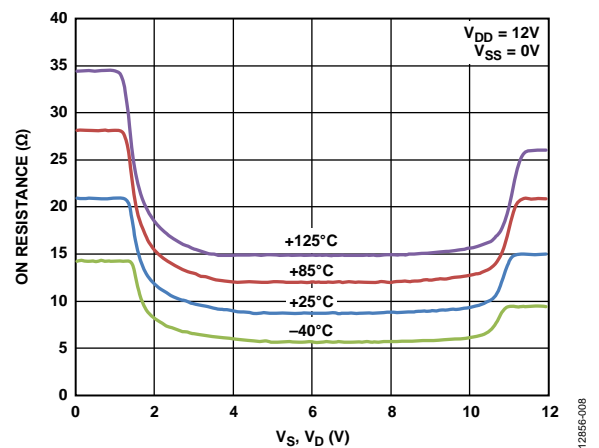


図 8. 様々な温度での  $V_S$  と  $V_D$  の関数としての  $R_{ON}$ 、12V 単電源

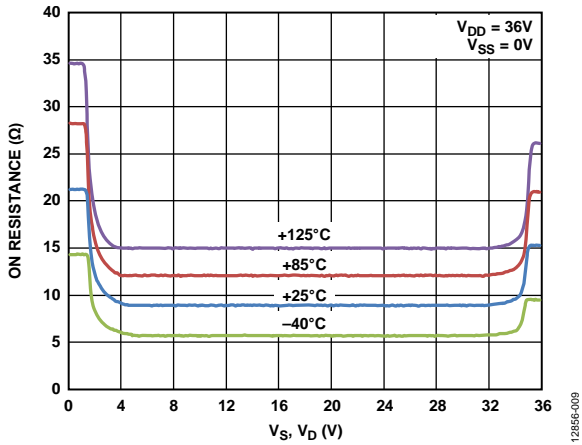


図 9. 様々な温度での  $V_S$  と  $V_D$  の関数としての  $R_{ON}$ 、36 V 単電源

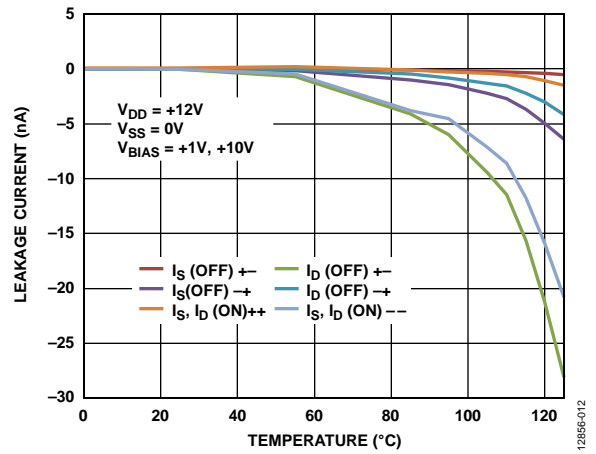


図 12. リーク電流の温度特性、12 V 単電源

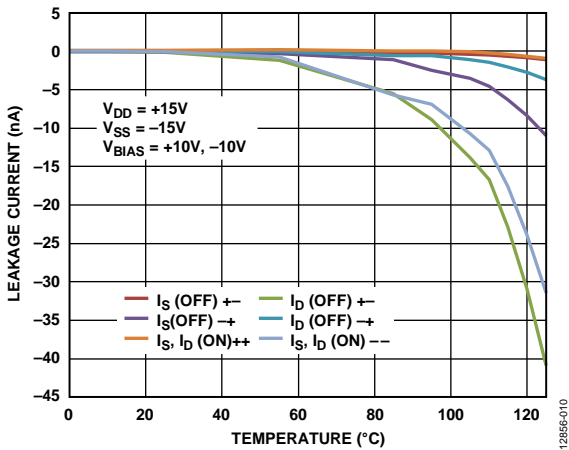


図 10. リーク電流の温度特性、±15 V 両電源

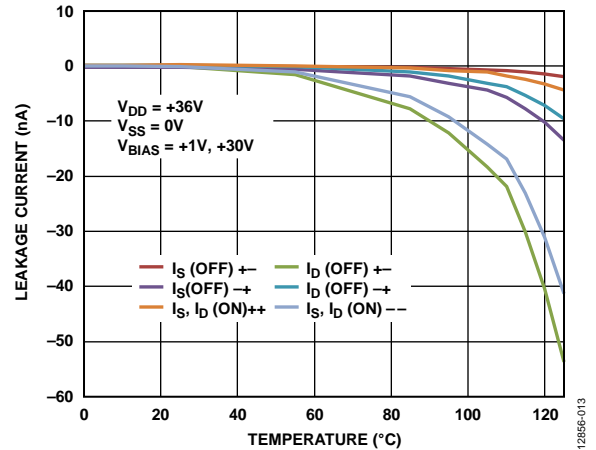


図 13. リーク電流の温度特性、36 V 単電源

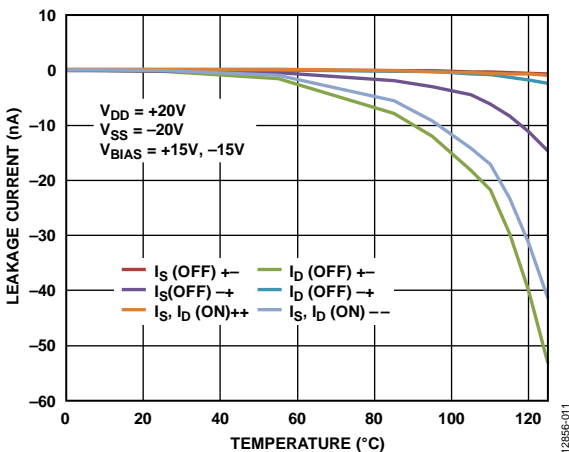


図 11. リーク電流の温度特性、±20 V 両電源

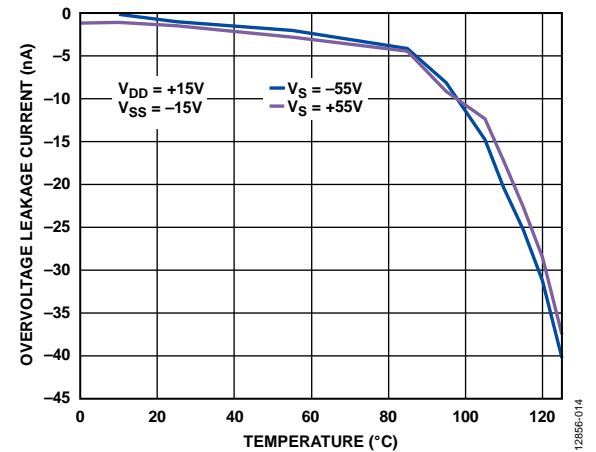


図 14. 過電圧リーク電流の温度特性、±15 V 両電源

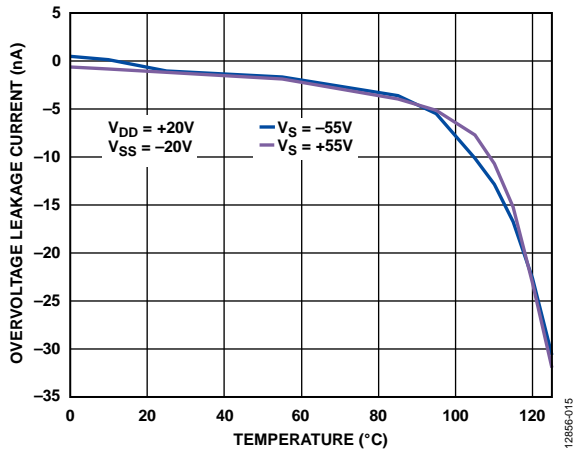


図 15.過電圧リーク電流の温度特性、 ±20 V 両電源

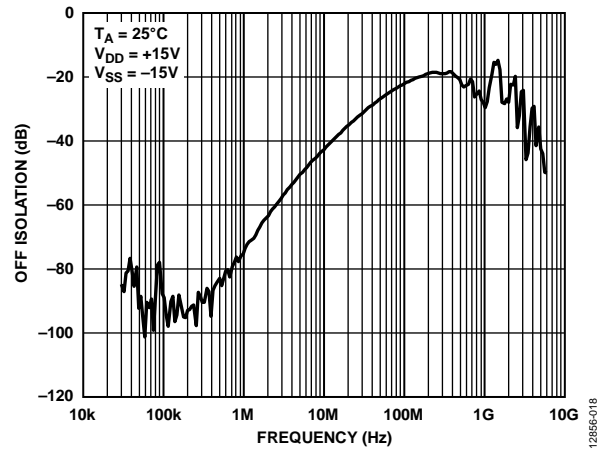


図 18.オフ時アイソレーションの周波数特性

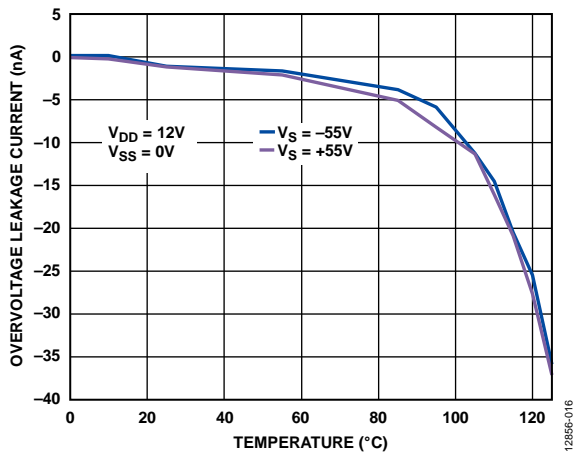


図 16.過電圧リーク電流の温度特性、 12 V 単電源

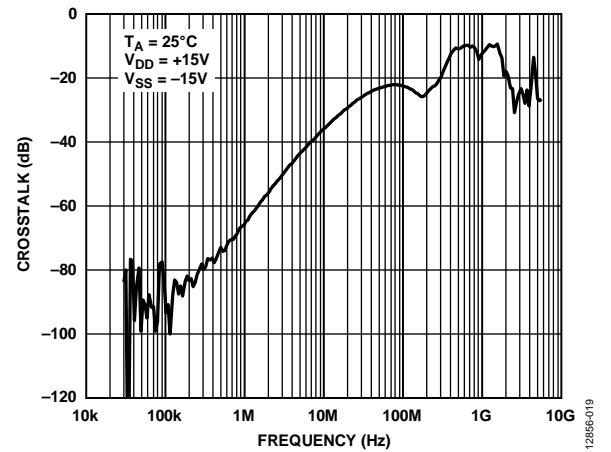


図 19.クロストークの周波数特性

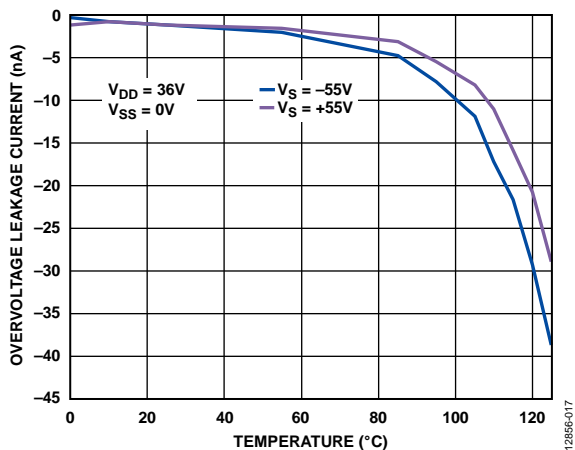


図 17.過電圧リーク電流の温度特性、 36 V 単電源

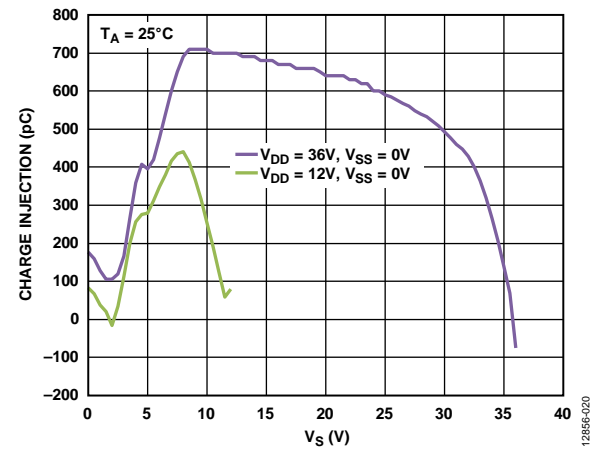


図 20.電荷注入のソース電圧 ( $V_S$ ) 特性、単電源

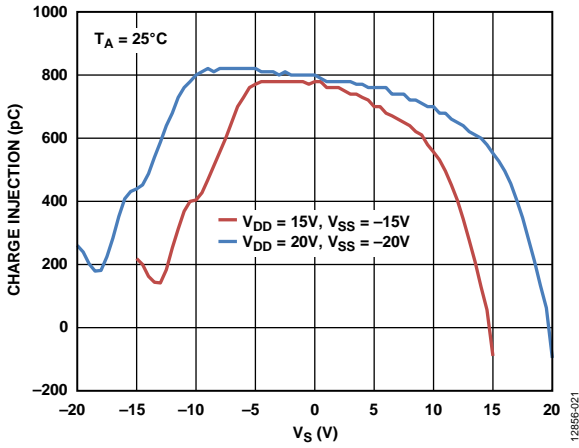


図 21. 電荷注入のソース電圧 ( $V_S$ ) 特性、両電源

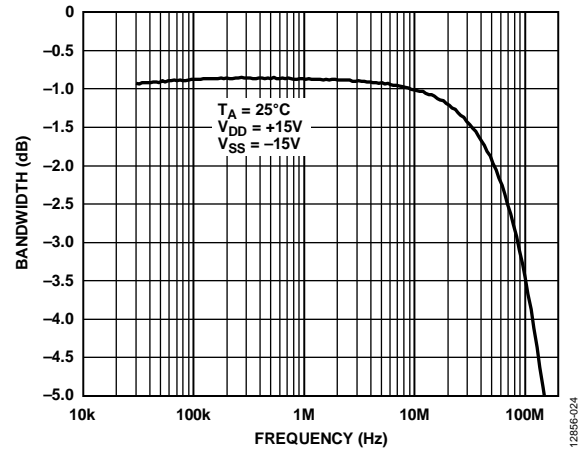


図 24. 帯域幅の周波数特性

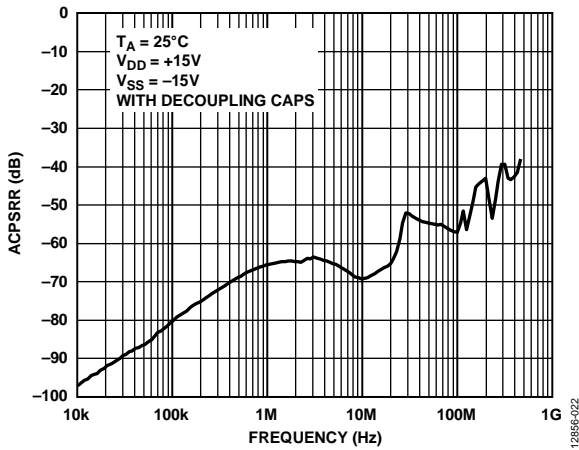


図 22. ACPSRR の周波数特性

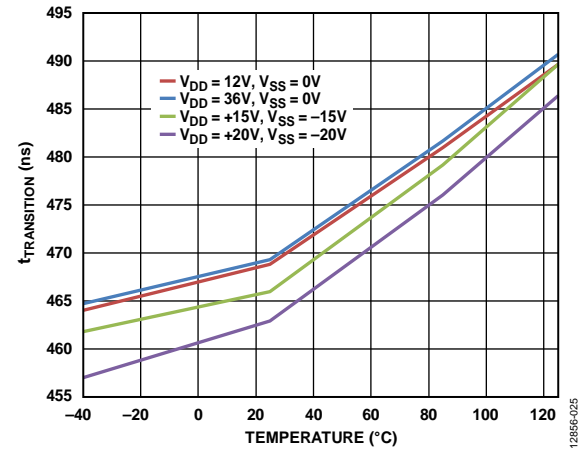


図 25.  $t_{\text{TRANSITION}}$  の温度特性

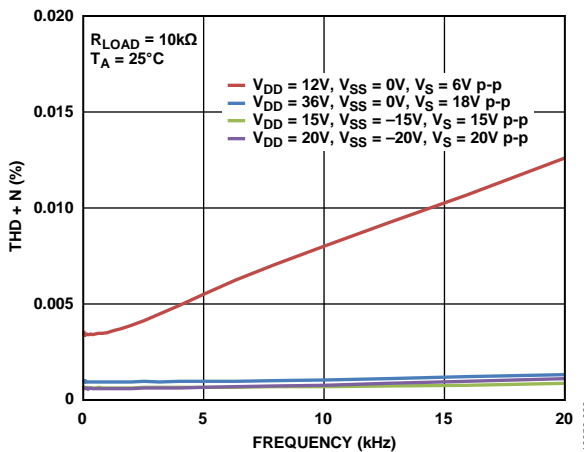


図 23. THD + N の周波数特性

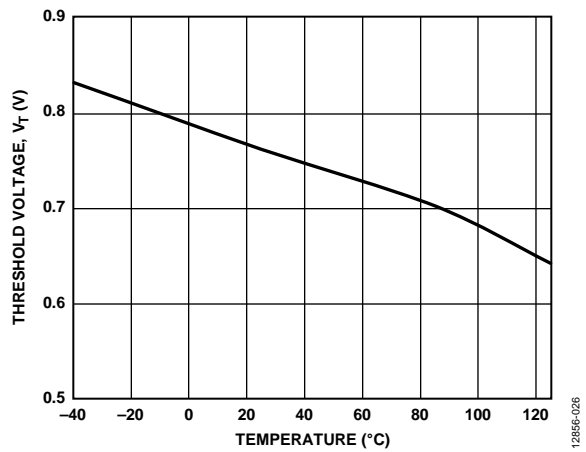


図 26. しきい電圧 ( $V_T$ ) の温度特性



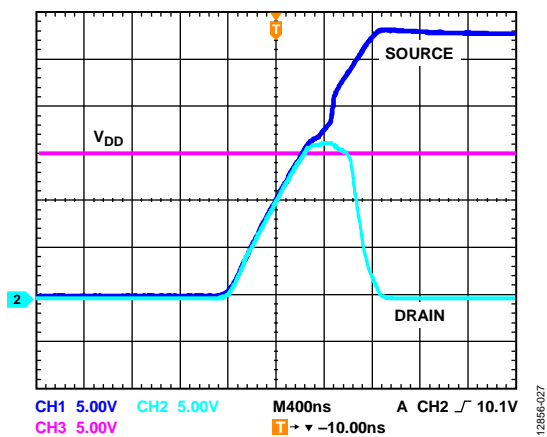


図 27.正過電圧に対するドレイン出力応答

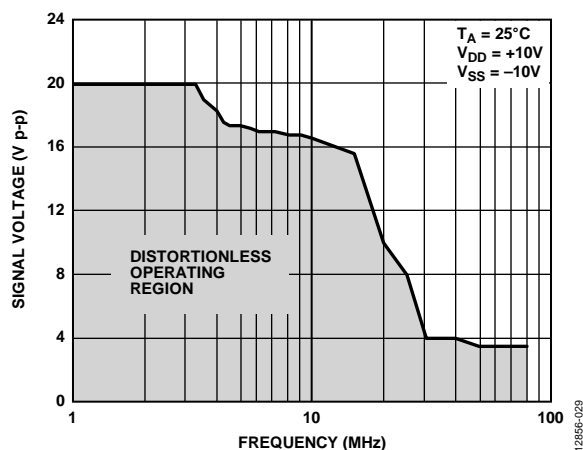


図 29.大信号電圧トラッキングの周波数特性

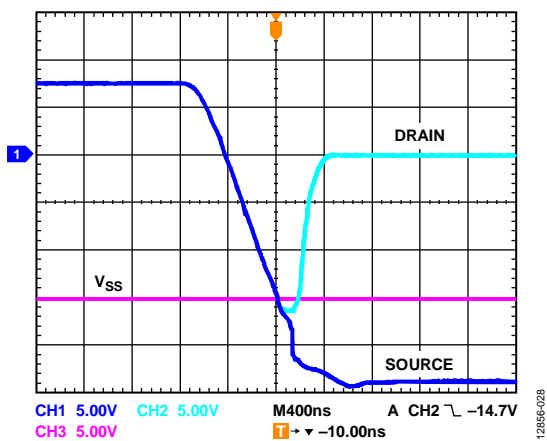


図 28.負過電圧に対するドレイン出力応答

テスト回路

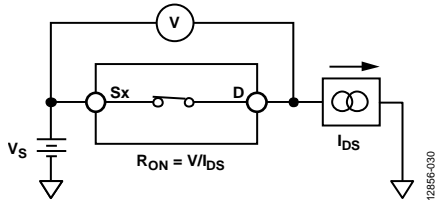


図 30. オン抵抗

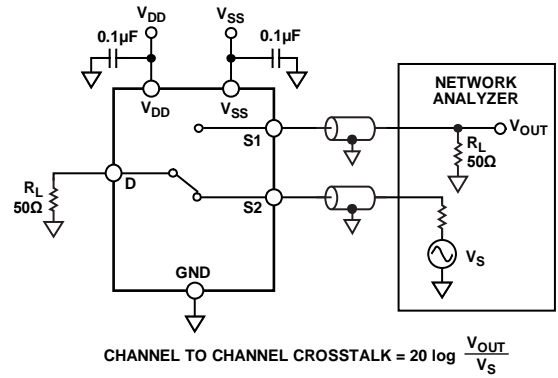


図 34. チャンネル間クロストーク

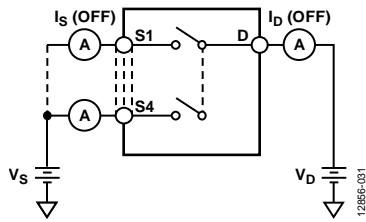


図 31. オフ時リーク

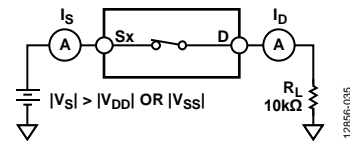


図 35. スイッチ過電圧リーク

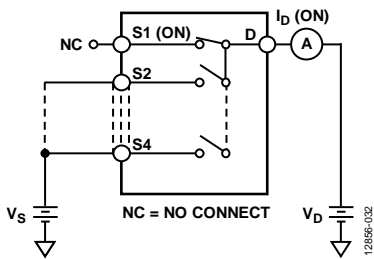


図 32. チャンネル・オン時リーク

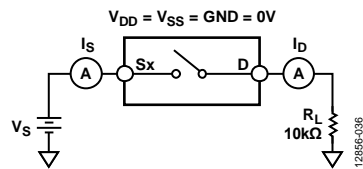


図 36. スイッチ非通電時リーク

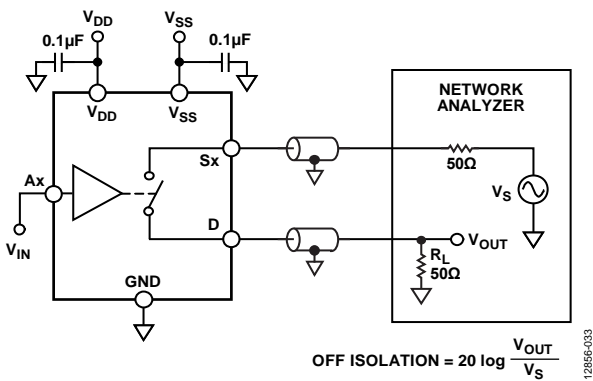


図 33. オフ時アイソレーション

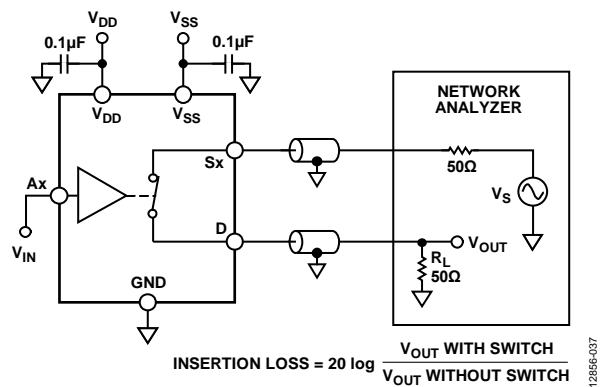


図 37. 帯域幅

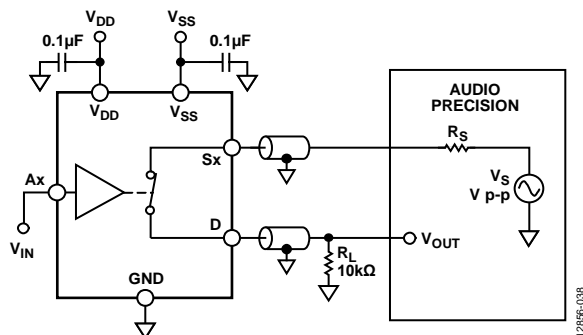


図 38. THD + N

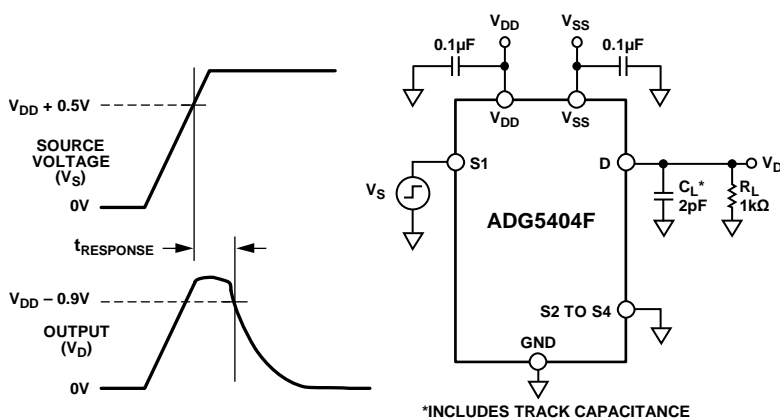


図 39. 過電圧応答時間、 $t_{\text{RESPONSE}}$

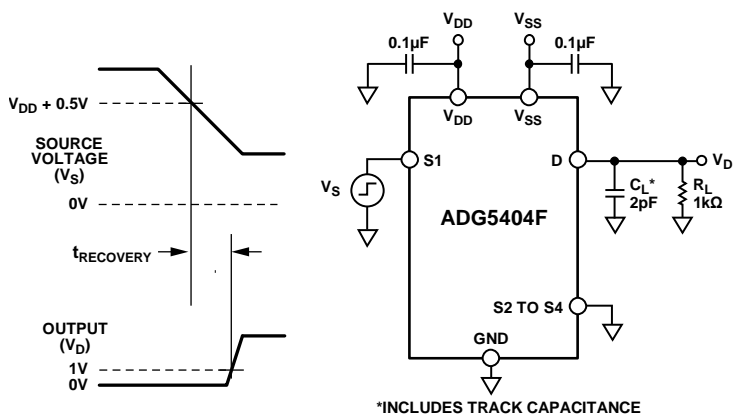


図 40. 過電圧回復時間、 $t_{\text{RESPONSE}}$

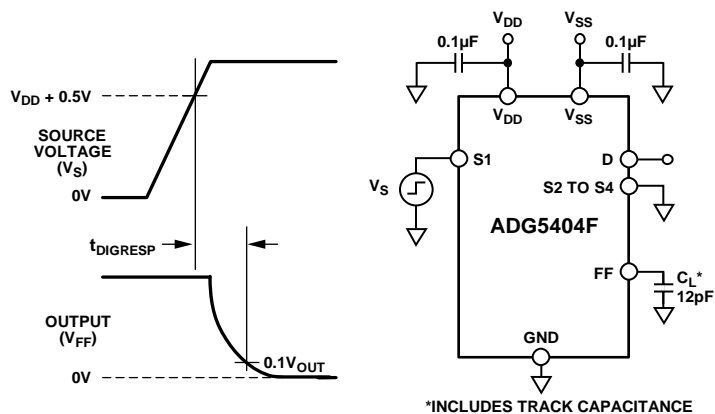


図 41. 割込みフラグ応答時間、 $t_{\text{DIGRESP}}$

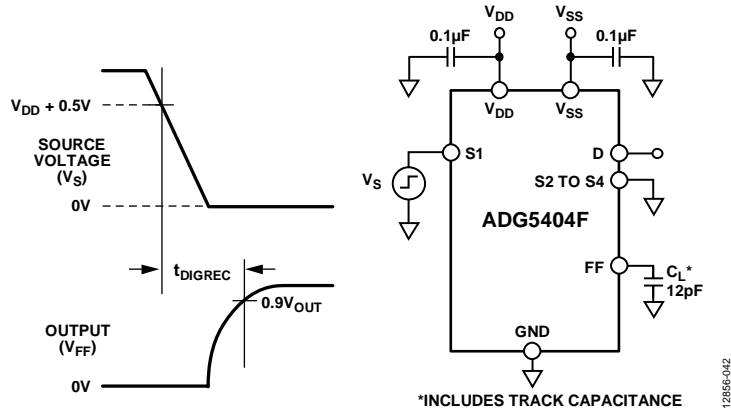


図 42. 割込みフラグ回復時間、 $t_{DIGREC}$

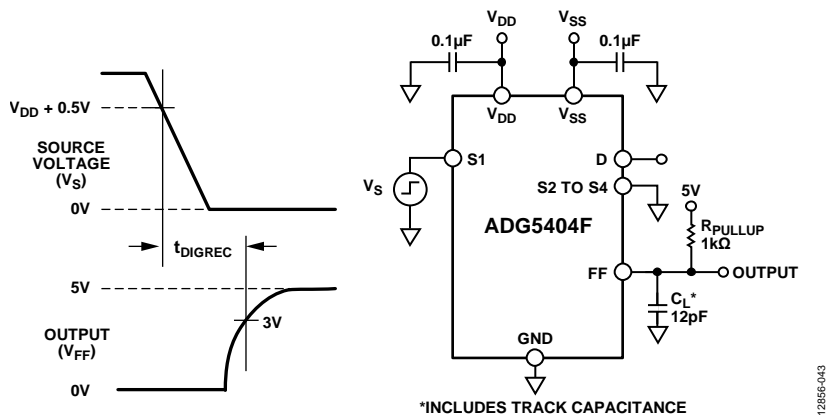


図 43. 割込みフラグ回復時間、 $t_{DIGREC}$ 、プルアップ抵抗 1kΩ 時。

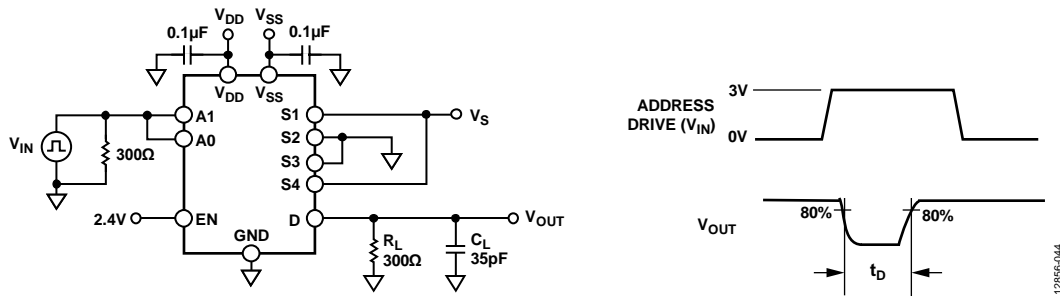


図 44. ブレーク・ビフォア・メーカー時間遅延、 $t_d$

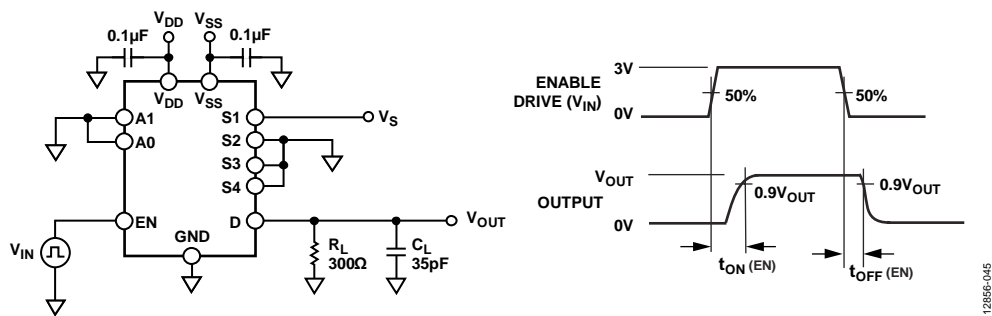


図 45. イネーブル遅延、 $t_{ON(EN)}$ 、 $t_{OFF(EN)}$

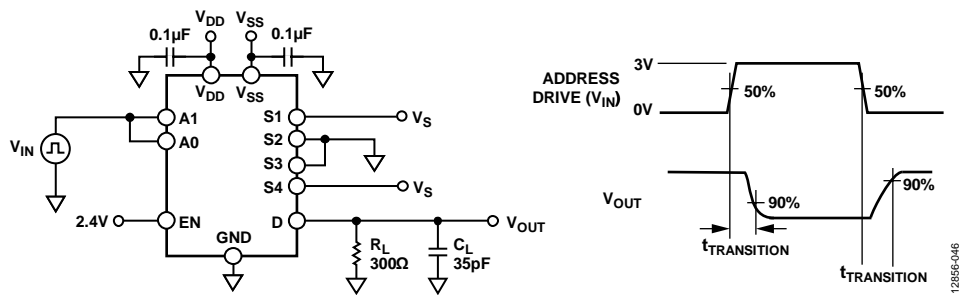


図 46. アドレス出カスイッチング時間、 $t_{\text{TRANSITION}}$

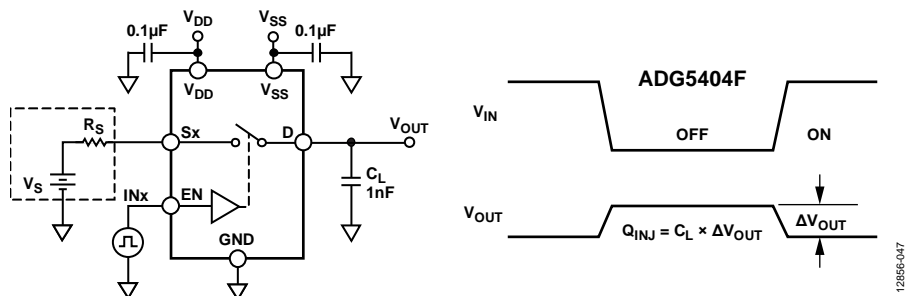


図 47. 電荷注入、 $Q_{\text{INJ}}$

## 用語

**I<sub>DD</sub>**

正電源電流。

**I<sub>SS</sub>**

負電源電流。

**V<sub>D</sub>, V<sub>S</sub>**

Dピンと Sxピンそれぞれのアナログ電圧。

**R<sub>ON</sub>**

Dピンと Sxピン間のオーム抵抗。

**ΔR<sub>ON</sub>**

2つのチャンネルの R<sub>ON</sub>の差。

**R<sub>FLATON</sub>**

仕様で規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義された平坦性。

**I<sub>S</sub> (Off)**

スイッチ・オフ状態のソース・リーク電流。

**I<sub>D</sub> (Off)**

スイッチ・オフ状態のドレイン・リーク電流。

**I<sub>D</sub> (On), I<sub>S</sub> (On)**

スイッチ・オン状態のチャンネル・リーク電流。

**V<sub>INL</sub>**

ロジック「0」の最大入力電圧。

**V<sub>INH</sub>**

ロジック「1」の最小入力電圧。

**I<sub>INL</sub>, I<sub>INH</sub>**

デジタル入力の低入力電流と高入力電流。

**C<sub>D</sub> (Off)**

グラウンドに対して測定されたオフ・スイッチ・ドレイン容量。

**C<sub>S</sub> (Off)**

グラウンドに対して測定されたオフ・スイッチ・ソース容量。

**C<sub>D</sub> (On), C<sub>S</sub> (On)**

グラウンドに対して測定されたオン・スイッチ容量。

**C<sub>IN</sub>**

デジタル入力容量。

**t<sub>ON</sub>**

デジタル制御入力の入力から出力スイッチ・オンまでの遅延。(図 45 を参照)

**t<sub>OFF</sub>**

デジタル制御入力の入力から出力スイッチ・オフまでの遅延。(図 45 を参照)

**t<sub>D</sub>**

アドレス状態を切り換えときの両スイッチの 90%ポイント間で測定したオフ時間。

**t<sub>DIGRESP</sub>**

電源電圧より 0.5V 高いソース・ピンの電圧に対して測定された、FFピンがロー・レベル (0.3V)になるのに必要な時間。

**t<sub>DIGREC</sub>**

電源電圧より+0.5V 低い Sxピンの電圧に対して測定された、FFピンがハイ・レベルに戻るのに必要な時間。

**t<sub>RESPONSE</sub>**

ソース電圧が電源電圧より 0.5V 高い状態からドレイン電圧が電源電圧の 90%に低下するまでの遅延。

**t<sub>RECOVERY</sub>**

Sxピン上の過電圧が電源電圧+0.5Vより低下してからドレイン電圧が 0Vから電源電圧の 10%まで上昇するまでの遅延。

**オフ時アイソレーション**

「オフ」状態のスイッチを通る不要信号の大きさ。

**チャージ・インジェクション**

スイッチングの際にデジタル入力からアナログ出力に送られるグリッチ・インパルス大きさ。

**チャンネル間クロストーク**

寄生容量によってチャンネル間で結合される不要信号の大きさ。

**3 dB 帯域幅**

出力が-3 dB減衰する周波数。

**オン応答**

「オン」状態にあるスイッチの周波数応答。

**挿入損失**

スイッチのオン抵抗による損失。

**総合高調波歪+ノイズ(THD+ N)**

高調波振幅と信号ノイズの和の基本波に対する比。

**AC 電源電圧変動除去比(ACPSRR)**

出力信号振幅の変調振幅に対する比。電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力に混入するのを防ぐデバイスの能力。デバイス上の直流電圧は、0.62V<sub>p-p</sub>の正弦波によって変調されます。

**V<sub>T</sub>**

過電圧保護回路が関係する過電圧しきい値(図 26 を参照)。

## 動作原理

### スイッチ・アーキテクチャ

ADG5404Fの各チャンネルは、NDMOSおよびPDMOSトランジスタの並列ペアで構成されます。この構成は、信号範囲全体にわたって優れた性能を提供します。ADG5404Fの各チャンネルは、 $V_{SS} \sim V_{DD}$ 間の電圧を持つ入力信号が印加されたときに標準スイッチとして動作します。たとえば、オン抵抗は、標準10Ωであり、スイッチの開閉は、対応する制御ピンを使用して制御されます。

内部回路の追加により、スイッチはソース・ピン上の電圧を $V_{DD}$ および $V_{SS}$ と比較することによって過電圧入力を検出することが可能となっています。信号は、電源電圧より電圧しきい値 $V_T$ を超えた場合に過電圧と見なされます。しきい電圧は標準で0.7Vですが、 $-40^{\circ}\text{C}$ で0.8Vから $+125^{\circ}\text{C}$ で0.6Vまで低下することがあります。動作温度による $V_T$ の変化は図26を参照してください。

各ソース入力に印加できる最大電圧は、 $-55\text{V}$ または $+55\text{V}$ です。デバイスが、 $25\text{V}$ 以上の単一電源から電力供給されたとき、最大低電圧信号レベルは $-55\text{V}$ より低くなります。たとえば、低電圧信号は、 $80\text{V}$ の最大定格内になるように $V_{DD}=40\text{V}$ で $-40\text{V}$ に低下します。プロセスの構成により、チャンネルは、スイッチが開かれたときにスイッチ両端で $80\text{V}$ に耐えることができます。これらの過電圧制限は、電源があるかどうかにかかわらず適用されます。

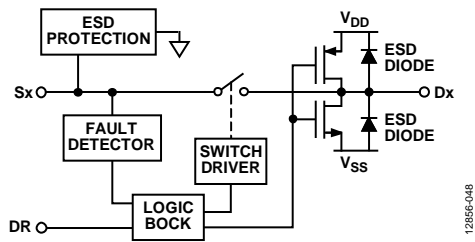


図48. スイッチ・チャンネルおよび制御機能

ソース・ピン ( $S_x$ ) に過電圧状態が検出されたときスイッチは自動的にオープンとなり、ソース・ピン ( $S_x$ ) は、高インピーダンスになり、スイッチに電流が流れこまなくなります。DRピンを強制的にロー・レベルにした場合、ドレイン・ピン  $D$  は、電源電圧にプルされます。たとえば、ソース電圧が $V_{DD}$ を超えた場合、ドレイン出力は $V_{DD}$ にプルされます。 $V_{SS}$ についても同じことが言えます。DRピンがフローティング状態またはハイ・レベルに強制された場合は、ピン  $D$  もオープン回路となります。ピン  $D$  の電圧は、スイッチが完全にオフになりドレイン電圧が負荷を介して放電するまでソース・ピン  $S_x$  の電圧に従います。ドレインの最大電圧は、内部 ESD ダイオードによって制限され、出力電圧が放電する速さは、ピンの負荷に依存します。

過電圧状態の期間中、ソース・ピン  $S_x$  から流れ出るまたは入り込むリーク電流は、数十マイクロアンペアに制限されま

す。DRピンがフローティング状態またはハイ・レベルに強制された場合、ドレイン・ピン  $D$  にはわずかに数ナノアンペアのリーク電流しか現れません。DRピンがロー・レベルに強制された場合、ドレイン・ピン  $D$  は、レール電圧にプルされ、このケースでは、負荷電流を1mA未満に制限されます。過電圧イベントが生じたとき、過電圧入力によって乱されていない他のチャンネルは、追加のクロストークなしに正常に動作し続けます。

### ESD 性能

ADG5404Fの ESD (HBM) 定格は4kVです。

ドレイン・ピンは、レールに対する ESD 保護ダイオードを備え、このピンの電圧は、電源電圧を超えてはいけません。ソース・ピンは、 $\pm 22\text{V}$ の両電源動作では、信号電圧は $-55\text{V} \sim +55\text{V}$ に、 $40\text{V}$ の単電源動作では $-40\text{V} \sim +55\text{V}$ を許容する特別な ESD 保護機能を備えています。スイッチ・チャンネルの概要については図48を参照してください。

### トレンチ分離

ADG5404Fでは、各スイッチのNDMOSトランジスタとPDMOSトランジスタの間に絶縁酸化物層 (トレンチ) が入れられています。接合絶縁スイッチ内のトランジスタ間で行われる寄生接合が除去され、その結果、スイッチは、すべての状況下でラッチアップの影響を受けなくなります。このデバイスは、仕様において最も厳密なテストである、1秒間の $\pm 500\text{mA}$ のJESD78Dラッチアップ・テストに合格しています。

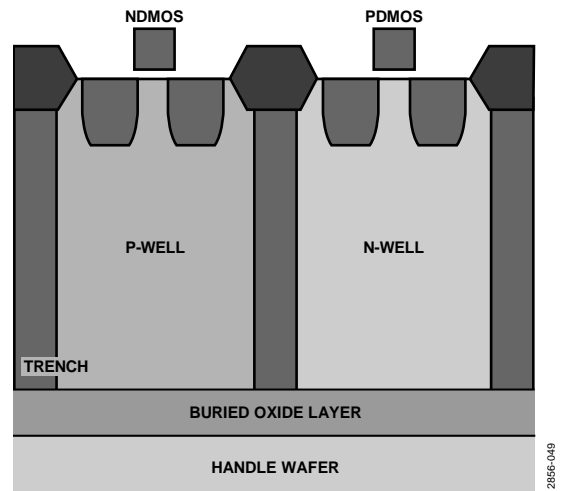


図48. トレンチ分離

## フォルト保護機能

ソース入力の電圧が  $V_{DD}$  または  $V_{SS}$  より  $V_T$  高くなったときにスイッチはオフになり、またデバイスが通電されていない場合は、スイッチはオフのままです。スイッチ入力は、デジタル制御入力状態または負荷抵抗にかかわらず高インピーダンス状態を保ち、出力は、仮定のオープン回路として働きます。ソース・ピンと電源ピン間の 80V 制限が満たされる限り、 $\pm 55V$  以内の信号レベルは、通電状態および非通電状態の両方でブロックされます。

## パワーオン保護機能

スイッチがオン状態になるには、次の3つの条件が満たされなければなりません。

- $V_{DD}$  と  $V_{SS}$  間の電圧  $\geq 8V$
- 入力信号が  $V_{SS} - V_T \sim V_{DD} + V_T$
- デジタル・ロジック制御入力  $A_x$  がオン。

スイッチがオンになったとき、電源レール以内の信号レベルが通過します。

スイッチは、 $V_{DD}$  または  $V_{SS}$  をしきい電圧  $V_T$  だけ超えるアナログ入力にตอบสนองしてオフになります。絶対入力電圧の制限は、 $-55V$  と  $+55V$  であり、同時にソース・ピンと電源レール間で 80V 制限が維持されます。スイッチは、ソース・ピンの電圧が  $V_{DD}$  と  $V_{SS}$  の電圧差に戻るまでオフのままです。

$\pm 15V$  の両電源で動作するときのフォルト応答時間  $t_{RESPONSE}$  は、通常 600ns であり、フォルト回復時間  $t_{RECOVERY}$  は 700ns です。これらの値は、電源電圧および出力負荷条件により異なります。

各ソース入力で  $\pm 55V$  を超えると、デバイスの ESD 保護回路が破損することがあります。

各スイッチ・チャンネル間での最大許容電圧は 80V です。したがって、ユーザは、40V 単電源でデバイスを使用するときはこの制限に十分に注意してください。この場合、スイッチ・チャンネル間で 80V を維持するには最大低電圧条件は  $-40V$  となります。

低電圧および過電圧条件は、デバイスが図 50 に示されたようにセットアップされるケースを検討してください。

- $V_{DD}/V_{SS} = \pm 22V$ ,  $S4 = 22V$ , および  $S4$  がオン。したがって、 $D = 22V$ 。
- $S1$  と  $S2$  は  $-55V$  フォルト、 $S3$  は  $+55V$  フォルト。
- $S1$  と  $D$  間または  $S2$  と  $D$  間の電圧は、 $+22V - (-55V) = +77V$ 。
- $S3$  と  $D$  間の電圧は、 $22V - 55V = -33V$  です。

これらの計算はすべてデバイス仕様内であり、ソース入力のフォルトが最大 55V、オフ・スイッチ・チャンネルが最大 80V です。

FF は、 $S1$ ,  $S2$  および  $S3$  のフォルト条件によりロー・レベルになります。F1=1, F0=1 から分かるように  $S4$  にフォルト条件がないので SF はハイ・レベルです。

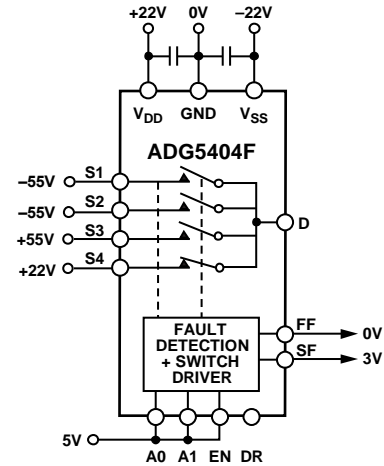


図 50.フォルト条件セットアップの例

## パワーオフ保護機能

電源が投入されていないとき、スイッチはオフ状態を維持し、スイッチ入力は高インピーダンスとなります。この状態では、電流が流れず、スイッチや後続回路の損傷を確実に防ぐことができます。スイッチ出力は、仮定のオープン回路です。

スイッチは、 $V_{DD}$  および  $V_{SS}$  電源が 0V からローテイング状態かどうかにかかわらずオフのままです。GND 基準は、適切な動作を保証するために常に存在しなければなりません。非通電状態では  $\pm 55V$  以下の信号レベルがブロックされます。

## デジタル入力保護機能

ADG5404F は、デバイスの非通電デジタル入力信号を許容することができます。デバイスが非通電状態のとき、スイッチは、デジタル・ロジック信号の状態にかかわらずオフ状態になります。

デジタル入力ピンは、44V までの正側フォルトから保護されます。デジタル入力ピンは、負側電圧に対して保護されません。デジタル入力には、GND に接続された ESD 保護ダイオードがあります。

## 過電圧割込みフラグ

ADG5404F のソース入力上の電圧が連続的に監視され、スイッチの状態は、アクティブ・ロー・デジタル出力ピン FF によって示されます。

FF ピンの電圧は、ソース入力ピンのどれかのピンがフォルト状態になっているかどうかを示します。すべてのソース・ピンが正常動作範囲内にある場合、FF ピンの出力は公称 3V です。どれかのソース・ピン電圧が電源電圧を  $V_T$  超えた場合、FF 出力は 0.8V 以下に減少します。

どの入力フォルト状態となっているかを判断するには、特定のフォルト・デジタル出力ピン SF を使用します。SF ピンは、F0 と F1 の状態によって、フォルト状態が特定のピンで検出されたときに 0.8V より低くなります(表 9 を参照)。



## アプリケーション情報

過電圧信号が発生することがあり、また過電圧の発生中もその後もシステムが動作し続けなければならない計測、産業、航空宇宙およびその他の厳しい環境において、過電圧を保護する一連のスイッチとマルチプレクサは、頑強なソリューションを提供します。

### 電源レール

デバイスの正確な動作を保証するには、0.1 $\mu$ F デカップリングコンデンサが必要です。

ADG5404Fは、 $\pm 5\text{ V} \sim \pm 22\text{ V}$ のバイポーラ電源で動作することができます。電源の $V_{DD}$ と $V_{SS}$ は対称的である必要はありませんが、 $V_{DD} \sim V_{SS}$ の範囲は44Vを超えないようにしてください。ADG5404Fは、 $V_{SS}$ がGNDに接続された状態で8V $\sim$ 44Vの単電源でも動作できます。

ADG5404Fは、 $\pm 15\text{ V}$ 、 $\pm 20\text{ V}$ 、12 Vおよび36 Vの電源範囲で仕様が規定されています。

### 電源シーケンシング保護機能

スイッチ・チャンネルは、デバイスが通電されていないときに開いたままであり、デバイスを破損させることなく-55V $\sim$ +55Vの信号を供給することができます。電源が接続されているときだけ $A_x$ ピンに適切なデジタル制御信号が生じ、正常動作範囲内にある信号がスイッチ・チャンネルを閉じます。ADG5404Fを外外部コネクタと敏感な部品の間に入挿することによって、電源電圧が有効になる前にソース・ピンに信号が見れるようなシステムにおいて保護を提供します。

### 信号範囲

ADG5404Fには、入力側にソース端子の電圧レベルを $V_{DD}$ および $V_{SS}$ と比較する過電圧検出回路があります。後続の回路を過電圧状態から保護するために、ADG5404Fには設計信号範囲に適合する電圧を供給してください。低オン抵抗のスイッチは、電源レールまでの信号を非常に小さな歪みで通すことができます。その場合、電源レールよりしきい電圧分超える信号はブロックされます。この信号ブロックは、デバイスとその後続の回路の両方を保護します。

### 低インピーダンス・チャンネル保護機能

ADG5404Fは、チャンネル・インピーダンスと過電圧信号の両方に敏感な信号チェーン内の保護用回路素子として使用することができます。従来、過電圧状態で敏感な部品を保護するために、直列抵抗が電流を制限していました。

そのような直列抵抗は、信号チェーンの性能に影響を及ぼし、信号チェーンの精度を低下させます。直列抵抗の値は、敏感な部品を十分に保護できるほど大きく、信号チェーンの

高精度性能を犠牲にしないように小さくなるように考慮しなければなりません。

ADG5404Fを使用すると、設計者は、そのような抵抗を使用せずに、回路の保護を損なうことなく高精度性能を得ることができます。

### 高電圧サージ抑制

ADG5404Fは、超高電圧用途には適していません。トランジスタの最高動作電圧は80Vです。入力が降伏電圧を超える過電圧状態となる可能性のある用途では、過渡電圧サプレッサ(TVS)または類似のデバイスを使用してください。

### インテリジェント・フォルト検出

ADG5404Fのデジタル出力ピンFFは、マイクロプロセッサまたはコントロール・システムと接続することができ、割込みフラグとして使用することができます。この機能は、接続するデバイスとシステムの状態に関するリアルタイム診断情報を提供します。

コントロール・システムは、デジタル割込みFFを使用して、以下のように様々なアクションを開始することができます。

- 過電圧フォルトの原因の調査の開始。
- 過電圧状態に応じたクリティカル・システムの遮断。
- データ・レコーダを使ってそのようなイベント中のデータを低信頼性または仕様範囲外としてマーク。

スタートアップ・シーケンス中に影響を受けやすいシステムでは、フラグのアクティブ・ロー動作によって、ADG5404Fが通電されたこととすべての入力電圧が正常動作範囲内にあることをシステムが動作開始前に保証することができます。

FFピンのプルアップ抵抗は小さいため、信号が、複数のデバイスを含むもっと大きいモジュールの単一割込みに組み合わせることができます。

1k $\Omega$ のプルアップ抵抗を使用することにより、回復時間 $t_{DIGREC}$ を標準60 $\mu$ sから600nsに短縮することができます。

特定のフォルト・デジタル出力SFを使用して、どの入力にフォルト状態になっているかを決定することができます。F0とF1の状態によって、特定のピンにフォルト状態が検出されたときにSFピンが0.8Vより低下します(表9参照)。

### 大電圧、高周波数信号

図29は、ADG5404Fが確実に伝えることができる電圧範囲と周波数を示しています。信号が $V_{SS}$ から $V_{DD}$ の最大信号範囲にわたる場合は、周波数を3MHzより低くしてください。必要な周波数が3MHzを超える場合は、信号の完全性を保証するために信号範囲を適切に縮小してください。

## 外形寸法

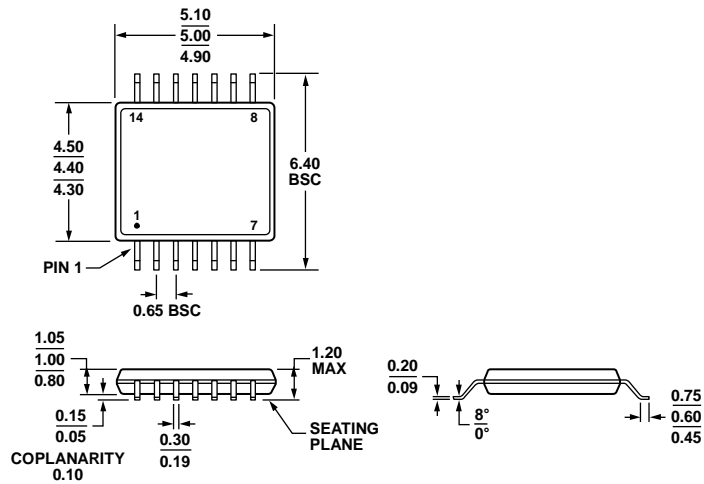


図 49.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-14) 寸法: mm

## オーダー・ガイド

モデル名 <sup>1</sup>	温度範囲	パッケージ	梱包オプション
ADG5404FBRUZ	-40°C~+125°C	14 ピン薄型シュリンク・スモール・アウトライン・パッケージ (TSSOP)	RU-14
ADG5404FBRUZ-RL7	-40°C~+125°C	14 ピン薄型シュリンク・スモール・アウトライン・パッケージ (TSSOP)	RU-14

<sup>1</sup>Z = RoHS 準拠製品