



高温、高電圧、ラッチアップ・プルーフ 8チャンネル・マルチプレクサ

データシート

ADG5298

特長

最高 210 °C の高温動作

ラッチアップ・プルーフ

JESD78D クラス II 等級

低リーク

極めて小さい容量成分とチャージ・インジェクション

ソース端子容量、オフ: 2.9 pF @ ±15 V のデュアル電源

ドレイン端子容量、オフ: 34 pF @ ±15 V のデュアル電源

チャージ・インジェクション: 0.2 pC @ ±15 V のデュアル電源

および +12 V の単電源

低抵抗: 210 °C で 290 Ω (代表値) のデュアル電源

デュアル電源動作: 9 V ~ 22 V

単電源動作: 9 V ~ 40 V

電源の最大定格: 48 V

±15 V、±20 V、+12 V、+36 V の電源で仕様規定

アナログ信号範囲: $V_{SS} \sim V_{DD}$

アプリケーション

ダウンホール掘削および計測器

航空電子機器

重工業

高温環境

概要

ADG5298 は、最大 210 °C で動作するように設計された、ラッチアップ・プルーフのモノリシック CMOS アナログ・マルチプレクサです。ADG5298 は、8 つの入力のいずれか 1ch を 3 ビット A0、A1、A2 で選択し、共通の端子 D に出力します。

EN 入力がデバイスをイネーブルまたはディスエーブルにします。EN を無効にすると、すべてのチャンネルがオフになります。このスイッチは、極めて小さい容量とチャージ・インジェクションを備え、低グリッチと高速セトリングを必要とするデータ・アクイジションやサンプル&ホールドのアプリケーションにとって最適なソリューションになっています。

スイッチをオンにすると、両方向で導通状態となり、電源電圧までの入力信号が可能となります。オフ状態では、電源以下の信号レベルがブロックされます。

このマルチプレクサには、16 ピンのセラミック・フラット・パッケージ (FLATPACK) と上下反転させたガルウィング形状の 16 リードのセラミック・フラット・パッケージ (FLATPACK_RF) があります。どちらのパッケージも、極めて高い温度で耐久性を発揮するように設計されており、最大定格温度で最長 1,000 時間にわたり動作性能が評価されています。

ADG5298 は、アナログ・デバイセズが提供する、高温環境向け認定済みシリーズの製品です。利用可能な高温製品すべての選択表については、www.analog.com/jp/hightemp の製品リストと品質評価データを参照してください。

機能ブロック図

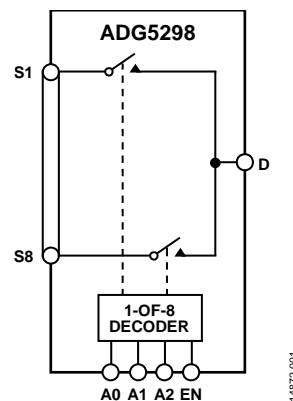


図 1.

製品のハイライト

- トレンチ構造により、ラッチアップから保護し、寄生リークを最低限に抑えます。
誘電体のトレンチで P チャンネル・トランジスタと S チャンネル・トランジスタを分割しているため、過酷な過電圧条件下でもラッチアップを防ぎます。
- ラッチアップ試験 JESD78D クラス II 等級を実現。
ADG5298 は、デバイスの最高温度 (210 °C) で ±500 mA、10 ms パルスのストレスをかけてテストされています。
- 0.2 pC チャージ・インジェクション。
- デュアル電源動作。
アナログ信号がバイポーラの場合、ADG5298 は最大 ±22 V のデュアル電源で動作できます。
- 単電源動作。
アナログ信号がユニポーラの場合、最大 40 V の単電源で動作できます。
- 3 V ロジック互換のデジタル入力。
 $V_{INH} = 2.0 \text{ V}$ 、 $V_{INL} = 0.8 \text{ V}$
- ロジック電源 (V_L) は不要。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	熱抵抗.....	7
アプリケーション.....	1	ESD に関する注意.....	7
概要.....	1	ピン配置およびピン機能の説明.....	8
機能ブロック図.....	1	代表的な性能特性.....	9
製品のハイライト.....	1	テスト回路.....	14
改訂履歴.....	2	用語の定義.....	16
仕様.....	3	動作原理.....	17
±15 V のデュアル電源.....	3	トレンチ・アイソレーション.....	17
±20 V 両電源.....	4	アプリケーション情報.....	18
12 V 単電源.....	5	外形寸法.....	19
36 V 単電源.....	6	オーダー・ガイド.....	20
チャンネルごとの連続電流 (S または D)	6		
絶対最大定格.....	7		

改訂履歴

9/2016—Revision 0: Initial Version

仕様

±15 V のデュアル電源

特に指定のない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 、 $-55\text{ }^\circ\text{C} \leq T_A \leq +210\text{ }^\circ\text{C}$ 。

表 1.

Parameter	Symbol ¹	Test Conditions/Comments ¹	Min	Typ ²	Max	Unit
ANALOG SWITCH						
Analog Signal Range			V_{SS}		V_{DD}	V
On Resistance	R_{ON}	Supply voltage (V_S) = $\pm 10\text{ V}$, drain source current (I_{DS}) = -1 mA , see Figure 31; for maximum R_{ON} , $V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$		290	400	Ω
On-Resistance Match Between Channels	ΔR_{ON}	$V_S = \pm 10\text{ V}$, $I_{DS} = -1\text{ mA}$		2.0	10	Ω
On-Resistance Flatness	$R_{FLAT(ON)}$	$V_S = \pm 10\text{ V}$, $I_{DS} = -1\text{ mA}$		60	130	Ω
LEAKAGE CURRENTS						
Source Off Leakage	I_S (off)	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$, see Figure 32	-8	± 0.005	+8	nA
Drain Off Leakage	I_D (off)	$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$, see Figure 32	-60	± 0.005	+60	nA
Channel On Leakage	I_D (on), I_S (on)	$V_S = V_D = \pm 10\text{ V}$, see Figure 30	-70	± 0.01	+70	nA
DIGITAL INPUTS						
Input High Voltage	V_{INH}		2.0			V
Input Low Voltage	V_{INL}				0.8	V
Input Current	I_{INL} or I_{INH}	Input voltage (V_{IN}) = ground voltage (V_{GND}) or V_{DD}	-0.1	+0.002	+0.1	μA
Digital Input Capacitance	C_{IN}			3		pF
DYNAMIC CHARACTERISTICS³						
Transition Time	$t_{TRANSITION}$	Load resistance (R_L) = $300\ \Omega$, load capacitance (C_L) = 35 pF , $V_S = 10\text{ V}$, see Figure 36		150	335	ns
On Time	t_{ON} (EN)	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$, $V_S = 10\text{ V}$, see Figure 38		125	275	ns
Off Time	t_{OFF} (EN)	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$, $V_S = 10\text{ V}$, see Figure 38		160	275	ns
Break-Before-Make Time Delay	t_D	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$, S1 voltage (V_{S1}) = S2 voltage (V_{S2}) = 10 V , see Figure 37	25	55		ns
Charge Injection	Q_{INJ}	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$, see Figure 39		0.2		pC
Off Isolation		$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 34		86		dB
Channel to Channel Crosstalk		$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 33		-80		dB
-3 dB Bandwidth		$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, see Figure 35		110		MHz
Source Capacitance, Off	C_S (off)	$V_S = 0\text{ V}$, frequency (f) = 1 MHz		2.9		pF
Drain Capacitance, Off	C_D (off)	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$		34		pF
Source/Drain Capacitance, On	C_D (on), C_S (on)	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$		37		pF
POWER REQUIREMENTS						
Supply Current		$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$				
Positive	I_{DD}	Digital inputs = 0 V or 5 V , see Figure 28		60	80	μA
Negative	I_{SS}	Digital inputs = 0 V or 5 V , see Figure 29		10	20	μA
Ground Current	I_{GND}	Digital inputs = 0 V or 5 V		60	80	μA
Supply Range	V_{DD}/V_{SS}	$GND = 0\text{ V}$	± 9		± 22	V

¹用語の定義のセクションを参照してください。

² $T_A = 25\text{ }^\circ\text{C}$ 。アナログ・スイッチと電源の要件値 $T_A = 210\text{ }^\circ\text{C}$ を除く。

³設計上の性能は確保していますが、出荷テストの対象外です。

±20 V 両電源

特に指定のない限り、 $V_{DD} = +20\text{ V} \pm 10\%$ 、 $V_{SS} = -20\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 、 $-55\text{ }^\circ\text{C} \leq T_A \leq +210\text{ }^\circ\text{C}$ 。

表 2.

Parameter	Symbol ¹	Test Conditions/Comments ¹	Min	Typ ²	Max	Unit
ANALOG SWITCH						
Analog Signal Range			V_{SS}		V_{DD}	V
On Resistance	R_{ON}	$V_S = \pm 15\text{ V}$, $I_{DS} = -1\text{ mA}$, see Figure 31; for maximum R_{ON} , $V_{DD} = +18\text{ V}$, $V_{SS} = -18\text{ V}$		240	350	Ω
On-Resistance Match Between Channels	ΔR_{ON}	$V_S = \pm 15\text{ V}$, $I_{DS} = -1\text{ mA}$		1.5	10	Ω
On-Resistance Flatness	$R_{FLAT(ON)}$	$V_S = \pm 15\text{ V}$, $I_{DS} = -1\text{ mA}$		55	110	Ω
LEAKAGE CURRENTS						
Source Off Leakage	$I_S(\text{off})$	$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$ $V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$, see Figure 32	-8	± 0.005	+8	nA
Drain Off Leakage	$I_D(\text{off})$	$V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$, see Figure 32	-60	± 0.005	+60	nA
Channel On Leakage	$I_D(\text{on})$, $I_S(\text{on})$	$V_S = V_D = \pm 15\text{ V}$, see Figure 30	-70	± 0.01	+70	nA
DIGITAL INPUTS						
Input High Voltage	V_{INH}		2.0			V
Input Low Voltage	V_{INL}				0.8	V
Input Current	I_{INL} or I_{INH}	$V_{IN} = V_{GND}$ or V_{DD}	-0.1	+0.002	+0.1	μA
Digital Input Capacitance	C_{IN}			3		pF
DYNAMIC CHARACTERISTICS³						
Transition Time	$t_{TRANSITION}$	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$, $V_S = 10\text{ V}$, see Figure 36		140	305	ns
On Time	$t_{ON(EN)}$	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$, $V_S = 10\text{ V}$, see Figure 38		120	245	ns
Off Time	$t_{OFF(EN)}$	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$, $V_S = 10\text{ V}$, see Figure 38		160	260	ns
Break-Before-Make Time Delay	t_D	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$, $V_{S1} = V_{S2} = 10\text{ V}$, see Figure 37	20	45		ns
Charge Injection	Q_{INJ}	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$, see Figure 39		0.4		pC
Off Isolation		$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 34		86		dB
Channel to Channel Crosstalk		$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 33		-80		dB
-3 dB Bandwidth		$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, see Figure 35		121		MHz
Source Capacitance, Off	$C_S(\text{off})$	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$		2.8		pF
Drain Capacitance, Off	$C_D(\text{off})$	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$		33		pF
Source/Drain Capacitance, On	$C_D(\text{on})$, $C_S(\text{on})$	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$		36		pF
POWER REQUIREMENTS						
Supply Current		$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$				
Positive	I_{DD}	Digital inputs = 0 V or 5 V, see Figure 28		60	120	μA
Negative	I_{SS}	Digital inputs = 0 V or 5 V, see Figure 29		10	20	μA
Ground Current	I_{GND}	Digital inputs = 0 V or 5 V		60	120	μA
Supply Range	V_{DD}/V_{SS}	$GND = 0\text{ V}$	± 9		± 22	V

¹用語の定義のセクションを参照してください。

² $T_A = 25\text{ }^\circ\text{C}$ 。アナログ・スイッチと電源の要件値 $T_A = 210\text{ }^\circ\text{C}$ を除く。

³設計上の性能は確保していますが、出荷テストの対象外です。

12 V 単電源

特に指定のない限り、12 V ± 10 %、V_{SS} = 0 V、GND = 0 V、-55 °C ≤ T_A ≤ +210 °C。

表 3.

Parameter	Symbol ¹	Test Conditions/Comments ¹	Min	Typ ²	Max	Unit
ANALOG SWITCH						
Analog Signal Range			V _{SS}		V _{DD}	V
On Resistance	R _{ON}	V _S = 0 V to 10 V, I _{DS} = -1 mA, see Figure 31; for maximum R _{ON} , V _{DD} = 10.8 V, V _{SS} = 0 V		650	800	Ω
On-Resistance Match Between Channels	ΔR _{ON}	V _S = 0 V to 10 V, I _{DS} = -1 mA		3	24	Ω
On-Resistance Flatness	R _{FLAT (ON)}	V _S = 0 V to 10 V, I _{DS} = -1 mA		240	380	Ω
LEAKAGE CURRENTS						
Source Off Leakage	I _S (off)	V _{DD} = 13.2 V, V _{SS} = 0 V V _S = 1 V/10 V, V _D = 10 V/1 V, see Figure 32	-8	±0.005	+8	nA
Drain Off Leakage	I _D (off)	V _S = 1 V/10 V, V _D = 10 V/1 V, see Figure 32	-60	±0.005	+60	nA
Channel On Leakage	I _D (on), I _S (on)	V _S = V _D = 1 V/10 V, see Figure 30	-70	±0.01	+70	nA
DIGITAL INPUTS						
Input High Voltage	V _{INH}		2.0			V
Input Low Voltage	V _{INL}				0.8	V
Input Current	I _{INL} or I _{INH}	V _{IN} = V _{GND} or V _{DD}	-0.1	+0.002	+0.1	μA
Digital Input Capacitance	C _{IN}			3		pF
DYNAMIC CHARACTERISTICS³						
Transition Time	t _{TRANSITION}	R _L = 300 Ω, C _L = 35 pF, V _S = 8 V, see Figure 36		200	490	ns
On Time	t _{ON (EN)}	R _L = 300 Ω, C _L = 35 pF, V _S = 8 V, see Figure 38		180	435	ns
Off Time	t _{OFF (EN)}	R _L = 300 Ω, C _L = 35 pF, V _S = 8 V, see Figure 38		165	305	ns
Break-Before-Make Time Delay	t _D	R _L = 300 Ω, C _L = 35 pF, V _{S1} = V _{S2} = 8 V, see Figure 37	40	95		ns
Charge Injection	Q _{INJ}	V _S = 6 V, R _S = 0 Ω, C _L = 1 nF, see Figure 39		0.2		pC
Off Isolation		R _L = 50 Ω, C _L = 5 pF, f = 1 MHz, see Figure 34		-86		dB
Channel to Channel Crosstalk		R _L = 50 Ω, C _L = 5 pF, f = 1 MHz, see Figure 33		-80		dB
-3 dB Bandwidth		R _L = 50 Ω, C _L = 5 pF, see Figure 35		95		MHz
Source Capacitance, Off	C _S (off)	V _S = 6 V, f = 1 MHz		3.3		pF
Drain Capacitance, Off	C _D (off)	V _S = 6 V, f = 1 MHz		38		pF
Source/Drain Capacitance, On	C _D (on), C _S (on)	V _S = 6 V, f = 1 MHz		41		pF
POWER REQUIREMENTS						
Supply Current		V _{DD} = 13.2 V				
Positive	I _{DD}	Digital inputs = 0 V or 5 V, see Figure 28		50	75	μA
Negative	I _{SS}	Digital inputs = 0 V or 5 V, see Figure 29		7.5	15	μA
Ground Current	I _{GND}	Digital inputs = 0 V or 5 V		50	75	μA
Supply Range	V _{DD} /V _{SS}	GND = 0 V, V _{SS} = 0 V	9		40	V

¹用語の定義のセクションを参照してください。

²T_A = 25 °C。アナログ・スイッチと電源の要件値 T_A = 210 °C を除く。

³設計上の性能は確保していますが、出荷テストの対象外です。

36 V 単電源

特に指定のない限り、 $36\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $\text{GND} = 0\text{ V}$ 、 $-55\text{ }^\circ\text{C} \leq T_A \leq +210\text{ }^\circ\text{C}$ 。

表 4.

Parameter	Symbol ¹	Test Conditions/ Comments ¹	Min	Typ ²	Max	Unit
ANALOG SWITCH						
Analog Signal Range			V_{SS}		V_{DD}	V
On Resistance	R_{ON}	$V_S = 0\text{ V}$ to 30 V , $I_{DS} = -1\text{ mA}$, see Figure 31; for maximum R_{ON} , $V_{DD} = 32.4\text{ V}$, $V_{SS} = 0\text{ V}$		260	350	Ω
On-Resistance Match Between Channels	ΔR_{ON}	$V_S = 0\text{ V}$ to 30 V , $I_{DS} = -1\text{ mA}$		1.5	10	Ω
On-Resistance Flatness	$R_{FLAT(ON)}$	$V_S = 0\text{ V}$ to 30 V , $I_{DS} = -1\text{ mA}$		55	110	Ω
LEAKAGE CURRENTS						
Source Off Leakage	$I_S(\text{off})$	$V_{DD} = 13.2\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$, see Figure 32	-8	± 0.005	+8	nA
Drain Off Leakage	$I_D(\text{off})$	$V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$, see Figure 32	-60	± 0.005	+60	nA
Channel On Leakage	$I_D(\text{on})$, $I_S(\text{on})$	$V_S = V_D = 1\text{ V}/10\text{ V}$, see Figure 30	-70	± 0.01	+70	nA
DIGITAL INPUTS						
Input High Voltage	V_{INH}		2.0			V
Input Low Voltage	V_{INL}				0.8	V
Input Current	I_{INL} or I_{INH}	$V_{IN} = V_{GND}$ or V_{DD}	-0.1	+0.002	+0.1	μA
Digital Input Capacitance	C_{IN}			3		pF
DYNAMIC CHARACTERISTICS³						
Transition Time	$t_{TRANSITION}$	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$, $V_S = 18\text{ V}$, see Figure 36		170	320	ns
On Time	$t_{ON(EN)}$	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$, $V_S = 18\text{ V}$, see Figure 38		150	265	ns
Off Time	$t_{OFF(EN)}$	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$, $V_S = 18\text{ V}$, see Figure 38		180	265	ns
Break-Before-Make Time Delay	t_D	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$, $V_{S1} = V_{S2} = 18\text{ V}$, see Figure 37	20	55		ns
Charge Injection	Q_{INJ}	$V_S = 6\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$, see Figure 39		0.3		pC
Off Isolation		$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 34		-86		dB
Channel to Channel Crosstalk		$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 33		-80		dB
-3 dB Bandwidth		$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, see Figure 35		105		MHz
Source Capacitance, Off	$C_S(\text{off})$	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$		2.7		pF
Drain Capacitance, Off	$C_D(\text{off})$	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$		32		pF
Source/Drain Capacitance, On	$C_D(\text{on})$, $C_S(\text{on})$	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$		35		pF
POWER REQUIREMENTS						
Supply Current		$V_{DD} = 13.2\text{ V}$				
Positive	I_{DD}	Digital inputs = 0 V or 5 V , see Figure 28		80	155	μA
Negative	I_{SS}	Digital inputs = 0 V or 5 V , see Figure 29		10	20	μA
Ground Current	I_{GND}	Digital inputs = 0 V or 5 V		80	155	μA
Supply Range	V_{DD}/V_{SS}	$\text{GND} = 0\text{ V}$, $V_{SS} = 0\text{ V}$	9		40	V

¹用語の定義のセクションを参照してください。

² $T_A = 25\text{ }^\circ\text{C}$ 。アナログ・スイッチと電源の要件値 $T_A = 210\text{ }^\circ\text{C}$ を除く。

³設計上の性能は確保していますが、出荷テストの対象外です。

チャネルごとの連続電流 (SX または D)

表 5.

Parameter	Test Conditions/Comments	175°C	210°C	Unit
CONTINUOUS CURRENT (SX OR D)				
	$\theta_{JA} = 70\text{ }^\circ\text{C}/\text{W}$			
$V_{DD} = +15\text{ V}$, $V_{SS} = -15\text{ V}$		10	10	mA maximum
$V_{DD} = +20\text{ V}$, $V_{SS} = -20\text{ V}$		10	10	mA maximum
$V_{DD} = 12\text{ V}$, $V_{SS} = 0\text{ V}$		6	6	mA maximum
$V_{DD} = 36\text{ V}$, $V_{SS} = 0\text{ V}$		10	10	mA maximum

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to V_{SS}	48 V
V_{DD} to GND	-0.3 V to +48 V
V_{SS} to GND	+0.3 V to -48 V
Analog Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Digital Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Peak Current, Sx or D Pins	31 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or D Pins ²	Data + 5%
Temperature Range	-55°C to $+210^\circ\text{C}$
Junction Temperature	212°C
Reflow Soldering Peak Temperature, Pb Free	260°C (+ 0°C / - 5°C)

¹ Ax, EN, Sx, D ピンでの過電圧は内部ダイオードでクランプされます。電流は、規定の最大定格に制限してください。

² 表 5 を参照。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この仕様規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間にわたり絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

同時に複数の絶対最大定格の条件を適用することはできません。

熱抵抗

熱性能は、プリント回路ボード (PCB) の設計と動作環境に直接関連があります。PCB の熱設計には、細心の注意を払う必要があります。

表 7. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
F-16-1 ¹	70	22	$^\circ\text{C}/\text{W}$
FR-16-1 ¹	70	10	$^\circ\text{C}/\text{W}$

¹ 熱抵抗のシミュレーション値は、JEDEC 2s2p サーマル・テスト・ボードに基づいています。JEDEC JESD51 参照

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

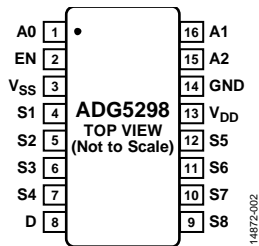


図 2. FLATPACK のピン配置

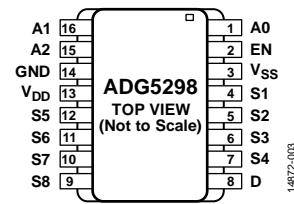


図 3. リバース形式 FLATPACK のピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1	A0	ロジック・コントロール入力 0。
2	EN	アクティブ・ハイのデジタル入力。ロー・レベルでは、デバイスはディスエーブルになり、すべてのスイッチがオフになります。ハイ・レベルでは、イネーブルとなり Ax ロジック入力でスイッチの制御を可能にします。
3	V _{SS}	負電源の電位。単電源アプリケーションでは、このピンはグラウンドに接続されます。
4	S1	ソース端子 1。このピンは、入力または出力に設定できます。
5	S2	ソース端子 2。このピンは、入力または出力に設定できます。
6	S3	ソース端子 3。このピンは、入力または出力に設定できます。
7	S4	ソース端子 4。このピンは、入力または出力に設定できます。
8	D	ドレイン端子。このピンは、入力または出力に設定できます。
9	S8	ソース端子 8。このピンは、入力または出力に設定できます。
10	S7	ソース端子 7。このピンは、入力または出力に設定できます。
11	S6	ソース端子 6。このピンは、入力または出力に設定できます。
12	S5	ソース端子 5。このピンは、入力または出力に設定できます。
13	V _{DD}	正電源の電位。
14	GND	グラウンド・リファレンス (0 V)。
15	A2	ロジック・コントロール入力 2。
16	A1	ロジック・コントロール入力 1。

表 9. 真理値表

A2	A1	A0	EN	オン・スイッチ
X ¹	X ¹	X ¹	0	None
0	0	0	1	S1
0	0	1	1	S2
0	1	0	1	S3
0	1	1	1	S4
1	0	0	1	S5
1	0	1	1	S6
1	1	0	1	S7
1	1	1	1	S8

¹ X はドントケア。

代表的な性能特性

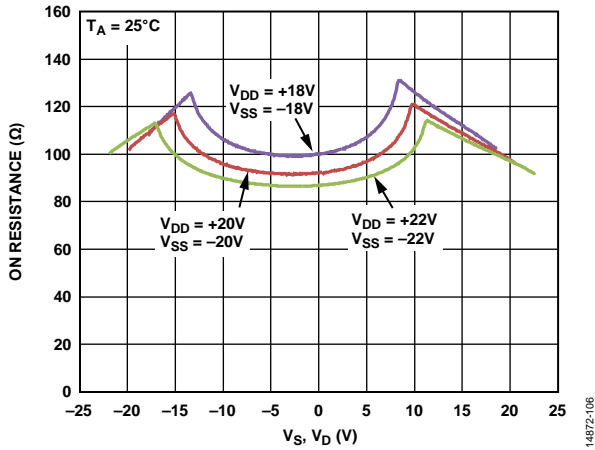


図 4. V_S 、 V_D とオン抵抗 (R_{ON}) の関係、 (± 20 V デュアル電源)

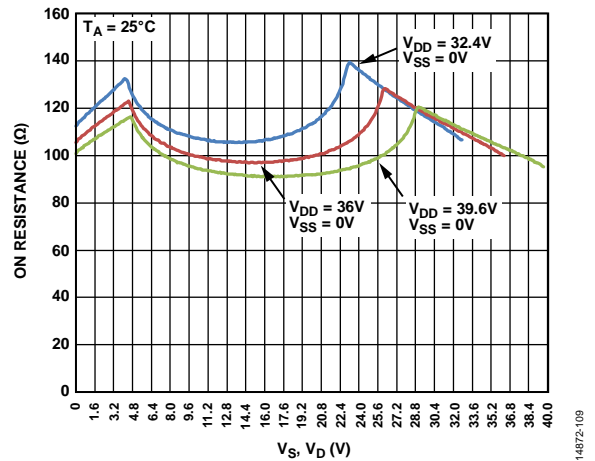


図 7. V_S 、 V_D とオン抵抗 (R_{ON}) の関係、 (36 V 単電源)

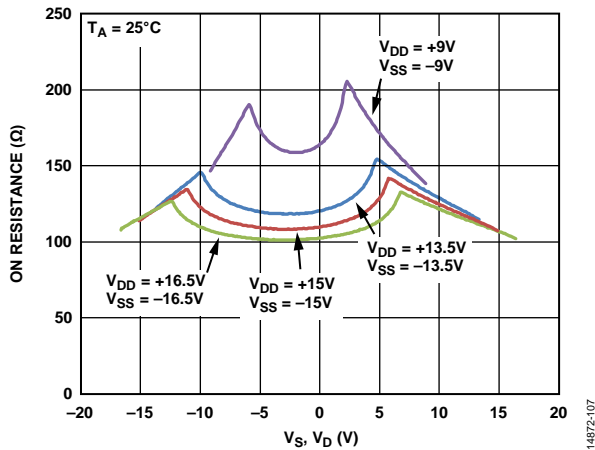


図 5. V_S 、 V_D とオン抵抗 (R_{ON}) の関係、 (± 15 V デュアル電源)

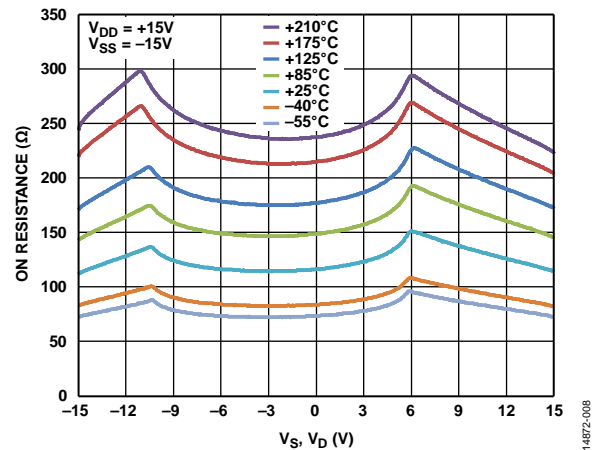


図 8. V_S 、 V_D と様々な温度でのオン抵抗 (R_{ON}) の関係、 ± 15 V デュアル電源

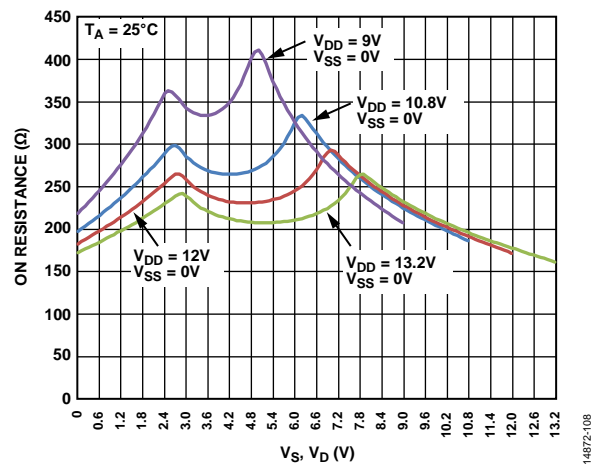


図 6. V_S 、 V_D とオン抵抗 (R_{ON}) の関係、 (12 V 単電源)

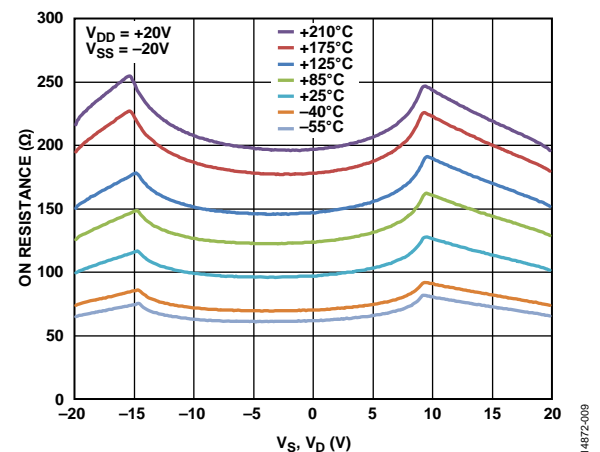


図 9. V_S 、 V_D と様々な温度でのオン抵抗 (R_{ON}) の関係、 ± 20 V デュアル電源

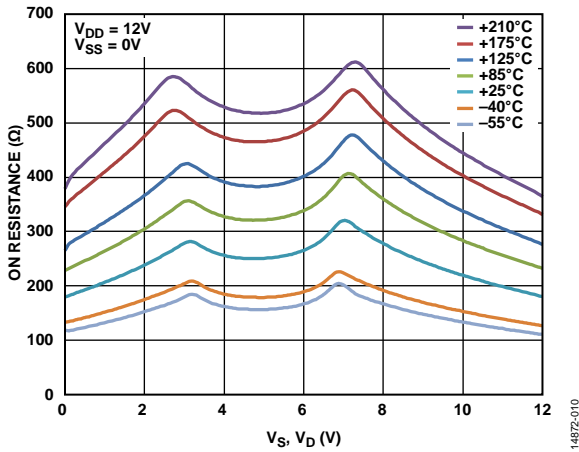


図 10. V_S 、 V_D と様々な温度でのオン抵抗 (R_{ON}) の関係、 $\pm 12V$ 単電源

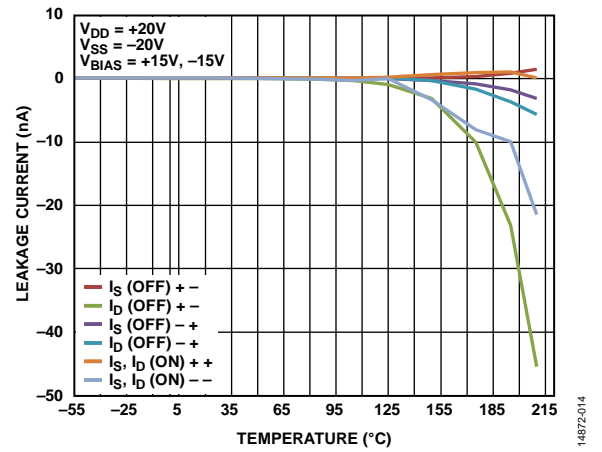


図 13. リーク電流の温度特性、 $\pm 20V$ デュアル電源

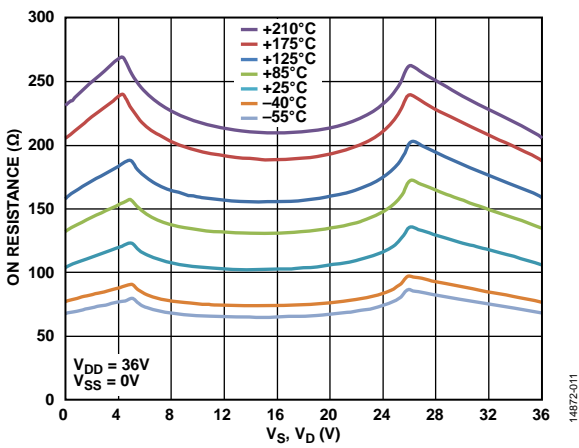


図 11. V_S 、 V_D と様々な温度でのオン抵抗 (R_{ON}) の関係、 $\pm 36V$ 単電源

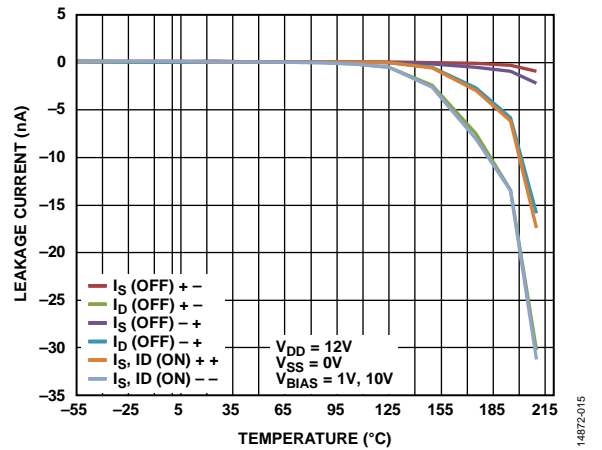


図 14. リーク電流の温度特性、 $12V$ 単電源

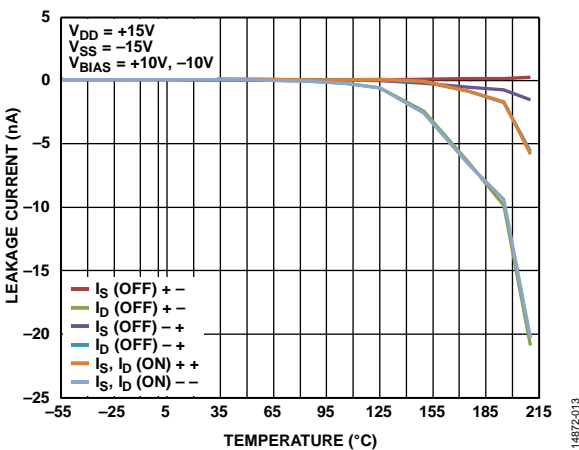


図 12. リーク電流の温度特性、 $\pm 15V$ デュアル電源

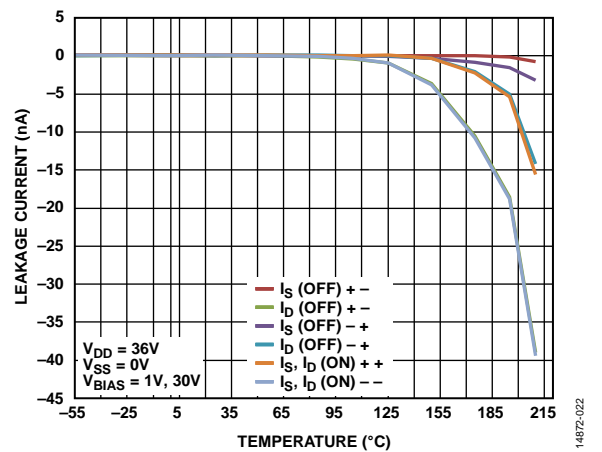


図 15. リーク電流の温度特性、 $36V$ 単電源

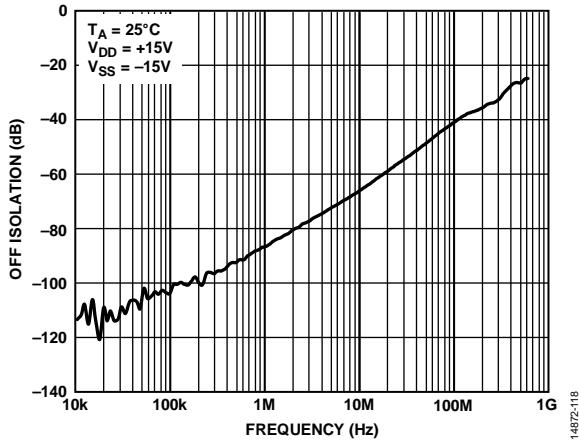


図 16. オフ・アイソレーションの周波数特性、
±15 V デュアル電源

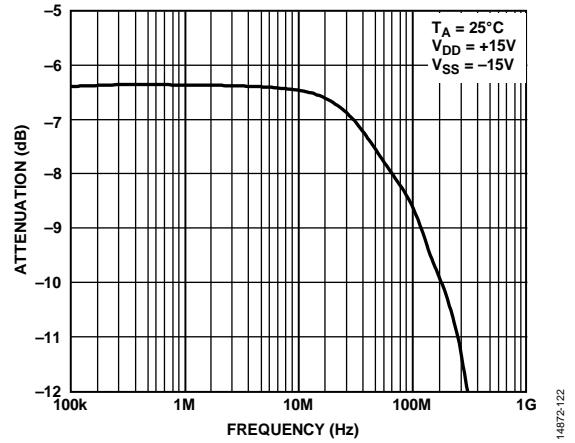


図 19. 減衰の周波数特性、±15 V デュアル電源

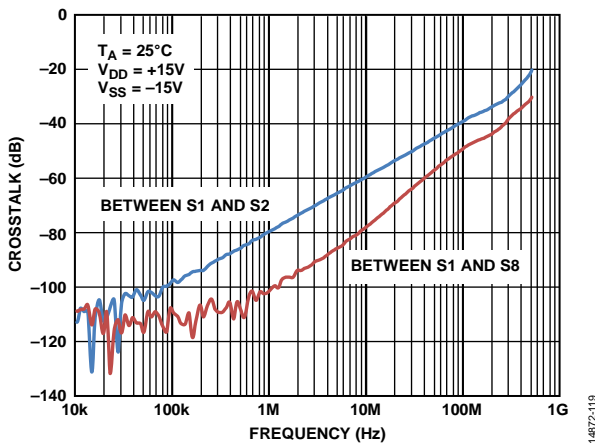


図 17. クロストークの周波数特性、±15 V デュアル電源

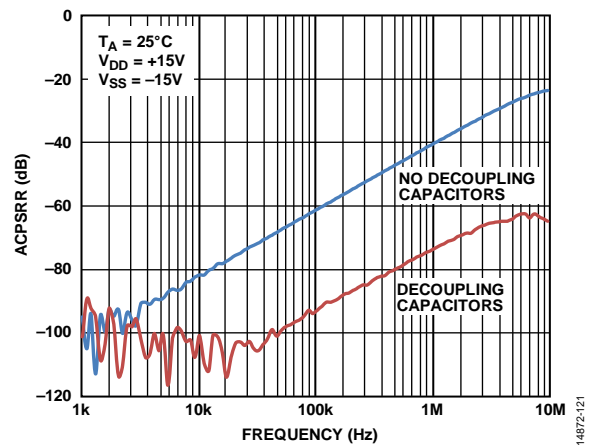


図 20. AC 電源電圧変動除去比の周波数特性、
±15 V デュアル電源

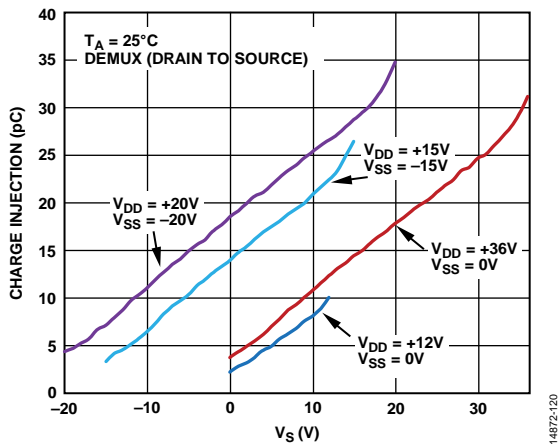


図 18. チャージ・インJECTION (Q_{INJ}) の
ソース電圧 (V_S) 特性、ドレイン-ソース間

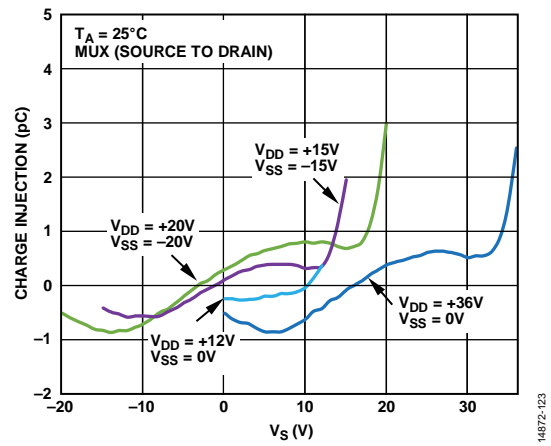


図 21. チャージ・インJECTION (Q_{INJ}) の
ソース電圧 (V_S) 特性、ソース-ドレイン間

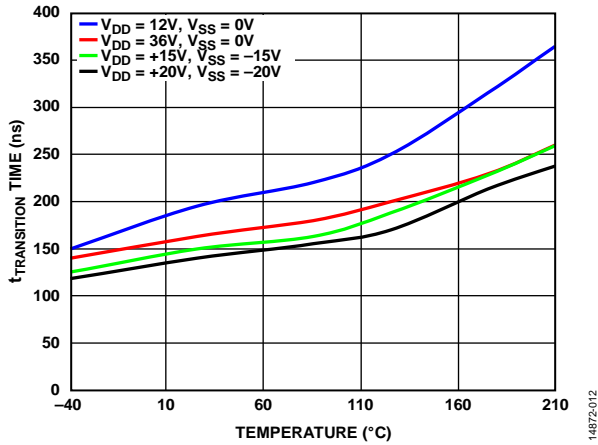


図 22. $t_{\text{TRANSITION}}$ 時間の温度特性

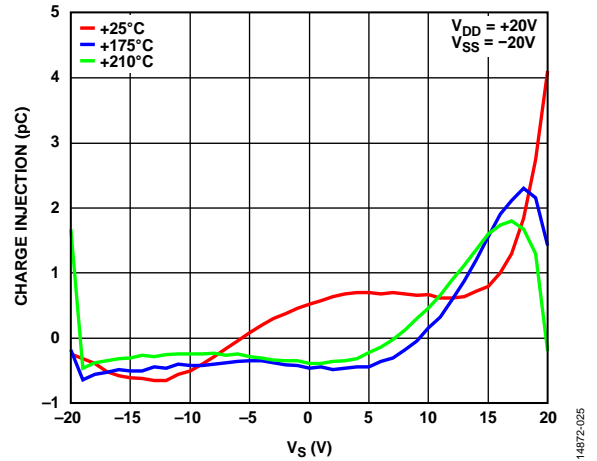


図 25. V_s と様々な温度でのチャージ・インジェクションの関係、 $\pm 20\text{ V}$ デュアル電源

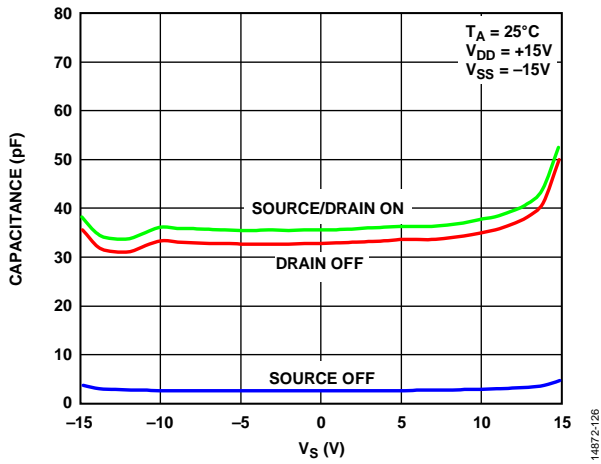


図 23. 容量のソース電圧特性、 $\pm 15\text{ V}$ デュアル電源

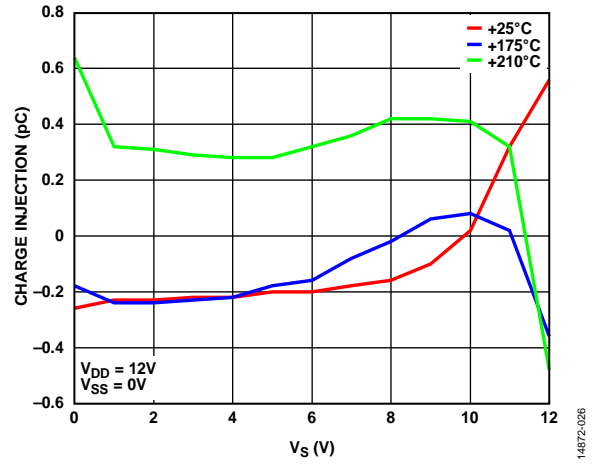


図 26. V_s と様々な温度でのチャージ・インジェクションの関係、 12 V 単電源

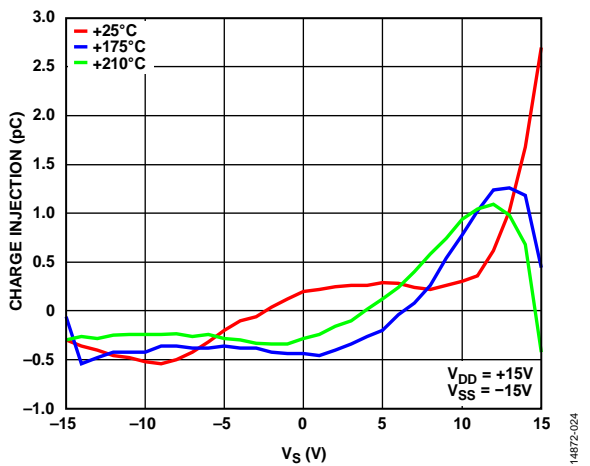


図 24. V_s と様々な温度でのチャージ・インジェクションの関係、 $\pm 15\text{ V}$ デュアル電源

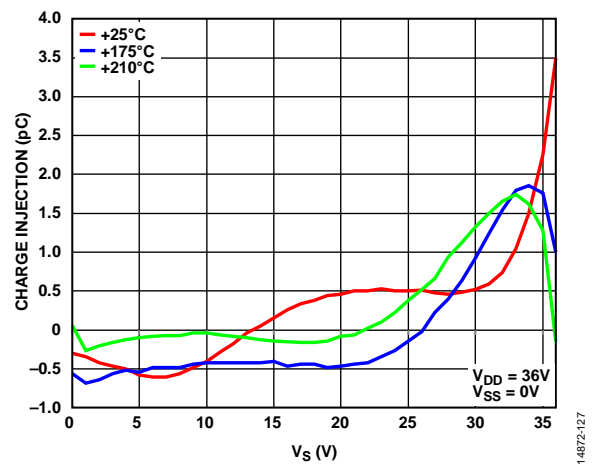


図 27. V_s と様々な温度でのチャージ・インジェクションの関係、 36 V 単電源

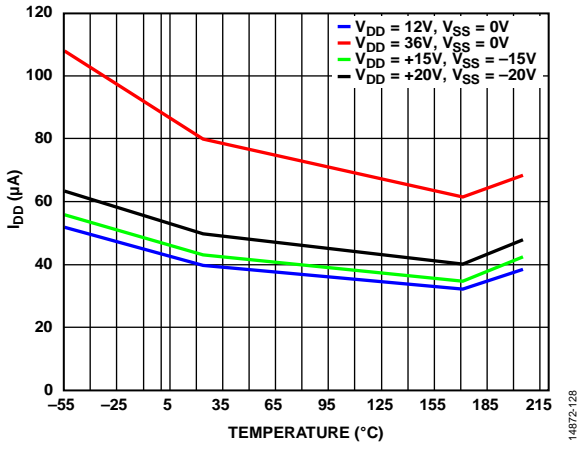


図 28. I_{DD} の温度特性

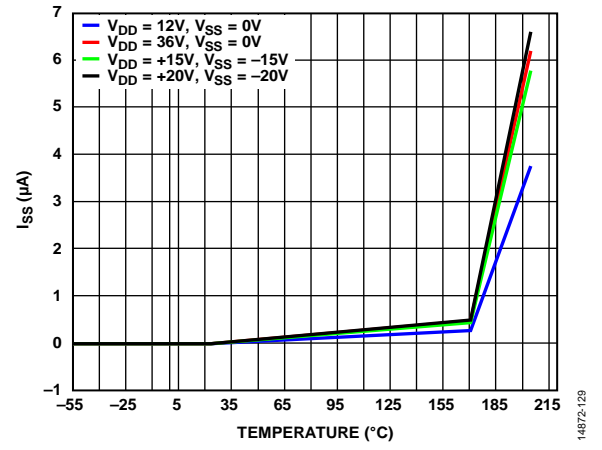


図 29. I_{SS} の温度特性

テスト回路

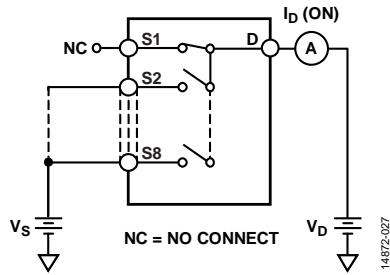


図 30. オン・リーク

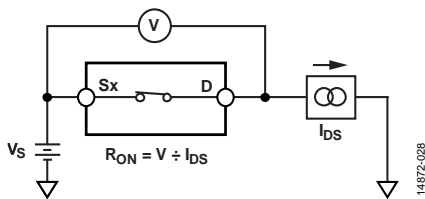


図 31. オン抵抗

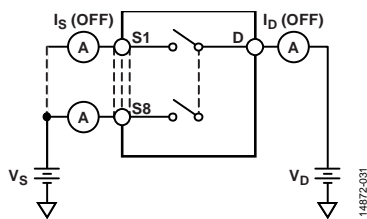


図 32. オフ・リーク

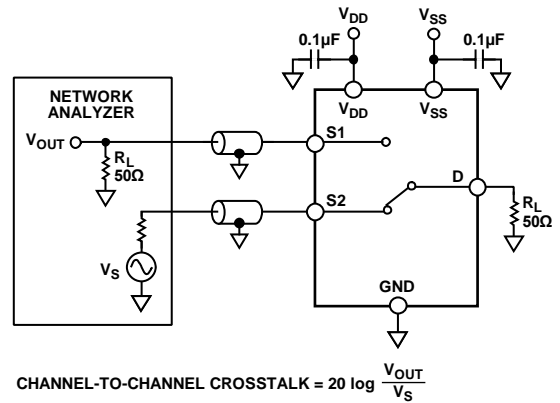


図 33. チャンネル間クロストーク

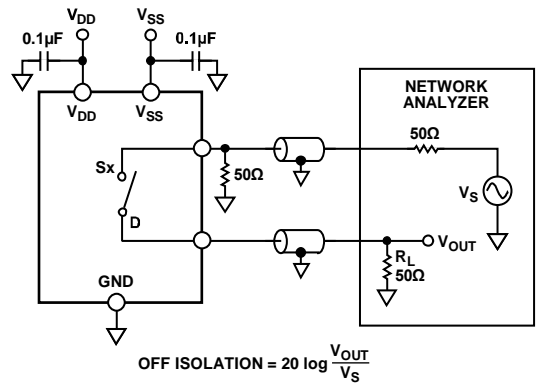


図 34. オフ・アイソレーション

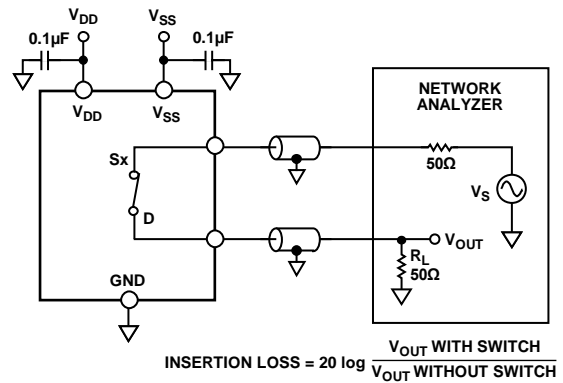


図 35. -3 dB 帯域幅

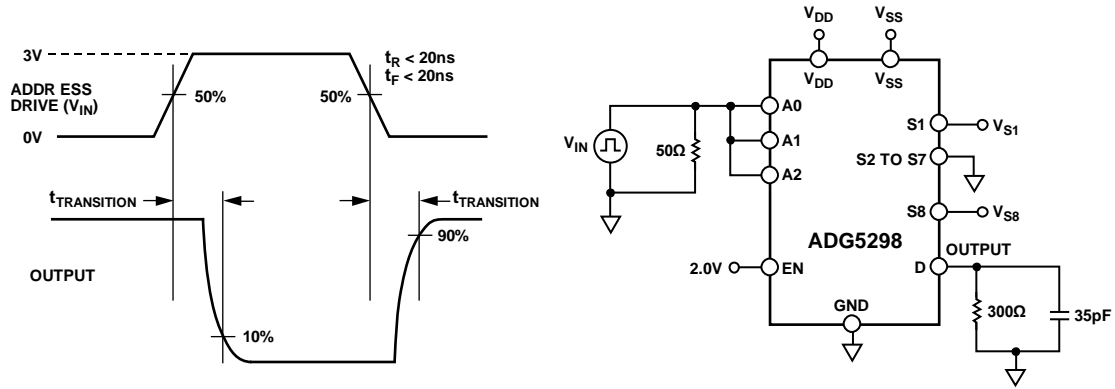


図 36. 出力切り替え時間のアドレス、 $t_{\text{TRANSITION}}$

14872-034

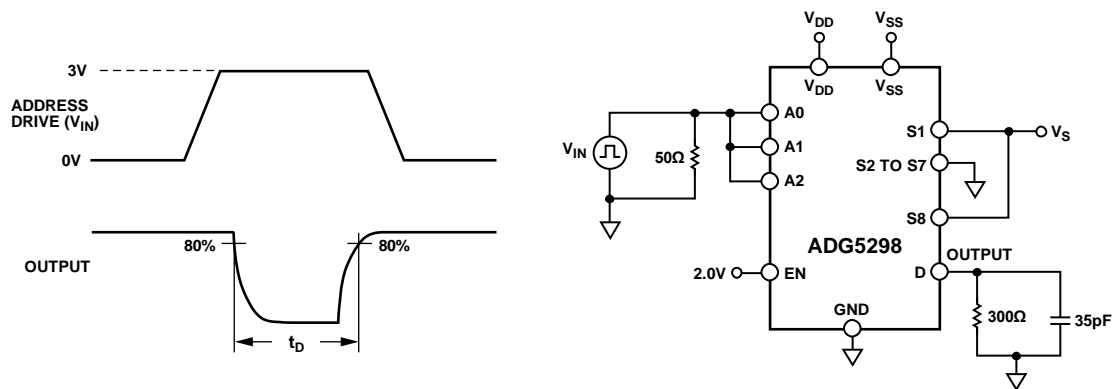


図 37. ブレークビフォアメイクの遅延時間、 t_d

14872-035

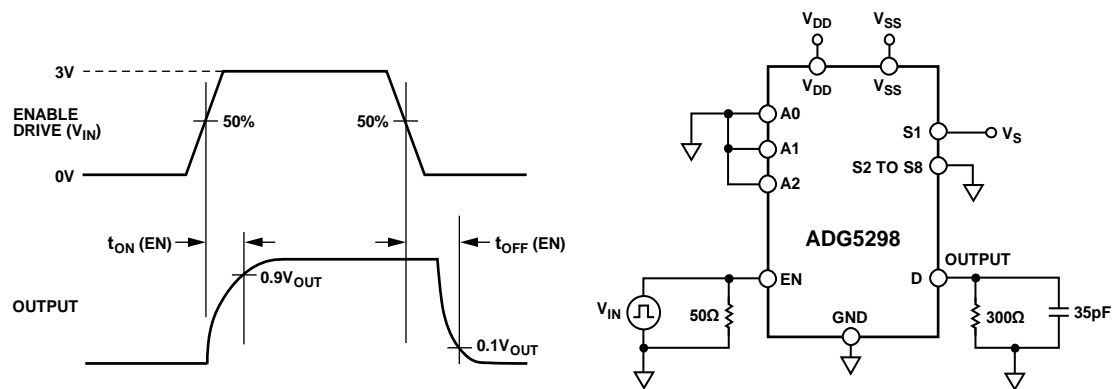


図 38. イネーブル遅延、 $t_{\text{ON}}(\text{EN})$ 、 $t_{\text{OFF}}(\text{EN})$

14872-036

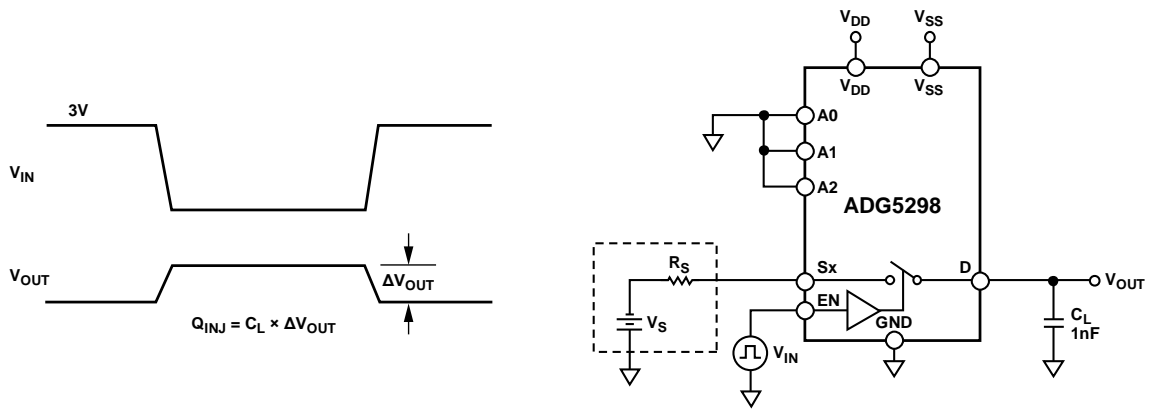


図 39. チャージ・インJECTION、 Q_{INJ}

14872-037

用語の定義

I_{DD}

正側電源の電流。

I_{SS}

負側電源の電流。

V_D、V_S

端子 D と端子 S_x のアナログ電圧。

R_{ON}

端子 D と端子 S_x の間の抵抗。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

R_{FLAT (ON)}

仕様規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義される抵抗値の平坦性。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (Off)

スイッチ・オフ時のドレイン・リーク電流。

I_D (On) 、 I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL}、 I_{INH}

デジタル入力のロー・レベルおよびハイ・レベルでの入力電流。

C_D (Off)

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_S (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_D (On) 、 C_S (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON} (EN)

デジタル入力の 50 % ~ 90 % ポイントとスイッチ・オン状態との間の遅延時間。

t_{OFF} (EN)

デジタル入力の 50 % ~ 90 % ポイントとスイッチ・オフ状態との間の遅延時間。

t_{TRANSITION}

あるアドレス状態から別のアドレス状態へ切り替わるときのデジタル入力の 50 % ~ 90 % ポイントとスイッチ・オン状態の間の遅延時間。

ブレイクビフォアメイクの遅延時間 (t_b)

あるアドレス状態から別のアドレス状態へ切り替わるとき、両方のスイッチの 80 % ポイント間で測定されるオフ時間。

オフ・アイソレーション

オフ・チャンネルに混入する不要な信号の大きさ。

チャージ・インジェクション

スイッチ切り替え中にデジタル入力からアナログ出力に混入するグリッチ・インパルス大きさ。

クロストーク

寄生容量に起因する 1 つのチャンネルから別のチャンネルに混入する不要な信号の大きさ。

帯域幅

出力が -3 dB 減衰する周波数。

AC 電源電圧変動除去比 (ACPSRR)

電源ピンに重畳するノイズとスプリアス信号がスイッチ出力へ混入する大きさで、どれほど抑止されているかを示します。電源に 0.62 V_{p-p} のサイン波を加え、出力に現れる振幅の比が ACPSRR です。

動作原理

ADG5298 は、非常に高い温度でも動作するように設計された、ラッチアップ・プルーフの双方向 8:1 CMOS マルチプレクサです。スイッチは、4つのパラレル・デジタル入力 (EN、A0、A1、A2) で制御されます。EN 入力を使用して、ADG5298 のイネーブル/ディスエーブルを切り替えます。ADG5298 をディスエーブルにすると、ソース・ピン (S1 ~ S8) とドレイン・ピン (D) はオフにされます。ADG5298 をイネーブルにすると、ドレイン・ピン (D) に接続するソース・ピン (S1 ~ S8) がアドレス・ライン (A0、A1、A2) によって選択されます。

トレンチ・アイソレーション

ADG5298 では、各 CMOS スイッチの N チャンネル MOS (NMOS) と P チャンネル MOS (PMOS) トランジスタの間に絶縁酸化物層 (トレンチ) が配置されています。接合部を絶縁することで、スイッチ内のトランジスタ間で発生する寄生ジャンクションがなくなるため、温度変化によるリークを最低限に抑える完全なラッチアップ・プルーフ・スイッチになります。

ジャンクション絶縁では、PMOS トランジスタと NMOS トランジスタの N ウェルと P ウェルが、通常動作時に逆方向バイアスのダイオードを形成します。ただし、過電圧状態では、このダイオードは順方向バイアスになります。SCR タイプの回路は、2 個のトランジスタで形成されます。このため、電流が大幅に増幅され、結果としてラッチアップが発生します。トレンチ絶縁では、このダイオードが除去され、ラッチアップ・プルーフ・スイッチになります。

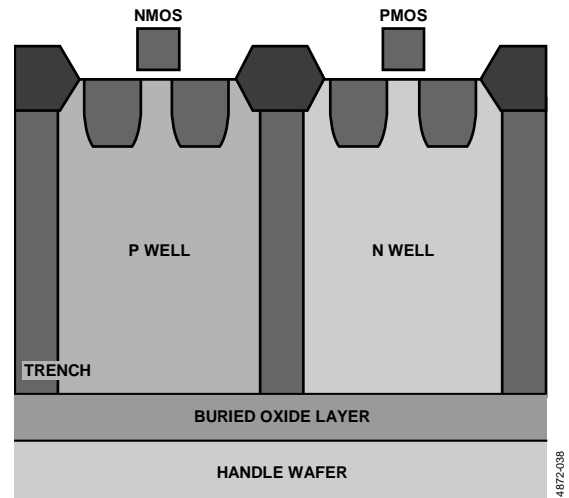


図 40. トレンチ絶縁

アプリケーション情報

このスイッチは、極めて小さい容量とチャージ・インジェクションを備え、低グリッチと高速セトリングを必要とするデータ・アキュジションやサンプル&ホールドのアプリケーションにとって最適なソリューションになっています。

ADG5298 は、 $-55\text{ }^{\circ}\text{C}$ ~ $+210\text{ }^{\circ}\text{C}$ の広い温度範囲で動作します。広い温度範囲とラッチアップなしの低リーク機能を組み合わせた ADG5298 は、ダウンホール掘削や航空工学などの過酷な環境での使用に適しています。ADG5298 は、ラッチアップ試験 JESD78D クラス II 等級を取得済みで、デバイスの最高温度 ($210\text{ }^{\circ}\text{C}$) で $\pm 500\text{ mA}$ 、 10 ms パルスのストレスを処理します。

外形寸法

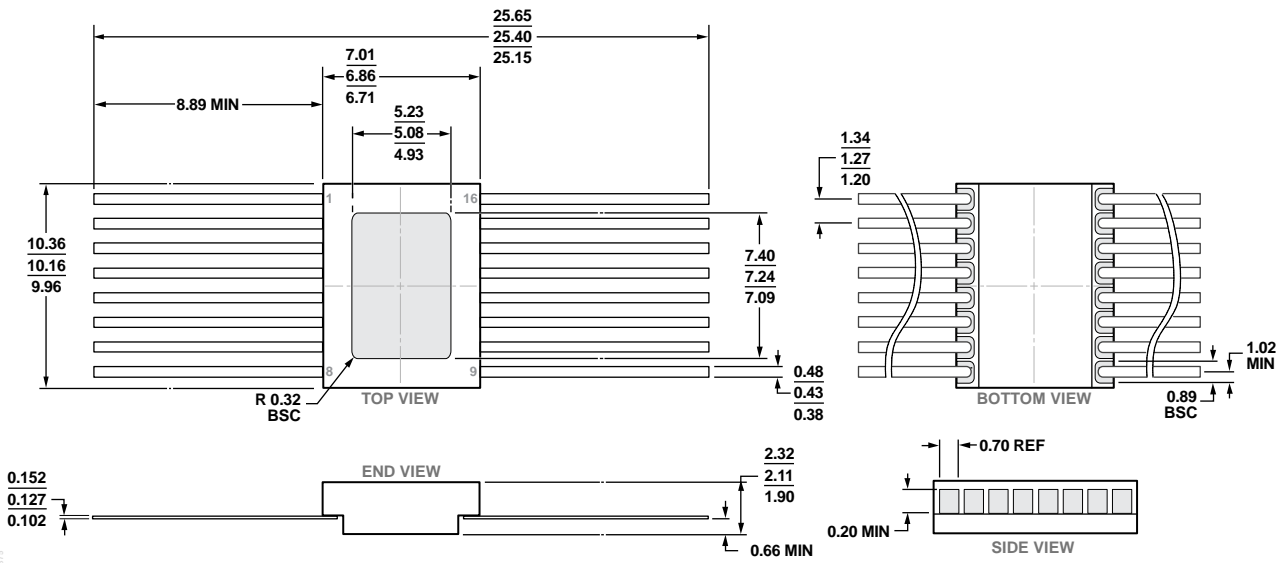


図 41.16 リード・セラミック・フラット・パッケージ [FLATPACK]
(F-16-1)
寸法 (ミリ単位)

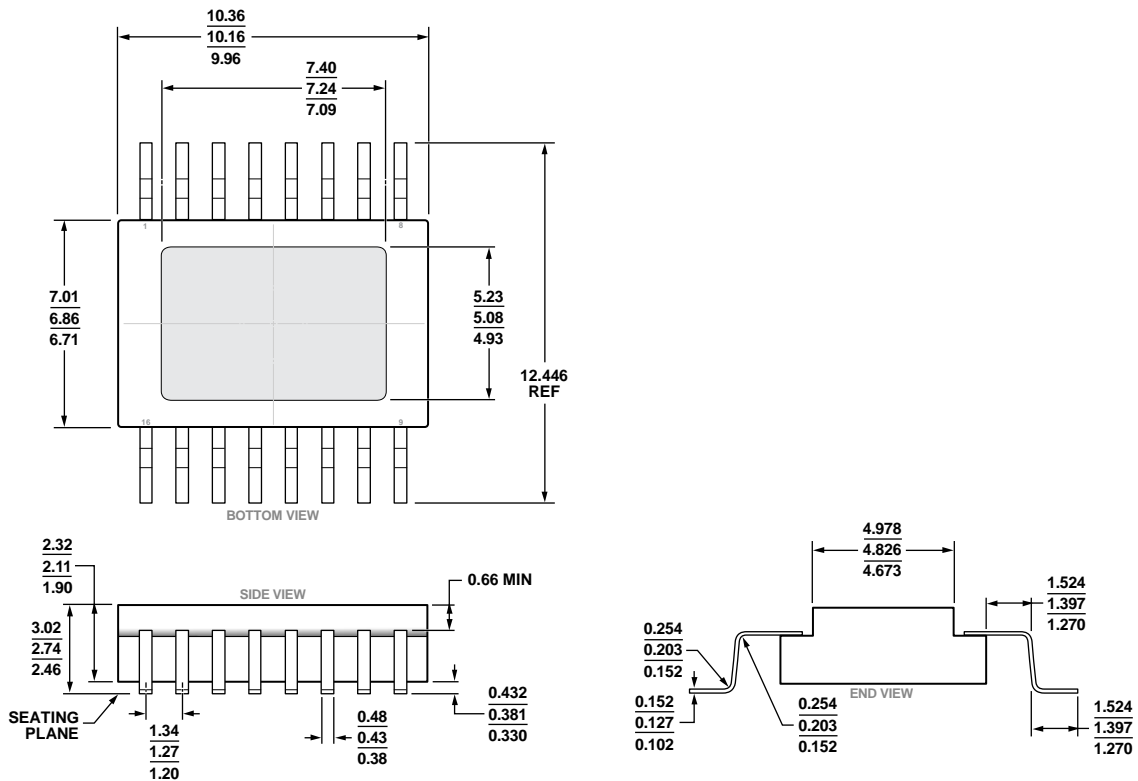


図 42.16 リード・セラミック・フラット・パッケージ、リバース形式のガルウィング・リード付き [FLATPACK_RF] キャビティ・ダウン
(F-16-1)
寸法 (ミリ単位)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADG5298HFZ	-55°C to +210°C	16-Lead Ceramic Flat Package [FLATPACK]	F-16-1
ADG5298HFRZ	-55°C to +210°C	16-Lead Ceramic Flat Package with Reverse Formed Gullwing Leads [FLATPACK_RF]	FR-16-1
EVAL-ADG5298EB1Z		Evaluation Board	

¹ Z = RoHS 準拠製品。