



# ユーザー定義のフォルト保護 および検出機能付き 0.8 pC $Q_{INJ}$ 、トリプル SPDT

## データシート

# ADG5243F

### 特長

- ユーザー定義の電源で過電圧レベルを設定
- 過電圧保護:  $-55\text{ V} \sim +55\text{ V}$  まで
- パワーオフ保護:  $-55\text{ V} \sim +55\text{ V}$  まで
- ソース・ピンでの過電圧検出
- 最小セカンダリ電源レベル: 4.5 V 単電源
- 割込みフラグでフォルト・ステータスを表示
- 低チャージ・インジェクション ( $Q_{INJ}$ ): 0.8 pC
- ドレイン/ソースの小さいオン容量: 10 pF
- 全ての状況下でラッチアップを防止
- デジタル入力がないときは既知の状態
- アナログ信号範囲:  $V_{SS} \sim V_{DD}$
- 両電源動作:  $\pm 5\text{ V} \sim \pm 22\text{ V}$
- 単電源動作: 8 V  $\sim$  44 V
- 仕様を  $\pm 15\text{ V}$ 、 $\pm 20\text{ V}$ 、 $+12\text{ V}$ 、 $+36\text{ V}$  電源で規定

### アプリケーション

- アナログ入力/出力モジュール
- プロセス制御システム/分散型制御システム
- データ・アクイジション
- 計測器
- 航空電子機器
- 自動試験装置
- 通信システム
- リレーからの置き換え

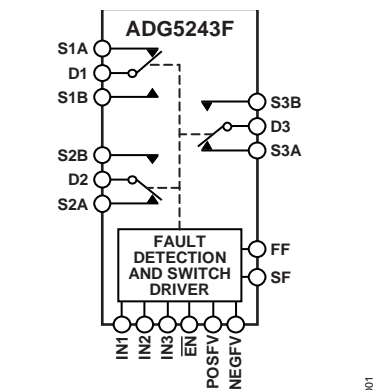
### 概要

ADG5243F は、独立に選択可能な 3 個の単極/双投 (SPDT) スイッチで構成されています。全てのチャンネルは、チャンネルの切替え時に瞬間的な短絡を防ぐブレイクビフォアメークのスイッチ動作を行います。 $\overline{\text{EN}}$  入力で、デバイスをイネーブルまたはディスエーブルします。デバイスがディスエーブルされると、全てのチャンネルがオフに切り替わります。各スイッチはオンのとき、等しく両方向に導通し、各スイッチの入力信号範囲は電源電圧まであります。プライマリ電源電圧がオン抵抗のプロファイルを決定し、セカンダリ電源電圧が過電圧保護の開始される電圧レベルを決定します。

電源が供給されていないと、チャンネルはオフ状態を維持し、スイッチ入力は高インピーダンスになります。通常動作状態では、いずれかの  $S_x$  ピンのアナログ入力信号レベルが正側フォルト電圧 (POSFV) または負側フォルト電圧 (NEGFV) を閾値電圧 ( $V_T$ ) だけ上回ると、チャンネルがオフして、その  $S_x$  ピンは高インピーダンスになります。スイッチがオンに選択されると、ドレイン・ピンがそれを越えたセカンダリ電源電圧になります。給電の有無にかかわらず、グラウンドに対して  $-55\text{ V}$  または  $+55\text{ V}$  までの入力信号レベルが阻止されます。

これらのスイッチは、容量とチャージ・インジェクションが小さいため、低グリッチのスイッチングと高速セトリング時間を必要

### 機能ブロック図



NOTES  
1. SWITCHES SHOWN FOR INPUT LOGIC 1.

図 1.

とするデータ・アクイジションやサンプル&ホールドのアプリケーションに最適なソリューションです。このデータシートでは、IN1/F1 などの複数機能を持つものを全てのピン名で表記し、特定の機能のみが該当する箇所では IN1 のようにピンの 1 つの機能で表記しています。

### 製品のハイライト

- ソース・ピンは、セカンダリ電源レールより高い最大  $-55\text{ V}$  および  $+55\text{ V}$  までの電圧に対して保護されます。
- 電源が供給されないときは、 $-55\text{ V} \sim +55\text{ V}$  の電圧に対して保護されます。
- デジタル出力による過電圧検出でスイッチの動作状態を示します。
- トレンチ・アイソレーションによりラッチアップから保護します。
- 小さいチャージ・インジェクションやオン容量に対して最適化されています。
- ADG5243F は、 $\pm 5\text{ V} \sim \pm 22\text{ V}$  の両電源または 8 V  $\sim$  44 V の単電源で動作させることができます。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2015 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

特長.....	1	代表的な性能特性.....	15
アプリケーション.....	1	テスト回路.....	20
機能ブロック図.....	1	用語.....	24
概要.....	1	動作原理.....	26
製品のハイライト.....	1	スイッチ・アーキテクチャ.....	26
改訂履歴.....	2	アプリケーション情報.....	28
仕様.....	3	電源レール.....	28
±15 V 両電源.....	3	電源シーケンシング保護.....	28
±20 V 両電源.....	5	信号範囲.....	28
12 V 単電源.....	7	電源の推奨事項.....	28
36 V 単電源.....	9	高電圧サージ除去.....	28
チャンネルあたりの連続電流 $S_x$ または $D_x$ .....	11	高度なフォルト検出.....	28
絶対最大定格.....	12	外形寸法.....	30
ESD の注意.....	12	オーダー・ガイド.....	30
ピン配置およびピン機能の説明.....	13		

## 改訂履歴

10/15—Revision 0: Initial Version

## 仕様

## ±15 V 両電源

特に指定がない限り、 $V_{DD} = 15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\text{ }\mu\text{F}$ 。

表 1.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			$V_{DD}$ to $V_{SS}$	V	$V_{DD} = +13.5\text{ V}$ , $V_{SS} = -13.5\text{ V}$ , see Figure 34
On Resistance, $R_{ON}$	250			$\Omega$ typ	$V_S = \pm 10\text{ V}$ , $I_S = -1\text{ mA}$
	270	335	395	$\Omega$ max	
	250			$\Omega$ typ	$V_S = \pm 9\text{ V}$ , $I_S = -1\text{ mA}$
	270	335	395	$\Omega$ max	
On-Resistance Match Between Channels, $\Delta R_{ON}$	1			$\Omega$ typ	$V_S = \pm 10\text{ V}$ , $I_S = -1\text{ mA}$
	4	5	5	$\Omega$ max	
	1			$\Omega$ typ	$V_S = \pm 9\text{ V}$ , $I_S = -1\text{ mA}$
	4	5	5	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	7			$\Omega$ typ	$V_{DD} = +15\text{ V}$ , $V_{SS} = -15\text{ V}$ , $V_S = \pm 10\text{ V}$ , $I_S = -1\text{ mA}$
	8.5	9.5	9.5	$\Omega$ max	
	1.5			$\Omega$ typ	$V_{DD} = +15\text{ V}$ , $V_{SS} = -15\text{ V}$ , $V_S = \pm 9\text{ V}$ , $I_S = -1\text{ mA}$
	3.5	4.5	4.5	$\Omega$ max	
Threshold Voltage, $V_T$	0.7			V typ	See Figure 26
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.1$			nA typ	$V_{DD} = +16.5\text{ V}$ , $V_{SS} = -16.5\text{ V}$
	$\pm 1$	$\pm 2$	$\pm 5$	nA max	$V_S = \pm 10\text{ V}$ , $V_D = \mp 10\text{ V}$ , see Figure 32
Drain Off Leakage, $I_D$ (Off)	$\pm 0.1$			nA typ	$V_S = \pm 10\text{ V}$ , $V_D = \mp 10\text{ V}$ , see Figure 32
	$\pm 1$	$\pm 2$	$\pm 5$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.3$			nA typ	$V_S = V_D = \pm 10\text{ V}$ , see Figure 33
	$\pm 1.5$	$\pm 5$	$\pm 10$	nA max	
<b>FAULT</b>					
Source Leakage Current, $I_S$					
With Overvoltage	$\pm 66$		$\pm 78$	$\mu\text{A}$ typ	$V_{DD} = +16.5\text{ V}$ , $V_{SS} = -16.5\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , see Figure 31
Power Supplies Grounded or Floating	$\pm 25$		$\pm 40$	$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$ , $INx = 0\text{ V}$ or floating, $V_S = \pm 55\text{ V}$ , see Figure 30
Drain Leakage Current, $I_D$					
With Overvoltage	$\pm 2$			nA typ	$V_{DD} = +16.5\text{ V}$ , $V_{SS} = -16.5\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , see Figure 31
Power Supplies Grounded	$\pm 8$	$\pm 15$	$\pm 50$	nA max	
	$\pm 5$			nA typ	$V_{DD} = 0\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , $INx = 0\text{ V}$ , see Figure 30
Power Supplies Floating	$\pm 100$	$\pm 100$	$\pm 100$	nA max	
	$\pm 50$	$\pm 50$	$\pm 50$	$\mu\text{A}$ typ	$V_{DD} = \text{floating}$ , $V_{SS} = \text{floating}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , $INx = 0\text{ V}$ , see Figure 30
<b>DIGITAL INPUTS/OUTPUTS</b>					
Input Voltage					
High, $V_{INH}$			2.0	V min	
Low, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	$\pm 0.7$			$\mu\text{A}$ typ	$V_{IN} = GND$ or $V_{DD}$
	$\pm 1.1$		$\pm 1.2$	$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	5.0			pF typ	
Output Voltage					
High, $V_{OH}$	2.0			V min	
Low, $V_{OL}$	0.4			V max	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>						
Transition Time, $t_{\text{TRANSITION}}$	160			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
$t_{\text{ON}}(\overline{\text{EN}})$	195	210	215	ns max	$V_S = 10 \text{ V}$ , see Figure 46	
	165			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
$t_{\text{OFF}}(\overline{\text{EN}})$	205	220	230	ns max	$V_S = 10 \text{ V}$ , see Figure 45	
	70			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
Break-Before-Make Time Delay, $t_D$	90	110	110	ns max	$V_S = 10 \text{ V}$ , see Figure 45	
	115			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
Overvoltage Response Time, $t_{\text{RESPONSE}}$	90		85	ns min	$V_S = 10 \text{ V}$ , see Figure 44	
	115	130	130	ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 5 \text{ pF}$ , see Figure 39	
Overvoltage Recovery Time, $t_{\text{RECOVERY}}$	745			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 5 \text{ pF}$ , see Figure 40	
	945	965	970	ns max		
Interrupt Flag Response Time, $t_{\text{DIGRESP}}$	90			ns typ	$C_L = 12 \text{ pF}$ , see Figure 41	
Interrupt Flag Recovery Time, $t_{\text{DIGREC}}$	65			$\mu\text{s}$ typ	$C_L = 12 \text{ pF}$ , see Figure 42	
Charge Injection, $Q_{\text{INJ}}$	-0.8			pC typ	$C_L = 12 \text{ pF}$ , $R_{\text{PULLUP}} = 1 \text{ k}\Omega$ , see Figure 43	
Off Isolation	-74			dB typ	$V_S = 0 \text{ V}$ , $R_S = 0 \Omega$ , $C_L = 1 \text{ nF}$ , see Figure 47	
Channel-to-Channel Crosstalk	-83			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 36	
Total Harmonic Distortion Plus Noise, THD + N	0.005			% typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 38	
-3 dB Bandwidth	350			MHz typ	$R_L = 10 \text{ k}\Omega$ , $V_S = 15 \text{ V p-p}$ , $f = 20 \text{ Hz to } 20 \text{ kHz}$ , see Figure 35	
Insertion Loss	10.5			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , see Figure 37	
$C_S$ (Off)	4			pF typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 37	
$C_D$ (Off)	4			pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$	
$C_D$ (On), $C_S$ (On)	10			pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$	
<b>POWER REQUIREMENTS</b>						
Normal Mode						
$I_{\text{DD}}$	1.3			mA typ	$V_{\text{DD}} = \text{POSFV} = +16.5 \text{ V}$ , $V_{\text{SS}} = \text{NEGFV} = -16.5 \text{ V}$ , $\text{GND} = 0 \text{ V}$ , digital inputs = 0 V, 5 V, or $V_{\text{DD}}$	
$I_{\text{POSFV}}$	0.15			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	2		2.1	mA max		
$I_{\text{GND}}$	0.75			mA typ		
	1.25		1.4	mA max		
$I_{\text{SS}}$	0.65			mA typ		
$I_{\text{NEGFV}}$	0.2			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	0.95		1.0	mA max		
Fault Mode						
$I_{\text{DD}}$	1.4			mA typ		$V_S = \pm 55 \text{ V}$ , all channels in fault
$I_{\text{POSFV}}$	0.2			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	2.5		2.8	mA max		
$I_{\text{GND}}$	0.9			mA typ		
	1.8		1.9	mA max		
$I_{\text{SS}}$	0.55			mA typ		
$I_{\text{NEGFV}}$	0.2			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	1.0		1.1	mA max		
$V_{\text{DD}}/V_{\text{SS}}$			$\pm 5$	V min	$\text{GND} = 0 \text{ V}$	
			$\pm 22$	V max	$\text{GND} = 0 \text{ V}$	

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

## ±20 V 両電源

特に指定がない限り、 $V_{DD} = 20\text{ V} \pm 10\%$ 、 $V_{SS} = -20\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\text{ }\mu\text{F}$ 。

表 2.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			$V_{DD}$ to $V_{SS}$	V	$V_{DD} = +18\text{ V}$ , $V_{SS} = -18\text{ V}$ , see Figure 34
On Resistance, $R_{ON}$	270			$\Omega$ typ	$V_S = \pm 15\text{ V}$ , $I_S = -1\text{ mA}$
	290	355	410	$\Omega$ max	
	250			$\Omega$ typ	$V_S = \pm 13.5\text{ V}$ , $I_S = -1\text{ mA}$
	270	335	395	$\Omega$ max	
On-Resistance Match Between Channels, $\Delta R_{ON}$	1			$\Omega$ typ	$V_S = \pm 15\text{ V}$ , $I_S = -1\text{ mA}$
	4	5	5	$\Omega$ max	
	1			$\Omega$ typ	$V_S = \pm 13.5\text{ V}$ , $I_S = -1\text{ mA}$
	4	5	5	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	27			$\Omega$ typ	$V_{DD} = +20\text{ V}$ , $V_{SS} = -20\text{ V}$ , $V_S = \pm 15\text{ V}$ , $I_S = -1\text{ mA}$
	29.5	29.5	29.5	$\Omega$ max	
	5			$\Omega$ typ	$V_{DD} = +20\text{ V}$ , $V_{SS} = -20\text{ V}$ , $V_S = \pm 13.5\text{ V}$ , $I_S = -1\text{ mA}$
	6.5	8.5	8.5	$\Omega$ max	
Threshold Voltage, $V_T$	0.7			V typ	See Figure 26
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.1$			nA typ	$V_{DD} = +22\text{ V}$ , $V_{SS} = -22\text{ V}$
	$\pm 1$	$\pm 2$	$\pm 5$	nA max	$V_S = \pm 15\text{ V}$ , $V_D = \mp 15\text{ V}$ , see Figure 32
Drain Off Leakage, $I_D$ (Off)	$\pm 0.1$			nA typ	$V_S = \pm 15\text{ V}$ , $V_D = \mp 15\text{ V}$ , see Figure 32
	$\pm 1$	$\pm 2$	$\pm 5$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.3$			nA typ	$V_S = V_D = \pm 15\text{ V}$ , see Figure 33
	$\pm 1.5$	$\pm 5$	$\pm 10$	nA max	
<b>FAULT</b>					
Source Leakage Current, $I_S$ With Overvoltage	$\pm 66$			$\mu\text{A}$ typ	$V_{DD} = +22\text{ V}$ , $V_{SS} = -22\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , see Figure 31
Power Supplies Grounded or Floating	$\pm 25$			$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$ , $INx = 0\text{ V}$ or floating, $V_S = \pm 55\text{ V}$ , see Figure 30
Drain Leakage Current, $I_D$ With Overvoltage	$\pm 2$			nA typ	$V_{DD} = +22\text{ V}$ , $V_{SS} = -22\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , see Figure 31
	$\pm 8$	$\pm 15$	$\pm 50$	nA max	
Power Supplies Grounded	$\pm 5$			nA typ	$V_{DD} = 0\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , $INx = 0\text{ V}$ , see Figure 30
	$\pm 100$	$\pm 100$	$\pm 100$	nA max	
Power Supplies Floating	$\pm 50$	$\pm 50$	$\pm 50$	$\mu\text{A}$ typ	$V_{DD} = \text{floating}$ , $V_{SS} = \text{floating}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , $INx = 0\text{ V}$ , see Figure 30
<b>DIGITAL INPUTS/OUTPUTS</b>					
Input Voltage					
High, $V_{INH}$			2.0	V min	
Low, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	$\pm 0.7$			$\mu\text{A}$ typ	$V_{IN} = GND$ or $V_{DD}$
	$\pm 1.1$		$\pm 1.2$	$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	5.0			pF typ	
Output Voltage					
High, $V_{OH}$	2.0			V min	
Low, $V_{OL}$	0.4			V max	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>						
Transition Time, $t_{\text{TRANSITION}}$	165			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
$t_{\text{ON}}(\overline{\text{EN}})$	210	230	235	ns max	$V_S = 10 \text{ V}$ , see Figure 46	
	170			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
$t_{\text{OFF}}(\overline{\text{EN}})$	215	240	250	ns max	$V_S = 10 \text{ V}$ , see Figure 45	
	70			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
Break-Before-Make Time Delay, $t_D$	85	115	115	ns max	$V_S = 10 \text{ V}$ , see Figure 45	
	120			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
Overvoltage Response Time, $t_{\text{RESPONSE}}$	75			ns typ	$V_S = 10 \text{ V}$ , see Figure 44	
	105	105	105	ns max	$R_L = 1 \text{ k}\Omega$ , $C_L = 5 \text{ pF}$ , see Figure 39	
Overvoltage Recovery Time, $t_{\text{RECOVERY}}$	820			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 5 \text{ pF}$ , see Figure 40	
	1100	1250	1400	ns max		
Interrupt Flag Response Time, $t_{\text{DIGRESP}}$	75			ns typ	$C_L = 12 \text{ pF}$ , see Figure 41	
Interrupt Flag Recovery Time, $t_{\text{DIGREC}}$	65			$\mu\text{s}$ typ	$C_L = 12 \text{ pF}$ , see Figure 42	
Charge Injection, $Q_{\text{INJ}}$	1000			ns typ	$C_L = 12 \text{ pF}$ , $R_{\text{PULLUP}} = 1 \text{ k}\Omega$ , see Figure 43	
Off Isolation	-1.2			pC typ	$V_S = 0 \text{ V}$ , $R_S = 0 \Omega$ , $C_L = 1 \text{ nF}$ , see Figure 47	
Channel-to-Channel Crosstalk	-74			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 36	
Total Harmonic Distortion Plus Noise, THD + N	-82			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 38	
	0.005			% typ	$R_L = 10 \text{ k}\Omega$ , $V_S = 20 \text{ V p-p}$ , $f = 20 \text{ Hz}$ to $20 \text{ kHz}$ , see Figure 35	
-3 dB Bandwidth	350			MHz typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , see Figure 37	
Insertion Loss	10.5			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 37	
$C_S$ (Off)	4			pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$	
$C_D$ (Off)	4			pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$	
$C_D$ (On), $C_S$ (On)	10			pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$	
<b>POWER REQUIREMENTS</b>						
Normal Mode						
$I_{\text{DD}}$	1.3			mA typ	$V_{\text{DD}} = \text{POSFV} = +22 \text{ V}$ , $V_{\text{SS}} = \text{NEGFV} = -22 \text{ V}$ , $\text{GND} = 0 \text{ V}$ , digital inputs = 0 V, 5 V, or $V_{\text{DD}}$	
$I_{\text{POSFV}}$	0.15			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	2		2.1	mA max		
$I_{\text{GND}}$	0.75			mA typ		
	1.25		1.4	mA max		
$I_{\text{SS}}$	0.65			mA typ		
$I_{\text{NEGFV}}$	0.2			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	1.0		1.0	mA max		
Fault Mode						
$I_{\text{DD}}$	1.4			mA typ		
$I_{\text{POSFV}}$	0.2			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	2.5		2.8	mA max		
$I_{\text{GND}}$	0.9			mA typ		
	1.8		1.9	mA max		
$I_{\text{SS}}$	0.55			mA typ		
$I_{\text{NEGFV}}$	0.2			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	1.0		1.1	mA max		
$V_{\text{DD}}/V_{\text{SS}}$			$\pm 5$	V min	$\text{GND} = 0 \text{ V}$	
			$\pm 22$	V max	$\text{GND} = 0 \text{ V}$	

<sup>1</sup>設計上保証しますが、出荷テストは行いません。

## 12 V 単電源

特に指定がない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\text{ }\mu\text{F}$ 。

表 3.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			0 V to $V_{DD}$	V	$V_{DD} = 10.8\text{ V}$ , $V_{SS} = 0\text{ V}$ , see Figure 34
On Resistance, $R_{ON}$	630			$\Omega$ typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$
	690	710	730	$\Omega$ max	
	270			$\Omega$ typ	$V_S = 3.5\text{ V}$ to 8.5 V, $I_S = -1\text{ mA}$
	290	355	410	$\Omega$ max	
On-Resistance Match Between Channels, $\Delta R_{ON}$	6			$\Omega$ typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$
	19	19	19	$\Omega$ max	
	1			$\Omega$ typ	$V_S = 3.5\text{ V}$ to 8.5 V, $I_S = -1\text{ mA}$
	5	5	5	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	380			$\Omega$ typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$
	440	460	460	$\Omega$ max	
	25			$\Omega$ typ	$V_S = 3.5\text{ V}$ to 8.5 V, $I_S = -1\text{ mA}$
	27	28	28	$\Omega$ max	
Threshold Voltage, $V_T$	0.7			V typ	See Figure 26
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.1$			nA typ	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$
	$\pm 1$	$\pm 2$	$\pm 5$	nA max	$V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ , see Figure 32
Drain Off Leakage, $I_D$ (Off)	$\pm 0.1$			nA typ	$V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ , see Figure 32
	$\pm 1$	$\pm 2$	$\pm 5$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.3$			nA typ	$V_S = V_D = 1\text{ V}/10\text{ V}$ , see Figure 33
	$\pm 1.5$	$\pm 5$	$\pm 10$	nA max	
<b>FAULT</b>					
Source Leakage Current, $I_S$					
With Overvoltage	$\pm 63$			$\mu\text{A}$ typ	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , see Figure 31
Power Supplies Grounded or Floating	$\pm 25$			$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$ , $INx = 0\text{ V}$ or floating, $V_S = \pm 55\text{ V}$ , see Figure 30
Drain Leakage Current, $I_D$					
With Overvoltage	$\pm 2$			nA typ	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , see Figure 31
Power Supplies Grounded	$\pm 8$	$\pm 15$	$\pm 50$	nA max	
	$\pm 5$			nA typ	$V_{DD} = 0\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , $INx = 0\text{ V}$ , see Figure 30
Power Supplies Floating	$\pm 100$	$\pm 100$	$\pm 100$	nA max	
	$\pm 50$	$\pm 50$	$\pm 50$	$\mu\text{A}$ typ	$V_{DD} = \text{floating}$ , $V_{SS} = \text{floating}$ , $GND = 0\text{ V}$ , $V_S = \pm 55\text{ V}$ , $INx = 0\text{ V}$ , see Figure 30
<b>DIGITAL INPUTS/OUTPUTS</b>					
Input Voltage					
High, $V_{INH}$			2.0	V min	
Low, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	$\pm 0.7$			$\mu\text{A}$ typ	$V_{IN} = GND$ or $V_{DD}$
	$\pm 1.1$		$\pm 1.2$	$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	5.0			pF typ	
Output Voltage					
High, $V_{OH}$	2.0			V min	
Low, $V_{OL}$	0.4			V max	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>						
Transition Time, $t_{\text{TRANSITION}}$	140			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
$t_{\text{ON}}(\overline{\text{EN}})$	170	185	195	ns max	$V_S = 8 \text{ V}$ , see Figure 46	
	145			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
$t_{\text{OFF}}(\overline{\text{EN}})$	170	185	200	ns max	$V_S = 8 \text{ V}$ , see Figure 45	
	95			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
Break-Before-Make Time Delay, $t_D$	115	125	125	ns max	$V_S = 8 \text{ V}$ , see Figure 45	
	80			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
Overvoltage Response Time, $t_{\text{RESPONSE}}$			60	ns min	$V_S = 8 \text{ V}$ , see Figure 44	
	110			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 5 \text{ pF}$ , see Figure 39	
Overvoltage Recovery Time, $t_{\text{RECOVERY}}$	145	145	145	ns max		
	500			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 5 \text{ pF}$ , see Figure 40	
Interrupt Flag Response Time, $t_{\text{DIGRESP}}$	655	720	765	ns max		
	95			ns typ	$C_L = 12 \text{ pF}$ , see Figure 41	
Interrupt Flag Recovery Time, $t_{\text{DIGREC}}$	65			$\mu\text{s typ}$	$C_L = 12 \text{ pF}$ , see Figure 42	
Charge Injection, $Q_{\text{INJ}}$	900			ns typ	$C_L = 12 \text{ pF}$ , $R_{\text{PULLUP}} = 1 \text{ k}\Omega$ , see Figure 43	
	0.8			pC typ	$V_S = 6 \text{ V}$ , $R_S = 0 \Omega$ , $C_L = 1 \text{ nF}$ , see Figure 47	
Off Isolation	-74			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 36	
Channel-to-Channel Crosstalk	-82			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 38	
Total Harmonic Distortion Plus Noise, THD + N	0.044			% typ	$R_L = 10 \text{ k}\Omega$ , $V_S = 6 \text{ V p-p}$ , $f = 20 \text{ Hz to } 20 \text{ kHz}$ , see Figure 35	
-3 dB Bandwidth	320			MHz typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , see Figure 37	
Insertion Loss	10.5			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 37	
$C_S$ (Off)	4			pF typ	$V_S = 6 \text{ V}$ , $f = 1 \text{ MHz}$	
$C_D$ (Off)	5			pF typ	$V_S = 6 \text{ V}$ , $f = 1 \text{ MHz}$	
$C_D$ (On), $C_S$ (On)	10			pF typ	$V_S = 6 \text{ V}$ , $f = 1 \text{ MHz}$	
<b>POWER REQUIREMENTS</b>						
Normal Mode						
$I_{\text{DD}}$	1.3			mA typ	$V_{\text{DD}} = \text{POSFV} = 13.2 \text{ V}$ , $V_{\text{SS}} = \text{NEGFV} = 0 \text{ V}$ , $\text{GND} = 0 \text{ V}$ , digital inputs = 0 V, 5 V, or $V_{\text{DD}}$	
$I_{\text{POSFV}}$	0.15			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	2		2.1	mA max		
$I_{\text{GND}}$	0.75			mA typ		
	1.4		1.5	mA max		
$I_{\text{SS}}$	0.55			mA typ		
$I_{\text{NEGFV}}$	0.2			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	0.95		1.0	mA max		
Fault Mode						
$I_{\text{DD}}$	1.4			mA typ		$V_S = \pm 55 \text{ V}$ , all channels in fault
$I_{\text{POSFV}}$	0.2			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	2.5		2.8	mA max		
$I_{\text{GND}}$	0.9			mA typ		
	1.8		1.9	mA max		
$I_{\text{SS}}$	0.55			mA typ	Digital inputs = 5 V	
$I_{\text{NEGFV}}$	0.2			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	1.0		1.1	mA max	$V_S = \pm 55 \text{ V}$ , $V_D = 0 \text{ V}$	
$V_{\text{DD}}/V_{\text{SS}}$			8	V min	$\text{GND} = 0 \text{ V}$	
			44	V max	$\text{GND} = 0 \text{ V}$	

<sup>1</sup>設計上保証しますが、出荷テストは行いません。



## 36 V 単電源

特に指定がない限り、 $V_{DD} = 36\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 、 $C_{DECOUPLING} = 0.1\ \mu\text{F}$ 。

表 4.

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
ANALOG SWITCH					$V_{DD} = 32.4\text{ V}$ , $V_{SS} = 0\text{ V}$ , see Figure 34
Analog Signal Range			0 V to $V_{DD}$	V	
On Resistance, $R_{ON}$	310			$\Omega$ typ	$V_S = 0\text{ V}$ to 30 V, $I_S = -1\text{ mA}$
	335	415	480	$\Omega$ max	
	250			$\Omega$ typ	$V_S = 4.5\text{ V}$ to 28 V, $I_S = -1\text{ mA}$
	270	335	395	$\Omega$ max	
On-Resistance Match Between Channels, $\Delta R_{ON}$	3			$\Omega$ typ	$V_S = 0\text{ V}$ to 30 V, $I_S = -1\text{ mA}$
	7	16	18	$\Omega$ max	
	3			$\Omega$ typ	$V_S = 4.5\text{ V}$ to 28 V, $I_S = -1\text{ mA}$
	6.5	11	12	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	62			$\Omega$ typ	$V_S = 0\text{ V}$ to 30 V, $I_S = -1\text{ mA}$
	70	85	100	$\Omega$ max	
	1.5			$\Omega$ typ	$V_S = 4.5\text{ V}$ to 28 V, $I_S = -1\text{ mA}$
	3.5	4	4	$\Omega$ max	
Threshold Voltage, $V_T$	0.7			V typ	See Figure 26
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	$\pm 0.1$			nA typ	$V_{DD} = 39.6\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/30\text{ V}$ , $V_D = 30\text{ V}/1\text{ V}$ , see Figure 32
	$\pm 1$	$\pm 2$	$\pm 5$	nA max	
Drain Off Leakage, $I_D$ (Off)	$\pm 0.1$			nA typ	$V_S = 1\text{ V}/30\text{ V}$ , $V_D = 30\text{ V}/1\text{ V}$ , see Figure 32
	$\pm 1$	$\pm 2$	$\pm 5$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 0.3$			nA typ	$V_S = V_D = 1\text{ V}/30\text{ V}$ , see Figure 33
	$\pm 1.5$	$\pm 5$	$\pm 10$	nA max	
<b>FAULT</b>					
Source Leakage Current, $I_S$					
With Overvoltage	$\pm 58$			$\mu\text{A}$ typ	$V_{DD} = 39.6\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = +55\text{ V}$ , -40 V, see Figure 31
Power Supplies Grounded or Floating	$\pm 25$			$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$ , $IN_X = 0\text{ V}$ or floating, $V_S = +55\text{ V}$ , -40 V, see Figure 30
Drain Leakage Current, $I_D$					
With Overvoltage	$\pm 2$			nA typ	$V_{DD} = 39.6\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = +55\text{ V}$ , -40 V, see Figure 31
Power Supplies Grounded	$\pm 8$	$\pm 15$	$\pm 50$	nA max	
	$\pm 5$			nA typ	$V_{DD} = 0\text{ V}$ , $V_{SS} = 0\text{ V}$ , $GND = 0\text{ V}$ , $V_S = +55\text{ V}$ , -40 V, $IN_X = 0\text{ V}$ , see Figure 30
Power Supplies Floating	$\pm 100$	$\pm 100$	$\pm 100$	nA max	
	$\pm 50$	$\pm 50$	$\pm 50$	$\mu\text{A}$ typ	$V_{DD} = \text{floating}$ , $V_{SS} = \text{floating}$ , $GND = 0\text{ V}$ , $V_S = +55\text{ V}$ , -40 V, $IN_X = 0\text{ V}$ , see Figure 30
<b>DIGITAL INPUTS/OUTPUTS</b>					
Input Voltage					
High, $V_{INH}$			2.0	V min	
Low, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	$\pm 0.7$			$\mu\text{A}$ typ	$V_{IN} = V_{GND}$ or $V_{DD}$
	$\pm 1.1$		$\pm 1.2$	$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	5.0			pF typ	
Output Voltage					
High, $V_{OH}$	2.0			V min	
Low, $V_{OL}$	0.4			V max	

Parameter	+25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>						
Transition Time, $t_{\text{TRANSITION}}$	155			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
$t_{\text{ON}}(\overline{\text{EN}})$	190	205	210	ns max	$V_S = 18 \text{ V}$ , see Figure 46	
	160			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
$t_{\text{OFF}}(\overline{\text{EN}})$	195	210	220	ns max	$V_S = 18 \text{ V}$ , see Figure 45	
	95			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
Break-Before-Make Time Delay, $t_D$	115	125	130	ns max	$V_S = 18 \text{ V}$ , see Figure 45	
	100			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 35 \text{ pF}$	
Overvoltage Response Time, $t_{\text{RESPONSE}}$	60		70	ns min	$V_S = 18 \text{ V}$ , see Figure 44	
	80	85	85	ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 5 \text{ pF}$ , see Figure 39	
Overvoltage Recovery Time, $t_{\text{RECOVERY}}$	1400			ns typ	$R_L = 1 \text{ k}\Omega$ , $C_L = 5 \text{ pF}$ , see Figure 40	
	1900	2100	2200	ns max		
Interrupt Flag Response Time, $t_{\text{DIGRESP}}$	85			ns typ	$C_L = 12 \text{ pF}$ , see Figure 41	
Interrupt Flag Recovery Time, $t_{\text{DIGREC}}$	65			$\mu\text{s}$ typ	$C_L = 12 \text{ pF}$ , see Figure 42	
Charge Injection, $Q_{\text{INJ}}$	1600			ns typ	$C_L = 12 \text{ pF}$ , $R_{\text{PULLUP}} = 1 \text{ k}\Omega$ , see Figure 43	
Off Isolation	-1.4			pC typ	$V_S = 18 \text{ V}$ , $R_S = 0 \Omega$ , $C_L = 1 \text{ nF}$ , see Figure 47	
Channel-to-Channel Crosstalk	-74			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 36	
Total Harmonic Distortion Plus Noise, THD + N	-85			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 38	
-3 dB Bandwidth	0.007			% typ	$R_L = 10 \text{ k}\Omega$ , $V_S = 18 \text{ V p-p}$ , $f = 20 \text{ Hz to } 20 \text{ kHz}$ , see Figure 35	
Insertion Loss	355			MHz typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , see Figure 37	
$C_S$ (Off)	10.5			dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 1 \text{ MHz}$ , see Figure 37	
$C_D$ (Off)	4			pF typ	$V_S = 18 \text{ V}$ , $f = 1 \text{ MHz}$	
$C_D$ (On), $C_S$ (On)	4			pF typ	$V_S = 18 \text{ V}$ , $f = 1 \text{ MHz}$	
9				pF typ	$V_S = 18 \text{ V}$ , $f = 1 \text{ MHz}$	
<b>POWER REQUIREMENTS</b>						
Normal Mode						
$I_{\text{DD}}$	1.3			mA typ	$V_{\text{DD}} = \text{POSFV} = 39.6 \text{ V}$ , $V_{\text{SS}} = \text{NEGFV} = 0 \text{ V}$ , $\text{GND} = 0 \text{ V}$ , digital inputs = 0 V, 5 V, or $V_{\text{DD}}$	
$I_{\text{POSFV}}$	0.15			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	2		2.1	mA max		
$I_{\text{GND}}$	0.75			mA typ		
	1.4		1.5	mA max		
$I_{\text{SS}}$	0.55			mA typ		
$I_{\text{NEGFV}}$	0.2			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	0.95		1.0	mA max		
Fault Mode						
$I_{\text{DD}}$	1.4			mA typ		
$I_{\text{POSFV}}$	0.2			mA typ		
$I_{\text{DD}} + I_{\text{POSFV}}$	2.5		2.8	mA max		
$I_{\text{GND}}$	0.9			mA typ		
	1.8		1.9	mA max		
$I_{\text{SS}}$	0.55			mA typ		
$I_{\text{NEGFV}}$	0.2			mA typ		
$I_{\text{SS}} + I_{\text{NEGFV}}$	1.0		1.1	mA max		
$V_{\text{DD}}/V_{\text{SS}}$			8	V min	$\text{GND} = 0 \text{ V}$	
			44	V max	$\text{GND} = 0 \text{ V}$	

<sup>1</sup>設計上保証しますが、出荷テストは行いません。

チャンネルあたりの連続電流  $S_x^1$  または  $D_x$ 

表 5.

Parameter	25°C	85°C	125°C	Unit	Test Conditions/Comments
$\theta_{JA} = 112.6^\circ\text{C/W}$	17	11	7	mA max	$V_S = V_{SS}$ to $V_{DD} - 4.5\text{ V}$
	10	7	5	mA max	$V_S = V_{SS}$ to $V_{DD}$

<sup>1</sup>  $S_x$  は S1A ピン ~ S3A ピンおよび S1B ピン ~ S3B ピン。

## 絶対最大定格

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
$V_{DD}$ to $V_{SS}$	48 V
$V_{DD}$ to GND	-0.3 V to +48 V
$V_{SS}$ to GND	-48 V to +0.3 V
POSFV to GND	-0.3 V to $V_{DD} + 0.3$ V
NEGFV to GND	$V_{SS} - 0.3$ V to +0.3 V
Sx Pins	-55 V to +55 V
Sx to $V_{DD}$ or $V_{SS}$	80 V
$V_S$ to $V_D$	80 V
Dx Pins <sup>1</sup>	NEGFV - 0.7 V to POSFV + 0.7 V or 30 mA, whichever occurs first
Digital Inputs	GND - 0.7 V to 48 V or 30 mA, whichever occurs first
Peak Current, Sx or Dx Pins	44.5 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or Dx Pins	Data <sup>2</sup> + 15%
Digital Outputs	GND - 0.7 V to 6 V or 30 mA, whichever occurs first
Dx Pins, Overvoltage State, Load Current	1 mA
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Thermal Impedance, $\theta_{JA}$ (4-Layer Board)	112.6°C/W
Reflow Soldering Peak Temperature, Pb-Free	As per JEDEC J-STD-020

<sup>1</sup> Dx ピンの過電圧は、内蔵ダイオードによりクランプされます。電流は、規定された最大定格に制限してください。

<sup>2</sup> 表 5 を参照してください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。同時に複数の絶対最大定格条件を適用することはできません。

## ESD の注意



## ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能の説明

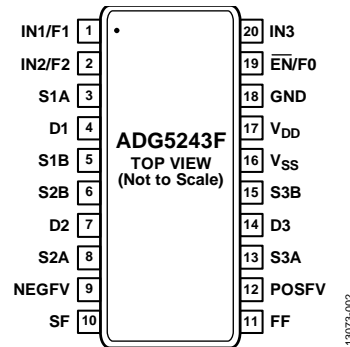


図 2. ピン配置

表 7. ピン機能の説明

Pin No.	Mnemonic	Description
1	IN1/F1	ロジック制御入力 (IN1) (表 8 参照)。 デコーダ・ピン (F1)。このピンは、フォルト特定ピン (SF) と併用して、フォルト状態の入力を示します (表 9 参照)。
2	IN2/F2	ロジック制御入力 (IN2) (表 8 参照)。 デコーダ・ピン (F2)。このピンは、フォルト特定ピン (SF) と併用して、フォルト状態の入力を示します (表 9 参照)。
3	S1A	過電圧保護されたソース・ピン 1A。このピンは、入力または出力に設定することができます。
4	D1	ドレイン・ピン 1。このピンは、入力または出力に設定することができます。
5	S1B	過電圧保護されたソース・ピン 1B。このピンは、入力または出力に設定することができます。
6	S2B	過電圧保護されたソース・ピン 2B。このピンは、入力または出力に設定することができます。
7	D2	ドレイン・ピン 2。このピンは、入力または出力に設定することができます。
8	S2A	過電圧保護されたソース・ピン 2A。このピンは、入力または出力に設定することができます。
9	NEGFV	負側フォルト電圧。このピンは、過電圧保護レベルを設定する負側電源電圧を供給します。セカンダリ電源を使用しない場合は、このピンを $V_{SS}$ に接続してください。
10	SF	フォルト特定デジタル出力。このピンは、デバイスが通常動作時にハイ・レベルを出力し、特定のピンに、F0、F1、F2 の状態によってフォルト状態が検出される (表 9 参照) と、ロー・レベルを出力します。SF ピンは微小なプルアップ抵抗を内蔵しており、公称 3 V を出力します。
11	FF	フォルト・フラグ・デジタル出力。このピンは、デバイスが通常動作時にハイ・レベルを出力し、いずれかの $S_x$ 入力でフォルト状態が発生すると、ロー・レベルを出力します。FF ピンは微小なプルアップ抵抗を内蔵しているため、複数のデバイスを含む大きなモジュールに対して複数の信号を 1 本の割込みにまとめることができます。
12	POSFV	正側フォルト電圧。このピンは、過電圧保護レベルを設定する正側電源電圧を供給します。セカンダリ電源を使用しない場合は、このピンを $V_{DD}$ に接続してください。
13	S3A	過電圧保護されたソース・ピン 3A。このピンは、入力または出力に設定することができます。
14	D3	ドレイン・ピン 3。このピンは、入力または出力に設定することができます。
15	S3B	過電圧保護されたソース・ピン 3B。このピンは、入力または出力に設定することができます。
16	$V_{SS}$	負側電源電位。
17	$V_{DD}$	正側電源電位。
18	GND	グラウンド・リファレンス (0 V)。
19	$\overline{EN}/F0$	アクティブ・ローのデジタル入力。このピンがハイ・レベルのとき、デバイスはディスエーブルされるため、全てのスイッチがオフします。このピンがロー・レベルのとき、 $IN_x$ のロジック入力によりオン・スイッチが決まります。 デコーダ・ピン (F0)。このピンは、フォルト特定ピン (SF) と併用して、フォルト状態の入力を示します (表 9 参照)。
20	IN3	ロジック制御入力 (表 8 参照)。

表 8. スイッチ選択の真理値表

EN	INx	SxA	SxB
1	X <sup>1</sup>	Off	Off
0	0	Off	On
0	1	On	Off

<sup>1</sup>Xはドントケア。

表 9. フォルト診断出力の真理値表

Switch in Fault <sup>1</sup>	State of Specific Flag (SF) with Control Inputs (F2, F1, F0)						State of Fault Flag (FF)
	0, 0, 0	0, 1, 0	1, 0, 0	1, 0, 1	1, 1, 0	1, 1, 1	
None	1	1	1	1	1	1	1
S1A	0	1	1	1	1	1	0
S1B	1	0	1	1	1	1	0
S2B	1	1	0	1	1	1	0
S2A	1	1	1	1	0	1	0
S3B	1	1	1	0	1	1	0
S3A	1	1	1	1	1	0	0

<sup>1</sup>複数のスイッチをフォルト状態にすることができます。詳細については、アプリケーション情報のセクションを参照してください。

代表的な性能特性

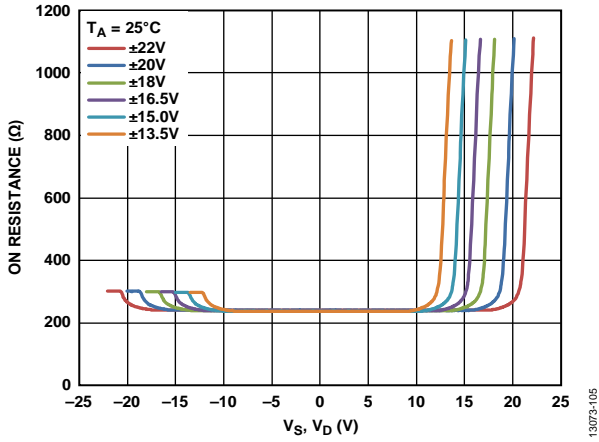


図 3.  $V_S$  と  $V_D$  対  $R_{ON}$ 、両電源

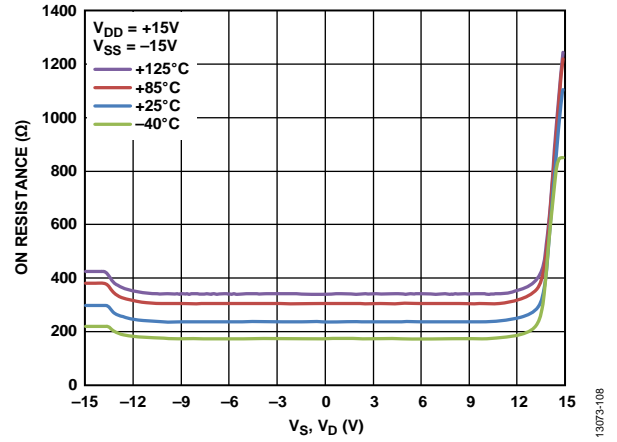


図 6. 様々な温度での  $V_S$  と  $V_D$  対  $R_{ON}$ 、±15 V 両電源

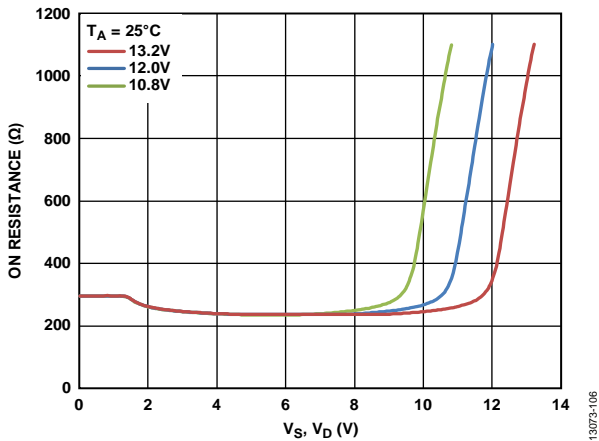


図 4.  $V_S$  と  $V_D$  対  $R_{ON}$ 、12 V 単電源

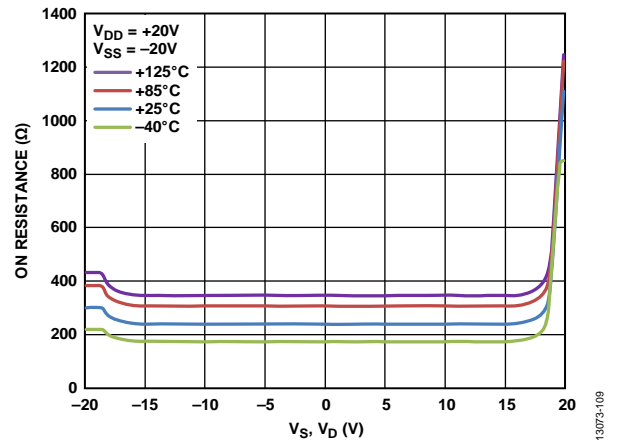


図 7. 様々な温度での  $V_S$  と  $V_D$  対  $R_{ON}$ 、±20 V 両電源

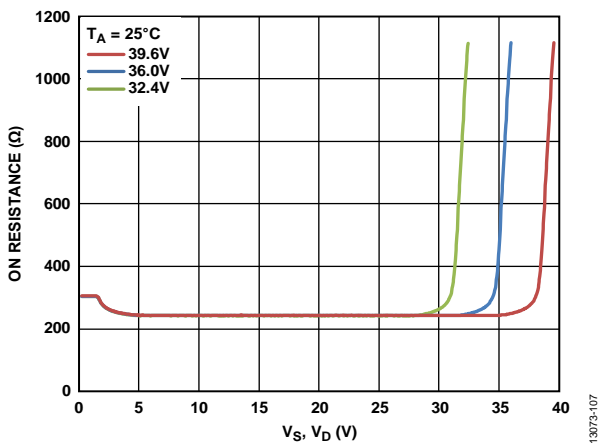


図 5.  $V_S$  と  $V_D$  対  $R_{ON}$ 、36 V 単電源

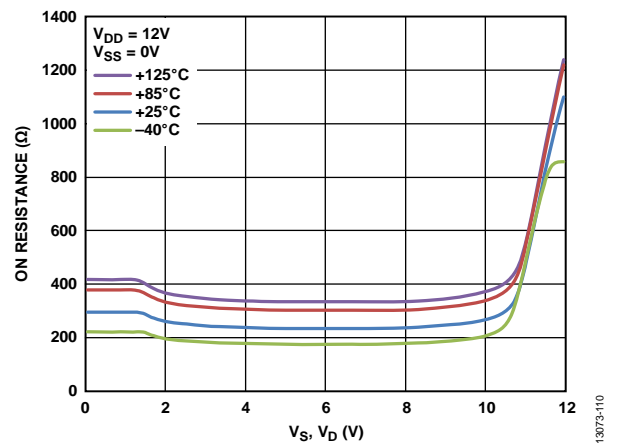


図 8. 様々な温度での  $V_S$  と  $V_D$  対  $R_{ON}$ 、12 V 単電源

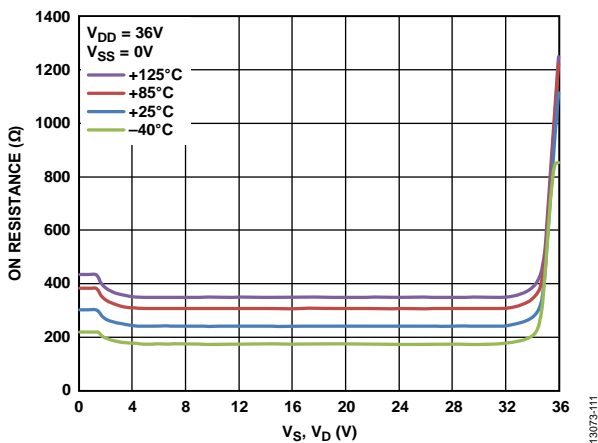


図 9. 様々な温度での  $V_S$  と  $V_D$  対  $R_{ON}$ 、36 V 単電源

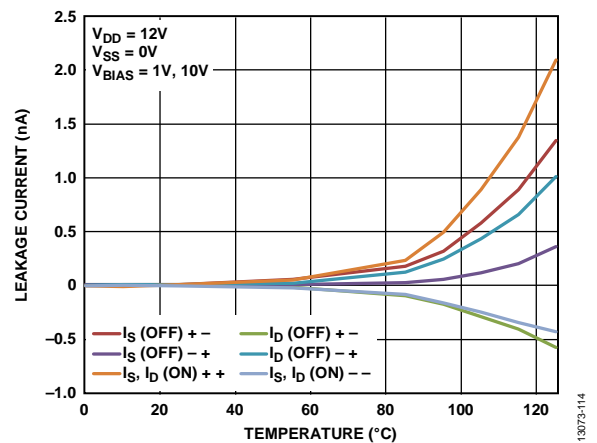


図 12. リーク電流の温度特性、12 V 単電源

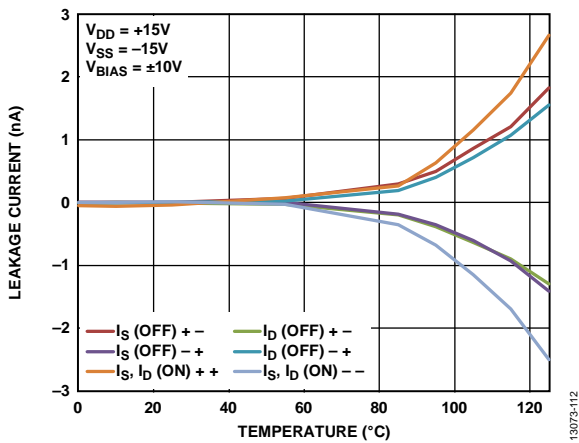


図 10. リーク電流の温度特性、 $\pm 15 V$  両電源

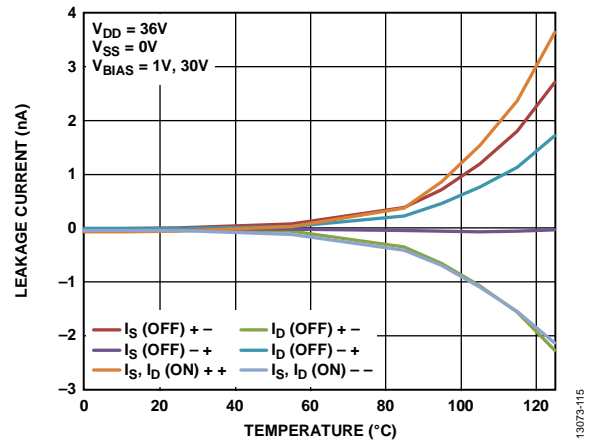


図 13. リーク電流の温度特性、36 V 単電源

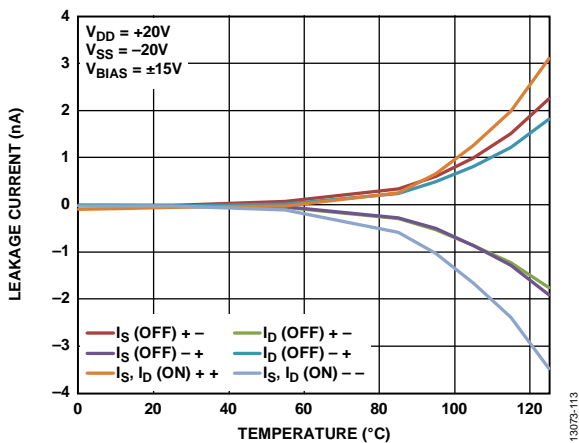


図 11. リーク電流の温度特性、 $\pm 20 V$  両電源

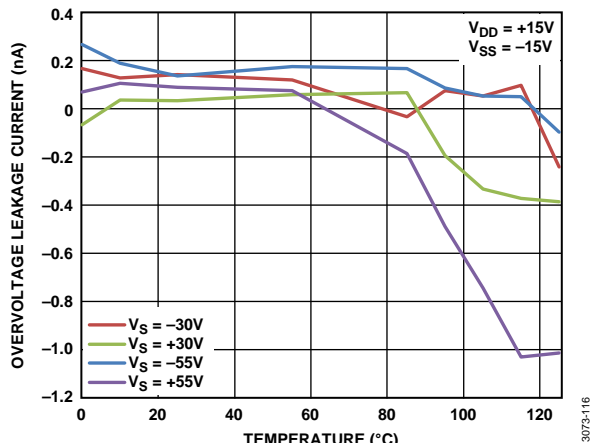


図 14. 過電圧リーク電流の温度特性、 $\pm 15 V$  両電源



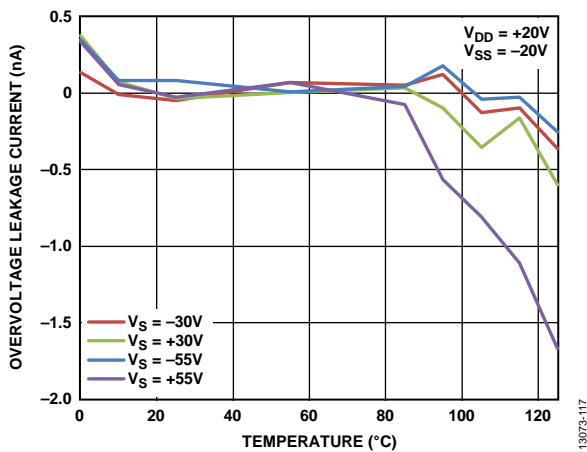


図 15. 過電圧リーク電流の温度特性、±20 V 両電源

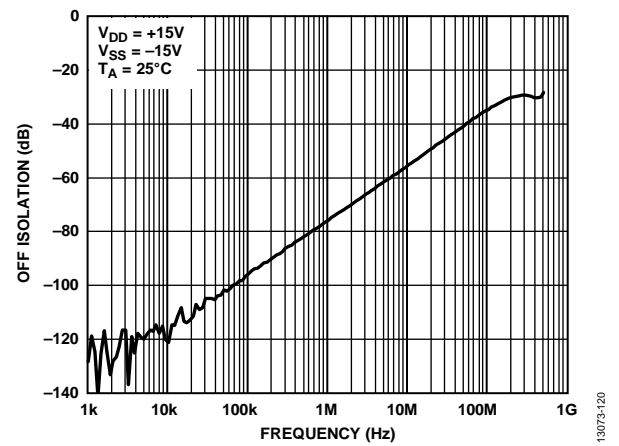


図 18. オフ時アイソレーションの周波数特性、±15 V 両電源

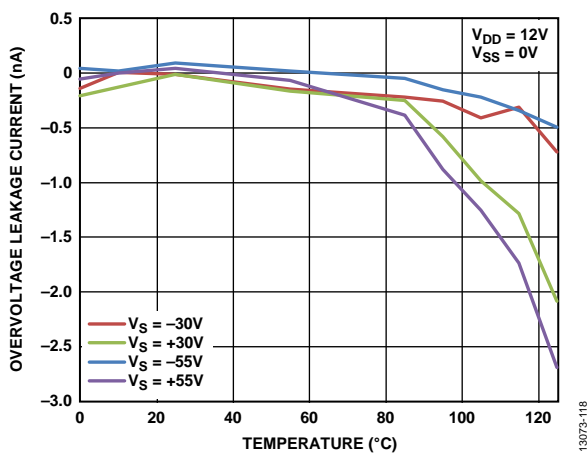


図 16. 過電圧リーク電流の温度特性、±12 V 単電源

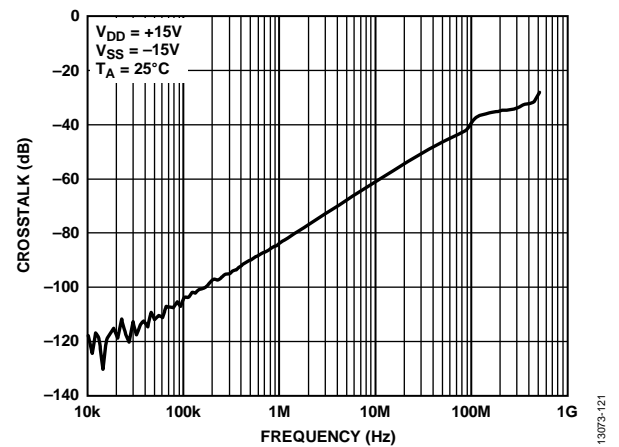


図 19. クロストークの周波数特性、±15 V 両電源

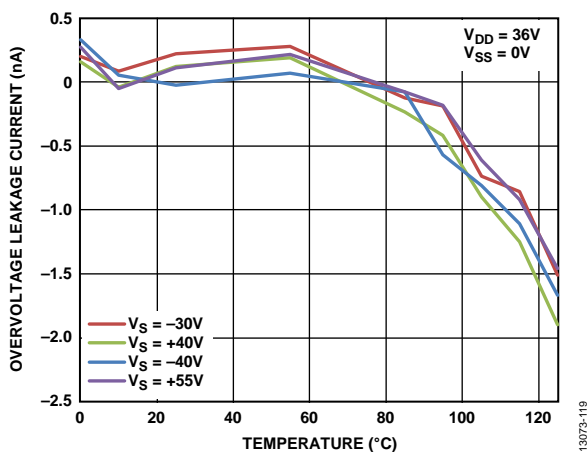


図 17. 過電圧リーク電流の温度特性、±36 V 単電源

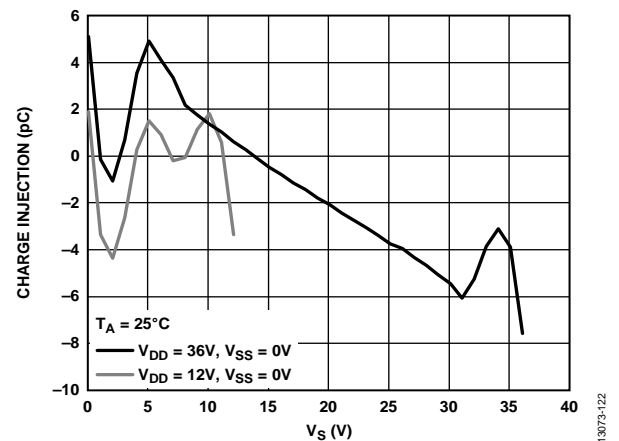


図 20. ソース電圧 ( $V_S$ ) 対チャージ・インJECTION、単電源

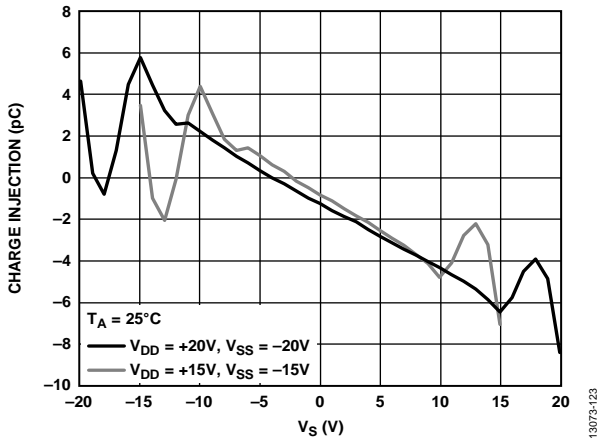


図 21. ソース電圧 ( $V_S$ ) 対チャージ・インJECTION、両電源

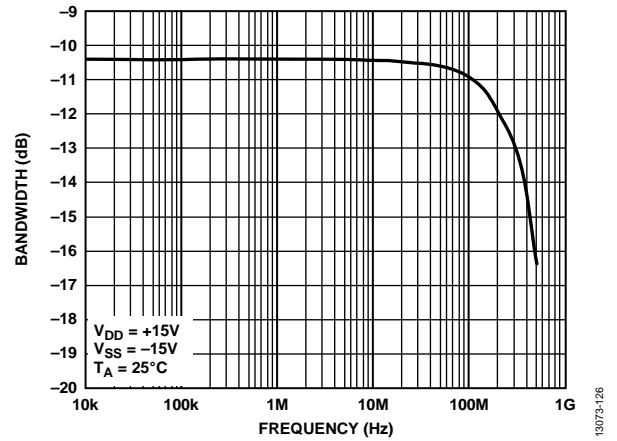


図 24. 帯域幅の周波数特性

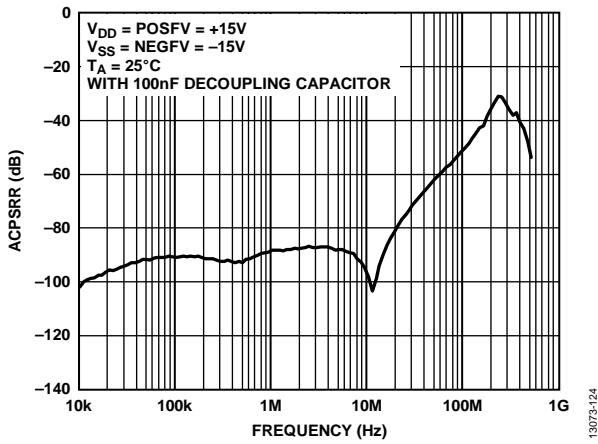


図 22. ACPSRR の周波数特性、 $\pm 15$  V 両電源

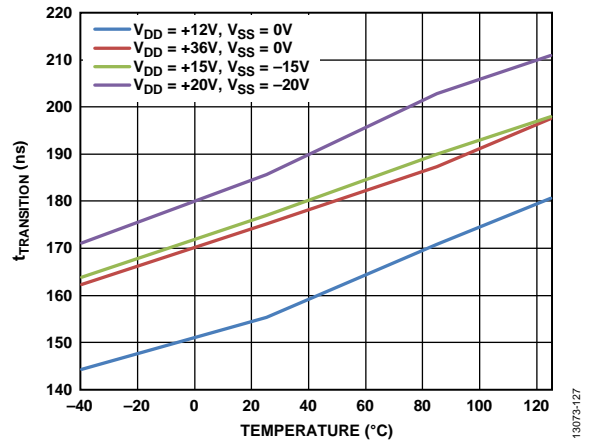


図 25.  $t_{\text{TRANSITION}}$  の温度特性

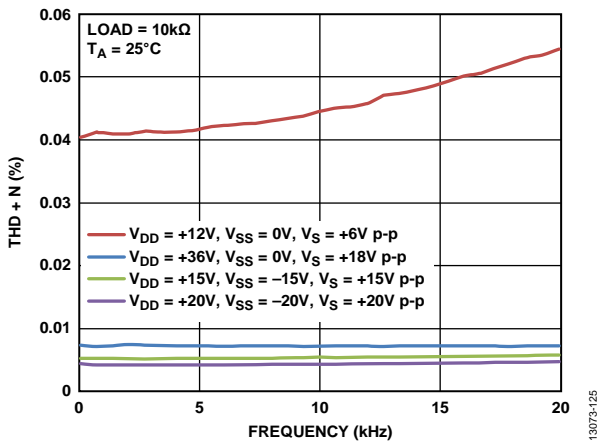


図 23. THD + N の周波数特性

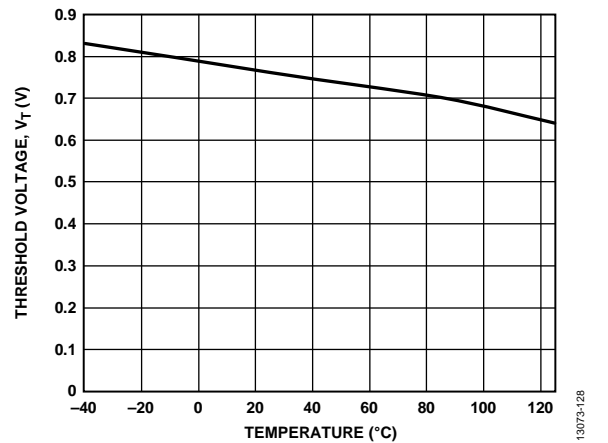


図 26. 閾値電圧 ( $V_T$ ) の温度特性

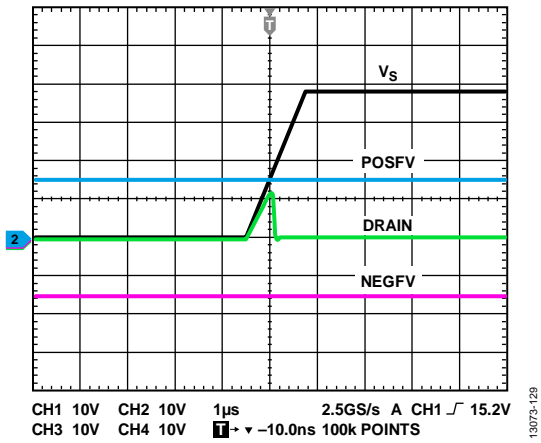


図 27. 正側過電圧に対するドレイン出力の応答 ( $R_L = 1\text{ k}\Omega$ )

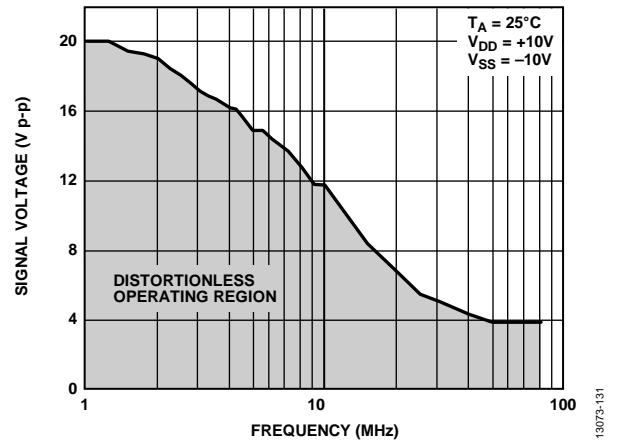


図 29. 大信号電圧トラッキングの周波数特性

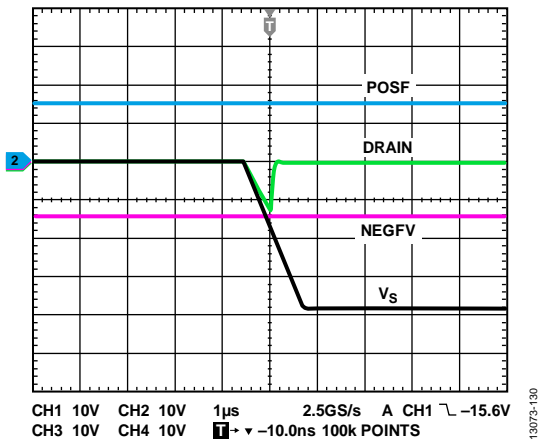


図 28. 負側過電圧に対するドレイン出力の応答 ( $R_L = 1\text{ k}\Omega$ )

## テスト回路

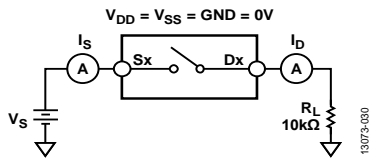


図 30. 電源供給なしのスイッチ・リーク

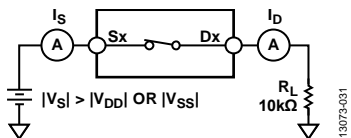


図 31. スイッチ過電圧リーク

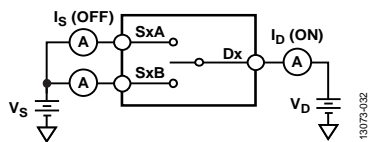


図 32. オフ時リーク

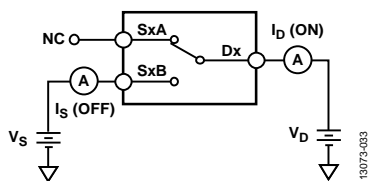


図 33. オン時リーク

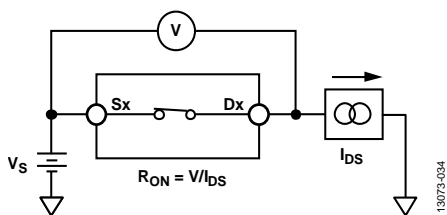


図 34. オン抵抗

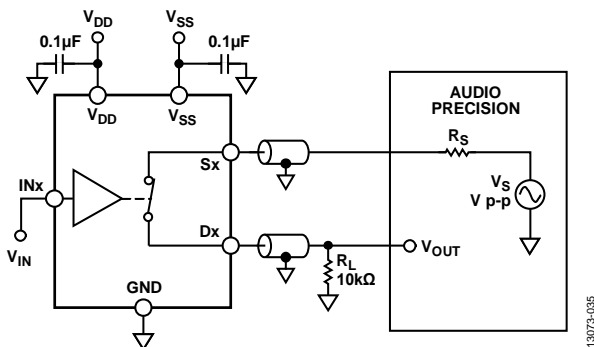


図 35. THD + N

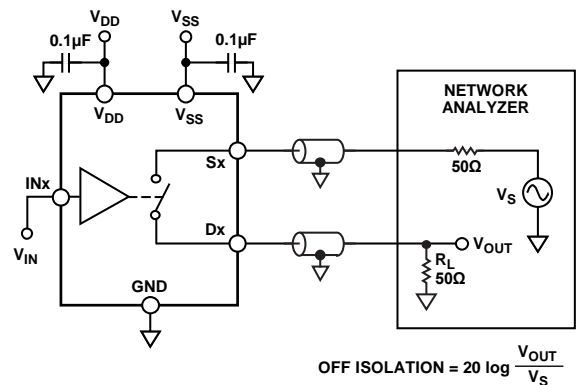


図 36. オフ時アイソレーション

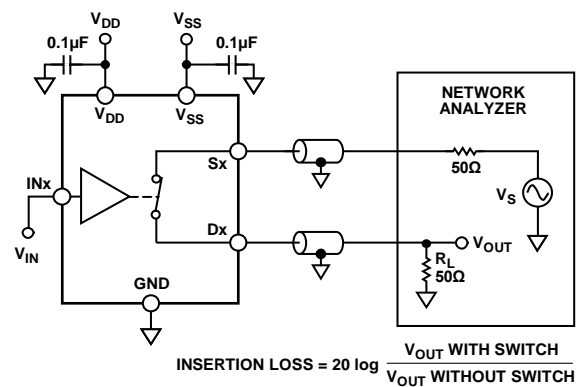


図 37. 帯域幅

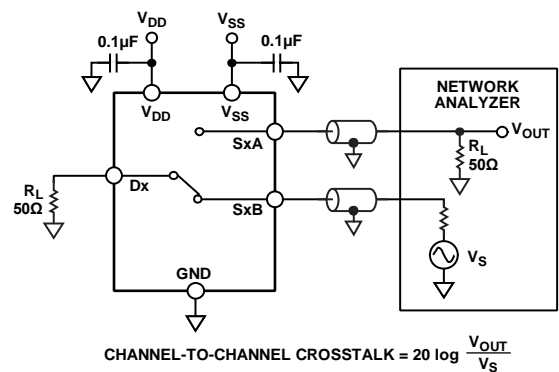
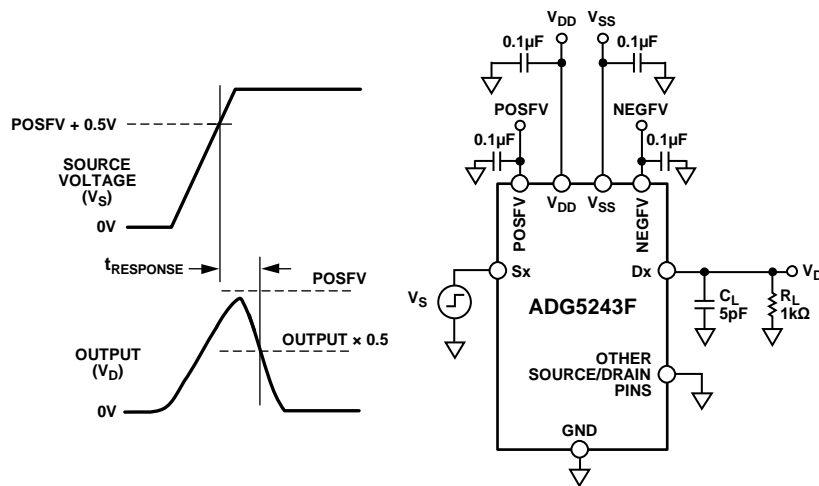
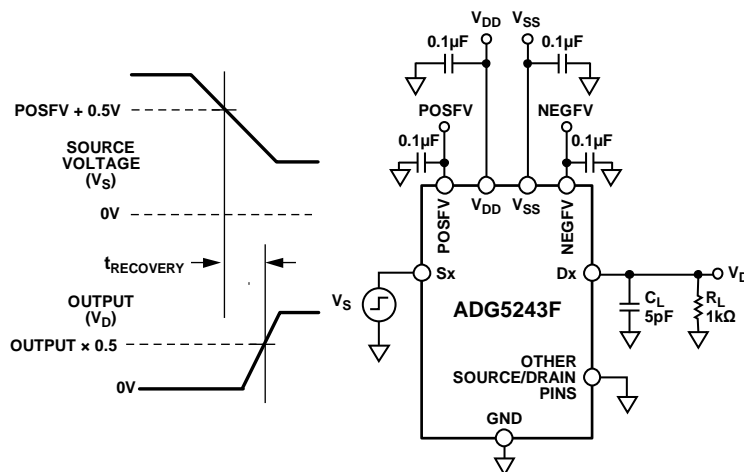


図 38. チャンネル間クロストーク



13073-039

図 39. 過電圧応答時間、 $t_{\text{RESPONSE}}$

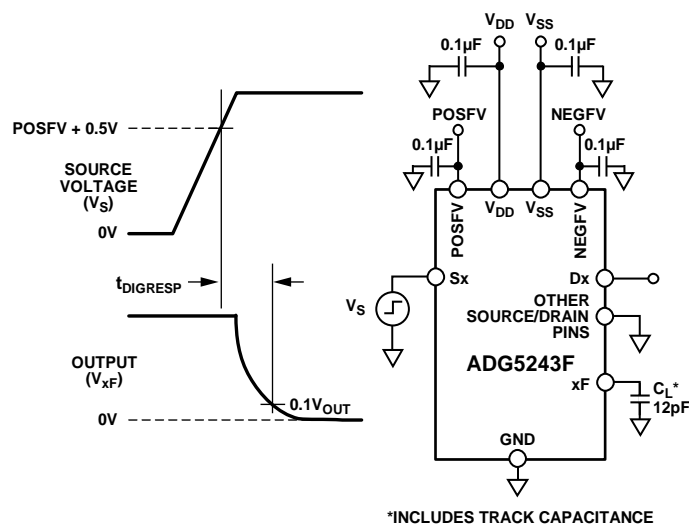


13073-040

NOTES

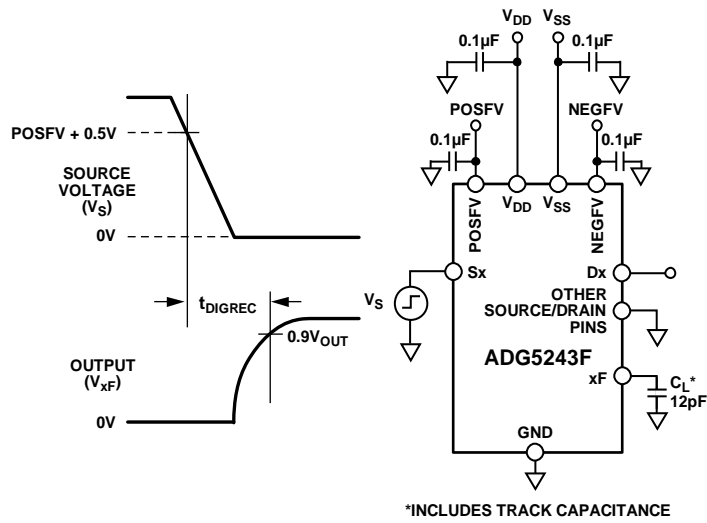
1. THE OUTPUT STARTS FROM THE POSFV CLAMP LEVEL WITHOUT A 1kΩ RESISTOR (INTERNAL 40kΩ PULL-UP RESISTOR TO THE POSFV SUPPLY RAIL DURING A FAULT).

図 40. 過電圧回復時間、 $t_{\text{RECOVERY}}$



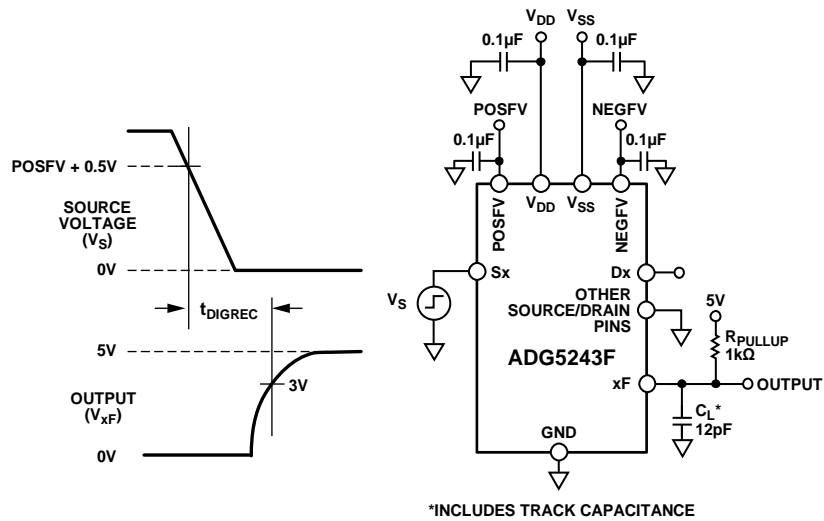
13073-041

図 41. 割込みフラグ応答時間、 $t_{\text{DIGRESP}}$



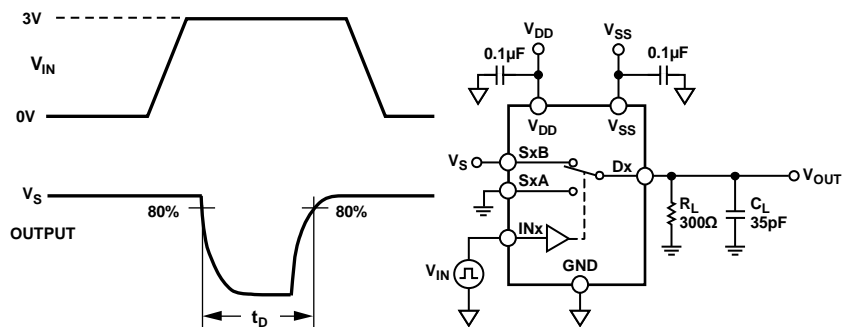
13073-042

図 42. 割込みフラグ回復時間、 $t_{DIGREC}$



13073-043

図 43. 割込みフラグ回復時間、 $t_{DIGREC}$ 、1 kΩ プルアップ抵抗



13073-044

図 44. ブレークビフォアマーク時間遅延、 $t_d$

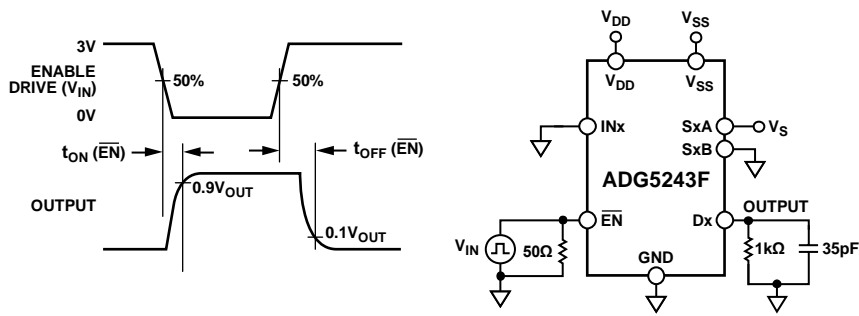


図 45. イネーブル遅延、 $t_{ON}(\overline{EN})$ 、 $t_{OFF}(\overline{EN})$

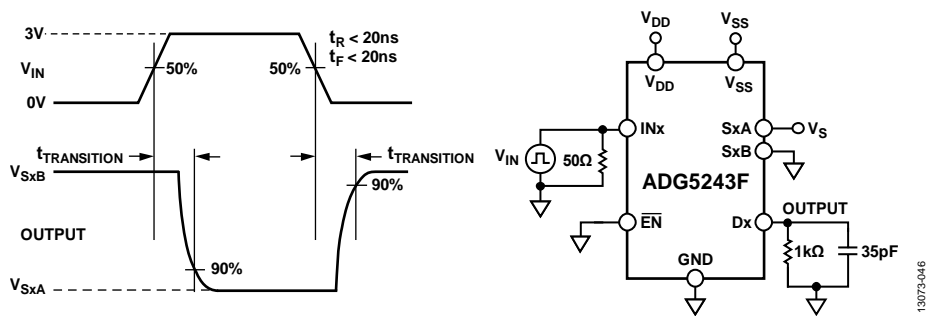


図 46. デジタル制御入力から出力が切り替わるまでの時間、 $t_{TRANSITION}$

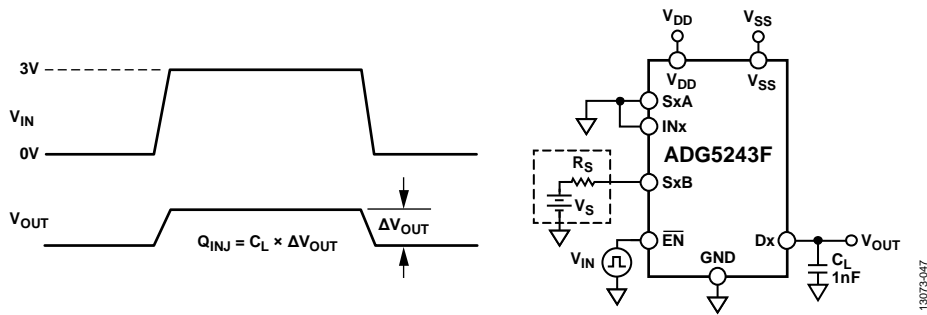


図 47. チャージ・インジェクション、 $Q_{INJ}$

## 用語

**I<sub>DD</sub>**

I<sub>DD</sub> は正側電源電流を表します。

**I<sub>SS</sub>**

I<sub>SS</sub> は負側電源電流を表します。

**I<sub>POSFV</sub>**

I<sub>POSFV</sub> は正側セカンダリ電源電流を表します。

**I<sub>NEGFV</sub>**

I<sub>NEGFV</sub> は負側セカンダリ電源電流を表します。

**V<sub>D</sub>**

V<sub>D</sub> は Dx ピンのアナログ電圧を表します。

**V<sub>S</sub>**

V<sub>S</sub> は Sx ピンのアナログ電圧を表します。

**R<sub>ON</sub>**

R<sub>ON</sub> は Dx ピンと Sx ピンの間の抵抗を表します。

**ΔR<sub>ON</sub>**

ΔR<sub>ON</sub> は任意の 2 チャンネル間の R<sub>ON</sub> の差を表します。

**R<sub>FLAT(ON)</sub>**

R<sub>FLAT(ON)</sub> は、仕様で規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義される抵抗値の平坦性です。

**I<sub>S</sub> (Off)**

I<sub>S</sub> (off) はスイッチ・オフ時のソース・リーク電流です。

**I<sub>D</sub> (Off)**

I<sub>D</sub> (off) はスイッチ・オフ時のドレイン・リーク電流です。

**I<sub>D</sub> (On)、I<sub>S</sub> (On)**

I<sub>D</sub> (on) と I<sub>S</sub> (on) はスイッチ・オン時のチャンネル・リーク電流を表します。

**V<sub>INL</sub>**

V<sub>INL</sub> はロジック 0 の最大入力電圧です。

**V<sub>INH</sub>**

V<sub>INH</sub> はロジック 1 の最小入力電圧です。

**I<sub>INL</sub>、I<sub>INH</sub>**

I<sub>INL</sub> と I<sub>INH</sub> は、それぞれデジタル入力のロー・レベルとハイ・レベルの入力電流を表します。

**C<sub>D</sub> (Off)**

C<sub>D</sub> (off) は、グラウンドを基準として測定されるスイッチ・オフ時のドレイン容量を表します。

**C<sub>S</sub> (Off)**

C<sub>S</sub> (off) は、グラウンドを基準として測定されるスイッチ・オフ時のソース容量を表します。

**C<sub>D</sub> (On)、C<sub>S</sub> (On)**

C<sub>D</sub> (on) と C<sub>S</sub> (on) は、グラウンドを基準として測定されるスイッチ・オン時の容量を表します。

**C<sub>IN</sub>**

C<sub>IN</sub> はデジタル入力容量です。

**t<sub>ON</sub> ( $\overline{\text{EN}}$ )**

t<sub>ON</sub> ( $\overline{\text{EN}}$ ) は、デジタル制御入力を与えてから出力がオンに切り替わるまでの遅延を表します (図 45 参照)。

**t<sub>OFF</sub> ( $\overline{\text{EN}}$ )**

t<sub>OFF</sub> ( $\overline{\text{EN}}$ ) は、デジタル制御入力を与えてから出力がオフに切り替わるまでの遅延を表します (図 45 参照)。

**t<sub>TRANSITION</sub>**

t<sub>TRANSITION</sub> は、あるスイッチ状態から別のスイッチ状態へ切り替わるときの、デジタル入力の 50% ポイントとスイッチ・オン状態の 90% ポイントの間の遅延時間を表します。

**t<sub>D</sub>**

t<sub>D</sub> は、ある状態から別の状態へ切り替わるときの、両スイッチの 80% ポイント間で測定したオフ時間を表します。

**t<sub>DIGRESP</sub>**

t<sub>DIGRESP</sub> は FF ピンがロー・レベル (0.3 V) になるために要する時間で、ソース・ピンの電圧が電源電圧を 0.5 V 上回るポイントを基準に測定されます。

**t<sub>DIGREC</sub>**

t<sub>DIGREC</sub> は FF ピンがハイ・レベルに戻るために要する時間で、Sx ピンの電圧が電源電圧 +0.5 V を下回るポイントを基準に測定されます。

**t<sub>RESPONSE</sub>**

t<sub>RESPONSE</sub> は、ソース電圧が電源電圧を 0.5 V 上回ってから、ドレイン電圧が電源電圧の 90% に低下するまでの遅延を表します。

**t<sub>RESPONSE</sub> ( $\overline{\text{EN}}$ )**

t<sub>RESPONSE</sub> ( $\overline{\text{EN}}$ ) は、イネーブル・ピンがアサートされてから、フォルト状態のスイッチのドレイン電圧が POSFV または NEGFV の 90% に達するまでの遅延を表します。

**t<sub>RECOVERY</sub>**

t<sub>RECOVERY</sub> は、Sx ピンの過電圧が電源電圧 +0.5 V を下回ってから、ドレイン電圧が 0 V から電源電圧の 10% に上昇するまでの遅延を表します。

**オフ時アイソレーション**

オフ時アイソレーションは、オフ状態のスイッチを介した不要信号のカップリングの大きさです。

**チャージ・インジェクション**

チャージ・インジェクションは、切替え時にデジタル入力からアナログ出力へ伝わるグリッチ・インパルスの大きさです。

**チャンネル間クロストーク**

チャンネル間クロストークは、寄生容量に起因して 1 つのチャンネルから別のチャンネルに混入する不要信号の大きさです。

**挿入損失**

挿入損失はスイッチのオン抵抗に起因する損失です。

**-3 dB 帯域幅**

-3 dB 帯域幅は出力が 3 dB 減衰する周波数です。



**AC 電源電圧変動除去比 (ACPSRR)**

ACPSRR は出力信号振幅の変調振幅に対する比です。ACPSRR は、電源電圧ピンに現れるノイズやスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧が 0.62 V p-p の正弦波で変調されます。

**オン応答**

オン応答はオン状態のスイッチの周波数応答です。

 **$V_T$** 

$V_T$  は過電圧保護回路が作動する電圧閾値です。

**全高調波歪み + ノイズ (THD + N)**

THD + N は、高調波振幅と信号ノイズの和の基本波に対する比です。

## 動作原理

### スイッチ・アーキテクチャ

ADG5243Fの各チャンネルは、Nチャンネルの拡散金属酸化膜半導体 (NDMOS) トランジスタとPチャンネルのDMOS (PDMOS) トランジスタの並列対で構成されています。この構成は、全ての信号範囲で優れた性能を提供します。POSFV ~ NEGfV の電圧の入力信号が加えられると、ADG5243Fのチャンネルは通常のスイッチとして動作します。例えば、オン抵抗は250 Ω (代表値) で、スイッチの開閉は対応する制御ピンを使って行います。付加された内部回路を使うと、ソース・ピンの電圧を POSFV および NEGfV と比較することにより、過電圧入力をスイッチに検出させることができます。信号がこれらのセカンダリ電源電圧を電圧閾値  $V_T$  だけ超えたとき、その信号は過電圧と見なされます。閾値電圧は0.7 V (代表値) ですが、 $-40^{\circ}\text{C}$  での0.8 Vから $+125^{\circ}\text{C}$  での0.6 Vまでの範囲を取り得ます。動作温度に対する  $V_T$  の変化については図26を参照してください。全てのソース入力に加えることができる最大電圧は+55 Vまたは-55 Vです。25 V以上の単電源からデバイスに給電する場合、負側の最大信号レベルは減少します。80 Vの最大定格を満たすためには、 $V_{DD}=+25\text{ V}$  での-55 Vから $V_{DD}=+40\text{ V}$  での-40 Vへ減少します。製造プロセス上の構造により、チャンネルは開放時のスイッチ間電圧80 Vに耐えることができます。これらの過電圧制限は、給電の有無にかかわらず適用されます。

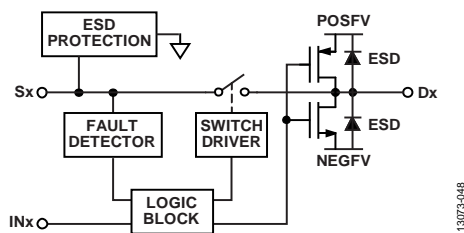


図48. スイッチ・チャンネルと制御機能

ソース・ピン (Sx) で過電圧状態が検出されると、スイッチはデジタル・ロジックの状態に関係なく自動的に開き、ソース・ピンは高インピーダンスになります。フォルト状態のソース・ピンが選択されると、ドレイン・ピンはそれを超えた電源電圧になります。例えば、ソース電圧が POSFV を超えた場合、ドレイン出力は POSFV 電圧になります。ソース電圧が NEGfV を超えた場合には、ドレイン出力は NEGfV 電圧になります。図27では、スイッチが完全にオフするまでドレイン・ピンの電圧がソース・ピンの電圧に追従することが見て分かります。次いで、ドレイン・ピンは1 kΩの負荷抵抗によってGNDに引き下げられ、負荷抵抗がない場合には POSFV 電源電圧になります。ドレインの最大電圧は内蔵 ESD ダイオードにより制限され、出力電圧が放電するレートはピンの負荷に依存します。

過電圧状態では、ソース・ピンを流れるリーク電流は数十マイクロアンペアに制限されます。ソース・ピンが選択されないと、ドレイン・ピンに流れるリーク電流はわずか数ナノアンペアです。ただし、ソース・ピンが選択されると、このピンは電源レールにプルアップされます。ドレイン・ピンを電源レールにプルアップするデバイスは約40 kΩのインピーダンスを持ちます。このため、Dxピンの電流は負荷短絡状態で約1 mAに制限されます。また、この内部インピーダンスは、フォルト時にドレイン・ピンを所定の電圧レベルにするために必要な最小外付け負荷抵抗も決定します。過電圧イベントが発生した場合、過電圧入力の影響を受けないチャンネルは、クロストークの増加なく通常動作を続けます。

### ESD 性能

ドレイン・ピンにはセカンダリ電源レールに接続された ESD 保護ダイオードが内蔵されています。これらのピンの電圧は、セカンダリ電源電圧 (POSFV および NEGfV) を超えないようにする必要があります。ソース・ピンは、電源電圧レベルに関係なく、±55 V に達する信号電圧を許容する特別な ESD 保護機能を備えています。いずれかのソース入力が ±55 V を超えると、デバイスの ESD 保護回路が損傷を受けることがあります。スイッチのチャンネルの概要については、図48を参照してください。

### トレンチ・アイソレーション

ADG5243Fには、各スイッチのNDMOS トランジスタとPDMOS トランジスタの間に絶縁酸化物層 (トレンチ) が設けてあります。トランジスタ間に発生する寄生接合が、接合部が絶縁されたスイッチでは生じないため、いかなる場合でもラッチアップのないスイッチが得られます。このデバイスは、仕様の中で最も厳しい ±500 mA、1 分間の JESD78D ラッチアップ・テストに合格しています。

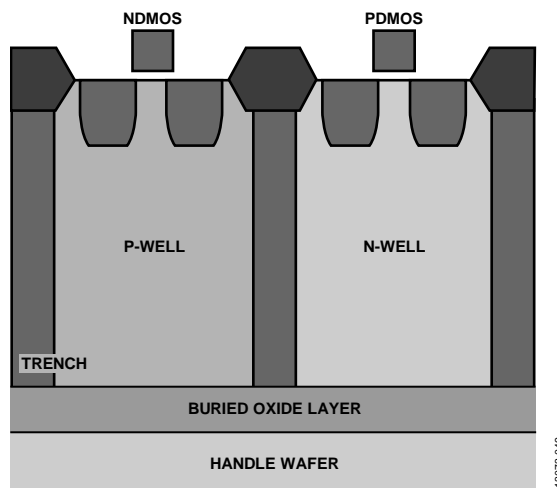


図49. トレンチ・アイソレーション

## ユーザー定義のフォルト保護

POSFV と NEGfV は保護に必要なセカンダリ電源であり、過電圧保護機能が作動するレベルを設定します。POSFV には 4.5 V ~ V<sub>DD</sub> の電源を、NEGfV には V<sub>SS</sub> ~ 0 V の電源を、それぞれ供給することができます。セカンダリ電源を使用しない場合は、これらのピンを V<sub>DD</sub> (POSFV) と V<sub>SS</sub> (NEGfV) に接続します。すると、過電圧保護機能はプライマリ電源電圧で作動します。ソース入力の電圧が POSFV または NEGfV を V<sub>T</sub> だけ上回ると、スイッチがオフします。デバイスが給電されていない場合には、スイッチはオフ状態を維持します。スイッチ入力はデジタル入力の状態に関係なく高インピーダンスを維持し、スイッチが選択されると、ドレインは POSFV または NEGfV の電圧になります。ソース・ピンと電源ピンとの 80 V 制限を満たす限り、給電の有無にかかわらず、+55 V および -55 V までの信号レベルが阻止されます。

## パワーオン保護

スイッチをオン状態にするには以下の条件を満たす必要があります。

- プライマリ電源 (V<sub>DD</sub> と V<sub>SS</sub>) の差が 8 V 以上であること。
- セカンダリ電源 POSFV が 4.5 V ~ V<sub>DD</sub> であり、セカンダリ電源 NEGfV が V<sub>SS</sub> ~ 0 V であること。
- 入力信号が NEGfV - V<sub>T</sub> ~ POSFV + V<sub>T</sub> であること。
- デジタル・ロジック制御入力でスイッチが選択されていること。

スイッチがオンすると、セカンダリ電源レールまでの信号レベルが通過します。

スイッチは、POSFV または NEGfV を閾値電圧 V<sub>T</sub> だけ上回るアナログ入力に反応してオフします。絶対入力電圧制限値は -55 V および +55 V で、ソース・ピンと電源レール間の 80 V 制限を維持します。スイッチは、ソース・ピンの電圧が POSFV ~ NEGfV の範囲に戻るまでオフを維持します。

±15 V の両電源で動作するときのフォルト応答時間 (t<sub>RESPONSE</sub>) は 90 ns (代表値) で、フォルト回復時間 (t<sub>RECOVERY</sub>) は 745 ns です。これらの値は電源電圧と出力負荷条件によって変わります。スイッチ・チャンネル間の最大ストレスは 80 V であるため、フォルト状態ではこの制限に十分に注意する必要があります。例えば、デバイスが図 50 に示すマルチプレクサ構成のケースを考えます。

- V<sub>DD</sub>/V<sub>SS</sub> および POSFV/NEGfV = ±22 V、S1A = S2B = +22 V、S1B = +55 V、S2A = -55 V。
- S1A と S2A を選択。
- S1B と D1 の間の電圧 = +55 V - (22 V) = +33 V。
- S2B と D2 の間の電圧 = +22 V - (-55 V) = +77 V。

これらの計算値は全てデバイス規定値である、ソース入力の 55 V の最大フォルト電圧とスイッチ・オフ時のチャンネルの 80 V の最大値以内です。

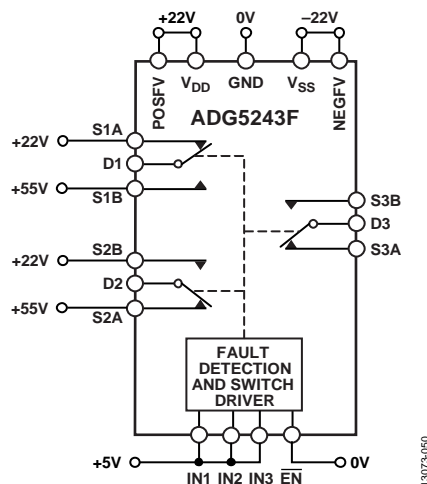


図 50. 過電圧状態の ADG5243F

## パワーオフ保護

電源が供給されていないとき、スイッチはオフ状態を維持し、スイッチ入力は高インピーダンスになります。この状態は、電流が流れないようにして、スイッチまたは後段の回路に対する損傷を防止します。スイッチ出力は、仮想的なオープン・サーキットとして機能します。

V<sub>DD</sub> 電源と V<sub>SS</sub> 電源が 0 V であるかフローティングであるかにかかわらず、スイッチはオフ状態を維持します。適切に動作させるには、常に GND リファレンスが存在する必要があります。非給電状態では、±55 V までの信号レベルが阻止されます。

## デジタル入力保護

ADG5243F は、非給電状態でデバイスへ入力されるデジタル信号に耐えることができます。デバイスに給電されていないとき、デジタル・ロジック信号の状態に関係なく、スイッチはオフ状態になることが保証されています。

デジタル入力は、最大 44 V の正側フォルト電圧に対して保護されていますが、負側過電圧に対しては保護されていません。デジタル入力には GND に接続された ESD 保護ダイオードがあります。

## 過電圧割込みフラグ

ADG5243F のソース入力の電圧が継続的にモニタされ、スイッチの状態がアクティブ・ローのデジタル出力ピン FF で示されます。FF ピンの電圧は、いずれかのソース入力ピンがフォルト状態になっているかどうかを示します。全てのソース・ピンが通常動作範囲内にある場合、FF ピンの出力は公称 3 V です。いずれかのソース・ピンの電圧が、セカンダリ電源電圧を V<sub>T</sub> だけ超えると、FF 出力は 0.4 V を下回ります。

フォルト特定デジタル出力ピン SF を使って、フォルト状態になっている入力をデコードします。F0、F1、F2 の状態 (表 9 参照) によって特定のピンにフォルト状態が検出されると、SF ピンは 0.4 V を下回ります。

## アプリケーション情報

スイッチやマルチプレクサの過電圧保護ファミリは、計装用、工業用、車載用、航空宇宙用、さらに過電圧信号が存在し、かつその過電圧信号以後もシステムが動作を維持しなければならないその他の過酷な環境に対して、信頼性の高いソリューションを提供します。

### 電源レール

デバイスの正常動作を保証するためには、プライマリ電源とセカンダリ電源に  $0.1\ \mu\text{F}$  のデカップリング・コンデンサが必要です。これらと同じ電源で駆動する場合は、1組の  $0.1\ \mu\text{F}$  デカップリング・コンデンサで十分です。

セカンダリ電源 (POSFV と NEGfV) は、フォルト保護を行うために必要な電流を供給するため、低出力インピーダンス電源である必要があります。したがって、抵抗分圧器とバッファを使ってプライマリ電源から発生させることが一般的です。

セカンダリ電源レール (POSFV と NEGfV) はプライマリ電源レール ( $V_{\text{DD}}$  と  $V_{\text{SS}}$ ) を超えないようにする必要があります。これは信号がスイッチを意図せず通過してしまうことを防止するためです。

ADG5243F は、 $\pm 5\ \text{V}$  ～  $\pm 22\ \text{V}$  の両極性電源で動作させることができます。 $V_{\text{DD}}$  と  $V_{\text{SS}}$  の電源は対称である必要はありませんが、 $V_{\text{DD}}$  ～  $V_{\text{SS}}$  の範囲は  $44\ \text{V}$  を超えてはなりません。また、ADG5243F は  $V_{\text{SS}}$  を GND に接続した  $8\ \text{V}$  ～  $44\ \text{V}$  の単電源で動作することもできます。

ADG5243F は  $\pm 15\ \text{V}$ 、 $\pm 20\ \text{V}$ 、 $+12\ \text{V}$ 、 $+36\ \text{V}$  の各電源範囲で仕様が規定されています。

### 電源シーケンシング保護

デバイスが給電されていないとき、チャンネルは開いたままであり、デバイスに損傷を与えることなく、 $-55\ \text{V}$  ～  $+55\ \text{V}$  の信号を加えることができます。電源が接続され、制御ピンに適切なデジタル制御信号が与えられ、信号が通常動作範囲内のときだけ、スイッチ・チャンネルが閉じます。ADG5243F を外部コネクタと敏感な部品の間、配置することにより、電源電圧が供給される前に信号をソース・ピンに加えるシステムを保護します。

### 信号範囲

プライマリ電源がチャンネルのオン抵抗のプロファイルを決定し、セカンダリ電源が信号範囲を決定します。 $V_{\text{DD}}$  と  $V_{\text{SS}}$  より狭い POSFV と NEGfV の電圧を使うと、必要とされる信号はデバイスのフル信号能力の中央の平坦なオン抵抗を利用することができます。

### 電源の推奨事項

アナログ・デバイスでは、大部分の高性能シグナル・チェーンの条件を満たす広範囲なパワー・マネージメント製品を提供しています。

両極性電源ソリューションの例を図 51 に示します。ADP7118 と ADP7182 を使って、ADP5070 デュアル・スイッチング・レギュレータの出力からクリーンな正電源レールと負電源レールを発生させることができます。これらの電源レールを使って、一般的なシグナル・チェーン内で ADG5243F、アンプ、または高精度コンバータに電源を供給することができます。

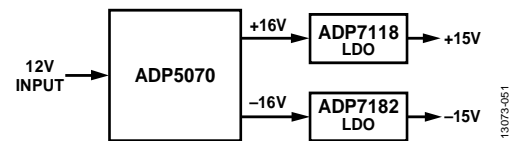


図 51. 両極性電源ソリューション

表 10. 推奨パワー・マネージメント・デバイス

Product	Description
ADP5070	1 A/0.6 A, dc-to-dc switching regulator with independent positive and negative outputs
ADP7118	20 V, 200 mA, low noise, CMOS LDO
ADP7142	40 V, 200 mA, low noise, CMOS LDO
ADP7182	-28 V, -200 mA, low noise, linear regulator

### 高電圧サージ除去

ADG5243F は、非常に高い電圧でのアプリケーションを対象にしていません。トランジスタの最大動作電圧は  $80\ \text{V}$  です。入力にこのブレイクダウン電圧を超える過電圧が加わりそうなアプリケーションでは、過渡電圧サプレッサ (TVS) または同等品を使用してください。

### 高度なフォルト検出

ADG5243F のデジタル出力ピン FF は、マイクロプロセッサまたは制御システムとインターフェースすることができ、割込みフラグとして使用することができます。この機能は、デバイスの状態とそれに接続されるシステムの状態のリアルタイム診断情報を提供します。

制御システムはデジタル割込み FF を使って、次のような各種動作を開始することができます。

- 過電圧フォルトの原因の調査の開始。
- 過電圧状態に応じてクリティカルなシステムをシャットダウン。
- データ・レコーダを使って、これらのイベント時のデータを低信頼性または仕様範囲外としてマーキング。

起動シーケンス時に影響を受けやすいシステムの場合、フラグのアクティブ・ロー動作により、ADG5243F がパワーオンし、かつ動作開始前に全ての入力電圧が通常動作範囲内にあることをシステムが保証できるようになります。

FF ピンは微小なプルアップ抵抗を内蔵しているため、複数のデバイスを含む大きなモジュールに対して複数の信号を 1 本の割込みにまとめることができます。

$1\ \text{k}\Omega$  の外付けプルアップ抵抗を使うと、回復時間  $t_{\text{DIGREC}}$  を  $65\ \mu\text{s}$  (代表値) から  $900\ \text{ns}$  へ短縮することができます。

フォルト特定デジタル出力 SF により、フォルト状態になっている入力をデコードします。F0、F1、F2 の各ピンの状態 (表 9 参照) によって特定のピンにフォルト状態が検出されると、SF ピンは  $0.4\ \text{V}$  を下回ります。

**高電圧、高周波の信号**

図 29 は、ADG5243F が確実に伝えることができる電圧範囲と周波数を示しています。信号が  $V_{SS} \sim V_{DD}$  のフル信号範囲にわたる場合は、周波数を 1 MHz より低く維持してください。必要な周波数が 1 MHz を超える場合は、信号の完全性を保証するために信号範囲を適切に縮小してください。

外形寸法

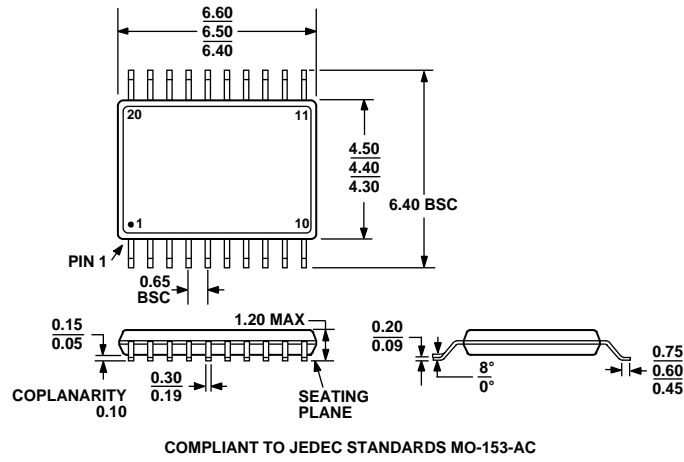


図 52.24 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-20)  
寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADG5243FBRUZ	-40°C to +125°C	20-Lead Thin Shrink Small Outline Package [TSSOP]	RU-20
ADG5243FBRUZ-RL7	-40°C to +125°C	20-Lead Thin Shrink Small Outline Package [TSSOP]	RU-20

<sup>1</sup> Z = RoHS 準拠製品。