

### 特長

ラッチアップ保護機能を内蔵  
 オフ時ソース容量: 3 pF  
 オフ時ドレイン容量: 5 pF  
 チャージ・インジェクション: 0.07 pC  
 低リーク: 85°Cで最大 0.2 nA  
 両電源動作:  $\pm 9\text{ V} \sim \pm 22\text{ V}$   
 単電源動作: 9 V ~ 40 V  
 最大電源電圧定格: 48 V  
 仕様を $\pm 15\text{ V}$ 、 $\pm 20\text{ V}$ 、 $+12\text{ V}$ 、 $+36\text{ V}$ 電源で規定  
 アナログ信号範囲:  $V_{SS} \sim V_{DD}$

### アプリケーション

自動テスト装置  
 データ・アキュイジション  
 計装機器  
 航空電子機器  
 オーディオとビデオ・スイッチング  
 通信システム

### 概要

ADG5212/ADG5213 は、4 個の独立なシングル・ポール/シングル・スロー(SPST)スイッチを内蔵しています。ADG5212 スwitchはロジック 1 でターンオンします。ADG5213 には ADG5212 と同じデジタル・コントロール・ロジックを持つスイッチが 2 個とロジックが反転している 2 個のスイッチが内蔵されています。各スイッチはオンのとき等しく両方向に導通し、入力信号範囲は電源電圧まで可能です。オフ状態では、電源電圧までの信号レベルを阻止します。

ADG5212 と ADG5213 には、 $V_L$  ピンがありません。デジタル入力は、全動作電源範囲で 3 V ロジック入力と互換です。

これらのスイッチは、極めて小さい容量とチャージ・インジェクションを持つため、低グリッチと高速なセトリングを必要とするデータ・アキュイジションとサンプル・アンド・ホールドのアプリケーションに最適なソリューションになっています。このデバイスは、高速なスイッチング速度と広い信号帯域幅の組み合わせを持つため、ビデオ信号スイッチングにも適しています。

### 機能ブロック図

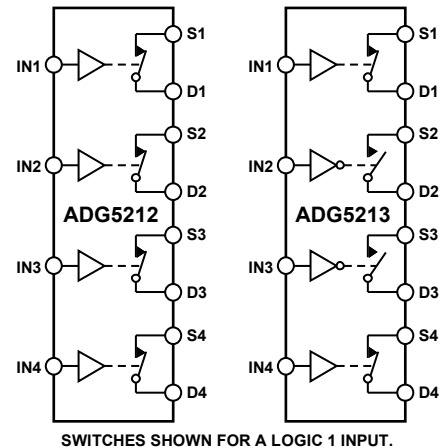


図 1.

### 製品のハイライト

1. トレンチ・アイソレーションによりラッチアップから保護します。絶縁トレンチにより p チャンネルと n チャンネルのトランジスタを分離することにより、厳しい過電圧状態でもラッチアップを防止します。
2. 極めて小さい容量と 1 pC 以下のチャージ・インジェクション。
3. 両電源動作。  
アナログ信号がバイポーラであるアプリケーションに対しては、ADG5212/ADG5213 は $\pm 22\text{ V}$ までの両電源で動作することができます。
4. 単電源動作。  
アナログ信号がユニポーラであるアプリケーションに対しては、ADG5212/ADG5213 は 40 V までの単電源で動作することができます。
5. 3 V ロジック互換のデジタル入力。  
 $V_{INH} = 2.0\text{ V}$ 、 $V_{INL} = 0.8\text{ V}$ 。
6.  $V_L$  ロジック電源が不要。

## 目次

特長.....	1	チャンネルあたりの連続電流、SxまたはDx.....	7
アプリケーション.....	1	絶対最大定格.....	8
機能ブロック図.....	1	ESDの注意.....	8
概要.....	1	ピン配置およびピン機能説明.....	9
製品のハイライト.....	1	代表的な性能特性.....	10
改訂履歴.....	2	テスト回路.....	14
仕様.....	3	用語.....	16
±15 V両電源.....	3	トレンチ・アイソレーション.....	17
±20 V両電源.....	4	アプリケーション情報.....	18
12 V単電源.....	5	外形寸法.....	19
36 V単電源.....	6	オーダー・ガイド.....	19

## 改訂履歴

4/11—Revision 0: Initial Version

## 仕様

## ±15 V両電源

特に指定がない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			$V_{DD}$ to $V_{SS}$	V max	
On Resistance, $R_{ON}$	160			$\Omega$ typ	$V_S = \pm 10\text{ V}$ , $I_S = -1\text{ mA}$ , see Figure 24
On-Resistance Match Between Channels, $\Delta R_{ON}$	200	250	280	$\Omega$ max	$V_{DD} = +13.5\text{ V}$ , $V_{SS} = -13.5\text{ V}$ $V_S = \pm 10\text{ V}$ , $I_S = -1\text{ mA}$
	2			$\Omega$ typ	
	8	9	10	$\Omega$ max	
On-Resistance Flatness, $R_{FLAT(ON)}$	38			$\Omega$ typ	$V_S = \pm 10\text{ V}$ , $I_S = -1\text{ mA}$
	50	65	70	$\Omega$ max	
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	0.01			nA typ	$V_{DD} = +16.5\text{ V}$ , $V_{SS} = -16.5\text{ V}$ $V_S = \pm 10\text{ V}$ , $V_D = \mp 10\text{ V}$ , see Figure 23
Drain Off Leakage, $I_D$ (Off)	0.1	0.2	0.4	nA max	
	0.01			nA typ	$V_S = \pm 10\text{ V}$ , $V_D = \mp 10\text{ V}$ , see Figure 23
Channel On Leakage, $I_D$ (On), $I_S$ (On)	0.1	0.2	0.4	nA max	
	0.02			nA typ	$V_S = V_D = \pm 10\text{ V}$ , see Figure 26
	0.2	0.25	0.9	nA max	
<b>DIGITAL INPUTS</b>					
Input High Voltage, $V_{INH}$			2.0	V min	
Input Low Voltage, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	0.002		$\pm 0.1$	$\mu\text{A}$ typ	$V_{IN} = V_{GND}$ or $V_{DD}$
				$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	3			pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
$t_{ON}$	175			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	210	255	280	ns max	$V_S = 10\text{ V}$ , see Figure 30
$t_{OFF}$	140			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	170	195	215	ns max	$V_S = 10\text{ V}$ , see Figure 30
Break-Before-Make Time Delay, $t_D$ (ADG5213 Only)	40			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
Charge Injection, $Q_{INJ}$	0.07		20	ns min	$V_{S1} = V_{S2} = 10\text{ V}$ , see Figure 29
				pC typ	$V_S = 0\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ , see Figure 31
Off Isolation	-105			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 25
Channel-to-Channel Crosstalk	-105			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 27
-3 dB Bandwidth	435			MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , see Figure 28
Insertion Loss	-6.8			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 28
$C_S$ (Off)	3			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (Off)	5			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (On), $C_S$ (On)	8			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
<b>POWER REQUIREMENTS</b>					
$I_{DD}$	45			$\mu\text{A}$ typ	$V_{DD} = +16.5\text{ V}$ , $V_{SS} = -16.5\text{ V}$
	55		70	$\mu\text{A}$ max	Digital inputs = 0 V or $V_{DD}$
$I_{SS}$	0.001			$\mu\text{A}$ typ	Digital inputs = 0 V or $V_{DD}$
			1	$\mu\text{A}$ max	
$V_{DD}/V_{SS}$			$\pm 9/\pm 22$	V min/V max	$GND = 0\text{ V}$

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

## ±20 V両電源

特に指定がない限り、 $V_{DD} = +20\text{ V} \pm 10\%$ 、 $V_{SS} = -20\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 2.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			$V_{DD}$ to $V_{SS}$	V max	
On Resistance, $R_{ON}$	140			$\Omega$ typ	$V_S = \pm 15\text{ V}$ , $I_S = -1\text{ mA}$ , see Figure 24
On-Resistance Match Between Channels, $\Delta R_{ON}$	160 1.5	200	230	$\Omega$ max $\Omega$ typ	$V_{DD} = +18\text{ V}$ , $V_{SS} = -18\text{ V}$ $V_S = \pm 15\text{ V}$ , $I_S = -1\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	8 33 45	9 55	10 60	$\Omega$ max $\Omega$ typ $\Omega$ max	$V_S = \pm 15\text{ V}$ , $I_S = -1\text{ mA}$
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	0.01			nA typ	$V_{DD} = +22\text{ V}$ , $V_{SS} = -22\text{ V}$ $V_S = \pm 15\text{ V}$ , $V_D = \mp 15\text{ V}$ , see Figure 23
Drain Off Leakage, $I_D$ (Off)	0.1 0.01	0.2	0.4	nA max nA typ	$V_S = \pm 15\text{ V}$ , $V_D = \mp 15\text{ V}$ , see Figure 23
Channel On Leakage, $I_D$ (On), $I_S$ (On)	0.1 0.02 0.2	0.2 0.25	0.4 0.9	nA max nA typ nA max	$V_S = V_D = \pm 15\text{ V}$ , see Figure 26
<b>DIGITAL INPUTS</b>					
Input High Voltage, $V_{INH}$			2.0	V min	
Input Low Voltage, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	0.002			$\mu\text{A}$ typ $\mu\text{A}$ max	$V_{IN} = V_{GND}$ or $V_{DD}$
Digital Input Capacitance, $C_{IN}$	3			pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
$t_{ON}$	155 195	235	255	ns typ ns max	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$ , see Figure 30
$t_{OFF}$	145 165	185	210	ns typ ns max	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$ , see Figure 30
Break-Before-Make Time Delay, $t_D$ (ADG5213 Only)	35			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
Charge Injection, $Q_{INJ}$	-0.5		20	ns min pC typ	$V_{S1} = V_{S2} = 10\text{ V}$ , see Figure 29 $V_S = 0\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ , see Figure 31
Off Isolation	-105			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 25
Channel-to-Channel Crosstalk	-105			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 27
-3 dB Bandwidth	460			MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , see Figure 28
Insertion Loss	-6			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 28
$C_S$ (Off)	2.8			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (Off)	4.8			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (On), $C_S$ (On)	8			pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
<b>POWER REQUIREMENTS</b>					
$I_{DD}$	50 70		110	$\mu\text{A}$ typ $\mu\text{A}$ max	$V_{DD} = +22\text{ V}$ , $V_{SS} = -22\text{ V}$ Digital inputs = 0 V or $V_{DD}$
$I_{SS}$	0.001		1	$\mu\text{A}$ typ $\mu\text{A}$ max	Digital inputs = 0 V or $V_{DD}$
$V_{DD}/V_{SS}$			$\pm 9/\pm 22$	V min/V max	$GND = 0\text{ V}$

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

## 12 V単電源

特に指定がない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 3.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			0 V to $V_{DD}$	V max	
On Resistance, $R_{ON}$	350			$\Omega$ typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$ , see Figure 24
On-Resistance Match Between Channels, $\Delta R_{ON}$	500	610	700	$\Omega$ max	$V_{DD} = 10.8\text{ V}$ , $V_{SS} = 0\text{ V}$
	4			$\Omega$ typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	20	21	22	$\Omega$ max	
	160			$\Omega$ typ	$V_S = 0\text{ V}$ to 10 V, $I_S = -1\text{ mA}$
	280	335	370	$\Omega$ max	
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, $I_S$ (Off)	0.01			nA typ	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ , see Figure 23
Drain Off Leakage, $I_D$ (Off)	0.1	0.2	0.4	nA max	
	0.01			nA typ	$V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ , see Figure 23
Channel On Leakage, $I_D$ (On), $I_S$ (On)	0.1	0.2	0.4	nA max	
	0.02			nA typ	$V_S = V_D = 1\text{ V}/10\text{ V}$ , see Figure 26
	0.2	0.25	0.9	nA max	
<b>DIGITAL INPUTS</b>					
Input High Voltage, $V_{INH}$			2.0	V min	
Input Low Voltage, $V_{INL}$			0.8	V max	
Input Current, $I_{INL}$ or $I_{INH}$	0.002		$\pm 0.1$	$\mu\text{A}$ typ	$V_{IN} = V_{GND}$ or $V_{DD}$
				$\mu\text{A}$ max	
Digital Input Capacitance, $C_{IN}$	3			pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
$t_{ON}$	235			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	290	360	410	ns max	$V_S = 8\text{ V}$ , see Figure 30
$t_{OFF}$	165			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	205	235	260	ns max	$V_S = 8\text{ V}$ , see Figure 30
Break-Before-Make Time Delay, $t_D$ (ADG5213 Only)	85			ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
Charge Injection, $Q_{INJ}$	-0.5		50	ns min	$V_{S1} = V_{S2} = 8\text{ V}$ , see Figure 29
				pC typ	$V_S = 6\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ , see Figure 31
Off Isolation	-105			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 25
Channel-to-Channel Crosstalk	-105			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 27
-3 dB Bandwidth	340			MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , see Figure 28
Insertion Loss	-11			dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ , see Figure 28
$C_S$ (Off)	3.5			pF typ	$V_S = 6\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (Off)	5.5			pF typ	$V_S = 6\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (On), $C_S$ (On)	9			pF typ	$V_S = 6\text{ V}$ , $f = 1\text{ MHz}$
<b>POWER REQUIREMENTS</b>					
$I_{DD}$	40			$\mu\text{A}$ typ	$V_{DD} = 13.2\text{ V}$
			65	$\mu\text{A}$ max	Digital inputs = 0 V or $V_{DD}$

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
V <sub>DD</sub>			9/40	V min/V max	GND = 0 V, V <sub>SS</sub> = 0 V

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

### 36 V単電源

特に指定がない限り、V<sub>DD</sub> = 36 V ± 10%、V<sub>SS</sub> = 0 V、GND = 0 V。

表 4.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>					
Analog Signal Range			0 V to V <sub>DD</sub>	V max	
On Resistance, R <sub>ON</sub>	150			Ω typ	V <sub>S</sub> = 0 V to 30 V, I <sub>S</sub> = -1 mA, see Figure 24
On-Resistance Match Between Channels, ΔR <sub>ON</sub>	170	215	245	Ω max	V <sub>DD</sub> = 32.4 V, V <sub>SS</sub> = 0 V
On-Resistance Flatness, R <sub>FLAT(ON)</sub>	1.6			Ω typ	V <sub>S</sub> = 0 V to 30 V, I <sub>S</sub> = -1 mA
	8	9	10	Ω max	
	35			Ω typ	V <sub>S</sub> = 0 V to 30 V, I <sub>S</sub> = -1 mA
	50	60	65	Ω max	
<b>LEAKAGE CURRENTS</b>					
Source Off Leakage, I <sub>S</sub> (Off)	0.01			nA typ	V <sub>DD</sub> = 39.6 V, V <sub>SS</sub> = 0 V V <sub>S</sub> = 1 V/30 V, V <sub>D</sub> = 30 V/1 V, see Figure 23
Drain Off Leakage, I <sub>D</sub> (Off)	0.1	0.2	0.4	nA max	
	0.01			nA typ	V <sub>S</sub> = 1 V/30 V, V <sub>D</sub> = 30 V/1 V, see Figure 23
Channel On Leakage, I <sub>D</sub> (On), I <sub>S</sub> (On)	0.1	0.2	0.4	nA max	
	0.02			nA typ	V <sub>S</sub> = V <sub>D</sub> = 1 V/30 V, see Figure 26
	0.2	0.25	0.9	nA max	
<b>DIGITAL INPUTS</b>					
Input High Voltage, V <sub>INH</sub>			2.0	V min	
Input Low Voltage, V <sub>INL</sub>			0.8	V max	
Input Current, I <sub>INL</sub> or I <sub>INH</sub>	0.002			μA typ	V <sub>IN</sub> = V <sub>GND</sub> or V <sub>DD</sub>
			±0.1	μA max	
Digital Input Capacitance, C <sub>IN</sub>	3			pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>					
t <sub>ON</sub>	190			ns typ	R <sub>L</sub> = 300 Ω, C <sub>L</sub> = 35 pF
	230	255	265	ns max	V <sub>S</sub> = 18 V, see Figure 30
t <sub>OFF</sub>	175			ns typ	R <sub>L</sub> = 300 Ω, C <sub>L</sub> = 35 pF
	215	230	245	ns max	V <sub>S</sub> = 18 V, see Figure 30
Break-Before-Make Time Delay, t <sub>D</sub> (ADG5213 Only)	45			ns typ	R <sub>L</sub> = 300 Ω, C <sub>L</sub> = 35 pF
Charge Injection, Q <sub>INJ</sub>			25	ns min	V <sub>S1</sub> = V <sub>S2</sub> = 18 V, see Figure 29
	-0.5			pC typ	V <sub>S</sub> = 18 V, R <sub>S</sub> = 0 Ω, C <sub>L</sub> = 1 nF, see Figure 31
Off Isolation	-105			dB typ	R <sub>L</sub> = 50 Ω, C <sub>L</sub> = 5 pF, f = 1 MHz, see Figure 25
Channel-to-Channel Crosstalk	-105			dB typ	R <sub>L</sub> = 50 Ω, C <sub>L</sub> = 5 pF, f = 1 MHz, Figure 27
-3 dB Bandwidth	410			MHz typ	R <sub>L</sub> = 50 Ω, C <sub>L</sub> = 5 pF, see Figure 28
Insertion Loss	-6.8			dB typ	R <sub>L</sub> = 50 Ω, C <sub>L</sub> = 5 pF, f = 1 MHz, see Figure 28
C <sub>S</sub> (Off)	3			pF typ	V <sub>S</sub> = 18 V, f = 1 MHz
C <sub>D</sub> (Off)	5			pF typ	V <sub>S</sub> = 18 V, f = 1 MHz
C <sub>D</sub> (On), C <sub>S</sub> (On)	8			pF typ	V <sub>S</sub> = 18 V, f = 1 MHz
<b>POWER REQUIREMENTS</b>					
I <sub>DD</sub>	80			μA typ	V <sub>DD</sub> = 39.6 V Digital inputs = 0 V or V <sub>DD</sub>

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
$V_{DD}$	100		130 9/40	$\mu\text{A max}$ $\text{V min/V max}$	$\text{GND} = 0 \text{ V}, V_{SS} = 0 \text{ V}$

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

## チャンネルあたりの連続電流、SxまたはDx

表 5.

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx or Dx				
$V_{DD} = +15 \text{ V}, V_{SS} = -15 \text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	18	10	5	mA maximum
LFCSP ( $\theta_{JA} = 30.4^\circ\text{C/W}$ )	32	15	6	mA maximum
$V_{DD} = +20 \text{ V}, V_{SS} = -20 \text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	29	16	8	mA maximum
LFCSP ( $\theta_{JA} = 30.4^\circ\text{C/W}$ )	50	22	9	mA maximum
$V_{DD} = 12 \text{ V}, V_{SS} = 0 \text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	18	12	7	mA maximum
LFCSP ( $\theta_{JA} = 30.4^\circ\text{C/W}$ )	32	17	8	mA maximum
$V_{DD} = 36 \text{ V}, V_{SS} = 0 \text{ V}$				
TSSOP ( $\theta_{JA} = 112.6^\circ\text{C/W}$ )	34	18	8	mA maximum
LFCSP ( $\theta_{JA} = 30.4^\circ\text{C/W}$ )	59	24	9	mA maximum

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
$V_{DD}$ to $V_{SS}$	48 V
$V_{DD}$ to GND	-0.3 V to +48 V
$V_{SS}$ to GND	+0.3 V to -48 V
Analog Inputs <sup>1</sup>	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Digital Inputs <sup>1</sup>	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Peak Current, Sx or Dx Pin	60 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or Dx <sup>2</sup>	Data + 15%
Temperature	
Operating Range	-40°C to +125°C
Storage Range	-65°C to +150°C
Junction	150°C
Thermal Impedance, $\theta_{JA}$	
16-Lead TSSOP (4-Layer Board)	112.6°C/W
16-Lead LFCSP (4-Layer Board)	30.4°C/W
Reflow Soldering Peak Temperature, Pb Free	260(+0/-5)°C

<sup>1</sup>INx、Sx、Dx ピンでの過電圧は内部ダイオードでクランプされます。電流は、規定された最大定格に制限してください。

<sup>2</sup>表 5 を参照。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

同時に複数の絶対最大定格条件を適用することはできません。

### ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



## ピン配置およびピン機能説明

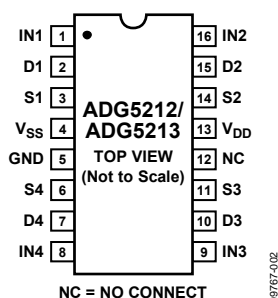
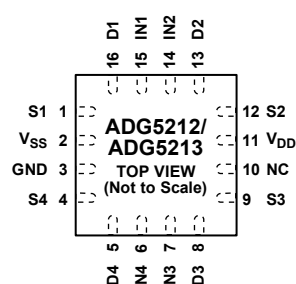


図 2.TSSOP のピン配置



NOTES  
1. EXPOSED PAD TIED TO SUBSTRATE, V<sub>SS</sub>.  
2. NC = NO CONNECT.

図 3.LFCSP のピン配置

表 7.ピン機能の説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	15	IN1	ロジック・コントロール入力。
2	16	D1	ドレイン・ピン。このピンは、入力または出力に設定することができます。
3	1	S1	ソース・ピン。このピンは、入力または出力に設定することができます。
4	2	V <sub>SS</sub>	負電源電位。
5	3	GND	グラウンドリファレンス(0 V)。
6	4	S4	ソース・ピン。このピンは、入力または出力に設定することができます。
7	5	D4	ドレイン・ピン。このピンは、入力または出力に設定することができます。
8	6	IN4	ロジック・コントロール入力。
9	7	IN3	ロジック・コントロール入力。
10	8	D3	ドレイン・ピン。このピンは、入力または出力に設定することができます。
11	9	S3	ソース・ピン。このピンは、入力または出力に設定することができます。
12	10	NC	未接続。これらのピンはオープンです。
13	11	V <sub>DD</sub>	正電源電位。
14	12	S2	ソース・ピン。このピンは、入力または出力に設定することができます。
15	13	D2	ドレイン・ピン。このピンは、入力または出力に設定することができます。
16	14	IN2	ロジック・コントロール入力。
N/A <sup>1</sup>	EP	エクスポーズド・パッド	エクスポーズド・パッド。エクスポーズド・パッドは内部で接続されています。ハンダ接続の信頼性と熱能力を向上させるために、このパッドをサブストレート V <sub>SS</sub> にハンダ付けることが推奨されます。

<sup>1</sup> N/A = 該当しません。

表 8.ADG5212 の真理値表

ADG5212 INx	Switch Condition
1	On
0	Off

表 9.ADG5213 の真理値表

ADG5213 INx	S1, S4	S2, S3
0	Off	On
1	On	Off

代表的な性能特性

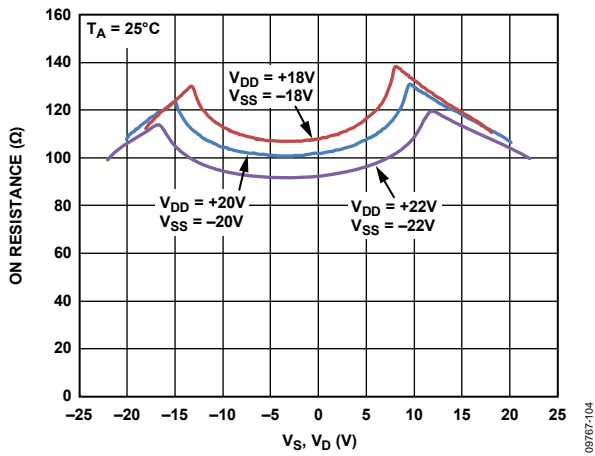


図 4.  $V_S$ 、 $V_D$  の関数としての  $R_{ON}$ 、両電源

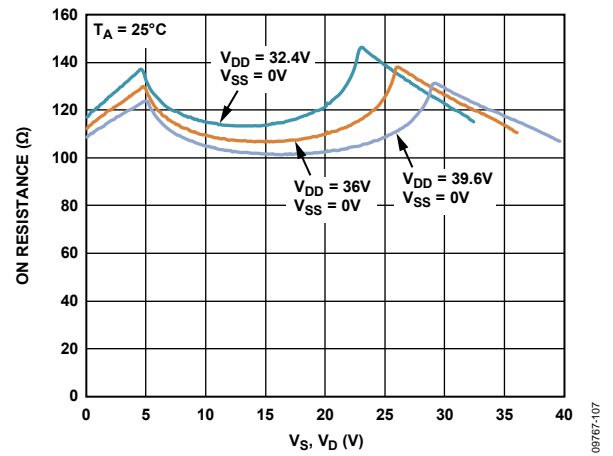


図 7.  $V_S$ 、 $V_D$  の関数としての  $R_{ON}$ 、単電源

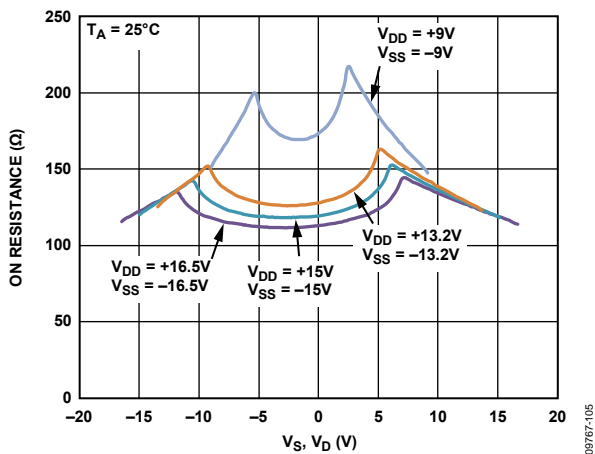


図 5.  $V_S$ 、 $V_D$  の関数としての  $R_{ON}$ 、両電源

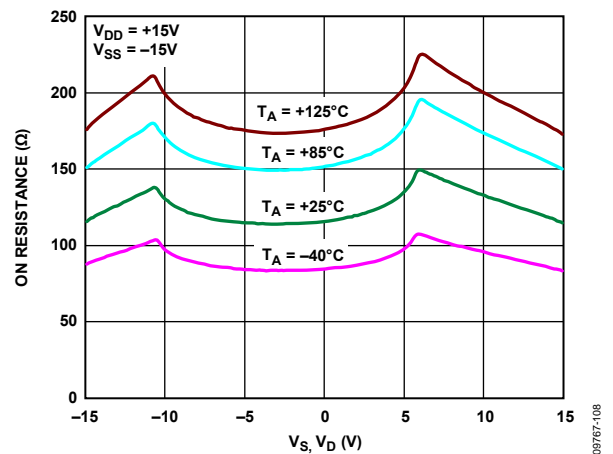


図 8.  $V_S$ 、 $V_D$  の関数としての様々な温度での  $R_{ON}$ 、±15 V 両電源

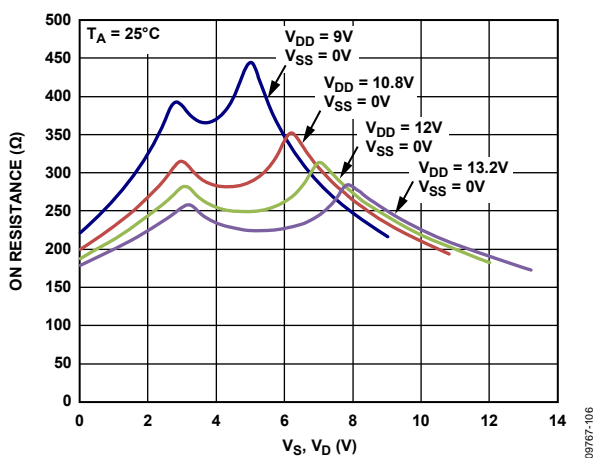


図 6.  $V_S$ 、 $V_D$  の関数としての  $R_{ON}$ 、単電源

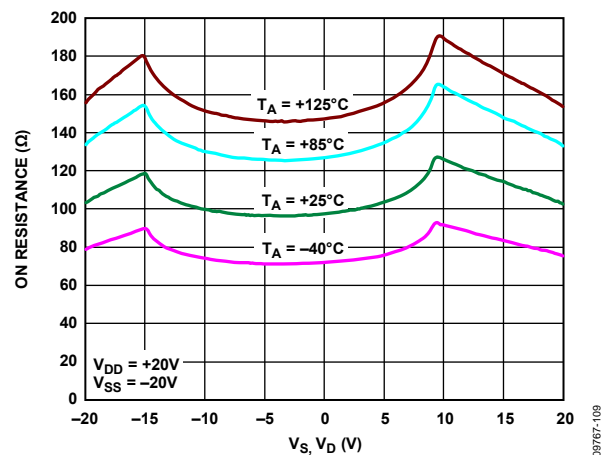


図 9.  $V_S$ 、 $V_D$  の関数としての様々な温度での  $R_{ON}$ 、±20 V 両電源

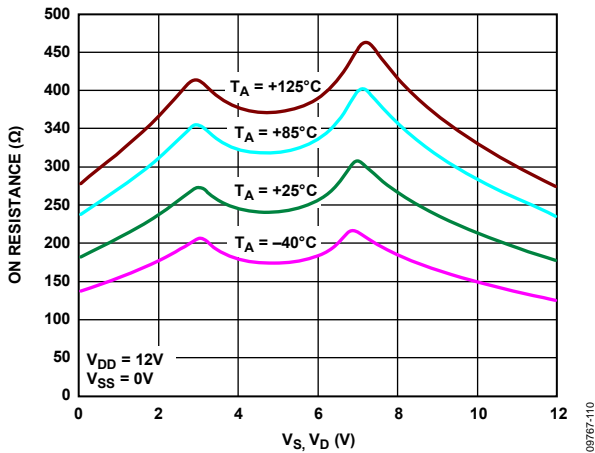


図 10.  $V_S$ 、 $V_D$  の関数としての様々な温度での  $R_{ON}$ 、12 V 単電源

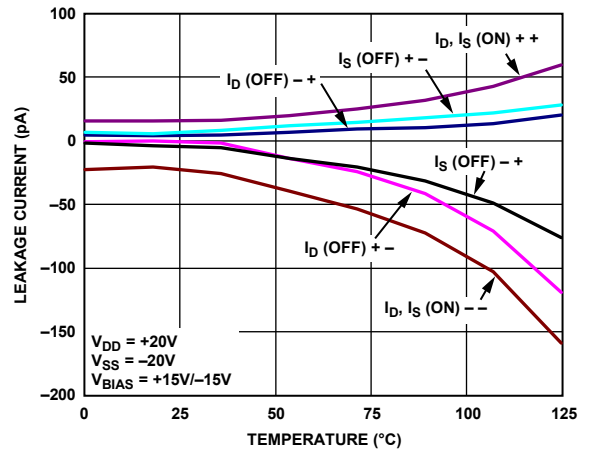


図 13. リーク電流の温度特性、±20 V 両電源

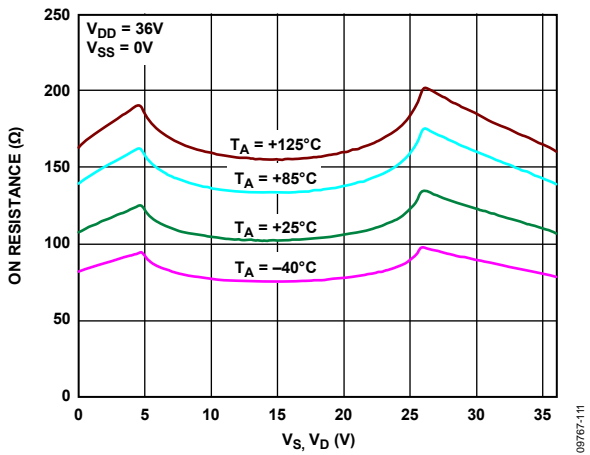


図 11.  $V_D$ 、 $V_S$  の関数としての様々な温度での  $R_{ON}$ 、36 V 単電源

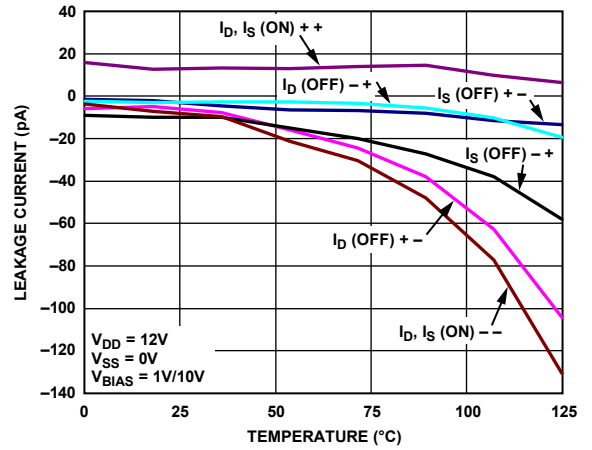


図 14. リーク電流の温度特性、12 V 単電源

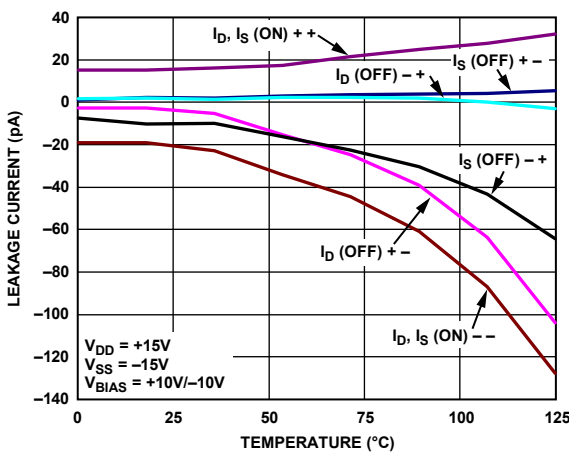


図 12. リーク電流の温度特性、±15 V 両電源

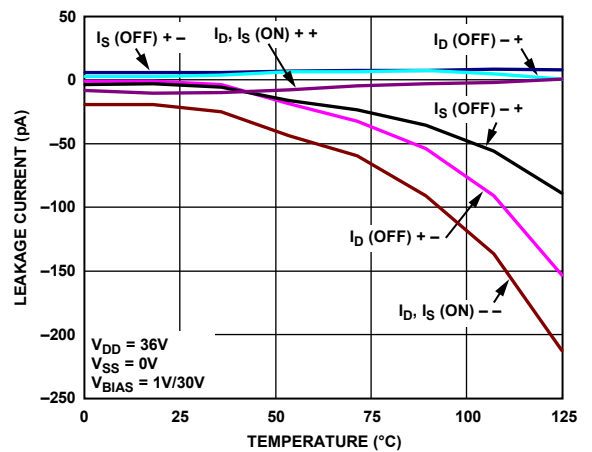


図 15. リーク電流の温度特性、36 V 単電源

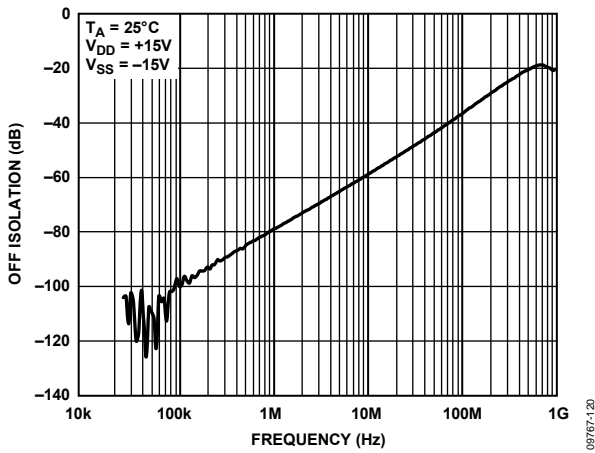


図 16. オフ時アイソレーションの周波数特性、±15 V 両電源

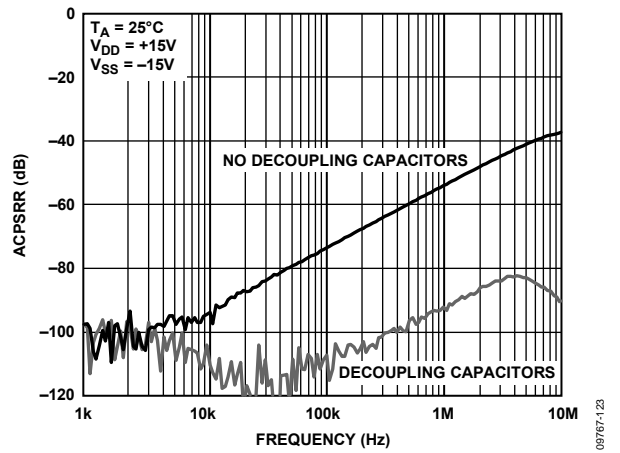


図 19. ACPSRR の周波数特性、±15 V 両電源

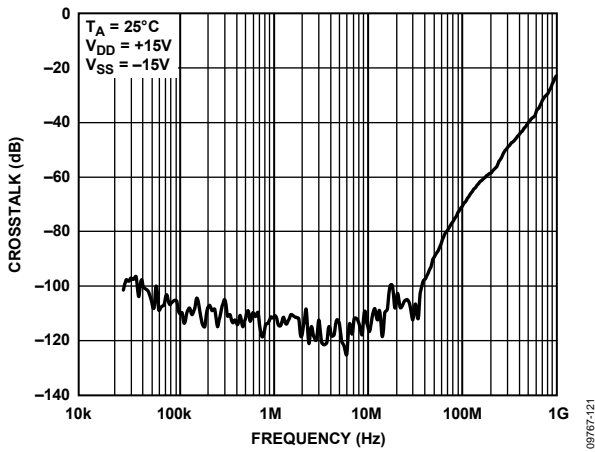


図 17. クロストークの周波数特性、±15 V 両電源

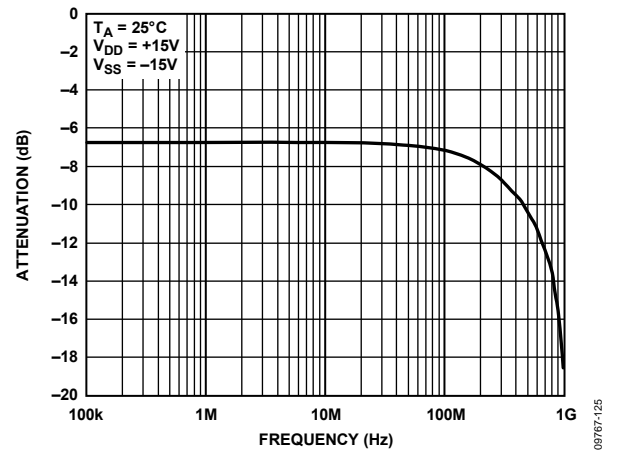


図 20. 帯域幅

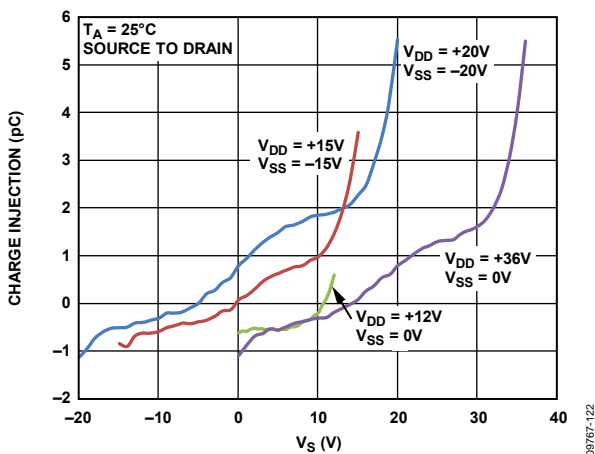


図 18. ソース電圧対チャージ・インジェクション

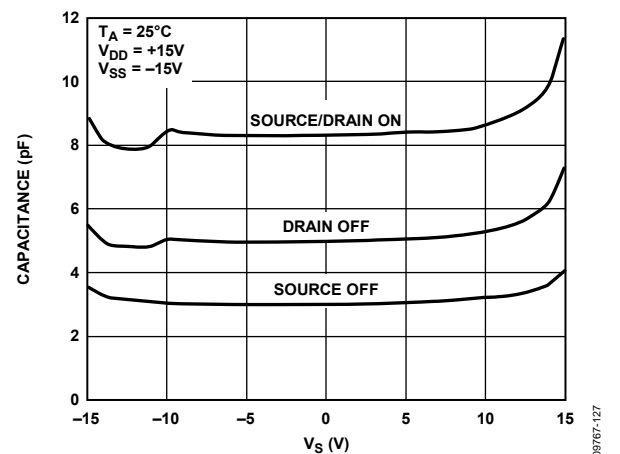


図 21. 容量

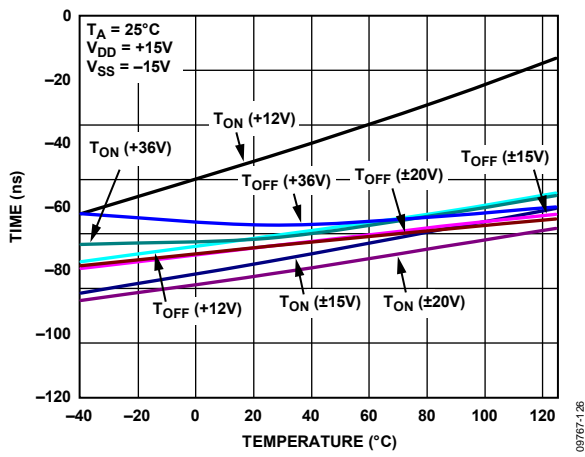


図 22.  $t_{ON}$ 、 $t_{OFF}$ 時間の温度特性

テスト回路

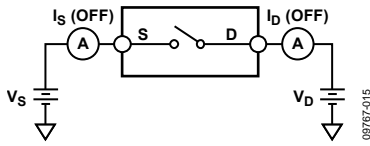


図 23. オフ時リーク

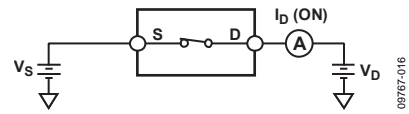


図 26. オン時リーク

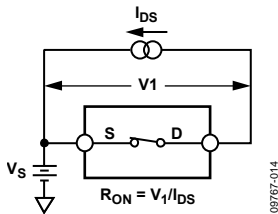


図 24. オン抵抗

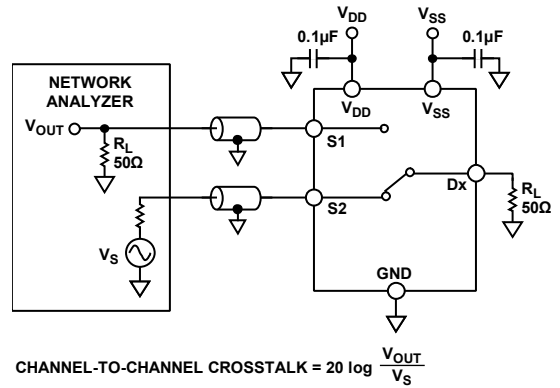


図 27. チャンネル間クロストーク

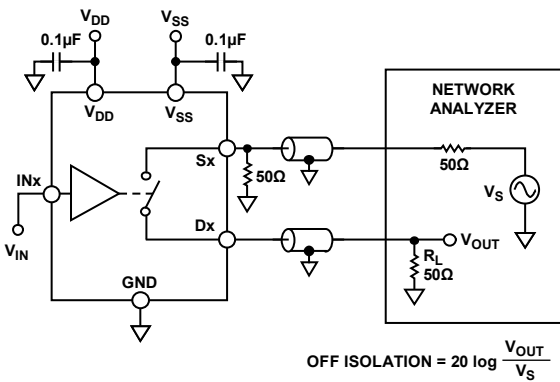


図 25. オフ時アイソレーション

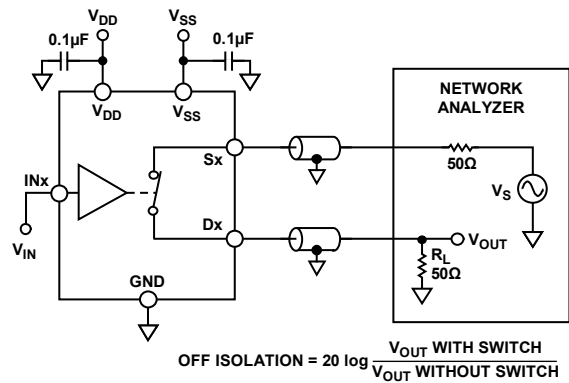


図 28. 帯域幅

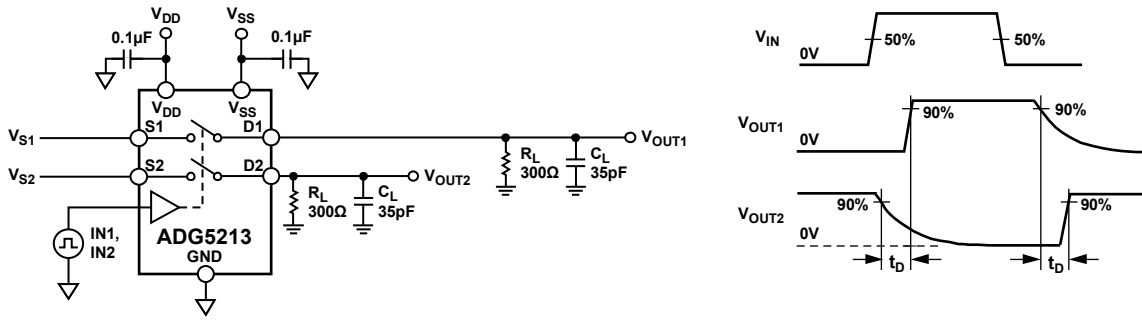


図 29.ブレーク・ピフォア・メーク時間遅延、 $t_D$

08767-017

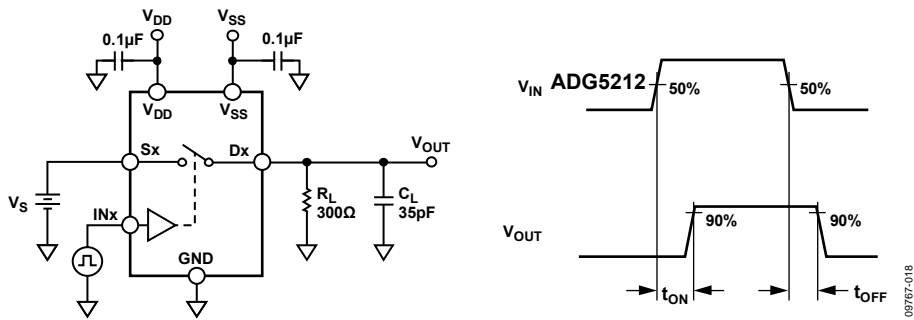


図 30.スイッチング時間

08767-018

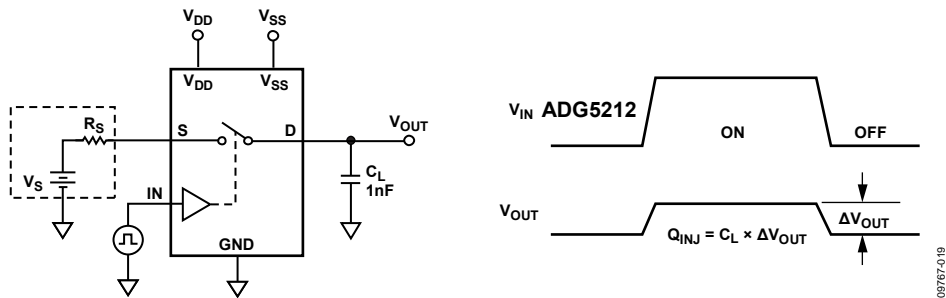


図 31.チャージ・インJECTION

08767-019

## 用語

### $I_{DD}$

正の電源電流。

### $I_{SS}$

負の電源電流。

### $V_D$ 、 $V_S$

それぞれ、Dx、Sx ピンのアナログ電圧。

### $R_{ON}$

Dx-Sx ピン間の抵抗。

### $\Delta R_{ON}$

任意の 2 チャンネル間の  $R_{ON}$  の差。

### $R_{FLAT(ON)}$

平坦性は、仕様で規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義され、 $R_{FLAT(ON)}$  で著されま

す。

### $I_S$ (Off)

スイッチ・オフ時のソース・リーク電流。

### $I_D$ (Off)

スイッチ・オフ時のドレイン・リーク電流。

### $I_D$ (On)、 $I_S$ (On)

スイッチ・オン時のチャンネル・リーク電流。

### $V_{INL}$

ロジック 0 の最大入力電圧。

### $V_{INH}$

ロジック 1 の最小入力電圧。

### $I_{INL}$ 、 $I_{INH}$

デジタル入力のそれぞれロー・レベルおよびハイ・レベルでの入力電流。

### $C_D$ (Off)

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

### $C_S$ (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

### $C_D$ (On)、 $C_S$ (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

### $C_{IN}$

デジタル入力容量。

### $t_{ON}$

デジタル・コントロール入力から出力スイッチ・オンまでの遅延(図 30 参照)。

### $t_{OFF}$

デジタル・コントロール入力から出力スイッチ・オフまでの遅延(図 30 参照)。

### $t_D$

あるアドレス状態から別のアドレス状態へ切り替わる時の両スイッチの 80%ポイント間で測定したオフ時間。

### オフ時アイソレーション

オフ状態のスイッチを通過する不要信号の大きさ。

### チャージ・インジェクション

電荷注入は、スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさを表します。

### クロストーク

寄生容量に起因して 1 つのチャンネルから別のチャンネルに混入する不要信号の大きさ。

### 帯域幅

帯域幅は、出力が 3 dB 減衰する周波数です。

### オン応答

オン状態にあるスイッチの周波数応答。

### 挿入損失

スイッチのオン抵抗に起因する損失。

### AC 電源変動除去比(ACPSRR)

AC 電源除去比 (ACPSRR) は、出力信号振幅の変調振幅に対する比です。ACPSRR は、電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧が、0.62 V p-p の正弦波で変調されま

す。



## トレンチ・アイソレーション

ADG5212 と ADG5213 では、各 CMOS スイッチの NMOS トランジスタと PMOS トランジスタの間に絶縁酸化物層(トレンチ)が設けてあります。ジャンクションで絶縁されたスイッチ内の複数のトランジスタ間に発生する寄生ジャンクションがなくなるため、ラッチアップを完全に防止したスイッチが得られます。

ジャンクション・アイソレーションでは、PMOS トランジスタと NMOS トランジスタの N ウェルと P ウェルが、通常動作では逆バイアスされるダイオードを形成しますが、過電圧状態では、このダイオードが順方向バイアスされるようになります。2 個のトランジスタによりシリコン制御整流子(SCR)タイプの回路が形成されるため、電流が大幅に増幅されて、ラッチアップが発生します。トレンチ・アイソレーションでは、このダイオードがなくなるため、ラッチアップのないスイッチが実現できます。

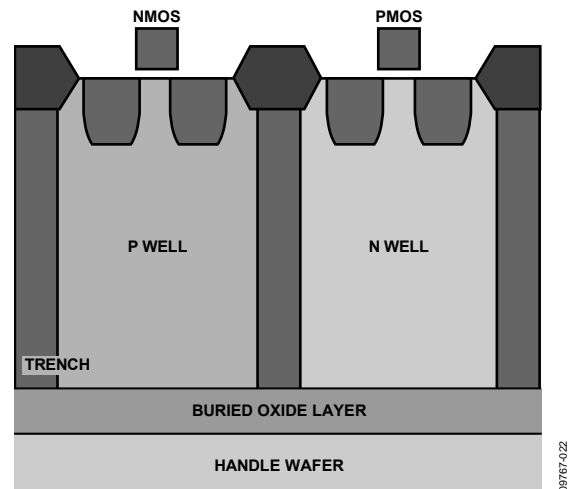


図 32. トレンチ・アイソレーション

## アプリケーション情報

ADG52xx ファミリーのスイッチ/マルチプレクサは、ラッチアップが発生しやすい計装、工業用、車載、航空宇宙、その他の厳しい環境に対して強固なソリューションを提供します。ラッチアップは、デバイス故障に至る高電流状態を発生させて、電源をオフにするまで継続します。ADG5212/ADG5213 高電圧スイッチは、9 V～40 V の単電源動作と±9 V～±22 V の両電源動作が可能です。

外形寸法

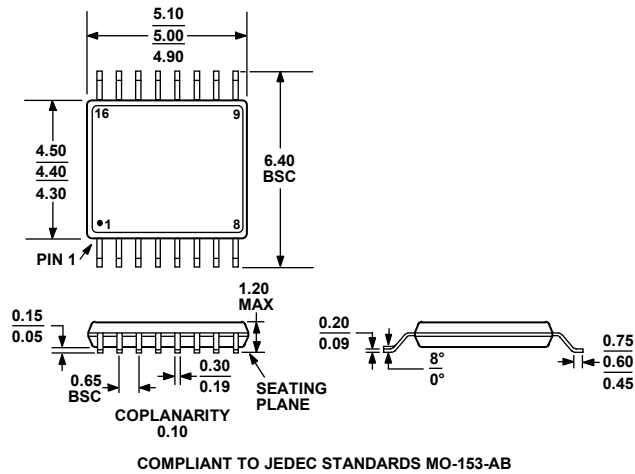


図 33.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-16)  
寸法: mm

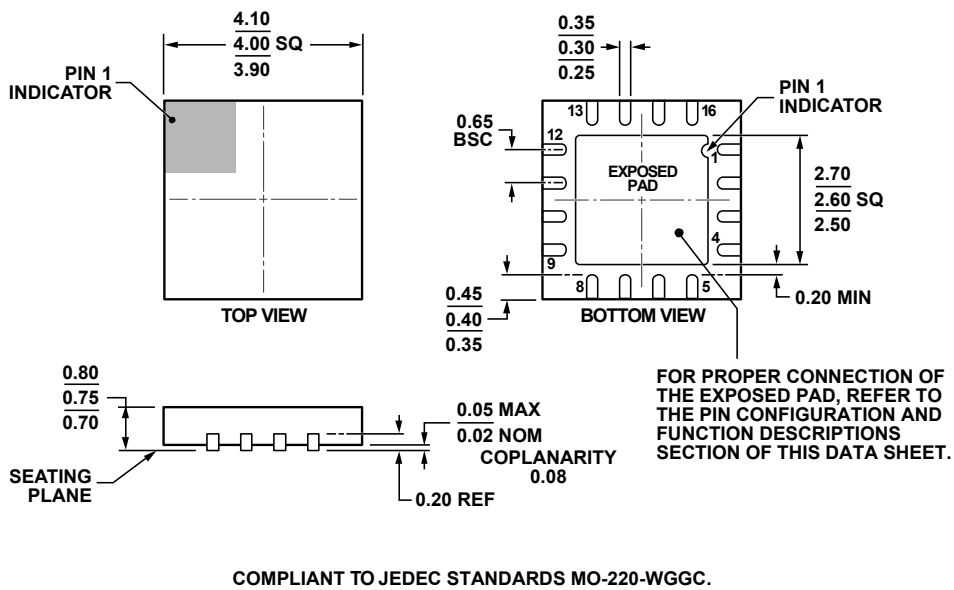


図 34.16 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_VQ] 4 mm x 4 mm ボディ、極薄クワッド (CP-16-17)  
寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADG5212BRUZ	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5212BRUZ-RL7	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5212BCPZ-RL7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-16-17
ADG5213BRUZ	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5213BRUZ-RL7	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5213BCPZ-RL7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-16-17

<sup>1</sup> Z = RoHS 準拠製品。