



ラッチアップ保護機能付き高電圧 4/8チャンネル・マルチプレクサ

ADG5208/ADG5209

特長

- ラッチアップ保護機能を内蔵
- オフ時ソース容量: 5.5 pF
- オフ時ドレイン容量: 52 pF
- チャージ・インジェクション: 0.4 pC
- 小さいオン抵抗: 160 Ω (typ)
- 両電源動作: ±9 V~±22 V
- 単電源動作: 9 V~40 V
- 最大電源電圧定格: 48 V
- 仕様を±15 V、±20 V、+12 V、+36 V 電源で規定
- アナログ信号範囲: $V_{SS} \sim V_{DD}$
- 人体モデル (HBM) ESD 定格
- I/O ポート—電源間: 4 kV
- I/O ポート—I/O ポート間: 1 kV
- その他の全ピン: 4 kV

アプリケーション

- 自動テスト装置
- データ・アクイジション
- 計装機器
- 航空電子機器
- オーディオとビデオ・スイッチング
- 通信システム

概要

ADG5208/ADG5209は、それぞれ 8 チャンネルと差動 4 チャンネルで構成されたモノリシック CMOS アナログ・マルチプレクサです。ADG5208は、3 ビットのバイナリ・アドレス・ライン A0、A1、A2 による指定に基づき、8 入力の内 1 つを共通出力に接続します。ADG5209は、2 ビットのバイナリ・アドレス・ライン A0 と A1 による指定に基づき、4 差動入力の内 1 つを共通差動出力に接続します。

両デバイスの EN 入力は、デバイスをイネーブルまたはディスエーブルするときに使います。EN でディスエーブルすると、すべてのチャンネルはスイッチ・オフされます。これらのスイッチは、極めて小さい容量とチャージ・インジェクションを持つため、低グリッチと高速なセtringを必要とするデータ・アクイジションとサンプル・アンド・ホールドのアプリケーションに最適なソリューションになっています。これらのデバイスは、高速なスイッチング速度と広い信号帯域幅の組み合わせにより、ビデオ信号スイッチングにも適しています。

各スイッチはオンのとき等しく両方向に導通し、入力信号範囲は電源電圧まで可能です。オフ状態では、電源電圧までの信号レベルを阻止します。

機能ブロック図

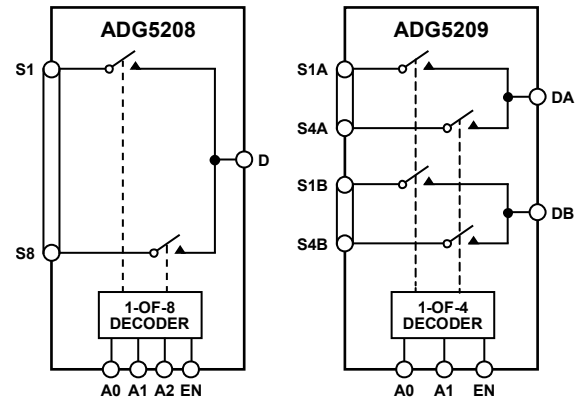


図 1.

ADG5208/ADG5209には V_L ピンがなく、代わりにロジック電源は内蔵の電圧ジェネレータで発生されます。

製品のハイライト

- トレンチ・アイソレーションによりラッチアップから保護します。
絶縁トレンチにより p チャンネルと n チャンネルのトランジスタを分離することにより、厳しい過電圧状態でもラッチアップを防止します。
- チャージ・インジェクションは 0.4 pC です。
- 両電源動作。
アナログ信号がバイポーラであるアプリケーションに対しては、ADG5208/ADG5209 は ±22 V までの両電源で動作することができます。
- 単電源動作。
アナログ信号がユニポーラであるアプリケーションに対しては、ADG5208/ADG5209 は 40 V までの単電源で動作することができます。
- 3 V ロジック互換のデジタル入力。
 $V_{INH} = 2.0 V$ 、 $V_{INL} = 0.8 V$ 。
- V_L ロジック電源が不要。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2011 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	絶対最大定格.....	9
アプリケーション.....	1	ESDの注意.....	9
機能ブロック図.....	1	ピン配置およびピン機能説明.....	10
概要.....	1	代表的な性能特性.....	12
製品のハイライト.....	1	テスト回路.....	16
改訂履歴.....	2	用語.....	19
仕様.....	3	トレンチ・アイソレーション.....	20
±15 V 両電源.....	3	アプリケーション情報.....	21
±20 V 両電源.....	4	外形寸法.....	22
12 V 単電源.....	5	オーダー・ガイド.....	22
36 V 単電源.....	6		
チャンネルあたりの連続電流、Sx、DまたはDx.....	8		

改訂履歴

7/11—Revision 0: Initial Version

仕様

±15 V両電源

特に指定がない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	160 200	250	280	Ω typ Ω max	$V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$; see Figure 28 $V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	3.5			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	8 40 50	9 65	10 70	Ω max Ω typ Ω max	$V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.005 ± 0.1	± 0.2	± 0.4	nA typ nA max	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$; see Figure 30
Drain Off Leakage, I_D (Off)	± 0.005 ± 0.1	± 0.4	± 1.4	nA typ nA max	$V_S = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$; see Figure 30
Channel On Leakage, I_D (On), I_S (On)	± 0.01 ± 0.2	± 0.5	± 1.4	nA typ nA max	$V_S = V_D = \pm 10\text{ V}$; see Figure 27
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002		± 0.1	μA typ μA max	$V_{IN} = V_{GND}$ or V_{DD}
Digital Input Capacitance, C_{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	170 205	245	275	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$; see Figure 33
t_{ON} (EN)	145 185	220	245	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$; see Figure 35
t_{OFF} (EN)	120 145	165	180	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$; see Figure 35
Break-Before-Make Time Delay, t_D	65		30	ns typ ns min	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_{S1} = V_{S2} = 10\text{ V}$; see Figure 34
Charge Injection, Q_{INJ}	0.4			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 36
Off Isolation	-90			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 31
Channel-to-Channel Crosstalk	-90			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 29
-3 dB Bandwidth					$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 32
ADG5208	54			MHz typ	
ADG5209	133			MHz typ	
Insertion Loss	-6.4			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 32
C_S (Off)	5.5			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)					
ADG5208	52			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
ADG5209	26			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (On), C_S (On)					
ADG5208	58			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
ADG5209	31			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	45			μA typ	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ Digital inputs = 0 V or V_{DD}

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
I_{SS}	55 0.001		70	$\mu\text{A max}$ $\mu\text{A typ}$	Digital inputs = 0 V or V_{DD}
V_{DD}/V_{SS}			1 $\pm 9/\pm 22$	$\mu\text{A max}$ V min/V max	GND = 0 V

¹ 設計上保証しますが、出荷テストは行いません。

±20 V両電源

特に指定がない限り、 $V_{DD} = +20\text{ V} \pm 10\%$ 、 $V_{SS} = -20\text{ V} \pm 10\%$ 、GND = 0 V。

表 2.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V	
On Resistance, R_{ON}	140 160	200	230	Ω typ Ω max	$V_S = \pm 15\text{ V}$, $I_S = -1\text{ mA}$; see Figure 28 $V_{DD} = +18\text{ V}$, $V_{SS} = -18\text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	3.5			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -1\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	8 34 45	9 55	10 60	Ω max Ω typ Ω max	$V_S = \pm 15\text{ V}$, $I_S = -1\text{ mA}$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.005 ± 0.1	± 0.2	± 0.4	nA typ nA max	$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$ $V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$; see Figure 30
Drain Off Leakage, I_D (Off)	± 0.005 ± 0.1	± 0.4	± 1.4	nA typ nA max	$V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$; see Figure 30
Channel On Leakage, I_D (On), I_S (On)	± 0.01 ± 0.2	± 0.5	± 1.4	nA typ nA max	$V_S = V_D = \pm 15\text{ V}$; see Figure 27
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002		± 0.1	$\mu\text{A typ}$ $\mu\text{A max}$	$V_{IN} = V_{GND}$ or V_{DD}
Digital Input Capacitance, C_{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	160 195	225	255	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$; see Figure 33
t_{ON} (EN)	145 170	200	225	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$; see Figure 35
t_{OFF} (EN)	120 140	155	170	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$; see Figure 35
Break-Before-Make Time Delay, t_D	55		30	ns typ ns min	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_{S1} = V_{S2} = 10\text{ V}$; see Figure 34
Charge Injection, Q_{INJ}	0.3			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$; see Figure 36
Off Isolation	-90			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 31
Channel-to-Channel Crosstalk	-90			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 29
-3 dB Bandwidth					$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$; see Figure 32
ADG5208	60			MHz typ	
ADG5209	130			MHz typ	
Insertion Loss	-5.6			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; see Figure 32
C_S (Off)	5.5			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)					
ADG5208	51			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
ADG5209	26			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
C _D (On), C _S (On)					
ADG5208	57			pF typ	V _S = 0 V, f = 1 MHz
ADG5209	31			pF typ	V _S = 0 V, f = 1 MHz
POWER REQUIREMENTS					V _{DD} = +22 V, V _{SS} = -22 V
I _{DD}	50			μA typ	Digital inputs = 0 V or V _{DD}
	70		110	μA max	
I _{SS}	0.001			μA typ	Digital inputs = 0 V or V _{DD}
			1	μA max	
V _{DD} /V _{SS}			±9/±22	V min/V max	GND = 0 V

¹ 設計上保証しますが、出荷テストは行いません。

12 V単電源

特に指定がない限り、V_{DD} = 12 V ± 10%、V_{SS} = 0 V、GND = 0 V。

表 3.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V _{DD}	V	
On Resistance, R _{ON}	350			Ω typ	V _S = 0 V to 10 V, I _S = -1 mA; see Figure 28
	500	610	700	Ω max	V _{DD} = 10.8 V, V _{SS} = 0 V
On-Resistance Match Between Channels, ΔR _{ON}	5			Ω typ	V _S = 0 V to 10 V, I _S = -1 mA
	20	22	24	Ω max	
On-Resistance Flatness, R _{FLAT(ON)}	160			Ω typ	V _S = 0 V to 10 V, I _S = -1 mA
	280	335	370	Ω max	
LEAKAGE CURRENTS					V _{DD} = 13.2 V, V _{SS} = 0 V
Source Off Leakage, I _S (Off)	±0.005			nA typ	V _S = 1 V/10 V, V _D = 10 V/1 V; see Figure 30
	±0.1	±0.2	±0.4	nA max	
Drain Off Leakage, I _D (Off)	±0.005			nA typ	V _S = 1 V/10 V, V _D = 10 V/1 V; see Figure 30
	±0.1	±0.4	±1.4	nA max	
Channel On Leakage, I _D (On), I _S (On)	±0.01			nA typ	V _S = V _D = 1 V/10 V; see Figure 27
	±0.2	±0.5	±1.4	nA max	
DIGITAL INPUTS					
Input High Voltage, V _{INH}			2.0	V min	
Input Low Voltage, V _{INL}			0.8	V max	
Input Current, I _{INL} or I _{INH}	0.002			μA typ	V _{IN} = V _{GND} or V _{DD}
			±0.1	μA max	
Digital Input Capacitance, C _{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS ¹					
Transition Time, t _{TRANSITION}	210			ns typ	R _L = 300 Ω, C _L = 35 pF
	270	330	380	ns max	V _S = 8 V; see Figure 33
t _{ON} (EN)	215			ns typ	R _L = 300 Ω, C _L = 35 pF
	275	345	400	ns max	V _S = 8 V; see Figure 35
t _{OFF} (EN)	115			ns typ	R _L = 300 Ω, C _L = 35 pF
	140	160	175	ns max	V _S = 8 V; see Figure 35
Break-Before-Make Time Delay, t _D	135			ns typ	R _L = 300 Ω, C _L = 35 pF
			70	ns min	V _{S1} = V _{S2} = 8 V; see Figure 34
Charge Injection, Q _{INJ}	0.3			pC typ	V _S = 6 V, R _S = 0 Ω, C _L = 1 nF; see Figure 36
Off Isolation	-90			dB typ	R _L = 50 Ω, C _L = 5 pF, f = 1 MHz; see Figure 31
Channel-to-Channel Crosstalk	-90			dB typ	R _L = 50 Ω, C _L = 5 pF, f = 1 MHz; see Figure 29
-3 dB Bandwidth					R _L = 50 Ω, C _L = 5 pF; see Figure 32

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ADG5208	60			MHz typ	
ADG5209	120			MHz typ	
Insertion Loss	-8.8			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 32
C_S (Off)	6			pF typ	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$
C_D (Off)					
ADG5208	56			pF typ	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$
ADG5209	28			pF typ	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$
C_D (On), C_S (On)					
ADG5208	63			pF typ	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$
ADG5209	35			pF typ	$V_S = 6 \text{ V}$, $f = 1 \text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	40			μA typ	$V_{DD} = 13.2 \text{ V}$ Digital inputs = 0 V or V_{DD}
	50		65	μA max	
V_{DD}			9/40	V min/V max	GND = 0 V, $V_{SS} = 0 \text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

36 V単電源

特に指定がない限り、 $V_{DD} = 36 \text{ V} \pm 10\%$ 、 $V_{SS} = 0 \text{ V}$ 、 $GND = 0 \text{ V}$ 。

表 4.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analogue Signal Range			0 V to V_{DD}	V	
On Resistance, R_{ON}	150			Ω typ	$V_S = 0 \text{ V}$ to 30 V, $I_S = -1 \text{ mA}$; see Figure 28
	170	215	245	Ω max	$V_{DD} = 32.4 \text{ V}$, $V_{SS} = 0 \text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	3.5			Ω typ	$V_S = 0 \text{ V}$ to 30 V, $I_S = -1 \text{ mA}$
	8	9	10	Ω max	
On-Resistance Flatness, $R_{FLAT(ON)}$	35			Ω typ	$V_S = 0 \text{ V}$ to 30 V, $I_S = -1 \text{ mA}$
	55	65	70	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	± 0.005			nA typ	$V_{DD} = 39.6 \text{ V}$, $V_{SS} = 0 \text{ V}$ $V_S = 1 \text{ V}/30 \text{ V}$, $V_D = 30 \text{ V}/1 \text{ V}$; see Figure 30
	± 0.1	± 0.2	± 0.4	nA max	
Drain Off Leakage, I_D (Off)	± 0.005			nA typ	$V_S = 1 \text{ V}/30 \text{ V}$, $V_D = 30 \text{ V}/1 \text{ V}$; see Figure 30
	± 0.1	± 0.4	± 1.4	nA max	
Channel On Leakage, I_D (On), I_S (On)	± 0.01			nA typ	$V_S = V_D = 1 \text{ V}/30 \text{ V}$; see Figure 27
	± 0.2	± 0.5	± 1.4	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	$V_{IN} = V_{GND}$ or V_{DD}
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS ¹					
Transition Time, $t_{TRANSITION}$	185			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	230	245	259	ns max	$V_S = 18 \text{ V}$; see Figure 33
t_{ON} (EN)	170			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	210	230	255	ns max	$V_S = 18 \text{ V}$; see Figure 35
t_{OFF} (EN)	125			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
	180	180	180	ns max	$V_S = 18 \text{ V}$; see Figure 35
Break-Before-Make Time Delay, t_D	70			ns typ	$R_L = 300 \Omega$, $C_L = 35 \text{ pF}$
			35	ns min	$V_{S1} = V_{S2} = 18 \text{ V}$; see Figure 34
Charge Injection, Q_{INJ}	0.4			pC typ	$V_S = 18 \text{ V}$, $R_S = 0 \Omega$, $C_L = 1 \text{ nF}$;

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
Off Isolation	-90			dB typ	see Figure 36 $R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 31
Channel-to-Channel Crosstalk	-90			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 29
-3 dB Bandwidth					$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$; see Figure 32
ADG5208	65			MHz typ	
ADG5209	130			MHz typ	
Insertion Loss	-6			dB typ	$R_L = 50 \Omega$, $C_L = 5 \text{ pF}$, $f = 1 \text{ MHz}$; see Figure 32
C_S (Off)	5.5			pF typ	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
C_D (Off)					
ADG5208	51			pF typ	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
ADG5209	25			pF typ	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
C_D (On), C_S (On)					
ADG5208	57			pF typ	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
ADG5209	32			pF typ	$V_S = 18 \text{ V}$, $f = 1 \text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	80			μA typ	$V_{DD} = 39.6 \text{ V}$ Digital inputs = 0 V or V_{DD}
	100		130	μA max	
V_{DD}			9/40	V min/V max	GND = 0 V, $V_{SS} = 0 \text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

チャンネルあたりの連続電流、Sx、DまたはDx

表 5.ADG5208

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR D				
$V_{DD} = +15\text{ V}, V_{SS} = -15\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	40	24	14.5	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	69	37	18	mA maximum
$V_{DD} = +20\text{ V}, V_{SS} = -20\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	42	26.5	14.5	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	75	40	18	mA maximum
$V_{DD} = 12\text{ V}, V_{SS} = 0\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	28	19	12	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	40	25	14.5	mA maximum
$V_{DD} = 36\text{ V}, V_{SS} = 0\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	40	26	14.5	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	72	39	18	mA maximum

表 6.ADG5209

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, Sx OR Dx				
$V_{DD} = +15\text{ V}, V_{SS} = -15\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	29	19	12	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	51	30	16	mA maximum
$V_{DD} = +20\text{ V}, V_{SS} = -20\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	30	20	12.5	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	55	32	17	mA maximum
$V_{DD} = 12\text{ V}, V_{SS} = 0\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	20	14	10	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	29	20	12.5	mA maximum
$V_{DD} = 36\text{ V}, V_{SS} = 0\text{ V}$				
TSSOP ($\theta_{JA} = 112.6^\circ\text{C/W}$)	30	20	12.5	mA maximum
LFCSP ($\theta_{JA} = 30.4^\circ\text{C/W}$)	54	31	17	mA maximum

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 7.

Parameter	Rating
V_{DD} to V_{SS}	48 V
V_{DD} to GND	-0.3 V to +48 V
V_{SS} to GND	+0.3 V to -48 V
Analog Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Digital Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Peak Current, Sx, D, or Dx Pins ADG5208	126 mA (pulsed at 1 ms, 10% duty cycle maximum)
ADG5209	92 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx, D, or Dx Pins ²	Data + 15%
Temperature Range	
Operating	-40°C to +125°C
Storage	-65°C to +150°C
Junction Temperature	150°C
Thermal Impedance, θ_{JA}	
16-Lead TSSOP (4-Layer Board)	112.6°C/W
16-Lead LFCSP (4-Layer Board)	30.4°C/W
Reflow Soldering Peak Temperature, Pb Free	260(+0/-5)°C
HBM ESD	
I/O Port to Supplies	4 kV
I/O Port to I/O Port	1 kV
All Other Pins	4 kV

¹Ax, EN, Sx, D, Dx ピンでの過電圧は内部ダイオードでクランプされます。
電流は、規定された最大定格に制限してください。

²表 5 と表 6 を参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

同時に複数の絶対最大定格条件を適用することはできません。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

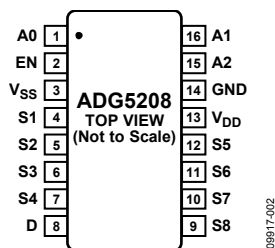
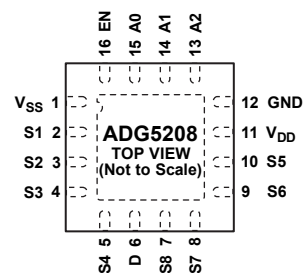


図 2.ADG5208のピン配置 (TSSOP)



NOTES
1. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE SUBSTRATE, V_{SS}.

図 3.ADG5208のピン配置 (LFCSP)

表 8.ADG5208のピン機能説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	15	A0	ロジック・コントロール入力。
2	16	EN	アクティブ・ハイのデジタル入力。ロー・レベルのとき、デバイスがディスエーブルされて、すべてのチャンネルはスイッチ・オフされます。ハイ・レベルのとき、A _x ロジック入力により ON スイッチが指定されます。
3	1	V _{SS}	負電源電位。単電源アプリケーションでは、グラウンドへ接続可能。
4	2	S1	ソース・ピン 1。入力または出力に設定することができます。
5	3	S2	ソース・ピン 2。入力または出力に設定することができます。
6	4	S3	ソース・ピン 3。入力または出力に設定することができます。
7	5	S4	ソース・ピン 4。入力または出力に設定することができます。
8	6	D	ドレイン・ピン。入力または出力に設定することができます。
9	7	S8	ソース・ピン 8。入力または出力に設定することができます。
10	8	S7	ソース・ピン 7。入力または出力に設定することができます。
11	9	S6	ソース・ピン 6。入力または出力に設定することができます。
12	10	S5	ソース・ピン 5。入力または出力に設定することができます。
13	11	V _{DD}	正電源電位。
14	12	GND	グラウンドリファレンス(0 V)。
15	13	A2	ロジック・コントロール入力。
16	14	A1	ロジック・コントロール入力。
	EP	エクスポーズド・パッド	エクスポーズド・パッドは内部で接続されています。ハンダ接続の信頼性と熱能力を向上させるために、このパッドをサブストレート V _{SS} にハンダ付けすることが推奨されます。

表 9.ADG5208の真理値表

A2	A1	A0	EN	On Switch
X ¹	X ¹	X ¹	0	None
0	0	0	1	1
0	0	1	1	2
0	1	0	1	3
0	1	1	1	4
1	0	0	1	5
1	0	1	1	6
1	1	0	1	7
1	1	1	1	8

¹ X is don't care.

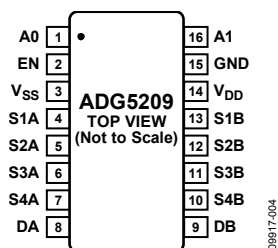
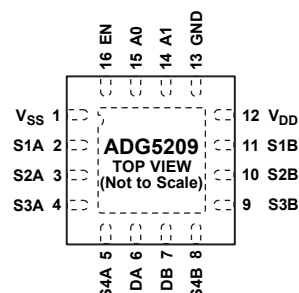


図 4. ADG5209のピン配置 (TSSOP)



NOTES
 1. THE EXPOSED PAD IS CONNECTED INTERNALLY. FOR INCREASED RELIABILITY OF THE SOLDER JOINTS AND MAXIMUM THERMAL CAPABILITY, IT IS RECOMMENDED THAT THE PAD BE SOLDERED TO THE SUBSTRATE, V_{SS}.

図 5. ADG5209のピン配置 (LFCSP)

表 10. ADG5209のピン機能説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	15	A0	ロジック・コントロール入力。
2	16	EN	アクティブ・ハイのデジタル入力。ロー・レベルのとき、デバイスがディスエーブルされて、すべてのチャンネルはスイッチ・オフされます。ハイ・レベルのとき、A _x ロジック入力により ON スイッチが指定されます。
3	1	V _{SS}	負電源電位。単電源アプリケーションでは、グラウンドへ接続可能。
4	2	S1A	ソース・ピン 1A。このピンは、入力または出力に設定することができます。
5	3	S2A	ソース・ピン 2A。このピンは、入力または出力に設定することができます。
6	4	S3A	ソース・ピン 3A。このピンは、入力または出力に設定することができます。
7	5	S4A	ソース・ピン 4A。このピンは、入力または出力に設定することができます。
8	6	DA	ドレイン・ピン A。入力または出力に設定することができます。
9	7	DB	ドレイン・ピン B。入力または出力に設定することができます。
10	8	S4B	ソース・ピン 4B。このピンは、入力または出力に設定することができます。
11	9	S3B	ソース・ピン 3B。このピンは、入力または出力に設定することができます。
12	10	S2B	ソース・ピン 2B。このピンは、入力または出力に設定することができます。
13	11	S1B	ソース・ピン 1B。このピンは、入力または出力に設定することができます。
14	12	V _{DD}	正電源電位。
15	13	GND	グラウンド・リファレンス(0 V)。
16	14	A1	ロジック・コントロール入力。
	EP	エクスポーズド・パッド	エクスポーズド・パッドは内部で接続されています。ハンダ接続の信頼性と熱能力を向上させるために、このパッドをサブストレート V _{SS} にハンダ付けすることが推奨されます。

表 11. ADG5209の真理値表

A1	A0	EN	On Switch Pair
X ¹	X ¹	0	None
0	0	1	1
0	1	1	2
1	0	1	3
1	1	1	4

¹ X is don't care.

代表的な性能特性

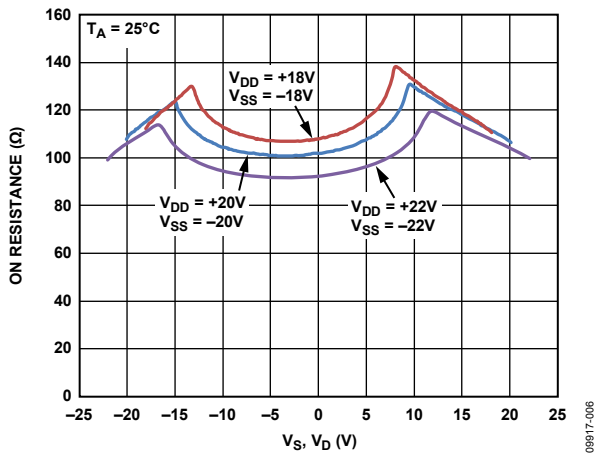


図 6. V_S 、 V_D の関数としての R_{ON} 、 ± 20 V 両電源

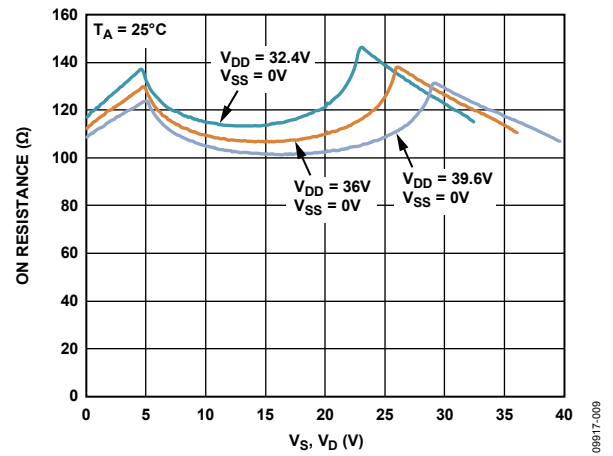


図 9. V_S 、 V_D の関数としての R_{ON} 、36 V 単電源

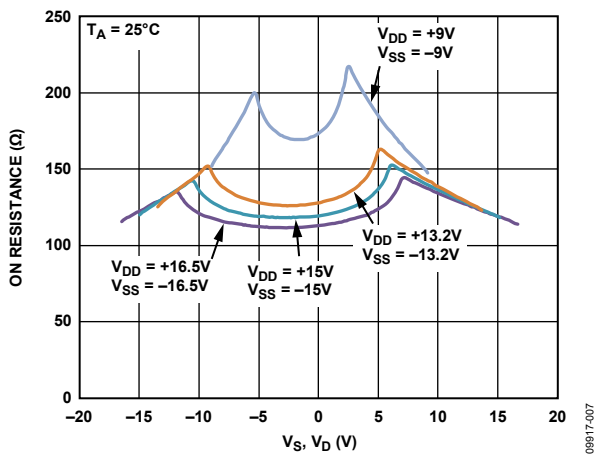


図 7. V_S 、 V_D の関数としての R_{ON} 、 ± 15 V 両電源

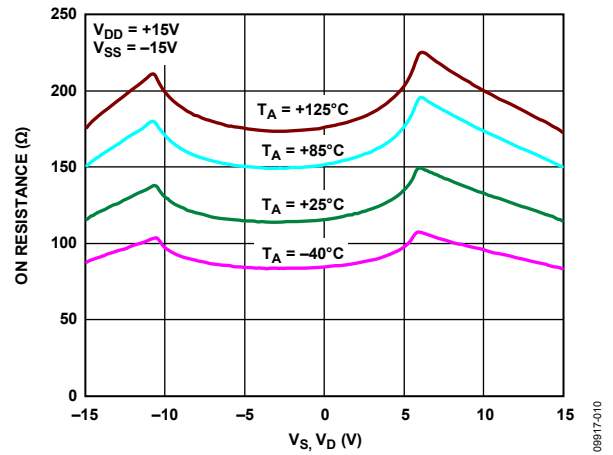


図 10. V_S 、 V_D の関数としての様々な温度での R_{ON} 、 ± 15 V 両電源

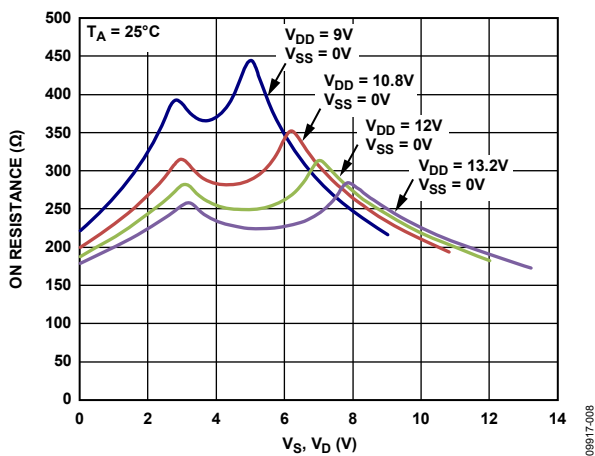


図 8. V_S 、 V_D の関数としての R_{ON} 、12 V 単電源

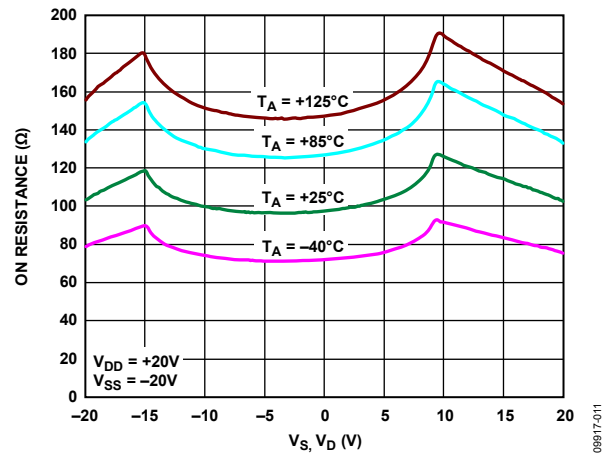


図 11. V_S 、 V_D の関数としての様々な温度での R_{ON} 、 ± 20 V 両電源

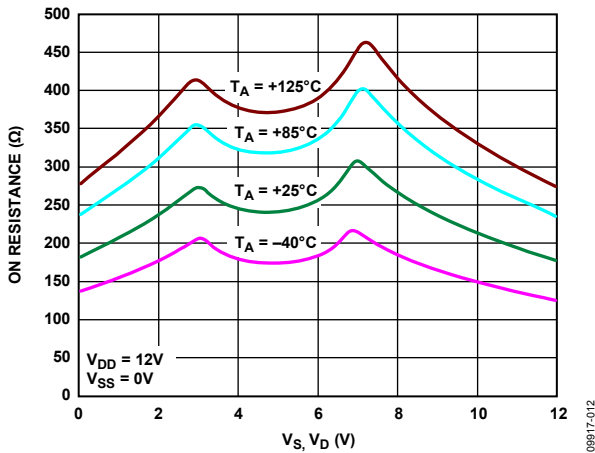


図 12. V_S 、 V_D の関数としての様々な温度での R_{ON} 、12 V 単電源

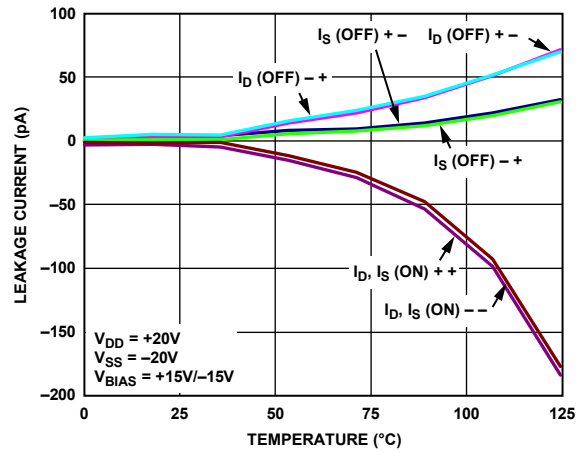


図 15. リーク電流の温度特性、±20 V 両電源

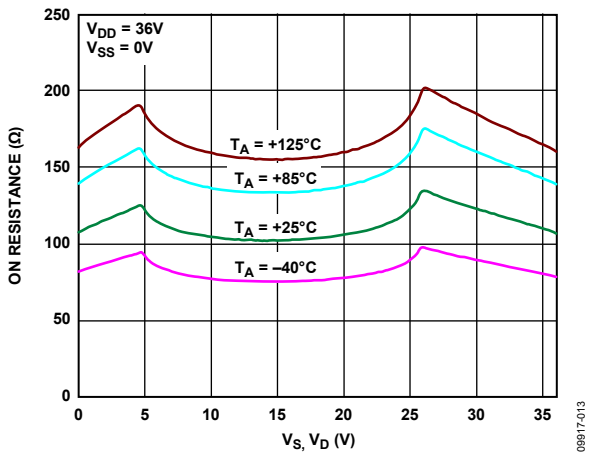


図 13. V_S 、 V_D の関数としての様々な温度での R_{ON} 、36 V 単電源

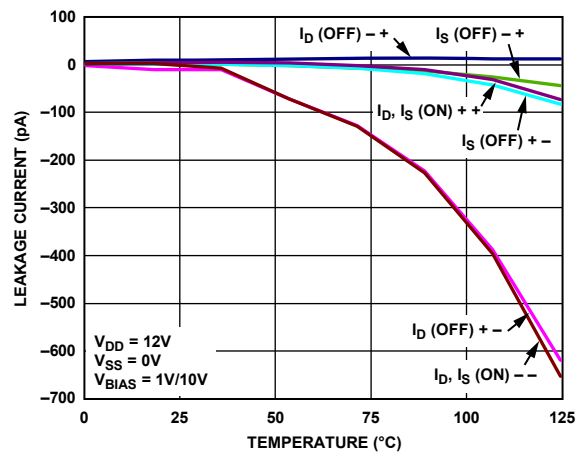


図 16. リーク電流の温度特性、12 V 単電源

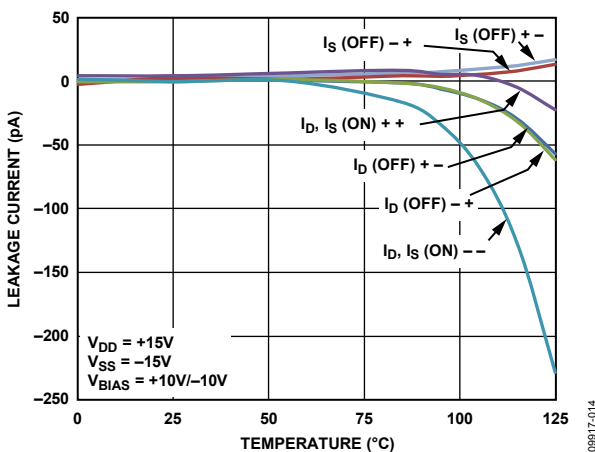


図 14. リーク電流の温度特性、±15 V 両電源

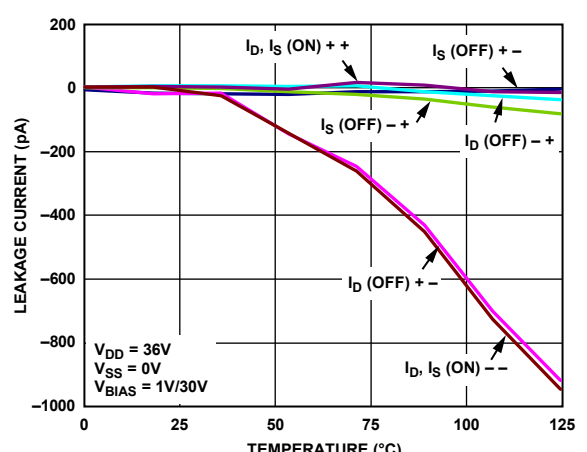


図 17. リーク電流の温度特性、36 V 単電源

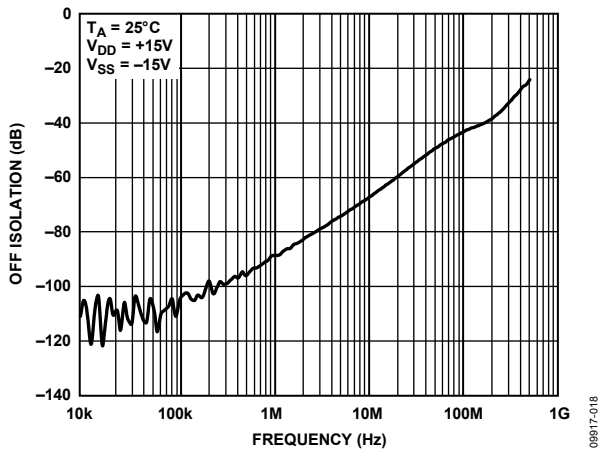


図 18. オフ時アイソレーションの周波数特性、±15 V 両電源

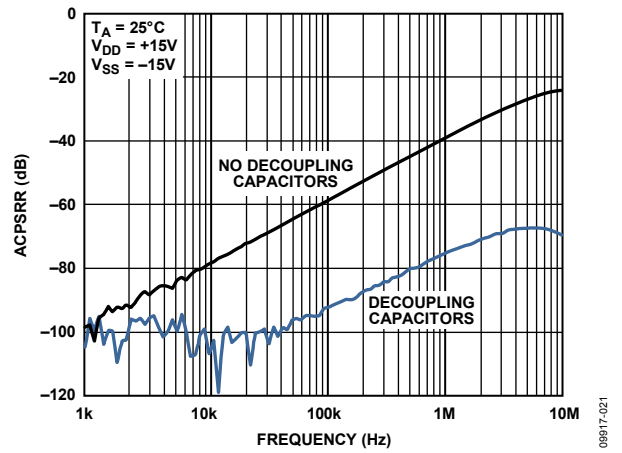


図 21. ACPSRR の周波数特性、±15 V 両電源

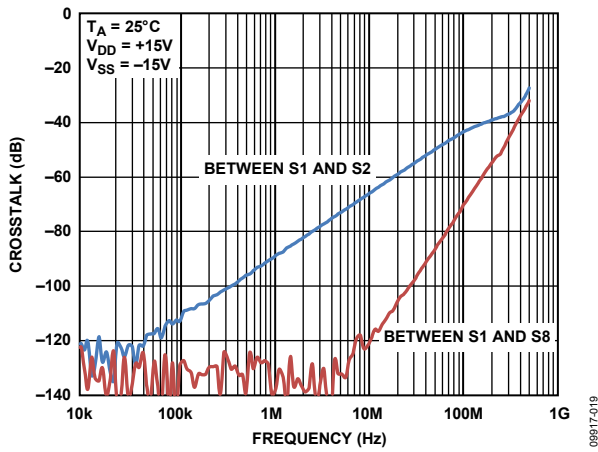


図 19. クロストークの周波数特性、±15 V 両電源

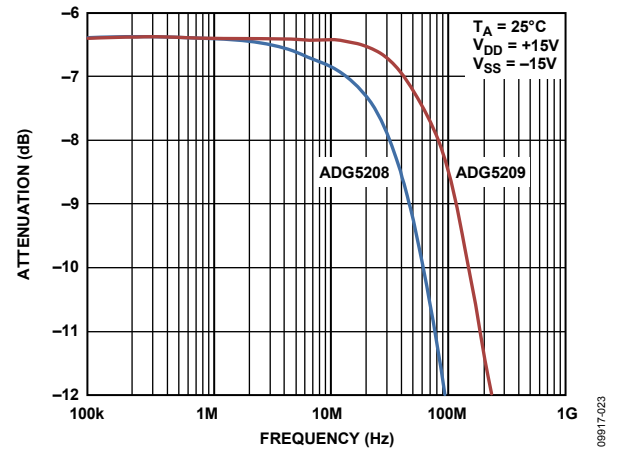


図 22. 帯域幅

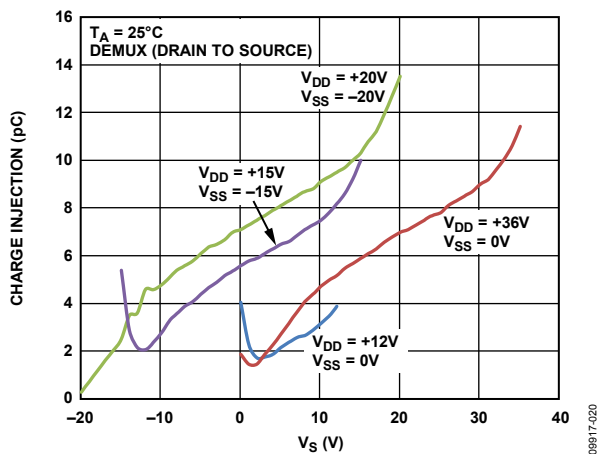


図 20. ソース電圧対チャージ・インジェクション
ドレイン→ソース

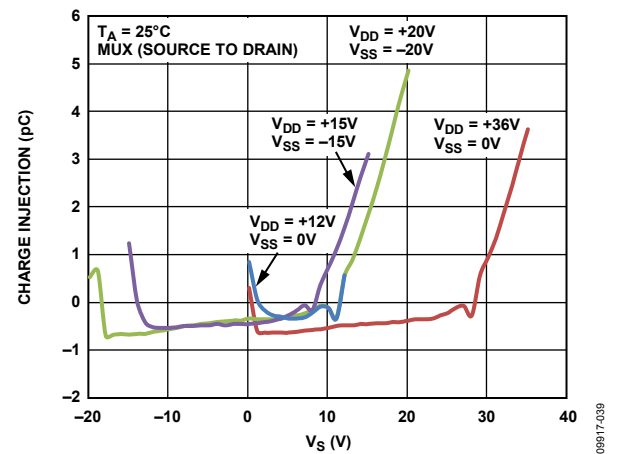


図 23. ソース電圧対チャージ・インジェクション
ソース→ドレイン

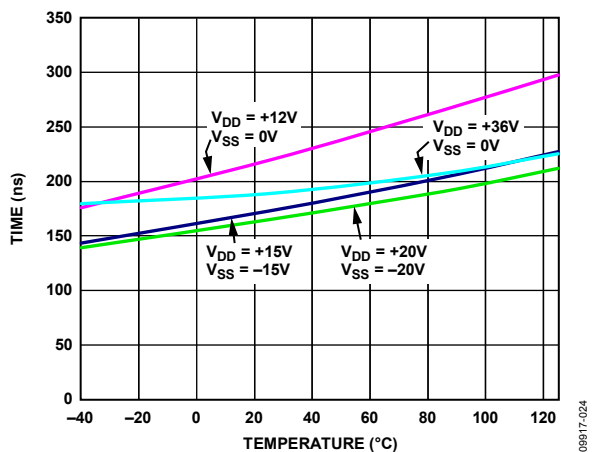


図 24. $t_{\text{TRANSITION}}$ 時間の温度特性

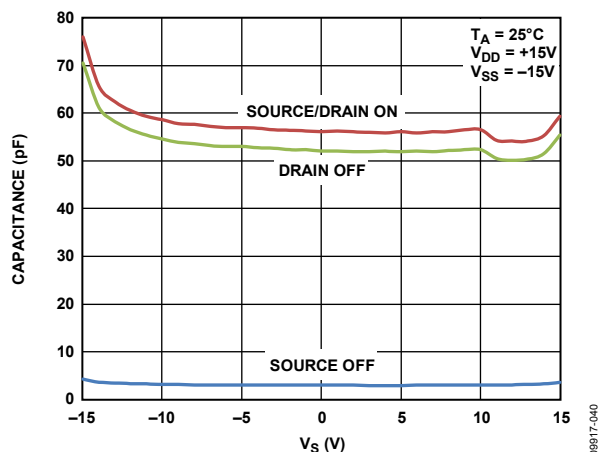


図 26. ADG5208のソース電圧対容量、±15 V両電源

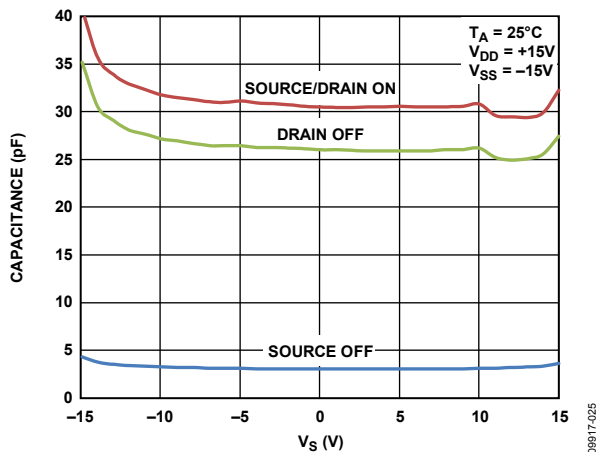


図 25. ADG5209のソース電圧対容量、±15 V両電源

テスト回路

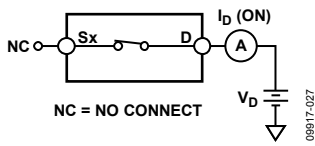


図 27. オン時リーク

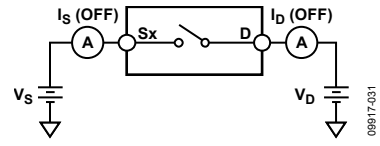


図 30. オフ時リーク

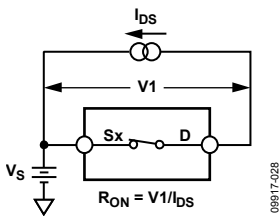


図 28. オン抵抗

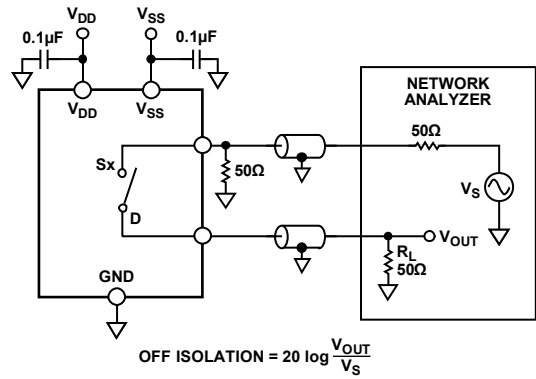


図 31. オフ時アイソレーション

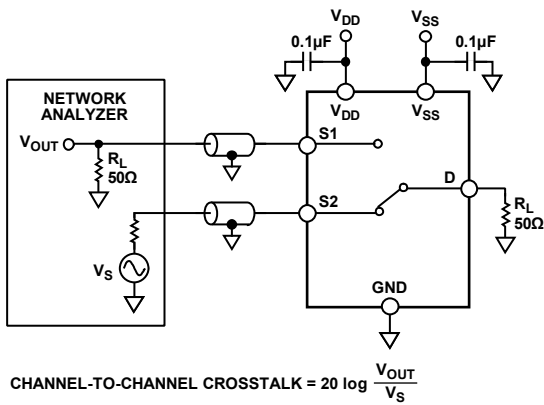


図 29. チャンネル間クロストーク

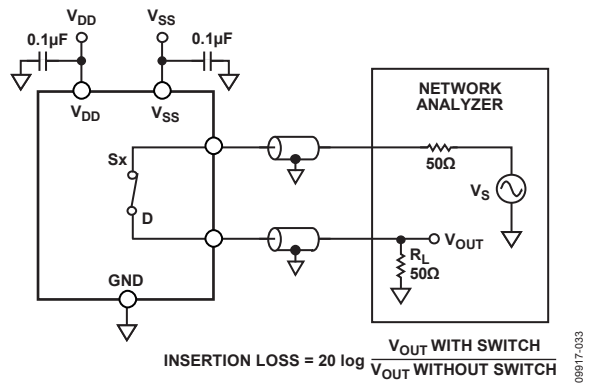
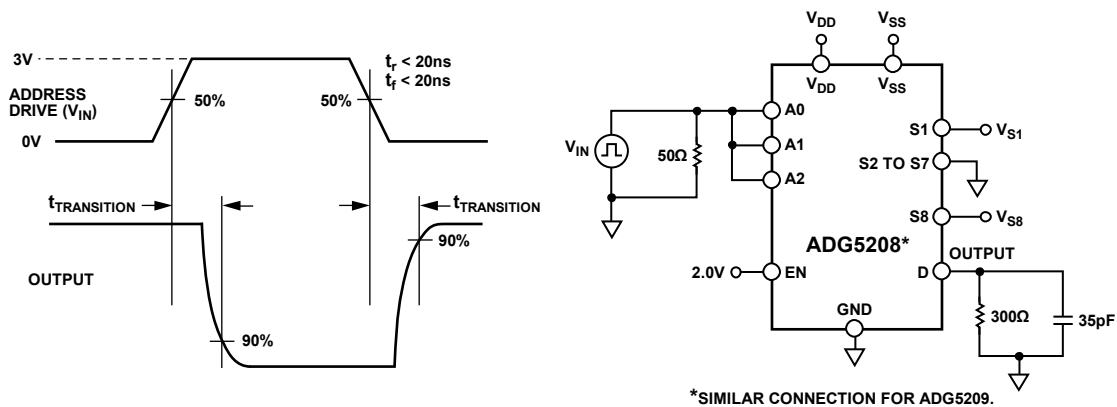
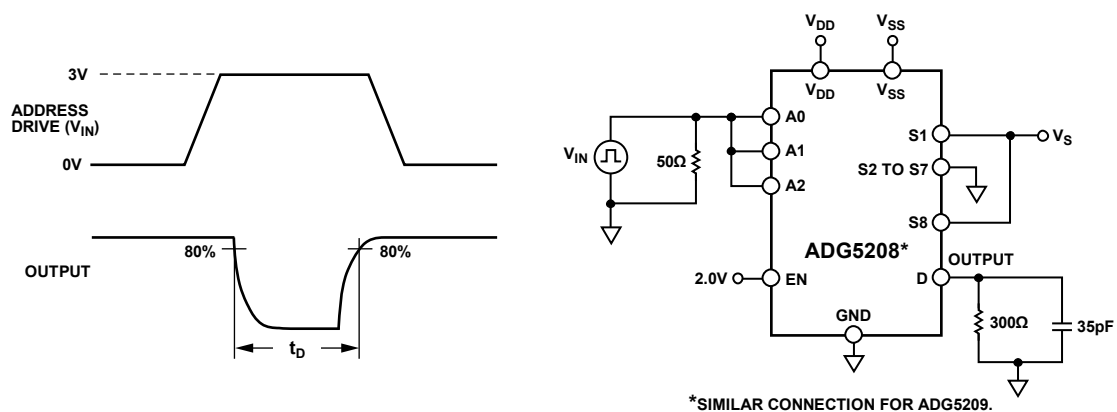


図 32. 帯域幅



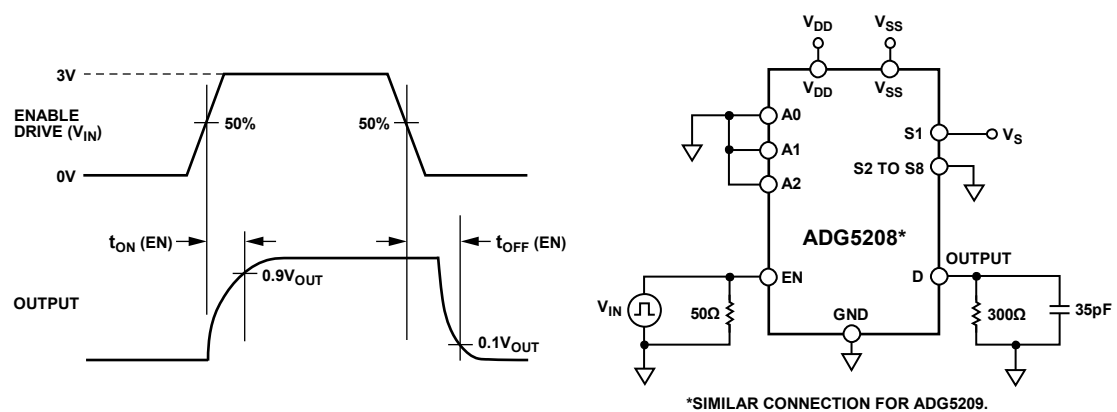
09917-034

図 33. アドレス—出力間のスイッチング時間、 $t_{\text{TRANSITION}}$



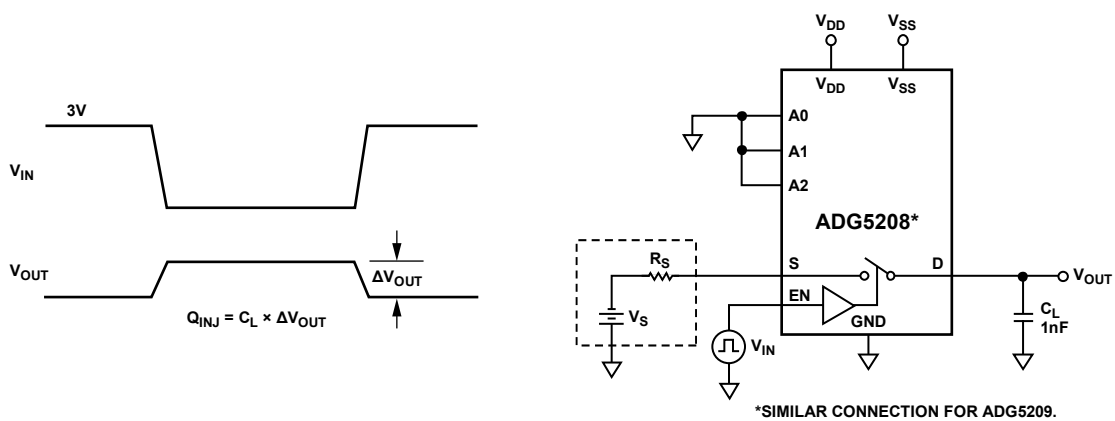
09917-035

図 34. ブレーク・ビフォア・メーク時間遅延、 t_d



09917-036

図 35. イネーブル遅延、 $t_{\text{ON}}(\text{EN})$ 、 $t_{\text{OFF}}(\text{EN})$



09817-037

図 36.チャージ・インジェクション

用語

I_{DD}

正の電源電流。

I_{SS}

負の電源電流。

V_D 、 V_S

それぞれ、D、S ピンのアナログ電圧。

R_{ON}

D-S ピン間の抵抗。

ΔR_{ON}

任意の 2 チャンネル間の R_{ON} の差。

$R_{FLAT(ON)}$

平坦性は、仕様で規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義され、 $R_{FLAT(ON)}$ で表されます。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (Off)

スイッチ・オフ時のドレイン・リーク電流。

I_D (On)、 I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL} 、 I_{INH}

デジタル入力のそれぞれロー・レベルおよびハイ・レベルでの入力電流。

C_D (Off)

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_S (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_D (On)、 C_S (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

t_{ON} (EN)

デジタル入力の 50%/90%ポイントとスイッチ・オン状態との間の遅延時間。

t_{OFF} (EN)

デジタル入力の 50%/90%ポイントとスイッチ・オフ状態との間の遅延時間。

$t_{TRANSITION}$

あるアドレス状態から別のアドレス状態へ切り替わるときのデジタル入力の 50%/90%ポイントとスイッチ・オン状態との間の遅延時間。

ブレイク・ビフォア・メーク時間遅延 (t_b)

あるアドレス状態から別のアドレス状態へ切り替わるときの両スイッチの 80%ポイント間で測定したオフ時間。

オフ時アイソレーション

オフ状態のチャンネルを通過する不要信号の大きさ。

チャージ・インジェクション

電荷注入は、スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさを表します。

クロストーク

寄生容量に起因して 1 つのチャンネルから別のチャンネルに混入する不要信号の大きさ。

帯域幅

帯域幅は、出力が 3 dB 減衰する周波数です。

オン応答

オン状態にあるスイッチの周波数応答。

AC 電源変動除去比(ACPSRR)

ACPSRR は、電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧が 0.62 V p-p の正弦波で変調されます。出力の信号振幅の、変調振幅に対する比が ACPSRR です。

トレンチ・アイソレーション

ADG5208/ADG5209では、各CMOSスイッチのNMOSトランジスタとPMOSトランジスタの間に絶縁酸化物層(トレンチ)が設けてあります。ジャンクションで絶縁されたスイッチ内の複数のトランジスタ間に発生する寄生ジャンクションがなくなるため、ラッチアップを完全に防止したスイッチが得られます。

ジャンクション・アイソレーションでは、PMOS トランジスタと NMOS トランジスタの N ウェルと P ウェルが、通常動作では逆バイアスされるダイオードを形成しますが、過電圧状態では、このダイオードが順方向バイアスされるようになります。2 個のトランジスタによりシリコン制御整流子(SCR)タイプの回路が形成されるため、電流が大幅に増幅されて、ラッチアップが発生します。トレンチ・アイソレーションでは、このダイオードがなくなるため、ラッチアップのないスイッチが実現できます。

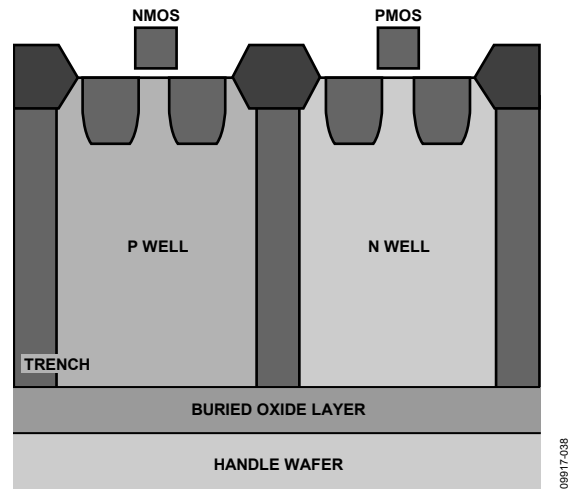


図 37. トレンチ・アイソレーション

アプリケーション情報

ADG52xx ファミリーのスイッチ/マルチプレクサは、ラッチアップが発生しやすい計装、工業用、車載、航空宇宙、その他の厳しい環境に対して強固なソリューションを提供します。ラッチアップは、デバイス故障に至る高電流状態を発生させて、電源をオフにするまで継続します。[ADG5208/ADG5209](#) 高電圧スイッチは、9 V~40 Vの単電源動作と±9 V~±22 Vの両電源動作が可能です。

外形寸法

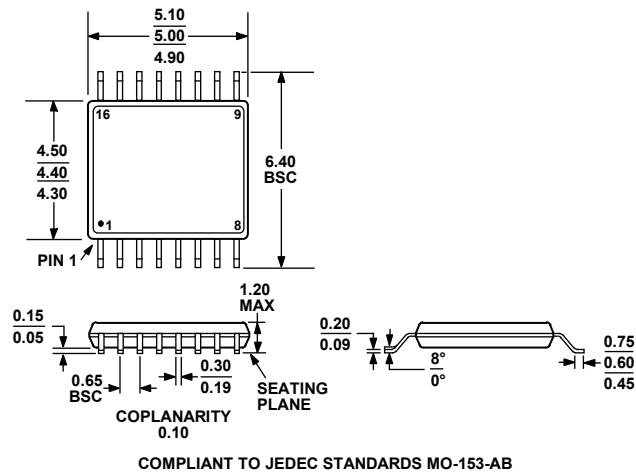


図 38.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-16)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADG5208BRUZ	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5208BRUZ-RL7	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5209BRUZ	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADG5209BRUZ-RL7	-40°C to +125°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16

¹ Z = RoHS 準拠製品。