

特長

ラッチアップ保護機能を内蔵
 オフ時ソース容量: 3 pF
 オフ時ドレイン容量: 26 pF
 チャージ・インジェクション: -0.6 pC
 低リーク: 85°Cで最大 0.4 nA
 両電源動作: $\pm 9\text{ V} \sim \pm 22\text{ V}$
 単電源動作: 9 V \sim 40 V
 最大電源電圧定格: 48 V
 $\pm 15\text{ V}$ 、 $\pm 20\text{ V}$ 、 $+12\text{ V}$ 、 $+36\text{ V}$ 電源で仕様規定
 アナログ信号範囲: $V_{SS} \sim V_{DD}$

アプリケーション

自動テスト装置
 データ・アキュイジション
 計装機器
 航空電子機器
 オーディオとビデオ・スイッチング
 通信システム

概要

ADG5204は、4チャンネルで構成されたCMOSアナログ・マルチプレクサです。

これらのスイッチは、極めて小さい容量とチャージ・インジェクションを持つため、低グリッチと高速なセトリングを必要とするデータ・アキュイジションとサンプル・アンド・ホールドのアプリケーションに最適なソリューションになっています。このデバイスは、高速なスイッチング速度と広い信号帯域幅の組み合わせにより、ビデオ信号スイッチングにも適しています。ADG5204は、ラッチアップを防止するトレンチ・プロセスを採用してデザインされています。絶縁トレンチによりpチャンネルとnチャンネルのトランジスタを分離することにより、厳しい過電圧状態でもラッチアップを防止します。

ADG5204は、3ビットのバイナリ・アドレス・ラインA0、A1、ENによる指定に基づき、4入力の中の1つを共通出力Dに接続します。ENピンをロジック 0にすると、デバイスがディスエーブルされます。各スイッチはオンのとき等しく両方向に導通し、入力信号範囲は電源電圧まで可能です。オフ状態では、電源電圧までの信号レベルを阻止します。各スイッチは、ブレイク・ビフォア・メーク・スイッチング動作を行います。

機能ブロック図

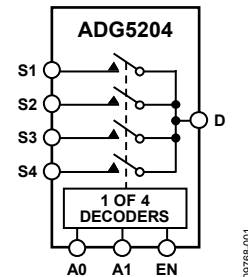


図 1.

製品のハイライト

1. トレンチ・アイソレーションによりラッチアップから保護します。
絶縁トレンチにより p チャンネルと n チャンネルのトランジスタを分離することにより、厳しい過電圧状態でもラッチアップを防止します。
2. 極めて小さい容量と 1 pC 以下のチャージ・インジェクション。
3. 両電源動作。
アナログ信号がバイポーラであるアプリケーションに対しては、ADG5204 は $\pm 22\text{ V}$ までの両電源で動作することができます。
4. 単電源動作。
アナログ信号がユニポーラであるアプリケーションに対しては、ADG5204 は 40 V までの単電源で動作することができます。
5. 3 V ロジック互換のデジタル入力。
 $V_{INH} = 2.0\text{ V}$ 、 $V_{INL} = 0.8\text{ V}$ 。
6. V_L ロジック電源が不要。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。

※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2011 Analog Devices, Inc. All rights reserved.

目次

特長	1	絶対最大定格	8
アプリケーション	1	ESDの注意	8
機能ブロック図	1	ピン配置およびピン機能説明	9
概要	1	真理値表	9
製品のハイライト	1	代表的な性能特性	10
改訂履歴	2	テスト回路	14
仕様	3	用語	16
±15 V両電源	3	トレンチ・アイソレーション	17
±20 V両電源	4	アプリケーション情報	18
12 V単電源	5	外形寸法	19
36 V単電源	6	オーダー・ガイド	19
チャンネルあたりの連続電流、S _X またはD	7		

改訂履歴

5/11—Revision 0: Initial Version

仕様

±15 V両電源

特に指定がない限り、 $V_{DD} = 15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 1.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V max	
On Resistance, R_{ON}	160 200	250	280	Ω typ Ω max	$V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$, see Figure 24 $V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	4.5			Ω typ	$V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	8	9	10	Ω max	$V_S = \pm 10\text{ V}$, $I_S = -1\text{ mA}$
	38			Ω typ	
	50	65	70	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	0.01 0.1	0.2	0.4	nA typ nA max	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $V_S = V_D = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$, see Figure 23
Drain Off Leakage, I_D (Off)	0.01 0.1	0.4	1.2	nA typ nA max	$V_S = V_D = \pm 10\text{ V}$, $V_D = \mp 10\text{ V}$, see Figure 23
Channel On Leakage, I_D , I_S (On)	0.02			nA typ	$V_S = V_D = \pm 10\text{ V}$, see Figure 26
	0.2	0.5	1.2	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	$V_{IN} = V_{GND}$ or V_{DD}
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002		± 0.1	μA typ μA max	
Digital Input Capacitance, C_{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	175 230	285	320	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$, see Figure 29
	t_{ON} (EN)			155 205	
t_{OFF} (EN)	150 175	200	215	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 10\text{ V}$, see Figure 31
	Break-Before-Make Time Delay, t_D			80	
Charge Injection, Q_{INJ}	-0.6			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$, see Figure 30
Off Isolation	-80			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 100\text{ kHz}$, see Figure 25
Channel-to-Channel Crosstalk	-80			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 28
-3 dB Bandwidth	136			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, see Figure 27
Insertion Loss	-6.8			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 27
C_S (Off)	3			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	26			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D , C_S (On)	30			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	45 55		70	μA typ μA max	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ Digital inputs = 0 V or V_{DD}
	I_{SS}	0.001		μA typ μA max	Digital inputs = 0 V or V_{DD}
V_{DD}/V_{SS}			1 $\pm 9/\pm 22$	V min/max	$GND = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

±20 V両電源

特に指定がない限り、 $V_{DD} = +20\text{ V} \pm 10\%$ 、 $V_{SS} = -20\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$ 。

表 2.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			V_{DD} to V_{SS}	V max	
On Resistance, R_{ON}	140			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -1\text{ mA}$, see Figure 24
On-Resistance Match	160	200	230	Ω max	$V_{DD} = +18\text{ V}$, $V_{SS} = -18\text{ V}$
Between Channels, ΔR_{ON}	4.5			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -1\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	8	9	10	Ω max	
	33			Ω typ	$V_S = \pm 15\text{ V}$, $I_S = -1\text{ mA}$
	45	55	60	Ω max	
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	0.01			nA typ	$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$
	0.1	0.2	0.4	nA max	$V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$, see Figure 23
Drain Off Leakage, I_D (Off)	0.01			nA typ	$V_S = \pm 15\text{ V}$, $V_D = \mp 15\text{ V}$, see Figure 23
	0.1	0.4	1.2	nA max	
Channel On Leakage, I_D , I_S (On)	0.02			nA typ	$V_S = V_D = \pm 15\text{ V}$, see Figure 26
	0.2	0.5	1.2	nA max	
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ	$V_{IN} = V_{GND}$ or V_{DD}
			± 0.1	μA max	
Digital Input Capacitance, C_{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	160			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	215	260	290	ns max	$V_S = 10\text{ V}$, see Figure 29
t_{ON} (EN)	150			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	185	225	255	ns max	$V_S = 10\text{ V}$, see Figure 31
t_{OFF} (EN)	150			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
	175	195	210	ns max	$V_S = 10\text{ V}$, see Figure 31
Break-Before-Make Time Delay, t_D	75			ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$
			30	ns min	$V_{S1} = V_{S2} = 10\text{ V}$, see Figure 30
Charge Injection, Q_{INJ}	-0.6			pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$, see Figure 32
Off Isolation	-80			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 100\text{ kHz}$, see Figure 25
Channel-to-Channel Crosstalk	-80			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 28
-3 dB Bandwidth	150			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, see Figure 27
Insertion Loss	-6			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 27
C_S (Off)	3			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	26			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
C_D , C_S (On)	30			pF typ	$V_S = 0\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	50			μA typ	$V_{DD} = +22\text{ V}$, $V_{SS} = -22\text{ V}$
	70		110	μA max	Digital inputs = 0 V or V_{DD}
I_{SS}	0.001			μA typ	Digital inputs = 0 V or V_{DD}
			1	μA max	
V_{DD}/V_{SS}			$\pm 9/\pm 22$	V min/max	$GND = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

12 V単電源

特に指定がない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 3.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V max	
On Resistance, R_{ON}	340 500	610	700	Ω typ Ω max	$V_S = 0\text{ V to }10\text{ V}$, $I_S = -1\text{ mA}$, see Figure 24 $V_{DD} = 10.8\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 0\text{ V to }10\text{ V}$, $I_S = -1\text{ mA}$
On-Resistance Match Between Channels, ΔR_{ON}	5			Ω typ	
On-Resistance Flatness, $R_{FLAT(ON)}$	20 145 280	21 335	22 370	Ω max Ω typ Ω max	$V_S = 0\text{ V to }10\text{ V}$, $I_S = -1\text{ mA}$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	0.01			nA typ	$V_{DD} = 13.2\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$, see Figure 23
Drain Off Leakage, I_D (Off)	0.1 0.01	0.2	0.4	nA max nA typ	$V_S = 1\text{ V}/10\text{ V}$, $V_D = 10\text{ V}/1\text{ V}$, see Figure 23
Channel On Leakage, I_D , I_S (On)	0.1 0.02 0.2	0.4 0.5	1.2 1.2	nA max nA typ nA max	$V_S = V_D = 1\text{ V}/10\text{ V}$, see Figure 26
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ μA max	$V_{IN} = V_{GND}$ or V_{DD}
Digital Input Capacitance, C_{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	240 350	445	515	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$, see Figure 29
t_{ON} (EN)	250 335	420	485	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$, see Figure 31
t_{OFF} (EN)	160 195	220	240	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 8\text{ V}$, see Figure 31
Break-Before-Make Time Delay, t_D	140		60	ns typ ns min	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_{S1} = V_{S2} = 8\text{ V}$, see Figure 30
Charge Injection, Q_{INJ}	-1.2			pC typ	$V_S = 6\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$, see Figure 32
Off Isolation	-80			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 25
Channel-to-Channel Crosstalk	-80			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 28
-3 dB Bandwidth	106			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, see Figure 27
Insertion Loss	-11			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 27
C_S (Off)	3.5			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	29			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
C_D , C_S (On)	33			pF typ	$V_S = 6\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	40		65	μA typ μA max	$V_{DD} = 13.2\text{ V}$ Digital inputs = 0 V or V_{DD}
V_{DD}			9/40	V min/max	$GND = 0\text{ V}$, $V_{SS} = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

36 V単電源

特に指定がない限り、 $V_{DD} = 36\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $GND = 0\text{ V}$ 。

表 4.

Parameter	25°C	-40°C to +85°C	-40°C to +125°C	Unit	Test Conditions/Comments
ANALOG SWITCH					
Analog Signal Range			0 V to V_{DD}	V max	
On Resistance, R_{ON}	150 170	215	245	Ω typ Ω max	$V_S = 0\text{ V to }30\text{ V}$, $I_S = -1\text{ mA}$, see Figure 24 $V_{DD} = 32.4\text{ V}$, $V_{SS} = 0\text{ V}$
On-Resistance Match Between Channels, ΔR_{ON}	4.5			Ω typ	$V_S = 0\text{ V to }30\text{ V}$, $I_S = -1\text{ mA}$
On-Resistance Flatness, $R_{FLAT(ON)}$	8 35 50	9 60	10 65	Ω max Ω typ Ω max	$V_S = 0\text{ V to }30\text{ V}$, $I_S = -1\text{ mA}$
LEAKAGE CURRENTS					
Source Off Leakage, I_S (Off)	0.01			nA typ	$V_{DD} = 39.6\text{ V}$, $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/30\text{ V}$, $V_D = 30\text{ V}/1\text{ V}$, see Figure 23
Drain Off Leakage, I_D (Off)	0.1 0.01	0.2	0.4	nA max nA typ	$V_S = 1\text{ V}/30\text{ V}$, $V_D = 30\text{ V}/1\text{ V}$, see Figure 23
Channel On Leakage, I_D , I_S (On)	0.1 0.02 0.2	0.4 0.5	1.2 1.2	nA max nA typ nA max	$V_S = V_D = 1\text{ V}/30\text{ V}$, see Figure 26
DIGITAL INPUTS					
Input High Voltage, V_{INH}			2.0	V min	
Input Low Voltage, V_{INL}			0.8	V max	
Input Current, I_{INL} or I_{INH}	0.002			μA typ μA max	$V_{IN} = V_{GND}$ or V_{DD}
Digital Input Capacitance, C_{IN}	3			pF typ	
DYNAMIC CHARACTERISTICS¹					
Transition Time, $t_{TRANSITION}$	180 250	275	305	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 18\text{ V}$, see Figure 29
t_{ON} (EN)	170 220	251	285	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 18\text{ V}$, see Figure 31
t_{OFF} (EN)	170 210	215	220	ns typ ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_S = 18\text{ V}$, see Figure 31
Break-Before-Make Time Delay, t_D	80		30	ns typ ns min	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$ $V_{S1} = V_{S2} = 18\text{ V}$, see Figure 30
Charge Injection, Q_{INJ}	-0.6			pC typ	$V_S = 18\text{ V}$, $R_S = 0\ \Omega$, $C_L = 1\text{ nF}$, see Figure 32
Off Isolation	-80			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 25
Channel-to-Channel Crosstalk	-80			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 28
-3 dB Bandwidth	136			MHz typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, see Figure 27
Insertion Loss	-6.7			dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$, see Figure 27
C_S (Off)	3			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
C_D (Off)	26			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
C_D , C_S (On)	30			pF typ	$V_S = 18\text{ V}$, $f = 1\text{ MHz}$
POWER REQUIREMENTS					
I_{DD}	85 100		130	μA typ μA max	$V_{DD} = 39.6\text{ V}$ Digital inputs = 0 V or V_{DD}
V_{DD}			9/40	V min/max	$GND = 0\text{ V}$, $V_{SS} = 0\text{ V}$

¹ 設計上保証しますが、出荷テストは行いません。

チャンネルあたりの連続電流、S_xまたはD

表 5.

Parameter	25°C	85°C	125°C	Unit
CONTINUOUS CURRENT, S _x OR D PINS				
V _{DD} = +15 V, V _{SS} = -15 V				
TSSOP ($\theta_{JA} = 112.6^{\circ}\text{C/W}$)	24.5	7.5	2.8	mA max
LFCSP ($\theta_{JA} = 30.4^{\circ}\text{C/W}$)	35.7	7.7	2.8	mA max
V _{DD} = +20 V, V _{SS} = -20 V				
TSSOP ($\theta_{JA} = 112.6^{\circ}\text{C/W}$)	26	7.5	2.8	mA max
LFCSP ($\theta_{JA} = 30.4^{\circ}\text{C/W}$)	37	7.7	2.8	mA max
V _{DD} = 12 V, V _{SS} = 0 V				
TSSOP ($\theta_{JA} = 112.6^{\circ}\text{C/W}$)	18	7	2.8	mA max
LFCSP ($\theta_{JA} = 30.4^{\circ}\text{C/W}$)	28	7.7	2.8	mA max
V _{DD} = 36 V, V _{SS} = 0 V				
TSSOP ($\theta_{JA} = 112.6^{\circ}\text{C/W}$)	30	7.7	2.8	mA max
LFCSP ($\theta_{JA} = 30.4^{\circ}\text{C/W}$)	41	7.7	2.8	mA max

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 6.

Parameter	Rating
V_{DD} to V_{SS}	48 V
V_{DD} to GND	-0.3 V to +48 V
V_{SS} to GND	+0.3 V to -48 V
Analog Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Digital Inputs ¹	$V_{SS} - 0.3\text{ V}$ to $V_{DD} + 0.3\text{ V}$ or 30 mA, whichever occurs first
Peak Current, Sx or D Pins	81 mA (pulsed at 1 ms, 10% duty cycle maximum)
Continuous Current, Sx or D ²	Data + 15%
Operating Temperature Range	-40°C to +125°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Thermal Impedance, θ_{JA}	
16-Lead TSSOP, θ_{JA} Thermal Impedance (4-Layer Board)	112.6°C/W
16-Lead LFCSP, θ_{JA} Thermal Impedance (4-Layer Board)	30.4°C/W
Reflow Soldering Peak Temperature, Pb Free	260(+0/-5)°C

¹ Sx ピンと D ピンでの過電圧は内部ダイオードでクランプされます。電流は、規定された最大定格に制限してください。

² 表 5 を参照してください。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

同時に複数の絶対最大定格条件を適用することはできません。

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

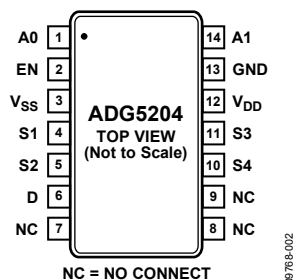
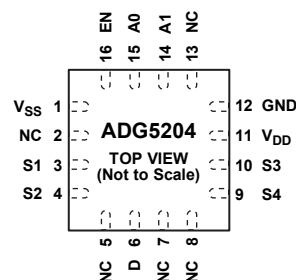


図 2.TSSOP のピン配置



NOTES
1. NC = NO CONNECT.
2. EXPOSED PAD TIED TO SUBSTRATE, V_{SS}.

図 3.LFCSP のピン配置

表 7.ピン機能の説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	15	A0	ロジック・コントロール入力。
2	16	EN	アクティブ・ハイのデジタル入力。このピンがロー・レベルのとき、デバイスはディスエーブルされるため、すべてのスイッチがターンオフします。このピンがハイ・レベルのとき、Ax ロジック入力によりターンオンするスイッチが指定されます。
3	1	V _{SS}	負電源電位。
4	3	S1	ソース・ピン。入力または出力。
5	4	S2	ソース・ピン。入力または出力。
6	6	D	ドレイン・ピン。入力または出力。
7~9	2、5、7、8、13	NC	未接続。これらのピンはオープンです。
10	9	S4	ソース・ピン。入力または出力。
11	10	S3	ソース・ピン。入力または出力。
12	11	V _{DD}	正電源電位。
13	12	GND	グラウンドリファレンス(0 V)。
14	14	A1	ロジック・コントロール入力。
N/A ¹	EP	エクスポーズド・パッド	エクスポーズド・パッド。エクスポーズド・パッドは内部で接続されています。ハンダ接続の信頼性と熱能力を向上させるために、このパッドをサブストレート V _{SS} にハンダ付けすることが推奨されます。

¹ N/A=適用なし。

真理値表

表 8.

EN	A1	A0	S1	S2	S3	S4
0	X ¹	X ¹	Off	Off	Off	Off
1	0	0	On	Off	Off	Off
1	0	1	Off	On	Off	Off
1	1	0	Off	Off	On	Off
1	1	1	Off	Off	Off	On

¹ X = don't care.

代表的な性能特性

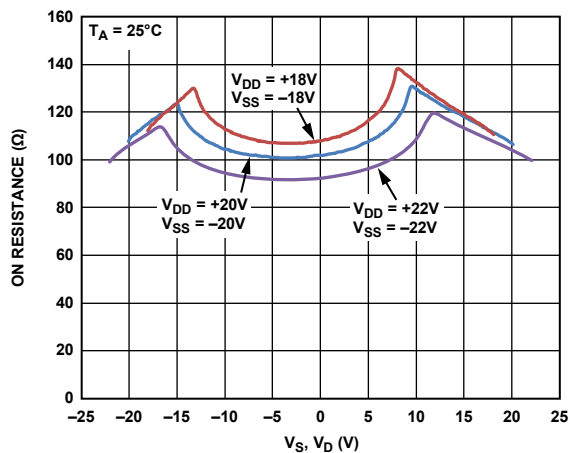


図 4. V_S または V_D の関数としての R_{ON} 、両電源

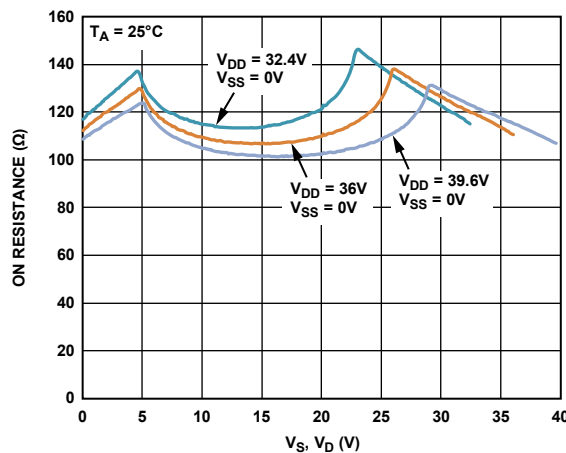


図 7. V_S または V_D の関数としての R_{ON} 、単電源

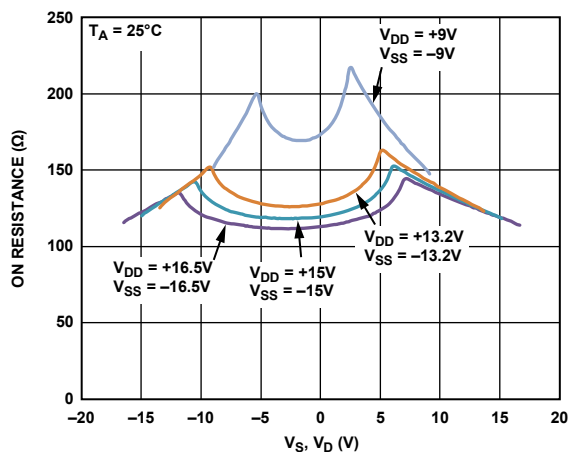


図 5. V_S または V_D の関数としての R_{ON} 、両電源

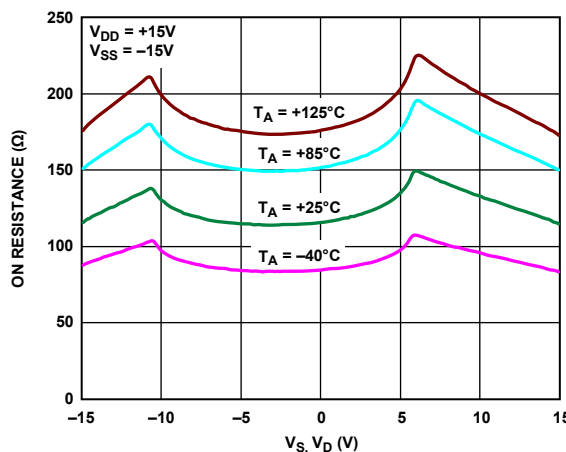


図 8. V_S または V_D の関数としての様々な温度での R_{ON} ±15 V 両電源

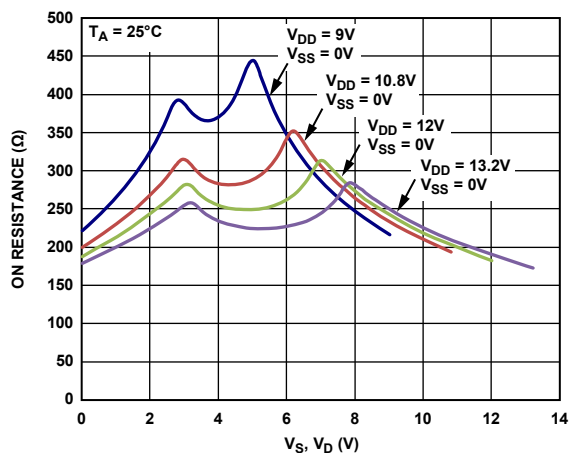


図 6. V_S または V_D の関数としての R_{ON} 、単電源

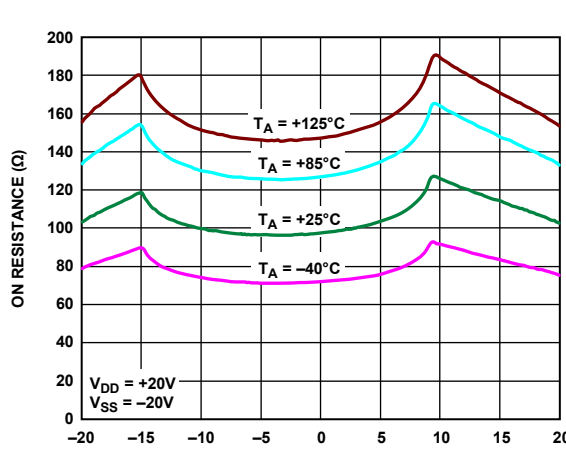


図 9. V_S または V_D の関数としての様々な温度での R_{ON} ±20 V 両電源

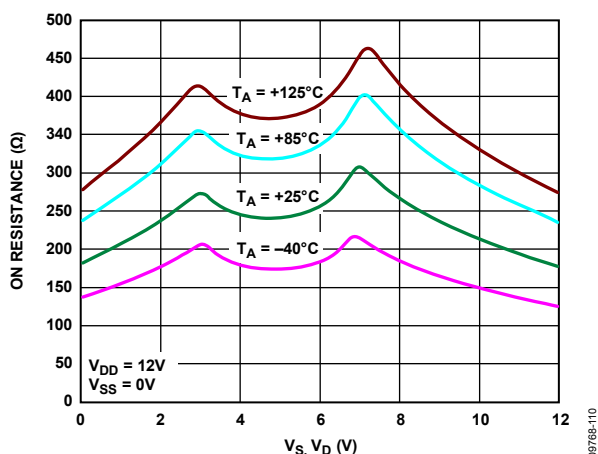


図 10. V_S または V_D の関数としての様々な温度での R_{ON} 12 V 単電源

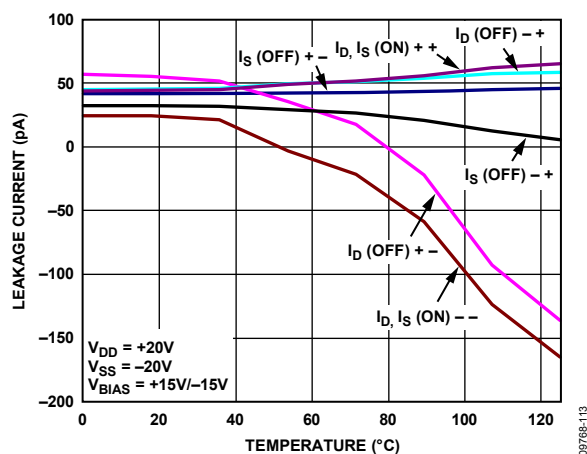


図 13. リーク電流の温度特性、 $\pm 20V$ 両電源

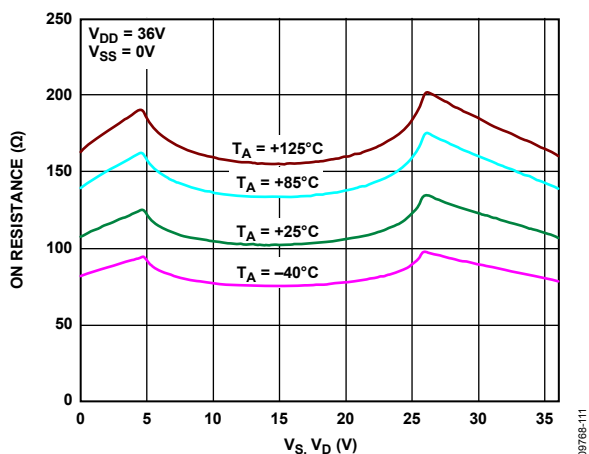


図 11. V_S または V_D の関数としての様々な温度での R_{ON} 36 V 単電源

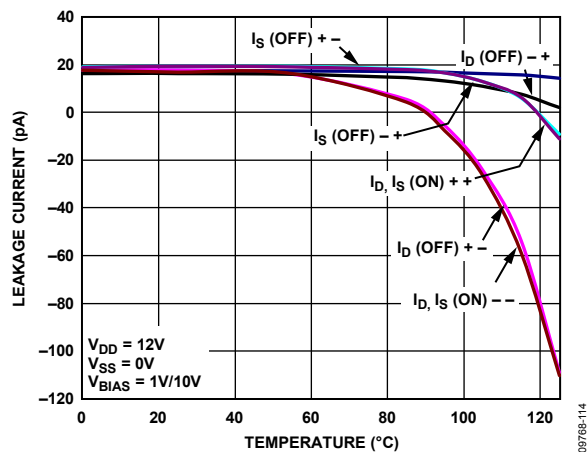


図 14. リーク電流の温度特性、12 V 単電源

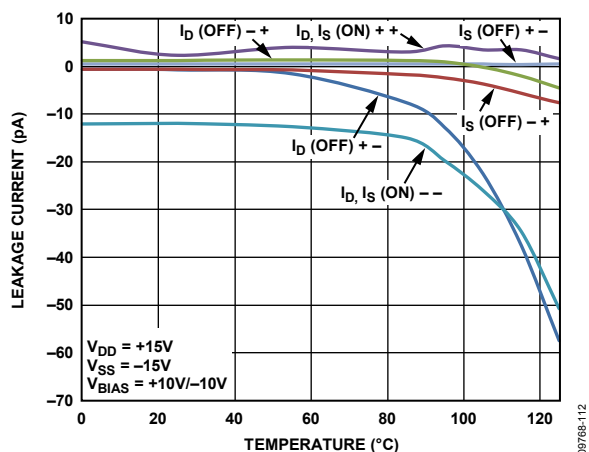


図 12. リーク電流の温度特性、 $\pm 15V$ 両電源

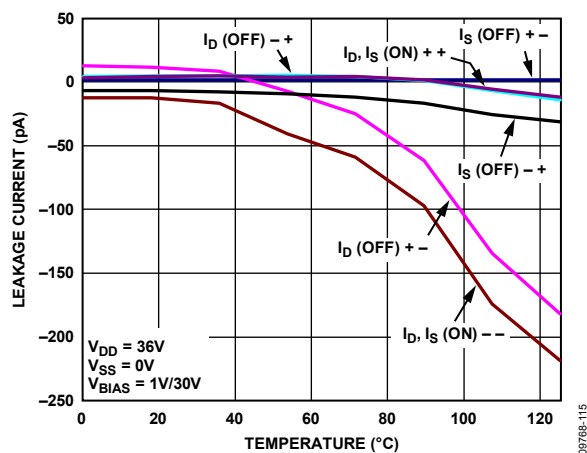


図 15. リーク電流の温度特性、36 V 単電源

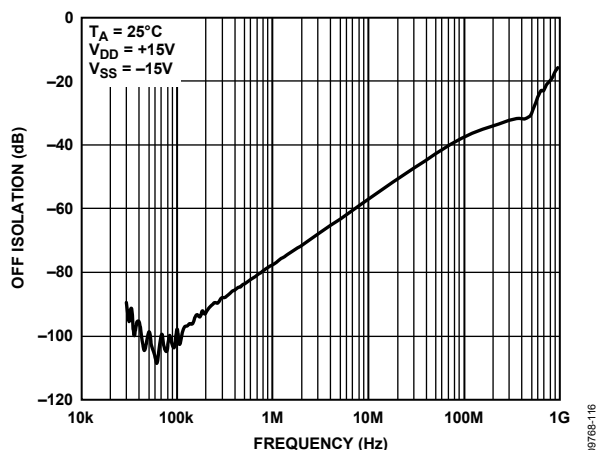


図 16. オフ時アイソレーションの周波数特性、±15 V 両電源

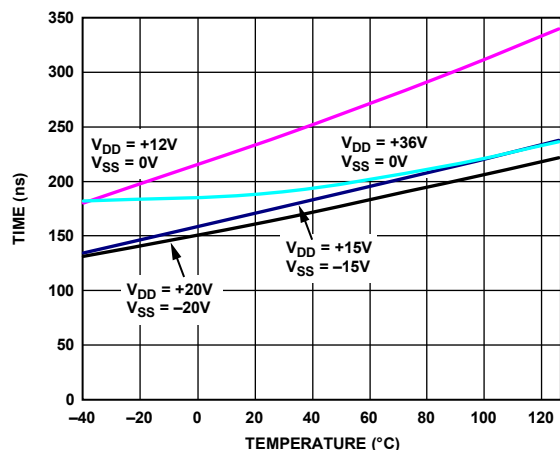


図 19. 変化時間の温度特性

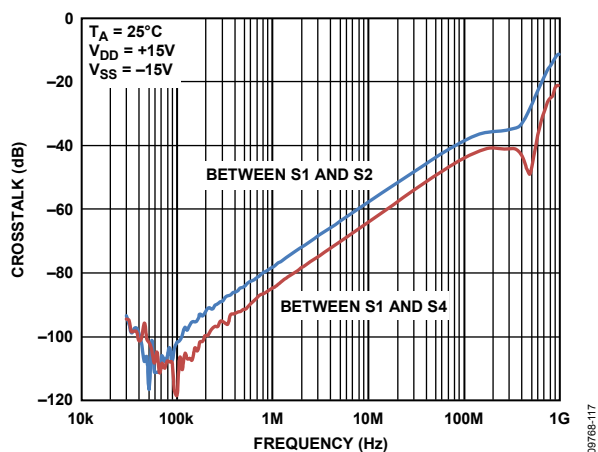


図 17. クロストークの周波数特性、±15 V 両電源

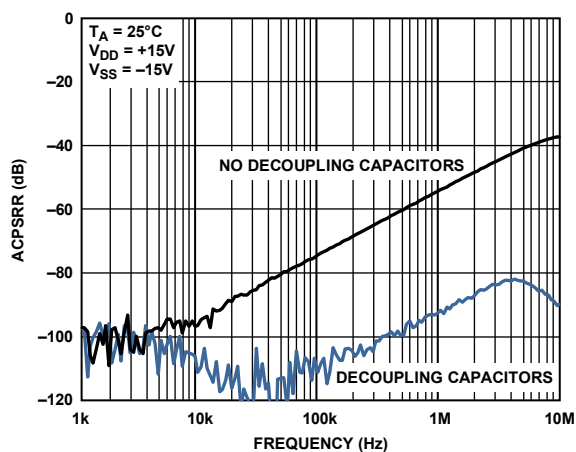


図 20. ACPSRR の周波数特性、±15 V 両電源

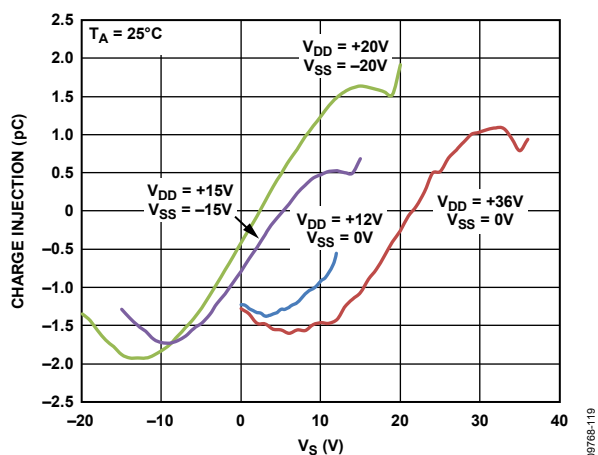


図 18. ソース電圧対チャージ・インジェクション

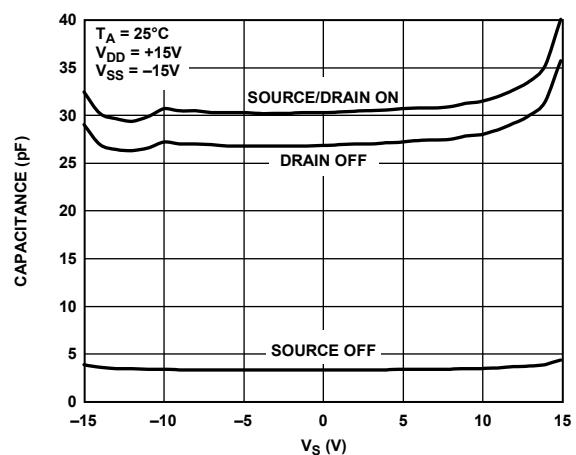


図 21. ソース電圧対容量、両電源

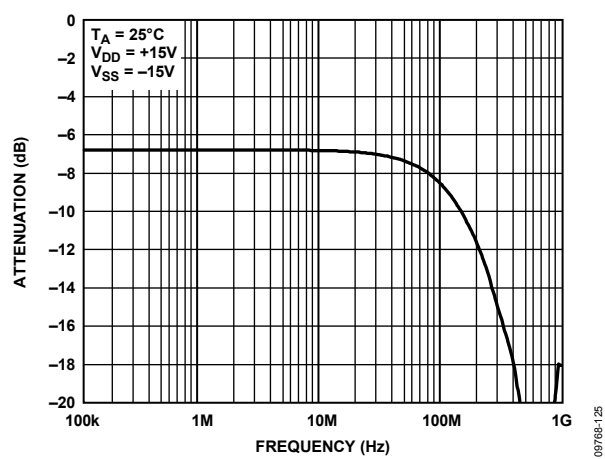


图 22. 带域幅

テスト回路

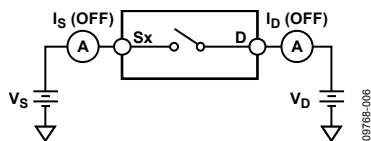


図 23. オフ時リーク

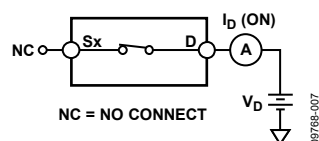


図 26. オン時リーク

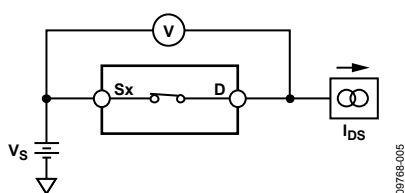
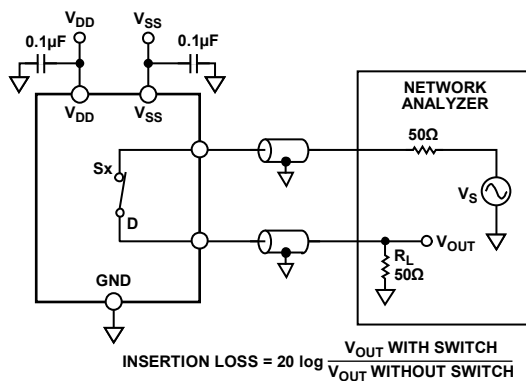
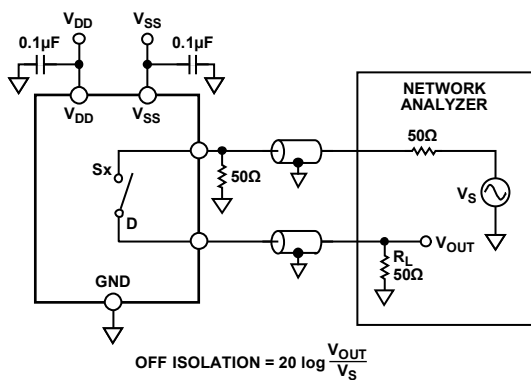


図 24. オン抵抗



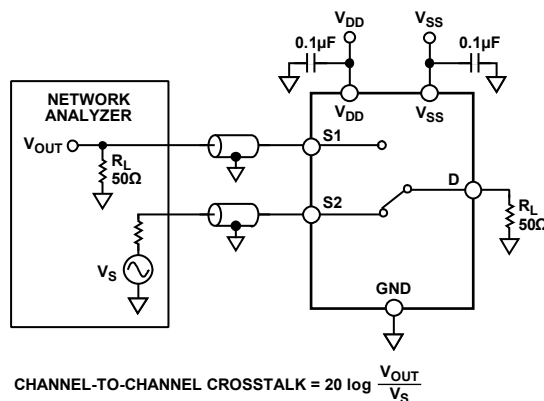
$$\text{INSERTION LOSS} = 20 \log \frac{V_{\text{OUT WITH SWITCH}}}{V_{\text{OUT WITHOUT SWITCH}}}$$

図 27. 帯域幅



$$\text{OFF ISOLATION} = 20 \log \frac{V_{\text{OUT}}}{V_{\text{S}}}$$

図 25. オフ時アイソレーション



$$\text{CHANNEL-TO-CHANNEL CROSSTALK} = 20 \log \frac{V_{\text{OUT}}}{V_{\text{S}}}$$

図 28. チャンネル間クロストーク

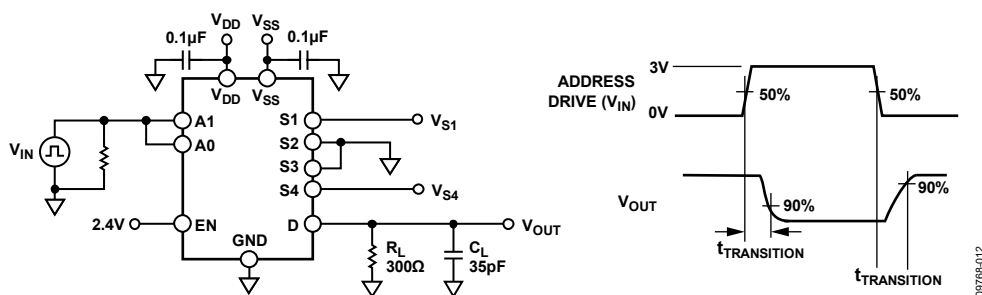


図 29. アドレス出力間のスイッチング時間

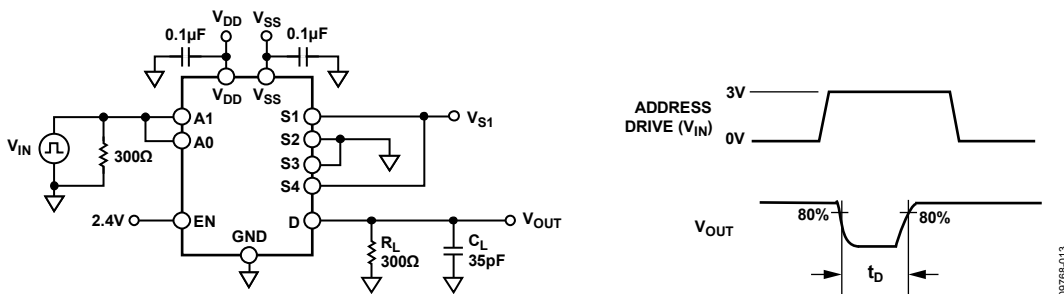


図 30. ブレーク・ビフォア・メイク時間遅延、 t_d

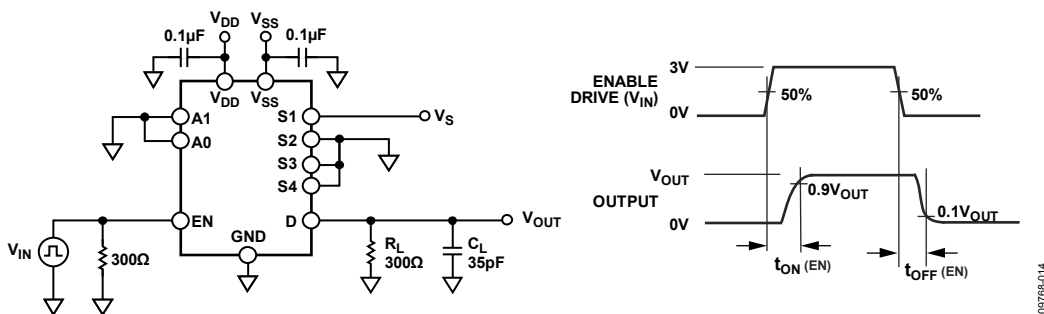


図 31. イネーブル出力間のスイッチング遅延

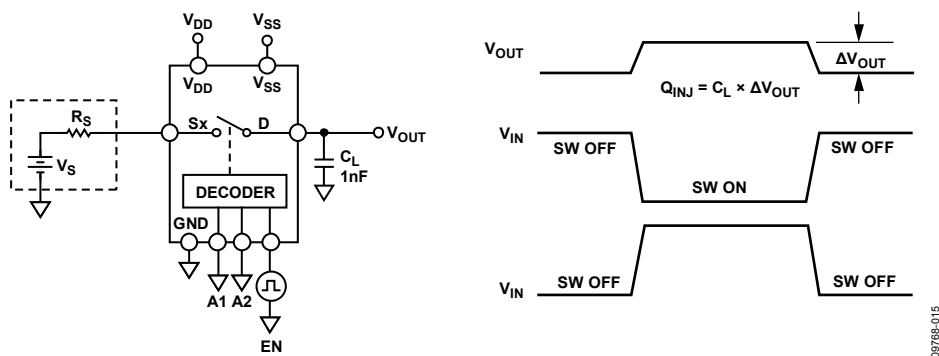


図 32. チャージ・インジェクション

用語

I_{DD}

正の電源電流。

I_{SS}

負電源電流。

V_D 、 V_S

D、S ピンのアナログ電圧。

R_{ON}

D-S 間の抵抗

$R_{FLAT(ON)}$

平坦性は、仕様で規定されたアナログ信号範囲におけるオン抵抗の最大値と最小値の差として定義されます。

I_S (Off)

スイッチ・オフ時のソース・リーク電流。

I_D (Off)

スイッチ・オフ時のドレイン・リーク電流。

I_D 、 I_S (On)

スイッチ・オン時のチャンネル・リーク電流。

V_{INL}

ロジック 0 の最大入力電圧。

V_{INH}

ロジック 1 の最小入力電圧。

I_{INL} 、 I_{INH}

デジタル入力の入力電流。

C_S (Off)

スイッチ・オフ時のソース容量。グラウンドを基準として測定。

C_D (Off)

スイッチ・オフ時のドレイン容量。グラウンドを基準として測定。

C_D (On)、 C_S (On)

スイッチ・オン時の容量。グラウンドを基準として測定。

C_{IN}

デジタル入力容量。

$t_{TRANSITION}$

あるアドレス状態から別のアドレス状態へ切り替わる時のデジタル入力の 50%/90%ポイントとスイッチ・オン状態との間の遅延時間。

t_{ON} (EN)

デジタル・コントロール入力の入力から出力スイッチ・オンまでの遅延。図 31 を参照してください。

t_{OFF} (EN)

デジタル・コントロール入力の入力から出力スイッチ・オフまでの遅延。図 31 を参照してください。

チャージ・インジェクション

スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさ。

オフ時アイソレーション

「オフ状態のスイッチを通過する不要信号の大きさ。

クロストーク

寄生容量に起因して 1 つのチャンネルから別のチャンネルに伝達される不要信号の大きさ。

帯域幅

出力が 3 dB 減衰する周波数。

オン応答

「オン」状態にあるスイッチの周波数応答

挿入損失

スイッチのオン抵抗に起因する損失。

ACPSRR (AC 電源除去比)

出力信号振幅の変調振幅に対する比。ACPSRR は、電源電圧ピンに現れるノイズとスプリアス信号がスイッチ出力へ混入するのを防止するデバイスの能力を表します。デバイスの DC 電圧が、0.62 V p-p の正弦波で変調されます。

トレンチ・アイソレーション

ADG5204 では、各 CMOS スイッチの NMOS トランジスタと PMOS トランジスタの間に絶縁酸化物層(トレンチ)が設けてあります。接合で絶縁されたスイッチ内の複数のトランジスタ間に発生する寄生接合がなくなるため、ラッチアップを完全に防止したスイッチが得られます。

接合アイソレーションでは、PMOS トランジスタと NMOS トランジスタの N ウェルと P ウェルが、通常動作では逆バイアスされるダイオードを形成しますが、過電圧状態では、このダイオードが順方向バイアスされるようになります。2 個のトランジスタによりシリコン制御整流子(SCR)タイプの回路が形成されるため、電流が大幅に増幅されて、ラッチアップが発生します。トレンチ・アイソレーションでは、このダイオードがなくなるため、ラッチアップのないスイッチが実現できます。

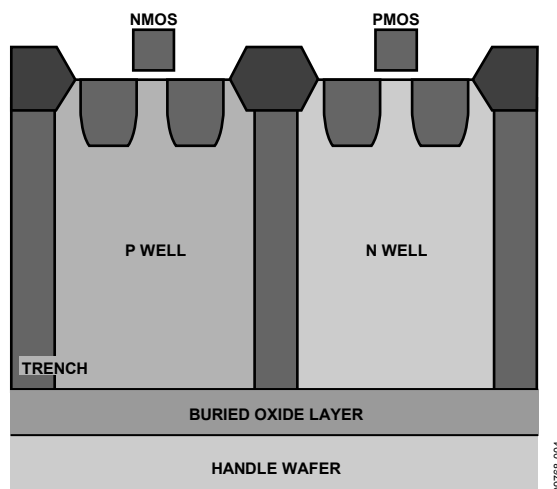


図 33. トレンチ・アイソレーション

アプリケーション情報

ADG52xx ファミリーのスイッチ/マルチプレクサは、ラッチアップが発生しやすい計装、工業用、車載、航空宇宙、その他の厳しい環境に対して強固なソリューションを提供します。ラッチアップは、デバイス故障に至る高電流状態を発生させて、電源をオフにするまで継続します。ADG5204 高電圧マルチプレクサは、9 V～40 V の単電源動作と±9 V～±22 V の両電源動作が可能です。

外形寸法

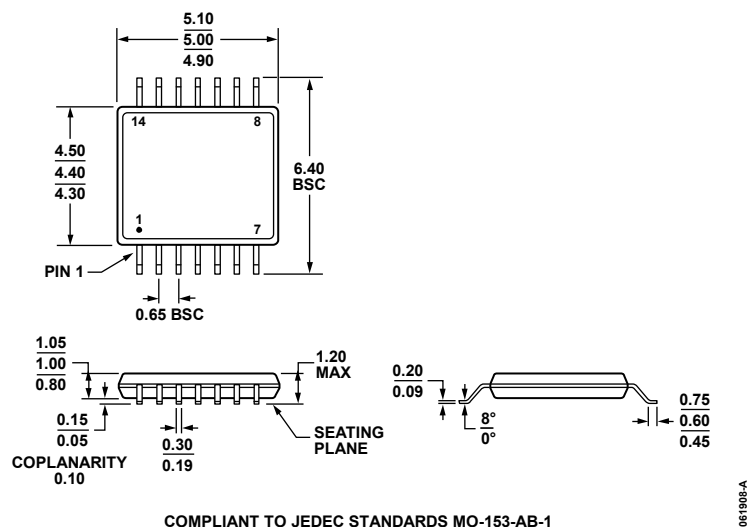


図 34.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-14)
寸法: mm

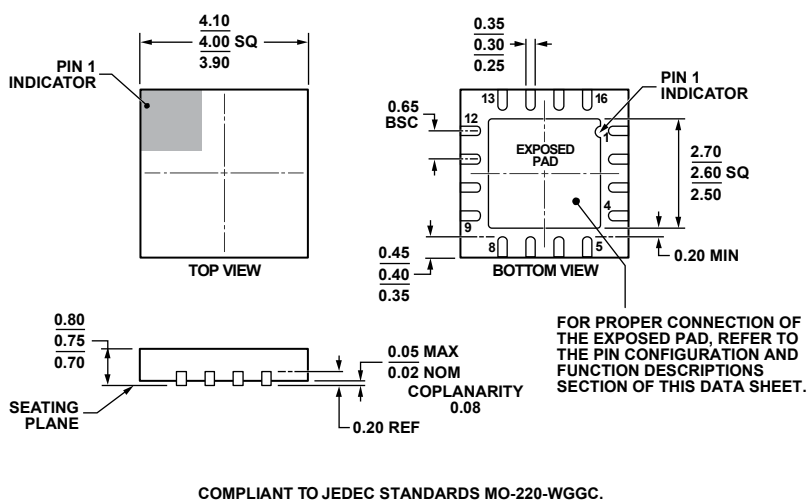


図 35.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-16-17)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADG5204BRUZ	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14
ADG5204BRUZ-RL7	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14
ADG5204BCPZ-RL7	-40°C to +125°C	16-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-17

¹ Z = RoHS 準拠製品。