



**ANALOG  
DEVICES**

**パワーオフ保護 ±5 V, +12 V, オン抵抗 5 Ω、クワッド SPST スイッチ**

**ADG4612/ADG4613**

## 特長

### パワーオフ保護

無電源時にスイッチのオフを保証

無電源時に入力は高インピーダンス

入力信号 > V<sub>DD</sub> + V<sub>T</sub> の時スイッチはオフになる

16 V まで過電圧保護

堅牢な PSS

負信号取り扱い能力により、下は -5.5 V までの信号を通過

オン抵抗: 6.1 Ω (max)

オン抵抗平坦性: 1.4 Ω

両電源: ±3 V ~ ±5.5 V

単電源: 3 V ~ 12 V

入力は 3 V ロジックにコンパチブル

レール to レール動作

16 ピン TSSOP パッケージまたは 16 ピン 3x3mm LFCSP

パッケージ

## アプリケーション

ホット・スワップ・アプリケーション

データ・アキュイジション・システム

バッテリー駆動のシステム

自動テスト装置 (ATE)

通信システム

リレーの置き換え

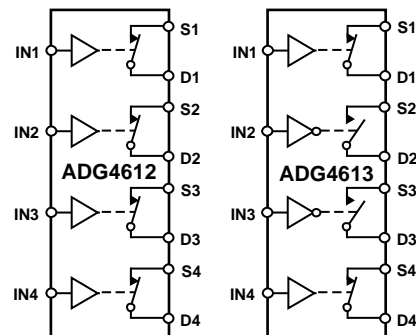
## 概要

ADG4612/ADG4613 は 4 個の独立したシングル・ポール/シングル・スロー (SPST) スイッチを内蔵しています。

ADG4612 スイッチは、コントロール入力に印加されるロジック "1" で "オン" になります。ADG4613 には ADG4612 と同じデジタル・コントロール・ロジックを持つスイッチ 2 個とコントロール・ロジックが反転のスイッチ 2 個が内蔵されています。各スイッチは "オン" の時、双方向に同じように良好に導通し、各スイッチの入力信号範囲は電源電圧まであります。ADG4613 は、マルチプレクサ・アプリケーションで使用できるようにブレイク・ビフォ・メイク・スイッチ動作を行います。

電源が入っていない時、スイッチはオフ状態を保ち、スイッチの入力は高インピーダンス入力になるので、(スイッチあるいは下流の回路を損傷しかねない) 電流が流れません。この事は電源が供給される前にアナログ信号がスイッチの入力に存在している可能性があったり、ユーザーが電源シーケンスを制御できないようなアプリケーションで非常に役に立ちます。オフ状態では 16V までの信号レベルは阻止されます。又アナログ入力信号レベルが V<sub>DD</sub> を V<sub>T</sub> 以上超えた時、スイッチは "オフ" になります。

## 機能ブロック図



SWITCHES SHOWN FOR A LOGIC 1 INPUT.

09005-001

図 1.

これらのスイッチは低オン抵抗なので、低オン抵抗と歪が重要なデータ・アキュイジションやゲイン・スイッチングのようなアプリケーションに最適なソリューションになります。オン抵抗のプロファイルは、アナログ入力範囲全体にわたって非常に平坦であるため、オーディオ信号をスイッチングする場合優れた直線性と低歪が得られます。

## 製品のハイライト

1. S ピンと D ピン両端子でのパワーオフ保護
2. 堅牢な PSS
3. 16 V までの過電圧保護
4. オン抵抗: 5.2 Ω
5. 16 ピン TSSOP パッケージまたは 3 mm x 4 mm LFCSP パッケージ

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2010 Analog Devices, Inc. All rights reserved.

**アナログ・デバイセズ株式会社**

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

特長 .....	1	ピン配置及びピン機能の説明 .....	11
アプリケーション .....	1	代表的な性能特性 .....	12
概要 .....	1	テスト回路 .....	15
機能ブロック図 .....	1	用語 .....	17
製品のハイライト .....	1	動作原理 .....	18
仕様 .....	3	バイポーラ動作と単電源動作 .....	19
5 V 両電源 .....	3	アプリケーション情報 .....	20
12 V 単電源 .....	5	外形図 .....	22
5 V 単電源 .....	7	オーダー・ガイド .....	23
チャンネルごとの連続電流、Sx 又は Dx .....	8		
電源動作 .....	9		
絶対最大定格 .....	10		
熱抵抗 .....	10		
ESD の注意 .....	10		

## 改訂履歴

10/10-Revision 0:初版

## 仕様

## 5 V 両電源

特に指定のない限り、 $V_{DD} = +5\text{ V} \pm 10\%$ ,  $V_{SS} = -5\text{ V} \pm 10\%$ ,  $GND = 0\text{ V}$ 。

表 1.

Parameter	25°C	-40°C to +85°C	Unit	Test Conditions/ Comments
<b>ANALOG SWITCH</b>				
Analog Signal Range (Normal Mode)		-5.5 V to $V_{DD}$	V	$V_{DD}$ to $V_{SS} = 16\text{ V}$ maximum
On Resistance ( $R_{ON}$ )	5.2		$\Omega$ typ	$V_S = \pm 4.5\text{ V}$ , $I_S = -10\text{ mA}$ ; 図 22 を参照
	6.1	7.6	$\Omega$ max	$V_{DD} = +4.5\text{ V}$ , $V_{SS} = -4.5\text{ V}$
On-Resistance Match Between Channels ( $\Delta R_{ON}$ )	0.05		$\Omega$ typ	$V_S = \pm 4.5\text{ V}$ , $I_S = -10\text{ mA}$
	0.15	0.18	$\Omega$ max	
On-Resistance Flatness ( $R_{FLAT(ON)}$ )	1.4		$\Omega$ typ	$V_S = \pm 4.5\text{ V}$ , $I_S = -10\text{ mA}$
	1.75	2.2	$\Omega$ max	
<b>LEAKAGE CURRENTS (NORMAL MODE)</b>				
Source Off Leakage, $I_S$ (Off)	$\pm 5$		nA typ	$V_{DD} = +5.5\text{ V}$ , $V_{SS} = -5.5\text{ V}$ $V_S = \pm 4.5\text{ V}$ , $V_D = \mp 4.5\text{ V}$ ; 図 23 を参照
	$\pm 10$	$\pm 300$	nA max	
Drain Off Leakage, $I_D$ (Off)	$\pm 5$		nA typ	$V_S = \pm 4.5\text{ V}$ , $V_D = \mp 4.5\text{ V}$ ; 図 23 を参照
	$\pm 10$	$\pm 300$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 10$		nA typ	$V_S = V_D = \pm 4.5\text{ V}$ ; 図 24 を参照
	$\pm 16$	$\pm 700$	nA max	
<b>LEAKAGE CURRENTS (ISOLATION MODE)</b>				
Source Off Leakage, $I_S$ (Off)	$\pm 0.03$		$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$
	$\pm 0.1$	$\pm 2.5$	$\mu\text{A}$ max	$V_S = -5.5\text{ V}$ , $V_D = +10.5\text{ V}$ ; or $V_S = +10.5\text{ V}$ , $V_D = -5.5\text{ V}$ ; 図 23 参照
	$\pm 8$		$\mu\text{A}$ typ	$V_{DD} = +5.5\text{ V}$ , $V_{SS} = -5.5\text{ V}$ or $0\text{ V}$
	$\pm 22$	$\pm 30$	$\mu\text{A}$ max	$V_S = -5.5\text{ V}$ , $V_D = +10.5\text{ V}$ ; or $V_S = +10.5\text{ V}$ , $V_D = -5.5\text{ V}$ ; 図 23 参照
Drain Off Leakage, $I_D$ (Off)	$\pm 0.03$		$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$
	$\pm 0.1$	$\pm 2.5$	$\mu\text{A}$ max	$V_S = -5.5\text{ V}$ , $V_D = +10.5\text{ V}$ ; or $V_S = +10.5\text{ V}$ , $V_D = -5.5\text{ V}$ ; 図 23 参照
	$\pm 8$		$\mu\text{A}$ typ	$V_{DD} = +5.5\text{ V}$ , $V_{SS} = -5.5\text{ V}$ or $0\text{ V}$
	$\pm 22$	$\pm 30$	$\mu\text{A}$ max	$V_S = -5.5\text{ V}$ , $V_D = +10.5\text{ V}$ ; or $V_S = +10.5\text{ V}$ , $V_D = -5.5\text{ V}$ ; 図 23 参照
<b>DIGITAL INPUTS</b>				
Input High Voltage, $V_{INH}$		2.0	V min	
Input Low Voltage, $V_{INL}$		0.8	V max	
Input Current, $I_{INL}$	$\pm 0.015$		$\mu\text{A}$ typ	$V_{IN} = V_{GND}$
	$\pm 0.1$	$\pm 0.15$	$\mu\text{A}$ max	
Input Current, $I_{INH}$	$\pm 13$		$\mu\text{A}$ typ	$V_{IN} = V_{DD}$
	$\pm 16$	$\pm 18$	$\mu\text{A}$ max	
Logic Pull-Down Resistance, $R_{PD}$	400		k $\Omega$ typ	
Digital Input Capacitance, $C_{IN}$	4		pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>				
$t_{ON}$	73		ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	125	149	ns max	$V_S = 3\text{ V}$ ; 図 25 参照
$t_{OFF}$	100		ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	125	149	ns max	$V_S = 3\text{ V}$ ; 図 25 参照
Break-Before-Make Time Delay, $t_D$ (ADG4613 Only)	20	3	ns typ ns min	$R_L = 50\ \Omega$ , $C_L = 35\text{ pF}$ $V_{S1} = V_{S2} = 3\text{ V}$ ; 図 26 参照

# ADG4612/ADG4613

Parameter	25°C	-40°C to +85°C	Unit	Test Conditions/ Comments
Fault Response Time	295		ns typ	$V_S = 2\text{ V to }8\text{ V}$ , $R_L = 300\ \Omega$ , $C_L = 35\ \text{pF}$
Fault Recovery Time	1.2		$\mu\text{s typ}$	$V_S = 2\text{ V to }8\text{ V}$ , $R_L = 300\ \Omega$ , $C_L = 35\ \text{pF}$
Threshold Voltage, $V_T$	1.8		V typ	
Charge Injection	225		pC typ	$V_S = 0\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\ \text{nF}$ ; 図 27 参照
Off Isolation	-54		dB typ	$R_L = 50\ \Omega$ , $C_L = 5\ \text{pF}$ , $f = 1\ \text{MHz}$ ; 図 28 参照
Channel-to-Channel Crosstalk	-71		dB typ	$R_L = 50\ \Omega$ , $C_L = 5\ \text{pF}$ , $f = 1\ \text{MHz}$ ; 図 29 参照
Total Harmonic Distortion + Noise, THD + N	0.13		% typ	$R_L = 110\ \Omega$ , $6\text{ V p-p}$ , $f = 20\ \text{Hz to }20\ \text{kHz}$ ; 図 31 参照
Insertion Loss	-0.5		dB typ	$R_L = 50\ \Omega$ , $C_L = 5\ \text{pF}$ ; $f = 1\ \text{MHz}$ ; 図 30 参照
-3 dB Bandwidth	293		MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\ \text{pF}$ ; 図 30 参照
$C_S$ (Off)	13		pF typ	$V_S = 0\text{ V}$ , $f = 1\ \text{MHz}$
$C_D$ (Off)	13		pF typ	$V_S = 0\text{ V}$ , $f = 1\ \text{MHz}$
$C_D$ (On), $C_S$ (On)	50		pF typ	$V_S = 0\text{ V}$ , $f = 1\ \text{MHz}$
<b>POWER REQUIREMENTS</b>				
Normal Mode				
$I_{DD}$	90		$\mu\text{A typ}$	Digital inputs = 0 V or $V_{DD}$
	140	165	$\mu\text{A max}$	$V_{DD} = +5.5\text{ V}$ , $V_{SS} = -5.5\text{ V}$
$I_{SS}$	27		$\mu\text{A typ}$	$V_{DD} = +5.5\text{ V}$ , $V_{SS} = -5.5\text{ V}$
	50	58	$\mu\text{A max}$	
Isolation Mode				
$I_{DD}$	90		$\mu\text{A typ}$	$V_{DD} = +5.5\text{ V}$ , $V_{SS} = -5.5\text{ V}$ or floating
	140	165	$\mu\text{A max}$	Digital inputs = 0 V or 5.5 V $V_S = -5.5\text{ V}$ or $+10.5\text{ V}$
$I_{SS}$	0.1		$\mu\text{A typ}$	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = -5.5\text{ V}$
	0.2	6	$\mu\text{A max}$	Digital inputs = 0 V or 5.5 V $V_S = -5.5\text{ V}$ or $+10.5\text{ V}$

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

## 12V 単電源

特に指定のない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ ,  $V_{SS} = 0\text{ V}$ ,  $GND = 0\text{ V}$

表 2.

Parameter	25°C	-40°C to +85°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>				
Analog Signal Range		-5.5 V to $V_{DD}$	V	$V_{DD}$ to $V_{SS} = 16\text{ V}$ maximum
n-Resistance ( $R_{ON}$ )	4.5		$\Omega$ typ	$V_S = 0\text{ V}$ to +10 V, $I_S = -10\text{ mA}$ ; 図 22 参照
On-Resistance Match Between Channels ( $\Delta R_{ON}$ )	5.1	6.4	$\Omega$ max	$V_{DD} = 10.8\text{ V}$ , $V_{SS} = 0\text{ V}$
	0.05		$\Omega$ typ	$V_S = 0\text{ V}$ to +10 V, $I_S = -10\text{ mA}$
On-Resistance Flatness ( $R_{FLAT(ON)}$ )	0.15	0.18	$\Omega$ max	
	1		$\Omega$ typ	$V_S = 0\text{ V}$ to +10 V, $I_S = -10\text{ mA}$
	1.25	1.6	$\Omega$ max	
<b>LEAKAGE CURRENTS</b>				
Normal Mode				
Source Off Leakage, $I_S$ (Off)	$\pm 3$		nA typ	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ ; 図 23 参照
Drain Off Leakage, $I_D$ (Off)	$\pm 10$	$\pm 200$	nA max	
	$\pm 3$		nA typ	$V_S = 1\text{ V}/10\text{ V}$ , $V_D = 10\text{ V}/1\text{ V}$ ; 図 23 参照
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 10$	$\pm 200$	nA max	
	$\pm 7$		nA typ	$V_S = V_D = 1\text{ V}$ or 10 V; 図 24
	$\pm 11$	$\pm 300$	nA max	
Isolation Mode				
Source Off Leakage, $I_S$ (Off)	$\pm 0.05$		$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$
	$\pm 0.3$	$\pm 3$	$\mu\text{A}$ max	$V_S = 1\text{ V}/16\text{ V}$ , $V_D = 16\text{ V}/1\text{ V}$ ; 図 23 参照
Drain Off Leakage, $I_D$ (Off)	$\pm 10$		$\mu\text{A}$ typ	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ , $V_S = 16\text{ V}/1\text{ V}$ , $V_D = 1\text{ V}/16\text{ V}$ ; 図 23 参照
	$\pm 28$	$\pm 38$	$\mu\text{A}$ max	
	$\pm 0.05$		$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$ , $V_S = 1\text{ V}/16\text{ V}$ , $V_D = 16\text{ V}/1\text{ V}$ ; 図 23 参照
	$\pm 0.3$	$\pm 3$	$\mu\text{A}$ max	
	$\pm 10$		$\mu\text{A}$ typ	$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ $V_S = 16\text{ V}/1\text{ V}$ , $V_D = 1\text{ V}/16\text{ V}$ ; 図 23 参照
	$\pm 28$	$\pm 38$	$\mu\text{A}$ max	
<b>DIGITAL INPUTS</b>				
Input High Voltage, $V_{INH}$		2.0	V min	
Input Low Voltage, $V_{INL}$		0.8	V max	
Input Current, $I_{INL}$	$\pm 0.015$		$\mu\text{A}$ typ	$V_{IN} = V_{GND}$
	$\pm 0.1$	$\pm 0.15$	$\mu\text{A}$ max	
Input Current, $I_{INH}$	$\pm 13$		$\mu\text{A}$ typ	$V_{IN} = 5\text{ V}$
	$\pm 16$	$\pm 18$	$\mu\text{A}$ max	
Input Current, $I_{INH}$	$\pm 34$		$\mu\text{A}$ typ	$V_{IN} = V_{DD}$
	$\pm 40$	$\pm 42$	$\mu\text{A}$ max	
Logic Pull-Down Resistance, $R_{PD}$	400		k $\Omega$ typ	
Digital Input Capacitance, $C_{IN}$	4		pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>				
$t_{ON}$	46		ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	73	90	ns max	$V_S = 8\text{ V}$ ; 図 25 参照
$t_{OFF}$	70		ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$

# ADG4612/ADG4613

Parameter	25°C	-40°C to +85°C	Unit	Test Conditions/Comments
	91	103	ns max	$V_S = 8\text{ V}$ ; 図 25 参照
Break-Before-Make Time Delay, $t_D$ (ADG4613 Only)	17	11	ns typ ns min	$R_L = 50\ \Omega$ , $C_L = 35\text{ pF}$ $V_{S1} = V_{S2} = 8\text{ V}$ ; 図 26 参照
Fault Response Time	250		ns typ	$V_S = 9\text{ V to }15\text{ V}$ , $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
Fault Recovery Time	1.4		$\mu\text{s typ}$	$V_S = 9\text{ V to }15\text{ V}$ , $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
Threshold Voltage, $V_T$	1.8		V typ	
Charge Injection	292		pC typ	$V_S = 6\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ ; 図 27 参照
Off Isolation	-56		dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; 図 28 参照
Channel-to-Channel Crosstalk	-74		dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ , $f = 1\text{ MHz}$ ; 図 29. 参照
Total Harmonic Distortion + Noise, THD + N	0.26		% typ	$R_L = 110\ \Omega$ , $6\text{ V p-p}$ , $f = 20\text{ Hz to }20\text{ kHz}$ ; 図 31 参照
Insertion Loss	-0.27		dB typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ ; $f = 1\text{ MHz}$ ; 図 30 参照
-3 dB Bandwidth	250		MHz typ	$R_L = 50\ \Omega$ , $C_L = 5\text{ pF}$ ; 図 30 参照
$C_S$ (Off)	11.5		pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (Off)	11.5		pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
$C_D$ (On), $C_S$ (On)	48		pF typ	$V_S = 0\text{ V}$ , $f = 1\text{ MHz}$
<b>POWER REQUIREMENTS</b>				
Normal Mode				$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$
$I_{DD}$	90		$\mu\text{A typ}$	Digital inputs = $0\text{ V}$ or $V_{DD}$
	140	165	$\mu\text{A max}$	
$I_{DD}$	600		$\mu\text{A typ}$	Digital inputs = $5\text{ V}$
	660	900	$\mu\text{A max}$	
Isolation Mode				$V_{DD} = 13.2\text{ V}$ , $V_{SS} = 0\text{ V}$ or floating
$I_{DD}$	90		$\mu\text{A typ}$	$V_S = 16\text{ V}$ or $1\text{ V}$
	140	165	$\mu\text{A max}$	Digital inputs = $0\text{ V}$ or $V_{DD}$

<sup>1</sup> 設計上保証しますが、出荷テストは行いません。

## 5 V 単電源

特に指定のない限り、 $V_{DD} = 5\text{ V} \pm 10\%$ ,  $V_{SS} = 0\text{ V}$ ,  $GND = 0\text{ V}$

表 3.

Parameter	25°C	-40°C to +85°C	Unit	Test Conditions/Comments
<b>ANALOG SWITCH</b>				
Analogue Signal Range		-5.5 V to $V_{DD}$	V	$V_{DD}$ to $V_{SS} = 16\text{ V}$ maximum
On-Resistance ( $R_{ON}$ )	12.5		$\Omega$ typ	$V_S = 0\text{ V}$ to +4.5 V, $I_S = -10\text{ mA}$ ; 図 22 参照
	14.7	17	$\Omega$ max	$V_{DD} = 4.5\text{ V}$ , $V_{SS} = 0\text{ V}$ ,
On-Resistance Match Between Channels ( $\Delta R_{ON}$ )	0.15		$\Omega$ typ	$V_S = 0\text{ V}$ to +4.5 V, $I_S = -10\text{ mA}$
	0.5	0.6	$\Omega$ max	
On-Resistance Flatness ( $R_{FLAT(ON)}$ )	6.2		$\Omega$ typ	$V_S = 0\text{ V}$ to +4.5 V, $I_S = -10\text{ mA}$
	8	8.9	$\Omega$ max	
<b>LEAKAGE CURRENTS</b>				
Normal Mode				
Source Off Leakage, $I_S$ (Off)	$\pm 0.8$		nA typ	$V_{DD} = 5.5\text{ V}$ , $V_{SS} = 0\text{ V}$
	$\pm 3$	$\pm 80$	nA max	$V_S = 1\text{ V}/4.5\text{ V}$ , $V_D = 4.5\text{ V}/1\text{ V}$ ; 図 23 参照
Drain Off Leakage, $I_D$ (Off)	$\pm 0.8$		nA typ	$V_S = 1\text{ V}/4.5\text{ V}$ , $V_D = 4.5\text{ V}/1\text{ V}$ ; 図 23 参照
	$\pm 3$	$\pm 80$	nA max	
Channel On Leakage, $I_D$ (On), $I_S$ (On)	$\pm 2$		nA typ	$V_S = V_D = 1\text{ V}$ or 4.5 V; 図 24 参照
	$\pm 5$	$\pm 120$	nA max	
Isolation Mode				
Source Off Leakage, $I_S$ (Off)	$\pm 0.05$		$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$
	$\pm 0.15$	$\pm 3$	$\mu\text{A}$ max	$V_S = 1\text{ V}/16\text{ V}$ , $V_D = 16\text{ V}/1\text{ V}$ ; 図 23 参照
	$\pm 10$		$\mu\text{A}$ typ	$V_{DD} = 5.5\text{ V}$ , $V_{SS} = 0\text{ V}$
	$\pm 28$	$\pm 38$	$\mu\text{A}$ max	$V_S = 1\text{ V}/16\text{ V}$ , $V_D = 16\text{ V}/1\text{ V}$ ; 図 23 参照
Drain Off Leakage, $I_D$ (Off)	$\pm 0.05$		$\mu\text{A}$ typ	$V_{DD} = 0\text{ V}$ or floating, $V_{SS} = 0\text{ V}$ or floating, $GND = 0\text{ V}$
	$\pm 0.15$	$\pm 3$	$\mu\text{A}$ max	$V_S = 1\text{ V}/16\text{ V}$ , $V_D = 16\text{ V}/1\text{ V}$ ; 図 23 参照
	$\pm 10$		$\mu\text{A}$ typ	$V_{DD} = 5.5\text{ V}$ , $V_{SS} = 0\text{ V}$
	$\pm 28$	$\pm 38$	$\mu\text{A}$ max	$V_S = 1\text{ V}/16\text{ V}$ , $V_D = 16\text{ V}/1\text{ V}$ ; 図 23 参照
<b>DIGITAL INPUTS</b>				
Input High Voltage, $V_{INH}$		2.0	V min	
Input Low Voltage, $V_{INL}$		0.8	V max	
Input Current, $I_{INL}$	$\pm 0.015$		$\mu\text{A}$ typ	$V_{IN} = V_{GND}$
	$\pm 0.1$	$\pm 0.15$	$\mu\text{A}$ max	
Input Current, $I_{INH}$	$\pm 13$		$\mu\text{A}$ typ	$V_{IN} = V_{DD}$
	$\pm 16$	$\pm 18$	$\mu\text{A}$ max	
Logic Pull-Down Resistance, $R_{PD}$	400		k $\Omega$ typ	
Digital Input Capacitance, $C_{IN}$	4		pF typ	
<b>DYNAMIC CHARACTERISTICS<sup>1</sup></b>				
$t_{ON}$	116		ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	190	226	ns max	$V_S = 3\text{ V}$ ; 図 25 参照
$t_{OFF}$	87		ns typ	$R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
	120	136	ns max	$V_S = 3\text{ V}$ ; 図 25 参照
Break-Before-Make Time Delay, $t_D$ (ADG4613 Only)	70		ns typ	$R_L = 50\ \Omega$ , $C_L = 35\text{ pF}$
		32	ns min	$V_{S1} = V_{S2} = 3\text{ V}$ ; 図 26 図 26
Fault Response Time	240		ns typ	$V_S = 2\text{ V}$ to 8 V, $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
Fault Recovery Time	1.2		$\mu\text{s}$ typ	$V_S = 2\text{ V}$ to 8 V, $R_L = 300\ \Omega$ , $C_L = 35\text{ pF}$
Threshold Voltage, $V_T$	1.8		V typ	
Charge Injection	75		pC typ	$V_S = 0\text{ V}$ , $R_S = 0\ \Omega$ , $C_L = 1\text{ nF}$ ; 図 27 参照 図 27

# ADG4612/ADG4613

Parameter	25°C	-40°C to +85°C	Unit	Test Conditions/Comments
Off Isolation	-54		dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 100 \text{ kHz}$ ; 図 28 参照
Channel-to-Channel Crosstalk	-71		dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ , $f = 100 \text{ kHz}$ ; 図 29 参照
Total Harmonic Distortion + Noise, THD + N	0.85		% typ	$R_L = 110 \Omega$ , $f = 20 \text{ Hz to } 20 \text{ kHz}$ , $V_S = 3.5 \text{ V p-p}$ ; 図 31 参照
Insertion Loss	-0.5		dB typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ ; $f = 1 \text{ MHz}$ ; 図 30 参照
-3 dB Bandwidth	293		MHz typ	$R_L = 50 \Omega$ , $C_L = 5 \text{ pF}$ ; 図 30 参照
$C_S$ (Off)	14		pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
$C_D$ (Off)	14		pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
$C_D$ (On), $C_S$ (On)	50		pF typ	$V_S = 0 \text{ V}$ , $f = 1 \text{ MHz}$
<b>POWER REQUIREMENTS</b>				
Normal Mode				$V_{DD} = 5.5 \text{ V}$ , $V_{SS} = 0 \text{ V}$
$I_{DD}$	90		$\mu\text{A typ}$	Digital inputs = 0 V or $V_{DD}$
	140	165	$\mu\text{A max}$	
Isolation Mode				$V_{DD} = 5.5 \text{ V}$ , $V_{SS} = 0 \text{ V}$ or floating
$I_{DD}$	90		$\mu\text{A typ}$	Digital inputs = 0 V or 5.5 V
	140	165	$\mu\text{A max}$	$V_S = 1 \text{ V}/16 \text{ V}$ , $V_D = 16 \text{ V}/1 \text{ V}$

<sup>1</sup> 設計上保証しますが、出荷テストは行いません

## チャンネルごとの連続電流、SX 又は DX

表 4.

Parameter	25°C	85°C	Unit
<b>CONTINUOUS CURRENT, Sx OR Dx</b>			
$V_{DD} = +5 \text{ V}$ , $V_{SS} = -5 \text{ V}$			
TSSOP ( $\theta_{JA} = 112^\circ\text{C/W}$ )	109	52	mA maximum
LFCSP ( $\theta_{JA} = 48.7^\circ\text{C/W}$ )	160	83	mA maximum
$V_{DD} = 12 \text{ V}$ , $V_{SS} = 0 \text{ V}$			
TSSOP ( $\theta_{JA} = 112^\circ\text{C/W}$ )	113	56	mA maximum
LFCSP ( $\theta_{JA} = 48.7^\circ\text{C/W}$ )	175	87	mA maximum
$V_{DD} = 5 \text{ V}$ , $V_{SS} = 0 \text{ V}$			
TSSOP ( $\theta_{JA} = 112^\circ\text{C/W}$ )	78	39	mA maximum
LFCSP ( $\theta_{JA} = 48.7^\circ\text{C/W}$ )	118	56	mA maximum



## 電源動作

特に指定のない限り、温度範囲は-40°C to +105°C です。

**表 5.**

Parameter	Min	Max	Unit	Comments
<b>POWER SUPPLY</b>				
$V_{DD}$ to $V_{SS}$		16	V	GND = 0 V
$V_{DD}$	2.7	16	V	GND = 0 V
$V_{SS}$	-5.5	0	V	GND = 0 V
<b>DUAL SUPPLY</b>				
$V_{SS}/V_{DD}$	-5.5	+10.5	V	$V_{DD}$ to $V_{SS}$ = 16 V, GND = 0 V
<b>SINGLE SUPPLY</b>				
$V_{DD}$	0	16	V	$V_{DD}$ to $V_{SS}$ = 16 V, GND = 0 V, $V_{SS}$ = 0 V
Analog Signal Range, $V_D$ , $V_S$				
Normal Mode	-5.5	$V_{DD}$	V	$V_{DD}$ to $V_{SS}$ = 16 V maximum
Isolation Mode	-5.5	+16	V	Most negative ( $V_S$ , $V_D$ , or $V_{SS}$ ) to most positive ( $V_S$ , $V_D$ , $I_{NX}$ , or $V_{DD}$ ) = 16 V maximum

<sup>1</sup> Guaranteed by design, not subject to production test.

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 6.

Parameter	Rating
$V_{DD}$ to $V_{SS}$	18 V
$V_{DD}$ to GND	-0.3 V to +18 V
$V_{SS}$ to GND	+0.3 V to -7 V
Analog Inputs; $V_S$ to $V_D$	18 V
Analog Inputs; $V_D$ , $V_S$	-7 V to +18 V
Most Negative ( $V_S, V_D$ or $V_{SS}$ ) to Most Positive ( $V_S, V_D$ , $I_{nx}$ , or $V_{DD}$ )	18 V
Digital Inputs, $I_{Nx}$	GND - 0.3 V to +18 V
Peak Current, $S_x$ or $D_x$	350 mA (pulsed at 1 ms, 10% duty cycle max)
Continuous Current, $S_x$ or $D_x$ <sup>1</sup>	Data + 15%
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
Reflow Soldering Peak Temperature, Pb-free	260 (0/-5)°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間、絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

同時に複数の絶対最大定格条件を適用することはありません。

### 熱抵抗

$\theta_{JA}$  は、露出パッドを基板（の適切な箇所）にはんだ付けした 4 層基板にて規定されています。

表 7. 熱抵抗

Package Type	$\theta_{JA}$	Unit
16-Lead TSSOP	112	°C/W
16-Lead LFCSP	48.7	°C/W

### ESD の注意



**ESD (electrostatic discharge) sensitive device.**  
Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

<sup>1</sup>表 4 を参照してください。

## ピン配置およびピン機能の説明

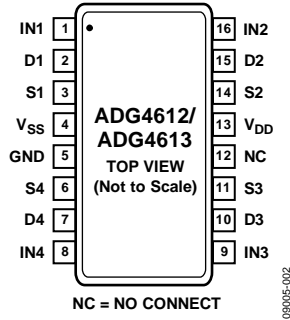
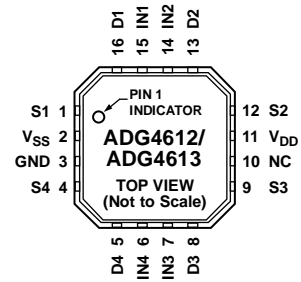


図 2.TSSOP ピン配置



- NOTES
1. EXPOSED PAD TIED TO SUBSTRATE, GND.
  2. NC = NO CONNECT.

図 3.LFCSP ピン配置

表 8.ピン機能の説明

Pin No.		Mnemonic	Description
TSSOP	LFCSP		
1	15	IN1	ロジック・コントロール 1。このピンには GND に対して 400 kΩ のプル・ダウン抵抗が内部的に接続されています。
2	16	D1	ドレイン・ピン 1。入力又は出力になります。
3	1	S1	ソース・ピン 1。入力又は出力になります。
4	2	V <sub>SS</sub>	負電源電位。
5	3	GND	グラウンド・リファレンス (0 V)。
6	4	S4	ソース・ピン 4。入力又は出力になります。
7	5	D4	ドレイン・ピン 4。入力又は出力になります。
8	6	IN4	ロジック・コントロール 4。このピンには GND に対して 400 kΩ のプル・ダウン抵抗が内部的に接続されています。
9	7	IN3	ロジック・コントロール 3。このピンには GND に対して 400 kΩ のプル・ダウン抵抗が内部的に接続されています。
10	8	D3	ドレイン・ピン 3。入力又は出力になります。
11	9	S3	ソース・ピン 3。入力又は出力になります。
12	10	NC	未接続。
13	11	V <sub>DD</sub>	正電源電位。
14	12	S2	ソース・ピン 2。入力又は出力になります。
15	13	D2	ドレイン・ピン 2。入力又は出力になります。
16	14	IN2	ロジック・コントロール 2。このピンには GND に対して 400 kΩ のプル・ダウン抵抗が内部的に接続されています。
N/A	0	EPAD	露出パッドはサブストレートの GND に接続されています。最大の放熱効果を得るために、このパッドを GND に接続する事をお勧めします。放熱についての心配がない場合は、パッドをフローティング状態にすることができます。露出パッドを V <sub>SS</sub> (もし V <sub>SS</sub> が GND に等しくなければ) に接続すると、電流が流れデバイスを破損する可能性があります。

表 9.ADG4612 表真理値表

ADG4612 INx	Switch Condition
1	On
0	Off

表 10.ADG613 の真理値表

ADG4613 INx	S1, S4	S2, S3
0	Off	On
1	On	Off

## 代表的な性能特性

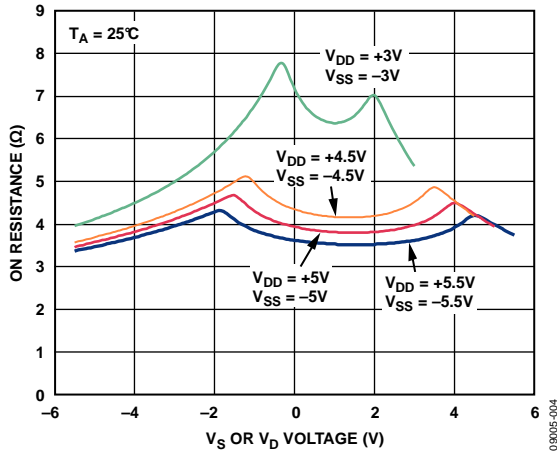


図 4.  $V_D, V_S$  の関数としてのオン抵抗 (両電源)

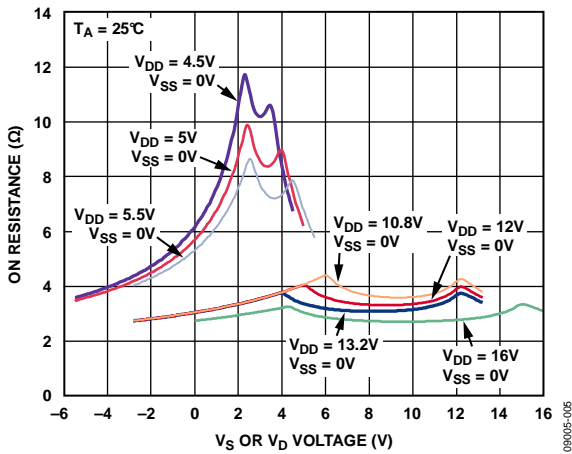


図 5.  $V_D, V_S$  の関数としてのオン抵抗 (単電源)

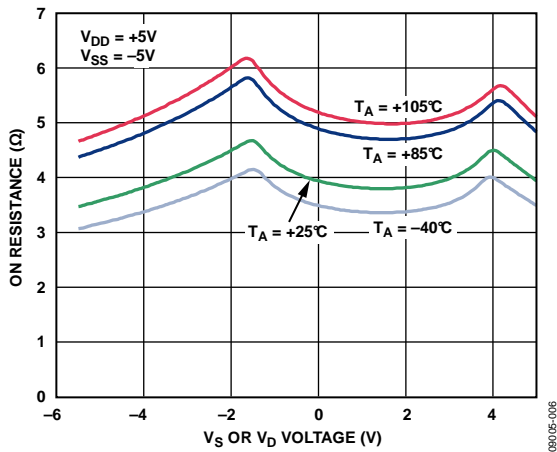


図 6.  $V_D, V_S$  の関数としてのさまざまな温度でのオン抵抗、5 V 両電源

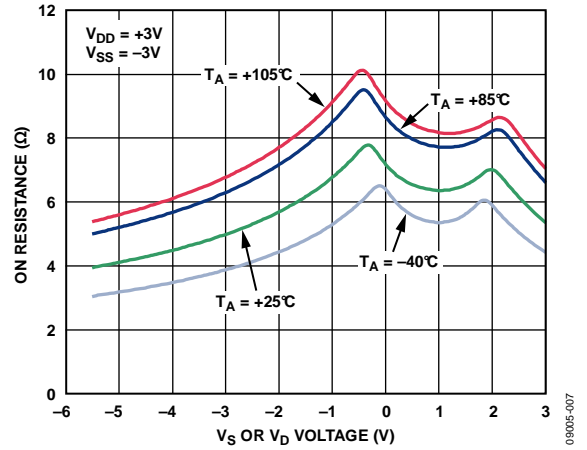


図 7.  $V_D, V_S$  の関数としてのさまざまな温度でのオン抵抗、3 V 両電源

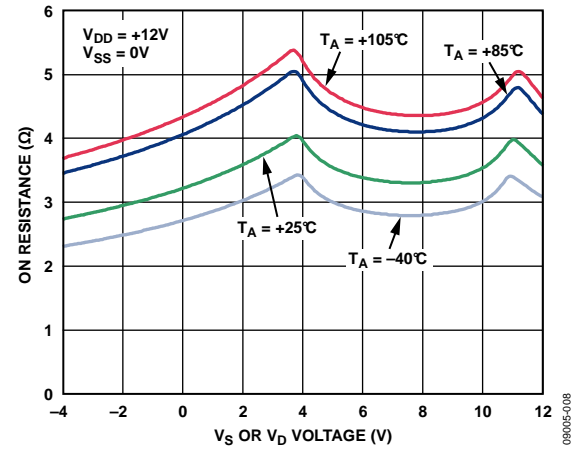


図 8.  $V_D, V_S$  の関数としてのさまざまな温度でのオン抵抗、12 V 単電源

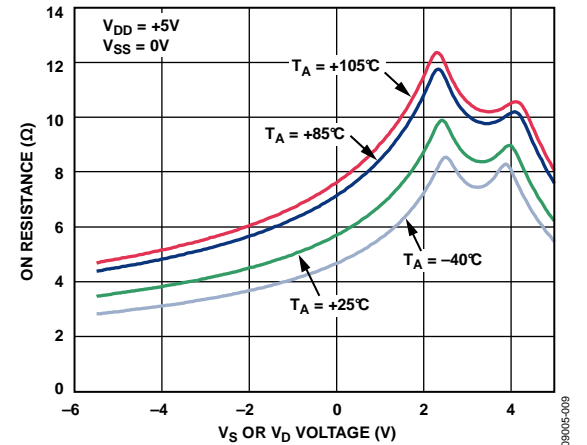


図 9.  $V_D, V_S$  の関数としてのさまざまな温度でのオン抵抗、5 V 単電源

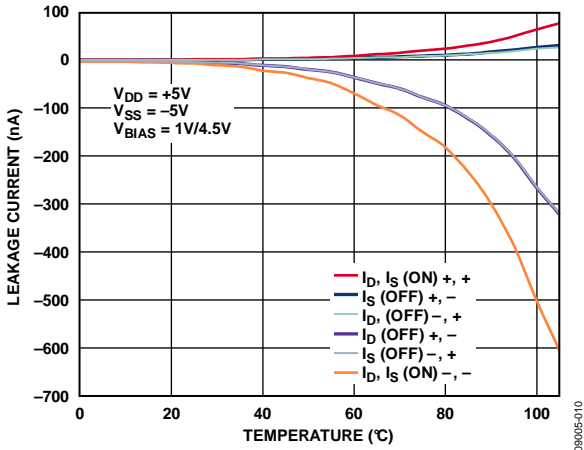


図 10. 温度の関数としてのリーク電流、5 V 両電源

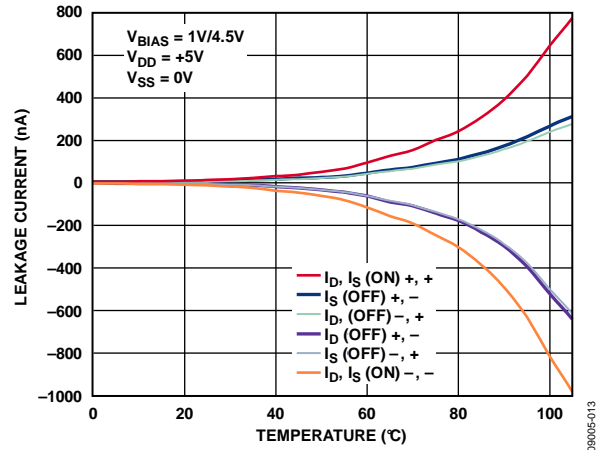


図 13. 温度の関数としてのリーク電流、5 V 単電源

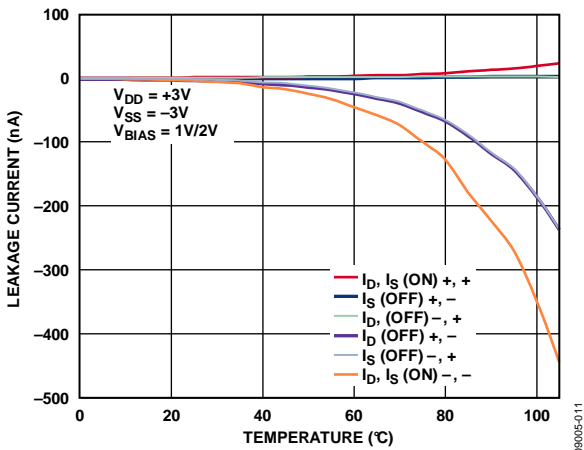


図 11. 温度の関数としてのリーク電流、3 V 両電源

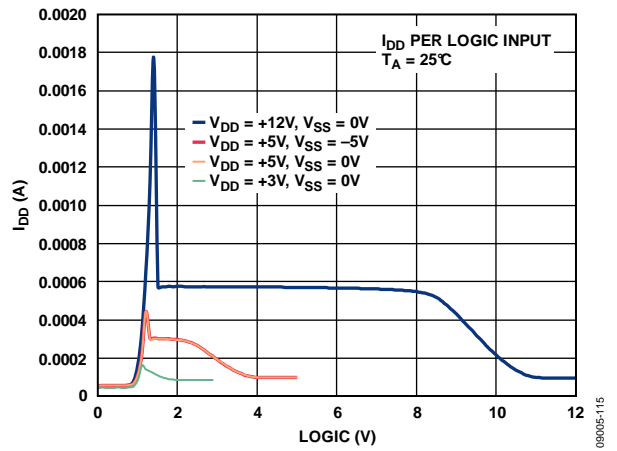


図 14. IDD 対ロジック・レベル

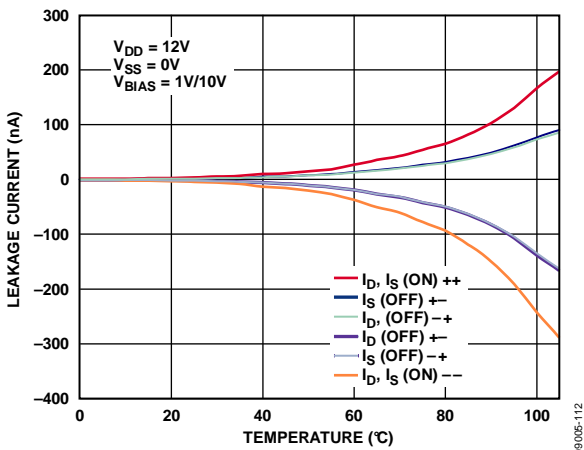


図 12. 温度の関数としてのリーク電流、12 V 単電源

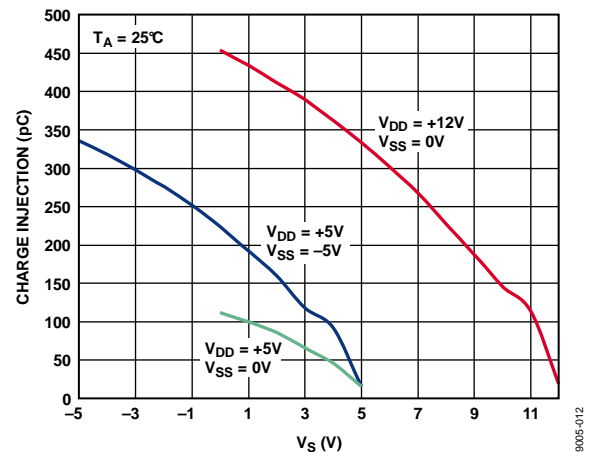


図 15. チャージ・インジェクション 対 ソース電圧

# ADG4612/ADG4613

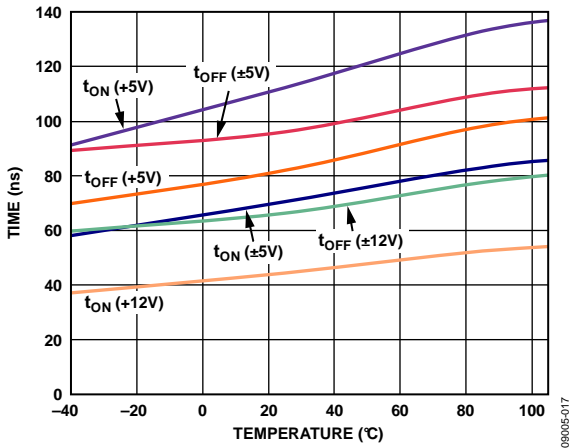


図 16.  $t_{ON}/t_{OFF}$  時間の温度特性

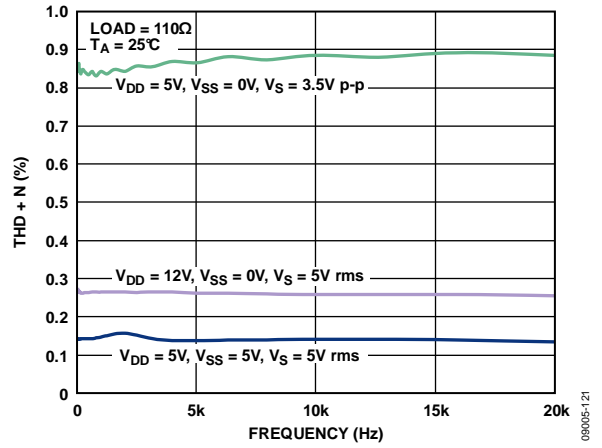


図 19. THD + N の周波数特性

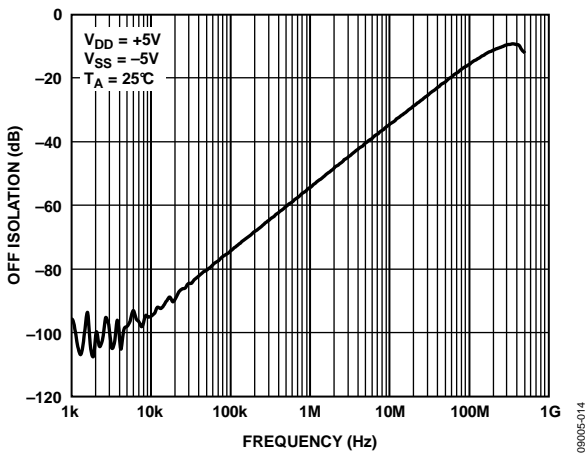


図 17. オフ時アイソレーションの周波数特性

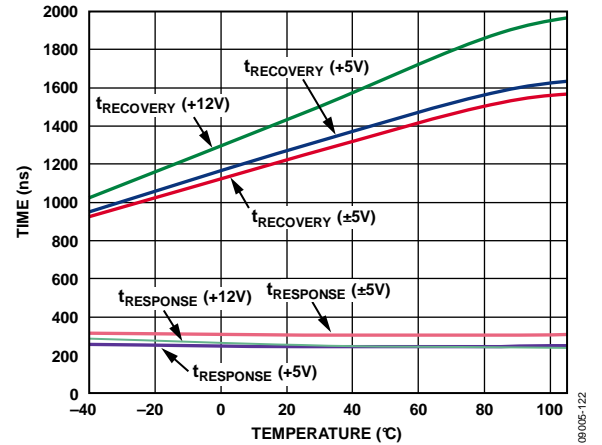


図 20. 不具合応答時間/不具合回復時間

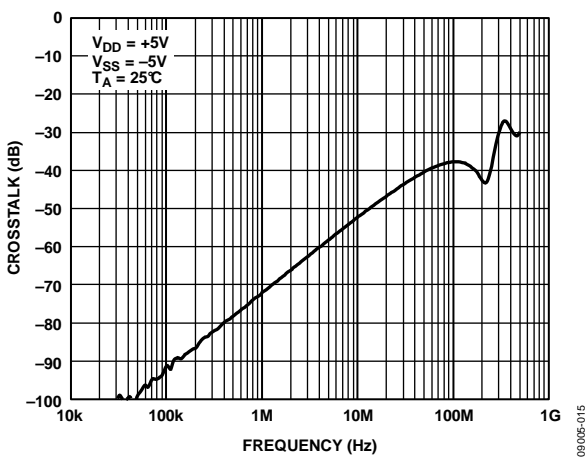


図 18. クロストークの周波数特性

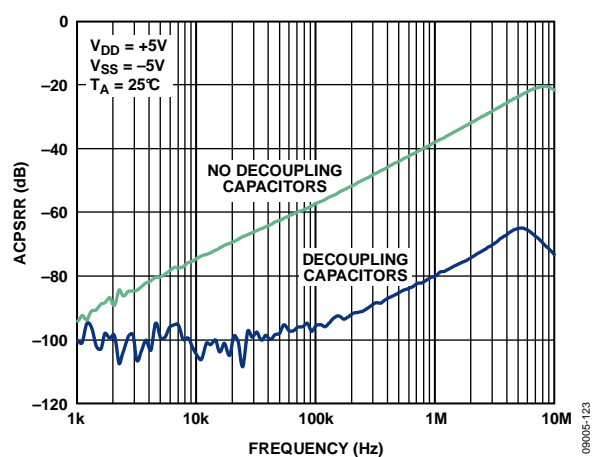


図 21. ACPSRR の周波数特性

テスト回路

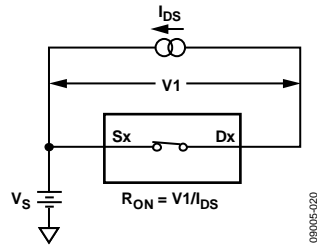


図 22. オン抵抗

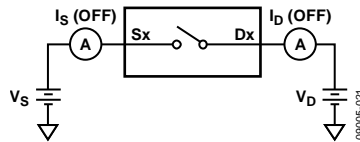


図 23. オフ時リーク

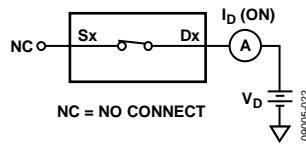


図 24. オン時リーク

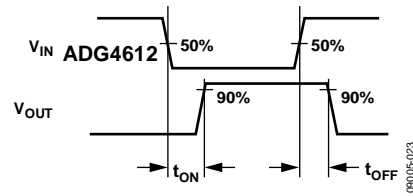
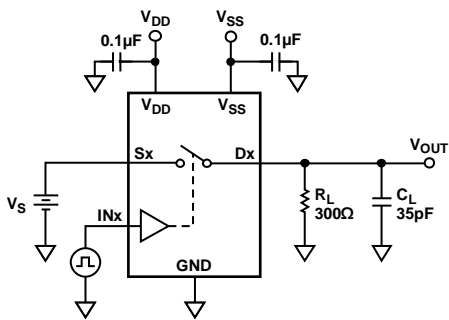


図 25. スイッチング時間

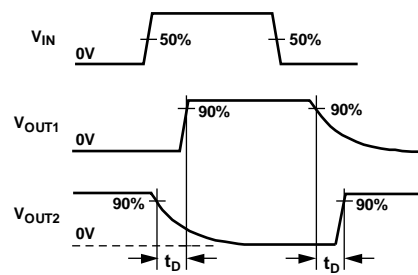
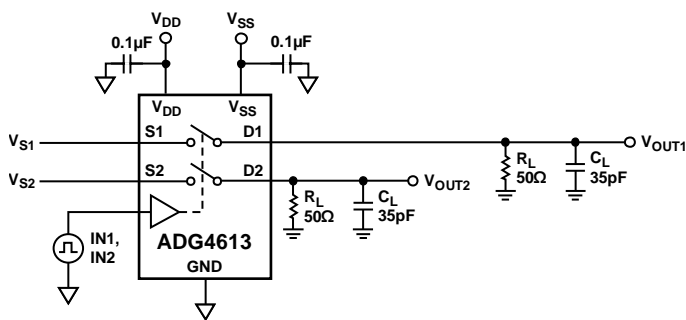


図 26. ブレーク・ビフォ・メーカー時間遅延、 $t_D$

# ADG4612/ADG4613

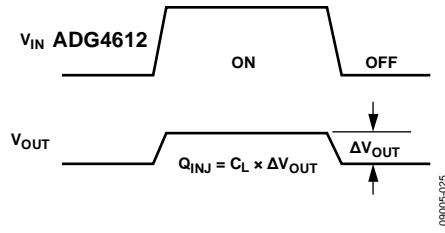
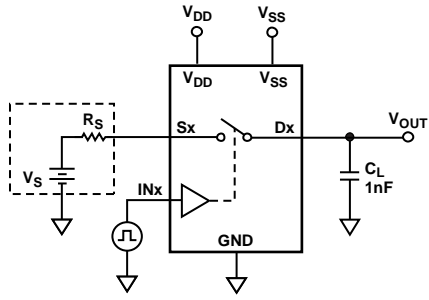
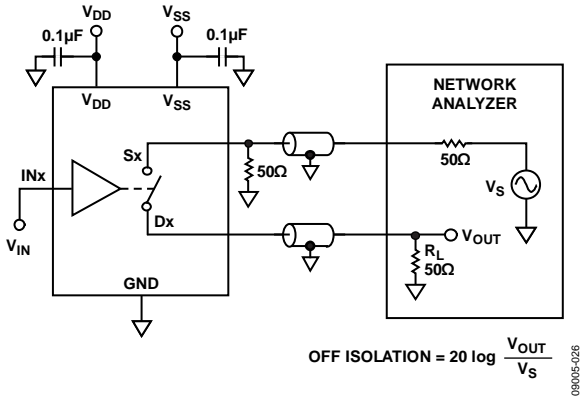
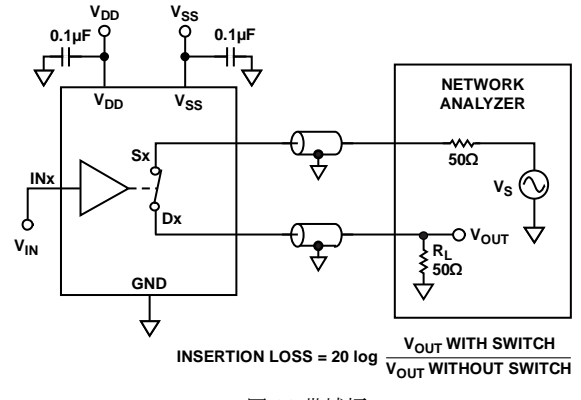


図 27.チャージ・インジェクション



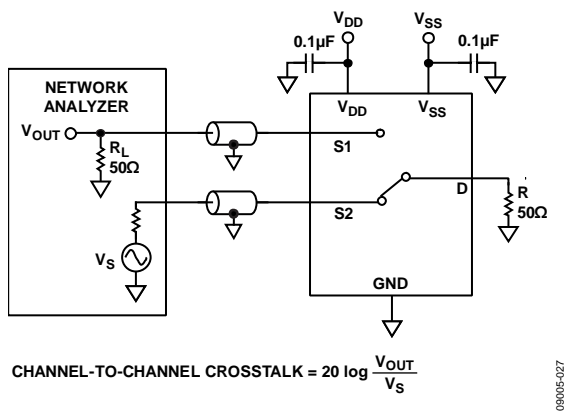
$$\text{OFF ISOLATION} = 20 \log \frac{V_{\text{OUT}}}{V_s}$$

図 28.オフ時アイソレーション



$$\text{INSERTION LOSS} = 20 \log \frac{V_{\text{OUT WITH SWITCH}}}{V_{\text{OUT WITHOUT SWITCH}}}$$

図 30.帯域幅



$$\text{CHANNEL-TO-CHANNEL CROSSTALK} = 20 \log \frac{V_{\text{OUT}}}{V_s}$$

図 29.チャンネル間クロストーク

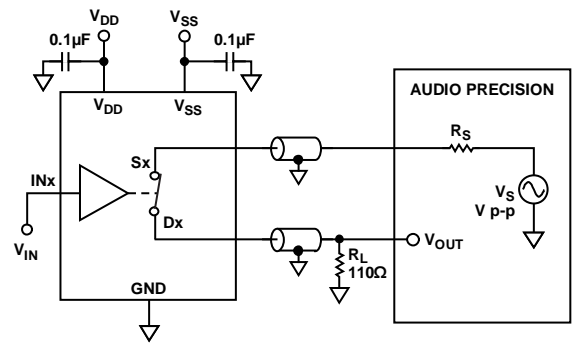


図 31.THD + ノイズ



## 用語

### $I_{DD}$

$I_{DD}$  は正の電源電流を表します。

### $I_{SS}$

$I_{SS}$  は負の電源電流を表します。

### $V_D, V_S$

$V_D$  と  $V_S$  は各々 D ピンと S ピンのアナログ電圧を表します。

### $R_{ON}$

$R_{ON}$  は D ピンと S ピン間の抵抗。

### $\Delta R_{ON}$

$\Delta R_{ON}$  は任意の 2 チャンネルの  $R_{ON}$  の差を表します。

### $R_{FLAT(ON)}$

規定されたアナログ信号範囲で測定したオン抵抗の最大値と最小値の差を  $R_{FLAT(ON)}$  と表します。

### $I_S$ (Off)

$I_S$  (Off) はスイッチ・オフ時のソース・リーク電流です。

### $I_D$ (Off)

$I_D$  (Off) はスイッチ・オフ時のドレイン・リーク電流です。

### $I_D$ (On), $I_S$ (On)

$I_D$  (On) と  $I_S$  (On) はスイッチ・オン時のチャンネル・リーク電流を表します。

### $V_{INL}$

$V_{INL}$  はロジック"0"の最大入力電圧です。

### $V_{INH}$

$V_{INH}$  はロジック"1"の最小入力電圧です。

### $I_{INL}, I_{INH}$

$I_{INL}$  と  $I_{INH}$  はそれぞれデジタル入力のロー・レベルおよびハイ・レベルでの入力電流を表します。

### $C_D$ (Off)

$C_D$  (Off) はスイッチ・オフ時のドレイン容量を表し、グラウンドを基準として測定されます。

### $C_S$ (Off)

$C_S$  (Off) はスイッチ・オフ時のソース容量を表し、グラウンドを基準として測定されます。

### $C_D$ (On), $C_S$ (On)

$C_D$  (On) and  $C_S$  (On) はスイッチ・オン時の容量を表し、グラウンドを基準として測定されます。

### $C_{IN}$

$C_{IN}$  はデジタル入力容量です。

### $t_{ON}$

$t_{ON}$  はデジタル・コントロール入力の印加から出力スイッチ・オンまでの遅延時間を表します。

### $t_{OFF}$

$t_{OFF}$  はデジタル・コントロール入力の印加から出力スイッチ・オフまでの遅延時間を表します。

### $t_D$

$t_D$  はあるアドレス状態から別のアドレス状態へ切り替わる時の両スイッチの 80% の点間で測定したオフ時間を表します。

### 不具合応答時間

不具合応答時間はアナログ入力の不具合状態 ( $V_S > V_{DD}$ ) と対応する  $V_{DD}$  以下の出力との間の遅延です。

### 不具合回復時間

不具合回復時間は、不具合状態から回復する時、入力信号の 50% から出力信号の 90% までの遅延です。

### チャージ・インジェクション

スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさ。

### オフ時アイソレーション

オフ・チャンネルのスイッチを通過する不要信号の大きさです。

### チャージ・インジェクション

チャージ・インジェクションは、スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさです。

### クロストーク

クロストークは寄生容量によって 1 つのチャンネルから別のチャンネルに伝達される不要信号の大きさです。

### 帯域幅

帯域幅は、出力が 3 dB 減衰する周波数です。

### オン応答

オン応答はオン状態にあるスイッチの周波数応答です。

### 挿入損失

挿入損失はスイッチのオン抵抗に起因する損失。

### 総合高調波歪+ノイズ(THD + N)

高調波振幅と信号ノイズの和の基本波に対する比で THD+N と表します。

### AC 電源変動除去比(ACPSRR)

ACPSRR は出力の信号振幅の変調振幅に対する比です。ACPSRR は、電源電圧ピンに現れるノイズやスプリアス信号がスイッチ出力へ結合するのを防止するデバイスの能力を表します。デバイスの DC 電圧を 0.62 V p-p の正弦波で変調します。

## 動作原理

ADG4612/ADG4613は4個の独立したシングル・ポール/シングル・スロー(SPST)スイッチを内蔵しています。各スイッチはレールtoレールで、オン状態で、双方向とも等しく良好に導通します。

ADG4612/ADG4613には2つの動作モードがあります：ノーマル・モードとアイソレーション・モード。

動作モードはグラウンドを基準としたソース端子又はドレイン端子と  $V_{DD}$  の電圧レベルをモニターする特別な検出回路により可能になります。これらの電圧レベルに応じて、デバイスはノーマル・モード又はアイソレーション・モードで動作します。

アイソレーション・モードは電源投入前に入力信号が存在する可能性がある場合や、アプリケーション上起こる可能性のある正電圧での不具合の間、入力を出力から絶縁するのに有効な機能です。

### ノーマル・モード

ノーマル・モードではスイッチは正常な  $4 \times$  SPST スイッチとして機能します。スイッチはロジック入力ピン、IN1～IN4 によってコントロールされます。

スイッチがオン状態になるには次の3つの条件を満足しなければなりません。

- $V_{DD} \geq 2.7 \text{ V}$ ; そして
- 入力信号,  $V_S, V_D < V_{DD} + V_T$ ; そして
- ロジック入力, INx を “オン” レベルに設定。

スイッチが “オン” 状態の時、もし信号範囲が  $V_{DD} \sim -5.5 \text{ V}$  であれば、スイッチ入力の信号はスイッチ出力に通過します。もしアナログ入力  $V_{DD}$  を閾値  $V_T$  以上超えたら、スイッチはオフになりアイソレーション・モードになります。

表 11 スイッチ動作モード

$V_{DD}$	$V_{SS}$ <sup>1</sup>	GND	$V_S, V_D$ (Input Voltage, Sx or Dx)	Switch Condition	Switch Mode
Floating	X	0 V	-5.5 V to +10.5 V 0 V to 16 V	All switches off Inputs isolated from outputs	Isolation
0 V to 0.8 V	X	0 V	-5.5 V to +10.5 V 0 V to 16 V	All switches off Inputs isolated from outputs	Isolation
$V_{DD} \geq 2.7 \text{ V}$	X	0 V	$V_S, V_D > V_{DD} + V_T$	All switches off Inputs isolated from outputs	Isolation
$V_{DD} \geq 2.7 \text{ V to } 16 \text{ V}$	0 V to -5.5 V	0 V	$V_{DD}$ to $V_{DD} - 16 \text{ V}$	Switch state is determined by logic levels, INx	Normal

<sup>1</sup> X = don't care; for example, floating, 0 V to -5.5 V.

アナログ入力信号が負電源  $V_{SS}$  を超えたら、スイッチがオフの時、スイッチは  $-5.5 \text{ V}$  までの信号を阻止します。もしスイッチがオンの場合、スイッチはオン状態を保ち、この信号は出力に通過します。詳細については、“負電圧での不具合状態；負電圧の信号処理”のセクションを参照してください。

### アイソレーション・モード

アイソレーション・モードでは、すべてのスイッチがオフ状態になります。スイッチ入力はスイッチ出力から絶縁されます。スイッチ入力は  $V_{DD}$ 、グラウンドとスイッチに対して  $475 \text{ k}\Omega$  以上の高いインピーダンス入力になります。この高インピーダンスはスイッチを破損するような電流が流れるのを防ぎます。これは電源が供給される前にアナログ信号がスイッチの入力に存在したり、ユーザーが電源シーケンスを制御できないようなアプリケーションで非常に役に立ちます。

スイッチは次の条件の時アイソレーション・モードになります。

- 電源が投入されていない、すなわち、 $V_{DD}$  がフローティングになっているか又は  $V_{DD} \leq 1 \text{ V}$ ; 又は
- 入力信号,  $V_S, V_D > V_{DD} + V_T$

負電源レール “ $V_{SS}$ ” はフローティング又は  $0 \text{ V} \sim -5.5 \text{ V}$  にできます。グラウンド・ピンはグラウンド電位に接続されていなければなりません。

### バイポーラ動作と単電源動作

ADG4612/ADG4613 の最大動作範囲  $V_{DD} \sim V_{SS}$  は 16 V です。ソースからドレインの最大信号範囲  $V_S \sim V_D$  も又 16 V です。デバイスの動作中、信号範囲は電源電圧を超えることはできませんが、デバイスの最も低い電圧 ( $V_S, V_D$  又は  $V_{SS}$ ) は最も高い電圧 ( $V_S, V_D, I_{Nx}$ , 又は  $V_{DD}$ ) から 16 V 以内でなければなりません。動作を保証するためには、これらの電圧定格を常に厳守する必要があります。保証電源範囲については表 5 表 5 を参照してください。信号範囲や電源範囲が 16 V を超えると、デバイスの長時間信頼性に影響を及ぼす可能性があります。

アイソレーション・モードやノーマル・モードで適切に機能させるために、グラウンド・ピンを常に GND 電位に接続しておく必要があります。

デバイスの動作を保証する最小の  $V_{DD}$  電圧は 2.7 V です。最大推奨  $V_{DD}$  電圧は 16 V です。

$V_{SS}$  の推奨する最低電源電圧は -5.5 V です。そして  $V_{SS}$  の許容最大電圧は 0 V です。従って  $V_{DD} \sim V_{SS}$  範囲は最大 16 V なので  $V_{SS} = -5.5$  V の時、 $V_{DD} = +10.5$  Vmax になります。

### 正電圧での不具合状態

アナログ入力  $V_{DD}$  を閾値  $V_T$  以上超えた時、スイッチは“オフ”になりアイソレーション・モードになります。デバイスは最も低い信号を基準に 16 V までの不具合を取り扱えます。たとえば  $V_{DD} = 5$  V,  $V_{SS} = 0$  V とすると、スイッチは 16 V までの過電圧に対して保護します。もし  $V_{SS} = -5$  V、 $V_{DD} = +5$  V とすると、スイッチは +11 V までの過電圧に対して保護します。

### 負電圧での不具合状態；負電圧の信号処理

ADG4612/ADG4613 はアナログ入力  $V_{SS}$  を超えても破損しません。もしスイッチがオフ状態であれば、スイッチは -5.5 V までの信号を阻止します。スイッチがオン状態の場合スイッチは“オン”を維持し、負信号は出力に通過します；それ故 ADG4612/ADG4613 は  $V_{SS} = 0$  V の場合 -5.5 V までの負信号を通過させる事が出来ます。ユーザーは下流の回路がこの信号レベルでも処理できることを確かめる必要があります。又ユーザーはデバイスの最も低い電圧 ( $V_S, V_D$  or  $V_{SS}$ ) が最も高い電圧 ( $V_S, V_D, I_{Nx}$  又は  $V_{DD}$ ) の 16 V 以内であることを確認する必要があります。

## アプリケーション情報

ADG4612/ADG4613 スイッチの持つ機能を発揮できるたくさんのアプリケーションがあります。

ADG4612/ADG4613 にはパワーオフ保護回路がありスイッチのオフは保証され、入力に電源が入っていない時は高インピーダンスになります。このアイソレーション・モードは電源投入前に入力信号が存在する可能性がある場合、入力を出力から絶縁するのに有効な機能です。アイソレーション・モードは又アプリケーション上起こる可能性のある正電圧での不具合状態に対してシステムを保護し、スイッチをオフにして下流の回路を保護します。例えば、モジュールが動作中のバックプレーンに接続され、まだ電源投入前に基板に信号を供給する可能性が有ります。このような事はホット・スワップ・アプリケーションでは一般的に行われていて、他のカードがすでに動作中で電源が投入されているシェルにカードをプラグ・インするわけです。

ADG4612/ADG4613 は負電源無しに下は  $-5.5\text{ V}$  までの負信号を通過させることができます。これは負信号を通す必要があるが、負電源が供給可能ではないアプリケーションで非常に役に立ちます。これは従来の CMOS スイッチではできません。なぜなら ESD 保護ダイオードが導通し、信号をクランプするからです。

これらの特徴があるのでシステムは従来の CMOS デバイスにあるような電源シーケンス問題の影響を受けません。

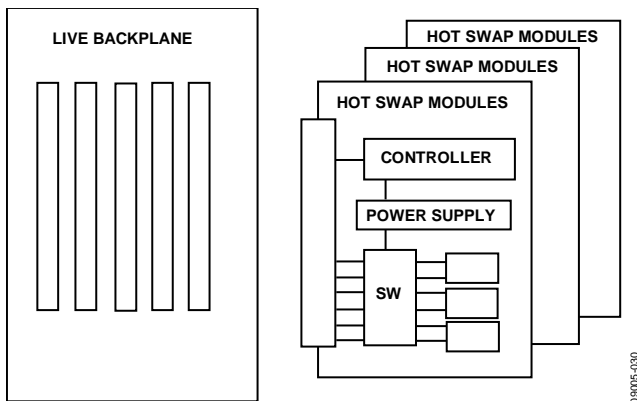


図 32. 代表的なアプリケーション

### 無電源時の入力の信号

従来の CMOS スイッチではアナログ入力、デジタル入力から  $V_{DD}$  と  $GND$  又は  $V_{SS}$  へ ESD 保護ダイオードが接続されています。(例えば図 33 を参照してください) 電源が供給されていない状態でスイッチ入力に入力信号が存在すると、ESD 保護ダイオードを通して電流が流れます。もしこの電流が安全な範囲に制限されていないければ、ESD ダイオードと (そのため) スイッチを損傷する可能性があります。入力信号はスイッチを通して出力に現れ下流の回路に影響を及ぼす可能性があります。又デバイスの絶対最大定格を超えるかもしれません。その場合、デバイスの長期信頼性に影響します。

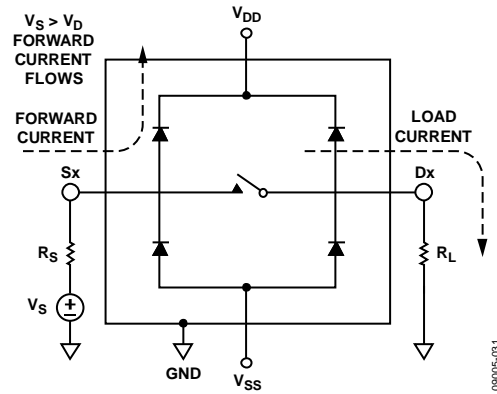


図 33. 従来の CMOS スイッチの ESD 保護ダイオード

あるユーザーはデバイスを図 33 に示した条件に対して保護するために、外付けダイオードを追加したり又は電流制限抵抗を追加します。しかし、このような方法の場合、余計な基板面積、余計な部品数とコストがかかるという欠点があります。さらにシステムレベルの性能は電流制限抵抗による高いオン抵抗あるいは外付けショットキー・ダイオードによるより大きなリークの影響を受けます。保護用外付けダイオードを接続する事による問題がまだあり、フローティング状態の  $V_{DD}$  ラインは入力信号から 1 ダイオード・ドロップ分までプルアップされる可能性があります。

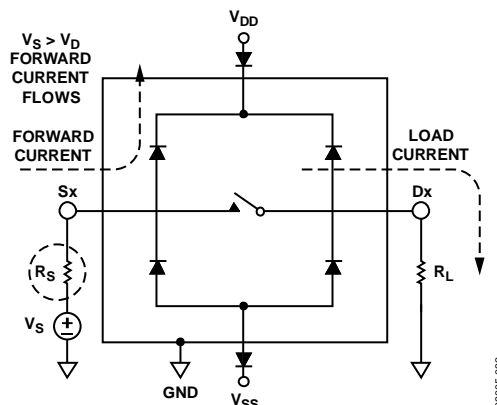


図 34. 無電源時に信号が入力に信号が加わっている場合にスイッチを破損から守るために追加された外付け保護

The ADG4612/ADG4613 は図 34 に示した問題を解消します。アナログ入力又はデジタル入力から  $V_{DD}$  又は  $V_{SS}$  への ESD ダイオードは内蔵されていません。電源が投入される前に ADG4612/ADG4613 入力に信号が存在する場合、スイッチがアイソレーション・モードになり、入力が  $V_{DD}$ 、 $GND$ 、出力に対して高インピーダンスになります。従って電流が流れず、デバイスを破損から守ります。

## 電源シーケンス

ADG4612/ADG4613 のもう一つの利点はこれらを使用する事により電源シーケンスに関する問題がなくなる事です。デバイスの電源を損傷なしに任意のシーケンスで投入する事ができます。従来の CMOS スイッチで構成されたデバイスの場合、アナログ入力又はデジタル入力が印加される前に電源を立ち上げる事を推奨しています。The ADG4612/ADG4613 は電源シーケンスに対する要求は全くないので、これらを使用すれば非常に堅牢な回路設計にする事ができます。しかしデバイスがアイソレーション・モードやノーマル・モードで機能するためには、初めにグラウンドが存在する必要があります。

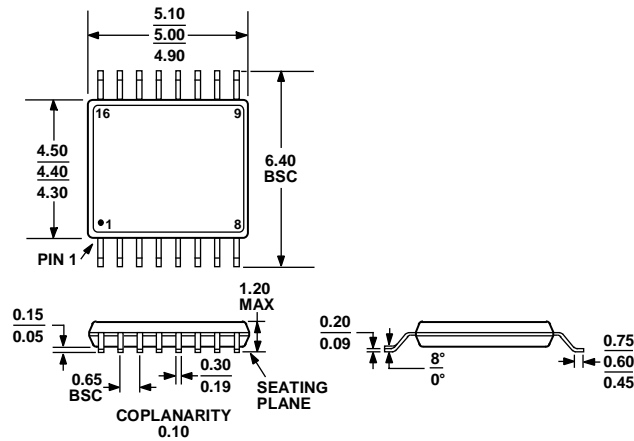
## V<sub>DD</sub> 電源

デバイスの電源の立ち上がる前にアナログ信号が加わっている場合、従来の CMOS スイッチの問題のもう一つの面は V<sub>DD</sub> 電源が内部の ESD 保護ダイオードを通してプルアップされる事です。

V<sub>DD</sub> 電源は通常入力電圧レベルからダイオード・ドロップ分を減算した値、V<sub>DD</sub> ~ V<sub>S</sub>、V<sub>D</sub> - V<sub>DIODE</sub> までプルアップされます。この電圧はシステムの中でこの電源電圧に接続されている他のチップの電源を立ち上げるのに十分高くなる可能性があり、システムの中の他の部品を破損する可能性があります。

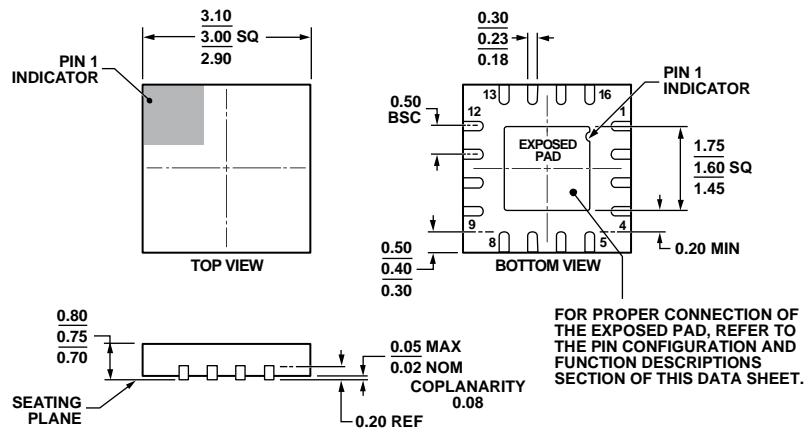
ADG4612/ADG4613 はその回路構成上、V<sub>DD</sub> 電源がアナログ入力から絶縁しているため、無電源時に入力に信号が加わっていても、電源がより高い電位に引っ張られる事はありません。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AB

図 35.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP] (RU-16) 寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-WEED-6.

図 36.16 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ] 3 mm x 3 mm ボディ、極薄クラウド (CP-16-22) 寸法: mm

01-13-2010-D

# ADG4612/ADG4613

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option	Branding
ADG4612BRUZ	-40°C to +105°C	Thin Shrink Small Outline Package [TSSOP]	RU-16	
ADG4612BRUZ-REEL7	-40°C to +105°C	Thin Shrink Small Outline Package [TSSOP]	RU-16	
ADG4612BCPZ-REEL7	-40°C to +105°C	Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-22	LG5
EVAL-ADG4612EBZ		Evaluation Board		
ADG4613BRUZ	-40°C to +105°C	Thin Shrink Small Outline Package [TSSOP]	RU-16	
ADG4613BRUZ-REEL7	-40°C to +105°C	Thin Shrink Small Outline Package [TSSOP]	RU-16	
ADG4613BCPZ-REEL7	-40°C to +105°C	Lead Frame Chip Scale Package [LFCSP_WQ]	CP-16-22	S3Y

<sup>1</sup> Z = RoHS Compliant Part.

ノート



ノート