

特長

最大電源電圧定格: 44 V
 アナログ信号範囲: ± 15 V
 低いオン抵抗: 24 Ω 以下
 超低消費電力: 3.9 μ W以下
 低リーク電流: 0.25 nA以下
 高速なスイッチング時間
 $t_{ON} < 165$ ns
 $t_{OFF} < 130$ ns
 ブレーク・ビフォー・メイク・スイッチング動作
 TTL/CMOS互換
 DG411/DG412/DG413のプラグイン置換品

アプリケーション

オーディオとビデオのスイッチング
 自動テスト装置
 高精度データ・アキュイジション・システム
 バッテリ駆動のシステム
 サンプル・ホールド・システム
 通信システム

概要

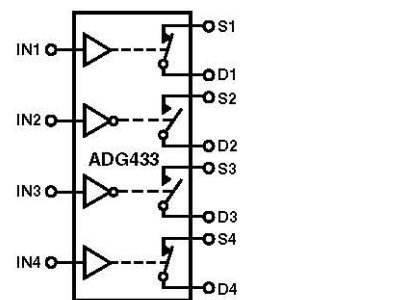
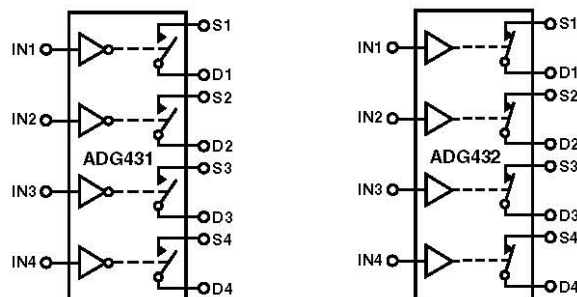
ADG431、ADG432、ADG433は、4個の独立に選択可能なスイッチから構成されるモノリシックCMOSデバイスです。これらのデバイスは、低消費電力、高速度スイッチング、低いオン抵抗を提供する強化されたLC²MOSプロセスを採用してデザインされています。

オン抵抗はフル・アナログ入力範囲で平坦であるため、オーディオ信号のスイッチングで優れた直線性と低歪みを提供します。また、高速なスイッチング速度と広い信号帯域幅の組み合わせにより、ビデオ信号スイッチングにも適しています。CMOS構造により消費電力が極めて少ないため、携帯型計装機器とバッテリー駆動の計装機器に最適なデバイスになっています。

ADG431、ADG432、ADG433は、4個の独立なSPSTスイッチを内蔵しています。ADG431とADG432の違いは、デジタル制御ロジックが反転している点だけです。ADG431のスイッチはコントロール入力のロジック・ロー・レベル入力に対してターンオンし、ADG432のスイッチはロジック・ハイ・レベル入力に対してターンオンします。ADG433にはADG431と同じデジタル制御ロジックを持つスイッチが2個と、ロジックが反転している2個のスイッチが内蔵されています。

各スイッチはオンのとき等しく両方向に導通し、入力信号範囲は電源電圧まで可能です。オフ状態では、電源電圧までの信号レベルを阻止します。すべてのスイッチは、マルチプレクサ・アプリケーションで使用するブレーク・ビフォー・メイク・スイッチング動作を行います。小さいチャージ・インジェクションはデザインに固有で、デジタル入力のスイッチング時の過渡電圧は小さくなっています。

機能ブロック図



SWITCHES SHOWN FOR A LOGIC "1" INPUT

製品のハイライト

1. 信号範囲が広い。ADG431、ADG432、ADG433は、強化されたLC²MOSプロセスで製造されるため、電源レールまでの広い信号範囲を提供。
2. 超低消費電力。
3. 低いR_{ON}。
4. ブレーク・ビフォー・メイク・スイッチング動作。スイッチをマルチプレクサに構成したときこの機能によりチャンネルの短絡が防止されます。
5. 単電源動作
アナログ信号がユニポーラであるアプリケーションに対して、ADG431、ADG432、ADG433は単電源で動作可能。デバイス仕様は12 V単電源で規定され、5 Vまでの低い単電源でも動作可能。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
 ©2001 Analog Devices, Inc. All rights reserved.

Rev. C

ADG431/ADG432/ADG433–仕様¹

両電源 (特に指定がない限り、 $V_{DD} = +15\text{ V} \pm 10\%$ 、 $V_{SS} = -15\text{ V} \pm 10\%$ 、 $V_L = +5\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$)

Parameter	B Version		Unit	Test Conditions/Comments
	+25°C	-40°C to +85°C		
ANALOG SWITCH				
Analog Signal Range		V_{DD} to V_{SS}	V	$V_D = \pm 8.5\text{ V}$, $I_S = -10\text{ mA}$; $V_{DD} = +13.5\text{ V}$, $V_{SS} = -13.5\text{ V}$
R_{ON}	17		Ω typ	
	24	26	Ω max	
R_{ON} vs. V_D (V_S)	15		% typ	
R_{ON} Drift	0.5		%/°C typ	
R_{ON} Match	5		% typ	$V_D = 0\text{ V}$, $I_S = -10\text{ mA}$
LEAKAGE CURRENTS				
Source OFF Leakage I_S (OFF)	± 0.05		nA typ	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ $V_D = \pm 15.5\text{ V}$, $V_S = \mp 15.5\text{ V}$; Test Circuit 2
	± 0.25	± 2	nA max	
Drain OFF Leakage I_D (OFF)	± 0.05		nA typ	$V_D = \pm 15.5\text{ V}$, $V_S = \mp 15.5\text{ V}$; Test Circuit 2
	± 0.25	± 2	nA max	
Channel ON Leakage I_D , I_S (ON)	± 0.1		nA typ	$V_D = V_S = \pm 15.5\text{ V}$; Test Circuit 3
	± 0.35	± 3	nA max	
DIGITAL INPUTS				
Input High Voltage, V_{INH}		2.4	V min	$V_{IN} = V_{INL}$ or V_{INH}
Input Low Voltage, V_{INL}		0.8	V max	
Input Current				
I_{INL} or I_{INH}	0.005		μA typ	
		± 0.02	μA max	
C_{IN} Digital Input Capacitance	9		pF typ	
DYNAMIC CHARACTERISTICS¹				
t_{ON}	90		ns typ	$V_{DD} = +15\text{ V}$, $V_{SS} = -15\text{ V}$ $R_L = 300\ \Omega$, $C_L = 35\text{ pF}$; $V_S = \pm 10\text{ V}$; Test Circuit 4
		165	ns max	
t_{OFF}	60		ns typ	
		130	ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$; $V_S = \pm 10\text{ V}$; Test Circuit 4
Break-Before-Make Time Delay, t_D (ADG433 Only)	25		ns typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$; $V_{S1} = V_{S2} = +10\text{ V}$; Test Circuit 5
Charge Injection	5		pC typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 10\text{ nF}$; Test Circuit 6
OFF Isolation	68		dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; Test Circuit 7
Channel-to-Channel Crosstalk	85		dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$; Test Circuit 8
C_S (OFF)	9		pF typ	$f = 1\text{ MHz}$
C_D (OFF)	9		pF typ	$f = 1\text{ MHz}$
C_D , C_S (ON)	35		pF typ	$f = 1\text{ MHz}$
POWER REQUIREMENTS				
I_{DD}	0.0001		μA typ	$V_{DD} = +16.5\text{ V}$, $V_{SS} = -16.5\text{ V}$ Digital Inputs = 0 V or 5 V
	0.1	0.2	μA max	
I_{SS}	0.0001		μA typ	
	0.1	0.2	μA max	
I_L	0.0001		μA typ	
	0.1	0.2	μA max	
Power Dissipation		7.7	μW max	

注

¹設計上保証しますが、出荷テストは行いません。
仕様は予告なく変更されることがあります。

単電源 (特に指定がない限り、 $V_{DD} = 12\text{ V} \pm 10\%$ 、 $V_{SS} = 0\text{ V}$ 、 $V_L = 5\text{ V} \pm 10\%$ 、 $GND = 0\text{ V}$)

Parameter	B Version		Unit	Test Conditions/Comments
	+25°C	-40°C to +85°C		
ANALOG SWITCH				
Analog Signal Range		0 V to V_{DD}	V	
R_{ON}	28		Ω typ	$0 < V_D < 8.5\text{ V}$, $I_S = -10\text{ mA}$;
R_{ON} vs. V_D (V_S)	42	45	Ω max	$V_{DD} = 10.8\text{ V}$
R_{ON} Drift	20		% typ	
R_{ON} Match	0.5		%/°C typ	
	5		% typ	$V_D = 0\text{ V}$, $I_S = -10\text{ mA}$
LEAKAGE CURRENTS				
Source OFF Leakage I_S (OFF)	± 0.04		nA typ	$V_{DD} = 13.2\text{ V}$
	± 0.25	± 2	nA max	$V_D = 12.2/1\text{ V}$, $V_S = 1/12.2\text{ V}$;
				Test Circuit 2
Drain OFF Leakage I_D (OFF)	± 0.04		nA typ	$V_D = 12.2/1\text{ V}$, $V_S = 1/12.2\text{ V}$;
	± 0.25	± 2	nA max	Test Circuit 2
Channel ON Leakage I_D , I_S (ON)	± 0.01		nA typ	$V_D = V_S = 12.2\text{ V}/1\text{ V}$;
	± 0.3	± 3	nA max	Test Circuit 3
DIGITAL INPUTS				
Input High Voltage, V_{INH}		2.4	V min	
Input Current		0.8	V max	
I_{INL} or I_{INH}	0.005		μA typ	$V_{IN} = V_{INL}$ or V_{INH}
		± 0.01	μA max	
C_{IN} Digital Input Capacitance	9		pF typ	
DYNAMIC CHARACTERISTICS¹				
t_{ON}	165	240	ns typ	$V_{DD} = 12\text{ V}$, $V_{SS} = 0\text{ V}$
			ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$;
t_{OFF}	60	115	ns typ	$V_S = 8\text{ V}$; Test Circuit 4
			ns max	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$;
Break-Before-Make Time Delay, t_D (ADG433 Only)	25		ns typ	$V_S = 8\text{ V}$; Test Circuit 4
Charge Injection	25		pC typ	$R_L = 300\ \Omega$, $C_L = 35\text{ pF}$;
				$V_{S1} = V_{S2} = 10\text{ V}$; Test Circuit 5
OFF Isolation	68		dB typ	$V_S = 0\text{ V}$, $R_S = 0\ \Omega$, $C_L = 10\text{ nF}$;
				Test Circuit 6
Channel-to-Channel Crosstalk	85		dB typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$;
				Test Circuit 7
C_S (OFF)	9		pF typ	$R_L = 50\ \Omega$, $C_L = 5\text{ pF}$, $f = 1\text{ MHz}$;
C_D (OFF)	9		pF typ	Test Circuit 8
C_D , C_S (ON)	35		pF typ	$f = 1\text{ MHz}$
				$f = 1\text{ MHz}$
				$f = 1\text{ MHz}$
POWER REQUIREMENTS				
I_{DD}	0.0001		μA typ	$V_{DD} = 13.2\text{ V}$
	0.03	0.1	μA max	Digital Inputs = 0 V or 5 V
I_L	0.0001		μA typ	
	0.03	0.1	μA max	
Power Dissipation		1.9	μW max	$V_L = 5.25\text{ V}$

注
¹設計上保証しますが、出荷テストは行いません。
 仕様は予告なく変更されることがあります。

真理値表 (ADG431/ADG432)

ADG431 In	ADG432 In	Switch Condition
0	1	ON
1	0	OFF

真理値表 (ADG433)

Logic	Switch 1, 4	Switch 2, 3
0	OFF	ON
1	ON	OFF

絶対最大定格

(特に指定がない限り、 $T_A = 25^\circ\text{C}$)

V_{SS} を基準とする V_{DD}	44 V
GNDを基準とする V_{DD}	-0.3 V~+25 V
GNDを基準とする V_{SS}	+0.3 V~-25 V
GNDを基準とする V_L	-0.3 V~ $V_{DD} + 0.3$ V
アナログ、デジタル入力 ²	$V_{SS} - 2$ V~ $V_{DD} + 2$ Vまたは 30 mAのいずれか先に発生する方
連続電流、SまたはD.....	30 mA
ピーク電流、SまたはD.....	100 mA
(1 msのパルス、デューティ・サイクル最大10%)	
動作温度範囲	
工業用 (Bバージョン).....	-40°C~+85°C
保存温度範囲.....	-65°C~+150°C
ジャンクション温度.....	150°C

プラスチック・パッケージ、消費電力.....	470 mW
θ_{JA} 熱抵抗.....	117°C/W
ピン温度(ハンダ処理、10 sec).....	260°C
SOICパッケージ、消費電力.....	600 mW
θ_{JA} 熱抵抗.....	77°C/W
ピン温度、ハンダ処理	
蒸着(60 sec).....	215°C
赤外線(15 sec).....	220°C

注

¹上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。同時に複数の絶対最大定格条件を適用することはできません。

²IN、S、またはDでの過電圧は内部ダイオードでクランプされます。電流は、規定された最大定格に制限してください。

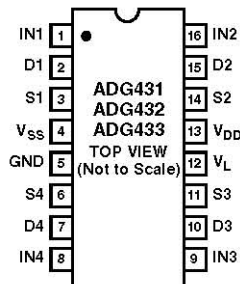
ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置

(DIP/SOIC)



オーダー・ガイド

Model	Temperature Range	Package Option ¹
ADG431BN	-40°C to +85°C	N-16
ADG431BR	-40°C to +85°C	R-16A
ADG431ABR	-40°C to +85°C	R-16A ₂
ADG432BN	-40°C to +85°C	N-16
ADG432BR	-40°C to +85°C	R-16A
ADG432ABR	-40°C to +85°C	R-16A ₂
ADG433BN	-40°C to +85°C	N-16
ADG433BR	-40°C to +85°C	R-16A
ADG433ABR	-40°C to +85°C	R-16A ²

注

¹N = プラスチックDIP; R = 0.15インチSOIC。

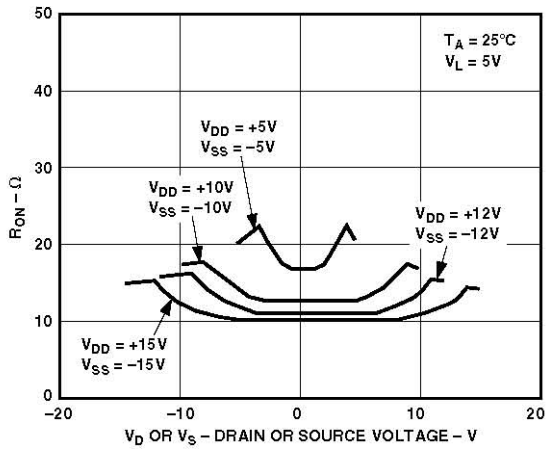
²トレンチ・アイソレーションのラッチアップのないデバイス。

トレンチ・アイソレーションのセクション参照。

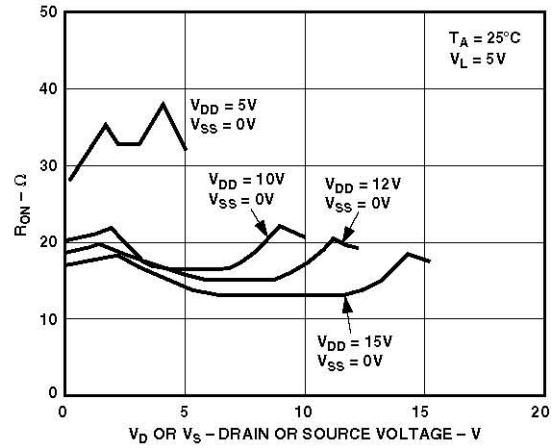
用語集

V_{DD}	正電源電位。
V_{SS}	両電源での負電位。単電源アプリケーションでは、GNDへ接続可能。
V_L	ロジック電源(5 V)。
GND	グラウンド(0 V)基準。
S	ソース・ピン。入力または出力。
D	ドレイン・ピン。入力または出力。
IN	ロジック・コントロール入力。
R_{ON}	D-S間の抵抗
R_{ON} 対 V_D (V_S)	一定負荷電流でのアナログ入力電圧変化に起因する R_{ON} の変動。
R_{ON} ドリフト	R_{ON} の温度変化。
R_{ON} の不一致	任意の2スイッチ間での R_{ON} の差。
I_S (OFF)	スイッチ・オフ時のソース・リーク電流。
I_D (OFF)	スイッチ・オフ時のドレイン・リーク電流。
I_D 、 I_S (ON)	スイッチ・オン時のチャンネル・リーク電流。
V_D (V_S)	D、Sピンのアナログ電圧

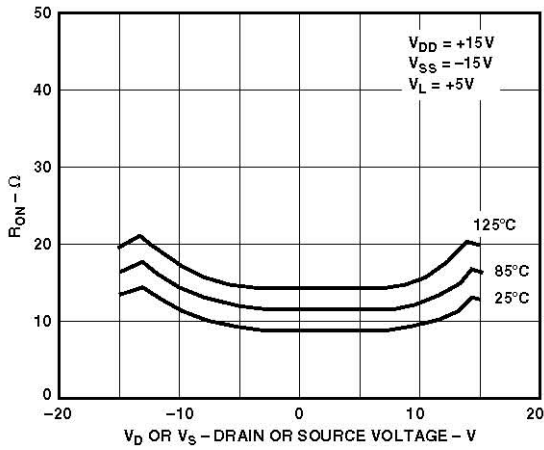
C_S (OFF)	スイッチ・オフ時のソース容量。
C_D (OFF)	スイッチ・オフ時のドレイン容量。
C_D 、 C_S (ON)	スイッチ・オン時の容量。
C_{IN}	デジタル入力グラウンドに対する入力容量
t_{ON}	デジタル・コントロール入力の入力から出力スイッチ・オンまでの遅延。
t_{OFF}	デジタル・コントロール入力の入力から出力スイッチ・オフまでの遅延。
t_D	あるアドレス状態から別のアドレス状態へ切り替わるときの両スイッチの90%ポイント間で測定したオフ時間またはオン時間。
クロストーク	寄生容量に起因して1つのチャンネルから別のチャンネルに混入する不要信号の大きさ。
オフ時アイソレーション	オフ状態のスイッチを通過する不要信号の大きさ。
チャージ・インジェクション	スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさ。



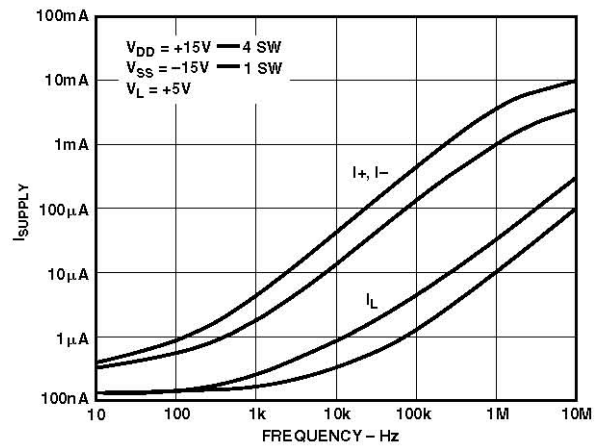
特性 1. V_D (V_S)の関数としてのオン抵抗、両電源



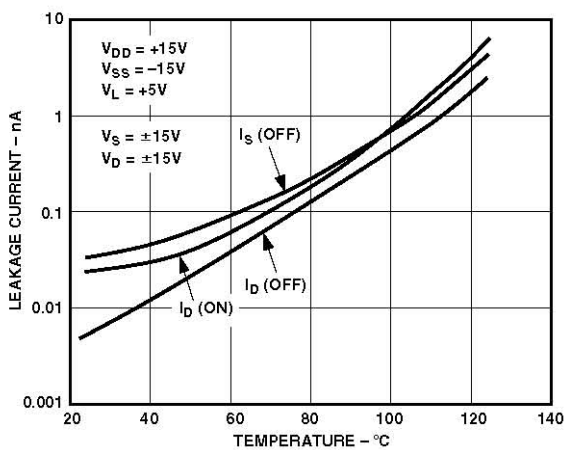
特性 4. V_D (V_S)の関数としてのオン抵抗、単電源



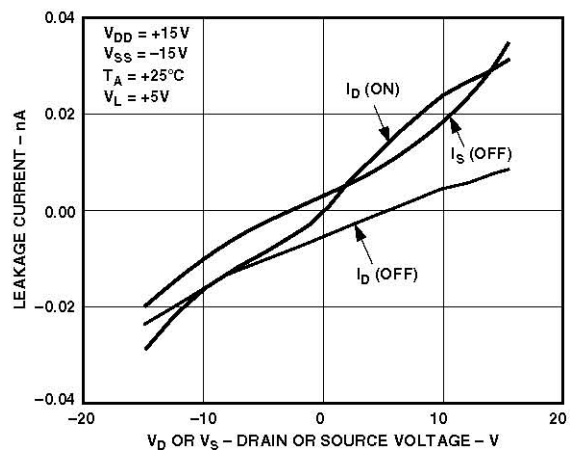
特性 2. 様々な温度での、 V_D (V_S)の関数としてのオン抵抗



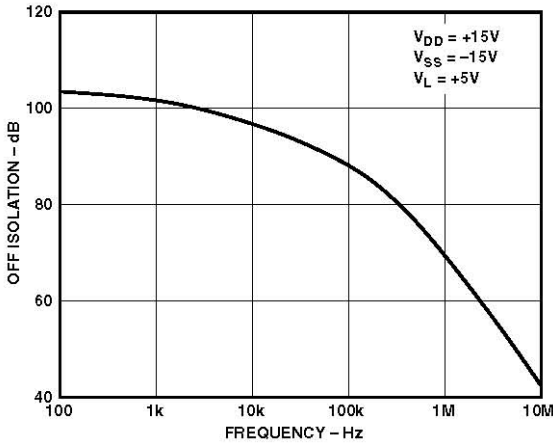
特性 5. 入力スイッチング周波数対電源電流



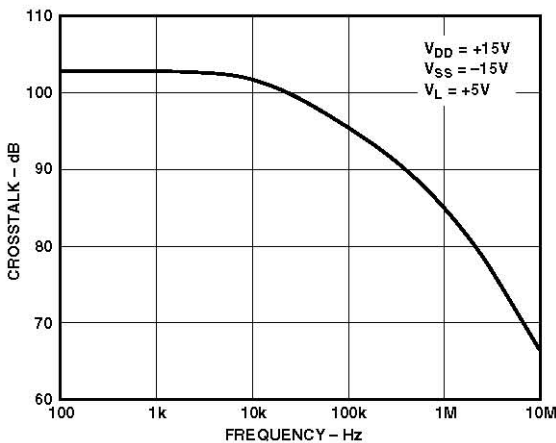
特性 3. 温度の関数としてのリーク電流



特性 6. V_D (V_S)の関数としてのリーク電流



特性 7. オフ時アイソレーションの周波数特性



特性 8. クロストークの周波数特性

トレンチ・アイソレーション

ADG431A, ADG432A, ADG433Aでは、各CMOSスイッチのNMOSトランスマッタとPMOSトランジスタの間に絶縁酸化層(トレンチ)が設けてあります。接合で絶縁されたスイッチ内の複数のトランジスタ間に発生する寄生接合がなくなるため、ラッチアップを完全に防止したスイッチが得られます。

接合アイソレーションでは、PMOSトランジスタとNMOSトランジスタのNウェルとPウェルが、通常動作では逆バイアスされるダイオードを形成しますが、過電圧状態では、このダイオードが順方向バイアスされるようになります。2個のトランジスタによりシリコン制御整流子(SCR)タイプの回路が形成されるため、電流が大幅に増幅されて、ラッチアップが発生します。トレンチ・アイソレーションでは、このダイオードがなくなるため、ラッチアップのないスイッチが実現できます。

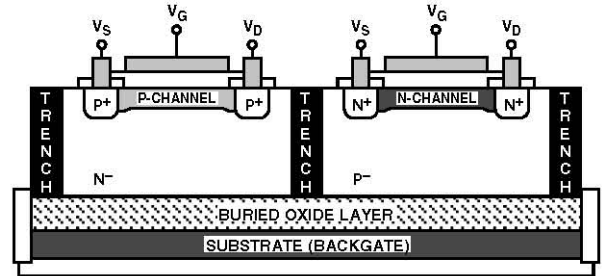


図1. トレンチ・アイソレーション

アプリケーション

図2に、詳細な高速サンプル・アンド・ホールド回路を示します。AD845が入力バッファとして、AD711が出力オペアンプとして、それぞれ使用されています。トラック・モードでは、SW1が閉じ、出力 V_{OUT} は入力信号 V_{IN} に追従します。ホールド・モードでは、SW1が開き、信号はホールド・コンデンサ C_H に保持されます。

スイッチとコンデンサのリーク電流のため、ホールド・コンデンサの電圧は時間とともに低下します。ADG431/ADG432/ ADG433のリーク仕様は小さいため、この低下が小さくなります。この低下レートは、ポリスチレン・ホールド・コンデンサの使用によりさらに小さくすることができます。図示の回路の低下レートは $30 \mu\text{V}/\mu\text{s}$ (typ)です。

この回路にはペDESTAL誤差を小さくするために、SW1と並列に動作する2つ目のスイッチSW2が内蔵されています。両スイッチは同じ電位であるため、チャージ・インジェクション効果を小さくするオペアンプAD711に対して差動効果を持ちます。ペDESTAL誤差は、補償回路 R_C と C_C の使用によりさらに小さくすることができます。この補償回路は、ホールド・タイム・グリッチも小さくすると同時に、アキュジション時間も最適化します。このオペアンプと部品値を使うと、最大ペDESTAL誤差は $\pm 10 \text{ V}$ の入力範囲で 5 mV になります。アキュジション時間とセトリング時間は 850 ns になります。

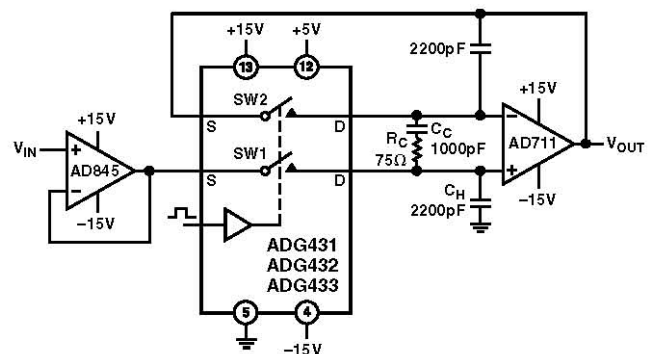
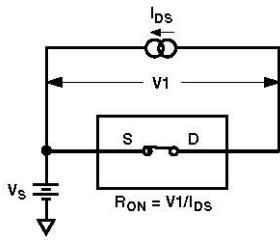
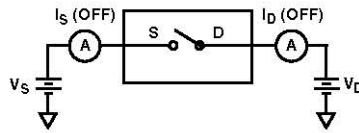


図2. 詳細な高速サンプル・アンド・ホールド回路

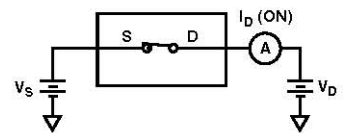
テスト回路



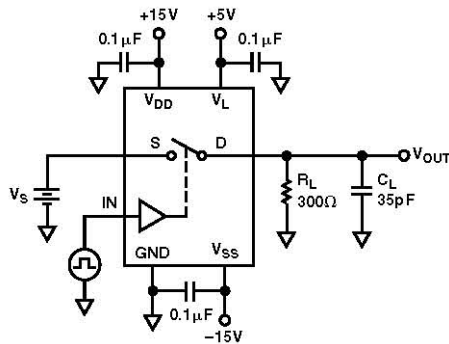
テスト回路1.オン抵抗



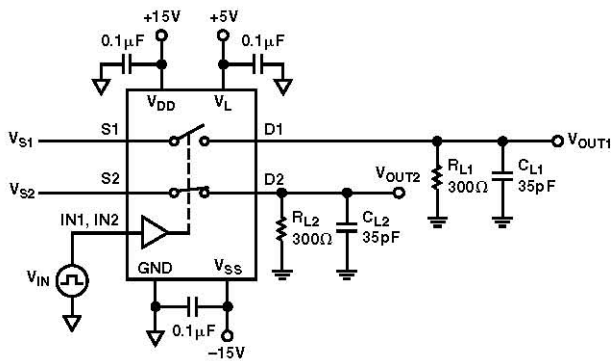
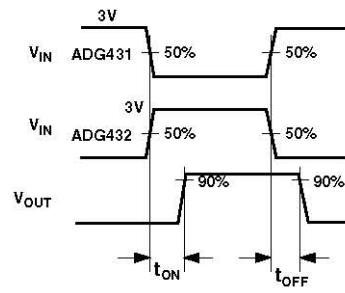
テスト回路2.オフ時リーク



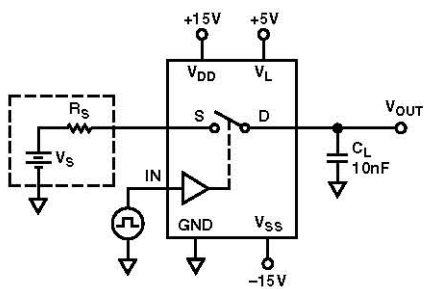
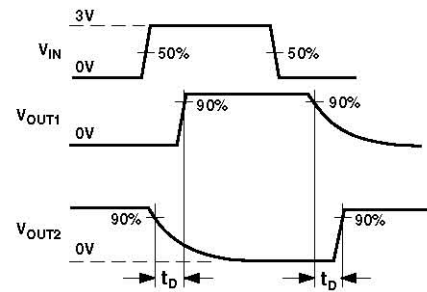
テスト回路3.オン時リーク



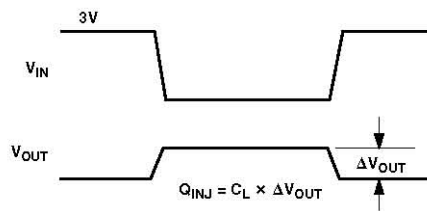
テスト回路4.スイッチング時間

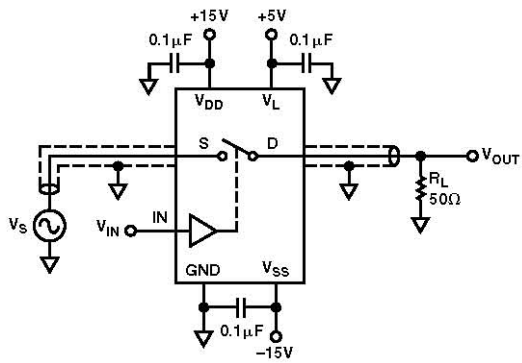


テスト回路5.ブレイク・ビフォー・メイク時間遅延

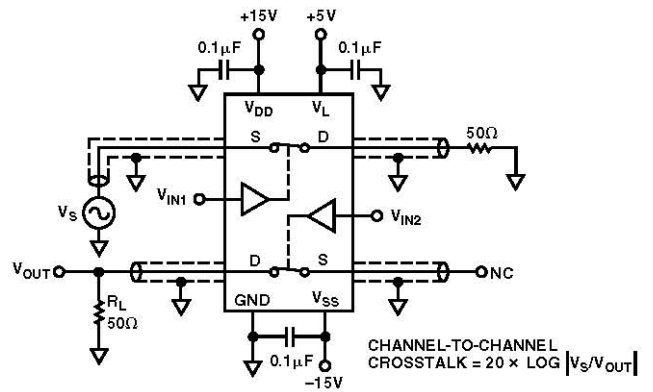


テスト回路6.チャージ・インJECTION





テスト回路7.オフ時アイソレーション

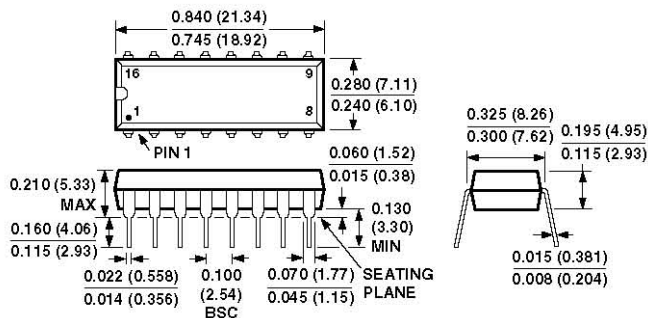


テスト回路8.チャンネル間クロストーク

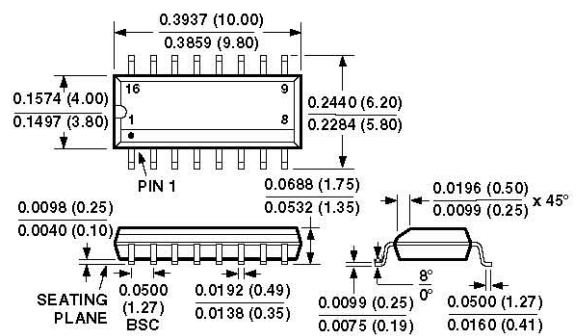
外形寸法

寸法表示:インチ(mm)

16ピン・プラスチックDIP (ナロー)
(N-16)



16ピンSOIC
(R-16A)



改訂履歴

Location

	Page
Data Sheet changed from REV. B to REV. C.	
Changes to Specifications Table (Dual Supply)	2
Changes to Specifications Table (Single Supply)	3
Changes to Absolute Maximum Ratings	4
Changes to Ordering Guide	4
16-Lead Cerdip deleted from Outline Dimensions	8