

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2011年2月17日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日： 2011年2月17日

製品名： ADG3304

対象となるデータシートのリビジョン(Rev)： Rev.B 和文データシート

訂正箇所：

16頁 右側サイドの下記部分訂正

「入力動作条件」の項、上から3行目から4行目にかけて、下線部を次のように訂正します。

誤 「最小電流駆動能力は36 mA である必要があります。」

正 「トランジション時のピーク電流能力は、最少で36mA である必要があります。」

特長

双方向のレベル変換
1.15~5.5 Vで動作
低静止電流 < 5 μ A
方向ピンが不要

アプリケーション

SPI[®]、MICROWIRE[™]のレベル変換
低電圧 ASIC のレベル変換
スマート・カード・リーダ
携帯電話機およびクレドール
ポータブル通信機器
通信装置
ネットワーク・スイッチおよびルーター
ストレージ・システム(SAN/NAS)
コンピューティング/サーバー・アプリケーション
GPS
ポータブル POS システム
低価格シリアル・インターフェース

概要

ADG3304は4チャンネルの双方向チャンネルを内蔵する双方向ロジック・レベル・トランスレータです。このデバイスは、低電圧 DSP コントローラと高電圧デバイスとの間での SPI や MICROWIRE インターフェースを使ったデータ転送などのような、多電圧デジタル・システム・アプリケーションで使用することができます。このデバイスは、変換を行う方向を設定する信号なしで、双方向のロジック・レベル変換を実行できる内部アーキテクチャを採用しています。

V_{CCA} に入力された電圧が、デバイスの A 側のロジック・レベルを、 V_{CCY} が Y 側のレベルを、それぞれ設定します。正常動作のためには、 V_{CCA} は常に V_{CCY} より低い必要があります。デバイスの A 側に入力された V_{CCA} 互換のロジック信号は、Y 側に V_{CCY} 互換のレベルとして出力されます。同様に、デバイスの Y 側に入力された V_{CCY} 互換のロジック・レベルは、A 側に V_{CCA} 互換のロジック・レベルとして出力されます。

機能ブロック図

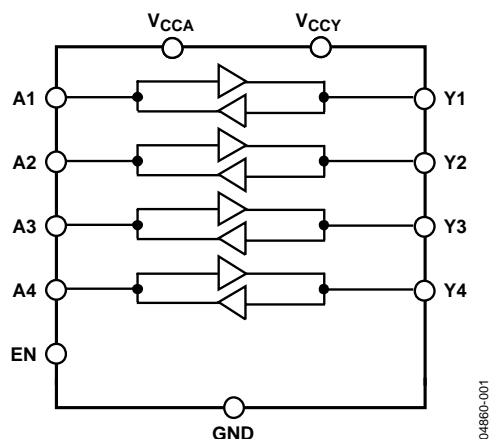


図1.

イネーブル・ピン(EN)は、A 側ピンと Y 側ピンの両方でスリー・ステート動作を提供します。EN ピンをロー・レベルにすると、デバイスの両側のピンが高インピーダンス状態になります。EN ピンは V_{CCA} 電源電圧を基準とし、通常動作ではハイ・レベルに駆動されます。

ADG3304 は小型の 14 ピン TSSOP パッケージ、12 ボール WLCSP または 20 ピン LFCSP パッケージを採用しています。1.15~5.5 V の電源範囲で動作を保証しています。

製品のハイライト

1. 双方向レベル変換。
2. 1.15~5.5 V の電源範囲で動作を保証。
3. 方向ピン不要。
4. 14 ピン TSSOP、12 ボール WLCSP、または 20 ピン LFCSP を採用。

目次

仕様	3	入力駆動条件.....	16
絶対最大定格.....	6	出力負荷条件.....	16
ESD の注意	6	イネーブル動作.....	16
ピン配置およびピン機能説明.....	7	電源	16
代表的な性能特性.....	8	データレート.....	17
テスト回路	12	アプリケーション	18
用語	15	レイアウトのガイドライン.....	18
動作原理	16	外形寸法	19
レベル・トランスレータ・アーキテクチャ	16	オーダー・ガイド.....	20

改訂履歴

12/05—Rev. A to Rev. B

Changes to Table 1	3
Changes to Table 2	6
Changes to Figure 3 and Table 4	7
Updated Outline Dimensions	19
Changes to Ordering Guide.....	21

6/05—Rev. 0 to Rev. A

Added LFCSP Package	Universal
---------------------------	-----------

1/05—Revision 0: Initial Version

仕様

$V_{CCY} = 1.65\text{ V} \sim 5.5\text{ V}$ 、 $V_{CCA} = 1.15\text{ V} \sim V_{CCY}$ 、 $GND = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。特に指定がない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。

表1.

Parameter	Symbol	Test Conditions/Comments	B Version ¹			Unit
			Min	Typ	Max	
LOGIC INPUTS/OUTPUTS						
A Side						
Input High Voltage ²	V_{IHA}	$V_{CCA} = 1.15\text{ V}$	$V_{CCA} - 0.3$			V
	V_{IHA}	$V_{CCA} = 1.2\text{ V to } 5.5\text{ V}$	$V_{CCA} - 0.4$			
Input Low Voltage ²	V_{ILA}				0.4	V
Output High Voltage	V_{OHA}	$V_Y = V_{CCY}$, $I_{OH} = 20\ \mu\text{A}$, see Figure 29	$V_{CCA} - 0.4$			V
Output Low Voltage	V_{OLA}	$V_Y = 0\text{ V}$, $I_{OL} = 20\ \mu\text{A}$, see Figure 29			0.4	V
Capacitance ²	C_A	$f = 1\text{ MHz}$, $EN = 0$, see Figure 34		9		pF
Leakage Current	$I_{LA, Hi-Z}$	$V_A = 0\text{ V}/V_{CCA}$, $EN = 0$, see Figure 31			± 1	μA
Y Side						
Input High Voltage ²	V_{IHY}		$V_{CCY} - 0.4$			V
Input Low Voltage ²	V_{ILY}				0.4	V
Output High Voltage	V_{OHY}	$V_A = V_{CCA}$, $I_{OH} = 20\ \mu\text{A}$, see Figure 30	$V_{CCY} - 0.4$			V
Output Low Voltage	V_{OLY}	$V_A = 0\text{ V}$, $I_{OL} = 20\ \mu\text{A}$, see Figure 30			0.4	V
Capacitance ²	C_Y	$f = 1\text{ MHz}$, $EN = 0$, see Figure 35		6		pF
Leakage Current	$I_{LY, Hi-Z}$	$V_Y = 0\text{ V}/V_{CCY}$, $EN = 0$, see Figure 32			± 1	μA
Enable (EN)						
Input High Voltage ²	V_{IHEN}	$V_{CCA} = 1.15\text{ V}$	$V_{CCA} - 0.3$			V
	V_{IHEN}	$V_{CCA} = 1.2\text{ V to } 5.5\text{ V}$	$V_{CCA} - 0.4$			V
Input Low Voltage ²	V_{ILEN}				0.4	V
Leakage Current	I_{LEN}	$V_{EN} = 0\text{ V}/V_{CCA}$, $V_A = 0\text{ V}$, see Figure 33			± 1	μA
Capacitance ²	C_{EN}			3		pF
Enable Time ²	t_{EN}	$R_S = R_T = 50\ \Omega$, $V_A = 0\text{ V}/V_{CCA}$ (A→Y), $V_Y = 0\text{ V}/V_{CCY}$ (Y→A), see Figure 36		1	1.8	μs
SWITCHING CHARACTERISTICS²						
$3.3\text{ V} \pm 0.3\text{ V} \leq V_{CCA} \leq V_{CCY}$, $V_{CCY} = 5\text{ V} \pm 0.5\text{ V}$						
A→Y Level Translation						
Propagation Delay	$t_{P, A \rightarrow Y}$	$R_S = R_T = 50\ \Omega$, $C_L = 50\text{ pF}$, see Figure 37		6	10	ns
Rise Time	$t_{R, A \rightarrow Y}$			2	3.5	ns
Fall Time	$t_{F, A \rightarrow Y}$			2	3.5	ns
Maximum Data Rate	$D_{MAX, A \rightarrow Y}$		50			Mbps
Channel-to-Channel Skew	$t_{SKEW, A \rightarrow Y}$			2	4	ns
Part-to-Part Skew	$t_{PPSKEW, A \rightarrow Y}$			3	ns	
Y→A Level Translation						
Propagation Delay	$t_{P, Y \rightarrow A}$	$R_S = R_T = 50\ \Omega$, $C_L = 15\text{ pF}$, see Figure 38		4	7	ns
Rise Time	$t_{R, Y \rightarrow A}$			1	3	ns
Fall Time	$t_{F, Y \rightarrow A}$			3	7	ns
Maximum Data Rate	$D_{MAX, Y \rightarrow A}$		50			Mbps
Channel-to-Channel Skew	$t_{SKEW, Y \rightarrow A}$			2	3.5	ns
Part-to-Part Skew	$t_{PPSKEW, Y \rightarrow A}$			2	ns	

Parameter	Symbol	Test Conditions/Comments	B Version ¹			Unit
			Min	Typ	Max	
1.8 V \pm 0.15 V \leq V _{CCA} \leq V _{CCY} , V _{CCY} = 3.3 V \pm 0.3 V						
A \rightarrow Y Translation						
Propagation Delay	t _{P, A\rightarrowY}	R _S = R _T = 50 Ω , C _L = 50 pF, see Figure 37		8	11	ns
Rise Time	t _{R, A\rightarrowY}			2	5	ns
Fall Time	t _{F, A\rightarrowY}			2	5	ns
Maximum Data Rate	D _{MAX, A\rightarrowY}		50			Mbps
Channel-to-Channel Skew	t _{SKREW, A\rightarrowY}			2	4	ns
Part-to-Part Skew	t _{PPSKEW, A\rightarrowY}				4	ns
Y \rightarrow A Translation						
Propagation Delay	t _{P, Y\rightarrowA}	R _S = R _T = 50 Ω , C _L = 15 pF, see Figure 38		5	8	ns
Rise Time	t _{R, Y\rightarrowA}			2	3.5	ns
Fall Time	t _{F, Y\rightarrowA}			2	3.5	ns
Maximum Data Rate	D _{MAX, Y\rightarrowA}		50			Mbps
Channel-to-Channel Skew	t _{SKREW, Y\rightarrowA}			2	3	ns
Part-to-Part Skew	t _{PPSKEW, Y\rightarrowA}				3	ns
1.15 V to 1.3 V \leq V _{CCA} \leq V _{CCY} , V _{CCY} = 3.3 V \pm 0.3 V						
A \rightarrow Y Translation						
Propagation Delay	t _{P, A\rightarrowY}	R _S = R _T = 50 Ω , C _L = 50 pF, see Figure 37		9	18	ns
Rise Time	t _{R, A\rightarrowY}			3	5	ns
Fall Time	t _{F, A\rightarrowY}			2	5	ns
Maximum Data Rate	D _{MAX, A\rightarrowY}		40			Mbps
Channel-to-Channel Skew	t _{SKREW, A\rightarrowY}			2	5	ns
Part-to-Part Skew	t _{PPSKEW, A\rightarrowY}				10	ns
Y \rightarrow A Translation						
Propagation Delay	t _{P, Y\rightarrowA}	R _S = R _T = 50 Ω , C _L = 15 pF, see Figure 38		5	9	ns
Rise Time	t _{R, Y\rightarrowA}			2	4	ns
Fall Time	t _{F, Y\rightarrowA}			2	4	ns
Maximum Data Rate	D _{MAX, Y\rightarrowA}		40			Mbps
Channel-to-Channel Skew	t _{SKREW, Y\rightarrowA}			2	4	ns
Part-to-Part Skew	t _{PPSKEW, Y\rightarrowA}				4	ns
1.15 V to 1.3 V \leq V _{CCA} \leq V _{CCY} , V _{CCY} = 1.8 V \pm 0.3 V						
A \rightarrow Y Translation						
Propagation Delay	t _{P, A\rightarrowY}	R _S = R _T = 50 Ω , C _L = 50 pF, see Figure 37		12	25	ns
Rise Time	t _{R, A\rightarrowY}			7	12	ns
Fall Time	t _{F, A\rightarrowY}			3	5	ns
Maximum Data Rate	D _{MAX, A\rightarrowY}		25			Mbps
Channel-to-Channel Skew	t _{SKREW, A\rightarrowY}			2	5	ns
Part-to-Part Skew	t _{PPSKEW, A\rightarrowY}				15	ns

Parameter	Symbol	Test Conditions/Comments	B Version ¹			Unit
			Min	Typ	Max	
Y→A Translation		$R_S = R_T = 50 \Omega$, $C_L = 15 \text{ pF}$, see Figure 38				
Propagation Delay	$t_{p, Y \rightarrow A}$			14	35	ns
Rise Time	$t_{r, Y \rightarrow A}$			5	16	ns
Fall Time	$t_{f, Y \rightarrow A}$			2.5	6.5	ns
Maximum Data Rate	$D_{MAX, Y \rightarrow A}$		25			Mbps
Channel-to-Channel Skew	$t_{SKEW, Y \rightarrow A}$			3	6.5	ns
Part-to-Part Skew	$t_{PPSKEW, Y \rightarrow A}$				23.5	ns
2.5 V ± 0.2 V ≤ V _{CCA} ≤ V _{CCY} , V _{CCY} = 3.3 V ± 0.3 V						
A→Y Translation		$R_S = R_T = 50 \Omega$, $C_L = 50 \text{ pF}$, see Figure 37				
Propagation Delay	$t_{p, A \rightarrow Y}$			7	10	ns
Rise Time	$t_{r, A \rightarrow Y}$			2.5	4	ns
Fall Time	$t_{f, A \rightarrow Y}$			2	5	ns
Maximum Data Rate	$D_{MAX, A \rightarrow Y}$		60			Mbps
Channel-to-Channel Skew	$t_{SKEW, A \rightarrow Y}$			1.5	2	ns
Part-to-Part Skew	$t_{PPSKEW, A \rightarrow Y}$				4	ns
Y→A Translation		$R_S = R_T = 50 \Omega$, $C_L = 15 \text{ pF}$, see Figure 38				
Propagation Delay	$t_{p, Y \rightarrow A}$			5	8	ns
Rise Time	$t_{r, Y \rightarrow A}$			1	4	ns
Fall Time	$t_{f, Y \rightarrow A}$			3	5	ns
Maximum Data Rate	$D_{MAX, Y \rightarrow A}$		60			Mbps
Channel-to-Channel Skew	$t_{SKEW, Y \rightarrow A}$			2	3	ns
Part-to-Part Skew	$t_{PPSKEW, Y \rightarrow A}$				3	ns
POWER REQUIREMENTS						
Power Supply Voltages	V _{CCA}	V _{CCA} ≤ V _{CCY}	1.15		5.5	V
	V _{CCY}		1.65		5.5	V
Quiescent Power Supply Current	I _{CCA}	V _A = 0 V/V _{CCA} , V _Y = 0 V/V _{CCY} , V _{CCA} = V _{CCY} = 5.5 V, EN = 1		0.17	5	μA
	I _{CCY}	V _A = 0 V/V _{CCA} , V _Y = 0 V/V _{CCY} , V _{CCA} = V _{CCY} = 5.5 V, EN = 1		0.27	5	μA
Three-State Mode Power Supply Current	I _{Hi-Z, A}	V _{CCA} = V _{CCY} = 5.5 V, EN = 0		0.1	5	μA
	I _{Hi-Z, Y}	V _{CCA} = V _{CCY} = 5.5 V, EN = 0		0.1	5	μA

¹ 温度範囲: B バージョン: TSSOP と LFCSP -40°C ~ +85°C; WLCSP -25°C ~ +85°C。

² 設計上保証しますが、出荷テストは行いません。

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表2.

Parameter	Rating
V_{CCA} to GND	-0.3 V to +7 V
V_{CCY} to GND	V_{CCA} to +7 V
Digital Inputs (A)	-0.3 V to ($V_{\text{CCA}} + 0.3$ V)
Digital Inputs (Y)	-0.3 V to ($V_{\text{CCY}} + 0.3$ V)
EN to GND	-0.3 V to +7 V
Operating Temperature Range	
Extended Industrial (B Version)	
TSSOP and LFCSP	-40°C to +85°C
Industrial (B Version)	
WLCSP	-25°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C
θ_{JA} Thermal Impedance (4-Layer Board)	
14-Lead TSSOP	89.21°C/W
12-Ball WLCSP	120°C/W
20-Lead LFCSP	30.4°C/W
Lead Temperature, Soldering (10 sec)	300°C
IR Reflow, Peak Temperature (<20 sec)	260°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

同時に複数の絶対最大定格条件を適用することはできません。

ESD の注意

ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



ピン配置およびピン機能説明

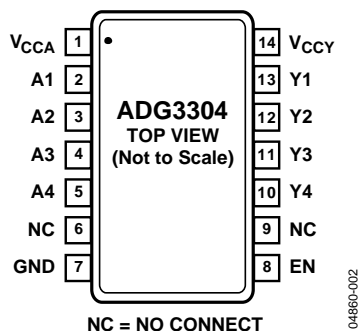


図2.14 ピン TSSOP のピン配置

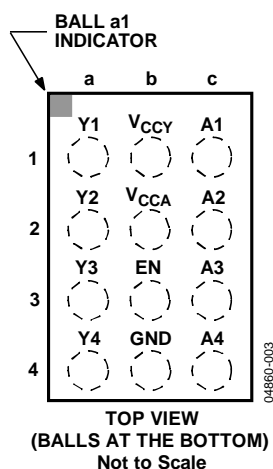
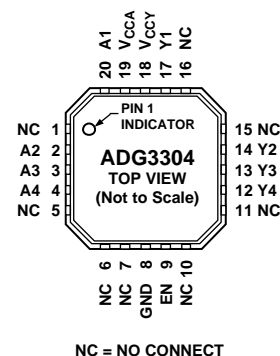


図3.12 ボール WLCSP のピン配置



NOTES
1. THE EXPOSED PADDLE CAN BE TIED TO GND OR LEFT FLOATING. DO NOT TIE IT TO V_{CCA} or V_{CCY} .

図4.20 ピン LFCSP_VQ のピン配置

表3.14 ピン TSSOP と 20 ピン LFCSP のピン機能説明

ピン番号		記号	説明
TSSOP	LFCSP		
1	19	V_{CCA}	A1~A4 I/O ピンに対する電源電圧入力($1.15\text{ V} \leq V_{CCA} \leq V_{CCY}$)。
2	20	A1	入力/出力 A1。 V_{CCA} を基準とする。
3	2	A2	入力/出力 A2。 V_{CCA} を基準とする。
4	3	A3	入力/出力 A3。 V_{CCA} を基準とする。
5	4	A4	入力/出力 A4。 V_{CCA} を基準とする。
6, 9	1, 5, 6, 7, 10, 11, 15, 16	NC	未接続。
7	8	GND	グラウンド。
8	9	EN	アクティブ・ハイのイネーブル入力。
10	12	Y4	入力/出力 Y4。 V_{CCY} を基準とする。
11	13	Y3	入力/出力 Y3。 V_{CCY} を基準とする。
12	14	Y2	入力/出力 Y2。 V_{CCY} を基準とする。
13	17	Y1	入力/出力 Y1。 V_{CCY} を基準とする。
14	18	V_{CCY}	Y1~Y4 I/O ピンに対する電源電圧入力($1.65\text{ V} \leq V_{CC} \leq 5.5\text{ V}$)。

表4.12 ボール WLCSP のピン機能説明

バンプ番号	記号	説明
a1	Y1	入力/出力 Y1。 V_{CCY} を基準とする。
a2	Y2	入力/出力 Y2。 V_{CCY} を基準とする。
a3	Y3	入力/出力 Y3。 V_{CCY} を基準とする。
a4	Y4	入力/出力 Y4。 V_{CCY} を基準とする。
b1	V_{CCY}	Y1~Y4 I/O ピンに対する電源電圧入力($1.65\text{ V} \leq V_{CC} \leq 5.5\text{ V}$)。
b2	V_{CCA}	A1~A4 I/O ピンに対する電源電圧入力($1.15\text{ V} \leq V_{CCA} \leq V_{CCY}$)。
b3	EN	アクティブ・ハイのイネーブル入力。
b4	GND	グラウンド。
c1	A1	入力/出力 A1。 V_{CCA} を基準とする。
c2	A2	入力/出力 A2。 V_{CCA} を基準とする。
c3	A3	入力/出力 A3。 V_{CCA} を基準とする。
c4	A4	入力/出力 A4。 V_{CCA} を基準とする。

代表的な性能特性

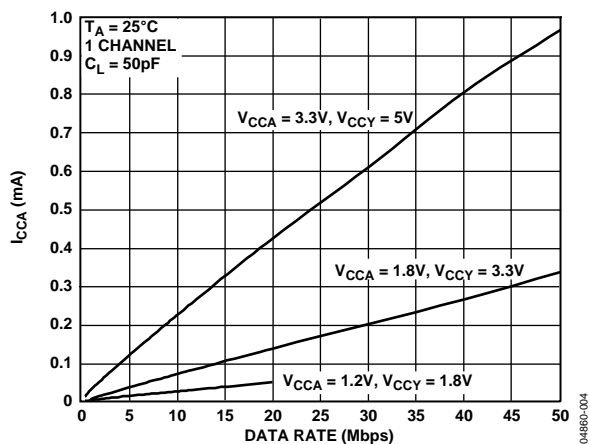


図5. I_{CCA} 对データレート(A→Y レベル変換)

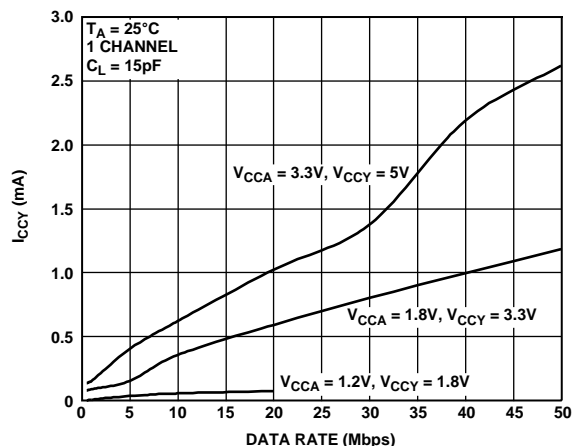


図8. I_{CCY} 对データレート(Y→A レベル変換)

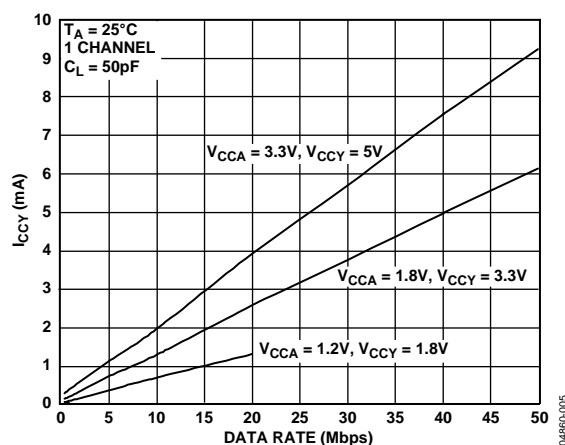


図6. I_{CCY} 对データレート(A→Y レベル変換)

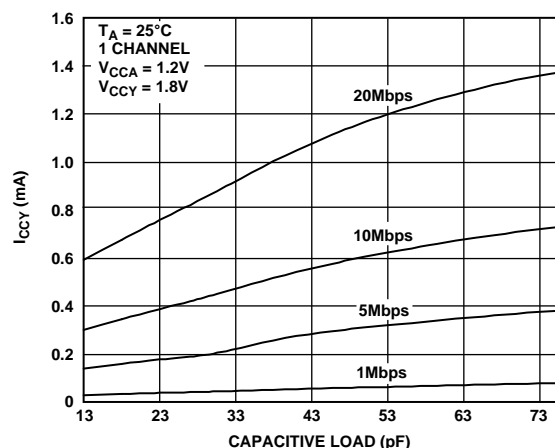


図9. I_{CCY} 对ピンYの容量負荷、A→Y (1.2V→1.8V) レベル変換

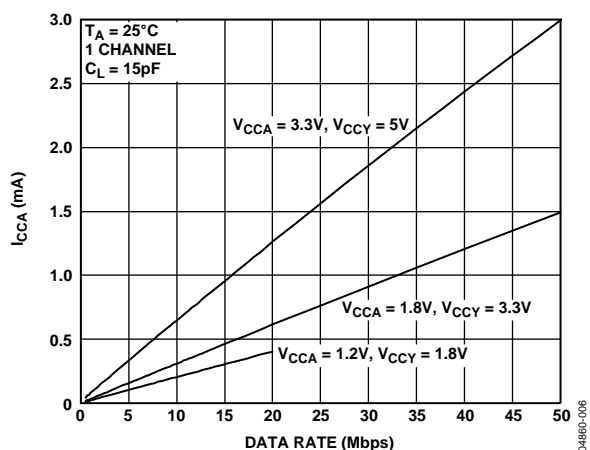


図7. I_{CCA} 对データレート(Y→A レベル変換)

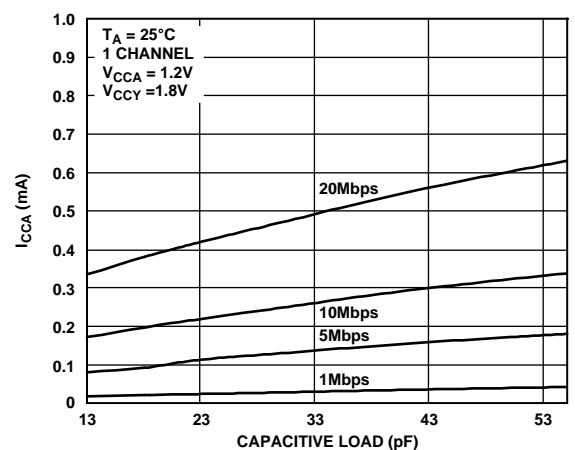


図10. I_{CCA} 对ピンAの容量負荷、Y→A (1.8V→1.2V) レベル変換

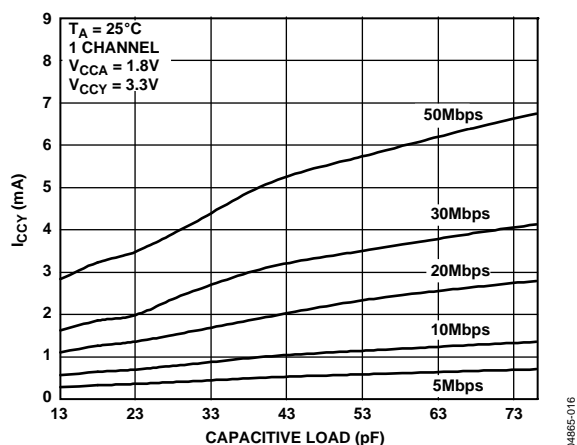


図11. I_{CCY} 対ピン Y の容量負荷、A→Y (1.8 V→3.3 V) レベル変換

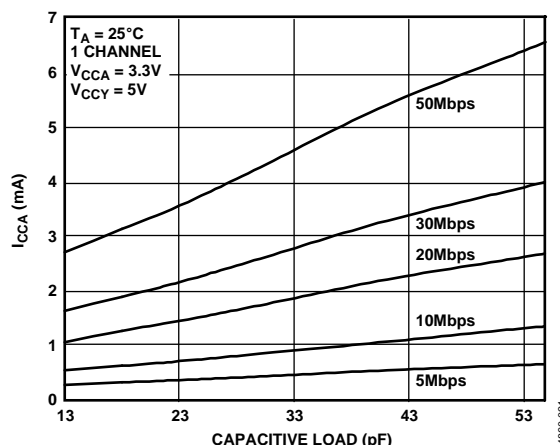


図14. I_{CCA} 対ピン A の容量負荷、Y→A (5 V→3.3 V) レベル変換

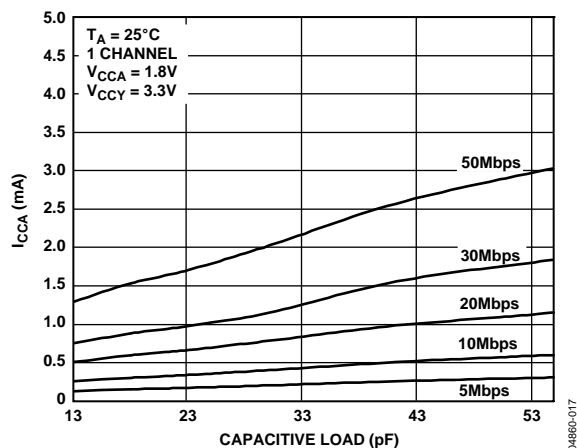


図12. I_{CCA} 対ピン A の容量負荷、Y→A (3.3 V→1.8 V) レベル変換

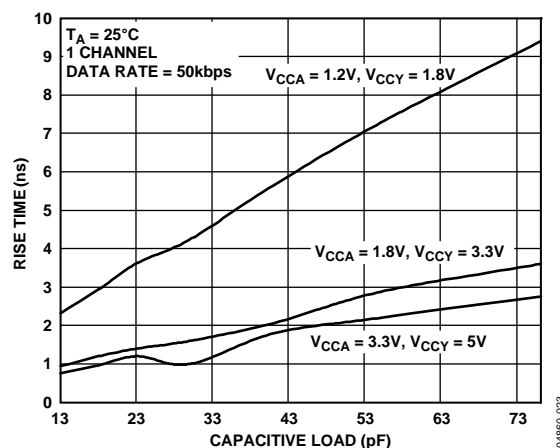


図15. 立ち上がり時間対ピン Y の容量負荷(A→Y レベル変換)

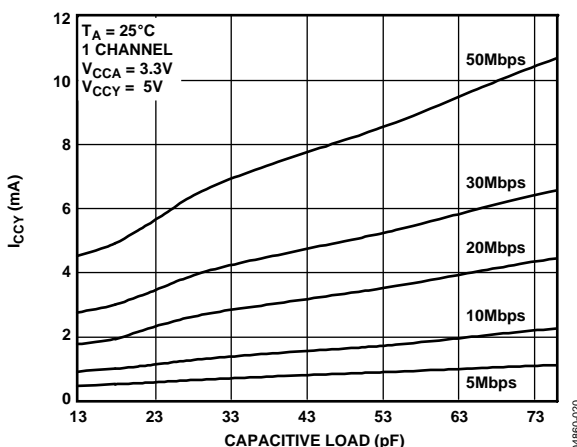


図13. I_{CCY} 対ピン Y の容量負荷、A→Y (3.3 V→5 V) レベル変換

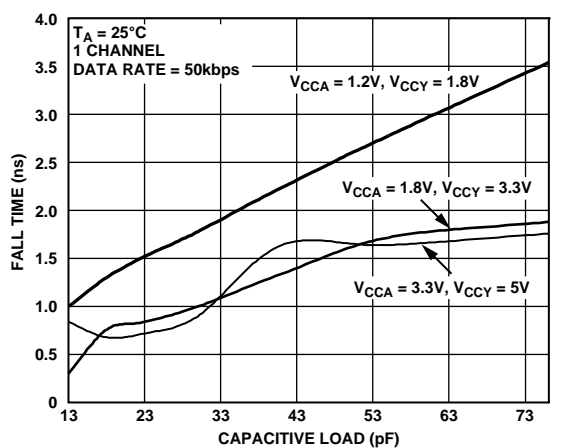


図16. 立ち下がり時間対ピン Y の容量負荷(A→Y レベル変換)

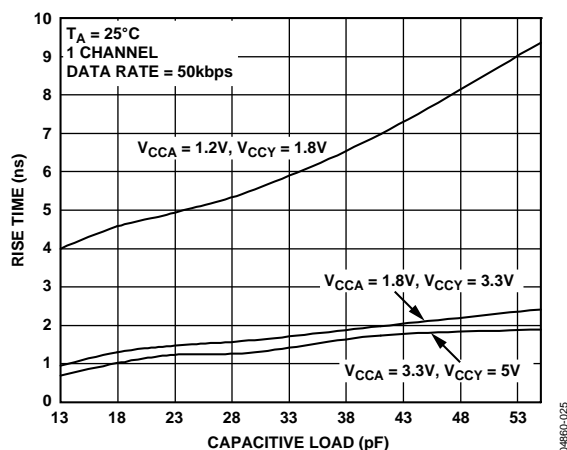


図17.立ち上がり時間対ピン A の容量負荷(Y→A レベル変換)

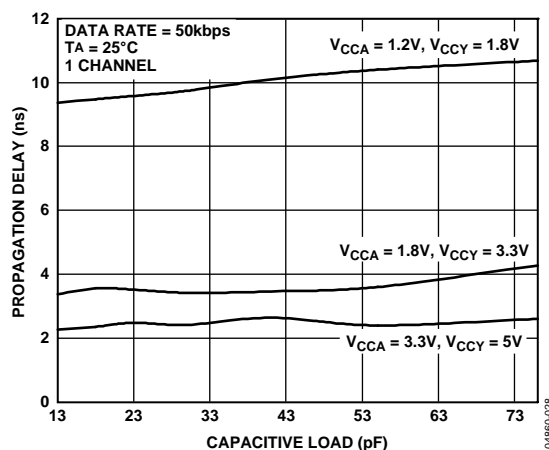


図20.伝搬遅延(t_{PHL})対
ピン Y の容量負荷(A→Y レベル変換)

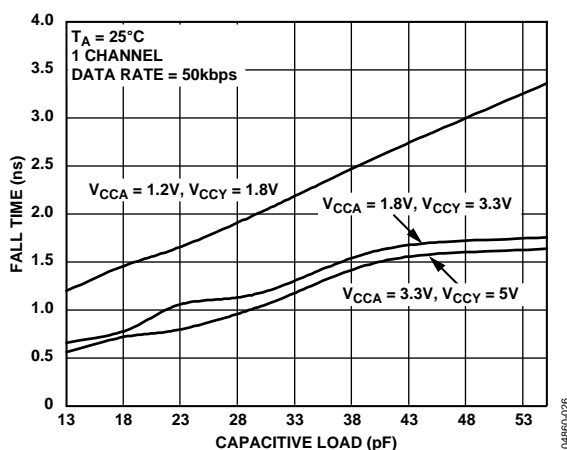


図18.立ち下がり時間対ピン A の容量負荷(Y→A レベル変換)

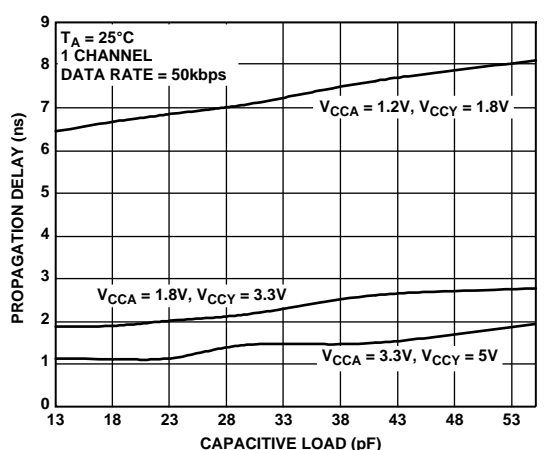


図21.伝搬遅延(t_{PLH})対
ピン A の容量負荷(Y→A レベル変換)

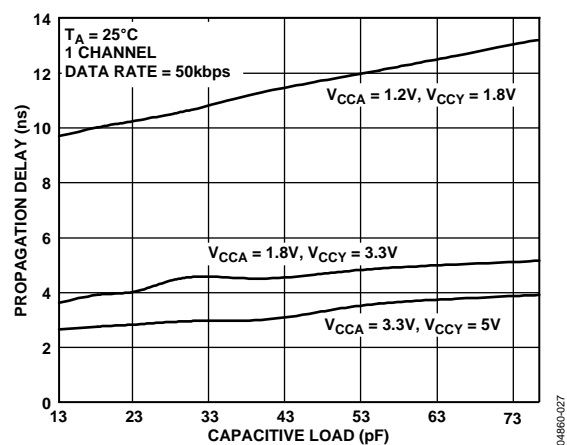


図19.伝搬遅延(t_{PLH})対
ピン Y の容量負荷(A→Y レベル変換)

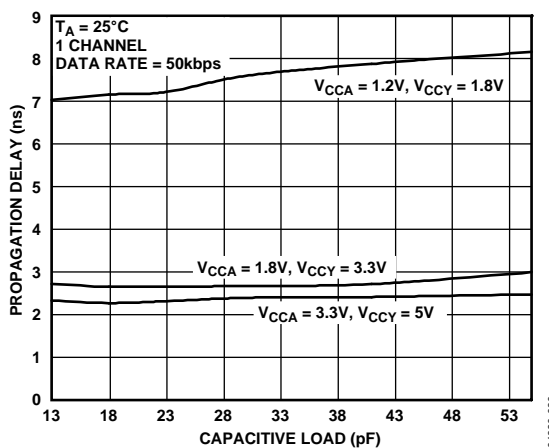


図22.伝搬遅延(t_{PHL})対
ピン A の容量負荷(Y→A レベル変換)

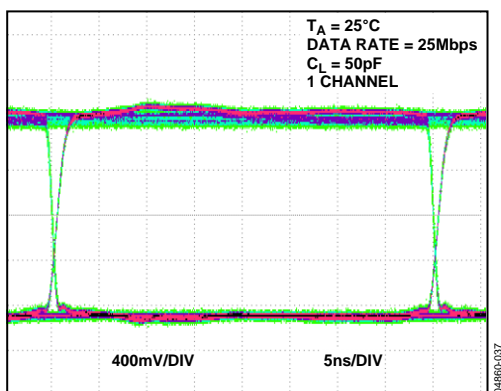


図23.アイダイアグラム、Y 出力
(1.2 V→1.8 V レベル変換、25 Mbps)

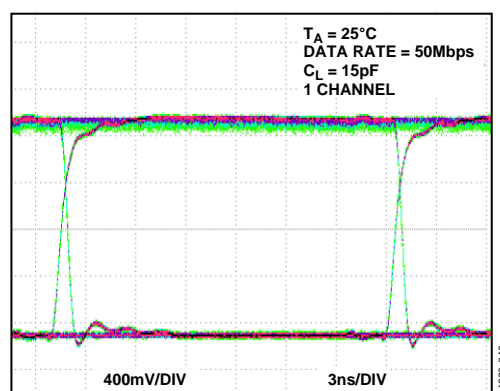


図26.アイダイアグラム、A 出力
(3.3 V→1.8 V レベル変換、50 Mbps)

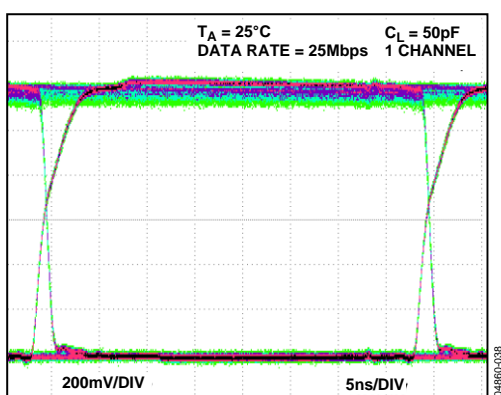


図24.アイダイアグラム、A 出力
(1.8 V→1.2 V レベル変換、25 Mbps)

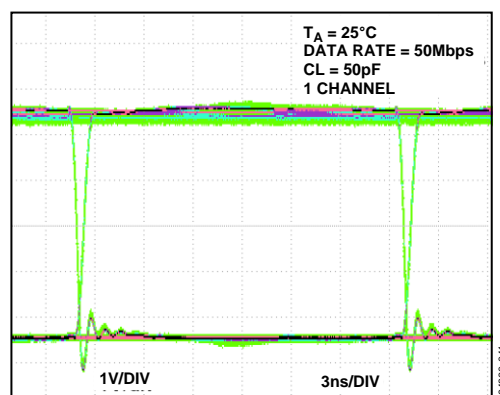


図27.アイダイアグラム、Y 出力
(3.3 V→5 V レベル変換、50 Mbps)

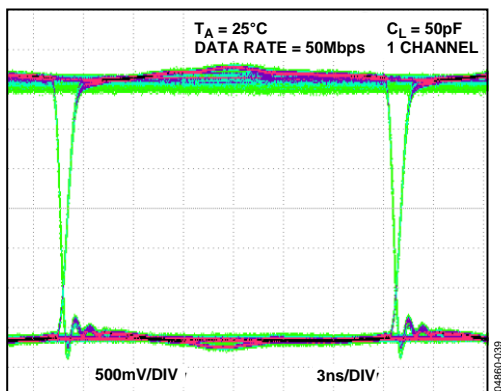


図25.アイダイアグラム、Y 出力
(1.8 V→3.3 V レベル変換、50 Mbps)

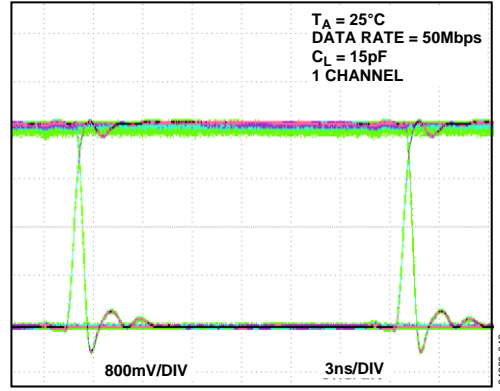


図28.アイダイアグラム、A 出力
(5 V→3.3 V レベル変換、50 Mbps)

テスト回路

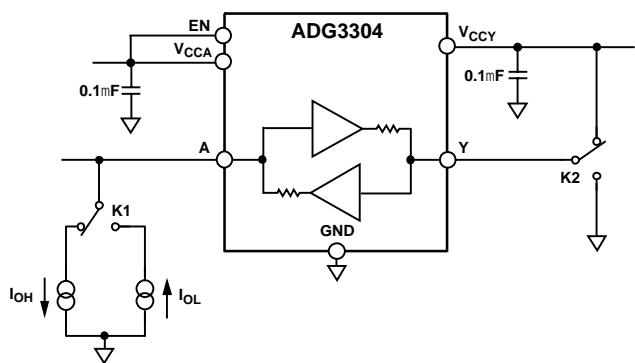


図29. V_{OH}/V_{OL} 電圧、ピン A

04860-043

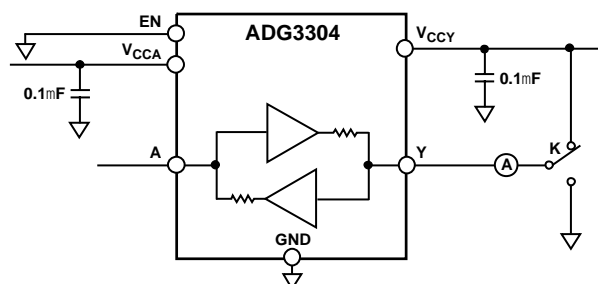


図32. スリープ状態・リーク電流、ピン Y

04860-046

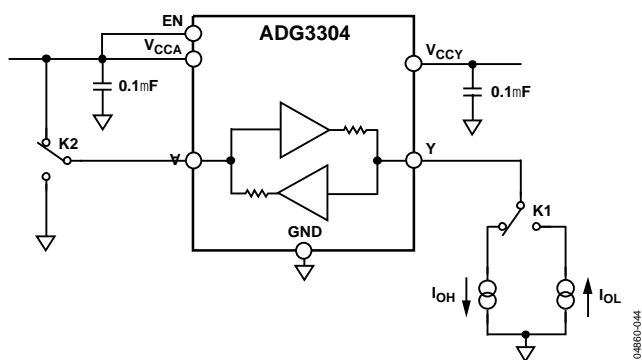


図30. V_{OH}/V_{OL} 電圧、ピン Y

04860-044

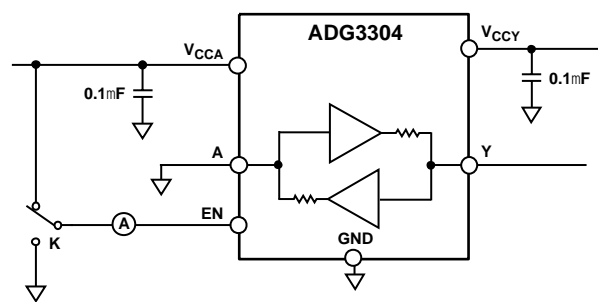


図33. EN ピン・リーク電流

04860-047

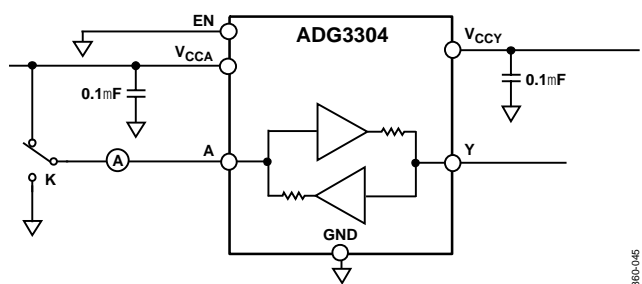


図31. スリープ状態・リーク電流、ピン A

04860-045

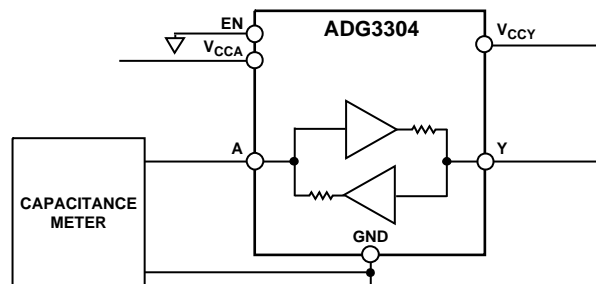


図34. ピン A の容量

04860-048

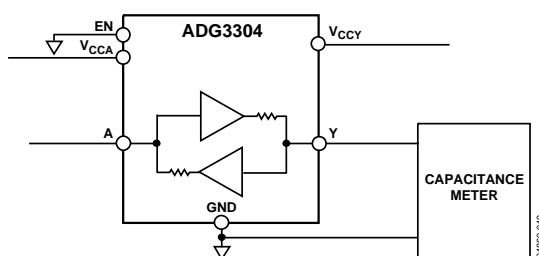
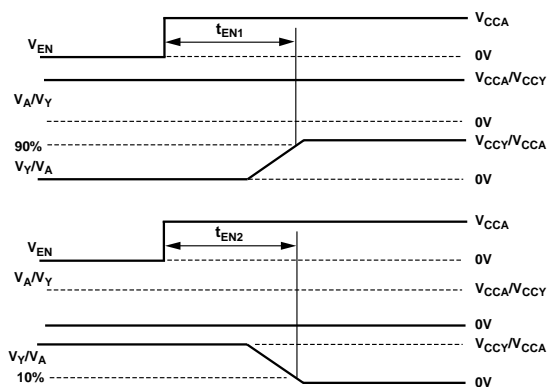
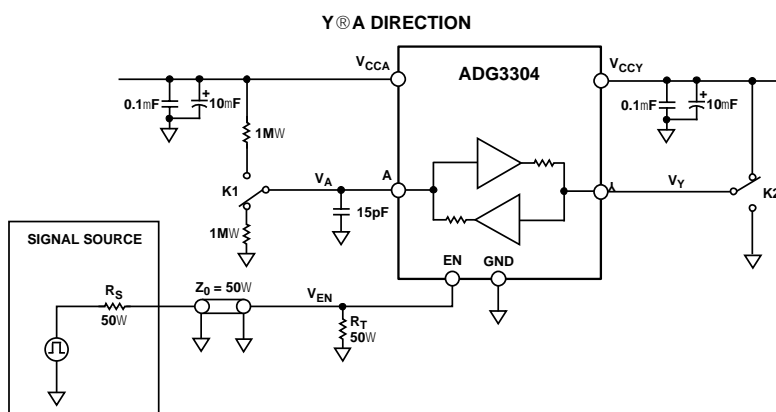
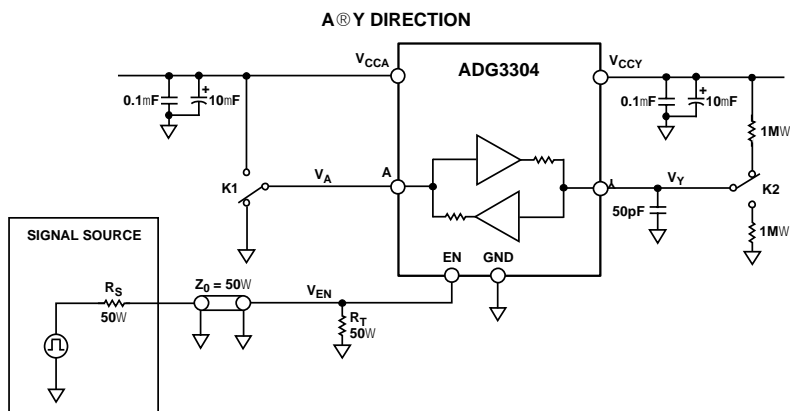


図35.ピン Y の容量



NOTES
 1. t_{EN} IS WHICHEVER IS LARGER BETWEEN t_{EN1} AND t_{EN2} IN BOTH A®Y AND Y®A DIRECTIONS.

図36.イネーブル時間

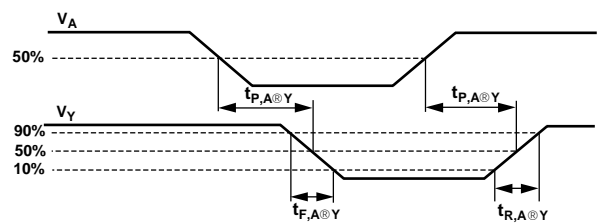
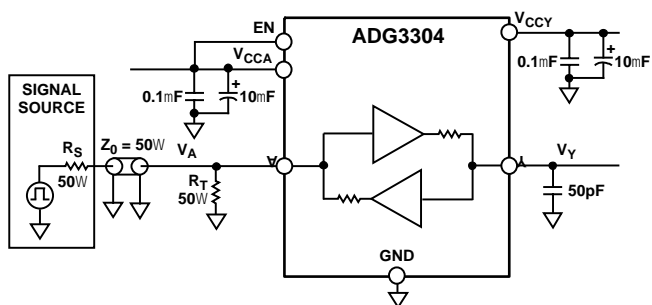


図37.スイッチング特性(A→Y レベル変換)

04860-051

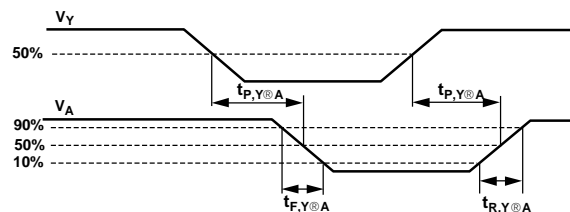
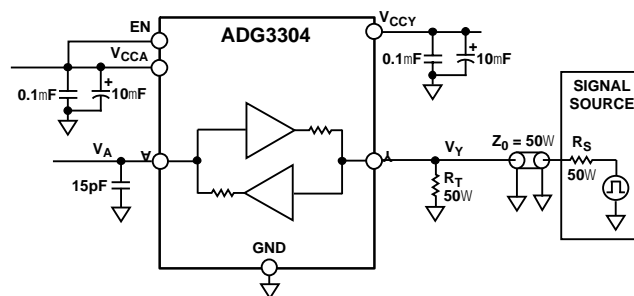


図38.スイッチング特性(Y→A レベル変換)

04860-052

用語

- V_{IHA}**
ロジック入力ハイ・レベル電圧、ピン A1～ピン A4。
- V_{ILA}**
ロジック入力ロー・レベル電圧、ピン A1～ピン A4。
- V_{OHA}**
ロジック出力ハイ・レベル電圧、ピン A1～ピン A4。
- V_{OLA}**
ロジック出力ロー・レベル電圧、ピン A1～ピン A4。
- C_A**
ピン A1～ピン A4 で測定した容量(EN = 0)。
- I_{LA, HI-Z}**
EN = 0 (ピン A1～ピン A4 が高インピーダンス状態)のときのピン A1～ピン A4 のリーク電流。
- V_{IHY}**
ロジック入力ハイ・レベル電圧、ピン Y1～ピン Y4。
- V_{ILY}**
ロジック入力ロー・レベル電圧、ピン Y1～ピン Y4。
- V_{OHY}**
ロジック出力ハイ・レベル電圧、ピン Y1～ピン Y4。
- V_{OLY}**
ロジック出力ロー・レベル電圧、ピン Y1～ピン Y4。
- C_Y**
ピン Y1～ピン Y4 (EN = 0)で測定した容量。
- I_{LY, HI-Z}**
EN = 0 (ピン Y1～ピン Y4 が高インピーダンス状態)のときのピン Y1～ピン Y4 のリーク電流。
- V_{IHEN}**
ロジック入力ハイ・レベル電圧、EN ピン。
- V_{ILEN}**
ロジック入力ロー・レベル電圧、EN ピン。
- C_{EN}**
EN ピンで測定した容量。
- I_{LEN}**
イネーブル(EN)ピンのリーク電流。
- t_{EN}**
ピン A1～ピン A4 とピン Y1～ピン Y4 のスリー・ステート・イネーブル時間。
- t_{P, A→Y}**
伝搬遅延、A→Y 方向ロジック・レベル変換時。
- t_{R, A→Y}**
A→Y 方向ロジック・レベル変換時立ち上がり時間。
- T_{F, A→Y}**
A→Y 方向ロジック・レベル変換時立ち下がり時間。
- D_{MAX, A→Y}**
表 1に規定する駆動条件および負荷条件で A→Y 方向ロジック・レベル変換時の保証データ・レート。
- T_{SKEW, A→Y}**
A→Y 方向ロジック・レベル変換時の任意の 2 チャンネル間の伝搬遅延差。
- t_{PPSKEW, A→Y}**
A→Y 方向変換時の、異なるデバイスの同じチャンネル間(同じ駆動/負荷条件)の伝搬遅延差。
- t_{P, Y→A}**
伝搬遅延、Y→A 方向ロジック・レベル変換時。
- t_{R, Y→A}**
Y→A 方向ロジック・レベル変換時立ち上がり時間。
- t_{F, Y→A}**
Y→A 方向ロジック・レベル変換時立ち下がり時間。
- D_{MAX, Y→A}**
表 1に規定する駆動条件および負荷条件で Y→A 方向ロジック・レベル変換時の保証データ・レート。
- t_{SKEW, Y→A}**
Y→A 方向ロジック・レベル変換時の任意の 2 チャンネル間の伝搬遅延差。
- t_{PPSKEW, Y→A}**
Y→A 方向変換時の、異なるデバイスの同じチャンネル間(同じ駆動/負荷条件)の伝搬遅延差。
- V_{CCA}**
V_{CCA} 電源の電圧。
- V_{CCY}**
V_{CCY} 電源の電圧。
- I_{CCA}**
V_{CCA} 電源の電流。
- I_{CCY}**
V_{CCY} 電源の電流。
- I_{HI-Z, A}**
スリー・ステート・モード(EN = 0)中の V_{CCA} 電源電流。
- I_{HI-Z, Y}**
スリー・ステート・モード(EN = 0)中の V_{CCY} 電源電流。

動作原理

ADG3304 レベル・トランスレータは、複数種類の電源電圧を使うシステムでデータ転送を行う際に必要となるレベル・シフトを可能にします。このデバイスは2種類の電源 V_{CCA} と V_{CCY} ($V_{CCA} \leq V_{CCY}$) を必要とします。これらの電源は、デバイスの両側のロジック・レベルを設定します。A ピンを駆動すると、デバイスは V_{CCA} 互換のロジック・レベルを V_{CCY} 互換のロジック・レベルに変換して Y ピンに出力します。同様に、デバイスは双方向変換が可能のため、Y ピンを駆動すると、 V_{CCY} 互換のロジック・レベルが V_{CCA} 互換のロジック・レベルに変換されて A ピンに出力されます。EN = 0 のときは、A1~A4 および Y1~Y4 のピンはスリー・ステート状態になります。EN にハイ・レベルを入力すると、ADG3304 は通常動作モードになり、レベル変換を実行します。

レベル・トランスレータ・アーキテクチャ

ADG3304 は4チャンネルの双方向チャンネルから構成されています。各チャンネルは、A→Y 方向または Y→A 方向のロジック・レベル変換を行うことができます。このデバイスは、優れたスイッチング特性を保證するワンショット・アクセラレータ・アーキテクチャを採用しています。図 39 に、簡略化した双方向チャンネルのブロック図を示します。

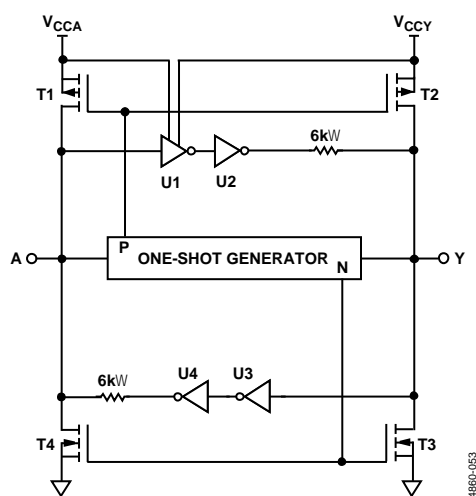


図39.ADG3304 チャンネルの簡略化したブロック図

A→Y 方向のロジック・レベル変換はレベル・トランスレータ(U1)とインバータ(U2)を使って実行し、Y→A 方向の変換はインバータ U3 と U4 を使って実行します。ワンショット・ジェネレータは、チャンネルの A 側または Y 側で発生する立ち上がりまたは立ち下がりエッジを検出し、狭いパルスを出力します。このパルスは、立ち上がりエッジに対しては PMOS トランジスタ(T1~T2)を、立ち下がりエッジに対しては NMOS トランジスタ(T3~T4)を、それぞれターンオンさせます。これにより、容量負荷の充電/放電が速くなり、その結果立ち上がり時間と立ち下がり時間が高速化します。

未使用チャンネル(A または Y)の入力は、対応する V_{CC} (V_{CCA} または V_{CCY}) または GND に接続しておく必要があります。

入力駆動条件

ADG3304 を正しく動作させるためには、ADG3304 チャンネルの入力を駆動する回路の出力インピーダンスは 150Ω 以下である必要があります、最小電流駆動能力は 36 mA である必要があります。

出力負荷条件

ADG3304 レベル・トランスレータは、CMOS 互換負荷を駆動するようにデザインされています。電流駆動能力が必要とされる場合は、ADG3304 出力と負荷の間にバッファを使うことが推奨されます。

イネーブル動作

ADG3304 はイネーブル(EN)ピンを使って、Aピンと Y I/O ピンでスリー・ステート動作を提供します(表5)。

表5.真理値表

EN	Y I/O Pins	A I/O Pins
0	Hi-Z ¹	Hi-Z ¹
1	Normal operation ²	Normal operation ²

¹ 高インピーダンス状態。

² 通常動作で、ADG3304 がレベル変換を実行。

EN = 0 のとき、ADG3304 はスリー・ステート・モードになります。このモードでは、 V_{CCA} 電源と V_{CCY} 電源の消費電流が減少して、省電力が可能になります。これは特に、バッテリー駆動のシステムでは重要です。EN 入力ピンは、 V_{CCA} 互換または V_{CCY} 互換のロジック・レベルでのみ駆動可能です。

電源

ADG3304 の正常動作のためには、 V_{CCA} に加えられる電圧は、必ず V_{CCY} に加えられる電圧以下である必要があります。この条件を満たすための推奨パワーアップ・シーケンスは、 V_{CCY} を先に立ち上げ、その後に V_{CCA} を立ち上げることです。ADG3304 は、両電源電圧が公称値に到達した後でのみ正常に動作します。パワーアップ時に、 V_{CCA} 電源からの電流が大幅に増加するために V_{CCA} が V_{CCY} より高くなってしまふようなシステムで、このデバイスを使用することは推奨できません。最適性能を得るためには、デバイスのできるだけ近くで V_{CCA} ピンと V_{CCY} ピンを GND にデカップリングする必要があります。

データレート

デバイスの動作が保証される最大データ・レートは、 V_{CCA} および V_{CCY} の電源電圧の組み合わせと負荷容量の関数になります。この最大データ・レートは、デバイスに入力できる方形波の最大周波数で規定され、この方形波は出力で V_{OH} レベルと V_{OL} レベルを満たし、かつ最大ジャンクション温度を超えない必要があります(絶対最大定格のセクション参照)。表6に、さまざまな V_{CCA} 電源と V_{CCY} 電源の組み合わせに対して、両方向で(A→YまたはY→Aのレベル変換)ADG3304が動作できる保証データ・レートを示します。

表6.保証データレート(Mbps)¹

V_{CCA}	V_{CCY}			
	1.8 V (1.65 V to 1.95 V)	2.5 V (2.3 V to 2.7 V)	3.3 V (3.0 V to 3.6 V)	5 V (4.5 V to 5.5 V)
1.2 V (1.15 V to 1.3 V)	25	30	40	40
1.8 V (1.65 V to 1.95 V)	-	45	50	50
2.5 V (2.3 V to 2.7 V)	-	-	60	50
3.3 V (3.0 V to 3.6 V)	-	-	-	50
5 V (4.5 V to 5.5 V)	-	-	-	-

¹ A→Y方向の変換の場合は50 pFを、Y→A方向の変換の場合は15 pFを、それぞれ負荷容量として使用。

アプリケーション

ADG3304は、異なる電源電圧で動作するためにロジック・レベル変換が必要となるデジタル回路を対象としてデザインされています。低い電圧のロジック信号はAピンに、高い電圧のロジック信号はYピンに、それぞれ接続します。ADG3304は4チャンネルすべてでA→YまたはY→Aの両方向のレベル変換を提供することができるので、各方向のレベル・トランスレータICが不要になります。内部アーキテクチャにより、このADG3304は変換を行う方向を設定する信号なしで、双方向ロジック・レベル変換を実行することができます。また、同じデバイス上で両方向の同時データ通過も可能にします。たとえば、2チャンネルでA→Y方向の変換を行うと同時に、他の2チャンネルでY→A方向の変換を行うことができます。このために、方向信号に対するタイミングが不要になるのでデザインが簡素化され、レベル変換に使用するIC数も削減されます。

図40に、1.8Vと3.3Vで動作する2個のマイクロプロセッサが、TX1/RX1とTX2/RX2の2つの全二重シリアル・リンクを使いデータを同時に転送できるアプリケーションを示します。

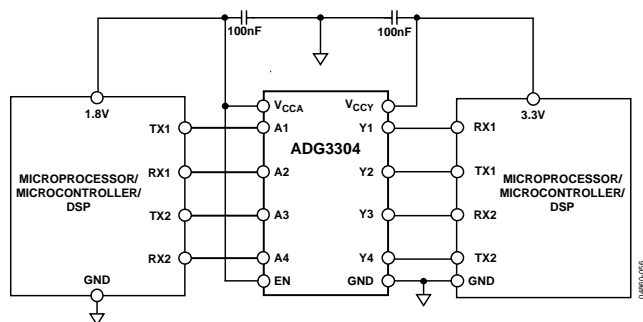


図40.2つの全二重シリアル・リンクでの
1.8V→3.3Vレベル変換回路

アプリケーションで、マイクロプロセッサと複数のペリフェラル・デバイスとの間でレベル変換が必要とされる場合、EN=0に設定して、ADG3304のI/Oピンをスリー・ステート状態にすることができます。この機能を使うと、ADG3304はデータ・バスを他のデバイスと競合することなく共用することができます。図41に、1.8Vのマイクロプロセッサと3.3Vのペリフェラル・デバイスをこのスリー・ステート機能を使って接続するアプリケーションを示します。

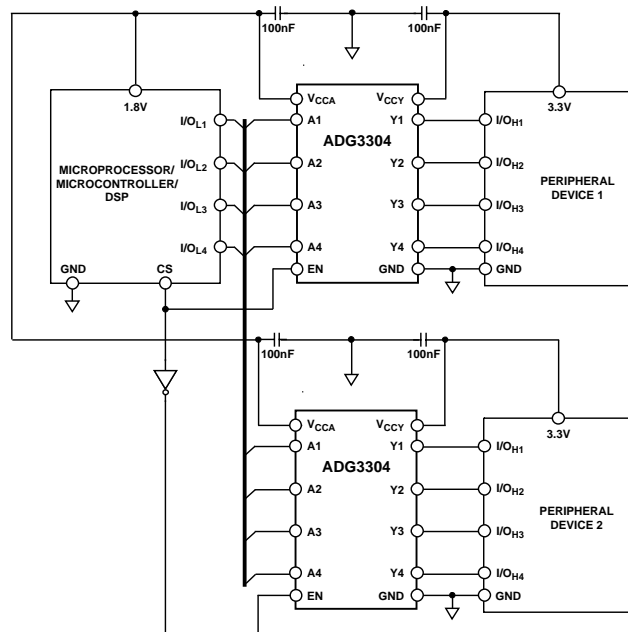
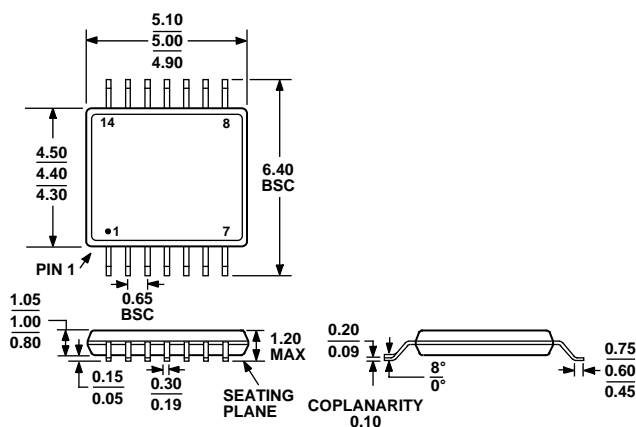


図41.スリー・ステート機能を使った1.8Vと3.3Vとの間のレベル変換回路

レイアウトのガイドライン

すべての高速デジタルICの場合と同様に、回路全体の性能にとってプリント回路ボードのレイアウトは重要です。高速信号に対する適切な電源バイパスとリターン・パスを実現するために注意が必要です。各V_{CC}ピン(V_{CCA}とV_{CCY})は、小さい実効直列抵抗(ESR)と小さい実効直列インダクタンス(ESI)を持つコンデンサをV_{CCA}ピンとV_{CCY}ピンのできるだけ近くに配置してバイパスする必要があります。高速信号パターンの寄生インダクタンスは、大きなオーバーシュートを発生させることがあります。この影響は、パターンを短くすることにより軽減することができます。リターン・パス(GND)には、しっかりした銅プレーンの使用も推奨されます。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-153-AB-1

図42.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-14)
寸法: mm

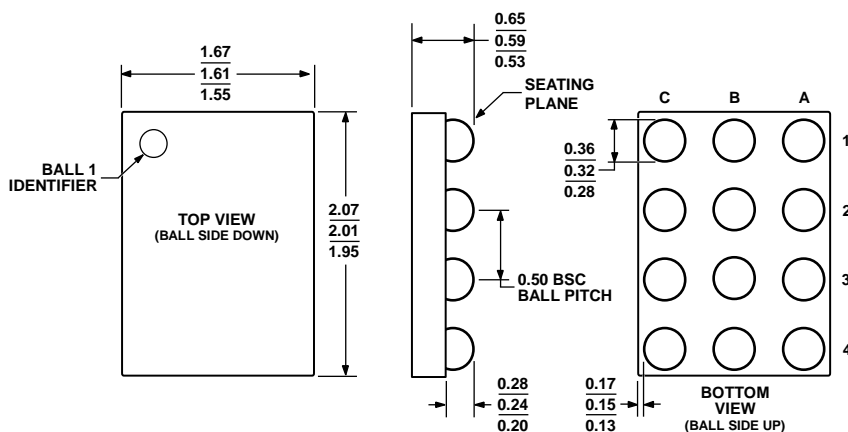
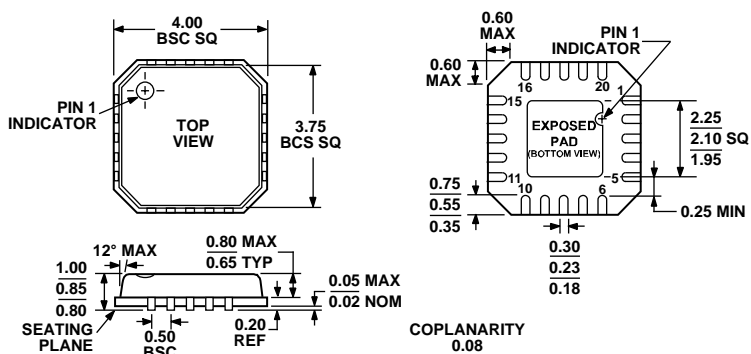


図43.12 ボール・ウェハー・レベル・チップ・スケール・パッケージ[WLCSP]
(CB-12)
寸法: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-1

図44.20 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-20-1)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Branding ¹	Package Option
ADG3304BRUZ ²	-40°C to +85°C	14-Lead Thin Shrink Small Outline Package [TSSOP]		RU-14
ADG3304BRUZ-REEL ²	-40°C to +85°C	14-Lead Thin Shrink Small Outline Package [TSSOP]		RU-14
ADG3304BRUZ-REEL7 ²	-40°C to +85°C	14-Lead Thin Shrink Small Outline Package [TSSOP]		RU-14
ADG3304BCPZ-REEL ²	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]		CP-20-1
ADG3304BCPZ-REEL7 ²	-40°C to +85°C	20-Lead Lead Frame Chip Scale Package [LFCSP_VQ]		CP-20-1
ADG3304BCBZ-REEL ²	-25°C to +85°C	12-Ball Wafer Level Chip Scale Package [WLCSP]	SDC	CB-12
ADG3304BCBZ-REEL7 ²	-25°C to +85°C	12-Ball Wafer Level Chip Scale Package [WLCSP]	SDC	CB-12

¹ これらのパッケージのブランド表示はスペースの制約から3文字に制限されています。

² Z = 鉛フリー製品。