

特長

- I²C互換インターフェース
- 3.4MHzの高速I²Cインターフェース・オプション
- 32ピンLFCSP_VQパッケージ (5mm×5mm)
- ダブルバッファ入力ロジック
- 複数のスイッチの同時更新機能
- 帯域幅：最大300MHz
- ±5Vの両電源／+12Vの単電源で全仕様を規定
- オン抵抗：35Ω (max)
- 低い静止電流：<20μA

アプリケーション

- TVのAVスイッチング
- 自動車用インフォテインメント機器
- AVレシーバ
- CCTV
- 超音波アプリケーション
- KVMスイッチング
- 電気通信アプリケーション
- テスト装置／計測機器
- PBXシステム

概要

ADG2128は、アレイ・サイズが8×12のアナログ・クロスポイント・スイッチです。このスイッチ・アレイは8列×12行、合計96のスイッチ・チャンネルで構成されています。アレイは双方向のため、行と列を入力、出力のいずれにも構成できます。I²C互換のインターフェースを使用して、96個の各スイッチのアドレス指定と設定を実行できます。標準、ファースト、ハイスピード (3.4MHz) のI²Cインターフェースに対応しています。任意のスイッチを組み合わせて同時に動作させることが可能です。LDSWコマンドを使用してスイッチを同時に更新することもできます。さらに、RESETオプションですべてのスイッチ・チャンネルをリセットまたはオフにできます。電源投入時には、すべてのスイッチがオフの状態になります。ADG2128は、32ピン5mm×5mm LFCSP_VQパッケージを採用しています。

機能ブロック図

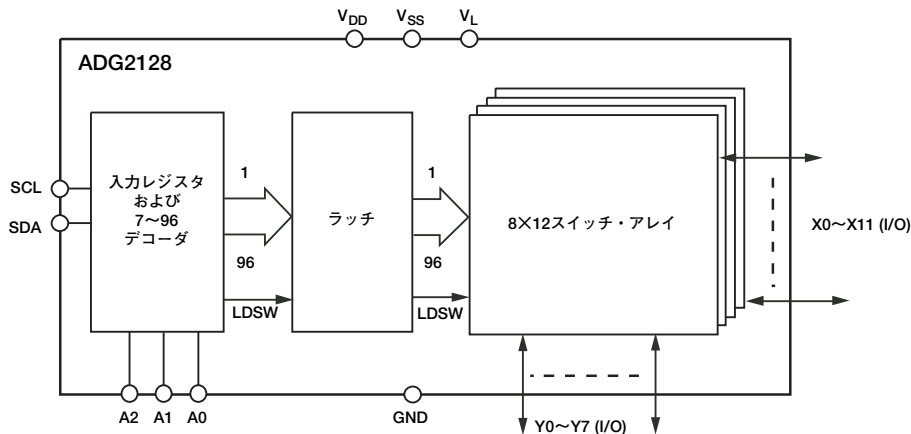


図1

05464001

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

REV. A

ADG2128

目次

特長	1	ロード・スイッチ (LDSW)	18
アプリケーション	1	読出し	18
概要	1	シリアル・インターフェース	19
機能ブロック図	1	ハイスピードFCインターフェース	19
改訂履歴	2	シリアル・バス・アドレス	19
仕様	3	ADG2128への書込み	20
FCタイミグ仕様	7	入力シフト・レジスタ	20
タイミグ図	8	書込み動作	22
絶対最大定格	9	読出し動作	22
ESDに関する注意	9	評価用ボード	24
ピン配置と機能の説明	10	ADG2128評価用ボードの使用方法	24
代表的な性能特性	11	電源	24
テスト回路	15	回路図	25
用語の説明	17	外形寸法	27
動作原理	18	オーダー・ガイド	27
RESET/パワーオン・リセット	18		

改訂履歴

5/06—Rev. 0 to Rev. A

Added FC Information	Universal
Changes to Table 1	3
Changes to Table 2	5
Changes to Table 4	9
Changes to Figure 24	14
Changes to Terminology Section	17
Changes to Figure 35	23
Changes to the Ordering Guide	27

1/06—Revision 0: Initial Version

仕様

$V_{DD}=12V \pm 10\%$ 、 $V_{SS}=0V$ 、 $V_L=5V$ 、 $GND=0V$ 、特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。¹⁾

表1

パラメータ	Bバージョン -40~		Yバージョン -40~		単位	条件
	+25°C	+85°C	+25°C	125°C		
アナログ・スイッチ アナログ信号範囲 オン抵抗 (R_{ON})	$V_{DD}-2V$		$V_{DD}-2V$		V (max)	$V_{DD}=+10.8V$ 、 $V_{IN}=0V$ 、 $I_S=-10mA$
	30		30		Ω (typ)	
	35	40	35	42	Ω (max)	$V_{DD}=+10.8V$ 、 $V_{IN}=+1.4V$ 、 $I_S=-10mA$
	32		32		Ω (typ)	
	37	42	37	47	Ω (max)	$V_{DD}=+10.8V$ 、 $V_{IN}=+5.4V$ 、 $I_S=-10mA$
	45		45		Ω (typ)	
	50	57	50	62	Ω (max)	$V_{DD}=+10.8V$ 、 $V_{IN}=0V$ 、 $I_S=-10mA$
チャンネル間の オン抵抗マッチング (ΔR_{ON})	4.5		4.5		Ω (typ)	
	8	9	8	10	Ω (max)	$V_{DD}=10.8V$ 、 $V_{IN}=0 \sim +1.4V$ 、 $I_S=-10mA$
オン抵抗平坦性 ($R_{FLAT(ON)}$)	2.3		2.3		Ω (typ)	
	3.5	4	3.5	5	Ω (max)	$V_{DD}=10.8V$ 、 $V_{IN}=0 \sim +5.4V$ 、 $I_S=-10mA$
	14.5		14.5		Ω (typ)	
	18	20	18	22	Ω (max)	
リーク電流 チャンネル・オフ時リーク (I_{OFF})	± 0.03		± 0.03		μA (typ)	$V_{DD}=13.2V$
チャンネル・オン時リーク (I_{ON})	± 0.03		± 0.03		μA (typ)	$V_X=7V/1V$ 、 $V_Y=1V/7V$ $V_X=V_Y=1$ または $7V$
動的特性 ²⁾						
C_{OFF}	11		11		pF (typ)	$R_L=300\Omega$ 、 $C_L=35pF$
C_{ON}	18.5		18.5		pF (typ)	
t_{ON}	170		170		ns (typ)	$R_L=300\Omega$ 、 $C_L=35pF$
	185	190	185	195	ns (max)	
t_{OFF}	210		210		ns (typ)	$R_L=300\Omega$ 、 $C_L=35pF$
	250	255	250	260	ns (max)	
THD+N	0.04		0.04		% (typ)	$R_L=10k\Omega$ 、 $f=20Hz \sim 20kHz$ 、 $V_S=1Vp-p$
PSRR			90		dB (typ)	$f=20kHz$ 、デカップリングなし、 図24を参照
-3dB帯域幅	210		210		MHz (typ)	個々の入出力間
	16.5		16.5		MHz (typ)	8個の入力と1個の出力間
オフ・アイソレーション チャンネル間クロストーク	-69		-69		dB (typ)	$R_L=75\Omega$ 、 $C_L=5pF$ 、 $f=5MHz$ $R_L=75\Omega$ 、 $C_L=5pF$ 、 $f=5MHz$
隣接チャンネル間	-63		-63		dB (typ)	
非隣接チャンネル間	-76		-76		dB (typ)	
微分ゲイン	0.4		0.4		% (typ)	$R_L=75\Omega$ 、 $C_L=5pF$ 、 $f=5MHz$
微分位相	0.6		0.6		$^\circ$ (typ)	$R_L=75\Omega$ 、 $C_L=5pF$ 、 $f=5MHz$
電荷注入	-3.5		-3.5		pC (typ)	$V_S=4V$ 、 $R_S=0\Omega$ 、 $C_L=1nF$

ADG2128

パラメータ	Bバージョン -40~		Yバージョン -40~		単位	条件
	+25℃	+85℃	+25℃	125℃		
ロジック入力 (Ax、 $\overline{\text{RESET}}$) ²						
ハイレベル入力電圧 (V_{INH})		2.0		2.0	V (min)	
ローレベル入力電圧 (V_{INL})		0.8		0.8	V (max)	
入力リーク電流 (I_{IN})	0.005		0.005		μA (typ)	
		± 1		± 1	μA (max)	
入力容量 (C_{IN})	7		7		pF (typ)	
ロジック入力 (SCL、SDA) ²						
ハイレベル入力電圧 (V_{INH})		$0.7V_{\text{L}}$		$0.7V_{\text{L}}$	V (min)	$V_{\text{IN}}=0\text{V}\sim V_{\text{L}}$
		$V_{\text{L}}+0.3$		$V_{\text{L}}+0.3$	V (max)	
ローレベル入力電圧 (V_{INL})		-0.3		-0.3	V (min)	
		$0.3V_{\text{L}}$		$0.3V_{\text{L}}$	V (max)	
入力リーク電流 (I_{IN})	0.005		0.005		μA (typ)	
		± 1		± 1	μA (max)	
入力ヒステリシス		$0.05V_{\text{L}}$		$0.05V_{\text{L}}$	V (min)	
入力容量 (C_{IN})	7		7		pF (typ)	
ロジック出力 (SDA) ²						
ローレベル出力電圧 (V_{OL})		0.4		0.4	V (max)	$I_{\text{SINK}}=3\text{mA}$
		0.6		0.6	V (max)	$I_{\text{SINK}}=6\text{mA}$
フロート状態リーク電流		± 1		± 1	μA (max)	
電源						
I_{DD}	0.05		0.05		μA (typ)	デジタル入力=0Vまたは V_{L}
		1		1	μA (max)	
I_{SS}	0.05		0.05		μA (typ)	デジタル入力=0Vまたは V_{L}
		1		1	μA (max)	
I_{L}						デジタル入力=0Vまたは V_{L}
インターフェース非アクティブ時	0.3		0.3		μA (typ)	
		2		2	μA (max)	
インターフェース・アクティブ時:	0.1		0.1		mA (typ)	
400kHzの f_{SCL}		0.2		0.2	mA (max)	
インターフェース・アクティブ時:	0.4		0.4		mA (typ)	HSモデルのみ
3.4MHzの f_{SCL}		1.2		1.7	mA (max)	

¹ 温度範囲はBバージョンが-40~+85℃、Yバージョンが-40~+125℃です。

² これらの仕様については出荷テストを行っていませんが、設計により保証しています。

$V_{DD} = +5V \pm 10\%$ 、 $V_{SS} = -5V \pm 10\%$ 、 $V_L = 5V$ 、 $GND = 0V$ 、特に指定のない限り、すべての仕様は $T_{MIN} \sim T_{MAX}$ で規定。*

表2

パラメータ	Bバージョン -40~		Yバージョン -40~		単位	条件
	+25°C	+125°C	+25°C	125°C		
アナログ・スイッチ アナログ信号範囲 オン抵抗 (R_{ON})	34		34		V (max) Ω (typ)	$V_{DD} = +4.5V$ 、 $V_{SS} = -4.5V$ 、 $V_{IN} = V_{SS}$ 、 $I_S = -10mA$
	40	45	40	50	Ω (max)	
	50		50		Ω (typ)	$V_{DD} = +4.5V$ 、 $V_{SS} = -4.5V$ 、 $V_{IN} = 0V$ 、 $I_S = -10mA$
	55	65	55	70	Ω (max)	
	66		66		Ω (typ)	$V_{DD} = +4.5V$ 、 $V_{SS} = -4.5V$ 、 $V_{IN} = +1.4V$ 、 $I_S = -10mA$
	75	85	75	95	Ω (max)	
チャンネル間の オン抵抗マッチング (ΔR_{ON})	4.5		4.5		Ω (typ)	$V_{DD} = +4.5V$ 、 $V_{SS} = -4.5V$ 、 $V_{IN} = V_{SS}$ 、 $I_S = -10mA$
オン抵抗平坦性 ($R_{FLAT(ON)}$)	8	9	8	10	Ω (max)	
	17		17		Ω (typ)	$V_{DD} = +4.5V$ 、 $V_{SS} = -4.5V$ 、 $V_{IN} = V_{SS} \sim 0V$ 、 $I_S = -10mA$
	20	23	20	25	Ω (max)	
	34		34		Ω (typ)	$V_{DD} = +4.5V$ 、 $V_{SS} = -4.5V$ 、 $V_{IN} = V_{SS} \sim +1.4V$ 、 $I_S = -10mA$
	42	45	42	48	Ω (max)	
リーク電流 チャンネル・オフ時リーク (I_{OFF})	± 0.03		± 0.03		μA (typ)	$V_{DD} = 5.5V$ 、 $V_{SS} = 5.5V$ $V_X = +4.5V/-2V$ 、 $V_Y = -2V/+4.5V$
チャンネル・オン時リーク (I_{ON})	± 0.03		± 0.03		μA (typ)	$V_X = V_Y = -2$ または $+4.5V$
動的特性 ²						
C_{OFF}	6		6		pF (typ)	
C_{ON}	9.5		9.5		pF (typ)	
t_{ON}	170		170		ns (typ)	$R_L = 300\Omega$ 、 $C_L = 35pF$
	200	215	200	220	ns (max)	
t_{OFF}	210		210		ns (typ)	$R_L = 300\Omega$ 、 $C_L = 35pF$
	250	255	250	260	ns (max)	
THD+N	0.04		0.04		% (typ)	$R_L = 10k\Omega$ 、 $f = 20Hz \sim 20kHz$ 、 $V_S = 1Vp-p$
PSRR			90		dB (typ)	$f = 20kHz$ 、デカップリングなし、 図24を参照
-3dB帯域幅	300		300		MHz (typ)	個々の入出力間
	18		18		MHz (typ)	8個の入力と1個の出力間
オフ・アイソレーション チャンネル間クロストーク	-66		-64		dB (typ)	$R_L = 75\Omega$ 、 $C_L = 5pF$ 、 $f = 5MHz$ $R_L = 75\Omega$ 、 $C_L = 5pF$ 、 $f = 5MHz$
隣接チャンネル間	-62		-62		dB (typ)	
非隣接チャンネル間	-79		-79		dB (typ)	
微分ゲイン	1.5		1.5		% (typ)	$R_L = 75\Omega$ 、 $C_L = 5pF$ 、 $f = 5MHz$
微分位相	1.8		1.8		° (typ)	$R_L = 75\Omega$ 、 $C_L = 5pF$ 、 $f = 5MHz$
電荷注入	-3		-3		pC (typ)	$V_S = 0V$ 、 $R_S = 0\Omega$ 、 $C_L = 1nF$

ADG2128

パラメータ	Bバージョン -40~		Yバージョン -40~		単位	条件
	+25℃	+85℃	+25℃	125℃		
ロジック入力 (Ax、 $\overline{\text{RESET}}$) ²						
ハイレベル入力電圧 (V_{INH})		2.0		2.0	V (min)	
ローレベル入力電圧 (V_{INL})		0.8		0.8	V (max)	
入力リーク電流 (I_{IN})	0.005		0.005		μA (typ)	
		± 1		± 1	μA (max)	
入力容量 (C_{IN})	7		7		pF (typ)	
ロジック入力 (SCL、SDA) ²						
ハイレベル入力電圧 (V_{INH})		$0.7V_{\text{L}}$		$0.7V_{\text{L}}$	V (min)	$V_{\text{IN}}=0\text{V}\sim V_{\text{L}}$
		$V_{\text{L}}+0.3$		$V_{\text{L}}+0.3$	V (max)	
ローレベル入力電圧 (V_{INL})		-0.3		-0.3	V (min)	
		$0.3V_{\text{L}}$		$0.3V_{\text{L}}$	V (max)	
入力リーク電流 (I_{IN})	0.005		0.005		μA (typ)	
		± 1		± 1	μA (max)	
入力ヒステリシス		$0.05V_{\text{L}}$		$0.05V_{\text{L}}$	V (min)	
入力容量 (C_{IN})	7		7		pF (typ)	
ロジック出力 (SDA) ²						
ローレベル出力電圧 (V_{OL})		0.4		0.4	V (max)	$I_{\text{SINK}}=3\text{mA}$
		0.6		0.6	V (max)	$I_{\text{SINK}}=6\text{mA}$
フロート状態リーク電流		± 1		± 1	μA (max)	
電源						
I_{DD}	0.05		0.05		μA (typ)	デジタル入力=0Vまたは V_{L}
		1		1	μA (max)	
I_{SS}	0.05		0.05		μA (typ)	デジタル入力=0Vまたは V_{L}
		1		1	μA (max)	
I_{L}						デジタル入力=0Vまたは V_{L}
インターフェース非アクティブ時	0.3		0.3		μA (typ)	
		2		2	μA (max)	
インターフェース・アクティブ時:	0.1		0.1		mA (typ)	
400kHzの f_{SCL}		0.1		0.1	mA (max)	
インターフェース・アクティブ時:	0.4		0.4		mA (typ)	HSモデルのみ
3.4MHzの f_{SCL}		0.3		0.3	mA (max)	

¹ 温度範囲はBバージョンが-40~+85℃、Yバージョンが-40~+125℃です。

² これらの仕様については出荷テストを行っていませんが、設計により保証しています。

I²C タイミング仕様

特に指定のない限り、 $V_{DD}=5\sim 12V$ 、 $V_{SS}=-5\sim 0V$ 、 $V_L=5V$ 、 $GND=0V$ 、 $T_A=T_{MIN}\sim T_{MAX}$ (図2を参照)。

表3

パラメータ ¹	条件	T_{MIN} 、 T_{MAX} 時のADG2128の 限界値		単位	説明
		Min	Max		
f_{SCL}	標準モード		100	kHz	シリアル・クロック周波数
	ファースト・モード		400	kHz	
	ハイスピード・モード ²				
	$C_B=100pF$ (max)		3.4	MHz	
	$C_B=400pF$ (max)		1.7	MHz	
t_1	標準モード	4		μs	SCLハイレベル時間 (t_{HIGH})
	ファースト・モード	0.6		μs	
	ハイスピード・モード ²				
	$C_B=100pF$ (max)	60		ns	
	$C_B=400pF$ (max)	120		ns	
t_2	標準モード	4.7		μs	SCLローレベル時間 (t_{LOW})
	ファースト・モード	1.3		μs	
	ハイスピード・モード ²				
	$C_B=100pF$ (max)	160		ns	
	$C_B=400pF$ (max)	320		ns	
t_3	標準モード	250		ns	データのセットアップ時間 ($t_{SU:DAT}$)
	ファースト・モード	100		ns	
	ハイスピード・モード ²	10		ns	
t_4^3	標準モード	0	3.45	μs	データのホールド時間 ($t_{HD:DAT}$)
	ファースト・モード	0	0.9	μs	
	ハイスピード・モード ²				
	$C_B=100pF$ (max)	0	70	ns	
	$C_B=400pF$ (max)	0	150	ns	
t_5	標準モード	4.7		μs	反復スタート状態のセットアップ時間 ($t_{SU:STA}$)
	ファースト・モード	0.6		μs	
	ハイスピード・モード ²	160		ns	
t_6	標準モード	4		μs	反復スタート状態のホールド時間 ($t_{HD:STA}$)
	ファースト・モード	0.6		μs	
	ハイスピード・モード ²	160		ns	
t_7	標準モード	4.7		μs	ストップ状態とスタート状態の間のバス・フリー時間 (t_{BUF})
	ファースト・モード	1.3		μs	
t_8	標準モード	4		μs	ストップ状態のセットアップ時間 ($t_{SU:STO}$)
	ファースト・モード	0.6		μs	
	ハイスピード・モード ²	160		ns	
t_9	標準モード		1000	ns	SDA信号の立上がり時間 (t_{RDA})
	ファースト・モード	$20+0.1C_B$	300	ns	
	ハイスピード・モード ²				
	$C_B=100pF$ (max)	10	80	ns	
	$C_B=400pF$ (max)	20	160	ns	

ADG2128

パラメータ ¹	条件	T _{MIN} 、T _{MAX} 時のADG2128の 限界値		単位	説明
		Min	Max		
t ₁₀	標準モード		300	ns	SDA信号の立下がり時間 (t _{FDA})
	ファースト・モード	20+0.1C _B	300	ns	
	ハイスピード・モード ²				
	C _B =100pF (max) C _B =400pF (max)	10 20	80 160	ns ns	
t ₁₁	標準モード		1000	ns	SCL信号の立上がり時間 (t _{RCL})
	ファースト・モード	20+0.1C _B	300	ns	
	ハイスピード・モード ²				
	C _B =100pF (max) C _B =400pF (max)	10 20	40 80	ns ns	
t _{11A}	標準モード		1000	ns	反復スタート状態およびアックノレッジ・ ビット後のSCL信号の立上がり時間 (t _{RCL1})
	ファースト・モード	20+0.1C _B	300	ns	
	ハイスピード・モード ²				
	C _B =100pF (max) C _B =400pF (max)	10 20	80 160	ns ns	
t ₁₂	標準モード		300	ns	SCL信号の立下がり時間 (t _{FCL})
	ファースト・モード	20+0.1C _B	300	ns	
	ハイスピード・モード ²				
	C _B =100pF (max) C _B =400pF (max)	10 20	40 80	ns ns	
t _{SP}	ファースト・モード	0	50	ns	抑制されたスパイクのパルス幅
	ハイスピード・モード ²	0	10	ns	

¹ 量産開始時の特性評価により保証しています。すべての値は入力フィルタリングをイネーブルにした状態で測定しています。C_Bはバス・ライン上の容量性負荷を示し、t_Rとt_Fは0.3~0.7VのV_{DD}範囲で測定したタイミング値です。

² HSモデルに限りハイスピードFCを利用できます。

³ SCL信号の立下がりエッジの未定義領域をSDA信号が埋めるためのデータ・ホールド時間をADG2128で規定することが必要です。

タイミング図

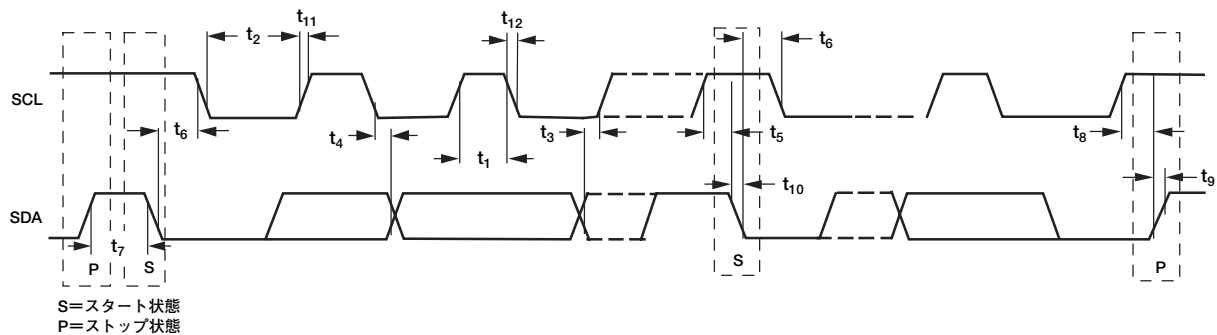


図2. 2線シリアル・インターフェースのタイミング図

05464-002

絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$ 。

表4

パラメータ	定格値
$V_{DD}\sim V_{SS}$	15V
GNDに対する V_{DD}	-0.3~+15V
GNDに対する V_{SS}	+0.3~-7V
GNDに対する V_L	-0.3~+7V
アナログ入力	$V_{SS}-0.3\text{V}\sim V_{DD}+0.3\text{V}$
デジタル入力	-0.3V~ $V_L+0.3\text{V}$ または 30mAのうち最初に発生する方
連続電流	
10Vの電圧入力、1個の入力と 1個の出力間の接続	65 mA
1Vの電圧入力、1個の入力と 1個の出力間の接続	90 mA
10Vの電圧入力、8個の入力と 8個の出力間の接続	25 mA
動作温度範囲	
工業用 (Bバージョン)	-40~+85 $^{\circ}\text{C}$
自動車用 (Yバージョン)	-40~+125 $^{\circ}\text{C}$
保存温度範囲	-65~+150 $^{\circ}\text{C}$
ジャンクション温度	150 $^{\circ}\text{C}$
32ピンLFCSP_VQ	
θ_{JA} 熱抵抗	108.2 $^{\circ}\text{C}/\text{W}$
リフロー・ハンダ処理 (鉛フリー)	
ピーク温度	260 $^{\circ}\text{C}$ (+0/-5)
ピーク温度時間	10~40秒

左記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ADG2128

ピン配置と機能の説明

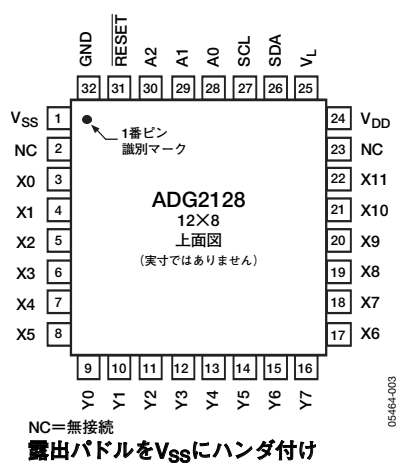


図3. ピン配置

表5. ピン機能の説明¹

ピン番号	記号	説明
1	V _{SS}	両電源のアプリケーションで使用する場合は負側電源。単電源のアプリケーションでは、このピンをGNDに接続。
2、23	NC	無接続
3～8、17～22	X0～X11	入力または出力
9～16	Y0～Y7	入力または出力
24	V _{DD}	正側電源入力
25	V _L	ロジック電源入力
26	SDA	デジタルI/O。双方向のオープン・ドレイン・データ・ライン。プルアップ抵抗の外付けが必要。
27	SCL	シリアル・クロック・ラインとして使用されるデジタル入力。データをデバイスにクロック入力するために、SDAとあわせて使用するオープン・ドレイン入力です。プルアップ抵抗の外付けが必要。
28	A0	ロジック入力。7ビットのスレーブ・アドレスの最下位ビットを設定するアドレス・ピン。
29	A1	ロジック入力。7ビットのスレーブ・アドレスの2番目の下位ビットを設定するアドレス・ピン。
30	A2	ロジック入力。7ビットのスレーブ・アドレスの3番目の下位ビットを設定するアドレス・ピン。
31	$\overline{\text{RESET}}$	アクティブ・ローレベルのロジック入力。このピンがローレベルのとき、すべてのスイッチがオープンになり、該当するレジスタが0にクリアされます。
32	GND	ADG2128の全回路のグラウンド基準ポイント

¹ 放熱効果とクロストークを改善するために、露出パドルをV_{SS}にハンダ付けすることを推奨します。

代表的な性能特性

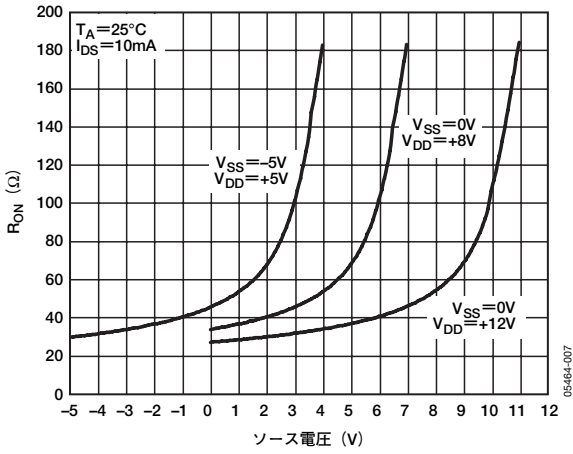


図4. 信号範囲

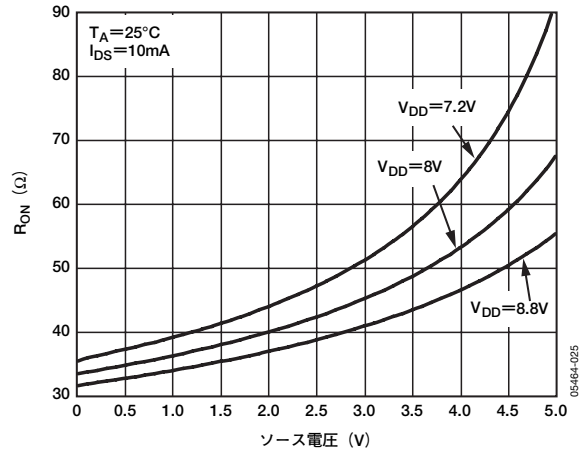


図7. ソース電圧対 R_{ON} ($V_{DD}=8V\pm 10\%$)

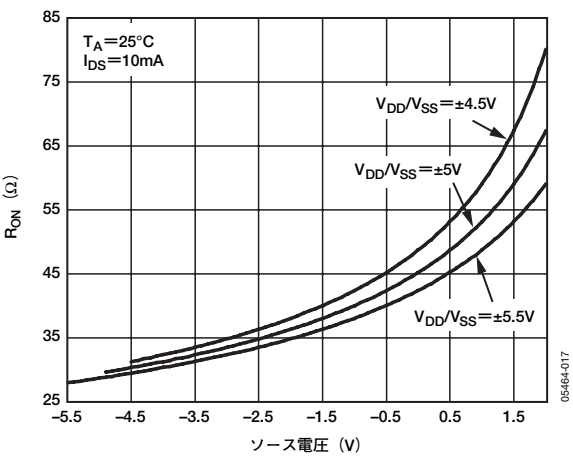


図5. ソース電圧対 R_{ON} ($\pm 5V$ の両電源)

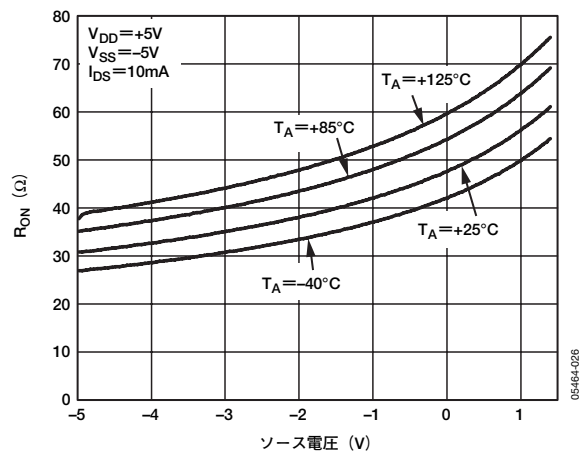


図8. R_{ON} の温度特性 ($\pm 5V$ の両電源)

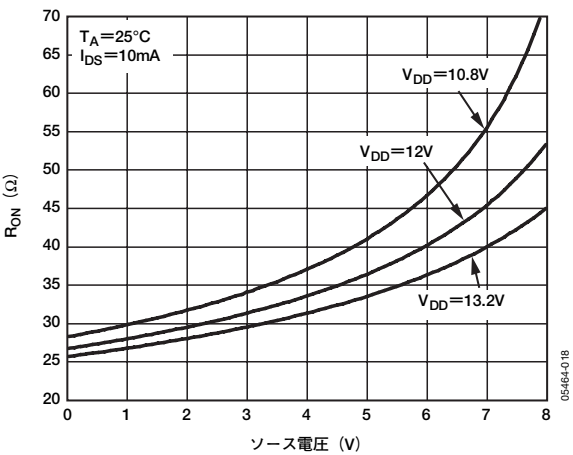


図6. 電源対 R_{ON} ($V_{DD}=12V\pm 10\%$)

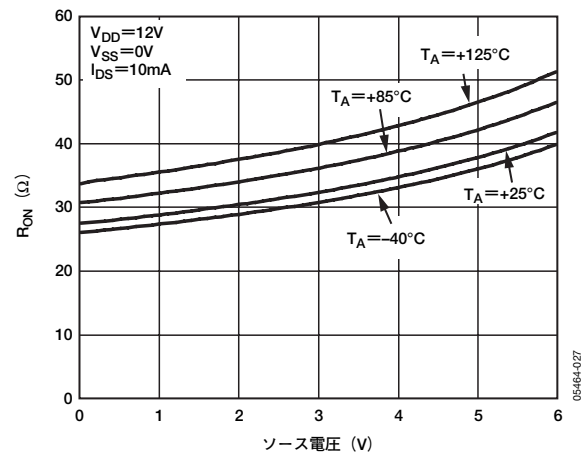


図9. R_{ON} の温度特性 ($V_{DD}=12V$)

ADG2128

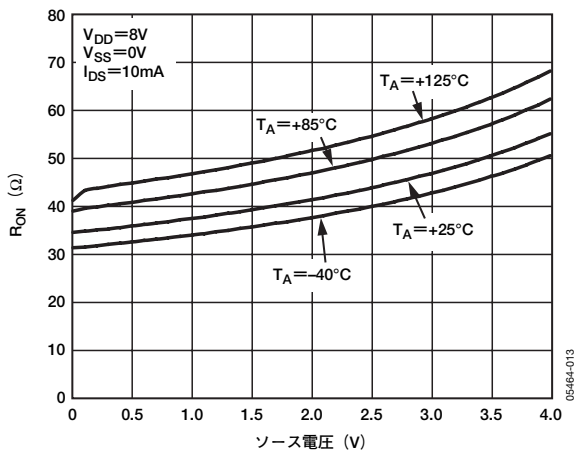


図10. R_{ON} の温度特性 ($V_{DD}=8V$)

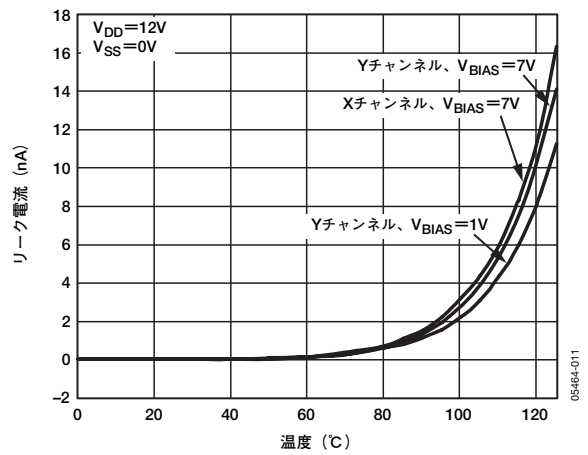


図13. オン時リーク電流の温度特性 (12Vの単電源)

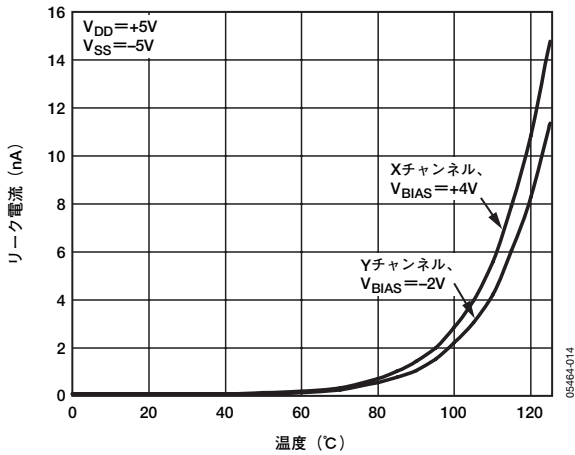


図11. オン時リーク電流の温度特性 (±5Vの両電源)

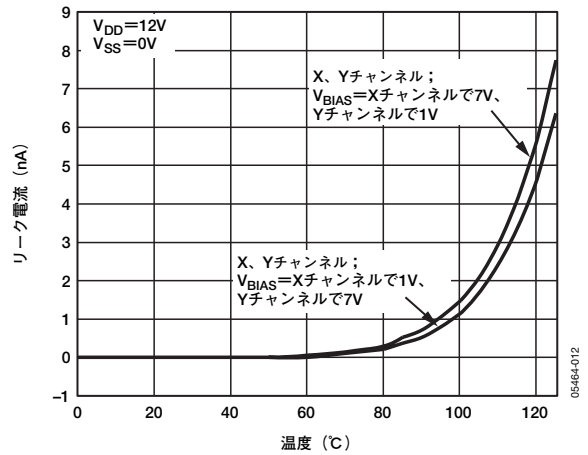


図14. オフ時リーク電流の温度特性 (12Vの単電源)

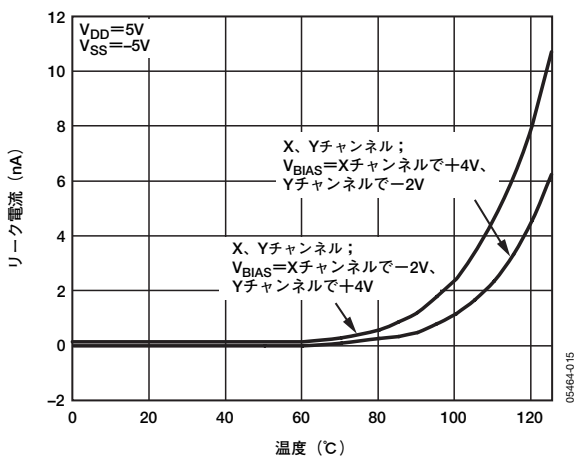


図12. オフ時リーク電流の温度特性 (±5Vの両電源)

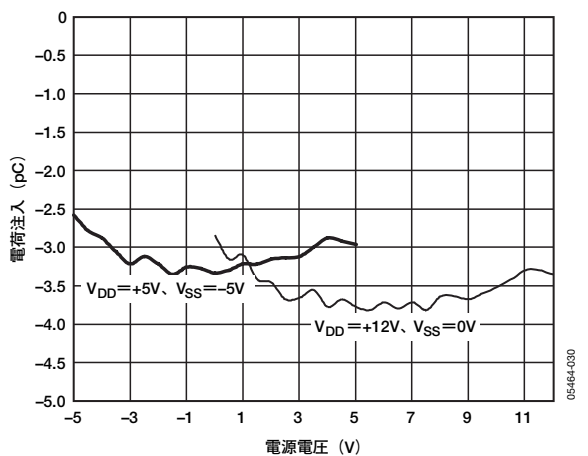


図15. 電源電圧 対 電荷注入

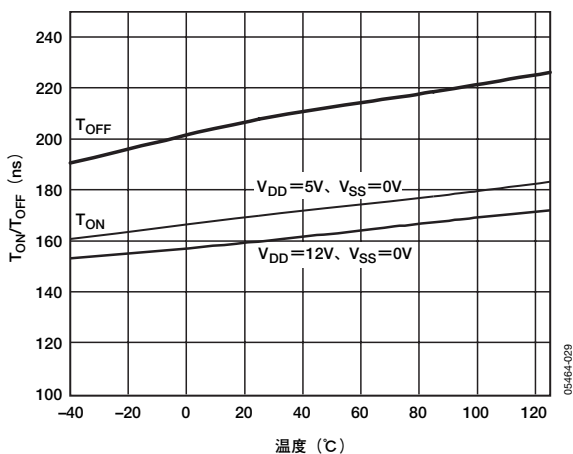


図16. T_{ON}/T_{OFF} 時間の温度特性

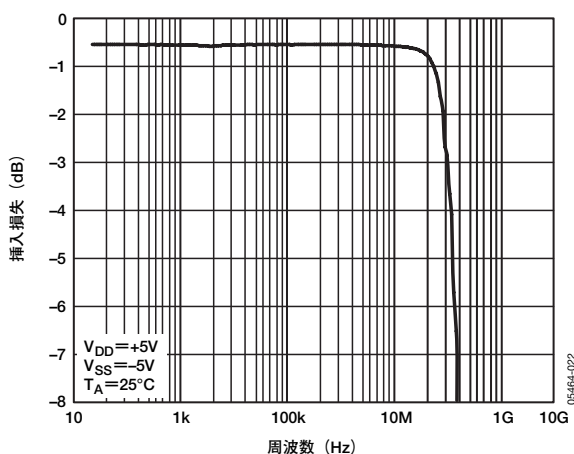


図19. 1個の入力/8個の出力間の帯域幅 (±5Vの両電源)

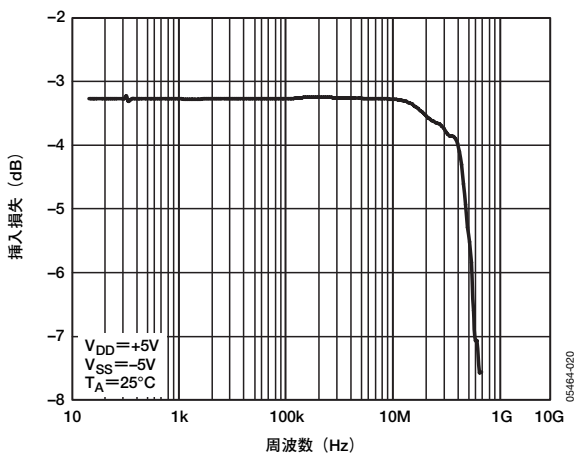


図17. 個々の入出力間の帯域幅 (±5Vの両電源)

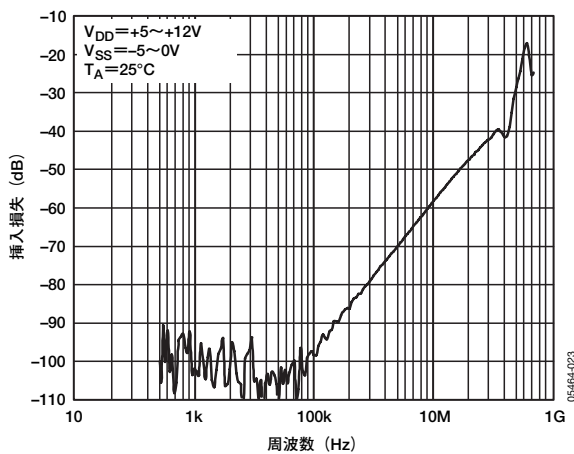


図20. オフ・アイソレーションの周波数特性

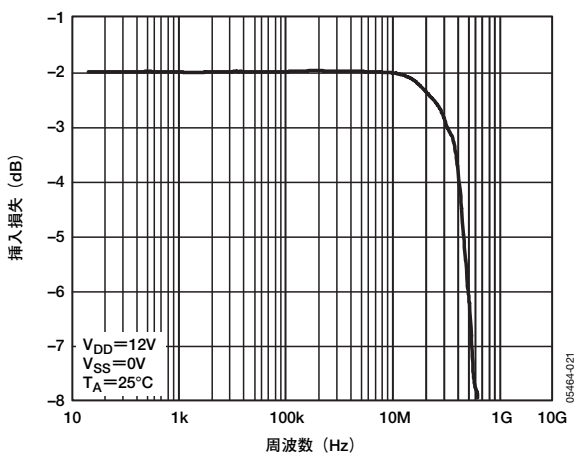


図18. 個々の入出力間の帯域幅 (12Vの単電源)

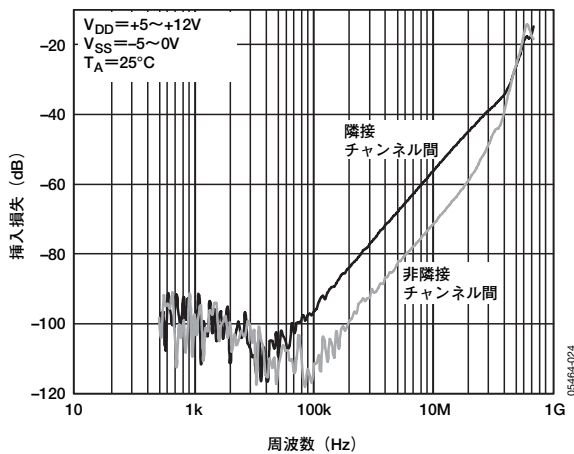


図21. クロストークの周波数特性

ADG2128

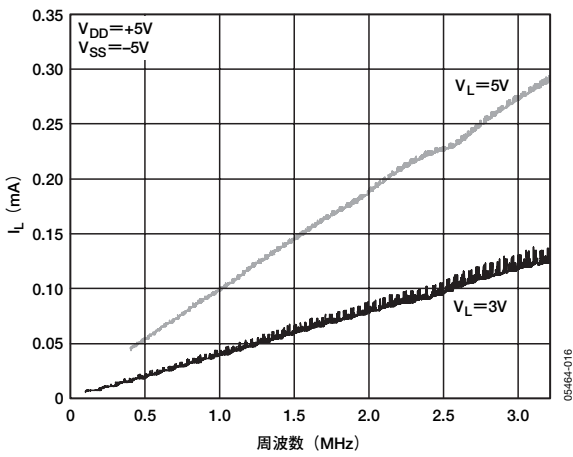


図22. デジタル電流 (I_L) の周波数特性

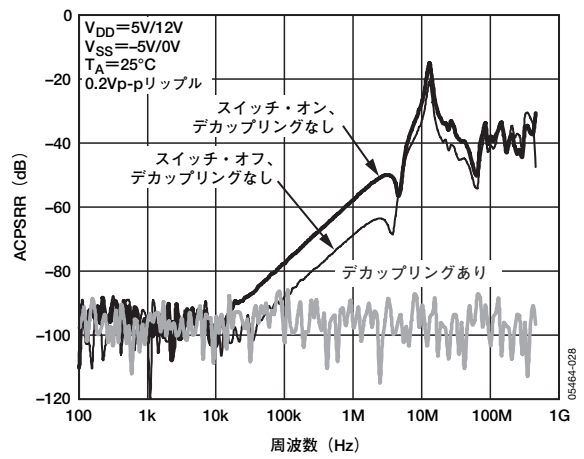


図24. ACPSRR

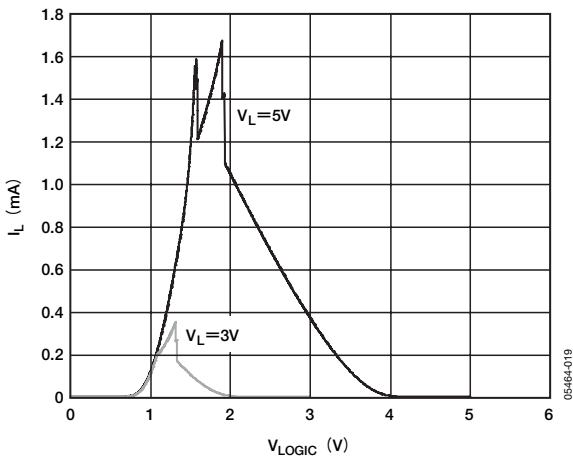


図23. 各種のデジタル電源電圧時のロジック電圧対デジタル電流 (I_L)

テスト回路

わかりやすくするために、以下のテスト回路では1つのチャンネルでの測定を示していますが、これらの回路はアレイの全スイッチに適用されます。

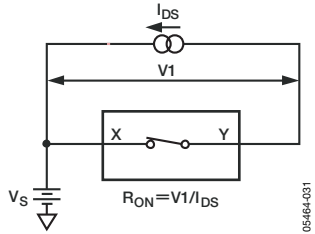


図25. オン抵抗

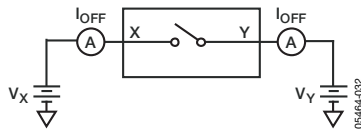


図26. オフ時リーク電流

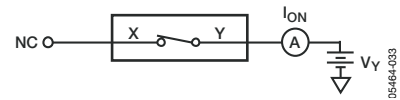


図27. オン時リーク電流

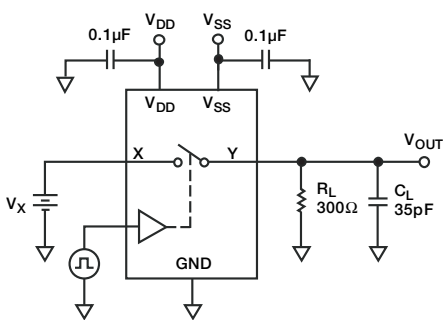


図28. スイッチング時間 (t_{ON} 、 t_{OFF})

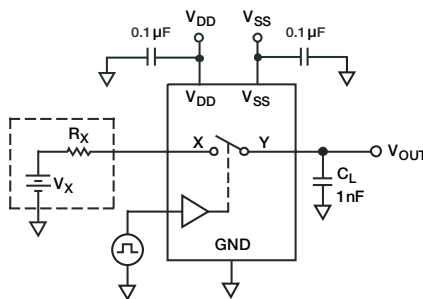
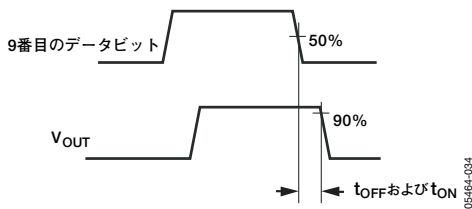
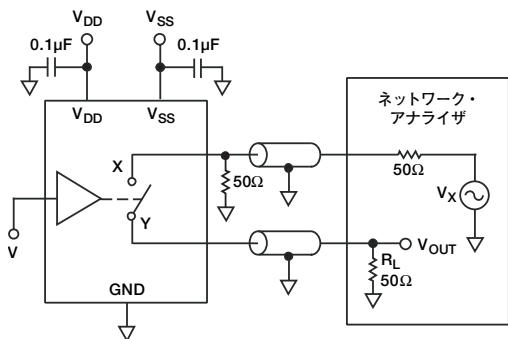
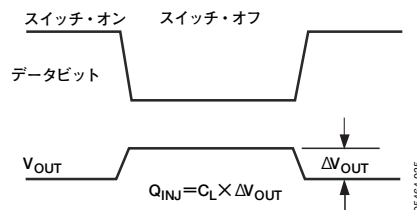
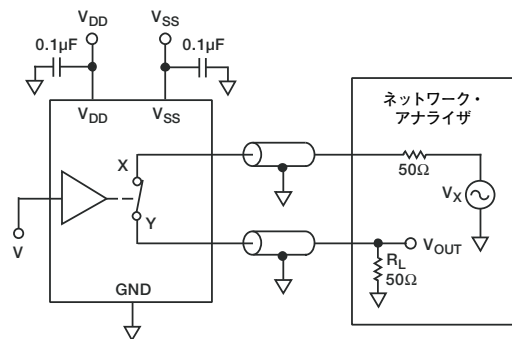


図29. 電荷注入



オフ・アイソレーション = $20\log \frac{V_{OUT}}{V_S}$

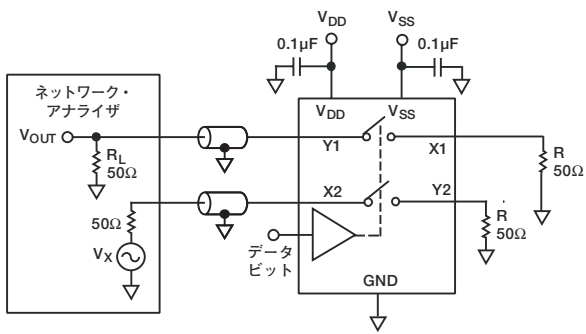
図30. オフ・アイソレーション



挿入損失 = $20\log \frac{\text{スイッチありの}V_{OUT}}{\text{スイッチなしの}V_{OUT}}$

図31. 帯域幅

ADG2128



チャンネル間クロストーク $= 20 \log \frac{V_{OUT}}{V_S}$

図32. チャンネル間クロストーク

05464-038

用語の説明

オン抵抗 (R_{ON})

Xの入出力間とYの入出力間で測定された直列のオン・チャンネル抵抗。

オン抵抗マッチング (ΔR_{ON})

同一の条件で各チャンネルの動作が実行されるとき、オン抵抗の各チャンネル間マッチング。

オン抵抗平坦性 ($R_{FLAT(ON)}$)

一定の負荷電流時に規定されたアナログ入力電圧の変化に伴って、規定された範囲で発生するオン抵抗の変動。

チャンネル・オフ時リーク電流 (I_{OFF})

オフ状態のチャンネル入力に流れ込むか、またはこの入力から流れ出すリーク電流の合計値。

チャンネル・オン時リーク電流 (I_{ON})

オン・チャンネル抵抗値によって、デバイスにオフセット電圧を発生させる電流損失/ゲイン。

入力リーク電流 (I_{IN})

規定されたローレベルまたはハイレベルの電圧がデジタル入力に加えられるときに、その入力に流れ込む電流。

入力オフ容量 (C_{OFF})

スイッチ・チャンネルがオフのときのアナログ入力とグラウンド間の容量。

入出力オン容量 (C_{ON})

スイッチ・チャンネルがオンのときの入力または出力とグラウンド間の容量。

デジタル入力容量 (C_{IN})

デジタル入力とグラウンド間の容量。

出力オン・スイッチング時間 (t_{ON})

スイッチ・チャンネルが閉じるまでの所要時間。ロジック入力変化の50%から出力が最終値の10%に達するまでの時間を測定。

出力オフ・スイッチング時間 (t_{OFF})

スイッチが開くまでの所要時間。ロジック入力変化の50%から出力がスイッチ・オフ状態の90%に達するまでの時間を測定。

全高調波歪み+ノイズ (THD+N)

高調波振幅と信号ノイズの和の基本波に対する比。

-3dB帯域幅

出力が3dB減衰したときの周波数。

オフ・アイソレーション

「オフ」状態のスイッチを通過して結合する不要信号の大きさ。

クロストーク

寄生容量により1つのチャンネルから別のチャンネルに伝達される不要信号の大きさ。

微分ゲイン

輝度レベルが変化したときに、色差シフトがどの程度発生するかを測定した仕様。減衰と増幅のいずれでも発生します。任意の2つのレベル間における最大の振幅変化を規定し、最大の色差振幅の割合として%の単位で表します。

微分位相

輝度レベルが変化したときに、色相シフトがどの程度発生するかを測定した仕様。正、負いずれの場合もあり、サブキャリアの位相からの位相ずれを示し、度 (°) の単位で表します。

電荷注入

オン/オフ・スイッチング時にデジタル入力からアナログ出力へ伝達されるグリッチ・インパルスの大きさ。

ハイレベル入力電圧 (V_{INH})

ロジック1の最小入力電圧。

ローレベル入力電圧 (V_{INL})

ロジック0の最大入力電圧。

ローレベル出力電圧 (V_{OL})

ロジック1の最小出力電圧。

ハイレベル出力電圧 (V_{OH})

ロジック0の最大出力電圧。

I_{DD}

正側電源電流。

I_{SS}

負側電源電流。

動作原理

ADG2128は、アレイ・サイズが8×12のアナログ・クロスポイント・スイッチです。12個の行をX出力ライン、8個の列をY出力ラインと呼びます。このデバイスは柔軟性がきわめて高く、ターンオン時に任意のXラインまたは任意の数のXラインを任意のYラインに接続できます。同様に、ターンオン時に任意のXラインを任意の数のYラインと接続できます。

ADG2128の制御は、I²Cインターフェースを介して実行されます。13.2Vまでの単電源または±5Vの両電源による動作が可能です。全スイッチのリセット、複数のスイッチの同時更新、任意のスイッチのステータスの読出しなど、ADG2128にはさまざまな優れた機能があります。これらの機能のすべてをこの「動作原理」で詳細に説明します。

RESET／パワーオン・リセット

ADG2128は、96個の全スイッチをオフにリセットする機能を備えています。このリセット機能は、RESETピンを使用して実行します。RESETピンがローレベルのときに、すべてのスイッチがオープン（オフ）になり、該当するレジスタがクリアされます。ADG2128にはパワーオン・リセット回路ブロックもあるため、電源投入時には全スイッチが確実にオフになります。さらに、すべての内部レジスタには0の値がロードされ、有効な書き込み動作が実行されるまで、この状態が維持されません。

ロード・スイッチ (LDSW)

LDSWは、複数のスイッチを同時に更新できるアクティブ・ハイレベルのコマンドです。信号を同期させて送信することが重要なアプリケーションで役立ちます。LDSWには、トランスベアレント・モードとラッチ・モードの2つがあります。

トランスベアレント・モード

このモードでは、新しいワードが書き込まれるとスイッチの位置が変化します。このモードを選択するときには、LDSWを1に設定します。

ラッチ・モード

このモードでは、スイッチの位置は入力レジスタの書き込み動作のたびに更新されません。このモードを選択するには、デバイスに書き込まれる各ワード（最後のワードを除く）に対するLDSWを0に設定します。次に、最後のワードに対するLDSWを1に設定します。これで、そのシーケンスの全スイッチを同時に更新することができます。

読出し

標準モードとファースト・モードでは、スイッチ・アレイの状態を読み出すことも可能です。この読出し機能を利用して、ADG2128のスイッチのステータスをチェックできます。これは、システムのデバッグ時にきわめて効果的です。

シリアル・インターフェース

ADG2128の制御は、PC互換のシリアル・バスを介して実行されます。ADG2128は、スイッチからクロックを発生しないスレーブ・デバイスとして、このバスに接続されます。

ハイスピード¹PCインターフェース

標準およびファーストPCに加えて、ADG2128はハイスピード(3.4MHz) PCインターフェースにも対応します。この機能はHSモデルのみで利用できます。詳細については、「オーダー・ガイド」を参照してください。

シリアル・バス・アドレス

ADG2128には、7ビットのスレーブ・アドレスが割り当てられます。4個のMSBは1110のコードに固定され、3個のLSBはA0、A1、A2の各ピンの状態によって決定されます。A0、A1、A2の各ピンのハードウェア設定機能を利用して、最大8個までのADG2128を単一のシリアル・バスに接続できます。

2線シリアル・バス・プロトコルの動作は、以下のとおりです。

1. スタート状態（SCLがハイレベルの間にSDAラインがハイレベルからローレベルに遷移するときと定義される）を確立することによって、マスターがデータ転送を開始します。これは、その後アドレス/データ・ストリームが続くことを示します。シリアル・バスに接続されたすべてのスレーブ周辺デバイスはスタート状態に応答し、次の8ビットでシフトされます。この8ビットは7ビットのアドレス（MSBファースト）と1つのR/Wビットで構成されます。R/Wビットはデータ転送の方向、すなわちスレーブ・デバイスに対してデータを書き込むか、読み出すかを決定します。

2. 送信されたアドレスと一致するアドレスをもつ周辺デバイスは、アクノレッジ・ビットと呼ばれる9番目のクロック・パルスの送信時にSDAラインをローレベルに引き込んで応答します。この時点で、選択されたデバイスがそのシリアル・レジスタに対するデータの書き込みまたは読み出し動作の実行を待っている間に、バス上の他のすべてのデバイスはアイドル状態に維持されます。R/Wビットが1（ハイレベル）であれば、マスターはスレーブ・デバイスからデータを読み出します。R/Wビットが0（ローレベル）の場合、マスターはスレーブ・デバイスにデータを書き込みます。
3. 8個のデータビットとその後にデータの受信側から送信される1個のアクノレッジ・ビットで構成される9個のクロック・パルスのシーケンスで、データがシリアル・バスを介して転送されます。クロック信号のSCLがローレベルの間にSDAラインのロジック遷移が発生し、SCLがハイレベルの間SDAラインのロジックは安定した状態にとどまる必要があります。その理由は、クロックがハイレベルの間にSDAラインがローレベルからハイレベルに遷移すると、これがストップ信号と解釈される場合があるためです。
4. すべてのデータビットの読み出しまたは書き込みが完了した後で、マスターはストップ状態を確立します。ストップ状態は、SCLがハイレベルの間にSDAラインがローレベルからハイレベルに遷移するときとして定義されます。書き込みモードでは、10番目のクロック・パルス時にマスターがSDAラインをハイレベルに引き込んで、ストップ状態を確立します。読み出しモードのときには、9番目のクロック・パルス時にマスターはノー・アクノレッジを発行します（すなわち、SDAラインはハイレベルに維持されます）。マスターはその後、10番目のクロック・パルスが送信される前にSDAラインをローレベルに設定し、10番目のクロック・パルス時にハイレベルに遷移させて、ストップ状態を確立します。

シリアル・データ転送プロトコルについては、図33と図34を参照してください。

ADG2128への書込み

入力シフト・レジスタ

入力シフト・レジスタは24ビット幅です。このレジスタに書込みを行うには、3バイトの書込みが必要ですが、この動作はシリアル・クロック入力SCLの制御によって実行されます。入力シフト・レジスタの3バイトの内容を図33に、説明を表6に示します。

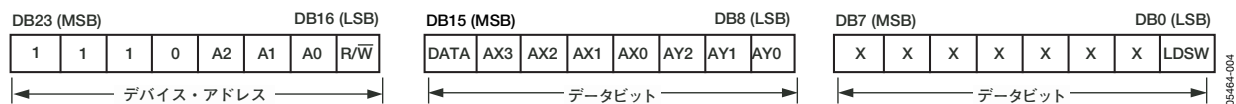


図33. データワード

表6. 入力シフト・レジスタのビット機能の説明

ビット	記号	説明
DB23~DB17	1110xxx	ADG2128のMSBは1110に設定されます。アドレス・バイトのLSBはA0、A1、A2の3本のアドレス・ピンの状態によって設定されます。
DB16	R/W $\bar{}$	スレーブ・デバイスのADG2128に対して読出しまたは書込みのどちらの動作を実行するかを制御します。 R/W $\bar{}$ =1であれば、ADG2128からデータが読み出されます。 R/W $\bar{}$ =0であれば、ADG2128にデータが書き込まれます。
DB15	Data	スイッチをオープン（オフ）またはクローズ（オン）のどちらにするかを制御します。データ=0であれば、スイッチがオープン（オフ）に設定されます。データ=1であれば、スイッチがクローズ（オン）に設定されます。
DB14~DB11	AX3~AX0	X0~X11のI/Oを制御します。デコードの真理値表については、表7を参照。
DB10~DB8	AY2~AY0	Y0~Y7のI/Oを制御します。デコードの真理値表については、表7を参照。
DB7~DB1	X	ドント・ケア・ビット
DB0	LDSW	複数のスイッチを同時に更新する場合に使用します。 LDSW=1であれば、新しいワードが読み出された後でスイッチの位置が変化します。 LDSW=0であれば、入力データがラッチされますが、スイッチの位置は変化しません。

表6に示すように、DB11~DB14の各ビットでXの入出力ラインを制御し、DB8~DB10の各ビットでYの入出力ラインを制御します。これらのビットの真理値表を表7に示します。この表では、チャンネルY0に対するすべてのコーディング・シーケンスを記載していますが、Y1~Y7のチャンネルについても同様です。デバイスに書き込むときには、RESETピンをハイレベルに設定してください。

表7. アドレス・デコードの真理値表

DB15 データ	DB14 AX3	DB13 AX2	DB12 AX1	DB11 AX0	DB10 AY2	DB9 AY1	DB8 AY0	スイッチの設定
1	0	0	0	0	0	0	0	X0~Y0（オン）
0	0	0	0	0	0	0	0	X0~Y0（オフ）
1	0	0	0	1	0	0	0	X1~Y0（オン）
0	0	0	0	1	0	0	0	X1~Y0（オフ）
1	0	0	1	0	0	0	0	X2~Y0（オン）
0	0	0	1	0	0	0	0	X2~Y0（オフ）
1	0	0	1	1	0	0	0	X3~Y0（オン）
0	0	0	1	1	0	0	0	X3~Y0（オフ）
1	0	1	0	0	0	0	0	X4~Y0（オン）
0	0	1	0	0	0	0	0	X4~Y0（オフ）
1	0	1	0	1	0	0	0	X5~Y0（オン）
0	0	1	0	1	0	0	0	X5~Y0（オフ）
X	0	1	1	0	0	0	0	予備
X	0	1	1	1	0	0	0	予備
1	1	0	0	0	0	0	0	X6~Y0（オン）
0	1	0	0	0	0	0	0	X6~Y0（オフ）

DB15 データ	DB14 AX3	DB13 AX2	DB12 AX1	DB11 AX0	DB10 AY2	DB9 AY1	DB8 AY0	スイッチの設定
1	1	0	0	1	0	0	0	X7~Y0 (オン)
0	1	0	0	1	0	0	0	X7~Y0 (オフ)
1	1	0	1	0	0	0	0	X8~Y0 (オン)
0	1	0	1	0	0	0	0	X8~Y0 (オフ)
1	1	0	1	1	0	0	0	X9~Y0 (オン)
0	1	0	1	1	0	0	0	X9~Y0 (オフ)
1	1	1	0	0	0	0	0	X10~Y0 (オン)
0	1	1	0	0	0	0	0	X10~Y0 (オフ)
1	1	1	0	1	0	0	0	X11~Y0 (オン)
0	1	1	0	1	0	0	0	X11~Y0 (オフ)
X	1	1	1	0	0	0	0	予備
X	1	1	1	1	0	0	0	予備
1	0	0	0	0	0	0	1	X0~Y1 (オン)
0	0	0	0	0	0	0	1	X0~Y1 (オフ)
..	
1	1	1	0	1	0	0	1	X11~Y1 (オン)
1	0	0	0	0	0	1	0	X0~Y2 (オン)
0	0	0	0	0	0	1	0	X0~Y2 (オフ)
..	
1	1	1	0	1	0	1	0	X11~Y2 (オン)
1	0	0	0	0	0	1	1	X0~Y3 (オン)
0	0	0	0	0	0	1	1	X0~Y3 (オフ)
..	
1	1	1	0	1	0	1	1	X11~Y3 (オン)
1	0	0	0	0	1	0	0	X0~Y4 (オン)
0	0	0	0	0	1	0	0	X0~Y4 (オフ)
..	
1	1	1	0	1	1	0	0	X11~Y4 (オン)
1	0	0	0	0	1	0	1	X0~Y5 (オン)
0	0	0	0	0	1	0	1	X0~Y5 (オフ)
..	
1	1	1	0	1	1	0	1	X11~Y5 (オン)
1	0	0	0	0	1	1	0	X0~Y6 (オン)
0	0	0	0	0	1	1	0	X0~Y6 (オフ)
..	
1	1	1	0	1	1	1	0	X11~Y6 (オン)
1	0	0	0	0	1	1	1	X0~Y7 (オン)
0	0	0	0	0	1	1	1	X0~Y7 (オフ)
..	
1	1	1	0	1	1	1	1	X11~Y7 (オン)

ADG2128

書き込み動作

ADG2128に書き込みを行うときに、アドレス・バイトとR/ \bar{W} ビットの設定から操作を開始してください。その後、スイッチはSDAをローレベルに引き込むことによって、データを受信する準備が完了していることの確認応答を行います。このアドレス・バイトの後に、2つの8ビット・ワードが続きます。スイッチ・アレイの書き込み動作を図34に示します。状態が変化するのは、データバイトのビットに対応するスイッチのみです。これ以外のスイッチはすべて、以前の状態を保持します。

読出し動作

ADG2128の読出し機能は、デバッグ用として動作するように設計されており、デバイスの96個のスイッチのうち任意のスイッチのステータスを出力できます。読出し機能は、以下のような2ステップのシーケンスとして実行されます。

1. 読出しの必要なXラインを選択します。このXラインを8個のYラインに接続する8個のスイッチがあります。次にADG2128に書き込みを行い、上記8個のスイッチのステータスを知りたいことをADG2128に通知します。
 - a. ADG2128のI²Cアドレスを入力し、R/ \bar{W} ビットを0に設定して、デバイスに書き込みを行うことを指示します。

- b. 対象のXラインの読出しアドレスを入力します。これらのアドレスを表8に示します。ADG2128は2バイトの書き込みを想定しているため、必ずドント・ケア・バイトを追加して入力してください（図35を参照）。
 - c. その後、ADG2128は、読出しが可能なこれら8個のスイッチのステータスをレジスタに格納します。
2. 次に、選択したXラインに関連する8個のスイッチのステータスを保持するレジスタから読出しを実行します。
 - a. 前のステップと同様に、ADG2128のI²Cアドレスを入力します。ここでは、R/ \bar{W} ビットを1に設定して、デバイスから読出しを行うことを指示します。
 - b. 書き込み動作と同様、ADG2128は読出しの実行中に2バイトのシーケンスを出力します。つまり、読み出されるデータ出力の最初の8ビットはオール0で、次に読み出される8個のビットが、対象のXラインに接続された8個のYラインのステータスを表します。ビットが1ならばスイッチはクローズ（オン）の状態、0ならばオープン（オフ）の状態にあります。

読出しシーケンスの全体を図35に示します。

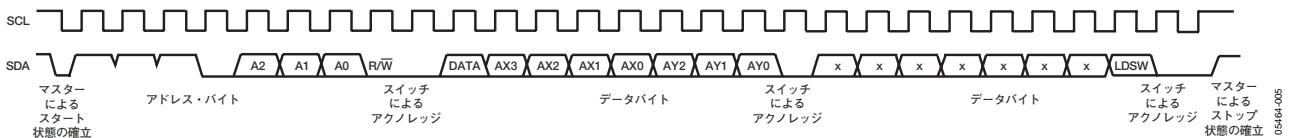
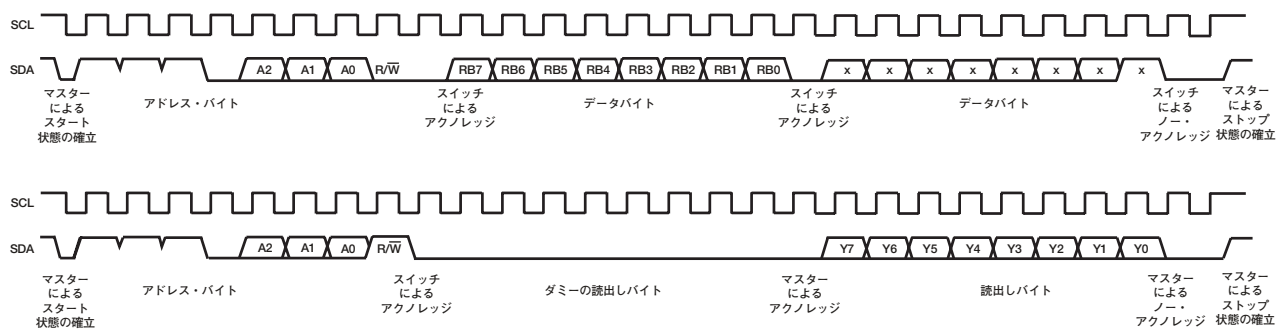


図34. 書き込み動作

表8. 各Xラインの読出しアドレス

Xライン	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0
X0	0	0	1	1	0	1	0	0
X1	0	0	1	1	1	1	0	0
X2	0	1	1	1	0	1	0	0
X3	0	1	1	1	1	1	0	0
X4	0	0	1	1	0	1	0	1
X5	0	0	1	1	1	1	0	1
X6	0	1	1	1	0	1	0	1
X7	0	1	1	1	1	1	0	1
X8	0	0	1	1	0	1	1	0
X9	0	0	1	1	1	1	1	0
X10	0	1	1	1	0	1	1	0
X11	0	1	1	1	1	1	1	0



05/65/08

図35. 読出し動作

評価用ボード

ADG2128評価用ボードを使用すれば、最小の作業負担で高性能のADG2128 8×12スイッチ・アレイを評価することができます。

この評価用キットには、実装およびテスト済みのADG2128 PCボードが含まれています。評価用ボードはPCのUSBポートに接続するか、またはスタンドアロンの評価用ボードとして利用できます。評価用ボードには、USBポートを経由してADG2128を容易にプログラミングできるソフトウェアが用意されています。評価用ボードの回路図を図36と図37に示します。Microsoft® Windows® 2000またはWindows XPをインストールしたPCであれば、このソフトウェアを実行できます。

ADG2128評価用ボードの使用方法

ADG2128評価用キットは、ADG2128の評価負担を軽減するために設計されたテスト・システムです。デバイスの各入出力には、オーディオ/ビデオ性能を容易に評価するためのソケットが装備されています。この評価用ボードにはアプリケーション・ノートも用意されており、これには評価用ボードの動作に関する詳細な情報が掲載されています。

電源

ADG2128評価用ボードは、単電源と両電源による動作が可能です。V_{DD}とV_{SS}の各電源は、外部から供給します。V_L電源は外部から供給することも、またUSBポートを利用してデジタル回路に電源を供給することもできます。

回路図

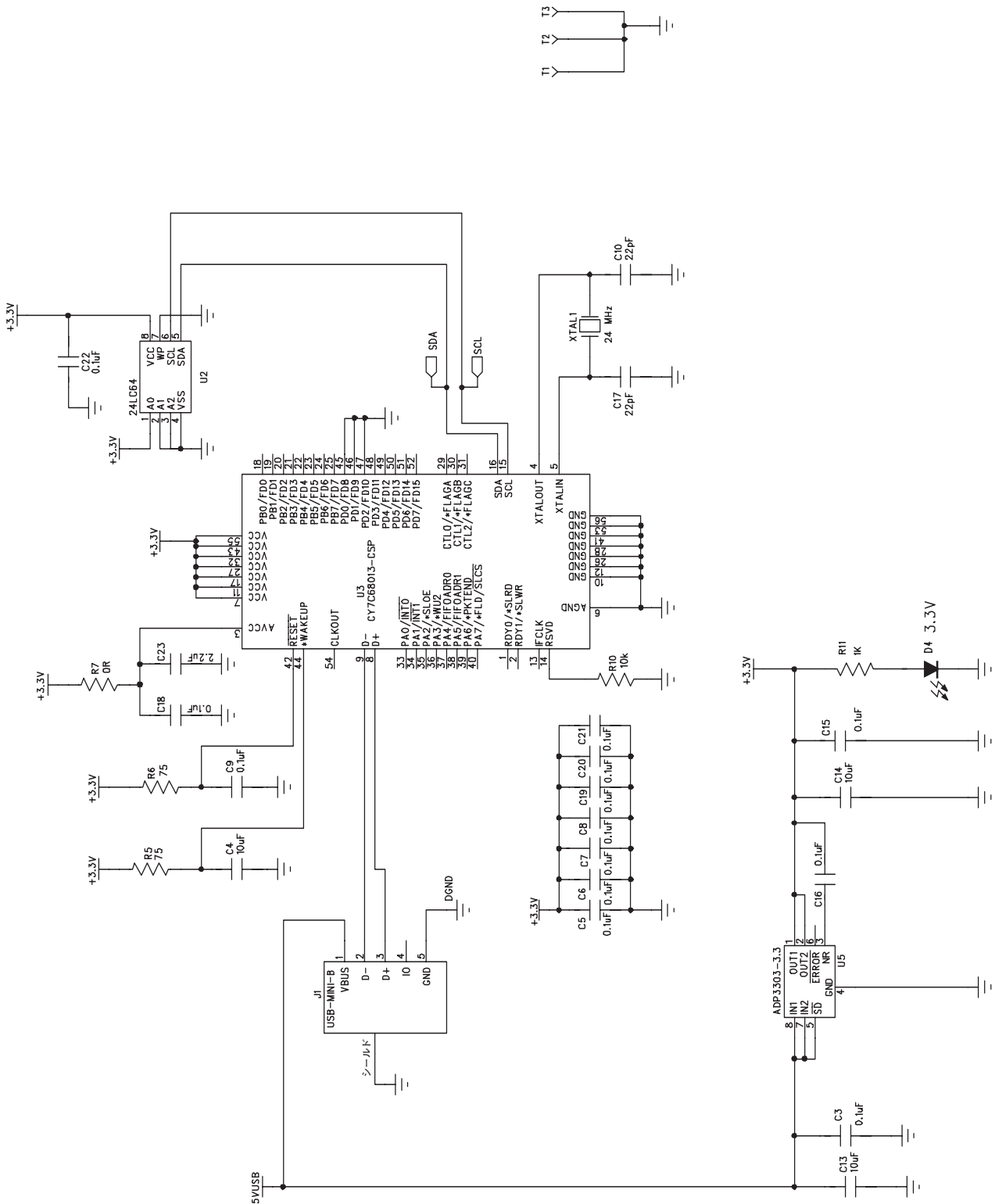


図36. EVAL-ADG2128EBの回路図 (USBコントローラ部)

05664-039

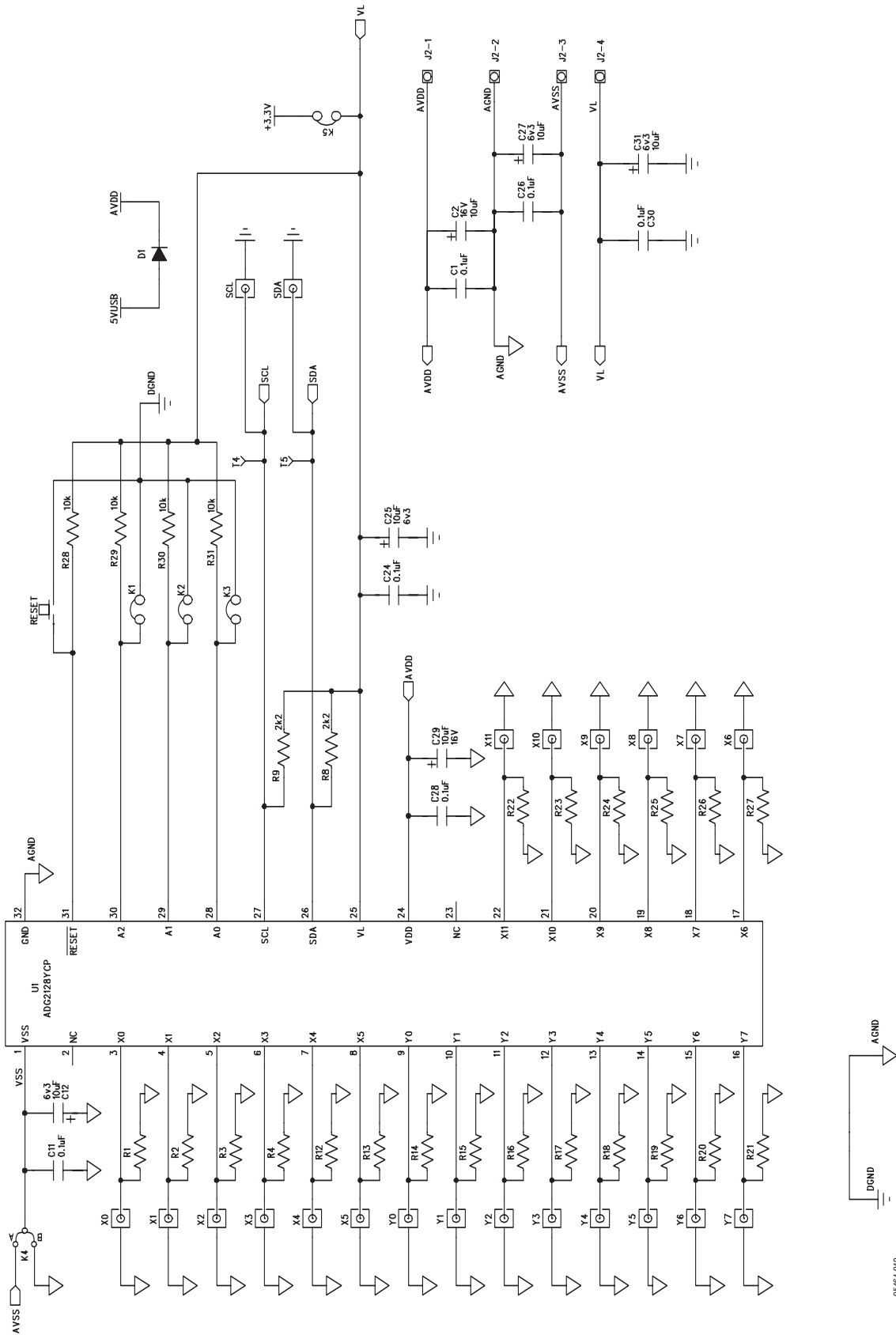
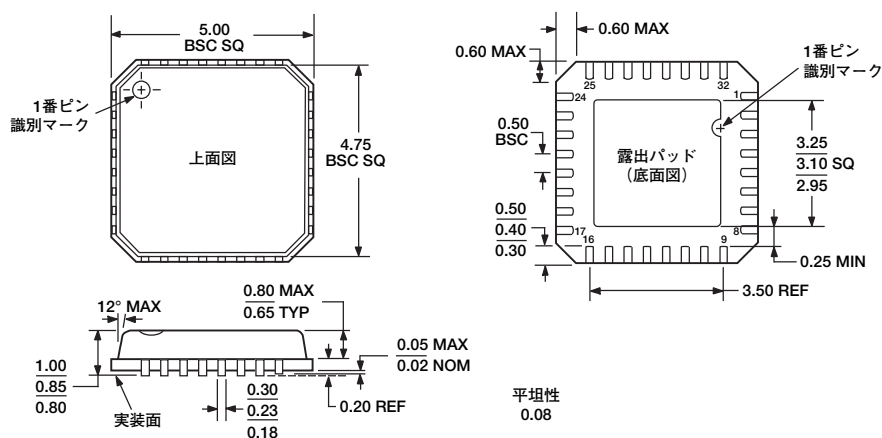


図37. EVAL-ADG2128EBの回路図 (チップ部)

05-664-040

外形寸法



JEDEC規格MO-220-VHHD-2に準拠

図38. 32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
5mm×5mm、超薄型クワッド
(CP-32-3)
寸法単位：mm

オーダー・ガイド

モデル	温度範囲	°C速度	パッケージ	パッケージ・オプション
ADG2128BCPZ-REEL ¹	-40～+85℃	100kHz、400kHz	32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32-3
ADG2128BCPZ-REEL7 ¹	-40～+85℃	100kHz、400kHz	32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32-3
ADG2128BCPZ-HS-RL7 ¹	-40～+85℃	100kHz、400kHz、3.4MHz	32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32-3
ADG2128YCPZ-REEL ¹	-40～+125℃	100kHz、400kHz	32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32-3
ADG2128YCPZ-REEL7 ¹	-40～+125℃	100kHz、400kHz	32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32-3
ADG2128YCPZ-HS-RL7 ¹	-40～+125℃	100kHz、400kHz、3.4MHz	32ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]	CP-32-3
EVAL-ADG2128EB			評価用ボード	

¹ Z=鉛フリー製品