

特長

低消費電力狭帯域トランシーバ

デュアル VCO を使用した周波数バンド

80 MHz~650 MHz

842 MHz~916 MHz

9 kHz、13.5 kHz、18.5 kHz のプログラマブルな IF フィルタ帯域幅

変調方式: 2FSK、3FSK、4FSK、MSK

スペクトル整形: ガウス・フィルタと raised cosine フィルタ

データ・レート: 0.05 kbps~24 kbps

電源電圧: 2.3 V~3.6 V

出力電力: 63 ステップで -16 dBm~+13 dBm で調整可能

パワー・アンプ(PA)自動ランプ制御

レシーバ感度

100 bps で -130 dBm、2FSK

1 kbps で -122 dBm、2FSK

特許申請中のイメージ除去キャリブレーションを内蔵

VCO とフラクショナル N PLL を内蔵

7 ビット ADC と温度特性センサーを内蔵

周波数フル自動制御ループ(AFC)

デジタル受信信号強度表示(RSSI)

Tx/Rx スイッチを内蔵

パワーダウン・モードでのリーク電流: 0.1 μ A

アプリケーション

狭帯域短距離デバイス(SRD)規格

ARIB STD-T67、ETSI EN 300 220、韓国 SRD 規格、
FCC Part 15、FCC Part 90、FCC Part 95

低価格ワイヤレス・データ伝送

リモート制御/セキュリティ・システム

ワイヤレス計測

WMTS (Wireless medical telemetry service)

ホーム・オートメーション

プロセス制御およびビル管理

ポケット・ベル

機能ブロック図

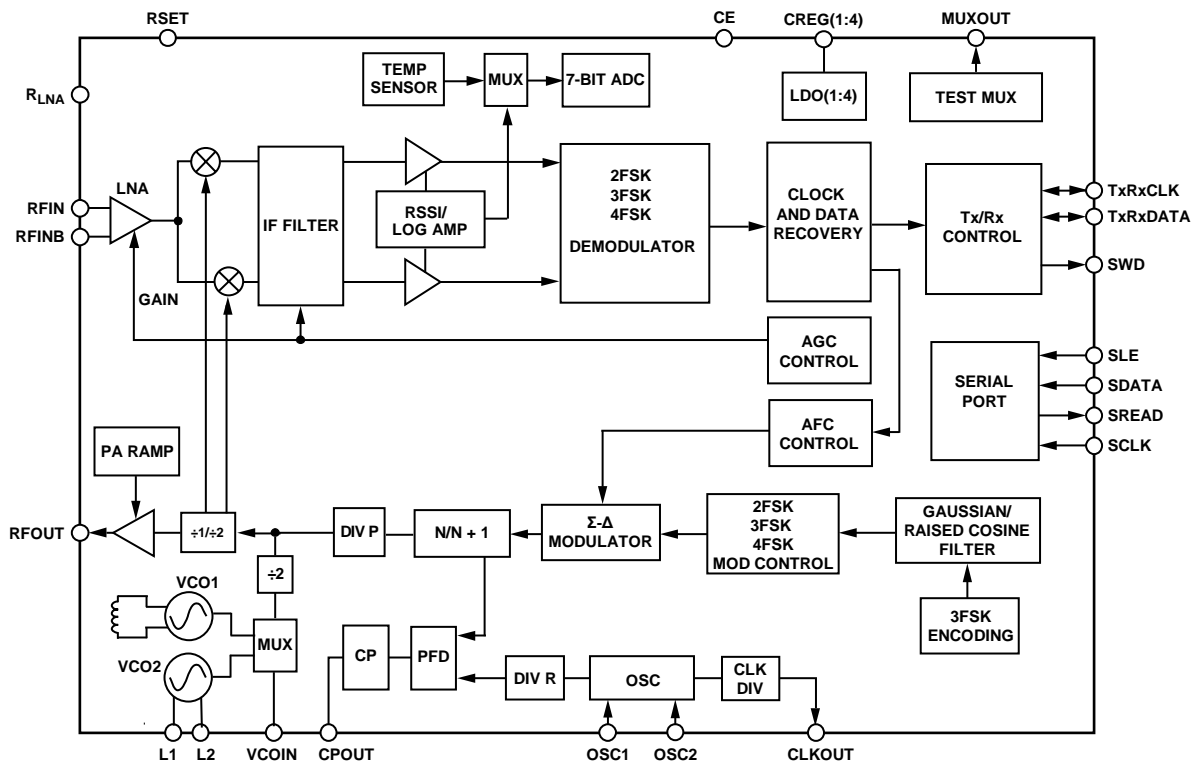


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2008 Analog Devices, Inc. All rights reserved.

Rev. 0

目次

特長	1	レシーバのセットアップ	32
アプリケーション	1	復調器の考慮事項	34
機能ブロック図	1	AFCの動作	34
改訂履歴	2	自動同期ワード検出(SWD)	35
概要	3	アプリケーション情報	36
仕様	4	IFフィルタ帯域幅のキャリブレーション	36
RF仕様とPLL仕様	4	LNA/PAのマッチング	37
トランスミッタ仕様	5	イメージ除去のキャリブレーション	38
レシーバ仕様	6	パケット構造とコーディング	40
デジタル仕様	8	初期パワーアップ後の設定	40
全体仕様	9	アプリケーション回路	43
タイミング特性	9	シリアル・インターフェース	44
タイミング図	10	リードバック・フォーマット	44
絶対最大定格	13	マイクロコントローラ/DSPへのインターフェース	46
ESDの注意	13	レジスタ0—Nレジスタ	47
ピン配置およびピン機能説明	14	レジスタ1—VCO/発振器レジスタ	48
代表的な性能特性	16	レジスタ2—送信変調レジスタ	49
周波数シンセサイザ	20	レジスタ3—送信/受信クロック・レジスタ	50
リファレンス電圧入力	20	レジスタ4—復調器セットアップ・レジスタ	51
MUXOUT	21	レジスタ5—IFフィルタ・セットアップ・レジスタ	52
電圧制御発振器(VCO)	21	レジスタ6—IF微調整キャリブレーション・セットアップ・レジスタ	53
最適システム性能のためのチャンネル選択	23	レジスタ7—リードバック・セットアップ・レジスタ	54
トランスミッタ	24	レジスタ8—パワーダウン・テスト・レジスタ	55
RF出力ステージ	24	レジスタ9—AGCレジスタ	56
変調方式	24	レジスタ10—AFCレジスタ	57
スペクトル整形	26	レジスタ11—同期ワード検出レジスタ	58
変調とフィルタリングのオプション	27	レジスタ12—SWD/スレッシュホールド・セットアップ・レジスタ	58
送信レイテンシ	27	レジスタ13—3FSK/4FSK復調レジスタ	59
テスト・パターン・ジェネレータ	27	レジスタ14—テストDACレジスタ	60
レシーバ・セクション	28	レジスタ15—テスト・モード・レジスタ	61
RFフロントエンド	28	外形寸法	62
IFフィルタ	28	オーダー・ガイド	62
RSSI/AGC	28		
復調、検出、CDR	30		

改訂履歴

2/08—Revision 0: Initial Version

概要

ADF7021-N は、ADF7021 をベースにした高性能低消費電力狭帯域トランシーバです。ADF7021-N は 9 kHz、13.5 kHz、18.5 kHz の IF フィルタ帯域幅を持つため、世界中の狭帯域規格に最適であり、特に 12.5 kHz のチャンネル・セパレーションを規定する規格に適しています。

狭帯域の免許不要 ISM バンド、および 80 MHz~650 MHz と 842 MHz~916 MHz の要免許周波数範囲で動作するようにデザインされています。このデバイスは、狭帯域アプリケーションでスペクトル効率を向上させるガウスと raised cosine の送信データ・フィルタ・オプションを持っています。日本の ARIB STD-T67、ヨーロッパの ETSI EN 300 220、韓国の短距離デバイス規制、中国の短距離デバイス規制、北米の FCC Part 15、Part 90、Part 95 規制を対象とする回路アプリケーションに適しています。ADF7021-N は、小数の外付けディスクリット部品を使うだけでトランシーバを構成できるため、低価格かつ省スペースのアプリケーションに最適です。

内蔵の FSK 変調とデータ・フィルタリングの広範囲なオプションを使うと、変調方式の選択の柔軟性が増えると同時に厳しいスペクトル効率条件を満たすことができます。また、ADF7021-N は 2FSK、3FSK、4FSK の間でダイナミックに切り替えて通信範囲とデータ・スループットを最大化するプロトコルもサポートしています。

送信セクションには、2 個の電圧制御発振器(VCO)と 1 ppm 以下の出力分解能を持つ低ノイズのフラクショナル N PLL が内蔵されています。ADF7021-N は、内蔵 LC タンク(421 MHz~458 MHz、842 MHz~916 MHz)を使う VCO と、タンク回路(80 MHz~650 MHz)の一部として外付けインダクタを使う VCO を持っています。このデュアル VCO デザインにより、内蔵インダクタ VCO によりサポートされた任意の周波数で送信およびまたは受信し、さらに外付けインダクタ VCO によりサポートされた特別な周波数バンドで送信およびまたは受信できるデュアル・バンド動作が可能になっています。

ADF7021-N は周波数に即応する PLL を内蔵しているため、周波数ホッピングのスペクトル分散(FHSS)システムで使用できるようになっています。両 VCO は、スプリアス放出問題と周波数引き込み問題を軽減するため、基本周波数の 2 倍で動作します。

トランスミッタ出力電力は、-16 dBm~+13 dBm の範囲で 63 ステップで調整可能であり、さらにスペクトル・スプラッタを防止する電力ランプ自動制御を内蔵しているため、規制を満足することに役立ちます。トランシーバ RF 周波数、チャンネル間隔、変調は、シンプルな 3 線式インターフェースを使って設定することができます。このデバイスは、2.3 V~3.6 V の電源範囲で動作し、使用しない場合にはパワーダウンすることができます。

レシーバ(100 kHz)では低 IF アーキテクチャを採用しているため、消費電力が小さく、外付け部品数が少なく、さらに DC オフセットと低周波でのフリッカ・ノイズも小さくなっています。IF フィルタの帯域幅は、9 kHz、13.5 kHz、18.5 kHz に設定することができます。ADF7021-N は、Rx 直線性、感度、IF 帯域幅などの広範囲なプログラマブルな機能をサポートしているため、アプリケーションに応じて消費電流に対するレシーバ感度と選択度のトレードオフを行うことができます。また、レシーバは着信信号内で周波数誤差を PLL に追跡させるようにできるプログラマブルなプルイン範囲を持つ特許申請中の周波数自動制御(AFC)ループを内蔵しています。

レシーバでは、外付け RF ソースが不要な特許申請中の IR キャリブレーション方式を使って 56 dB のイメージ除去性能を実現しています。

内蔵の ADC は、内蔵の温度センサー、外付けアナログ入力、バッテリー電圧、RSSI 信号の読み出し機能を提供するため、アプリケーションによっては ADC を節約することができます。温度センサーは、-40°C~+85°C のフル動作温度範囲で±10°C の精度です。この精度は、室温での 1 点キャリブレーションを実行してその結果をメモリに保存することにより、向上させることができます。

仕様

特に指定のない限り、 $V_{DD} = 2.3\text{ V} \sim 3.6\text{ V}$ 、 $GND = 0\text{ V}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。Typ仕様は $V_{DD} = 3\text{ V}$ 、 $T_A = 25^\circ\text{C}$ で規定。すべての測定は特に指定のない限り、PN9 データ・シーケンスを使用して EVAL-ADF7021-NDBxx で実施。

RF仕様と PLL仕様

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
RF CHARACTERISTICS					
Frequency Ranges (Direct Output)	160		650	MHz	External inductor VCO
	842		916	MHz	Internal inductor VCO
Frequency Ranges (RF Divide-by-2 Mode)	80		325	MHz	External inductor VCO, RF divide-by-2 enabled
	421		458	MHz	Internal inductor VCO, RF divide-by-2 enabled
Phase Frequency Detector (PFD) Frequency ¹	RF/256		24	MHz	
PHASE-LOCKED LOOP (PLL)					
VCO Gain²					
868 MHz, Internal Inductor VCO		67		MHz/V	$VCO_ADJUST = 0$, $VCO_BIAS = 8$
426 MHz, Internal Inductor VCO		45		MHz/V	$VCO_ADJUST = 0$, $VCO_BIAS = 8$
426 MHz, External Inductor VCO		27		MHz/V	$VCO_ADJUST = 0$, $VCO_BIAS = 3$
160 MHz, External Inductor VCO		6		MHz/V	$VCO_ADJUST = 0$, $VCO_BIAS = 2$
Phase Noise (In-Band)					
868 MHz, Internal Inductor VCO		-97		dBc/Hz	10 kHz offset, PA = 10 dBm, $V_{DD} = 3.0\text{ V}$, PFD = 19.68 MHz, $VCO_BIAS = 8$
433 MHz, Internal Inductor VCO		-103		dBc/Hz	10 kHz offset, PA = 10 dBm, $V_{DD} = 3.0\text{ V}$, PFD = 19.68 MHz, $VCO_BIAS = 8$
426 MHz, External Inductor VCO		-95		dBc/Hz	10 kHz offset, PA = 10 dBm, $V_{DD} = 3.0\text{ V}$, PFD = 9.84 MHz, $VCO_BIAS = 3$
Phase Noise (Out-of-Band)					
		-124		dBc/Hz	1 MHz offset, $f_{RF} = 433\text{ MHz}$, PA = 10 dBm, $V_{DD} = 3.0\text{ V}$, PFD = 19.68 MHz, $VCO_BIAS = 8$
Normalized In-Band Phase Noise Floor ³		-203		dBc/Hz	
PLL Settling		40		μs	Measured for a 10 MHz frequency step to within 5 ppm accuracy, PFD = 19.68 MHz, loop bandwidth (LBW) = 100 kHz
REFERENCE INPUT					
Crystal Reference ⁴	3.625		24	MHz	
External Oscillator ^{4,5}	3.625		24	MHz	
Crystal Start-Up Time⁶					
XTAL Bias = 20 μA		0.930		ms	10 MHz XTAL, 33 pF load capacitors, $V_{DD} = 3.0\text{ V}$
XTAL Bias = 35 μA		0.438		ms	10 MHz XTAL, 33 pF load capacitors, $V_{DD} = 3.0\text{ V}$
Input Level for External Oscillator⁷					
OSC1		0.8		V p-p	Clipped sine wave
OSC2		CMOS levels		V	
ADC PARAMETERS					
INL		± 0.4		LSB	$V_{DD} = 2.3\text{ V to } 3.6\text{ V}$, $T_A = 25^\circ\text{C}$
DNL		± 0.4		LSB	$V_{DD} = 2.3\text{ V to } 3.6\text{ V}$, $T_A = 25^\circ\text{C}$

¹ 特定の RF 周波数での使用可能な最大 PFD は、最小 N 分周値により制限されます。

² 0.7 V の VCO チューニング電圧で測定した VCO ゲイン。VCO ゲインは VCO のチューニング・レンジ内で変化します。ソフトウェア・パッケージ ADIsimPLLTM を使ってこの変化をモデル化することができます。

³ この値を使って、与えられた周波数の帯域内位相ノイズを計算することができます。パワーアンプ (PA) 出力での帯域内位相ノイズ性能を計算するときは、式 $-203 + 10 \log(f/PFD) + 20 \log N$ を使ってください。

⁴ デザインで保証します。サンプル・テストにより適合性を保証。

⁵ TCXO、VCXO または OCXO を外部発振器として使うことができます。

⁶ 水晶のスタートアップ時間は、チップ・イネーブル (CE) のアサートから CLKOUT ピンで正しい周波数が得られるまでに要する時間です。

⁷ 外部発振器の使い方については、リファレンス電圧入力を参照してください。

トランスミッタ仕様

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DATA RATE					
2FSK, 3FSK	0.05		18.5 ¹	kbps	IF_FILTER_BW = 18.5 kHz
4FSK	0.05		24	kbps	IF_FILTER_BW = 18.5 kHz
MODULATION					
Frequency Deviation (f_{DEV}) ²	0.056		28.26	kHz	PFD = 3.625 MHz
	0.306		156	kHz	PFD = 20 MHz
Deviation Frequency Resolution	56			Hz	PFD = 3.625 MHz
Gaussian Filter BT		0.5			
Raised Cosine Filter Alpha		0.5/0.7			Programmable
TRANSMIT POWER					
Maximum Transmit Power ³		+13		dBm	$V_{DD} = 3.0\text{ V}$, $T_A = 25^\circ\text{C}$
Transmit Power Variation vs. Temperature		± 1		dB	-40°C to $+85^\circ\text{C}$
Transmit Power Variation vs. V_{DD}		± 1		dB	2.3 V to 3.6 V at 915 MHz, $T_A = 25^\circ\text{C}$
Transmit Power Flatness		± 1		dB	902 MHz to 928 MHz, 3 V, $T_A = 25^\circ\text{C}$
Programmable Step Size		0.3125		dB	-16 dBm to +13 dBm
ADJACENT CHANNEL POWER (ACP)					
426 MHz, External Inductor VCO					
12.5 kHz Channel Spacing		-50		dBc	PFD = 9.84 MHz Gaussian 2FSK modulation, measured in a ± 4.25 kHz bandwidth at ± 12.5 kHz offset, 2.4 kbps PN9 data, 1.2 kHz frequency deviation, compliant with ARIB STD-T67
25 kHz Channel Spacing		-50		dBc	Gaussian 2FSK modulation, measured in a ± 8 kHz bandwidth at ± 25 kHz offset, 9.6 kbps PN9 data, 2.4 kHz frequency deviation, compliant with ARIB STD-T67
868 MHz, Internal Inductor VCO					
12.5 kHz Channel Spacing		-46		dBm	PFD = 19.68 MHz Gaussian 2FSK modulation, 10 dBm output power, measured in a ± 6.25 kHz bandwidth at ± 12.5 kHz offset, 2.4 kbps PN9 data, 1.2 kHz frequency deviation, compliant with ETSI EN 300 220
25 kHz Channel Spacing		-43		dBm	Gaussian 2FSK modulation, 10 dBm output power, measured in a ± 12.5 kHz bandwidth at ± 25 kHz offset, 9.6 kbps PN9 data, 2.4 kHz frequency deviation, compliant with ETSI EN 300 220
433 MHz, Internal Inductor VCO					
12.5 kHz Channel Spacing		-50		dBm	PFD = 19.68 MHz Gaussian 2FSK modulation, 10 dBm output power, measured in a ± 6.25 kHz bandwidth at ± 12.5 kHz offset, 2.4 kbps PN9 data, 1.2 kHz frequency deviation, compliant with ETSI EN 300 220
25 kHz Channel Spacing		-47		dBm	Gaussian 2FSK modulation, 10 dBm output power, measured in a ± 12.5 kHz bandwidth at ± 25 kHz offset, 9.6 kbps PN9 data, 2.4 kHz frequency deviation, compliant with ETSI EN 300 220
OCCUPIED BANDWIDTH					
2FSK Gaussian Data Filtering					99.0% of total mean power; 12.5 kHz channel spacing (2.4 kbps PN9 data, 1.2 kHz frequency deviation); 25 kHz channel spacing (9.6 kbps PN9 data, 2.4 kHz frequency deviation)
12.5 kHz Channel Spacing		3.9		kHz	
25 kHz Channel Spacing		9.9		kHz	
2FSK Raised Cosine Data Filtering					
12.5 kHz Channel Spacing		4.4		kHz	
25 kHz Channel Spacing		10.2		kHz	
3FSK Raised Cosine Filtering					
12.5 kHz Channel Spacing		3.9		kHz	
25 kHz Channel Spacing		9.5		kHz	
4FSK Raised Cosine Filtering					
25 kHz Channel Spacing		13.2		kHz	19.2 kbps PN9 data, 1.2 kHz frequency deviation
SPURIOUS EMISSIONS					
Reference Spurs		-65		dBc	100 kHz loop bandwidth
HARMONICS ⁴					
Second Harmonic		-35/-52		dBc	13 dBm output power, unfiltered conductive/filtered conductive
Third Harmonic		-43/-60		dBc	
All Other Harmonics		-36/-65		dBc	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
OPTIMUM PA LOAD IMPEDANCE ⁵					
$f_{RF} = 915 \text{ MHz}$		39 + j61		Ω	
$f_{RF} = 868 \text{ MHz}$		48 + j54		Ω	
$f_{RF} = 450 \text{ MHz}$		98 + j65		Ω	
$f_{RF} = 426 \text{ MHz}$		100 + j65		Ω	
$f_{RF} = 315 \text{ MHz}$		129 + j63		Ω	
$f_{RF} = 175 \text{ MHz}$		173 + j49		Ω	

¹ ガウス・フィルタまたは raised cosine フィルタを使用。周波数変位は、送信信号占有帯域幅が レシーバの IF フィルタ帯域幅内に入るように選択する必要があります。

² 周波数変位の定義については、レジスタ 2—送信変調レジスタを参照してください。

³ 最大非変調電力として測定。

⁴ T型高調波フィルタ (インダクタ 2個とコンデンサ 1個)を使用する EVAL-ADF7021-NDBxx 上で測定したフィルタ済み高調波伝導放出。

⁵ マッチングについては、LNA/PA のマッチングのセクションを参照してください。

レシーバ仕様

表 3.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
SENSITIVITY					Bit error rate (BER) = 10^{-3} , low noise amplifier (LNA) and power amplifier (PA) matched separately
2FSK					
Sensitivity at 0.1 kbps		-130		dBm	$f_{DEV} = 1 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 13.5 kHz
Sensitivity at 0.25 kbps		-127		dBm	$f_{DEV} = 1 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 13.5 kHz
Sensitivity at 1 kbps		-122		dBm	$f_{DEV} = 1 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 13.5 kHz
Sensitivity at 9.6 kbps		-115		dBm	$f_{DEV} = 4 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 18.5 kHz
Gaussian 2FSK					
Sensitivity at 0.1 kbps		-129		dBm	$f_{DEV} = 1 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 13.5 kHz
Sensitivity at 0.25 kbps		-127		dBm	$f_{DEV} = 1 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 13.5 kHz
Sensitivity at 1 kbps		-121		dBm	$f_{DEV} = 1 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 13.5 kHz
Sensitivity at 9.6 kbps		-114		dBm	$f_{DEV} = 4 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 18.5 kHz
GMSK					
Sensitivity at 9.6 kbps		-113		dBm	$f_{DEV} = 2.4 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 18.5 kHz
Raised Cosine 2FSK					
Sensitivity at 0.25 kbps		-127		dBm	$f_{DEV} = 1 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 13.5 kHz
Sensitivity at 1 kbps		-121		dBm	$f_{DEV} = 1 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 13.5 kHz
Sensitivity at 9.6 kbps		-114		dBm	$f_{DEV} = 4 \text{ kHz}$, high sensitivity mode, IF_FILTER_BW = 18.5 kHz

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
3FSK					
Sensitivity at 9.6 kbps		-110		dBm	$f_{DEV} = 2.4$ kHz, high sensitivity mode, IF_FILTER_BW = 18.5 kHz, Viterbi detection on
Raised Cosine 3FSK					
Sensitivity at 9.6 kbps		-110		dBm	$f_{DEV} = 2.4$ kHz, high sensitivity mode, IF_FILTER_BW = 13.5 kHz, alpha = 0.5, Viterbi detection on
4FSK					
Sensitivity at 9.6 kbps		-112		dBm	f_{DEV} (inner) = 1.2 kHz, high sensitivity mode, IF_FILTER_BW = 13.5 kHz
Raised Cosine 4FSK					
Sensitivity at 9.6 kbps		-109		dBm	f_{DEV} (inner) = 1.2 kHz, high sensitivity mode, IF_FILTER_BW = 13.5 kHz, alpha = 0.5
INPUT IP3					Two-tone test, $f_{LO} = 860$ MHz, $F1 = f_{LO} + 100$ kHz, $F2 = f_{LO} - 800$ kHz
Low Gain Enhanced Linearity Mode		-3		dBm	LNA_GAIN = 3, MIXER_LINEARITY = 1
Medium Gain Mode		-13.5		dBm	LNA_GAIN = 10, MIXER_LINEARITY = 0
High Sensitivity Mode		-24		dBm	LNA_GAIN = 30, MIXER_LINEARITY = 0
ADJACENT CHANNEL REJECTION					
868 MHz					Wanted signal is 3 dB above the sensitivity point (BER = 10^{-3}); unmodulated interferer is at the center of the adjacent channel; rejection measured as the difference between the interferer level and the wanted signal level in dB
12.5 kHz Channel Spacing		40		dB	9 kHz IF_FILTER_BW
25 kHz Channel Spacing		39		dB	18.5 kHz IF_FILTER_BW
426 MHz					Wanted signal is 3 dB above the reference sensitivity point (BER = 10^{-3}); modulated interferer (same modulation as wanted signal) at the center of the adjacent channel; rejection measured as the difference between the interferer level and reference sensitivity level in dB
12.5 kHz Channel Spacing		40		dB	9 kHz IF_FILTER_BW, compliant with ARIB STD-T67
25 kHz Channel Spacing		39		dB	18.5 kHz IF_FILTER_BW, compliant with ARIB STD-T67
CO-CHANNEL REJECTION					Wanted signal (2FSK, 9.6 kbps, ± 4 kHz deviation) is 3 dB above the sensitivity point (BER = 10^{-3}), modulated interferer
868 MHz		-5		dB	
IMAGE CHANNEL REJECTION					Wanted signal (2FSK, 9.6 kbps, ± 4 kHz deviation) is 10 dB above the sensitivity point (BER = 10^{-3}); modulated interferer (2FSK, 9.6 kbps, ± 4 kHz deviation) is placed at the image frequency of $f_{RF} - 200$ kHz; the interferer level is increased until BER = 10^{-3}
868 MHz		26/39		dB	Uncalibrated/calibrated ¹ , $V_{DD} = 3.0$ V, $T_A = 25^\circ\text{C}$
450 MHz, Internal Inductor VCO		29/50		dB	Uncalibrated/calibrated, $V_{DD} = 3.0$ V, $T_A = 25^\circ\text{C}$
BLOCKING					Wanted signal is 10 dB above the input sensitivity level; CW interferer level is increased until BER = 10^{-3}
± 1 MHz		69		dB	
± 2 MHz		75		dB	
± 5 MHz		78		dB	
± 10 MHz		78.5		dB	
SATURATION (MAXIMUM INPUT LEVEL)		12		dBm	2FSK mode, BER = 10^{-3}

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
RSSI					
Range at Input ²		-120 to -47		dBm	
Linearity		±2		dB	Input power range = -100 dBm to -47 dBm
Absolute Accuracy		±3		dB	Input power range = -100 dBm to -47 dBm
Response Time		390		μs	See the RSSI/AGC section
AFC					
Pull-In Range	0.5		1.5 × IF - FILTER _BW	kHz	The range is programmable in Register 10 (R10_DB[24:31])
Response Time		64		Bits	
Accuracy		0.5		kHz	Input power range = -100 dBm to +12 dBm
Rx SPURIOUS EMISSIONS³					
Internal Inductor VCO		-91/-91		dBm	<1 GHz at antenna input, unfiltered conductive/filtered conductive
		-52/-70		dBm	>1 GHz at antenna input, unfiltered conductive/filtered conductive
External Inductor VCO		-62/-72		dBm	<1 GHz at antenna input, unfiltered conductive/filtered conductive
		-64/-85		dBm	>1 GHz at antenna input, unfiltered conductive/filtered conductive
LNA INPUT IMPEDANCE					
f _{RF} = 915 MHz		24 - j60		Ω	RFIN to RFGND
f _{RF} = 868 MHz		26 - j63		Ω	
f _{RF} = 450 MHz		63 - j129		Ω	
f _{RF} = 426 MHz		68 - j134		Ω	
f _{RF} = 315 MHz		96 - j160		Ω	
f _{RF} = 175 MHz		178 - j190		Ω	

¹ 外部 RF ソースを使ったイメージ除去のキャリブレーション。

² 受信信号レベル < -100 dBm の場合、多数のサンプルについて RSSI リードバック値の平均をとって小さい入力電力での RSSI 精度を向上させることが推奨されます。

³ フィルタ済み受信スプリアス伝導放出は、T 型高調波フィルタ (インダクタ 2 個とコンデンサ 1 個) を使用する EVAL-ADF7021-NDBxx 上で測定。

デジタル仕様

表 4.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
TIMING INFORMATION					
Chip Enabled to Regulator Ready		10		μs	CREG (1:4) = 100 nF
Chip Enabled to Tx Mode					32-bit register write time = 50 μs
TCXO Reference		1		ms	
XTAL		2		ms	
Chip Enabled to Rx Mode					32-bit register write time = 50 μs, IF filter coarse calibration only
TCXO Reference		1.2		ms	
XTAL		2.2		ms	
Tx-to-Rx Turnaround Time		390 μs + (5 × t _{BIT})			Time to synchronized data out, includes AGC settling (three AGC levels) and CDR synchronization; see the AGC Information and Timin section for more details; t _{BIT} = data bit period
LOGIC INPUTS					
Input High Voltage, V _{INH}	0.7 × V _{DD}			V	
Input Low Voltage, V _{INL}			0.2 × V _{DD}	V	
Input Current, I _{INH} /I _{INL}			±1	μA	
Input Capacitance, C _{IN}			10	pF	
Control Clock Input			50	MHz	
LOGIC OUTPUTS					
Output High Voltage, V _{OH}	DV _{DD} - 0.4			V	I _{OH} = 500 μA
Output Low Voltage, V _{OL}			0.4	V	I _{OL} = 500 μA
CLKOUT Rise/Fall			5	ns	
CLKOUT Load			10	pF	

全体仕様

表 5.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
TEMPERATURE RANGE (T _A)	-40		+85	°C	
POWER SUPPLIES					
Voltage Supply, V _{DD}	2.3		3.6	V	All VDD pins must be tied together
TRANSMIT CURRENT CONSUMPTION ¹					V _{DD} = 3.0 V, PA is matched into 50 Ω VCO_BIAS = 8
868 MHz					
0 dBm		20.2		mA	
5 dBm		24.7		mA	
10 dBm		32.3		mA	
450 MHz, Internal Inductor VCO					VCO_BIAS = 8
0 dBm		19.9		mA	
5 dBm		23.2		mA	
10 dBm		29.2		mA	
426 MHz, External Inductor VCO					VCO_BIAS = 2
0 dBm		13.5		mA	
5 dBm		17		mA	
10 dBm		23.3		mA	
RECEIVE CURRENT CONSUMPTION					V _{DD} = 3.0 V VCO_BIAS = 8
868 MHz					
Low Current Mode		22.7		mA	
High Sensitivity Mode		24.6		mA	
433MHz, Internal Inductor VCO					VCO_BIAS = 8
Low Current Mode		24.5		mA	
High Sensitivity Mode		26.4		mA	
426 MHz, External Inductor VCO					VCO_BIAS = 2
Low Current Mode		17.5		mA	
High Sensitivity Mode		19.5		mA	
POWER-DOWN CURRENT CONSUMPTION					
Low Power Sleep Mode		0.1	1	μA	CE low

¹ 送信消費電流テストでは EVAL-ADF7021-NDBxx 評価ボードで使用した PA と LNA を組み合わせた同じ整合回路を使用。別々の PA 整合回路の使用により PA の効率を改善。

タイミング特性

特に指定のない限り、V_{DD} = 3 V ± 10%、DGND = AGND = 0 V、T_A = 25°C。デザインにより保証しますが、出荷テストは行いません。

表 6.

Parameter	Limit at T _{MIN} to T _{MAX}	Unit	Test Conditions/Comments
t ₁	>10	ns	SDATA to SCLK setup time
t ₂	>10	ns	SDATA to SCLK hold time
t ₃	>25	ns	SCLK high duration
t ₄	>25	ns	SCLK low duration
t ₅	>10	ns	SCLK to SLE setup time
t ₆	>20	ns	SLE pulse width
t ₈	<25	ns	SCLK to SREAD data valid, readback
t ₉	<25	ns	SREAD hold time after SCLK, readback
t ₁₀	>10	ns	SCLK to SLE disable time, readback
t ₁₁	5 < t ₁₁ < (1/4 × t _{BIT})	ns	TxRxCLK negative edge to SLE
t ₁₂	>5	ns	TxRxDATA to TxRxCLK setup time (Tx mode)
t ₁₃	>5	ns	TxRxCLK to TxRxDATA hold time (Tx mode)
t ₁₄	>1/4 × t _{BIT}	μs	TxRxCLK negative edge to SLE
t ₁₅	>1/4 × t _{BIT}	μs	SLE positive edge to positive edge of TxRxCLK

タイミング図

シリアル・インターフェース

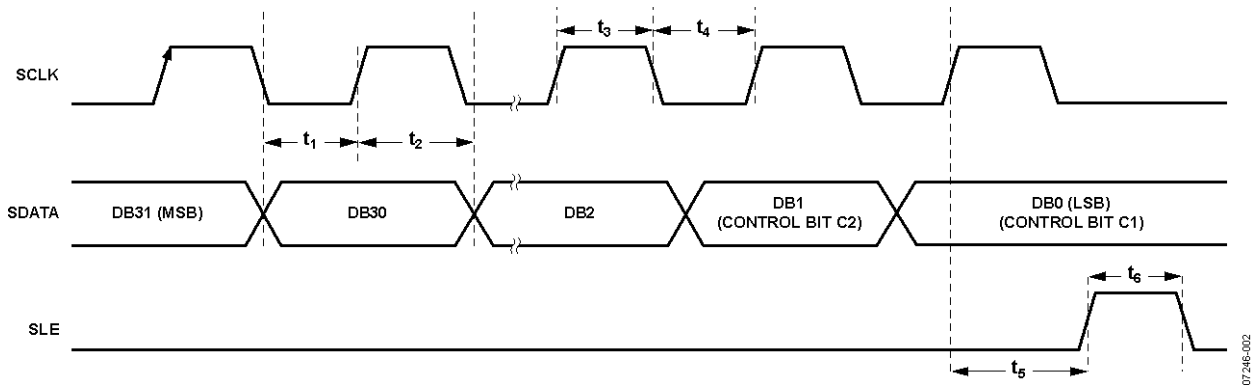


図 2.シリアル・インターフェースのタイミング図

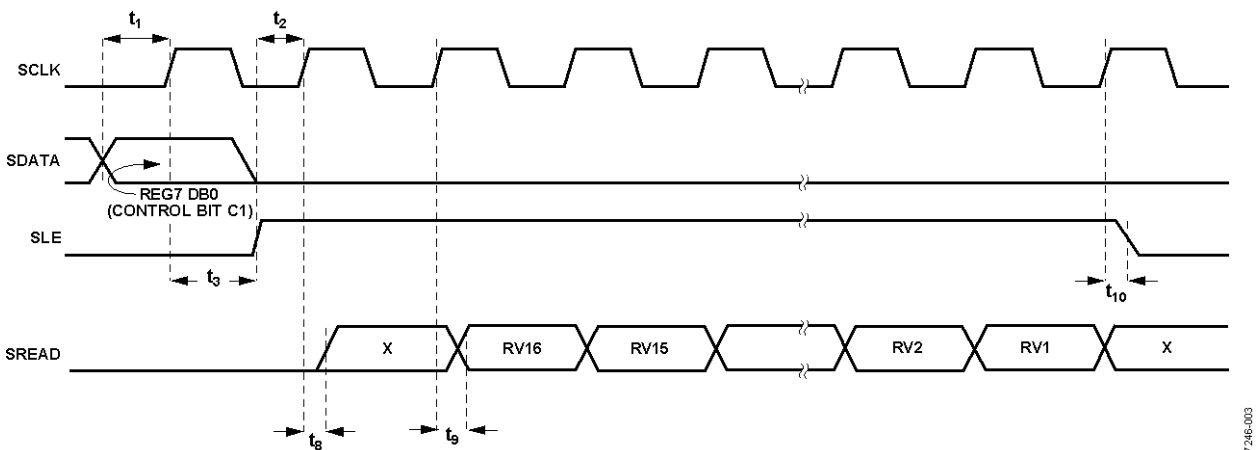


図 3.シリアル・インターフェースのリードバック・タイミング図

2FSK/3FSK のタイミング

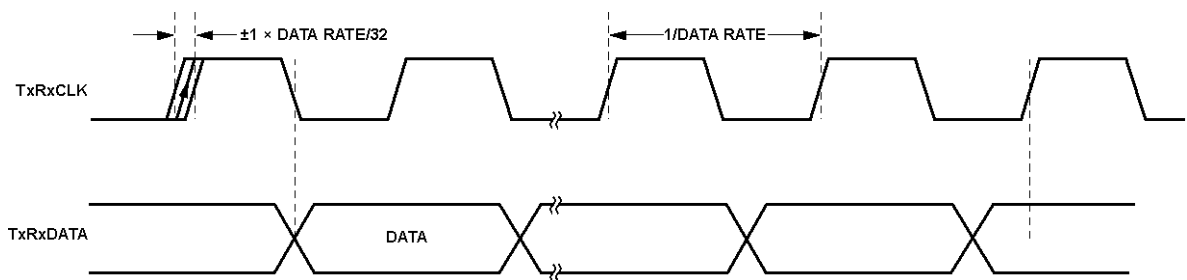


図 4.TxRxDATA/TxRxCLK のタイミング図、受信モード

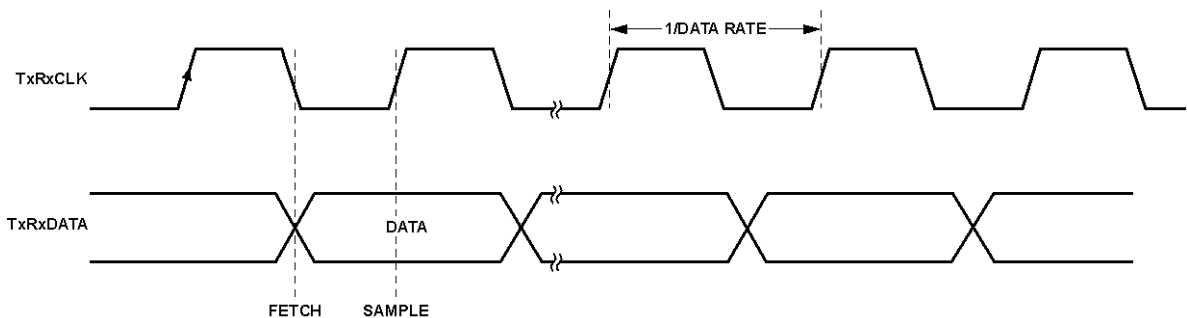


図 5.TxRxDATA/TxRxCLK のタイミング図、送信モード

4FSK のイミング

4FSK 受信モードでは、受信ビット・ストリーム内で SWD により MSB/LSB 同期を保证する必要があります。

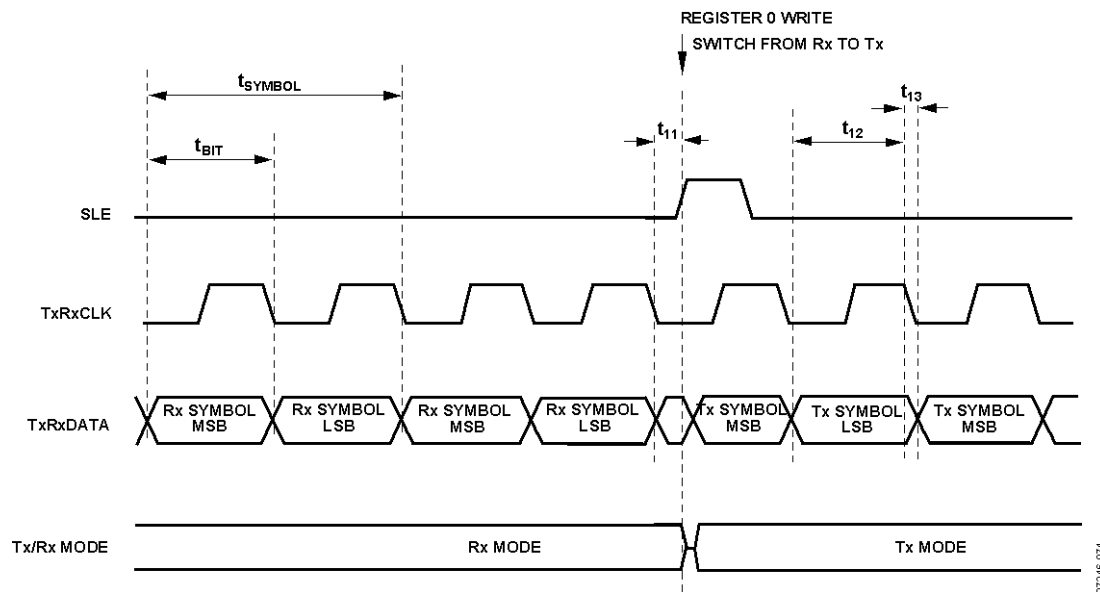


図 6.受信-送信間のタイミング図、4FSK モード

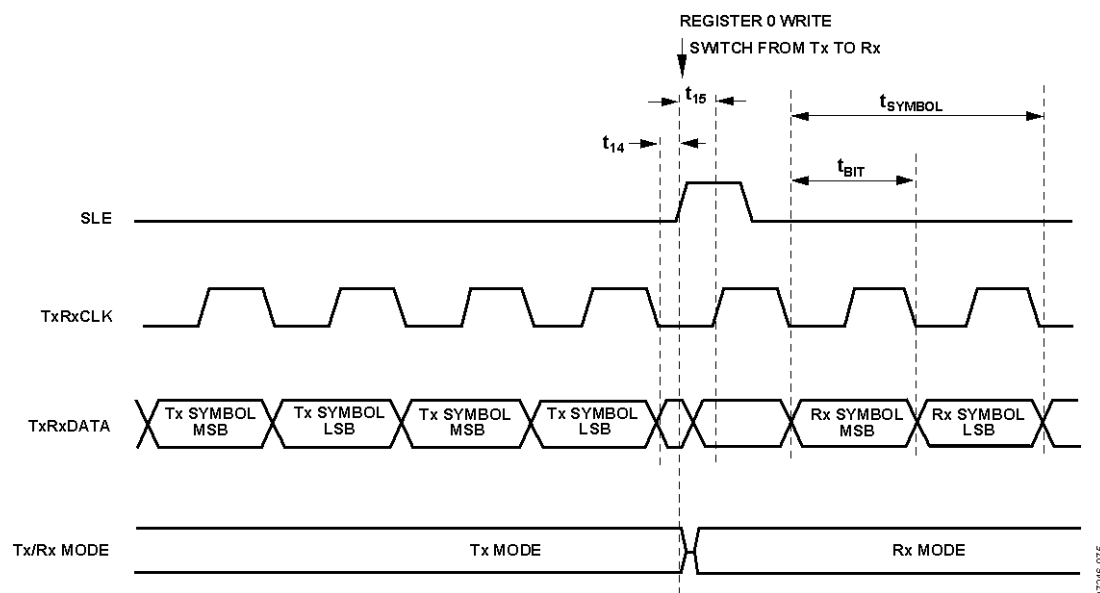


図 7.送信-受信間のタイミング図、4FSK モード

UART/SPI モード

R0_DB28 を 1 に設定すると、UART モードがイネーブルされます。R0_DB28 を 1 に設定し、R15_DB[17:19]を 0x7 に設定すると、SPI モードがイネーブルされます。送信/受信データ・クロックは、CLKOUT ピンに出力されます。

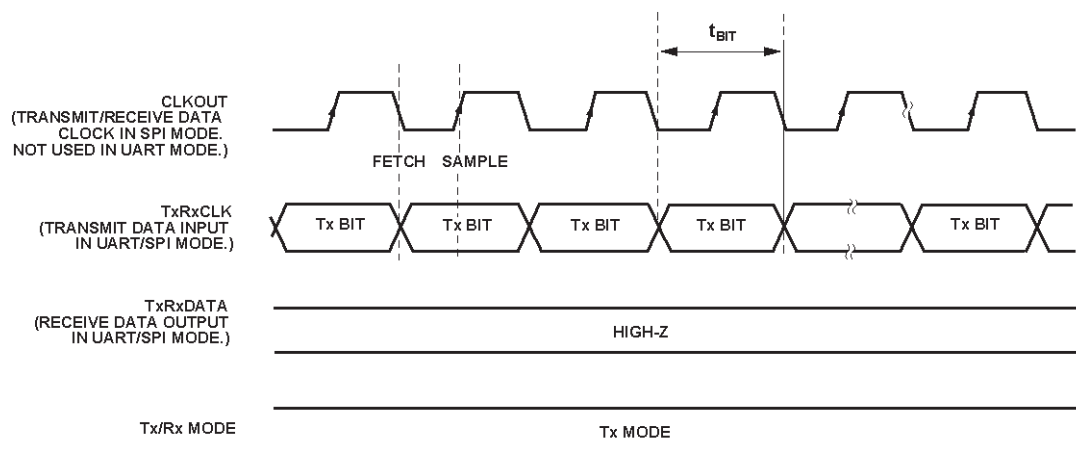


図 8.送信のタイミング図、UART/SPI モード

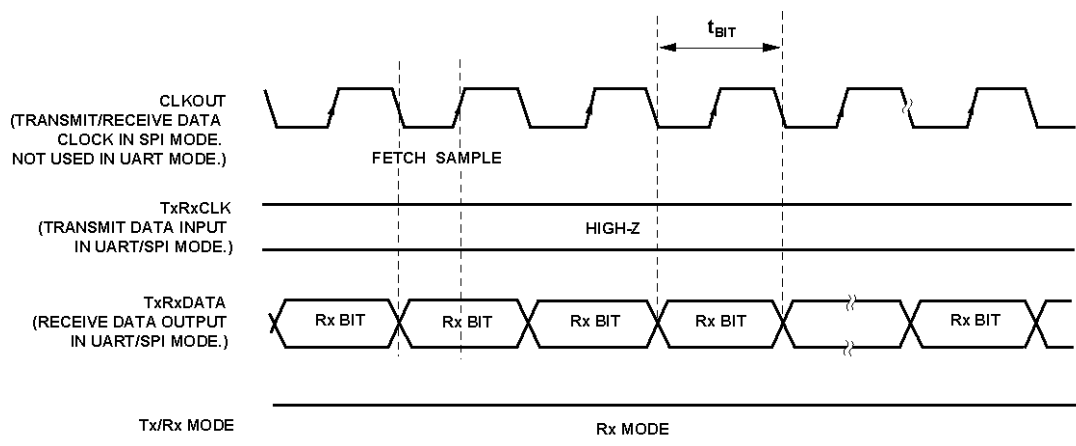


図 9.受信のタイミング図、UART/SPI モード

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 7.

Parameter	Rating
V_{DD} to GND ¹	-0.3 V to +5 V
Analog I/O Voltage to GND	-0.3 V to $AV_{DD} + 0.3$ V
Digital I/O Voltage to GND	-0.3 V to $DV_{DD} + 0.3$ V
Operating Temperature Range Industrial (B Version)	-40°C to +85°C
Storage Temperature Range	-65°C to +125°C
Maximum Junction Temperature	150°C
MLF θ_{JA} Thermal Impedance	26°C/W
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec

¹ GND = CPGND = RFGND = DGND = AGND = 0.

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

このデバイスは、2 kV 以下の ESD 定格を持ち、ESD に敏感な高性能 RF 集積回路です。取り扱いと組み立てでは適切な注意が必要です。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

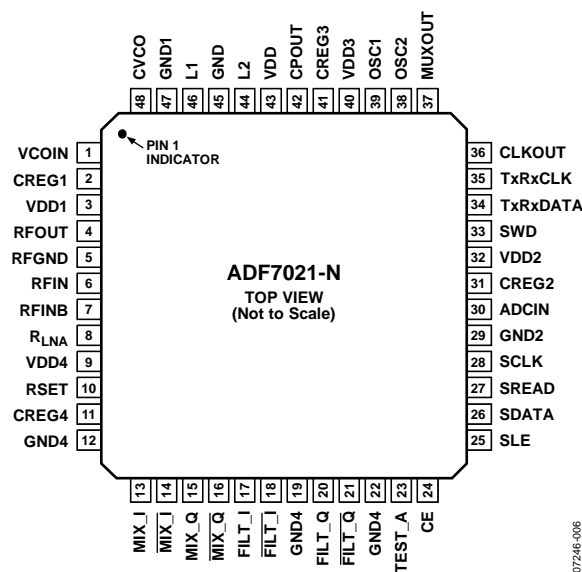


図 10. ピン配置

表 8. ピン機能の説明

ピン番号	記号	説明
1	VCOIN	このピンの電圧を調整して、電圧制御発振器(VCO)の出力周波数を決定します。電圧を高くすると、出力周波数が高くなります。
2	CREG1	PA ブロックのレギュレータ電圧。レギュレータの安定性とノイズ除去のために、このピンとグラウンドとの間に直列 3.9 Ω の抵抗と 100 nF のコンデンサを接続してください。
3	VDD1	PA ブロックの電源電圧。0.1 μF と 100 pF のデカップリング・コンデンサをこのピンのできるだけ近くに接続します。すべての VDD ピンを一緒に接続します。
4	RFOUT	変調された信号がこのピンに出力されます。出力電力レベルは-16 dBm~+13 dBm です。適切な部品を使って出力インピーダンスは所望の負荷と整合させる必要があります(トランスミッタのセクション参照)。
5	RFGND	トランスミッタの出力ステージのグラウンド。すべての GND ピンは一緒に接続します。
6	RFIN	レーザ・セクションの LNA 入力。最大電力転送を保証するために、アンテナと差動 LNA 入力との間で入力の整合が必要です(LNA/PA のマッチングのセクション参照)。
7	RFINB	相補 LNA 入力(LNA/PA のマッチングのセクション参照)。
8	R _{LNA}	LNA の外付けバイアス抵抗。最適抵抗は、5% 誤差の 1.1 kΩ。
9	VDD4	LNA/MIXER ブロックの電源電圧。このピンは、10 nF コンデンサでグラウンドへデカップリングする必要があります。
10	RSET	外付け抵抗。チャージ・ポンプ電流と幾つかの内部バイアス電流を設定します。5% 誤差の 3.6 kΩ 抵抗を使用してください。
11	CREG4	LNA/MIXER ブロックのレギュレータ電圧。レギュレータの安定性とノイズ除去のために、このピンとグラウンドとの間に 100 nF のコンデンサを接続してください。
12、19、22	GND4	LNA/MIXER ブロックのグラウンド。
13~18	MIX_I、 MIX_I、 MIX_Q、 MIX_Q、 FILT_I、 FILT_I	シグナル・チェーンのテスト・ピン。これらのピンは、通常状態では高インピーダンスであるため、解放のままにしてください。
20、21、23	FILT_Q、 FILT_Q、 TEST_A	シグナル・チェーンのテスト・ピン。これらのピンは、通常状態では高インピーダンスであるため、解放のままにしてください。
24	CE	チップ・イネーブル。CE をロー・レベルにすると、ADF7021-N は完全にパワーダウンします。CE がロー・レベルになるとレジスタ値が失われるため、CE をハイ・レベルにした後にデバイスを再設定する必要があります。
25	SLE	ロード・イネーブル、CMOS 入力。SLE がハイ・レベルになると、シフト・レジスタに格納されているデータが 4 個のラッチの内の 1 つにロードされます。ラッチは、コントロール・ビットを使って選択します。

ピン番号	記号	説明
26	SDATA	シリアル・データ入力。シリアル・データが、下位 4 ビットはコントロール・ビットとして MSB ファーストでロードされます。このピンは高インピーダンスの CMOS 入力です。
27	SREAD	シリアル・データ出力。このピンは、ADF7021-N からマイクロコントローラへリードバック・データを出力するときに使います。SCLK 入力は、SREAD ピンからの各リードバック・ビット(たとえば AFC や ADC)を入力するときに使います。
28	SCLK	シリアル・データ入力。このシリアル・クロックは、シリアル・データをレジスタに入力するときに使います。データは、CLK の立ち上がりエッジで 32 ビットのシフト・レジスタへ入力されます。このピンはデジタル CMOS 入力です。
29	GND2	デジタル・セクションのグラウンド。
30	ADCIN	A/D コンバータ入力。内蔵の 7 ビット ADC は、このピンからアクセスすることができます。フル・スケールは 0 V~1.9 V です。リードバックは SREAD ピンを使って行われます。
31	CREG2	デジタル・ブロックのレギュレータ電圧。レギュレータの安定性とノイズ除去のために、このピンとグラウンドとの間に 100 nF のコンデンサを接続してください。
32	VDD2	デジタル・ブロックの電源電圧。10 μ F のデカップリング・コンデンサをこのピンのできるだけ近くに接続します。
33	SWD	同期ワード検出。ADF7021-N は、同期ワード・シーケンスの一致を検出するとこのピンをアサートします(レジスタ 11—同期ワード検出レジスタのセクション参照)。外付けマイクロコントローラへの割り込みを発生して、有効データが受信されたことを表示します。
34	TxRxDATA	送信データ入力/受信データ出力。デジタル・ピンであり、通常の CMOS レベルを使用。UART/SPI モードでは、このピンは受信モードでの受信データを出力します。送信 UART/SPI モードでは、このピンは高インピーダンスになります(マイクロコントローラ/DSP へのインターフェースのセクション参照)。
35	TxRxCLK	受信モードと送信モードでデータ・クロックを出力します。デジタル・ピンであり、通常の CMOS レベルを使用。正のクロック・エッジは、受信データの中央に一致します。送信モードでは、このピン出力はデータをマイクロコントローラから送信セクションへ必要とされる正確なデータ・レートでラッチする正確なクロックになります。UART/SPI モードでは、このピンを使って送信モードでの送信データを入力します。受信 UART/SPI モードでは、このピンは高インピーダンスになります(マイクロコントローラ/DSP へのインターフェースのセクション参照)。
36	CLKOUT	出力ドライバ付きの水晶リファレンスの分周クロック。このデジタル・クロック出力を使って、マイクロコントローラ・クロックなどの複数の他の CMOS 入力を駆動することができます。この出力は 50:50 のマーク・スペース比を持ち、リファレンスに対して反転されています。CLKOUT 機能を使うアプリケーションでは、このピンのできるだけ近くに直列 1 k Ω 抵抗を接続してください。
37	MUXOUT	DIGITAL_LOCK_DETECT 信号を出力します。この信号を使って、PLL が正しい周波数にロックしたか否かを判断します。また、シリアル・インターフェース・レギュレータのステータス・インジケータである REGULATOR_READY のような他の信号も出力します(詳細については、MUXOUT のセクション参照)。
38	OSC2	このピンと OSC1 の間にリファレンス水晶を接続します。CMOS レベルでこのピンを駆動し、内部水晶発振器をディセーブルすることにより、TCXO リファレンスを使うことができます。
39	OSC1	このピンと OSC2 の間にリファレンス水晶を接続します。AC 結合の 0.8 V p-p レベルでこのピンを駆動し、内部水晶発振器をディセーブルすることにより、TCXO リファレンスを使うことができます。
40	VDD3	チャージ・ポンプと PLL 分周器の電源電圧。このピンは、10 nF コンデンサでグラウンドへデカップリングする必要があります。
41	CREG3	チャージ・ポンプと PLL 分周器のレギュレータ電圧。レギュレータの安定性とノイズ除去のために、このピンとグラウンドとの間に 100 nF のコンデンサを接続してください。
42	CPOUT	チャージ・ポンプ出力。この出力は、ループ・フィルタで積分される電流パルスが発生します。積分された電流は、VCO 入力の制御電圧を変化させます。
43	VDD	VCO タンク回路の電源電圧。このピンは、10 nF コンデンサでグラウンドへデカップリングする必要があります。
44、46	L2、L1	外付け VCO インダクタ・ピン。外付け VCO インダクタを使う場合、これらのピンの間にチップ・インダクタを接続して、VCO 動作周波数を設定します。内部 VCO インダクタを使う場合には、これらのピンは解放のままにしておくことができます。詳細については、電圧制御発振器(VCO)のセクションを参照してください。
45、47	GND、GND1	VCO ブロックのグラウンド。
48	CVCO	このピンと CREG1 の間に 22 nF のコンデンサを接続して VCO ノイズを抑えてください。

代表的な性能特性

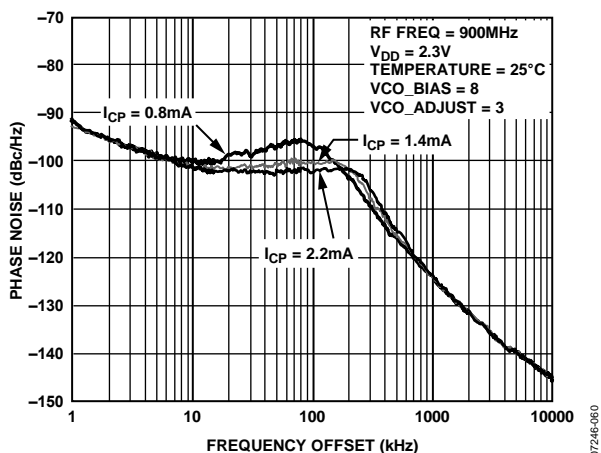


図 11.位相ノイズ応答、900 MHz、 $V_{DD} = 2.3 V$

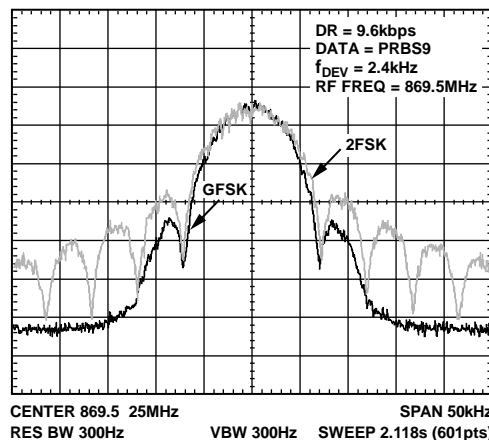


図 14.2FSK モードと GFSK モードでの出力スペクトル

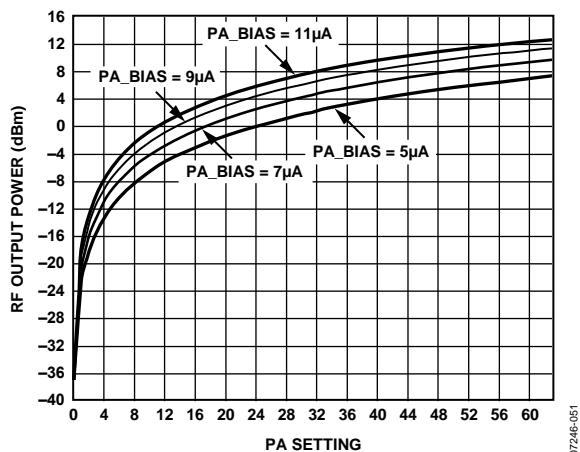


図 12.RF 出力電力対 PA 設定

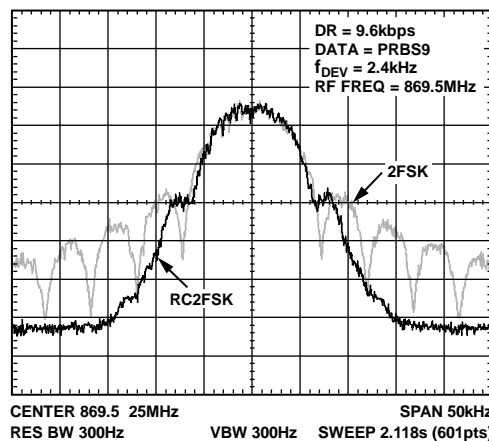


図 15.2FSK モードと Raised Cosine 2FSK モードでの出力スペクトル

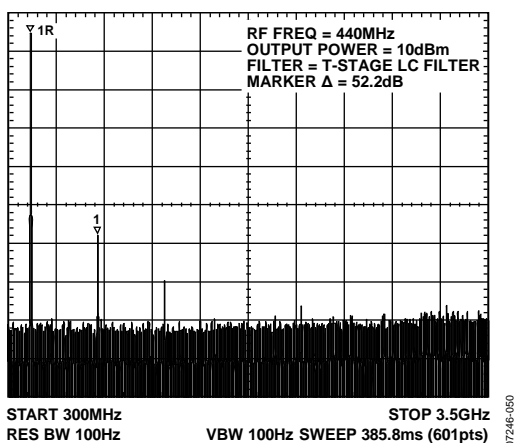


図 13.PA 出力高調波応答、T 型 LC フィルタ使用

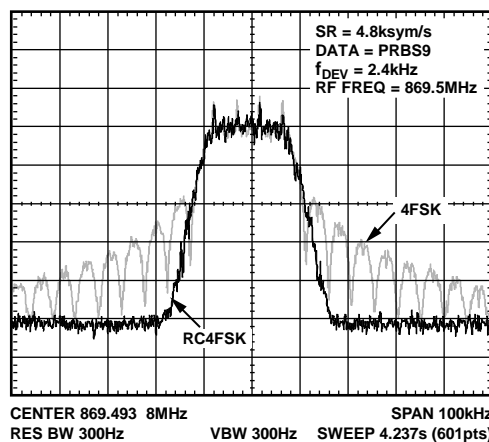


図 16.4FSK モードと Raised Cosine 4FSK モードでの出力スペクトル

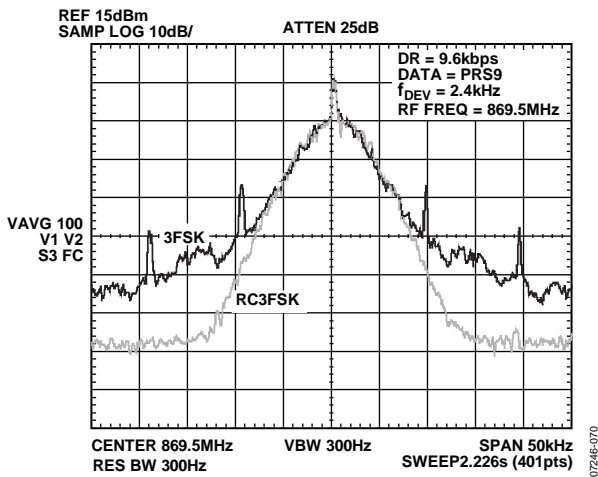


図 17. 3FSK モードと Raised Cosine 3FSK モードでの出力スペクトル

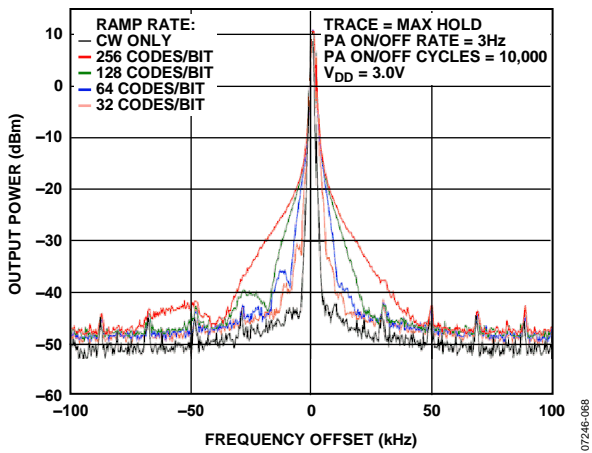


図 18. さまざまな PA R アンプ・レート・オプションに対する最大ホールドでの出力スペクトル

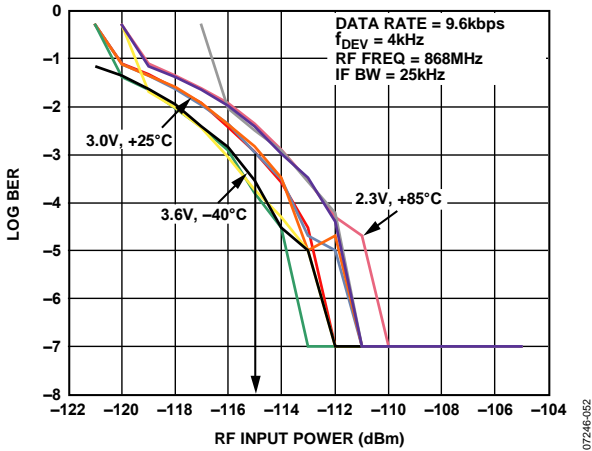


図 19. 2FSK 感度対 V_{DD} および温度、 $f_{RF} = 868$ MHz

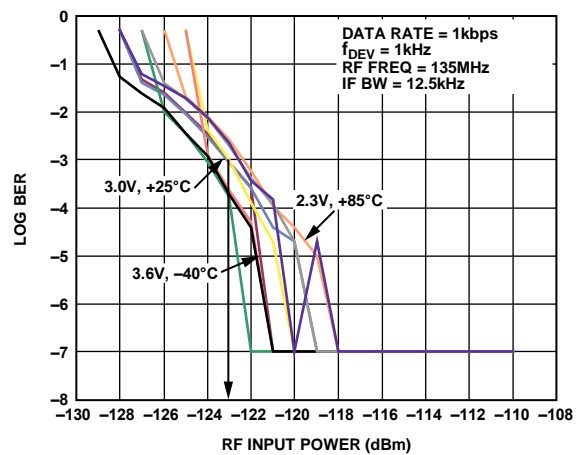


図 20. 2FSK 感度対 V_{DD} および温度、 $f_{RF} = 135$ MHz

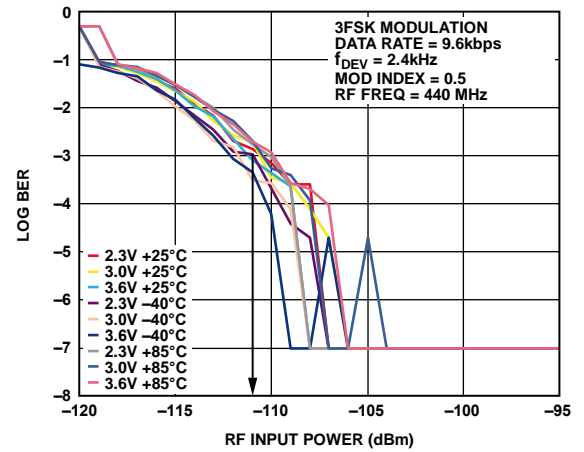


図 21. 3FSK 感度対 V_{DD} および温度、 $f_{RF} = 440$ MHz

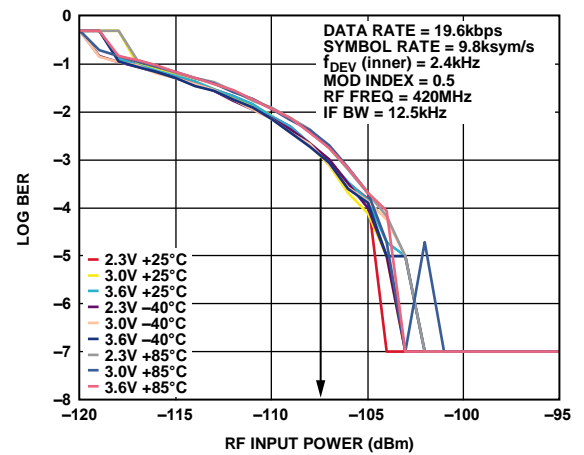


図 22. 4FSK 感度対 V_{DD} および温度、 $f_{RF} = 420$ MHz

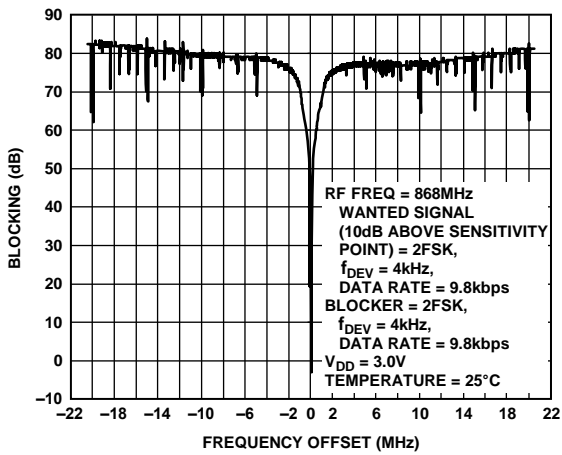


図 23.広帯域干渉除去比

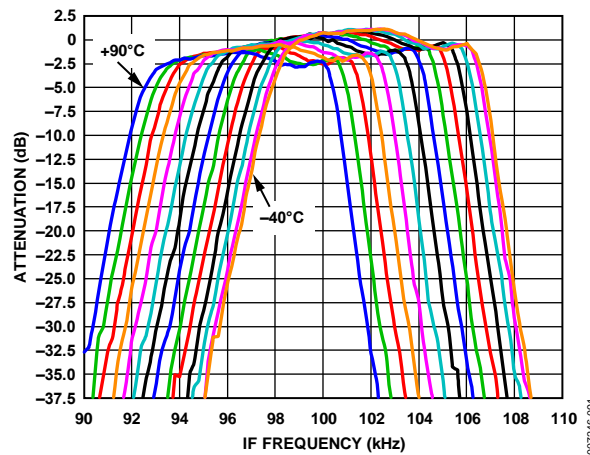


図 26.IF フィルタ応答の温度変化
(IF_FILTER_BW = 9 kHz、温度範囲-40°C~+90°C、10°ステップ)

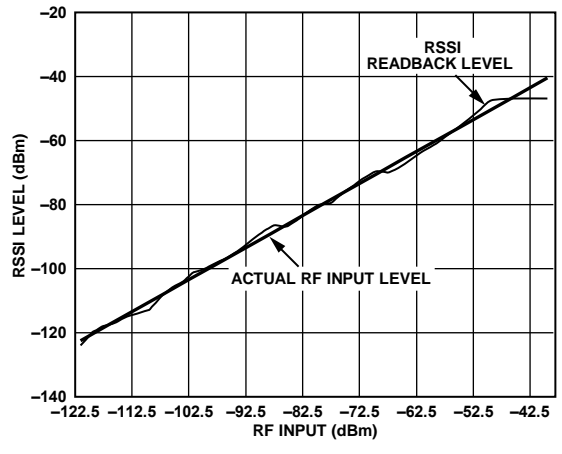


図 24.デジタル RSSI リードバックの直線性

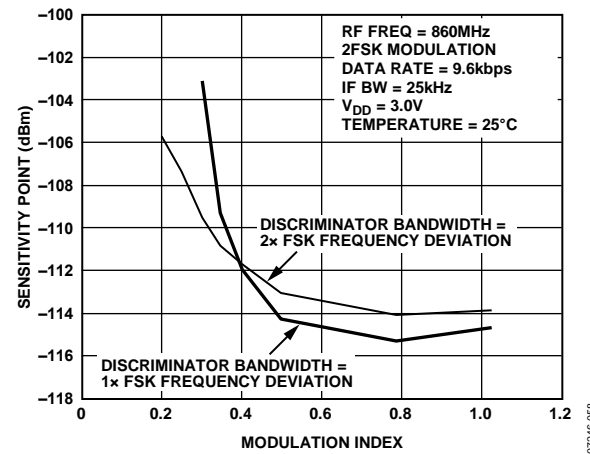


図 27.2FSK 感度対変調係数対相関
弁別器の帯域幅

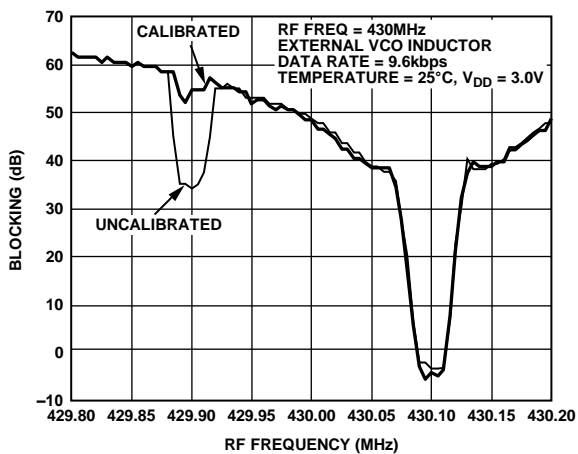


図 25.イメージ除去比、キャリブレーション有無の比較

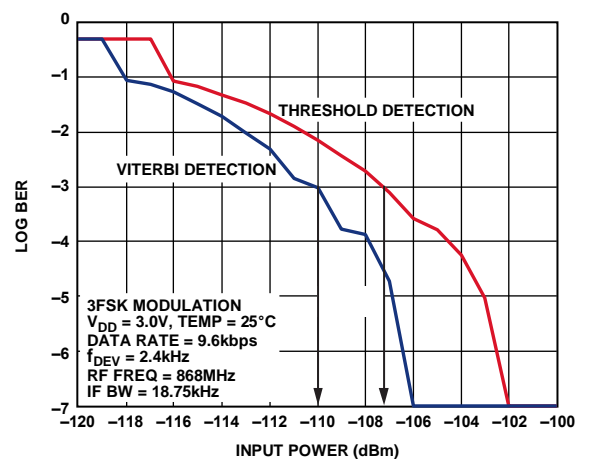


図 28.ビタビ検出とスレッシュホールド検出を使用した
3FSK レシーバの感度

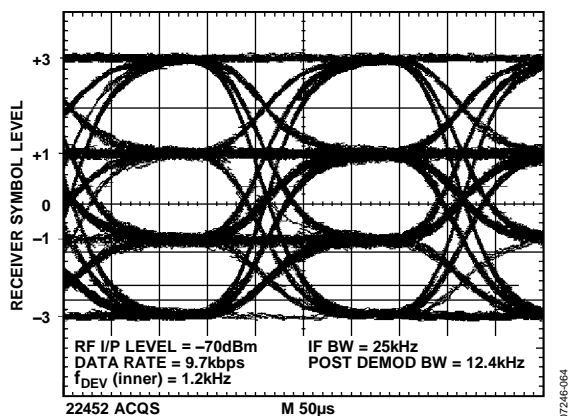


図 29. テスト DAC 出力を使って測定した 4FSK レシーバのアイ・ダイアグラム

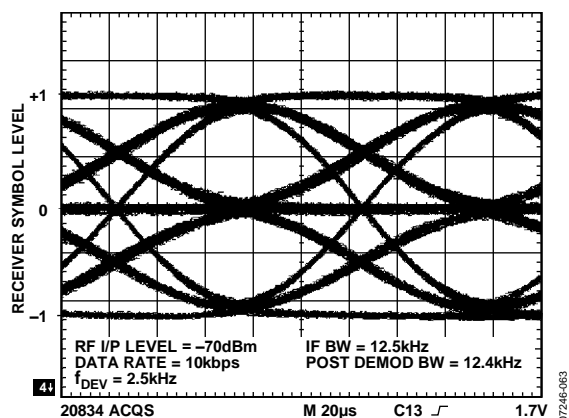


図 30. テスト DAC 出力を使って測定した 3FSK レシーバのアイ・ダイアグラム

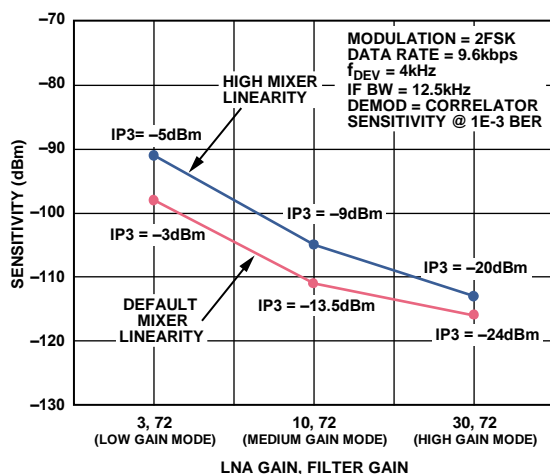


図 31. 受信感度対 LNA/IF フィルタ・ゲインおよびミキサー直線性の設定 (各設定での入力 IP3 も表示)

周波数シンセサイザ

リファレンス電圧入力

内蔵の水晶発振器回路(図 32 参照)では、PLL リファレンスとして水晶を使用することができます。狭帯域アプリケーションに対しては、周波数誤差 10 ppm 以下の水晶の使用が推奨されます。誤差 10 ppm 以上の水晶も使うことができますが、狭帯域規制(たとえば ARIB STD-T67 や ETSI EN 300 220)の絶対周波数誤差仕様を満たすためには、水晶の周波数誤差を補償することが必要です。

R1_DB12 をハイ・レベルに設定すると、発振器回路がイネーブルされます。デフォルトでパワーアップ時にイネーブルされ、CE をロー・レベルにすると、ディスエーブルされます。水晶の誤差は、自動周波数制御機能を使用するか、またはフラクショナル N 値を調整することにより補正することができます(N カウンタのセクション参照)。

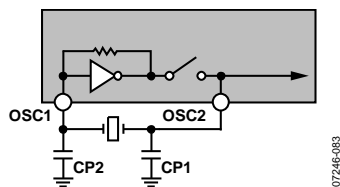


図 32.ADF7021-N の発振器回路

正しい周波数での発振には 2 個の並列共振コンデンサが必要です。これらの値は水晶の仕様に依存します。これらの値は、容量値と PCB パターン容量の和が水晶の規定負荷容量(12 pF~20 pF)になるように選択する必要があります。ボード・レイアウトに応じて、パターン容量値は 2 pF~5 pF の範囲です。可能な場合、すべての条件に対して安定な周波数動作を保証するためには非常に小さい温度係数を持つコンデンサを選択してください。

TCXO リファレンス電圧の使用

ADF7021-N では、シングルエンド・リファレンス(TCXO、VCXO、または OCXO)も使うことができます。これは、ARIB STD-T67 や ETSI EN 300 220 に準拠することが要求されるアプリケーションなどのように、10 ppm 以下の絶対周波数精度要求を持つアプリケーションに対して推奨されます。ADF7021-N と外付けリファレンス発振器とのインターフェースに対する 2 つのオプションを次に示します。

- CMOS 出力レベルを持つ発振器を OSC2 に接続します。R1_DB12 をロー・レベルに設定して、内部発振器回路をディスエーブルします。
- 0.8 V p-p レベルの発振器を 22 pF のコンデンサを介して OSC1 に AC 結合します。R1_DB12 をハイ・レベルに設定して、内部発振器回路をイネーブルします。

プログラマブルな水晶バイアス電流

XTAL_BIAS ビット(R1_DB [13:14])に書き込みを行うことにより、発振器回路のバイアス電流を 20 μ A ~ 35 μ A の範囲で設定することができます。バイアス電流を大きくすると、水晶発振器のパワーアップは高速になります。

CLKOUT 分周器とバッファ

CLKOUT 回路はリファレンス・クロック信号を発振器セクション(図 32)から入力して、分周した 50:50 のマーク・スペース比信号を CLKOUT ピンへ出力します。CLKOUT 信号はリファレンス・クロックに対して反転しています。2~30 の偶数分周が可能です。分周比は R1_DB[7:10]に設定します。パワーアップ時に、デフォルトで CLKOUT は 8 分周に設定されます。

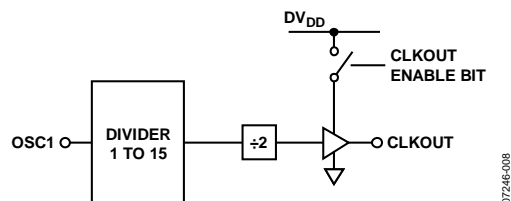


図 33.CLKOUT ステージ

CLKOUT をディスエーブルするときは、分周比を 0 に設定します。出力バッファは 20 pF までの負荷を駆動することができます。4.8 MHz で 10% の立ち上がり時間です。エッジが高速なほど、出力へのスプリアス・フィードスルーが多くなります。直列抵抗(1 k Ω)を使ってクロック・エッジを低速にして、CLKOUT 周波数でのこれらのスプリアスを小さくすることができます。

R カウンタ

3 ビットの R カウンタがリファレンス入力周波数を整数比 1~7 で分周します。分周された信号は、リファレンス・クロックとして位相周波数検出器(PFD)に入力されます。分周比は R1_DB[4:6]に設定します。PFD 周波数を大きくすると、N 値は小さくなります。これにより、レート 20 log(N)倍された出力へのノイズが小さくなるため、スプリアス成分の発生が少なくなります。

レジスタ 1 はパワーアップ時にデフォルトで R = 1 に設定されます。

$$PFD [\text{Hz}] = XTAL/R$$

ループ・フィルタ

ループ・フィルタは、チャージ・ポンプからの電流パルスを積分して、VCO 出力を所望の周波数に調整する電圧を発生します。また、PLL から発生するスプリアス・レベルも減衰させます。代表的なループ・フィルタ・デザインを図 34 に示します。

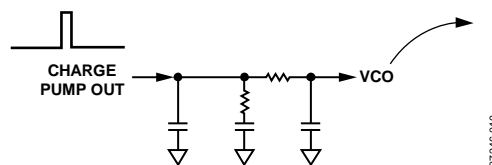


図 34.代表的なループ・フィルタの構成

このループは、ループ帯域幅(LBW)が約 100 kHz になるようにデザインする必要があります。これにより、帯域内位相ノイズと帯域外スプリアス除去との間の妥協点が得られます。LBW を広げ過ぎると、時間がかかる周波数間のジャンプが減りますが、スプリアスの減衰が不十分になります。ループ帯域幅を狭くすると、ロックに要する時間が長くなるため、隣接チャンネルへ落ち込む電力レベルが大きくなります。最適性能を得るためには、EVAL-ADF7021-NDBxx で使用したループ・フィルタ・デザインを使用する必要があります。

無償のデザイン・ツール ADI SRD Design Studio™を使って、ADF7021-N のループ・フィルタをデザインすることもできます(詳細については ADI SRD Design Studio ウェブ・サイトをご覧ください)。

N カウンタ

ADF7021-N PLL の帰還分周器は、8 ビットの整数カウンタ(R0_DB[19:26])と 15 ビットのシグマ・デルタ(Σ - Δ) fractional_N 分周器(R0_DB[4:18])から構成されています。この整数カウンタ

て 842 MHz~916 MHz と 421 MHz~458 MHz の動作バンドをサポートします。2 つ目の VCO は外付けインダクタ VCO であり、LC タンクの一部として外付けインダクタを使用して、80 MHz~650 MHz の RF 動作バンドをサポートします。

スプリアス放出を小さくするために、両 VCO を RF 周波数の 2 倍で動作させます。そして、シンセサイザ・ループ内で VCO 信号を 2 分周して、トランスミッタに必要な周波数とレシーバのローカル発振器(LO)に必要な周波数を発生させます。421 MHz~458 MHz バンド(内部インダクタ VCO)と 80 MHz~325 MHz バンド(外付けインダクタ VCO)での動作を可能にするため、シンセサイザ・ループの外側でさらに 2 分周します(RF_DIVIDE_BY_2)。

内部ノイズを抑えるために、CVCO ピンとレギュレータ(CREG1 ピン)との間に 22 nF の外付けコンデンサを接続します。

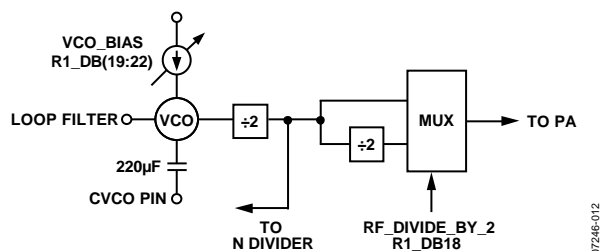


図 37.電圧制御発振器(VCO)

内部インダクタ VCO

内部インダクタ VCO を選択するときは、R1_DB25 をロジック 0 に設定します。これはデフォルト設定になっています。

VCO バイアス電流は、R1_DB[19:22] を使って調整することができます。内部インダクタ VCO を使用する際に VCO を確実に発振させるため、すべての条件下での最小バイアス電流設定は 0x8 です。

必要とする動作周波数に応じて、VCO_ADJUST ビット(R1_DB[23:24])を設定することにより、VCO の中心周波数を再設定する必要があります。詳細については、表 9 を参照してください。

外付けインダクタ VCO

外付けインダクタ VCO を使用する際の VCO 中心周波数は、内部パラクタ容量と外付けチップ・インダクタ、ボンド・ワイヤ、PCB パターンの合計インダクタンスによって設定されます。外付けインダクタは L2 ピンと L1 ピンの間に接続します。

VCO 動作周波数対合計外付けインダクタンス(チップ・インダクタ+PCB パターン)のプロットを図 38 に示します。

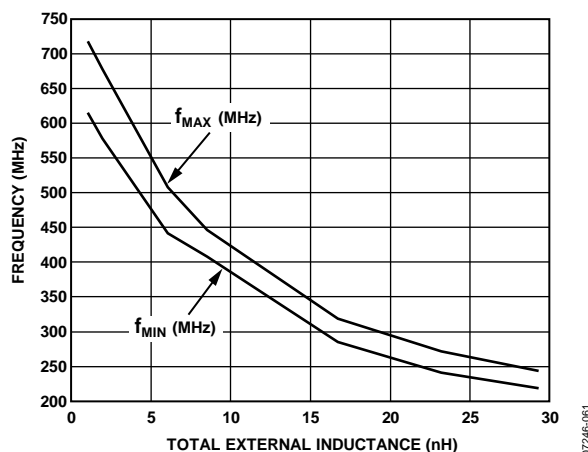


図 38.ダイレクト RF 出力対合計外付けインダクタンス

FR4 材料を使う PCB パターンのインダクタンスは約 0.57 nH/mm です。この値を合計値から減算して正しいチップ・インダクタ値を求める必要があります。

一般に、特定のインダクタ値を使うと、ADF7021-N は RF 動作周波数の $\pm 6\%$ の範囲で動作することができます。RF_DIVIDE_BY_2 ビット(R1_DB18)を選択した場合、この範囲は $\pm 3\%$ になります。たとえば、1 個のインダクタ(400 MHz 中心の VCO 範囲)で、400 MHz \pm 24 MHz の動作範囲(376 MHz~424 MHz)が期待できます。

送信モードまたは受信モードでデバイスがフルにパワーアップしたとき、VCOIN ピンの電圧を測定すると、VCO チューニング電圧を特定の RF 出力周波数に対してチェックすることができます。

VCO チューニング範囲は 0.2 V~2 V です。外付けインダクタ値は、このチューニング範囲の中心にできるだけ近いところで VCO が動作するように選択する必要があります。このことは、VCO ゲインが小さく、かつチューニング範囲が ± 6 MHz 以下になる 200 MHz 以下の RF 周波数で特に重要になります。

VCO 動作周波数範囲は、VCO_ADJUST ビット(R1_DB[23:24])に書込みを行うことにより調節できます。この調節により、VCO 動作範囲を上下に RF 周波数の最大 1%シフトさせることができます。

外付けインダクタ VCO を選択するときは、R1_DB25 をロジック 1 に設定します。VCO_BIAS は、動作周波数に応じて設定する必要があります(表 9 参照)。

表 9.内部/外付けインダクタ VCO の RF 出力周波数範囲とレジスタ設定

RF Frequency Output (MHz)	VCO to Be Used	RF Divide by 2	Register Settings			
			VCO_INDUCTOR R1_DB25	RF_DIVIDE_BY_2 R1_DB18	VCO_ADJUST R1_DB[23:24]	VCO_BIAS R1_DB[19:22]
870 to 916	Internal L	No	0	0	11	8
842 to 870	Internal L	No	0	0	00	8
440 to 458	Internal L	Yes	0	1	11	8
421 to 440	Internal L	Yes	0	1	00	8
450 to 650	External L	No	1	0	XX	4
200 to 450	External L	No	1	0	XX	3
80 to 200	External L	Yes	1	1	XX	2

最適システム性能のためのチャンネル選択

RF VCO 周波数とリファレンス周波数の干渉により、非整数のスピリアスが発生することがあります。シンセサイザがフラクショナル・モード(すなわち RF VCO とリファレンス周波数が整数関係にないとき)にあるとき、リファレンスの整数倍と VCO 周波数との差周波数に対応するオフセット周波数で VCO 出力スペクトル上にスピリアスが発生することがあります。

これらのスピリアスは、ループ・フィルタにより減衰されます。これらのスピリアスはリファレンスの整数倍に近いチャンネルで顕著になります。この差周波数はループ帯域内であるため、整数境界スピリアスと呼ばれます。整数周波数はリファレンスのほぼ倍数(一般に 10 MHz 以上)であるため、これらのスピリアスはほとんど発生しません。フラクショナル・レジスタ値が小さすぎる値または大きすぎる値にならないように、適切なリファレンス周波数を選択します。

トランスミッタ

RF 出力ステージ

ADF7021-N のパワー・アンプ(PA)は、シングルエンドの電流制御オープン・ドレイン・アンプを採用しています。このオープン・ドレイン・アンプは、最大周波数 950 MHz で、50 Ω 負荷時に最大 13 dBm を出力できるようにデザインされています。

PA 出力電流(したがって出力電力)は、広い範囲で設定可能です。PA の構成を図 39 に示します。出力電力は R2_DB[13:18] を使って設定します。

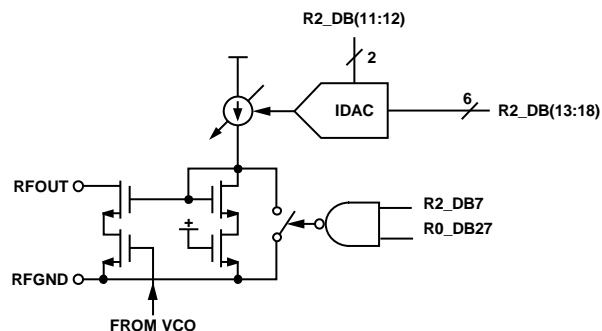


図 39. PA の構成

PA には、厳しい不一致状態でも耐えるようにする過電圧保護が付いています。アプリケーションに応じて、ループやモノポール・アンテナのような広範囲なアンテナの所望放射出力電力レベルで PA が最適効率を持つように整合回路をデザインすることができます。詳細については、LNA/PA のマッチングのセクションを参照してください。

PA のランピング(立ち上がり)

PA を高速にオン/オフ切り替えると、変化する入力インピーダンスの非線形性により VCO 出力周波数が乱されます。このプロセスは VCO の引き込みと呼ばれ、所望キャリア周波数付近の出力スペクトル内のスペクトル・スプラッタまたはスプリアスとして現れます。幾つかの電磁放射規制(たとえば ETSI EN 300 220 規制)では、これらの PA の過渡現象により発生するスプリアスに制限を設けています。PA のオン/オフを低速にして、PA 過渡現象から発生するスプリアスを小さくします。

ADF7021-N は PA のランピングに対する設定機能を内蔵しています。図 40 に示すように、1 データ・ビット周期あたりの PA 設定コード数として定義された 8 通りのランブ・レート設定があります。PA はコード・レベル数 64 の変化をしますが、各設定に対して速度は異なります R2_DB[8:10] を設定すると、ランブ・レートが設定されます。

PA_ENABLE ビット(R2_DB7)を使って PA をイネーブル/ディスエーブルすると、PA はランブ・アップ/ダウンします。Tx/Rx ビット(R0_DB27)を使って PA をイネーブル/ディスエーブルすると、PA はランブ・アップ/ターンオフします。

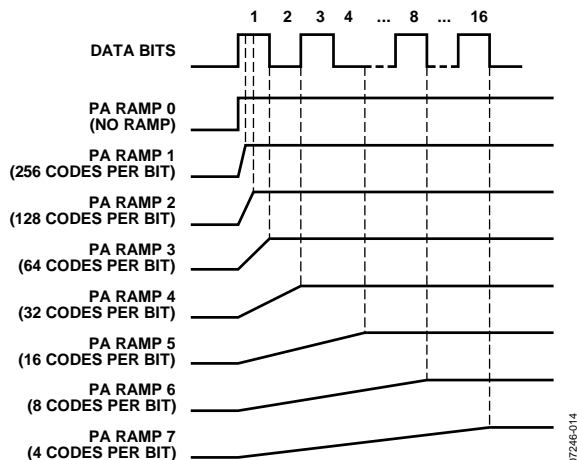


図 40. PA ランピング設定

PA バイアス電流

PA_BIAS ビット(R2_DB[11:12])は、PA バイアス電流を調整して、必要に応じて出力電力制御範囲を広げます。この機能が不要な場合は、デフォルト値の 9 μA が推奨されます。10 dBm 以上の出力電力が必要な場合は、11 μA の PA バイアス設定が推奨されます。R2_DB7 をリセットすると、出力ステージがパワーダウンします。

変調方式

ADF7021-N は、2FSK、3FSK、4FSK の変調をサポートしています。これらの変調方式を図 41 に示します。

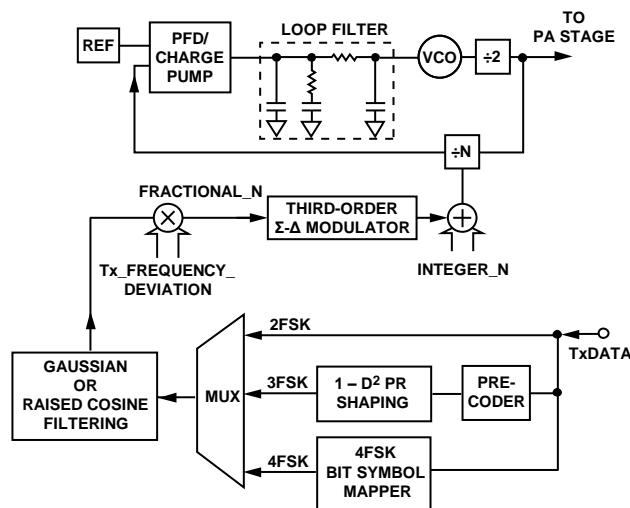


図 41. 送信変調

送信データレートの設定

オーバーサンプルの 2FSK モード以外のすべての変調モードで、TxRxCLK ピンに正確なクロックが入力され、マイクロコントローラからのデータが送信セクションへ所要データ・レートでラッチされます。このクロックの周波数は次式で決定されます。

$$DATA\ CLK = \frac{XTAL}{DEMOM_CLK_DIVIDE \times CDR_CLK_DIVIDE \times 32}$$

ここで、

XTAL は水晶または TCXO の周波数。

DEMOM_CLK_DIVIDE は、復調器のクロック・レート (R3_DB[6:9]) を設定する分周比。

CDR_CLK_DIVIDE は、CDR クロック・レート (R3_DB[10:17]) を設定する分周比。

設定の詳細については、レジスタ 3—送信/受信クロック・レジスタのセクションを参照してください。

FSK 周波数変位の設定

すべての変調モードで、中心周波数からの変位は、Tx_FREQUENCY_DEVIATION ビット (R2_DB[19:27]) を使って設定します。

中心周波数からの変位 (Hz) は次式で表されます。

ダイレクト RF 出力の場合、

$$f_{DEV} [Hz] = \frac{PFD \times Tx_FREQUENCY_DEVIATION}{2^{16}}$$

RF_DIVIDE_BY_2 をイネーブルの場合

$$f_{DEV} [Hz] = 0.5 \times \frac{PFD \times Tx_FREQUENCY_DEVIATION}{2^{16}}$$

ここで、Tx_FREQUENCY_DEVIATION は、1 ~ 511 の値 (R2_DB[19:27])。

4FSK 変調では、4 個のシンボル (00, 01, 11, 10) が $\pm 3 \times f_{DEV}$ と $\pm 1 \times f_{DEV}$ として送信されます。

バイナリ周波数シフト・キーイング(2FSK)

2 レベル周波数シフト・キーイングは、中心周波数に N 値を設定して、これを TxDATA ラインでトグルすることにより実現されます。中心周波数からの変位は、Tx_FREQUENCY_DEVIATION ビット (R2_DB[19:27]) を使って設定します。

2FSK を選択するときは、MODULATION_SCHEME ビット (R2_DB[4:6]) を 000 に設定します。

2FSK 変調を選択して変調係数 0.5 を使用すると、最小シフト・キーイング (MSK) またはガウス最小シフト・キーイング (GMSK) がサポートされます。R2_DB[19:27] を $f_{DEV} = 0.25 \times$ 送信データ・レートに設定すると、変調係数 0.5 が設定されます。

3 レベル周波数シフト・キーイング(3FSK)

3 レベル FSK 変調 (修正デュオバイナリ FSK と呼ばれます) では、バイナリ・データ (ロジック 0 とロジック 1) が、キャリア周波数 (f_c)、キャリア周波数-周波数変位 ($f_c - f_{DEV}$)、キャリア周波数 + 周波数変位 ($f_c + f_{DEV}$) の 3 つの周波数にマッピングされます。

ロジック 0 はキャリア周波数に、ロジック 1 は周波数 $f_c - f_{DEV}$ または周波数 $f_c + f_{DEV}$ に、それぞれマッピングされます。

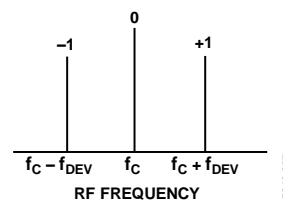


図 42.3FSK シンボルと周波数のマッピング

2FSK に比べると、このビット対周波数のマッピングでは、RF サイドバンドからのエネルギーがキャリア周波数へ移動するため、伝送帯域幅が狭くなります。変調係数が小さい場合、3FSK の伝送スペクトル効率は 2FSK に比較して 25% 向上します。

3FSK のビット対シンボル・マッピングは、リニア・コンボリューション・エンコーダを使って実現されています (このエンコーダはレーザでビタビ検出にも使われます)。このシステムの送信ハードウェアのブロック図を図 43 に示します。伝送スペクトル整形に使用するコンボリューション・エンコーダ多項式は、

$$P(D) = 1 - D^2$$

ここで、

P はコンボリューション・エンコーダ多項式。

D は、単位遅延演算子。

伝達関数 $1/P(D)$ のデジタル・プリコーダにより、トランスミッタでの $1 - D^2$ 整形フィルタの逆モジュロ 2 演算が行われます。

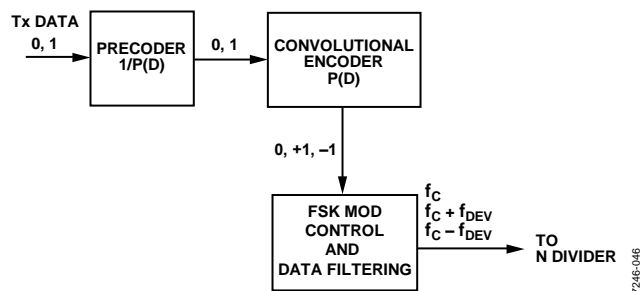


図 43.3FSK エンコーディング

入力バイナリ送信データと 3 レベル・コンボリユーション出力との信号マッピングを表 10 に示します。コンボリユーション・エンコーダはシーケンシャルな+1 または-1 の最大数を 2 に制限して、等しい数の+1 と-1 を FSK 変調器へ出力するため、両 RF サイドバンドでスペクトル・エネルギーが等しくなります。

表 10.コンボリユーション・エンコーダの 3 レベル信号のマッピング

TxDATA	1	0	1	1	0	0	1	0	0	1
Precoder Output	1	0	0	1	0	1	1	1	1	0
Encoder Output	+1	0	-1	+1	0	0	+1	0	0	-1

このエンコーディング方式のもう 1 つの特性は、送信されたシンボル・シーケンスには DC が含まれないため、レシーバでのシンボル検出と周波数計測が可能になることです。さらに、この 3 レベル・コンボリユーション・エンコーダによるコード・レート損失は発生しません。すなわち、送信シンボル・レートは送信データ入力でのデータ・レートと等しくなります。

3FSK を選択するときは、MODULATION_SCHEME ビット (R2_DB[4:6]) を 010 に設定します。このエンコーダは、送信信号のスペクトル効率をさらに上げるために raised cosine フィルタリングでも使用されます。

4 レベル周波数シフト・キーイング(4FSK)

4FSK 変調では、Tx データ・ビット・ストリーム内の連続入力ビット対を 4 個のシンボル(-3、-1、+1、+3)にマッピングすることにより、シンボルあたり 2 ビットのスペクトル効率が実現されます。したがって、送信シンボル・レートは入力ビット・レートの 1/2 になります。

4FSK では、シンボル周波数間のセパレーションを小さくすることにより、高いスペクトル効率が可能になっています。4FSK のビット対シンボル・マッピングはグレイ・コード化されます(図 44 参照)。

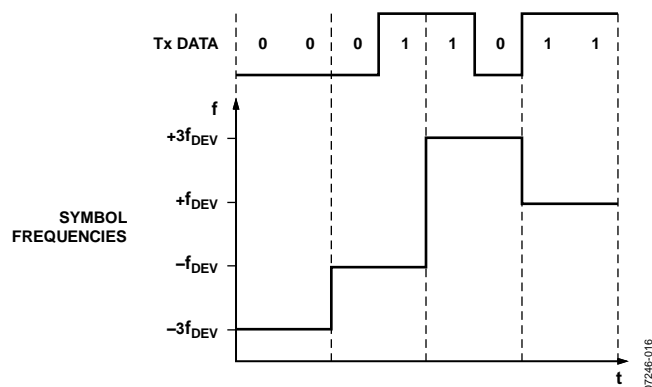


図 44.4FSK のビット対シンボル・マッピング

内側周波数変位 ($+f_{DEV}$ と $-f_{DEV}$) は、Tx_FREQUENCY_DEVIATION ビット R2_DB[19:27] を使って設定します。外側周波数変位は、内側周波数変位の 3 倍に自動的に設定されます。

TxRxCLK ピンの送信クロックは、受信モードに対するパワーアップ・シーケンスでレジスタ 3 に書き込みを行うと、使用可能になります。先頭シンボルの MSB は、レジスタ 3 に対する書き込みの後の、ADF7021-N からの最初の送信クロック・パルスで ADF7021-N に入力される必要があります。タイミング情報については図 6 を参照してください。

オーバーサンプル 2FSK

オーバーサンプル 2FSK では、TxRxCLK ピンからのデータ・クロックは存在しません。その代わりに、TxRxDATA ピンの送信データは、設定されたレートの 32 倍でサンプルされます。

データ送信で UART モード・インターフェースが使えるのはこの変調モードのみです(詳細については、マイクロコントローラ/DSP へのインターフェースのセクション参照)。

スペクトル整形

ガウス・フィルタまたは raised cosine フィルタを使うと、伝送スペクトル効率を向上させることができます。ADF7021-N は、2FSK 変調でガウス・フィルタリング(帯域幅-時間積[BT] = 0.5)をサポートしています。raised cosine フィルタリングは 2FSK、3FSK、4FSK の変調で使用することができます。raised cosine フィルタのロールオフ・ファクタ(alpha)には、0.5 と 0.7 の設定オプションがあります。ガウス・フィルタと raised cosine フィルタでは、BT と alpha のフィルタ・パラメータを細かく制御できるリニア位相デジタル・フィルタ・アーキテクチャを採用しているため、温度と電源の変動に対して非常に安定した伝送スペクトルを保証します。

ガウス周波数シフト・キーイング(GFSK)

ガウス周波数シフト・キーイングでは、送信データをデジタル的にプリフィルタリングすることにより、送信スペクトルにより占有される帯域幅が狭くなっています。使用するガウス・フィルタの BT 積は 0.5 です。

ガウス・フィルタリングは 2FSK 変調でのみ使用できます。設定 R2_DB[4:6] を 001 に設定すると、このフィルタリングが選択されます。

Raised Cosine フィルタリング

Raised cosine フィルタリングでは、ロールオフファクタ(alpha) 0.5 または 0.7 の raised cosine フィルタを使って、送信データのデジタル・プリフィルタリングを提供します。alpha はデフォルトで 0.5 に設定されていますが、データ・フィルタリング効果を小さくするために、alpha = 0.7 (R2_DB30 をロジック 1 に設定)を使って、raised cosine フィルタ帯域幅を広げることができます。Raised cosine フィルタリングは 2FSK、3FSK、4FSK で使用することができます。

Raised cosine フィルタリングをイネーブルするときは、表 11 で説明したように R2_DB[4:6] を設定します。

変調とフィルタリングのオプション

変調とデータ・フィルタリングの種々のオプションを表 11 に示します。

表 11. 変調とフィルタリングのオプション

Modulation	Data Filtering	R2_DB[4:6]
BINARY FSK		
2FSK	None	000
MSK ¹	None	000
OQPSK with Half Sine Baseband Shaping ²	None	000
GFSK	Gaussian	001
GMSK ³	Gaussian	001
RC2FSK	Raised cosine	101
Oversampled 2FSK	None	100
3-LEVEL FSK		
3FSK	None	010
RC3FSK	Raised cosine	110
4-LEVEL FSK		
4FSK	None	011
RC4FSK	Raised cosine	111

¹ MSK は変調係数=0.5 の 2FSK 変調。

² ハーフ・サイン・ベースバンド整形のオフセット直交位相シフト・キーイング(OQPSK)は、スペクトル的に MSK と等価。

³ GMSK は、変調係数=0.5 の GFSK。

送信レイテンシ

送信レイテンシは、TxRxCLK 信号によるビット/シンボルのサンプリングから RF 出力にビット/シンボルが現れるまでの遅延時間です。データ・フィルタリングがない場合のレイテンシは 1 ビットです。データ・フィルタリングを追加すると、表 12 に示すようにレイテンシが増えます。

このレイテンシに対処するため、データ・クロックにより最後のデータ・ビットがサンプルされた後も、ADF7021-N は送信モードを維持していることは重要です。ADF7021-N は、使用する変調方式で発生するレイテンシ・ビット数に等しい時間送信モードを維持する必要があります。これにより、TxRxCLK 信号でサンプルされたすべてのデータが RF に出力されることが保証されます。

表 12 のレイテンシの図は、正の TxRxCLK エッジでデータをサンプルした場合です(デフォルト)。R2_DB[28:29]を設定して

TxRxCLK を反転すると、さらに 0.5 ビットのレイテンシが表 12 に示すすべての値に追加されます。

表 12. さまざまな変調方式に対する送信モードでのビット/シンボル・レイテンシ

Modulation	Latency
2FSK	
GFSK	1 bit
RC2FSK, Alpha = 0.5	4 bits
RC2FSK, Alpha = 0.7	5 bits
3FSK	
RC3FSK, Alpha = 0.5	4 bits
RC3FSK, Alpha = 0.7	5 bits
4FSK	
RC4FSK, Alpha = 0.5	1 symbol
RC4FSK, Alpha = 0.7	5 symbols
RC4FSK, Alpha = 0.7	4 symbols

テスト・パターン・ジェネレータ

ADF7021-N には、無線リンクのセットアップまたは RF 測定で使用できる多数のテスト・パターン・ジェネレータが内蔵されています。

サポートされているパターンの一覧を表 13 に示します。これらのテスト・パターンのデータ・レートは、レジスタ 3 に設定されたデータ・レートが使われます。

PN9 シーケンスは、隣接チャンネル電力(ACP)または占有帯域幅の測定を行う際のテスト変調に適しています。

表 13. 送信テスト・パターン・ジェネレータのオプション

Test Pattern	R15_DB[8:10]
Normal	000
Transmit Carrier	001
Transmit + f_{DEV} Tone	010
Transmit - f_{DEV} Tone	011
Transmit 1010 Pattern	100
Transmit PN9 Sequence	101
Transmit SWD Pattern Repeatedly	110

レシーバ・セクション

RF フロントエンド

ADF7021-Nは、低IFレシーバ・アーキテクチャを採用しています。低IFアーキテクチャでは、外付け部品数が非常に少なく、電源からの干渉問題は発生しません。

図45に、レシーバ・フロント・エンドの構造を示します。多くの設定オプションを使うと、アプリケーションに最適な感度、直線性、消費電流のトレードオフを行うことができます。スプリアス混入に対する耐性を強化するため、低ノイズ・アンプ(LNA)では差動入力を採用しています。送信モードを選択すると(R0_DB27 = 0)、スイッチ SW2はLNA入力を短絡します。この機能により、LNA/PA 整合回路の組み合わせデザインが可能になるため、外付け Rx/Tx スイッチが不要になります。整合回路デザインの詳細については、LNA/PA のマッチングのセクションを参照してください。

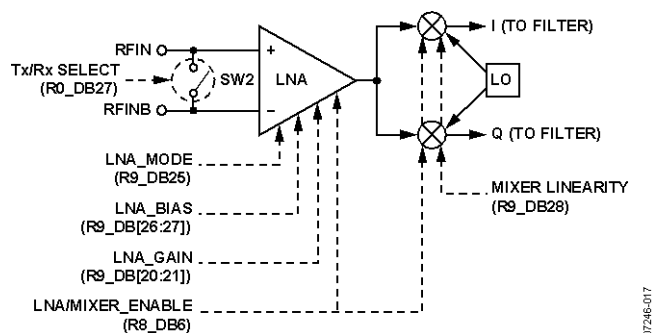


図 45.RF フロント・エンド

LNA の後ろには直交ダウン・コンバージョン・ミキサーが接続され、RF 信号を 100 kHz の IF 周波数へ変換します。シンセサイザ出力周波数は、受信チャンネルの中心周波数より 100 kHz 低い値に設定することが重要です。LNA には、高ゲイン/低ノイズ・モードと低ゲイン/低電力モードの 2 つの基本動作モードがあります。これらの 2 つのモード間で切り替えるときは、LNA_MODE ビット(R9_DB25)を使います。また、ミキサーも MIXER_LINEARITY ビット(R9_DB28)を使って、低電流モードと直線性強化モードとの間で切り替えることができます。

アプリケーションの感度と直線性条件に基づいて、表 15 の説明のように LNA_MODE ビットと MIXER_LINEARITY ビットを調整することが推奨されます。

LNA のゲインは LNA_GAIN ビット(R9_DB[20:21])を使って設定し、ユーザまたはゲイン自動制御(AGC)ロジックから設定することができます。

IF フィルタ

IF フィルタの設定

帯域外干渉は、中心周波数 100 kHz の 5 次バターワース多相 IF フィルタを使って除去されます。IF フィルタの帯域幅は R4_DB[30:31]を使って、9 kHz、13.5 kHz、18.5 kHz に設定することができるため、干渉除去と信号減衰との間のトレードオフにより選択する必要があります。

AGC ループをディスエーブルすると、IF フィルタ・ゲインは FILTER_GAIN ビット(R9_DB[22:23])を使って 3 つのレベルを設定することができます。AGC ループをイネーブルすると、フィルタ・ゲインは自動的に調整されます。

IF フィルタ帯域幅と中心周波数のキャリブレーション

製造時誤差を補償するため、パワーアップ時に IF フィルタをキャリブレーションして、帯域幅と中心周波数を正しくすることが必要です。高速キャリブレーション(粗調整キャリブレーション)と高精度フィルタ中心(微調整キャリブレーション)の 2 つのキャリブレーション方式があります。粗調整キャリブレーションをイネーブルするときは、R5_DB4 をハイ・レベルに設定します。微調整キャリブレーションをイネーブルするときは、R6_DB4 をハイ・レベルに設定します。

フィルタ・キャリブレーションが必要とされるケースおよびアプリケーションで粗調整キャリブレーションまたは微調整キャリブレーションのいずれを使用するかについては、IF フィルタ帯域幅のキャリブレーションのセクションを参照してください。

RSSI/AGC

RSSI は、ベースバンド(BB)チャンネル・フィルタリングの後ろに連続圧縮ログアンプとして組み込まれています。ログアンプは ± 3 dB の対数直線性を実現しています。このログアンプは、FSK 復調器の信号/デジタル・レベルを変換するリミッタとしても使用されます。オフセット補正回路は BBOS_CLK_DIVIDE ビット(R3_DB[4:5])を使用します。この BBOS_CLK_DIVIDE ビットは、1 MHz~2 MHz に設定する必要があります。RSSI レベルはユーザ・リードバックのため、および 80 レベル(7 ビット)のフラッシュ ADC からデジタル制御される AGC のために変換されます。このレベルは、dBm で表した入力電力に変換することができます。受信モードでパワーアップしたとき、デフォルトで AGC はオンに設定されます。

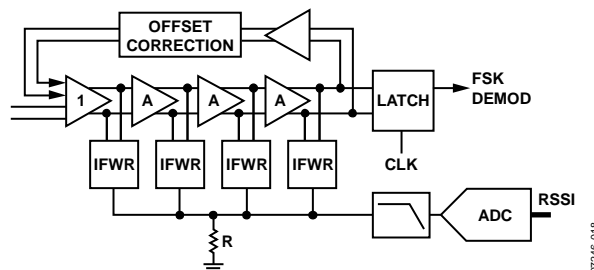


図 46.RSSI のブロック図

RSSI のスレッシュホールド

RSSI が AGC_HIGH_THRESHOLD (R9_DB[11:17])を超えると、ゲインが減少します。RSSI が AGC_LOW_THRESHOLD (R9_DB[4:10])を下回ると、ゲインが増加します。受信モードでパワーアップすると、各スレッシュホールドはデフォルトで 30 と 70 に設定されます。ループの整定を可能にするための遅延 (AGC_CLK_DIVIDE、R3_DB[26:31])により設定が設定されます。7.7 kHz の AGC 更新レートには、値 13 が推奨されます。

2つのスレッシュホールド値をデフォルトの30と70から変更するオプションがあります(レジスタ9)。デフォルトのAGCセットアップ値は、大部分のアプリケーションに適しています。AGCが正しく動作するためには、各スレッシュホールド値は30以上離れている必要があります。

オフセット補正クロック

レジスタ3で、1MHz~2MHzのベースバンド・オフセット・クロック(BBOS_CLK)周波数を発生するようにBBOS_CLK_DIVIDEビット(R3_DB[4:5])を設定する必要があります。

$$BBOS\ CLK\ [Hz] = XTAL / (BBOS_CLK_DIVIDE)$$

ここで、BBOS_CLK_DIVIDEは4、8、16、または32に設定することができます。

AGC情報とタイミング

デフォルトでAGCが選択されるため、RSSIレベル測定値に対する適切なLNA設定とフィルタ・ゲイン設定を行って動作します。表15に示すいずれかのモードに入る必要がある場合には、レジスタ9に書き込みを行って、AGCをディスエーブルすることができます。AGC回路が整定する時間、したがってRSSIを正確に測定するために要する時間は、390µs(typ)ですが、この時間は、AGC回路が通過しなければならないゲイン設定数に依存します。AGCループは各ゲイン変更後、設定された時間だけ待って、過渡現象を整定させる必要があります。このAGC更新レートは、次式に従って設定されます。

$$AGC\ 更新レート[Hz] = \frac{SEQ_CLK_DIVIDE\ [Hz]}{AGC_CLK_DIVIDE}$$

ここで、AGC_CLK_DIVIDEはR3_DB[26:31]によって設定されます。値13が推奨されます。

$$SEQ_CLK_DIVIDE = 100\ kHz\ (R3_DB[18:25])$$

表 15. LNA/ミキサー・モード

Receiver Mode	LNA_MODE (R9_DB25)	LNA_GAIN (R9_DB[20:21])	MIXER_LINEARITY (R9_DB28)	Sensitivity (2FSK, DR = 4.8 kbps, f _{DEV} = 4 kHz)	Rx Current Consumption (mA)	Input IP3 (dBm)
High Sensitivity Mode (Default)	0	30	0	-118	24.6	-24
Enhanced Linearity High Gain	0	30	1	-114.5	24.6	-20
Medium Gain	1	10	0	-112	22.1	-13.5
Enhanced Linearity Medium Gain	1	10	1	-105.5	22.1	-9
Low Gain	1	3	0	-100	22.1	-5
Enhanced Linearity Low Gain	1	3	1	-92.3	22.1	-3

AGC_CLK_DIVIDEの推奨設定を使うと、合計AGCセトリング・タイムは、

$$AGC\ セトリング \cdot タイム\ [sec] = \frac{AGC\ ゲイン\ 変更数}{AGC\ 更新レート\ [Hz]}$$

AGC整定の最悪ケースは、AGC制御ループが5個すべてのゲイン設定を通過するときに発生し、650µsの最大AGCセトリング・タイムになります。

RSSIの式(dBm への変換)

RSSI式は、

$$入力電力[dBm] = -130\ dBm + (リードバック \cdot コード + ゲイン \cdot モード補正) \times 0.5$$

ここで、リードバック・コードは、レジスタ7リードバック・レジスタのビットRV7~ビットRV1で指定されます(図58とリードバック・フォーマットのセクション参照)。ゲイン・モード補正は、表14の値で指定されます。

LNAゲイン(LG2、LG1)値とフィルタ・ゲイン(FG2、FG1)値も、RSSIリードバックの一部としてリードバック・レジスタから取得されます。

表 14. ゲイン・モード補正

LNA Gain (LG2, LG1)	Filter Gain (FG2, FG1)	Gain Mode Correction
H (1, 0)	H (1, 0)	0
M (0, 1)	H (1, 0)	24
M (0, 1)	M (0, 1)	38
M (0, 1)	L (0, 0)	58
L (0, 0)	L (0, 0)	86

その他のファクタは、フロントエンド整合回路/アンテナでの損失を考慮するために使用する必要があります。

復調、検出、CDR

システムの概要

ADF7021-N 上での受信信号の復調、検出、クロックおよびデータの再生(CDR)の概要を図 47 に示します。

IF フィルタの直交出力はまず振幅制限されて、相関器 FSK 復調器またはリニア FSK 復調器に入力されます。相関復調器を使って 2FSK、3FSK、4FSK を復調します。リニア復調器は周波数の測定に使われるため、AFC ループがアクティブのときイネーブルされます。また、リニア復調器は 2FSK を復調するときに使います。

復調器の後ろのデジタル・ポスト復調器フィルタは復調器信号出力からノイズを除去します。スレッショルド/スライサ検出は、2FSK と 4FSK のデータ再生で使用されます。3FSK のデータ再生は、スレッショルド検出またはビタビ検出を使って行うことができます。

内蔵の CDR PLL は、受信ビット・ストリームとローカル・クロックを再同期させるために使います。再タイミングされたデータとクロックはそれぞれ TxRxDATA ピンと TxRxCLK ピンに出力されます。

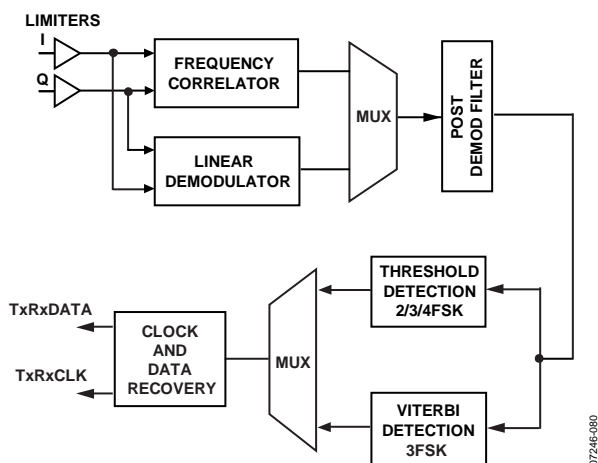


図 47.復調、検出、CDR 処理の概要

相関復調器

相関復調器は 2FSK、3FSK、4FSK の復調に使うことができます。図 48 に、2FSK に対する相関復調器の動作を示します。

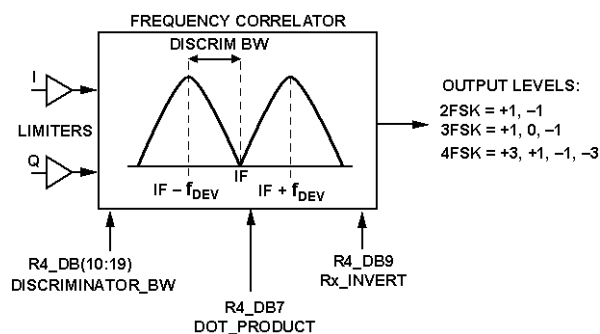


図 48.2FSK 相関復調器の動作

IF フィルタの直交出力はまず振幅制限されて、デジタル周波数相関器に入力され、ここで 2FSK/3FSK/4FSK スペクトルのフィルタリングと周波数弁別が行われます。

2FSK 変調の場合、2 つの相関器からの出力レベルを比較することによりデータが再生されます。この周波数弁別器の性能は、加算的白色ガウス・ノイズ(AWGN)が存在する中で最適検出を提供することで知られているマッチド・フィルタ検出器の性能で近似されます。この FSK 復調方法は、リニア復調器より 3 dB ~4 dB 優れた感度を提供します。

リニア復調器

図 49 に、リニア復調器のブロック図を示します。

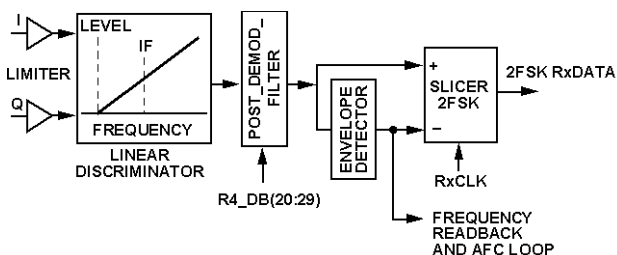


図 49. リニア FSK 復調器のブロック図

デジタル周波数弁別器は、リミッタ出力の周波数に比例する出力信号を提供します。弁別器出力は、平均処理フィルタとエンベロープ検出器の組み合わせを使ってフィルタ/平均処理されます。ポスト復調器フィルタからの復調された 2FSK データは、エンベロープ検出器出力に対してスライシングされて再生されます(図 49 参照)。受信スペクトルが IF 帯域幅に近いかその内部にある場合、この復調方法はトランスミッタとレシーバとの間の周波数誤差を補正します。このエンベロープ検出器出力は AFC リードバックにも使用され、AFC 制御ループの周波数予測を提供します。

ポスト復調器フィルタ

2 次のデジタル・ローパス・フィルタは、弁別器出力で復調ビット・ストリームからノイズを除去します。このポスト復調器フィルタの帯域幅は設定可能で、ユーザのデータ・レートと受信変調タイプに対して最適化される必要があります。帯域幅が狭すぎると、シンボル間干渉(ISI)により性能が低下します。帯域幅が広すぎると、ノイズによりレシーバ性能が低下します。POST_DEMOD_BW ビット(R4_DB[20:29])を使って、このフィルタの帯域幅を設定します。

2FSK のビット・スライサ/スレッシュホールド検出

2FSK の復調は、相関器 FSK 復調器またはリニア FSK 復調器を使って実現することができます。両ケースとも、スレッシュホールド検出はポスト復調フィルタの出力でのデータ再生に使用します。

相関復調器の出力信号レベルは、必ずゼロを中心とする必要があります。このため、スライサのスレッシュホールド・レベルはゼロに固定することができるので、復調器性能は送信データ・ビット・ストリームのラン・レングスの制約を受けません。これにより、従来型の FSK 復調器で存在したベースライン変動問題の影響を受けないデータ再生が可能になります。

リニア復調器を 2FSK 復調に使用する場合、エンベロープ検出器出力をスライサ・スレッシュホールドとして使い、この出力が IF フィルタ帯域内の周波数誤差を追跡します。

3FSK と 4FSK のスレッシュホールド検出

4FSK の復調は、相関復調器の後ろにポスト復調器フィルタとスレッシュホールド検出を使って実現されます。ポスト復調フィルタ出力は、送信シンボルを表す 4 レベル信号(-3, -1, +1, +3)です。4FSK のスレッシュホールド検出では、3 つのスレッシュホールド設定が必要です。1 つは常に 0 に固定され、他の 2 つは 3FSK/4FSK_SLICER_THRESHOLD ビット(R13_DB[4:10])を使って設定可能であり、ゼロの上下に対称に配置されます。

3FSK の復調は、相関復調器とそれに続くポスト復調器フィルタを使って実現されます。ポスト復調器フィルタ出力は、送信シンボルを表す 3 レベル信号(-1, 0, +1)です。3FSK のデータ再生は、スレッシュホールド検出またはビタビ検出を使って行うことができます。スレッシュホールド検出は、2 つのスレッシュホールドを使って実現されます。各スレッシュホールドは 3FSK/4FSK_SLICER_THRESHOLD ビット(R13_DB[4:10])を使って設定され、ゼロの上下に対称に配置されます。

3FSK のビタビ検出

3FSK のビタビ検出は 4 状態トリスで動作し、シンボル・レートの 1/2 で動作するインターリーブされた 2 つのビタビ検出器を使って実現されます。ビタビ検出器は R13_DB11 によりイネーブルされます。

送信ビット・ストリーム内で異なるラン・レングス制約をサポートするため、ビタビ・パス・メモリ長は 4 ビット、6 ビット、8 ビット、または 32 ビットのステップで VITERBI_PATH_MEMORY ビット(R13_DB[13:14])を使って設定することができます。これは、インターリーブされた送信ビット・ストリーム内の最大 0 連続数以上に設定する必要があります。

ビタビ検出と組み合わせて使用する場合、3FSK のレシーバ感度はスレッシュホールド検出を使用した場合に比べて 3 dB (typ)大きくなります。ただし、ビタビ検出器をイネーブルすると、レシーバ・ビット・レイテンシはビタビ・パス・メモリ長の 2 倍になります。

クロック再生

オーバーサンプル・デジタル・クロックとデータ再生(CDR) PLL は、すべての変調モードで、受信ビット・ストリームをローカル・クロックに再同期させるために使用されます。PLL (CDR CLK) のオーバーサンプル・クロック・レートは、シンボル・レートの 32 倍に設定する必要があります(レジスタ 3—送信/受信クロック・レジスタのセクション参照)。CDR PLL の最大データ/シンボル・レート許容差は、送信パケット内のゼロ交差シンボル変化数により決定されます。たとえば、プリアンブル 101010 を持つ 2FSK を使う場合、データ・レートの $\pm 3.0\%$ の最大許容差が実現されます。ただし、この許容差はシンボル変化数が規則的な間隔で発生することが保証されないパケットの残りの部分の再生時に小さくなります。CDR のデータ・レート許容差を最大にするためには、規則的な間隔で多くの変化が保証されるエンコーディングおよび/またはデータ・スクランプリングの使用が推奨されます。

たとえば、マンチェスタ・エンコード・データを使う 2FSK では、 $\pm 2.0\%$ のデータ・レート許容差を実現しています。

CDR PLL はプリアンブル時に再生されたシンボルの高速アライメント用にデザインされているため、一般にプリアンブルの 5 シンボル変化内でビット同期を実現します。

4FSK 変調では、+3, -3, +3, -3 のプリアンブルを使用する場合の許容差は、シンボル・レートの $\pm 3\%$ (データ・レートの $\pm 1.5\%$)です。ただし、この誤差はシンボル変化数が規則的な間隔で発生することが保証されないパケットの残りの部分の再生

時に少なくなります。シンボル/データ・レート許容差を最大化するために、データ・スクランプリングの使用および/または特別な DC バランシング・シンボルの挿入によって(8または 16 シンボルごとのような規則的間隔で送信ビット・ストリームに挿入)、送信シンボルが DC 成分のない特性に近い特性を維持するように、4FSK パケットの残りの部分を構成する必要があります。

3FSK 変調では、リニア・コンボリューション・エンコーダ方式が送信シンボル・シーケンスに DC 成分が含まれないためシンボル検出が可能であることを保証しています。ただし、送信ビット・ストリーム内のゼロ・シンボルのラン・レングスを制限するために、Tx データ・スクランプリングの使用が推奨されません。3FSK を使用する場合、CDR データ・レート許容差は±0.5% (typ)です。

レシーバのセットアップ

関連復調器のセットアップ

種々の変調モードに対する相関器のイネーブルについては、表 16 を参照してください。

表 16. 関連復調器のイネーブル

Received Modulation	DEMOM_SCHEME (R4_DB[4:6])
2FSK	001
3FSK	010
4FSK	011

レシーバ感度を最適化するときは、相関器帯域幅を特定の周波数変位とトランスミッタが使用する変調に対して最適化する必要があります。弁別器の帯域幅は R4_DB[10:19]により制御され、次のように定義されます。

$$DISCRIMINATOR_BW = \frac{(DEMOM_CLK \times K)}{400 \times 10^3}$$

ここで、DEMOM_CLK は、レジスタ 3—送信/受信クロック・レジスタのセクションでの定義によります。K は次式に従い各変調モードに対して設定されます。

2FSK の場合

$$K = Round\left(\frac{100 \times 10^3}{f_{DEV}}\right)$$

3FSK の場合

$$K = Round\left(\frac{100 \times 10^3}{2 \times f_{DEV}}\right)$$

4FSK の場合

$$K = Round_{4FSK}\left(\frac{100 \times 10^3}{4 \times f_{DEV}}\right)$$

ここで、

Round は最寄りの整数。

Round_{4FSK} は、32、31、28、27、24、23、20、19、16、15、12、11、8、7、4、3 に最も近い値 f_{DEV} は送信周波数の変位(Hz)。

4FSK の場合、f_{DEV} は±1 シンボルに対して使用される周波数変位 (すなわち内側周波数変位)。

相関器の係数を最適化するときは、R4_DB7 と R4_DB[8:9]も割り当てる必要があります。これらのビットの値は、K が奇数であるか偶数であるかに依存します。これらのビットは、表 17 と表 18 に従って割り当てられます。

表 17. 2FSK と 3FSK に対する相関器 K 値の割り当て

K	K/2	(K + 1)/2	R4_DB7	R4_DB[8:9]
Even	Even	—	0	00
Even	Odd	—	0	10
Odd	—	Even	1	00
Odd	—	Odd	1	10

表 18. 4FSK に対する相関器 K 値の割り当て

K	R4_DB7	R4_DB[8:9]
Even	0	00
Odd	1	00

リニア復調器のセットアップ

リニア復調器は、2FSK の復調に使うことができます。リニア復調器をイネーブルするときは、DEMOM_SCHEME ビット (R4_DB[4:6])を 000 に設定します。

ポスト復調器フィルタのセットアップ

ポスト復調器フィルタの 3 dB 帯域幅は、受信変調タイプとデータ・レートに従って設定する必要があります。帯域幅は R4_DB[20:29]により制御され、次式で与えられます。

$$POST_DEMOM_BW = \frac{2^{11} \times \pi \times f_{CUTOFF}}{DEMOM_CLK}$$

ここで、f_{CUTOFF} はポスト復調器フィルタの 3 dB 帯域幅(Hz)。

表 19. 2FSK/3FSK/4FSK 変調方式に対するポスト復調器フィルタ帯域幅の設定

Received Modulation	Post Demodulator Filter Bandwidth, f _{CUTOFF} (Hz)
2FSK	0.75 × data rate
3FSK	1 × data rate
4FSK	1.6 × symbol rate (= 0.8 × data rate)

3FSK ビタビ検出器のセットアップ

ビタビ検出器は 3FSK のデータ検出に使うことができます。そのためには、R13_DB11 をロジック 1 に設定します。

ビタビ・パス・メモリ長は、4、6、8、または 32 ビット・ステップで設定可能です (VITERBI_PATH_MEMORY、R13_DB[13:14])。

パス・メモリ長は、インターリーブされた送信ビット・ストリーム内の最大 0 連続数以上に設定する必要があります。

ビタビ検出器は、最尤度検出アルゴリズムを構成するときスレッシュホールド・レベルも使います。これらのスレッシュホールドは、3FSK/4FSK_SLICER_THRESHOLD ビット(R13_DB[4:10])を使って設定します。

これらのビット次のようになります。

$$3FSK/4FSK_SLICER_THRESHOLD = 57 \times \left(\frac{\text{Transmit Frequency Deviation} \times K}{100 \times 10^3} \right)$$

ここで、 K は相関弁別器帯域幅の計算値。

3FSK スレッシュホールド検出器のセットアップ

3FSK のスレッシュホールド検出をアクティブにするときは、R13_DB11 をロジック 0 に設定します。

表 20.3FSK CDR の設定

Parameter	Recommended Setting	Purpose
PHASE_CORRECTION (R13_DB12)	1	Phase correction is on
3FSK_CDR_THRESHOLD (R13_DB[15:21])	$62 \times \left(\frac{\text{Transmit Frequency Deviation} \times K}{100 \times 10^3} \right)$ <p>where K is the value calculated for correlator discriminator bandwidth.</p>	Sets CDR decision threshold levels
3FSK_PREAMBLE_TIME_VALIDATE (R13_DB [22:25])	15	Preamble detector time qualifier

3FSK/4FSK_SLICER_THRESHOLD ビット (R13_DB[4:10]) は、3FSK のビタビ検出のセクションの説明に従って設定します。

3FSK CDR のセットアップ

3FSK では、CDR がロックするための最大のシンボル変化数を保証できるように、最小 40 ビットの 1 の連続の送信プリアンブルが推奨されます。

3FSK のクロックとデータ再生では、レジスタ 13 の多くのパラメータを設定する必要があります(表 20 参照)。

4FSK スレッシュホールド検出器のセットアップ

4FSK 検出器のスレッシュホールドは、3FSK/4FSK_SLICER_THRESHOLD ビット(R13_DB[4:10])を使って設定します。

スレッシュホールドは次式により設定します。

$$3FSK/4FSK_SLICER_THRESHOLD = 78 \times \left(\frac{4FSK \text{ Outer Tx Deviation} \times K}{100 \times 10^3} \right)$$

ここで、 K は相関弁別器帯域幅の計算値。

復調器の考慮事項

2FSK でのプリアンブル

2FSK に対する推奨プリアンブル・ビット・パターンは DC 成分を含まないパターンです(たとえば 10101010...). 長いラン・レンジ制約のプリアンブル・パターン(たとえば 11001100...)も使うことができますが、レシーバでの受信ビット・ストリームの同期時間が長くなります。プリアンブルは、レシーバの AGC 整定と CDR アクイジションのために、十分なビット数を与える必要があります。相関復調器を使う場合には最小 16 ビットのプリアンブルが、リニア復調器を使う場合には最小 48 ビットのプリアンブルが、それぞれ推奨されます。レシーバで内蔵 AFC を使う場合、最小推奨プリアンブル・ビット数は 64 です。

プリアンブル・ヘッダーに続く残りのフィールドでは、DC 成分のないコーディングを使う必要はありません。ADF7021-N は、これらのフィールドに対して、性能低下なしに 8 ビットより長いラン・レンジを持つコーディング方式をサポートすることができます。詳細については、アプリケーション・ノート AN-915 を参照してください。

4FSK でのプリアンブルとデータ・コーディング

4FSK に対する推奨プリアンブル・ビット・パターンは、00100010...の繰り返しのビット・シーケンスです。-3、+3、-3、+3 シンボルの繰り返しの 2 レベル・シーケンスは DC 成分を含まないため、レシーバでのシンボル・タイミング性能と 4FSK プリアンブルのデータ再生を最大にします。プリアンブルの最小推奨長は 32 ビット(16 シンボル)です。

データ・スクランプリングの使用および/または特別な DC バランシング・シンボルの挿入によって(8 または 16 シンボルごとのような規則的間隔で送信ビット・ストリームに挿入)、送信シンボルが DC 成分のない特性に近い特性を維持するように、4FSK パケットの残りの部分を構成する必要があります。

AFC なしでの周波数誤差に対する復調器許容差

ADF7021-N は、送信と受信との間の水晶/TCXO の不一致に起因する周波数差に対処するための多くのオプションを持っています。

AFC をディスエーブルした場合、相関復調器の周波数許容差は $\pm 0.3 \times f_{DEV}$ です。ここで、 f_{DEV} は FSK 周波数変位です。大きな周波数差に対しては、K の値を調節して相関器帯域幅を倍にすることにより、周波数許容差を大きくすることができます。

K は次のように計算されます。

$$K = \text{Round}\left(\frac{100 \times 10^3}{2 \times f_{DEV}}\right)$$

レジスタ 4 の DISCRIMINATOR_BW 設定も、新しい K 値を使って再計算する必要があります。この方法で周波数許容差を大きくするために相関器帯域幅を倍にすると、レシーバ感度が 1 dB ~2 dB 低下します。

受信信号が IF フィルタ帯域内にある場合、リニア復調器(AFC はディスエーブル)が受信信号内で周波数差を追跡します。たとえば、占有帯域幅= 9 kHz の受信信号の場合、18.5 kHz の IF フィルタ帯域幅を使うと、リニア復調器はビット誤りの増加または感度低下なしに許容差 ± 4.75 kHz で信号を追跡できます。

相関復調器と小さい変調係数

2FSK での変調係数は次のように与えられます。

$$\text{Modulation Index} = \frac{2 \times f_{DEV}}{\text{Data Rate}}$$

レシーバ感度性能とレシーバ周波数許容差は、相関復調器の弁別器帯域幅を大きくすることにより、小さい変調係数で最大化することができます。0.4 より小さい変調係数に対しては、K を次のように計算して、相関器帯域幅を倍にすることが推奨されます。

$$K = \text{Round}\left(\frac{100^3}{2 \times f_{DEV}}\right)$$

レジスタ 4 の DISCRIMINATOR_BW は、新しい K 値を使って再計算する必要があります。図 27 に、2FSK の変調で相関器帯域幅を倍にすることにより、小さい変調係数で実現できる感度の向上を示します。

AFC の動作

ADF7021-N は、送受信間の水晶/TCXO の不一致により発生する周波数差を除去する際に使うリアルタイム AFC ループもサポートしています。AFC ループではリニア周波数弁別器ブロックを使って周波数差を計算します。FSK 周波数変調を除去するため、リニア FSK 弁別器出力を平均フィルタとエンベロープ検出器の組み合わせを使ってフィルタ/平均処理します。受信モードでは、エンベロープ検出器出力が平均 IF 周波数の計算値を出力します。

ADF7021-N では、外付け AFC と内蔵 AFC の 2 つの AFC をサポートしています。

外付け AFC

ADF7021-N シリアル・ポートを使用して周波数情報を読み出して、周波数補正値をフラクショナル N シンセサイザの N 分周器に入力します。

周波数情報は 16 ビットの符号付き AFC リードバックを読み出して取得して(リードバック・フォーマットのセクション参照)、次式を使います。

$$\text{周波数リードバック[Hz]} = (\text{AFC リードバック} \times \text{DEMODO CLK})/2^{18}$$

AFC リードバック値は符号付きですが、通常の動作条件では正の値です。周波数差がない場合、周波数リードバック値は 100 kHz の IF 周波数に一致します。

内蔵 AFC

ADF7021-N は、リアルタイムの自動周波数制御ループを内蔵しています。このモードでは、内蔵制御ループが内蔵の比例積分 (PI) 制御ループを使って、自動的に周波数差をモニターしてシンセサイザの N 分周器を調整します。

内蔵 AFC 制御ループのパラメータは、レジスタ 10—AFC レジスタから制御されます。R10_DB4 を 1 に設定すると、内蔵 AFC ループがアクティブになります。使用している水晶周波数に基づいてスケール係数も入力する必要があります。これは R10_DB[5:16] に設定し、次式で計算します。

$$AFC_SCALING_FACTOR = \text{Round} \left(\frac{2^{24} \times 500}{XTAL} \right)$$

最大 AFC 範囲

AFC ループの最大周波数補正範囲は、R10_DB[24:31] を使って設定することができます。最大 AFC 補正範囲は、AFC チューニング範囲の上限と下限の周波数差です。たとえば、最大 AFC 補正範囲を 10 kHz に設定すると、AFC は $f_{LO} \pm 5 \text{ kHz}$ の範囲でレシーバ LO を調節することができます。

ただし、RF_DIVIDE_BY_2 (R1_DB18) をイネーブルすると、設定範囲は半分になります。この半減に対して、ユーザーは設定する AFC 最大範囲を倍にすることにより対処する必要があります。

推奨最大 AFC 補正範囲は、IF フィルタ帯域幅 $\times 1.5$ 以下にする必要があります。最大周波数補正範囲を IF フィルタ帯域幅 $\times 1.5$ 以上にすると、IF フィルタの減衰により AFC ループ感度が低下します。

AFC をイネーブルし、かつ AFC 補正範囲が IF フィルタ帯域幅に近い場合、レシーバの隣接チャンネル除去 (ACR) 性能は低下することがあります。ただし、AFC 補正範囲はプログラマブルであるため、補正範囲と ACR 性能とのトレードオフを行うことができます。

AFC 誤差は内蔵または外付けの AFC を使って除去され、IF_FILTER_BW ビット (R4_DB[30:31]) を使って IF フィルタ帯域幅を狭くすると、さらにレシーバ感度を向上させることができます。

自動同期ワード検出 (SWD)

ADF7021-N は、同期フィールドまたは ID フィールドの自動検出もサポートしています。このモードを開始するときは、同期 (または ID) ワードを予め ADF7021-N に設定しておく必要があります。受信モードで、この予め設定されたワードが受信ビット・ストリームと比較されます。一致すると、ADF7021-N は次の Rx クロック・パルスで外部 SWD ピンをアサートします。

この機能を使って、有効なチャンネルが検出されたことをマイクロプロセッサへ通知することができます。この通知機能により、マイクロプロセッサへの演算要求が軽減されるので全体の消費電力が削減されます。

SWD 信号を予め設定されたバイト数の間ハイ・レベルに維持することにより、SWD 信号を受信バケットのフレーミングに使うこともできます。データ・パケット長は R12_DB[8:15] に設定することができます。

SWD ピンのステータスは、R12_DB[6:7] を使って設定することができます。R11_DB[4:5] は同期/ID ワード長の設定に使い、12、16、20、または 24 ビット長が設定できます。レシーバでの同期ワードの誤検出を少なくするためには 24 ビット長の使用が推奨されます。この誤検出は、パケットの残りの部分の再生時またはレシーバ入力にノイズ/無信号状態の時に発生します。トランスミッタは、レシーバの同期バイト検出ハードウェアで正しいアライメントができるように同期バイトを MSB ファーストで送信する必要があります。

許容誤りパラメータも設定することができます。このパラメータにより、ワードの内の最大 3 ビットまでが誤っていても有効な一致として受信します。許容誤り値は R11_DB[6:7] に設定されます。

アプリケーション情報

IF フィルタ帯域幅のキャリブレーション

受信モードでパワーアップするごとに IF フィルタをキャリブレーションして、製造プロセス変動により発生する帯域幅とフィルタ中心周波数の誤差を補正する必要があります。レジスタ 5 に書き込みを行って自動キャリブレーションを起動した後は、外部からの介入は不要です。IF フィルタ帯域幅、受信信号帯域幅、温度特性変動などの多くのファクタに応じて、粗調整キャリブレーションまたは微調整キャリブレーションのいずれを実行するかをユーザが指定する必要があります。

両キャリブレーション方法の性能表 21 に示します。

表 21. IF フィルタ・キャリブレーションの仕様

Filter Calibration Method	Center Frequency Accuracy ¹	Calibration Time (Typ)
Coarse Calibration	100 kHz ± 2.5 kHz	200 μs
Fine Calibration	100 kHz ± 0.6 kHz	8.2 ms

¹キャリブレーション後。

キャリブレーションのセットアップ

IF フィルタのキャリブレーションは、レジスタ 5 へ書き込みを行って、IF_CAL_COARSE ビット(R5_DB4)を設定することにより開始されます。これにより、粗調整フィルタ・キャリブレーションが開始されます。IF_FINE_CAL ビット(R6_DB4)がハイ・レベルに設定されていると、粗調整キャリブレーションの後に微調整キャリブレーションが続きます。その他の場合、キャリブレーションは終了します。

書き込みを行って開始すると、キャリブレーションはユーザーの介入なしに自動的に実行されます。キャリブレーション時間は、粗調整キャリブレーションに 200μs、微調整キャリブレーションに数 ms、それぞれ要し、この間 ADF7021-N をアクセスすることはできません。IF フィルタ・キャリブレーションでは、次式を満たすように IF_FILTER_DIVIDER ビット(R5_DB[5:13])を設定する必要があります。

$$\frac{XTAL [Hz]}{IF_FILTER_DIVIDER} = 50 \text{ kHz}$$

微調整キャリブレーションでは、IF フィルタ中心から一定のオフセットを持つ 2 つのトーンを内部で発生します。この 2 つのトーンを IF フィルタで減衰させて、この減衰レベルを RSSI を使って測定します。フィルタ中心周波数は、両トーンの減衰が等しくなるように調節します。次に、2 つのテスト・トーンの減衰を測定します。RSSI 計測を最大 10 回まで繰り返し、その時点でキャリブレーション・アルゴリズムが IF フィルタ中心周波数を 0.6 kHz~100 kHz の範囲内に設定します。

これらのトーンの周波数は、次式のように

IF_CAL_LOWER_TONE_DIVIDE (R6_DB[5:12]) ビットと IF_CAL_UPPER_TONE_DIVIDE (R6_DB[13:20]) ビットで設定されます。

下側トーンの周波数(kHz)

$$\frac{XTAL}{IF_CAL_LOWER_TONE_DVIDE \times 2}$$

上側トーンの周波数(kHz)

$$\frac{XTAL}{IF_CAL_UPPER_TONE_DVIDE \times 2}$$

下側トーンと上側トーンは表 22 に示すように配置することが推奨されます。

表 22. IF フィルタ微調整キャリブレーションのトーン周波数

IF Filter Bandwidth	Lower Tone Frequency	Upper Tone Frequency
9 kHz	78.1 kHz	116.3 kHz
13.5 kHz	79.4 kHz	116.3 kHz
18.5 kHz	78.1 kHz	119 kHz

フィルタの減衰は少し非対称であるため、上側と下側の隣接チャンネルで除去比がほぼ等しくなるようにフィルタ中心周波数に小さいオフセットを与えることが必要です。表 22 に示すキャリブレーション・トーンが、この小さい正のオフセットを IF フィルタ中心周波数に与えます。

アプリケーションによっては、オフセットが不要な場合もあり、ユーザーによっては IF フィルタの中心を 100 kHz に設定したい場合があります。このような場合、微調整キャリブレーション結果を調節するために、ユーザーは表 22 に示すトーン周波数を変更することができます。

キャリブレーション・アルゴリズムは、キャリブレーション中にフィルタ中心周波数を調節して、RSSI の測定を 10 回行います。調整と RSSI 測定に要する時間は次式で与えられます。

$$IF \text{ Tone Calibration Time} = \frac{IF_CAL_DWELL_TIME}{SEQCLK}$$

IF トーン・キャリブレーション時間を最小 800 μs にすることが推奨されます。IF フィルタ微調整キャリブレーションの合計時間は次式で与えられます。

IF フィルタ微調整キャリブレーション時間 = IF トーン・キャリブレーション時間 × 10

粗調整キャリブレーションを使用するタイミング

受信モードのパワーアップごとに粗調整キャリブレーションを実行することが推奨されます。このキャリブレーションには 200 μs (typ) を要します。MUXOUT からの FILTER_CAL_COMPLETE 信号を使って、フィルタ・キャリブレーション継続時間のモニターまたはキャリブレーション終了の通知を行うことができます。キャリブレーション中は、ADF7021-N をアクセスすることはできません。

微調整キャリブレーションを使用するタイミング

受信信号帯域幅と IF フィルタの帯域幅が非常に近い場合、ユニットを受信モードでパワーアップさせるごとに、微調整フィルタ・キャリブレーションを行うことが推奨されます。

微調整キャリブレーションは次の場合に行う必要があります。

$$OBW + \text{粗調整キャリブレーション変動} > IF_FILTER_BW$$

ここで、

OBW は、送信信号により 99% 占有された帯域幅。

粗調整キャリブレーション変動は 2.5 kHz。

IF_FILTER_BW は R4_DB[30:31] を使って設定。

MUXOUT (R0_DB[29:31] を使って設定) からの FILTER_CAL_COMPLETE 信号を使って、フィルタ・キャリブレーション継続時間のモニターまたはキャリブレーション終了の通知を行うことができます。粗調整フィルタ・キャリブレーションは、微調整フィルタ・キャリブレーションの前に自動的に実行されます。

シングル微調整キャリブレーションの実行タイミング

レーバが短い期間に何回もパワーアップするアプリケーションでは、最初のレーバ・パワーアップ時に 1 回だけ微調整キャリブレーションを行う必要があります。

最初の粗調整キャリブレーションと微調整キャリブレーションの後に、微調整キャリブレーション結果は FILTER_CAL_READBACK リザルト(フィルタ帯域幅キャリブレーションのリードバックのセクション参照)を使って、シリアル・インターフェースを介して読み出すことができます。受信モードでの後続のパワーアップでは、前の微調整フィルタ・キャリブレーション結果を使って手動でフィルタを調整することができます。この手動調整は、IF_FILTER_ADJUST ビット (R5_DB[14:19]) を使って行います。

この方法は、受信モードでの連続パワーアップが温度変動の少ない (<15°C) 短期間で行われる場合にのみ使用することができます。

IF フィルタの温度変動

キャリブレーション時、フィルタ中心周波数が温度により変化することがあります。受信モードに長時間留まるアプリケーションで ADF7021-N を使用する場合、フィルタ中心周波数のこの温度変動を考慮する必要があります。この変動は 1 kHz あたり 20°C (typ) です。これは、粗調整フィルタ・キャリブレーションと微調整フィルタ・キャリブレーションを 25°C で行う場合、初期最大許容差は ±0.5 kHz で、フィルタ中心周波数の温度 (-40°C ~ +85°C) に対する最大変化は ±3.25 kHz であることを意味します。これにより、合計誤差は ±3.75 kHz になります。

受信信号の占有帯域幅が IF フィルタ帯域幅より大幅に小さい場合、動作温度範囲に対するフィルタ中心周波数の変動は問題になりません。これに対して、IF フィルタ帯域幅が温度変動に耐えられないほど十分広くない場合には、周期的なフィルタ・キャリブレーションを実行するか、あるいは、内蔵の温度センサーを使って温度変化をモニターして、フィルタ・キャリブレーションが必要なタイミングを決めることができます。

LNA/PA のマッチング

ADF7021-N は、RF 入力と出力ポートがアンテナ・インピーダンスに整合する場合にのみ、感度、送信電力、消費電力について最適性能を与えます。コストに敏感なアプリケーションでは、ADF7021-N はシンプルな受動 PA/LNA 整合回路の使用を可能にする内蔵 Rx/Tx スイッチと組み合わせて使用されます。あるいは、レーバ感度を少し向上させトランスミッタ消費電力を削

減する、ADG919 のような外付けの Rx/Tx スイッチを使用することもできます。

内蔵 Rx/Tx スイッチ

図 50 に、内蔵 Rx/Tx スイッチと LNA/PA 整合回路を組み合わせて使用した ADF7021-N の構成を示します。この構成は、EVAL-ADF7021-NDBxx 評価ボードで使用されています。大部分のアプリケーションで内蔵 Rx/Tx スイッチにより発生する 1 dB ~ 2 dB の性能低下は許容範囲内であるため、この安価なソリューションを利用することができます。整合回路との組み合わせのデザインでは、Rx/Tx スイッチの状態を考慮することにより、Tx パスと Rx パスの回路に存在するリアクタンスの補償が必要です。

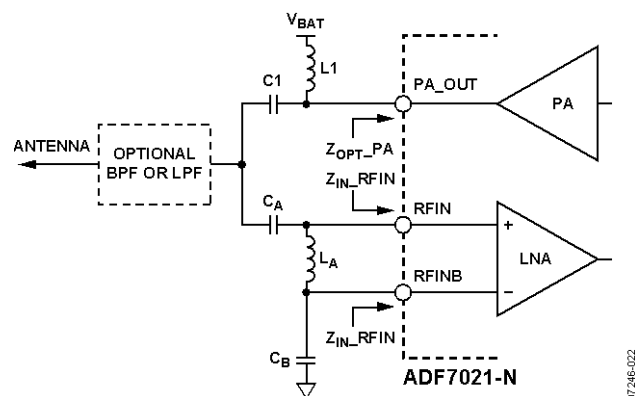


図 50. 内蔵 Rx/Tx スイッチを使用した ADF7021-N

一般にこの手順では、許容できる妥協点に到達するまでに複数回の繰り返しが必要です。LNA/PA 整合回路と ADF7021-N との組み合わせでは、PCB の正確な電気モデルの存在が不可欠です。この意味で、適切な CAD パッケージの使用が強く推奨されます。この労力を回避するため、整合部品と高調波フィルタ部品を含む ADF7021-N の小型な参考デザインが提供されています。このデザインではコストを削減するため 2 層の PCB を採用しています。Gerber ファイルは www.analog.com から提供しています。

外付け Rx/Tx スイッチ

図 51 に、外付け Rx/Tx スイッチを使用した構成を示します。この構成では、送信パスと受信パスの整合回路とフィルタ回路の最適化を独立に行うことができます。このため、内蔵 Rx/Tx スイッチを使用する構成よりデザインが柔軟で容易になります。PA はインダクタ $L1$ を通してバイアスされ、 $C1$ が DC 電流を阻止します。 $L1$ と $C1$ との組み合わせにより、ソース・インピーダンスを最適な PA 負荷インピーダンス (Z_{OPT_PA}) に変換する整合回路が構成されています。

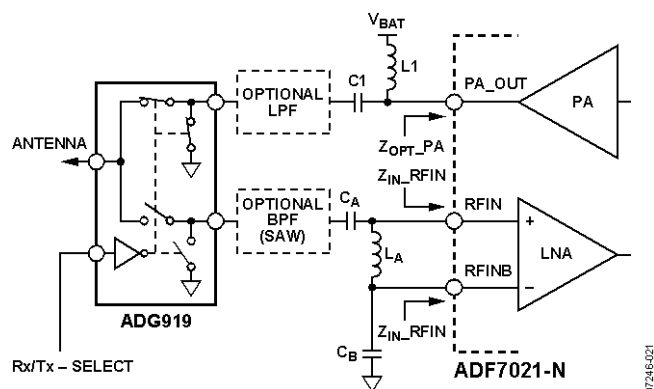


図 51. 外付け Rx/Tx スイッチを使用した ADF7021-N

Z_{OPT_PA} は、所要出力電力、周波数範囲、電源電圧範囲、温度範囲などの、種々のファクタに依存します。適切な Z_{OPT_PA} を選択すると、アプリケーションでの Tx 消費電流を小さくすることができます。アプリケーション・ノート AN-764 とアプリケーション・ノート AN-859 に、代表的な条件に対する多くの Z_{OPT_PA} 値が記載されています。ただし、ある条件下では、ロード・プル測定により適切な Z_{OPT_PA} 値を求めることが推奨されます。

差動 LNA 入力を使用しているため、シングルエンドから差動への変換と複素共役インピーダンスの整合を行うように LNA 整合回路をデザインする必要があります。これらの条件を満たす部品数最小の回路は、2 個のコンデンサと 1 個のインダクタからなる図 51 に示す構成です。

アンテナ構成に応じて、規制に規定されるスプリアス放出条件を満たすために PA 出力に高調波フィルタが必要となる場合があります。この高調波フィルタは、ディスクリット LC π 型または T 型フィルタなどの種々の方法で構成することができます。大きな帯域外干渉に対する ADF7021-N の耐性は、Rx パスにバンドパス・フィルタを追加することにより向上させることができます。あるいは、ADF7021-N の阻止性能は表 15 に説明する強化直線性モードの 1 つを選択することにより向上させることができます。

イメージ除去のキャリブレーション

ADF7021-N のイメージ・チャンネルは、信号の 200 kHz 下側にあります。多相フィルタが非対称な周波数応答によりこのイメージを除去します。レシーバのイメージ除去性能は、I 入力信号と Q 入力信号の振幅一致度とこれらの間の直交度 (90° 離れている度合) に依存しています。キャリブレーションなしのイメージ除去性能は 450 MHz で約 29 dB です。ただし、最適な I/Q ゲインと位相調節設定を見つけることにより、20 dB も改善することができます。

内部 RF ソースを使うキャリブレーション

LNA のパワーオフ状態で、内部発生した低レベルの RF トーンがミキサー入力に加えられます。トーンが IF フィルタのイメージ除去比で減衰されるイメージ周波数になるように LO を調整します。次にこのトーンの電力レベルを RSSI リードバックを使って測定します。I/Q ゲインと位相調整 DAC ($R5_DB[20:31]$) が調整されて RSSI が再測定されます。ゲインと位相調整の最適値が見つかるまでこのプロセスが繰り返されます。この最適値は最小の RSSI リードバック・レベルを提供し、したがって、レシーバの最大イメージ除去性能を提供します。

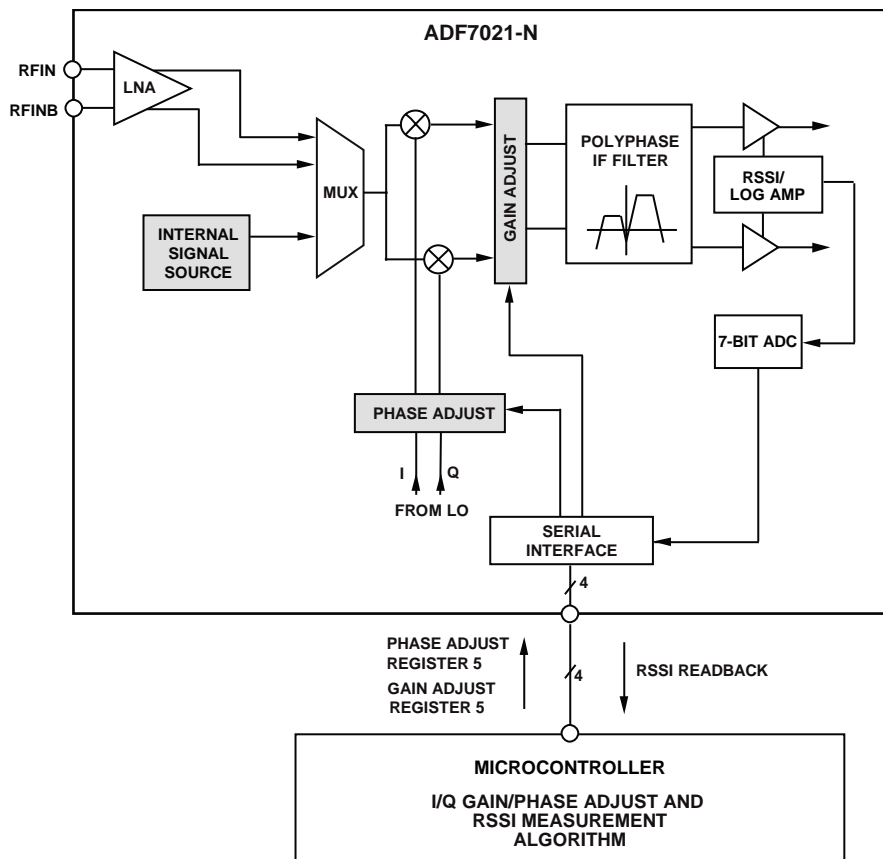


図 52.内部キャリブレーション・ソースとマイクロコントローラを使ったイメージ除去キャリブレーション

内部 RF ソースを使うと、イメージ・キャリブレーションに使用できる RF 周波数を設定して、リファレンス周波数の奇数倍にすることができます。

外付け RF ソースを使うキャリブレーション

IR キャリブレーションは、外付け RF ソースを使って実行することもできます。IR キャリブレーション手順は内部 RF ソースを使う場合と同じですが、RF トーンが LNA 入力に加えられる点となります。

キャリブレーションの手順とセットアップ

アナログ・デバイスから提供する IR キャリブレーション・アルゴリズムは、外付けのマイクロプロセッサまたはマイクロコントローラに組込むことができる複雑でない 2D 最適化アルゴリズムを採用しています。

内部 RF ソースをイネーブルするときは、IR_CAL_SOURCE_DRIVE_LEVEL ビット(R6_DB[28:29])を最大レベルに設定する必要があります。LNA は最小ゲインに設定し、内部ソースを使わない場合 AGC をディスエーブルする必要があります。あるいは、外付け RF ソースを使うこともできます。

位相調整の大きさは、IR_PHASE_ADJUST_MAG ビット(R5_DB[20:23])を使って設定します。この補正值は、IR_PHASE_ADJUST_DIRECTION ビット(R5_DB24)の値に応じて、I チャンネルまたは Q チャンネルに適用することができます。

I/Q ゲインの大きさは、IR_GAIN_ADJUST_MAG ビット(R5_DB[25:29])を使って調整します。この補正值は、IR_GAIN_ADJUST_I/Q ビット(R5_DB30)の値に応じて、I チャンネルまたは Q チャンネルに適用することができます。一方

IR_GAIN_ADJUST_UP/DN ビット(R5_DB31)は、ゲイン調整がゲインまたは減衰調整のいずれを決定するかを指定します。

キャリブレーション結果は ADF7021-N 電源電圧の変化に対して有効ですが、温度に対しては変動があります。-40°C、+25°C、+85°C での初期キャリブレーション後の温度に対するイメージ除去比の代表的な変動を図 53 に示します。新しい IR キャリブレーションが必要か否かを判断するときは ADF7021-N の内蔵温度センサーを使うことができます。

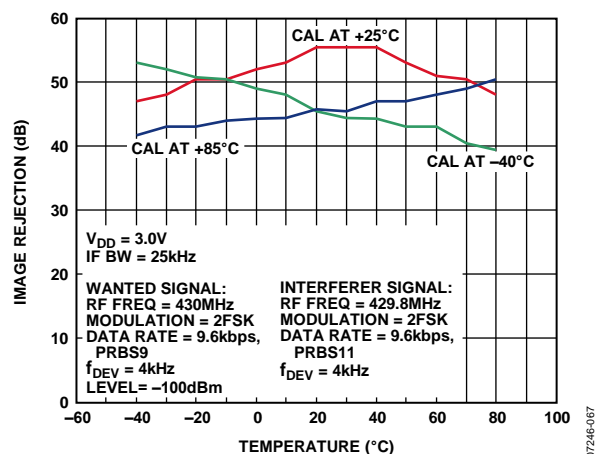


図 53.-40°C、+25°C、+85°C での初期キャリブレーション後のイメージ除去比の温度変動

パケット構造とコーディング

ADF7021-N で使用する推奨パケット構造を図 54 に示します。

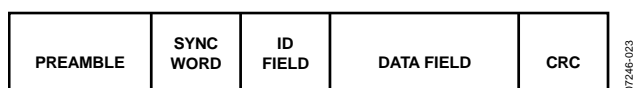


図 54.送信プロトコルの代表的なフォーマット

種々の変調方式で必要とされるプリアンプルの構造と長さについては、レシーバのセットアップのセクションを参照してください。

初期パワーアップ後の設定

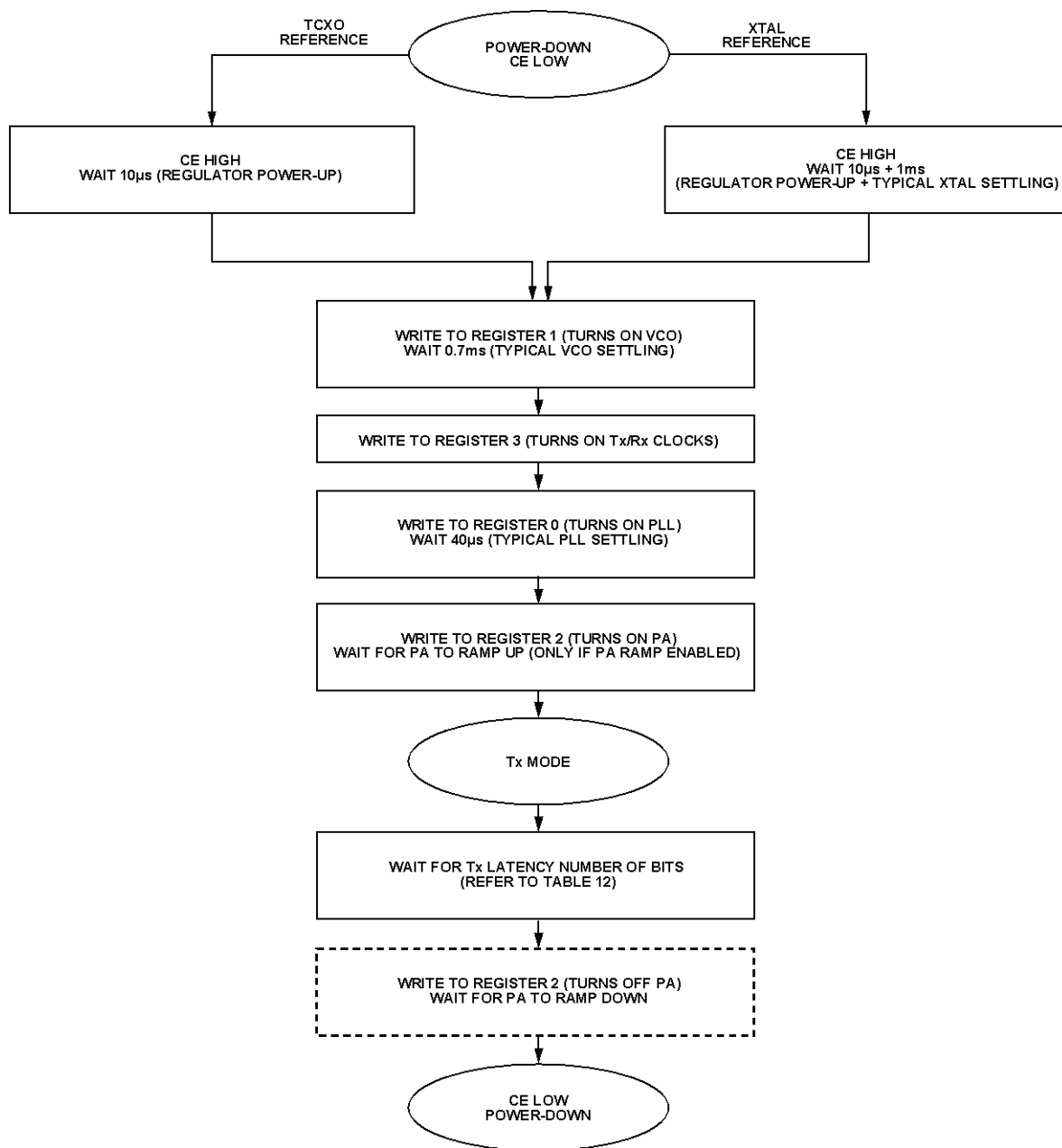
表 23 に、CE をハイ・レベルにした後に Tx モードまたは Rx モードで ADF7021-N のセットアップに必要な最小書き込み回数を

示します。同期バイト検出の設定や AFC のイネーブルなどの特定のアプリケーションに対してデバイスを特別に設定するために、その他のレジスタへの書き込みも行うことができます。Tx から Rx へまたはその逆向きに移動するとき、Tx/Rx ビットをトグルさせ、レジスタ 0 への書き込みを行って、LO を 100 kHz だけ変化させる必要があります。

表 23.Tx/Rx のセットアップに必要な最小レジスタ書き込み回数

Mode	Registers				
Tx	Reg 1	Reg 3	Reg 0	Reg 2	
Rx	Reg 1	Reg 3	Reg 0	Reg 5	Reg 4
Tx to Rx and Rx to Tx	Reg 0				

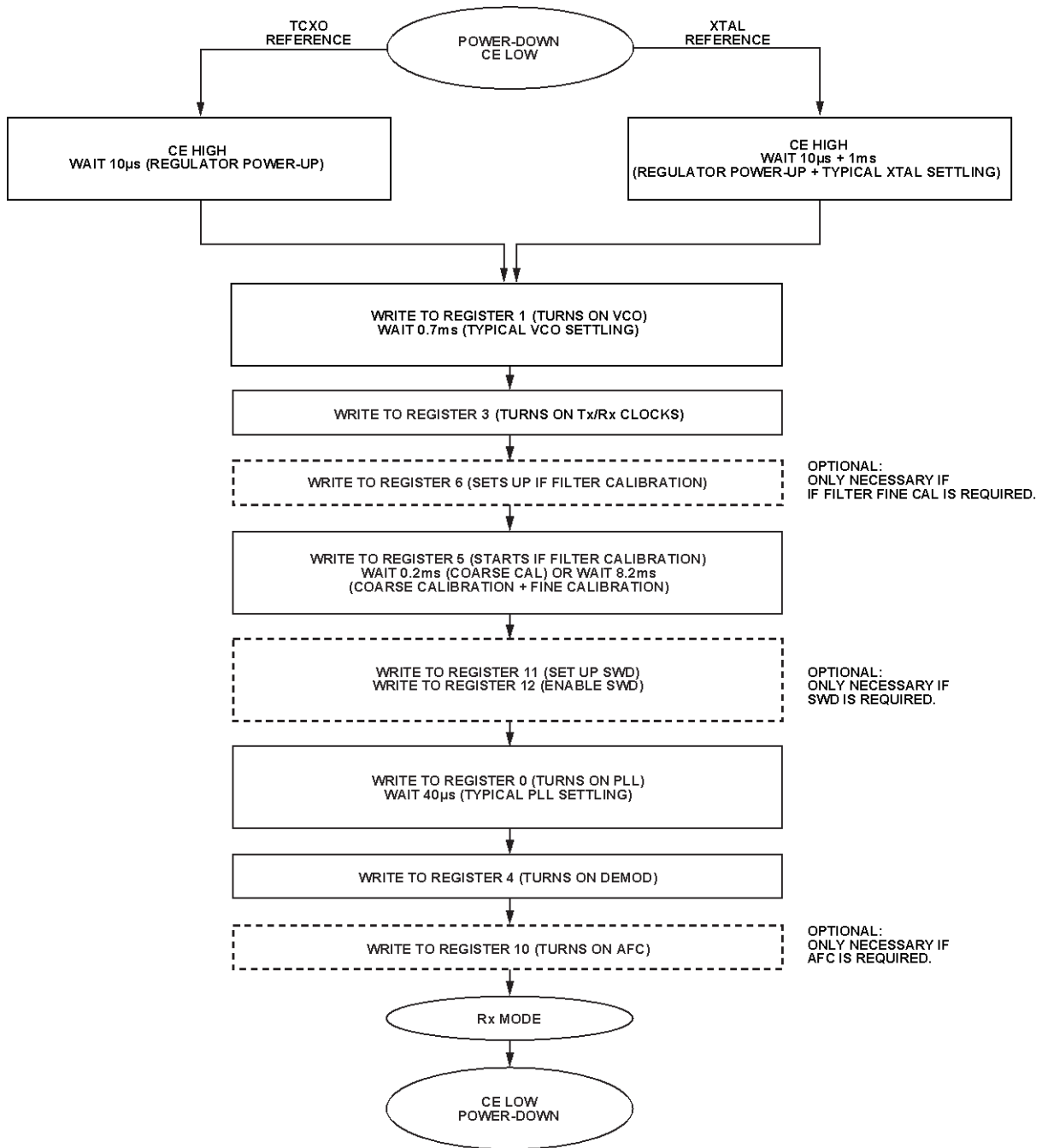
送信と受信に対する推奨書き込みシーケンスをそれぞれ図 55 と図 56 に示します。TCXO と XTAL のリファレンスに対するパワーアップ・ルーチンの違いもこれらの図に示してあります。



-- OPTIONAL. ONLY NECESSARY IF PA RAMP DOWN IS REQUIRED.

07246-006

図 55. 送信モードのパワーアップ・シーケンス



-- OPTIONAL.

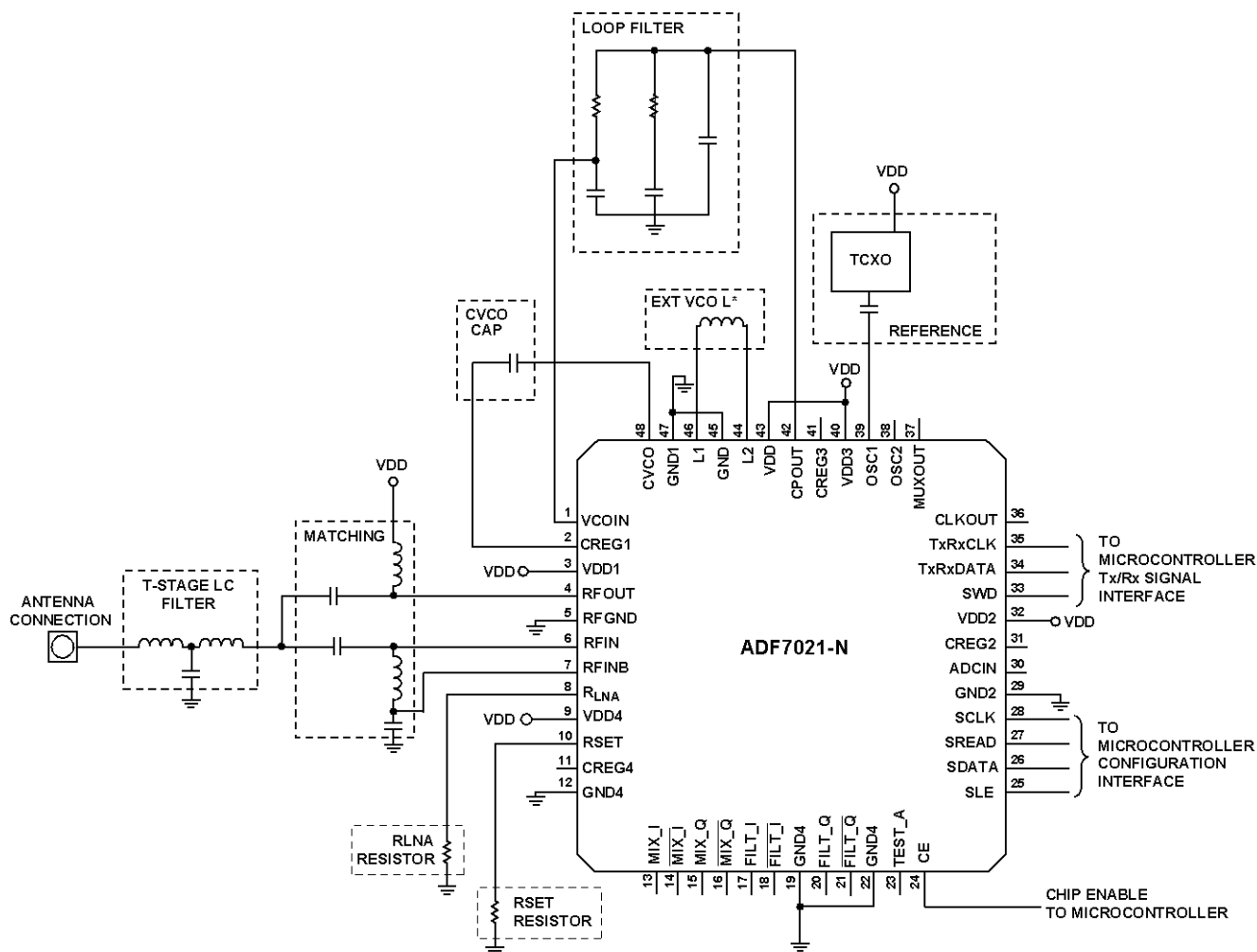
07246-087

図 56.受信モードのパワーアップ・シーケンス

アプリケーション回路

ADF7021-N では動作に必要な外付け部品は少なく済みます。図 57 に推奨アプリケーション回路を示します。電源デカップリングとレギュレータのコンデンサは分かりやすくするために除いてあります。

推奨部品値については、ADF7021-N 評価ボードのデータ・シートと ADF7021-N 製品ページに掲載する AN-859 アプリケーション・ノートを参照してください。狭帯域アプリケーションで最適性能を得るためには、参考デザインの回路図に従ってください。



*PIN 44 AND PIN 46 CAN BE LEFT FLOATING IF EXTERNAL INDUCTOR VCO IS NOT USED.

NOTES

1. PINS [13:16], PINS [20:21], AND PIN 23 ARE TEST PINS AND ARE NOT USED IN NORMAL OPERATION.

図 57. 代表的なアプリケーション回路(レギュレータ・コンデンサと電源デカップリングは省略)

シリアル・インターフェース

シリアル・インターフェースを使うと、ユーザは 3 線式インターフェース(SCLK、SDATA、SLE)を使って、16/32 ビット・レジスタを設定することができます。このインターフェースは、レベル・シフト、32 ビット・シフト・レジスタ、16 個のラッチから構成されています。信号は CMOS 互換である必要があります。シリアル・インターフェースの電源はレギュレータから供給されているため、CE がロー・レベルのとき非アクティブになります。

データは、クロック(SCLK)の立ち上がりエッジで、MSB ファーストでレジスタに入力されます。データは、SLE の立ち上がりエッジで 16 個のラッチの内の 1 つに転送されます。ディスティンクション・ラッチはコントロール・ビットの 4 ビット値(C4 ~ C1)で指定されます。これらのビットは図 2 に示す下位 4 ビット(DB3~DB0)です。データは、SREAD ピン上でも読み出すことができます。

リードバック・フォーマット

リードバック動作は、有効なコントロール・ワードをリードバック・レジスタに書き込み、リードバック・ビット(R7_DB8 = 1)をイネーブルすることにより起動されます。リードバックは、SLE 信号でコントロール・ワードがラッチされた後に開始することができます。SLE は、データの読み出し中ハイ・レベルに維持する必要があります。SCLK ピンでの各アクティブ・エッジにより、SREAD ピンからリードバック・ワードが MSB ファーストで連続的に読み出されます(図 58 参照)。ラッチ動作に続く先頭クロック・サイクルに現れるデータは無視する必要があります。SREAD ピンをスリーステートに戻すためには、16

番目のリードバック・ビットの後ろに追加クロック・サイクルが必要です。このため、各リードバックには合計 18 クロック・サイクルが必要です。18 番目のクロック・サイクルの後に、SLE をロー・レベルにする必要があります。

AFC リードバック

AFC リードバックは、リニア復調器または相関復調器がアクティブで、かつ FSK 信号の受信中にのみ有効です。AFC リードバック値は、ビット RV1~ビット RV16 で構成される符号付き 16 ビット整数としてフォーマットされ、次式でスケールされます。

$$FREQ\ RB\ [Hz] = (AFC_READBACK \times DEMOD\ CLK) / 2^{18}$$

周波数誤差がない場合、FREQ RB は 100 kHz の IF 周波数になります。AFC リードバックにより有効な結果を得るためには、ダウンコンバートされた入力信号がアナログ IF フィルタの帯域外にならないようにする必要があります。低い入力信号レベルで、リードバック値の変動は平均処理により改善することができます。

RSSI リードバック

リードバック・ワードのフォーマットを図 58 に示します。このワードは、RSSI レベル情報(ビット RV1~ビット RV7)、電流フィルタ・ゲイン(FG1、FG2)、電流 LNA ゲイン設定(LG1、LG2)から構成されています。フィルタと LNA ゲインは、レジスタ 9—AGC レジスタのセクションの定義に従ってコード化されています。-100 dBm より低い信号レベルでは、RSSI 測定値を平均処理すると精度が向上します。入力電力は、RSSI/AGC のセクションで説明するように RSSI リードバック値から計算することができます。

READBACK MODE	READBACK VALUE															
	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
AFC READBACK	RV16	RV15	RV14	RV13	RV12	RV11	RV10	RV9	RV8	RV7	RV6	RV5	RV4	RV3	RV2	RV1
RSSI READBACK	X	X	X	X	X	LG2	LG1	FG2	FG1	RV7	RV6	RV5	RV4	RV3	RV2	RV1
BATTERY VOLTAGE/ADCIN/ TEMP. SENSOR READBACK	X	X	X	X	X	X	X	X	X	RV7	RV6	RV5	RV4	RV3	RV2	RV1
SILICON REVISION	RV16	RV15	RV14	RV13	RV12	RV11	RV10	RV9	RV8	RV7	RV6	RV5	RV4	RV3	RV2	RV1
FILTER CAL READBACK	0	0	0	0	0	0	0	0	RV8	RV7	RV6	RV5	RV4	RV3	RV2	RV1

072464029

図 58. リードバック値の表

バッテリー電圧/ADCIN/温度センサーのリードバック

バッテリー電圧は VDD4 ピンで測定します。リードバック情報は、ビット RV1～ビット RV7 に配置されています。これは、ADCIN ピンでの電圧リードバックと温度センサーにも適用されます。リードバック情報から、バッテリーまたは ADCIN の電圧は次式を使って求めることができます。

$$V_{BATTERY} = (\text{バッテリー電圧リードバック})/21.1$$

$$V_{ADCIN} = (\text{ADCIN 電圧リードバック})/42.1$$

温度は次式を使って計算できます。

$$\text{温度}[^{\circ}\text{C}] = -40 + (68.4 - \text{TEMP リードバック}) \times 9.32$$

シリコン・レビジョンのリードバック

シリコン・レビジョンのリードバック・ワードは、他のレジスタの設定なしで有効です。シリコン・レビジョン・ワードは、4 ビット×4 桁で BCD フォーマットにコード化されています。製品コード(PC)は、ビット RV5～ビット RV16 に 4 ビット×3 桁でコード化されています。レビジョン・コード(RC)は、ビット RV1～ビット RV4 に 4 ビット×1 桁でコード化されています。ADF7021-N の製品コードは、PC = 0x211 として読み出されます。現在のレビジョン・コードは、RC = 0x1 として読み出されます。

フィルタ帯域幅キャリブレーションのリードバック

フィルタ・キャリブレーションのリードバック・ワードはビット RV1～ビット RV8 に配置されています(図 58 参照)。このリードバック値を使ってフィルタを手動調整できるため、場合によって IF フィルタのキャリブレーションが不要になります。手動調整値は R5_DB[14:19]を使って設定します。フィルタ・キャリブレーションのリードバックを使って手動調整値を計算するときには、次式を使います。

$$IF_FILTER_ADJUST = FILTER_CAL_READBACK - 128$$

レジスタ 5—IF フィルタ・セットアップ・レジスタのセクションの説明のようにこの結果を R5_DB[14:19]に書き込む必要があります。

マイクロコントローラ/DSP へのインターフェース

標準の送信/受信データ・インターフェース

マイクロコントローラに対する標準の送信/受信信号および設定のインターフェースを図 59 に示します。送信モードでは、ADF7021-N が TxRxCLK ピンにデータ・クロックを出力し、TxRxDATA ピンをデータ入力として使います。送信データは、TxRxCLK の立ち上がりエッジで ADF7021-N に入力されます。

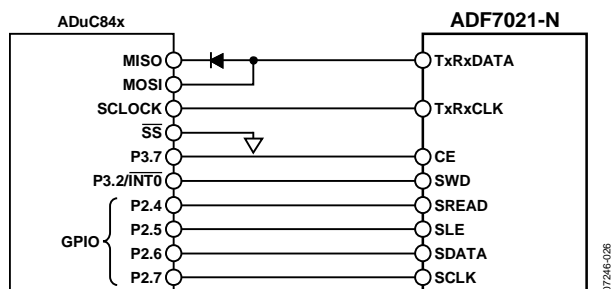


図 59. ADuC84x と ADF7021-N との接続図

受信モードでは、ADF7021-N が同期したデータ・クロックを TxRxCLK ピンに出力します。受信データは TxRxDATA ピンを使います。TxRxCLK の立ち上がりエッジを使って、受信データをマイクロコントローラに入力します。関連するタイミング図については、図 4 と図 5 を参照してください。

4FSK 送信モードでは、送信シンボルの MSB が TxRxCLK ピンからのデータ・クロックの最初の立ち上がりエッジで ADF7021-N へ入力されます。4FSK 受信モードでは、先頭のペイロード・シンボルの MSB が SWD の後のデータ・クロックの最初の立ち下がりエッジで出力され、次の立ち上がりエッジでマイクロコントローラへ入力される必要があります。関連するタイミング図については、図 6 と図 7 を参照してください。

UART モード

UART モードの送信モードでは、TxRxCLK ピンで送信データを入力するように設定します。受信モードでは、受信データは TxRxDATA ピンを使います。したがって、非同期データのインターフェースになります。UART モードはオーバーサンプリングの 2FSK のみ使用できます。図 60 に、ADF7021-N の UART モードを使ったマイクロコントローラへのインターフェースを示します。この UART インターフェース・モードをイネーブリングするときは、R0_DB28 をハイ・レベルに設定します。UART モードに関連するタイミング図については、図 8 と図 9 を参照してください。

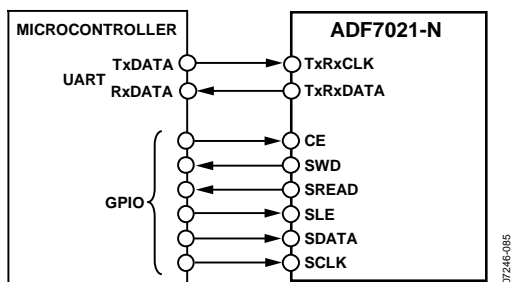


図 60. ADF7021-N (UART モード) とマイクロコントローラとの非同期インターフェース

SPI モード

SPI モードの送信モードでは、TxRxCLK ピンで送信データを入力するように設定します。受信モードでは、受信データは TxRxDATA ピンを使います。送信モードと受信モードでのデータ・クロックは CLKOUT ピンを使います。送信データは、CLKOUT の立ち上がりエッジで ADF7021-N に入力されます。受信モードでは、TxRxDATA ピンが CLKOUT の立ち上がりエッジでマイクロコントローラによりサンプルされます。

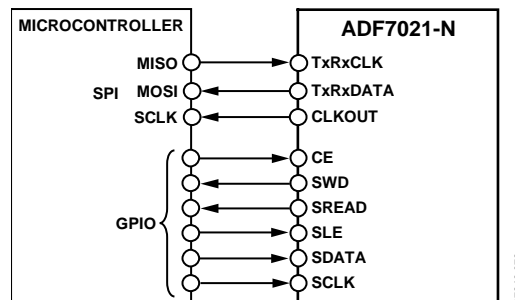


図 61. ADF7021-N (SPI モード) とマイクロコントローラとのインターフェース

SPI インターフェース・モードをイネーブリングするときは、R0_DB28 をハイ・レベルに、R15_DB[17:19] を 0x7 に、それぞれ設定します。SPI モードの関連タイミング図は図 8 と図 9 に、ADF7021-N の SPI モードを使ったマイクロコントローラとの推奨インターフェースは図 61 に、それぞれ示します。

ADSP-BF533 とのインターフェース

Blackfin® ADSP-BF533 との推奨インターフェースを図 62 に示します。

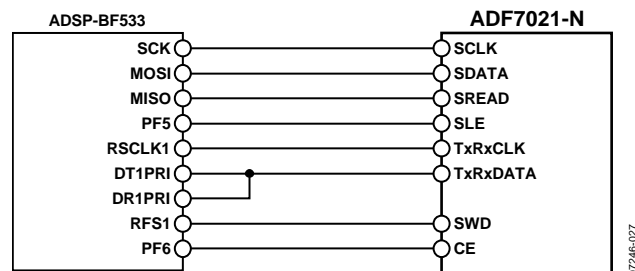


図 62. ADSP-BF533 と ADF7021-N との接続図

レジスタ 0—N レジスタ

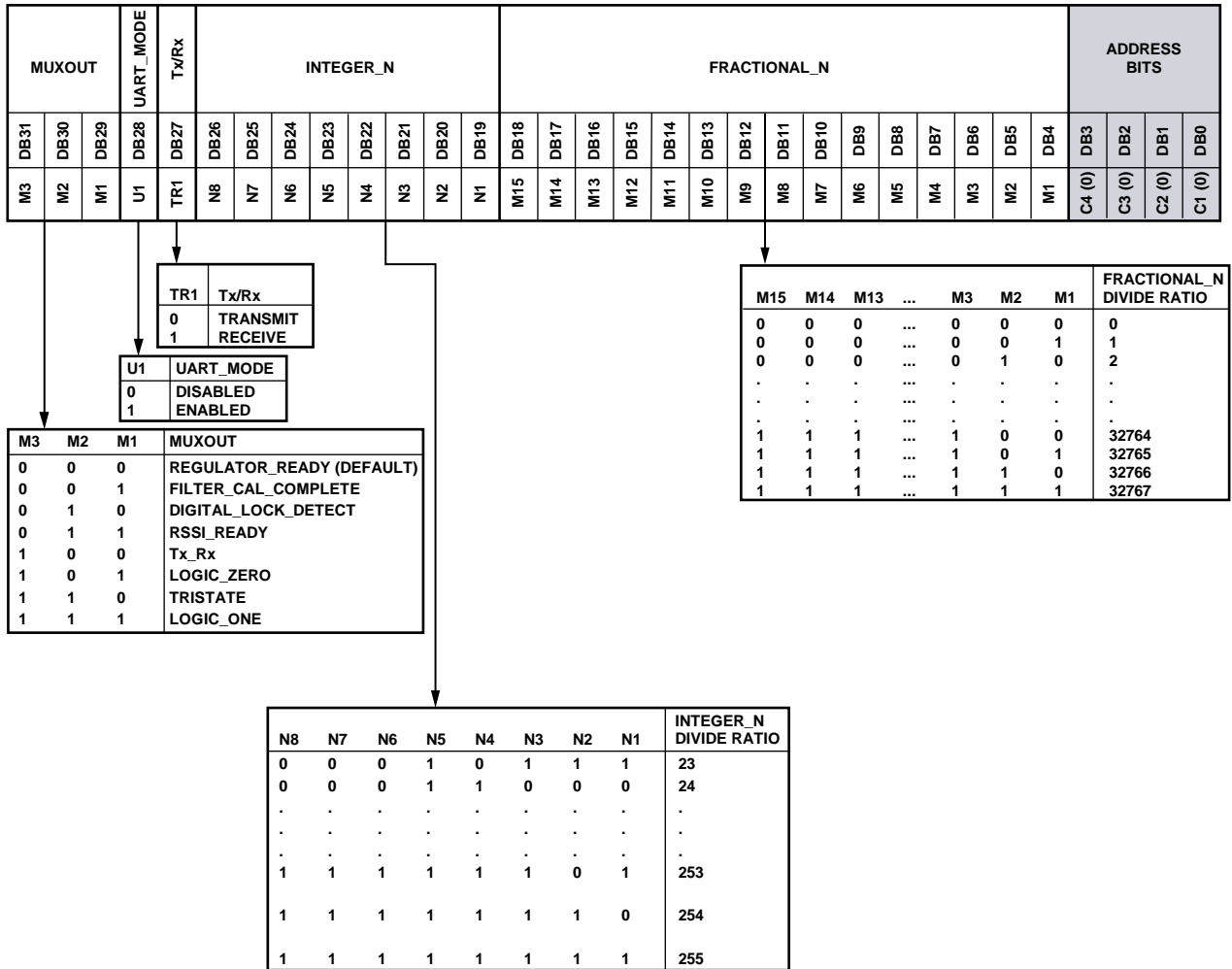


図 63. レジスタ 0—N レジスタ・マップ

RF 出力周波数は次式で計算されます。

- ダイレクト出力の場合、

$$RF_{OUT} = PFD \times \left(Integer_N + \frac{Fractional_N}{2^{15}} \right)$$

選択した RF_DIVIDE_BY_2 (R1_DB18) に対して

$$RF_{OUT} = PFD \times 0.5 \times \left(Integer_N + \frac{Fractional_N}{2^{15}} \right)$$

- UART/SPI モードでは、TxRxCLK ピンを Tx データの入力として使います。Rx データは TxRxDATA ピンに出力されます。
 - 図 63 の MUXOUT マップにある FILTER_CAL_COMPLETE は、粗調整または粗調整と微調整の IF フィルタ・キャリブレーションが終了したことを表示します。DIGITAL_LOCK_DETECT は、PLL がロックしたタイミングを表示します。RSSI_READY は、RSSI 信号が安定したため RSSI リードバックが可能であることを表示します。
 - Tx_Rx はこのレジスタ内の DB27 のステータスを表示します。外付け Tx/Rx スイッチを制御するときこのビットを使うことができます。

レジスタ 1—VCO/発振器レジスタ

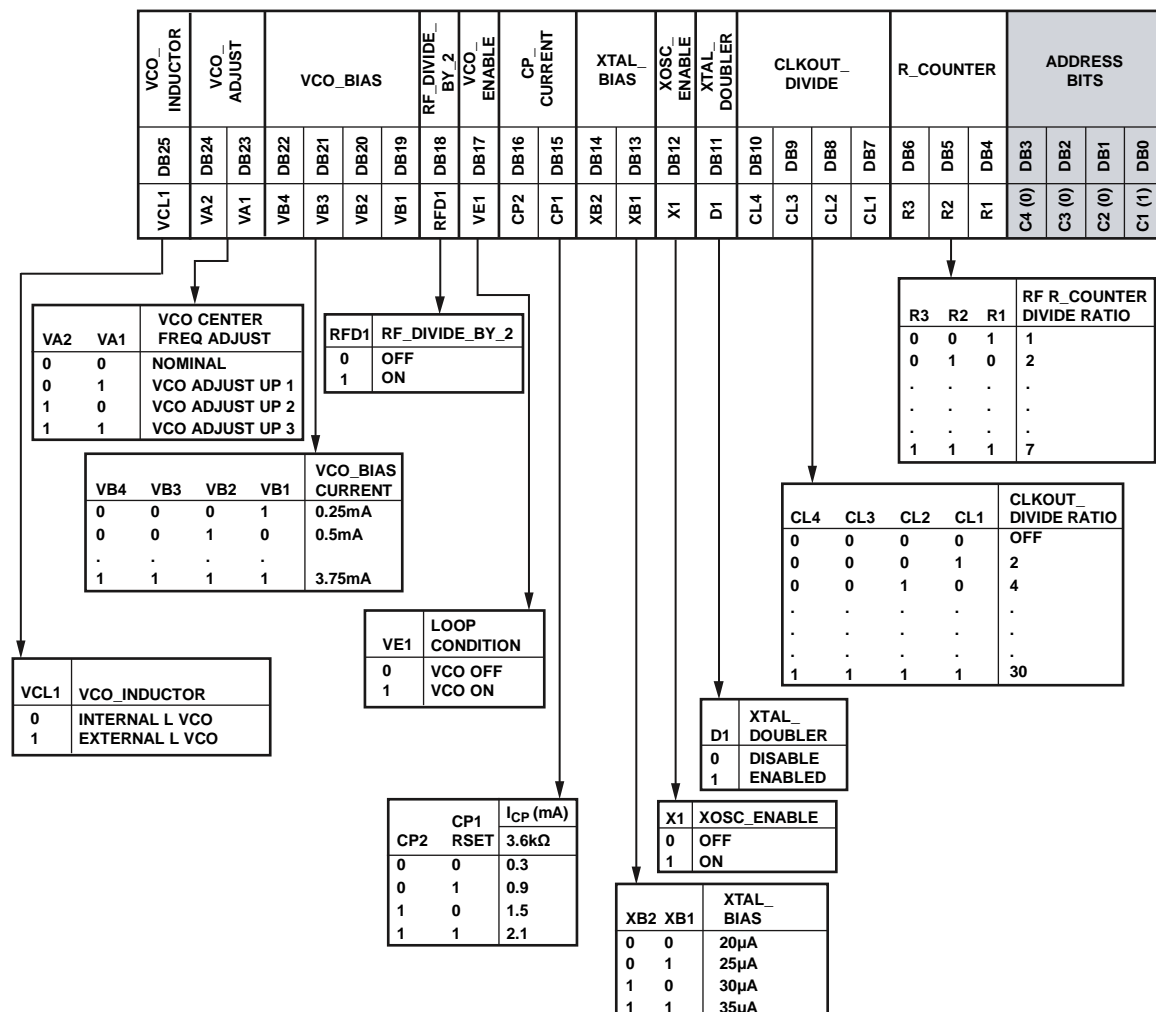


図 64.レジスタ 1—VCO/発振器レジスタのマップ

- R_COUNTER と XTAL_DOUBLER の関係は次の通りです。

$$\text{XTAL_DOUBLER} = 0 \text{ の場合、 } PFD = \frac{\text{XTAL}}{\text{R_COUNTER}}$$

$$\text{XTAL_DOUBLER} = 1 \text{ の場合、 } PFD = \frac{\text{XTAL} \times 2}{\text{R_COUNTER}}$$

- CLOCKOUT_DIVIDE は XTAL の分周/反転された信号でピン 36 に出力されます(CLKOUT)。
- 外付け水晶を使用するには XOSC_ENABLE をハイ・レベルに設定します。CMOS レベル出力を持つ外付け発振器(たとえば TCXO)を OSC2 ピンに接続するときは、XOSC_ENABLE をロー・レベルに設定します。0.8 V p-p にクリップされた正弦波出力を持つ外付け発振器を OSC1 ピンに接続するときは、XOSC_ENABLE をハイ・レベルに設定します。

- VCO_BIAS ビットは表 9 に従って設定する必要があります。
- VCO_ADJUST ビットは、VCO 動作帯域の中心を調節します。各ビットは、VCO バンドを RF 動作周波数の 1% だけ上に調整します(RF_DIVIDE_BY_2 をイネーブルした場合は 0.5%)。
- VCO_INDUCTOR を外付けに設定すると、外付けインダクタによる VCO が使用できるようになり、80 MHz ~ 650 MHz の RF 動作周波数が得られます。動作に内部インダクタによる VCO を使う場合は、このビットをロー・レベルに設定します。

レジスタ 2—送信変調レジスタ

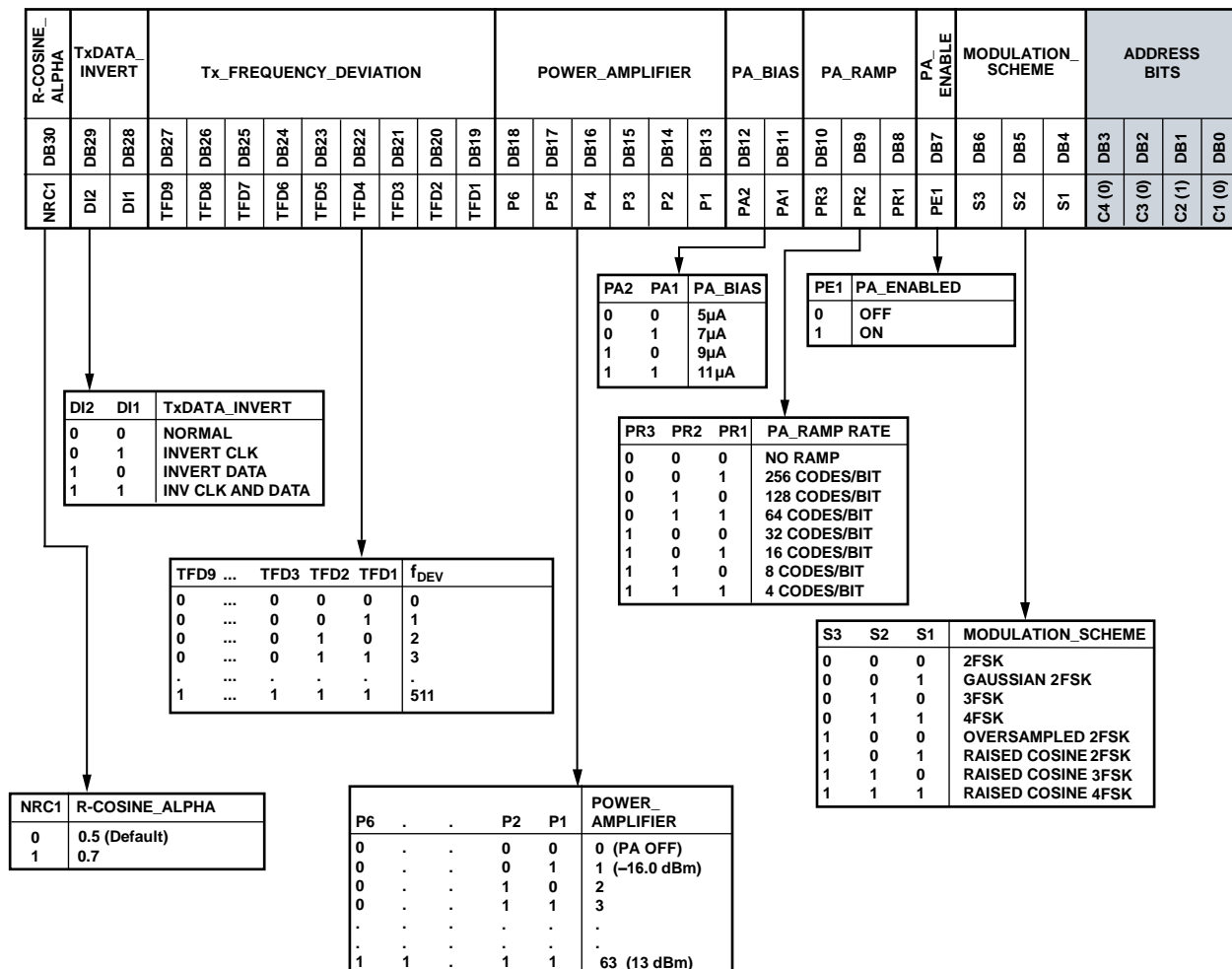


図 65.レジスタ 2—送信変調レジスタのマップ

- 2FSK/3FSK/4FSK の周波数変位は次式で表されます。ダイレクト出力

$$\text{周波数変位[Hz]} = \frac{\text{Tx_FREQUENCY_DEVIATION} \times \text{PFD}}{2^{16}}$$

RF_DIVIDE_BY_2 (R1_DB18)をイネーブル時

$$\text{周波数変位[Hz]} = 0.5 \times \frac{\text{Tx_FREQUENCY_DEVIATION} \times \text{PFD}}{2^{16}}$$

ここで、Tx_FREQUENCY_DEVIATION は R2_DB[19:27]を使って設定し、PFD は PFD 周波数。

- 4FSK の場合、±3×周波数変位と±1×周波数変位にトーンが存在します。

- パワー・アンプ(PA)は、設定されたレベル(R2_DB[13:18])まで設定されたレート(R2_DB[8:10])で立ち上がります。PA_ENABLE ビット(R2_DB7)により PA がイネーブル/ディスエーブルされた場合、PA はランプアップ/ダウンします。Tx/Rx ビット(R0_DB27)を使って PA をイネーブル/ディスエーブルすると、PA はランプ・アップ/ターンオフします。
- R-COSINE_ALPHA は、raised cosine データ・フィルタのロールオフ・ファクタ(alpha)を 0.5 または 0.7 に設定します。alpha はデフォルトで 0.5 に設定されていますが、データ・フィルタリング効果を小さくするために、alpha = 0.7 を使って、raised cosine フィルタ帯域幅を広げることができます。

07246-032

レジスタ 3—送信/受信クロック・レジスタ

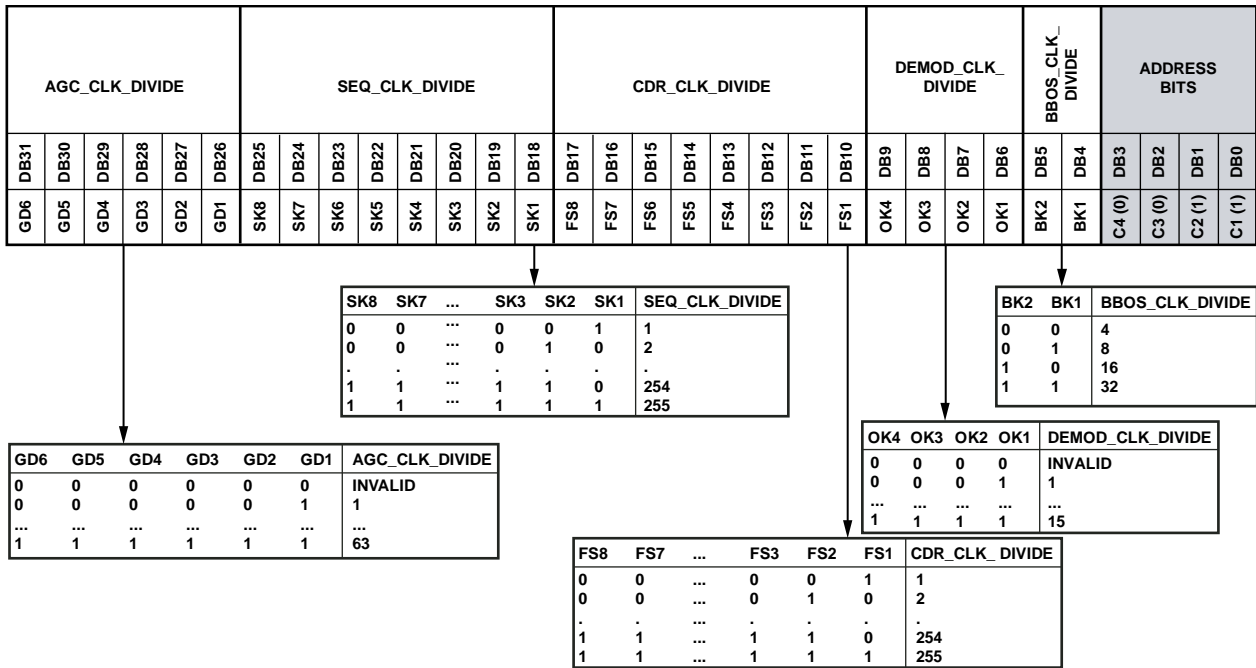


図 66. レジスタ 3—送信/受信クロック・レジスタのマップ

07246-033

- ベースバンド・オフセット・クロック周波数(BBOS CLK)は 1 MHz ~ 2 MHz の範囲内である必要があります。ここで、

$$BBOSCLK = \frac{XTAL}{BBOS_CLK_DIVIDE}$$

- 2 MHz ≤ DEMOD CLK ≤ 15 MHz を満たすように復調器クロック(DEMOD CLK)を設定します。ここで、

$$DEMODCLK = \frac{XTAL}{DEMOD_CLK_DIVIDE}$$

- 2FSK/3FSK の場合、データ/クロック再生周波数(CDR CLK)は、(32 × データ・レート)の 2%以内である必要があります。4FSK の場合、CDR CLK は(32 × シンボル・レート)の 2%以内である必要があります。

$$CDRCLK = \frac{DEMODCLK}{CDR_CLK_DIVIDE}$$

- シーケンサ・クロック(SEQ CLK)は、デジタル受信ブロックへクロックを供給します。このクロック周波数はできるだけ 100 kHz に近い必要があります。

$$SEQCLK = \frac{XTAL}{SEQ_CLK_DIVIDE}$$

- 各 AGC ステップが安定するために許容される時間は、AGC 更新レートで指定されます。このクロック周波数はできるだけ 8 kHz に近い必要があります。

$$AGC\ Update\ Rate\ [Hz] = \frac{SEQCLK}{AGC_CLK_DIVIDE}$$

レジスタ 4—復調器セットアップ・レジスタ

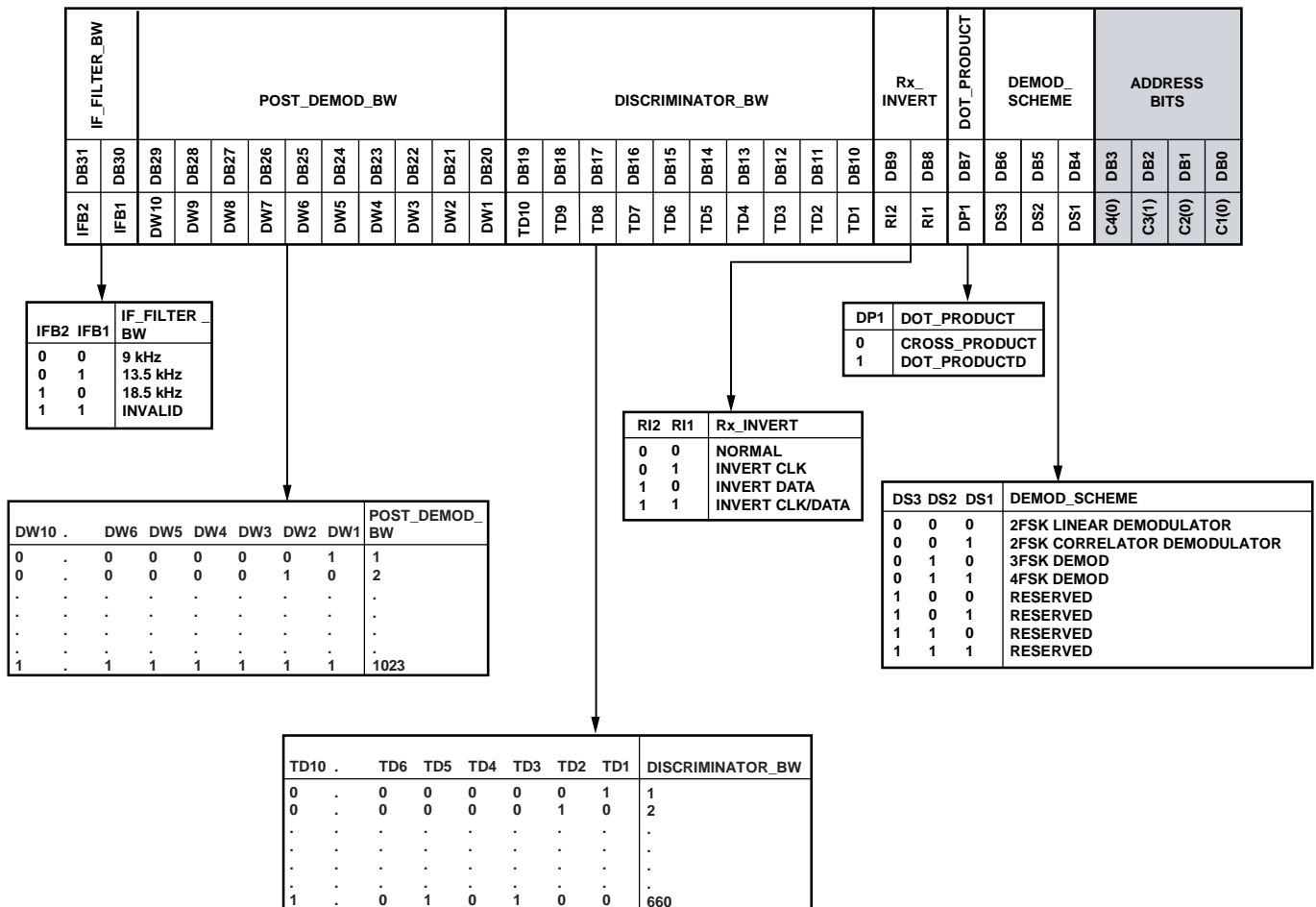


図 67.レジスタ 4—復調器セットアップ・レジスタのマップ

- DISCRIMINATOR_BW を求めるときは、次式を使います。

$$DISCRIMINATOR_BW = \frac{DEMOMCLK \times K}{400 \times 10^3}$$
 ここで、最大値=660。
- 2FSK の場合

$$K = Round\left(\frac{100 \times 10^3}{f_{DEV}}\right)$$
- 3FSK の場合

$$K = Round\left(\frac{100 \times 10^3}{2 \times f_{DEV}}\right)$$
- 4FSK の場合

$$K = Round_{4FSK}\left(\frac{100 \times 10^3}{4 \times f_{DEV}}\right)$$
- ここで、Round は最寄りの整数。
 $Round_{4FSK}$ は、32、31、28、27、24、23、20、19、16、15、12、11、8、7、4、3 に最も近い値 f_{DEV} は送信周波数の変位 (Hz)。4FSK の場合、 f_{DEV} は ± 1 シンボルに対して使用される周波数変位(すなわち内側周波数変位)。
- Rx_INVERT (R4_DB[8:9]) と DOT_PRODUCT (R4_DB7) は、表 17 と表 18 に示すように設定する必要があります。

$$POST_DEMOM_BW = \frac{2^{11} \times \pi \times f_{CUTOFF}}{DEMOM CLK}$$
 ここで、ポスト復調器フィルタのカットオフ周波数(f_{CUTOFF}) は、一般に 2FSK でのデータ・レートの 0.75 倍である必要があります。3FSK ではデータ・レートに一致し、4FSK では $1.6 \times$ シンボル・レートに設定する必要があります。

レジスタ 5—IF フィルタ・セットアップ・レジスタ

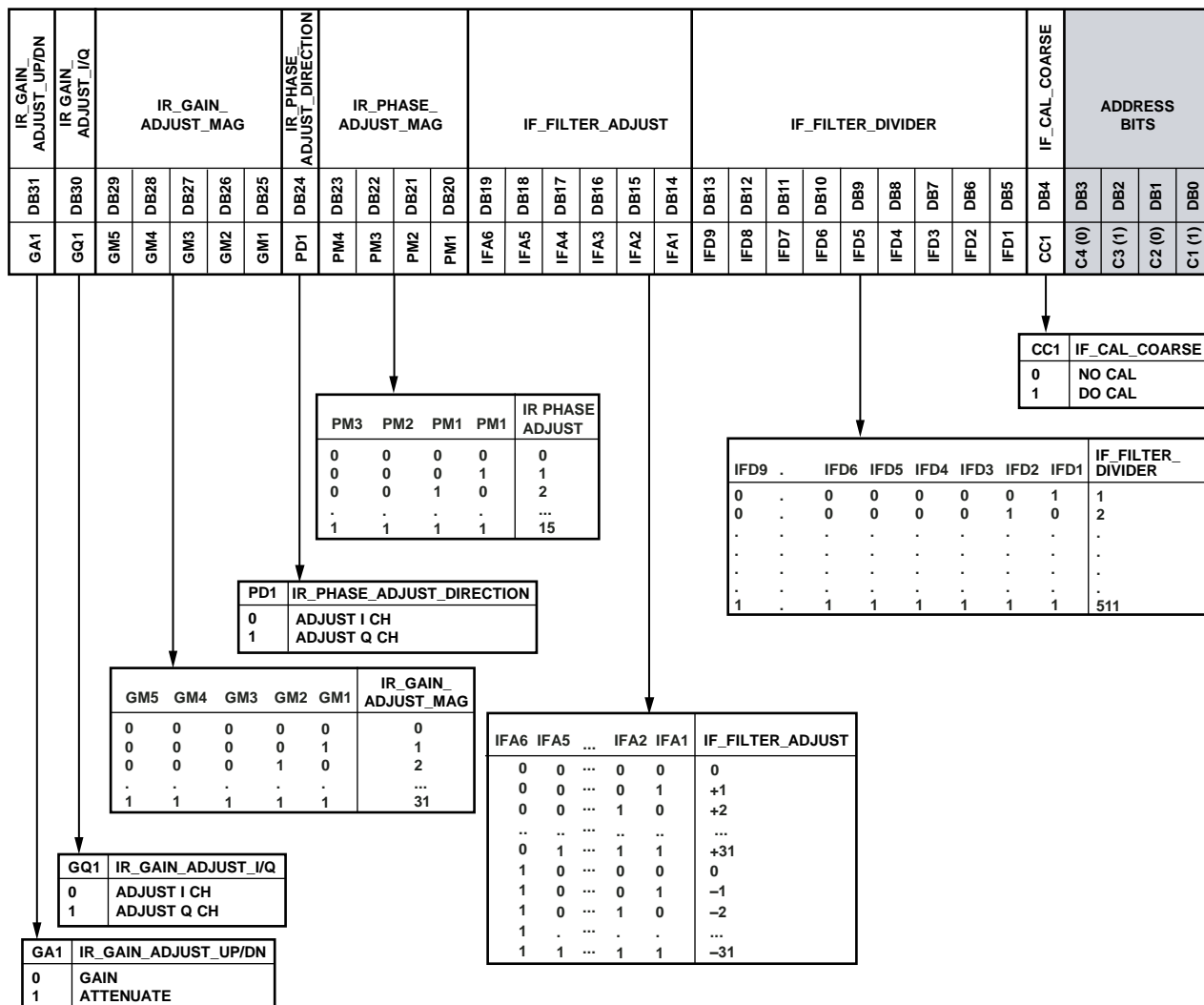


図 68.レジスタ 5—IF フィルタ・セットアップ・レジスタのマップ

07246-035

- IF_CAL_COARSE ビット(R5_DB4)がセットされると、粗調整 IF フィルタ・キャリブレーションが実行されます。IF_FINE_CAL ビット(R6_DB4)がハイ・レベルに設定されていると、粗調整キャリブレーションの後に微調整キャリブレーションが自動的に実行されます。
- IF_FILTER_DIVIDER を次のように設定します。

$$\frac{XTAL}{IF_FILTER_DIVIDER} = 50kHz$$

- IF_FILTER_ADJUST を使うと、IF 微調整フィルタ・キャリブレーション結果を後続のレシーバ・パワーアップで直接設定できるため、場合によって微調整フィルタ・キャリブレーションのやり直しが不要になります。IF_FILTER_ADJUST ビットの使い方については、フィルタ帯域幅キャリブレーションのリードバックのセクションを参照してください。
- R5_DB[20:31]はイメージ除去キャリブレーションに使われます。これらのパラメータの設定方法については、イメージ除去のキャリブレーションのセクションを参照してください。

レジスタ 6—IF 微調整キャリブレーション・セットアップ・レジスタ

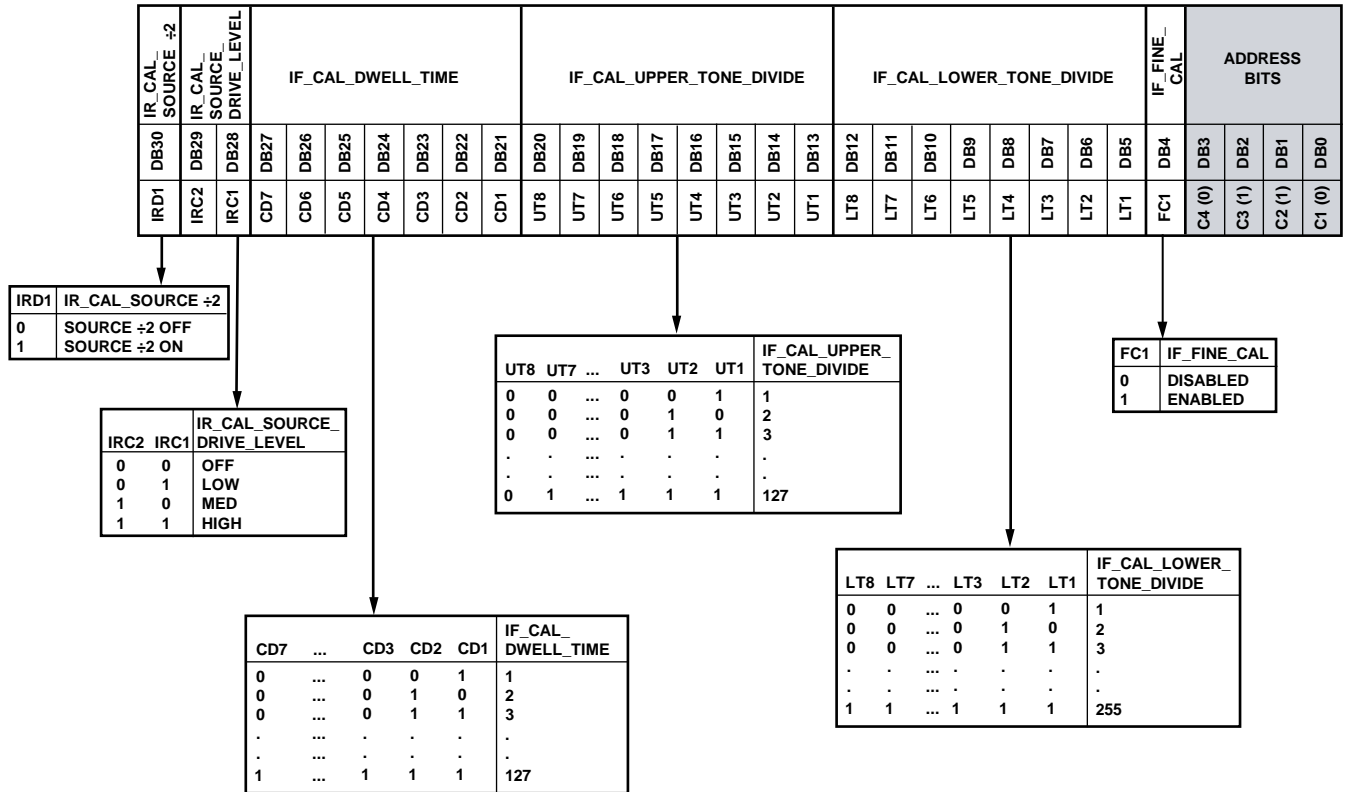


図 69. レジスタ 6—IF 微調整キャリブレーション・セットアップ・レジスタのマップ

- IF_FINE_CAL ビット(R6_DB4)をイネーブルすると、微調整 IF フィルタ・キャリブレーションが設定されます。次にレジスタ 5 が書き込まれ、R5_DB4 がセットされたときに、微調整キャリブレーションが実行されます。
下側トーン周波数(kHz) =
$$\frac{XTAL}{IF_CAL_LOWER_TONE_DIVIDE \times 2}$$
 上側トーン周波数(kHz) =
$$\frac{XTAL}{IF_CAL_UPPER_TONE_DIVIDE \times 2}$$
 下側トーンと上側トーンは表 24 に示すように配置することが推奨されます。
- IF トーン・キャリブレーション時間は、IF キャリブレーション・トーンに要する時間です。この時間はシーケンサ・クロックに依存します。最善の方法として、IF トーン・キャリブレーション時間を最小 500 μs にすることが推奨されます。
IF トーン・キャリブレーション時間 =
$$\frac{IF_CAL_DWELL_TIME}{SEQ_CLK}$$
 IF フィルタ微調整キャリブレーションの合計時間は次式で与えられます。
IF トーン・キャリブレーション時間 × 10
- R6_DB[28:30]は、イメージ除去(IR)キャリブレーションの内部ソースを制御します。IR_CAL_SOURCE_DRIVE_LEVEL ビット(R6_DB[28:29])はソースの駆動強度を制御し、IR_CAL_SOURCE_DIV2 ビット(R6_DB30)は内部信号ソース周波数の 2 分周を可能にします。

表 24. IF フィルタ微調整キャリブレーション・トーンの周波数

IF Filter Bandwidth	Lower Tone Frequency	Upper Tone Frequency
9 kHz	78.1 kHz	116.3 kHz
13.5 kHz	79.4 kHz	116.3 kHz
18.5 kHz	78.1 kHz	119 kHz

0724E-036

レジスタ 7—リードバック・セットアップ・レジスタ

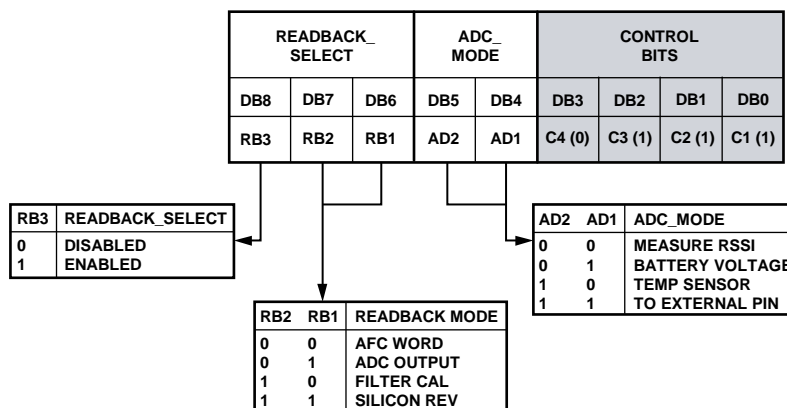


図 70. レジスタ 7—リードバック・セットアップ・レジスタのマップ

- RSSI 測定値のリードバックは Rx モードでのみ有効です。バッテリー電圧、温度センサー、または電圧の外部ピンからのリードバックは Rx モードでは有効になりません。
- Tx モードで、バッテリー電圧、温度センサー、または電圧を外部ピンからリードバックするときは、まず R8_DB8 を使って ADC をパワーアップします。これは、消費電力を節約するため Tx モードではデフォルトで ADC がターンオフされているためです。
- AFC リードバックの場合、次式を使います(リードバック・フォーマットのセクション参照)。

$$FREQ_{RB} [Hz] = (AFC \text{ リードバック} \times DEMOD \text{ CLK}) / 2^{18}$$

$$V_{BATTERY} = \text{バッテリー電圧リードバック} / 21.1$$

$$V_{ADCIN} = \text{ADCIN 電圧リードバック} / 42.1$$

$$\text{温度} [^{\circ}C] = -40 + (68.4 - TEMP \text{ リードバック}) \times 9.32$$

レジスタ 8—パワーダウン・テスト・レジスタ

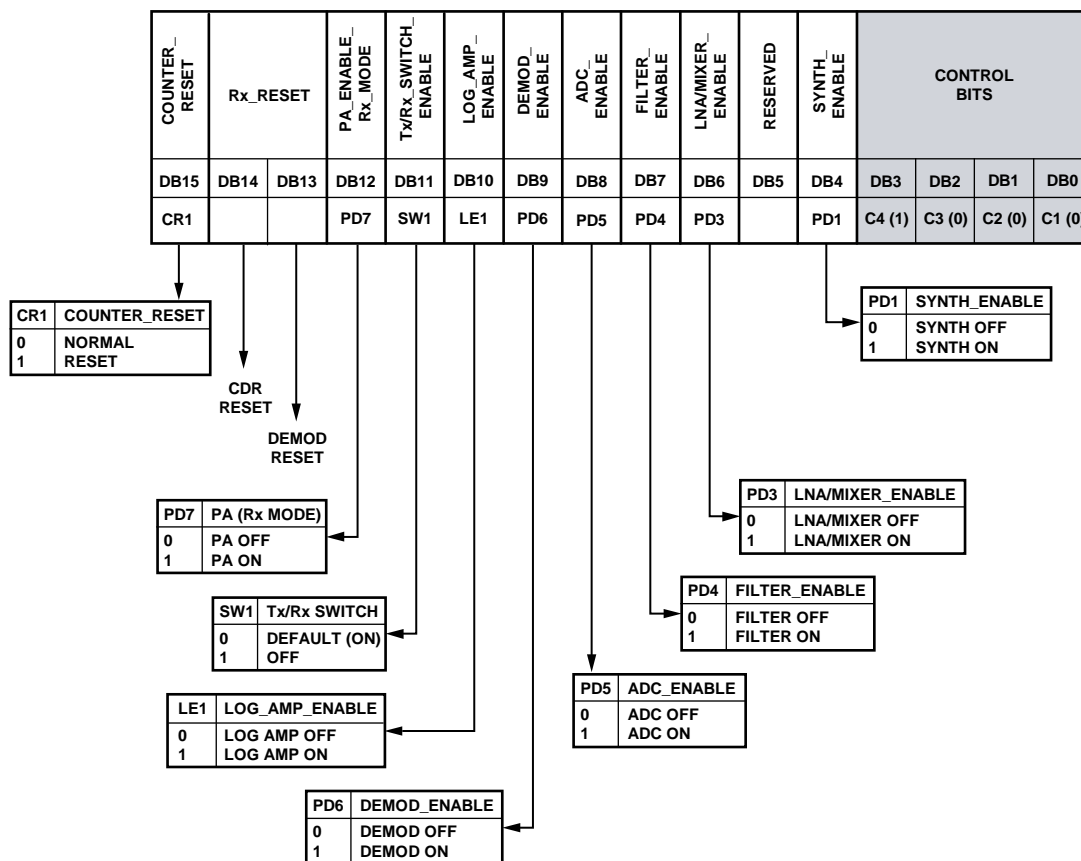


図 71. レジスタ 8—パワーダウン・テスト・レジスタのマップ

- 通常動作状態ではこのレジスタへの書き込みは不要です。
- LNA/PA 整合回路では、R8_DB11 を常に 0 に設定する必要があります。これにより、内部 Tx/Rx スイッチがイネーブルされます。これがデフォルトのパワーアップ状態になっています。

07246-038

レジスタ 10—AFC レジスタ

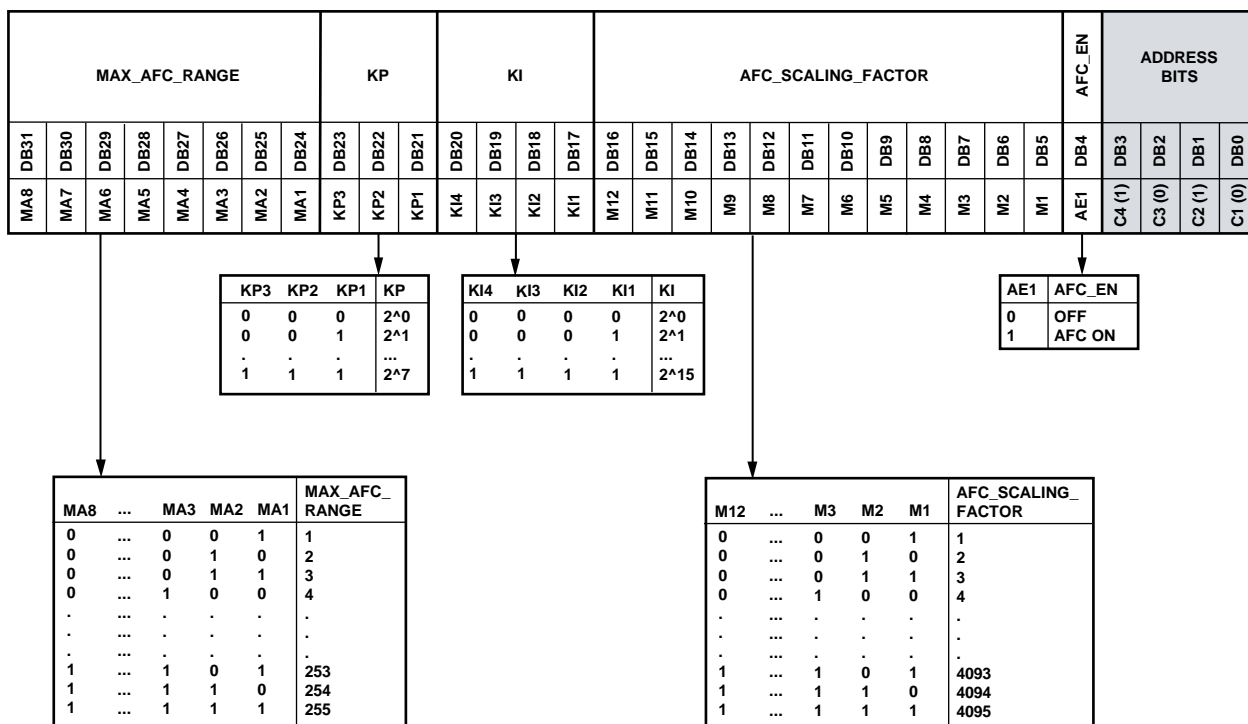


図 73. レジスタ 10—AFC レジスタのマップ

- AFC_SCALING_FACTOR は次式で表すことができます。
- KI と KP を設定すると、AFC セトリング・タイムと AFC 精度が影響を受けます。各パラメータの許容範囲は、KI > 6、かつ KP < 7 です。
- 最適 AFC 性能を得るための推奨設定は、KI = 11 と KP = 4 です。AFC セトリング・タイムと AFC 精度との間のトレードオフを行うときは、KI パラメータと KP パラメータを推奨設定(許容範囲内に設定)から次のように調整することができます。
- RF_DIVIDE_BY_2 (R1_DB18)をイネーブルすると、設定範囲は半分になります。この半減に対して、ユーザーは設定する MAX_AFC_RANGE 値を倍にすることにより対処する必要があります。
- AFC プルイン・レンジ内であるが IF フィルタ帯域外にある信号は IF フィルタにより減衰します。このため、信号がレシーバ感度ポイントを下回ることもあるため、AFC が検出できなくなります。

$$AFC \text{ 補正範囲} = MAX_AFC_RANGE \times 500 \text{ Hz}$$

レジスタ 11—同期ワード検出レジスタ

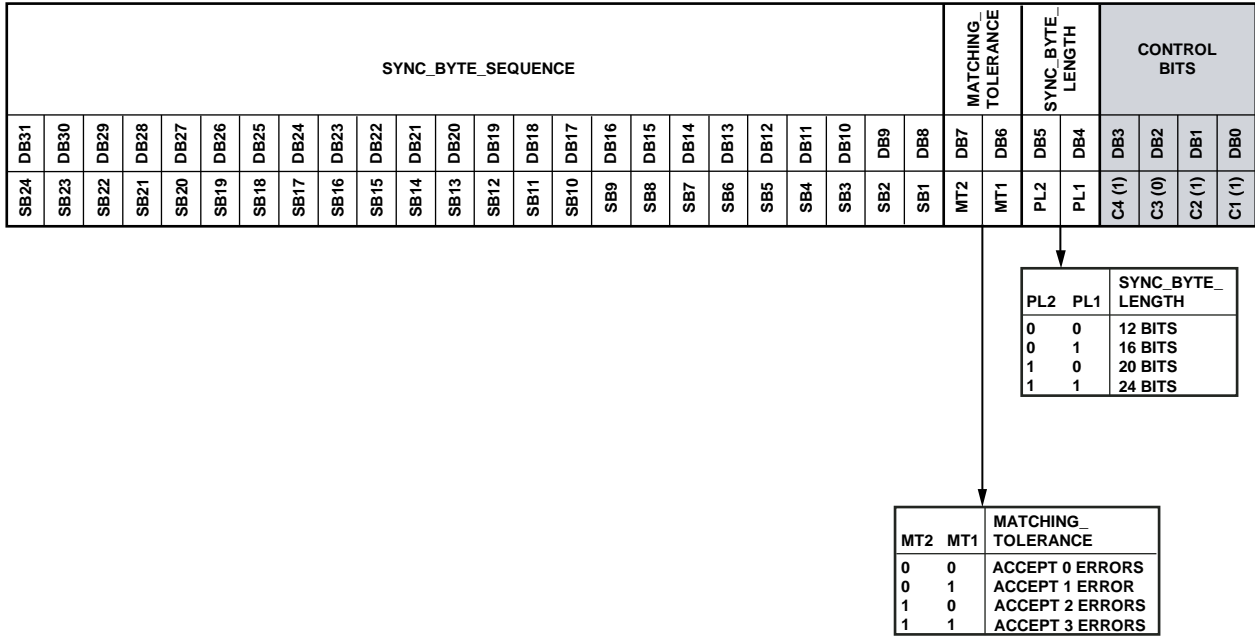


図 74. レジスタ 11—同期ワード検出レジスタのマップ

レジスタ 12—SWD/スレッシュホールド・セットアップ・レジスタ

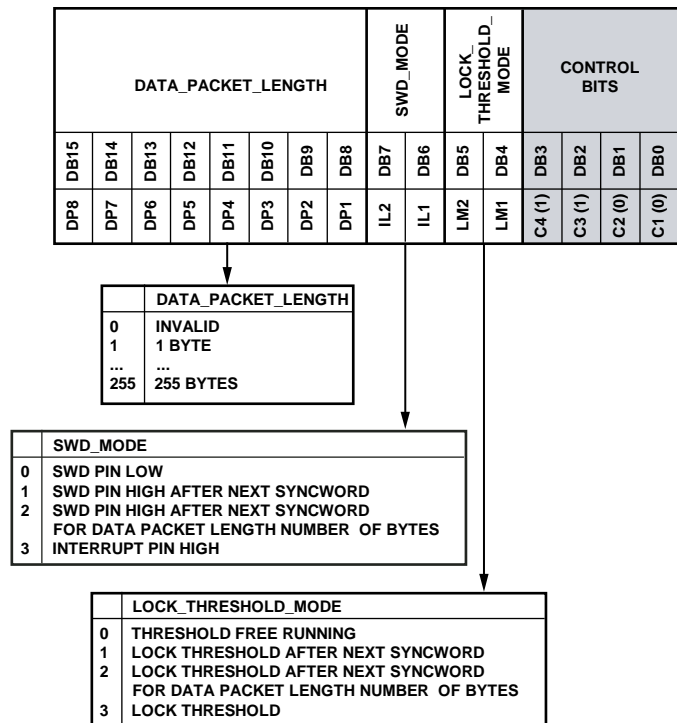


図 75. レジスタ 12—SWD/スレッシュホールド・セットアップ・レジスタのマップ

ロック・スレッシュホールドは、エンベロープ検出器のスレッシュホールドをロックします。これは、リニア復調器または相関復調器を使用する場合、リニア復調器内のスライサをロックする効果を持ち、AFC ループと AGC ループをロックします。

レジスタ 13—3FSK/4FSK 復調レジスタ

これらの設定については、レシーバのセットアップのセクションを参照してください。

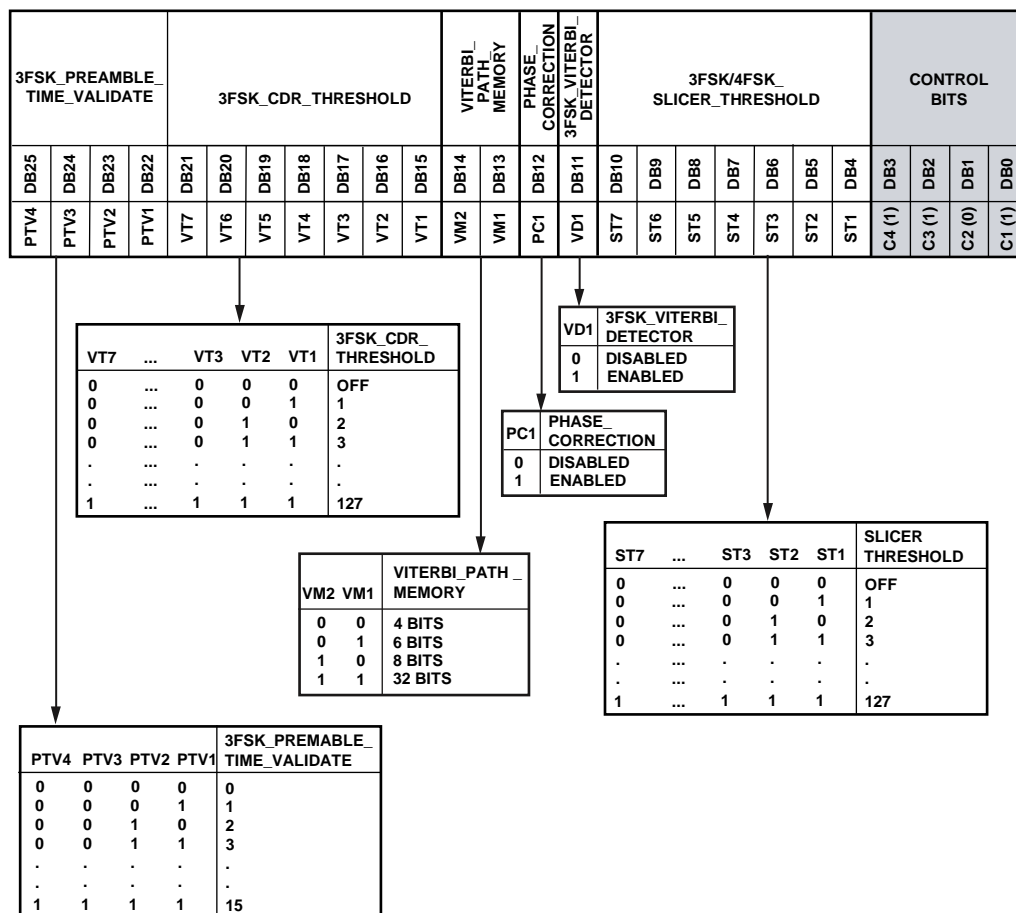


図 76. レジスタ 13—3FSK/4FSK 復調レジスタのマップ

07246-043

レジスタ 14—テスト DAC レジスタ

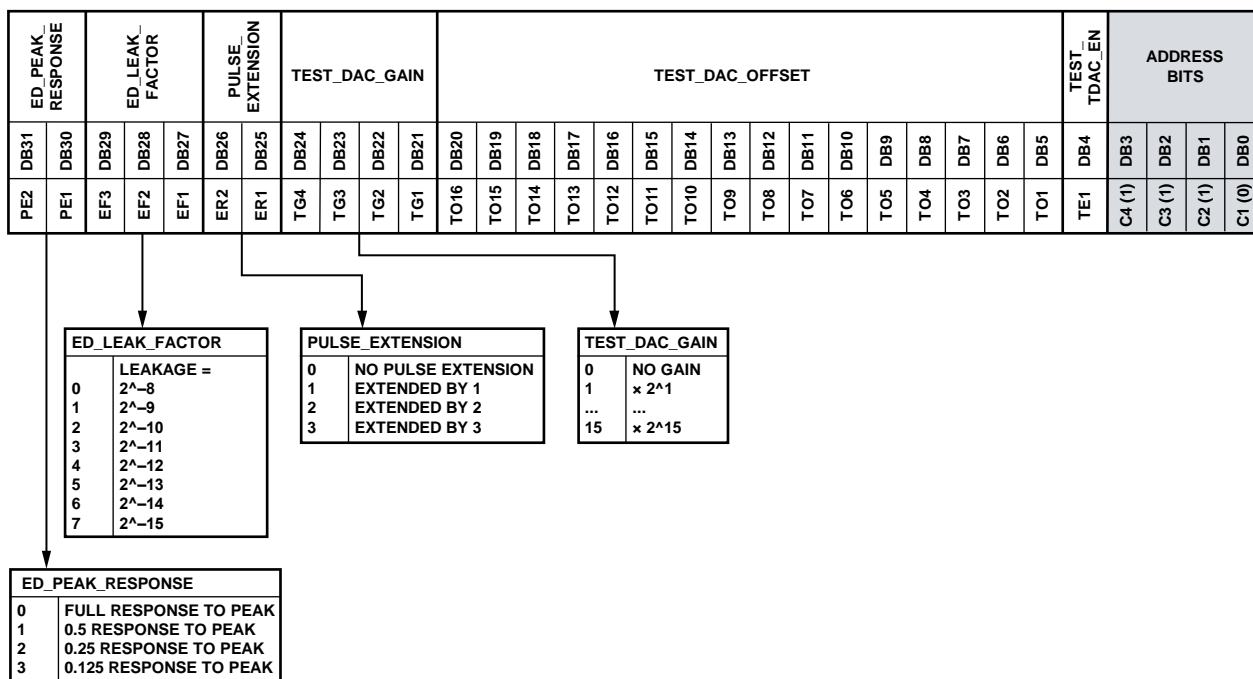


図 77.レジスタ 14—テスト DAC レジスタのマップ

復調器チューニング・パラメータ (PULSE_EXTENSION、ED_LEAK_FACTOR、ED_PEAK_RESPONSE) は、R15_DB[4:7] を 0x9 に設定することによってのみイネーブルすることができます。

アナログ FM 復調と SNR 測定にテスト DAC を使用する方法

テスト DAC の使用方法の詳細については、アプリケーション・ノート AN-852 を参照してください。

テスト DAC を使うと、リニア復調器と相関復調器のポスト復調器フィルタ出力を外部に表示することができます。また、テスト DAC は 16 ビットのフィルタ出力を入力し、2 次の誤差帰還 Σ-Δ コンバータを使って高周波シングル・ビット出力へ変換します。出力は SWD ピンに得られます。この信号を適切にフィルタして、次のように使うことができます。

- FSK ポスト復調器フィルタ出力での信号モニター。これにより、復調器出力 SNR を測定することができます。受信信号品質を測定するために、受信ビット・ストリームのアイ・ダイアグラムも表示することができます。
- アナログ FM 復調。

DEMOD CLK により相関器とフィルタをクロックしている間は、CDR CLK がテスト DAC を駆動します。テスト DAC は通常のユーザ・モードで機能しますが、CDR CLK を DEMOD CLK 周波数以上に高くすると、最適性能が得られることに注意してください。CDR ブロックは、この条件下では機能しません。

レジスタ 14—テスト DAC レジスタを設定すると、テスト DAC がイネーブルされます。リニア復調器出力と相関器/復調器出力を DAC へマルチプレックスすることができます。

レジスタ 14—テスト DAC レジスタを使うと、固定オフセット項を信号から除去することができます (ddt の場合に IF 成分を除去)。また、DAC の最大ダイナミック・レンジの使用を可能にする信号ゲイン項も持っています。

レジスタ 15—テスト・モード・レジスタ

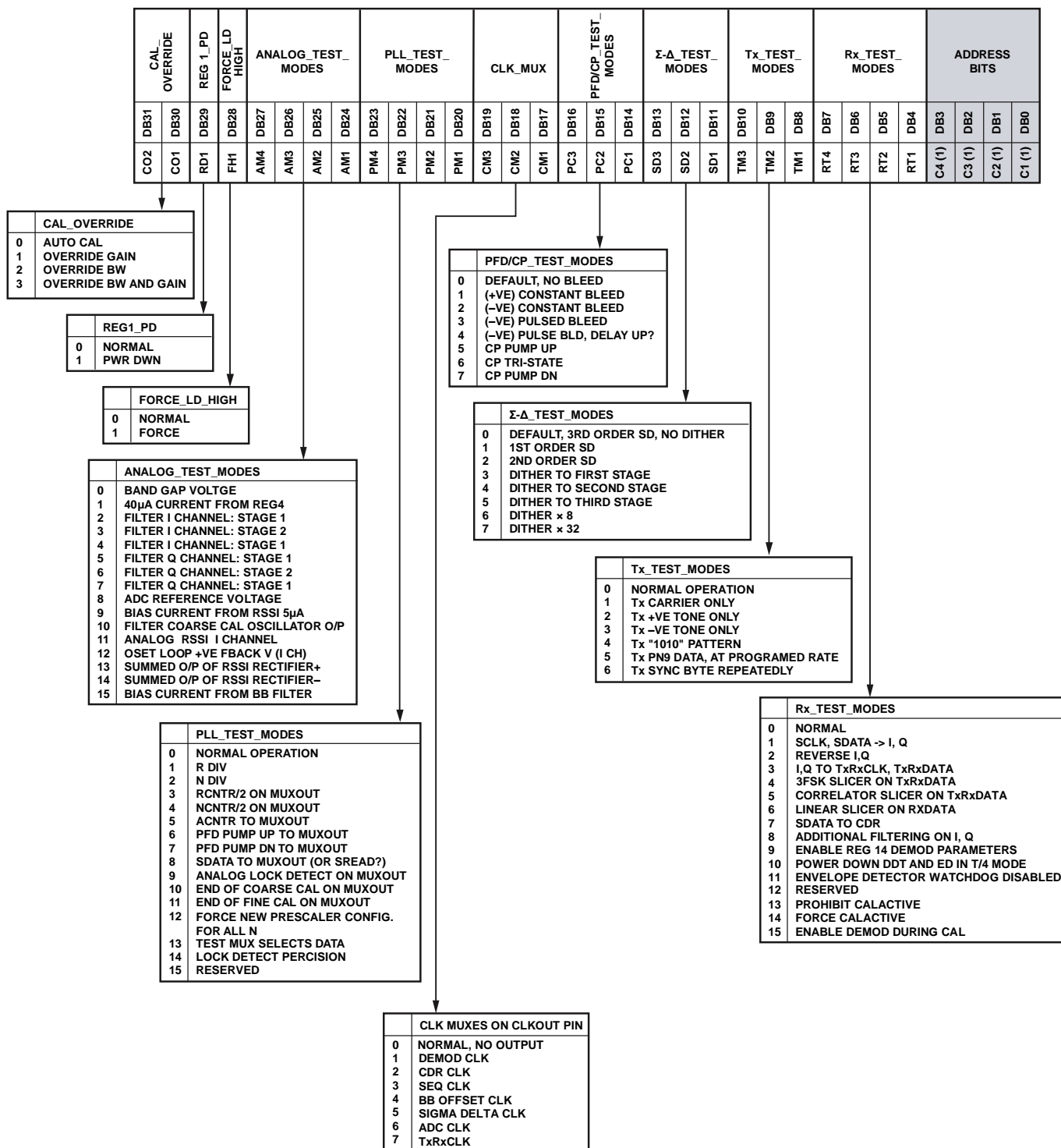
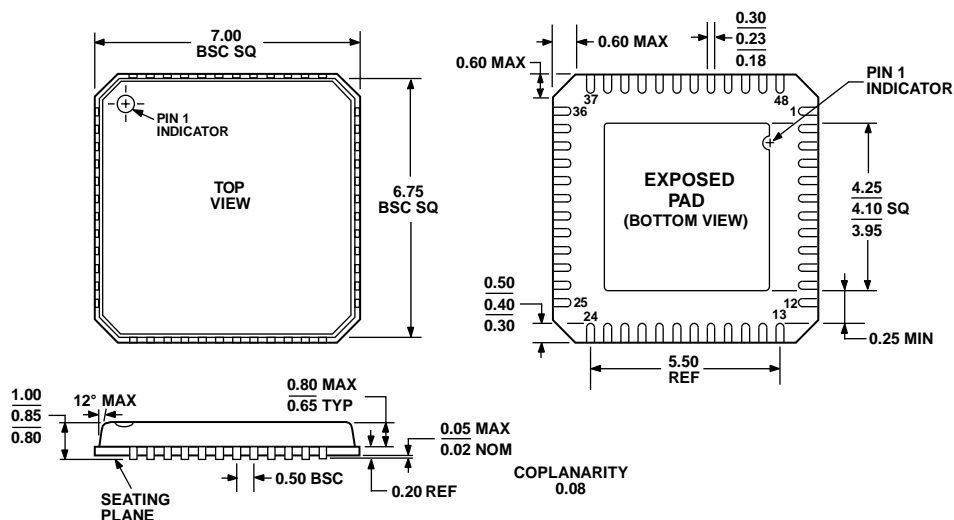


図 78. レジスタ 15—テスト・モード・レジスタのマップ

- ANALOG_TEST_MODES を 11 に設定すると、アナログ RSSI を Test_A ピンから表示することができます。
- Tx_TEST_MODES を使って、テスト変調をイネーブ爾することができます。
- 使用する復調器に応じて Rx_TEST_MODES を 4、5、または 6 に設定すると、CDR ブロックをバイパスすることができます。

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-VKGD-2

図 79.48 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VQ]
 7 mm × 7 mm ボディ、極薄クワッド
 (CP-48-3)
 寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADF7021-NBCPZ ¹	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-3
ADF7021-NBCPZ-RL ¹	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-3
ADF7021-NBCPZ-RL7 ¹	-40°C to +85°C	48-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-48-3
ADF7021-NDF	-40°C to +85°C	Die on Film	
EVAL-ADF70XXMBZ2 ¹		Evaluation Platform Mother Board	
EVAL-ADF7021-NDBIZ ¹		426 MHz to 429 MHz Daughter Board	
EVAL-ADF7021-NDBEZ ¹		426 MHz to 429 MHz Daughter Board	
EVAL-ADF7021-NDBZ2 ¹		860 MHz to 870 MHz Daughter Board	
EVAL-ADF7021-NDBZ5 ¹		Matching Unpopulated Daughter Board	

¹ Z = RoHS 準拠製品

D07246-0-2/08(0)-J