



24GHz、ISM バンド 多チャンネル FMCW レーダー・ トランスミッタ

データシート

ADF5902

特長

- 24GHz~24.25GHz VCO (産業、科学、医療用 (ISM) 無線バンド)
- 8dBm 出力の 2 チャンネル 24GHz パワー・アンプ
- シングル・エンド出力
- ミュート機能付き 2 チャンネル多重出力
- プログラマブル出力電力
- LO 出力バッファ
- RF 周波数範囲: 24GHz~24.25GHz
- パワー・コントロール・ディテクタ
- 補助 8 ビット ADC
- 高低速 FMCW ランプ生成
- 25 ビット固定率により、サブヘルツの周波数分解能が可能
- 最大 110MHz の PFD 周波数
- 222dBc/Hz の正規化位相ノイズ・フロア
- プログラマブル・チャージ・ポンプ電流
- ±5°C 温度センサー
- 4 ワイヤ SPI
- ESD 性能
- HBM: 2000V
- CDM: 250V
- オートモーティブ・アプリケーション向けの性能を評価済み

アプリケーション

- オートモーティブ・レーダー
- 産業用レーダー
- マイクロ波レーダー・センサー

概要

ADF5902 は、24GHz 電圧制御発振器 (VCO) を内蔵した 24GHz トランスミッタ (Tx) モノリシック・マイクロ波集積回路 (MMIC) です。VCO は、プログラマブル・グリッド・アレイ (PGA) とレーダー・システム用デュアル・トランスミッタ・チャンネルによる波形生成能力をもつフラクショナル N 周波数シンセサイザが特徴です。内蔵 24GHz VCO は 2 つのトランスミッタ・チャンネルとローカル発振器 (LO) の出力のための 24GHz 信号を生成します。各トランスミッタ・チャンネルはパワー・コントロール回路を含んでいます。また、温度センサーも 1 つ内蔵されています。

すべての内蔵レジスタの制御は、簡単な 4 線式シリアル・ポート・インターフェース (SPI) を介して行われます。

ADF5902 は、小型 32 ピン、5mm × 5mm LFCSP パッケージを採用しています。

機能ブロック図

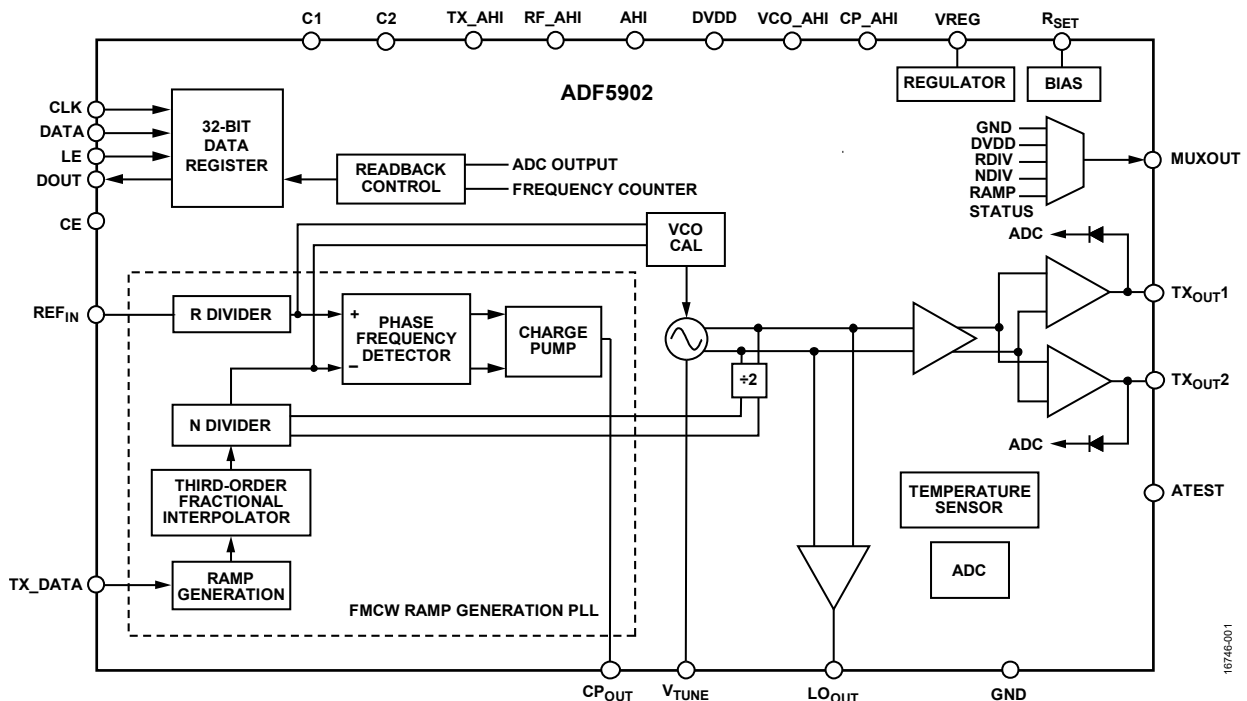


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2019 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F
電話 06 (6350) 6868
名古屋営業所 / 〒451-6038 愛知県名古屋市西区牛島町 6-1 名古屋ルーセントタワー 38F
電話 052 (569) 6300

目次

特長.....	1	レジスタ 6.....	22
アプリケーション.....	1	レジスタ 7.....	23
概要.....	1	レジスタ 8.....	24
機能ブロック図.....	1	レジスタ 9.....	24
改訂履歴.....	2	レジスタ 10.....	25
仕様.....	3	レジスタ 11.....	25
タイミング仕様.....	5	レジスタ 12.....	26
絶対最大定格.....	6	レジスタ 13.....	27
熱抵抗.....	6	レジスタ 14.....	28
ESD に関する注意.....	6	レジスタ 15.....	29
ピン配置およびピン機能の説明.....	7	レジスタ 16.....	30
代表的な性能特性.....	9	レジスタ 17.....	30
動作原理.....	11	アプリケーション情報.....	31
リファレンス入力部.....	11	初期化シーケンス.....	31
RF INT 分周器.....	11	再キャリブレーション・シーケンス.....	32
INT、FRAC、R の関係.....	11	温度センサー.....	33
R カウンタ.....	11	RF 合成：実際の動作例.....	33
PFD とチャージ・ポンプ.....	11	リファレンス・ダブラ.....	33
入力シフト・レジスタ.....	11	周波数測定手順.....	34
プログラム・モード.....	12	波形生成.....	34
レジスタ・マップ.....	13	波形の偏差とタイミング.....	34
レジスタ 0.....	16	ランプと変調.....	35
レジスタ 1.....	17	FMCW レーダーにおける ADF5902 のアプリケーション.....	37
レジスタ 2.....	18	外形寸法.....	39
レジスタ 3.....	19	オーダー・ガイド.....	39
レジスタ 4.....	20	オートモーティブ製品.....	39
レジスタ 5.....	21		

改訂履歴

11/2018—Revision 0: Initial Version

目次

特長.....	1	レジスタ 6.....	22
アプリケーション.....	1	レジスタ 7.....	23
概要.....	1	レジスタ 8.....	24
機能ブロック図.....	1	レジスタ 9.....	24
改訂履歴.....	2	レジスタ 10.....	25
仕様.....	3	レジスタ 11.....	25
タイミング仕様.....	5	レジスタ 12.....	26
絶対最大定格.....	6	レジスタ 13.....	27
熱抵抗.....	6	レジスタ 14.....	28
ESD に関する注意.....	6	レジスタ 15.....	29
ピン配置およびピン機能の説明.....	7	レジスタ 16.....	30
代表的な性能特性.....	9	レジスタ 17.....	30
動作原理.....	11	アプリケーション情報.....	31
リファレンス入力部.....	11	初期化シーケンス.....	31
RF INT 分周器.....	11	再キャリブレーション・シーケンス.....	32
INT、FRAC、R の関係.....	11	温度センサー.....	33
R カウンタ.....	11	RF 合成：実際の動作例.....	33
PFD とチャージ・ポンプ.....	11	リファレンス・ダブラ.....	33
入力シフト・レジスタ.....	11	周波数測定手順.....	34
プログラム・モード.....	12	波形生成.....	34
レジスタ・マップ.....	13	波形の偏差とタイミング.....	34
レジスタ 0.....	16	ランプと変調.....	35
レジスタ 1.....	17	FMCW レーダーにおける ADF5902 のアプリケーション.....	37
レジスタ 2.....	18	外形寸法.....	39
レジスタ 3.....	19	オーダー・ガイド.....	39
レジスタ 4.....	20	オートモーティブ製品.....	39
レジスタ 5.....	21		

改訂履歴

11/2018—Revision 0: Initial Version

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
NOISE CHARACTERISTICS					
Normalized Phase Noise Floor, Fractional-N Mode ³		-222		dBc/Hz	PLL loop bandwidth (BW) = 1 MHz
Normalized 1/f Noise (PN _{1/f}) ⁴		-120		dBc/Hz	Measured at 10 kHz offset, normalized to 1 GHz
TEMPERATURE SENSOR					
Analog Accuracy		±5		°C	Following one point calibration
Digital Accuracy		±5		°C	Following one point calibration
Sensitivity		6.4		mV/°C	
ANALOG-TO-DIGITAL CONVERTER (ADC)					
Resolution		8		Bits	
Integral Nonlinearity (INL)		±1		LSB	
Differential Nonlinearity (DNL)		±1		LSB	
Least Significant Bit (LSB)		7.4		mV	
REF_{IN} CHARACTERISTICS					
REF _{IN} Input Frequency	10		260	MHz	-5 dBm minimum to +9 dBm maximum biased at AHI/2 (ac coupling ensures 1.8 ÷ 2 bias); for frequencies < 10 MHz, use a dc-coupled, CMOS-compatible square wave with a slew rate > 25 V/μs
REF _{IN} Input Capacitance ²			1.2	pF	
REF _{IN} Input Current			±100	μA	
LOGIC INPUTS					
Input Voltage					
High (V _{IH})	1.4			V	
Low (V _{IL})			0.6	V	
Input Current (I _{INH} , I _{INL})			±1	μA	
Input Capacitance (C _{IN}) ²			10	pF	
LOGIC OUTPUTS					
Output Voltage					
High (V _{OH}) ⁵	DVDD - 0.4			V	
Low (V _{OL})			0.4	V	
Output Current					
High (I _{OH})			500	μA	
Low (I _{OL})			500	μA	

¹ 初期化シーケンスのセクションで説明されている初期化シーケンスに従い、TA = 25°C、AHI = 3.3V、f_{REFIN} = 100MHz、および RF = 24.025GHz。

² 設計により性能を確保。コンプライアンス確保のためにサンプルをテスト済み。

³ この仕様はあらゆるアプリケーションの位相ノイズを計算するのに使用できます。式 ((正規化位相ノイズ・フロア) + 10log (f_{FFD}) + 20logN) を使用して、VCO 出力から見た帯域内位相ノイズ性能を計算します。

⁴ PLL 位相ノイズは、フリッカ (1/f) ノイズと正規化 PLL ノイズ・フロアから成ります。RF 周波数 (f_{RF}) およびオフセット周波数 (f) での 1/f ノイズの寄与を計算する式は、PN = PN_{1/f} + 10log (10kHz/f) + 20log (f_{RF}/1GHz) で与えられます。正規化位相ノイズ・フロアとフリッカ・ノイズの両方が ADIsimPLL でモデル化されています。

⁵ DVDD は IO レベル・ビット (レジスタ 3 のビット DB11) で選択します。

タイミング仕様

書き込みタイミング仕様

特に指定のない限り、 $AHI = TX_AHI = RF_AHI = VCO_AHI = DVDD = CP_AHI = 3.3V \pm 5\%$ 、 $GND = 0V$ 、 50Ω を基準とした dBm、 $T_A = T_{MIN} \sim T_{MAX}$ 。動作温度範囲は $-40^\circ C \sim +105^\circ C$ です。

表 2.

Parameter	Limit at T_{MIN} to T_{MAX}	Unit	Description
t_1	20	ns min	LE setup time
t_2	10	ns min	DATA to CLK setup time
t_3	10	ns min	DATA to CLK hold time
t_4	25	ns min	CLK high duration
t_5	25	ns min	CLK low duration
t_6	10	ns min	CLK to LE setup time
t_7	20	ns min	LE pulse width
t_8	10	ns max	LE setup time to DOUT
t_9	15	ns max	CLK setup time to DOUT

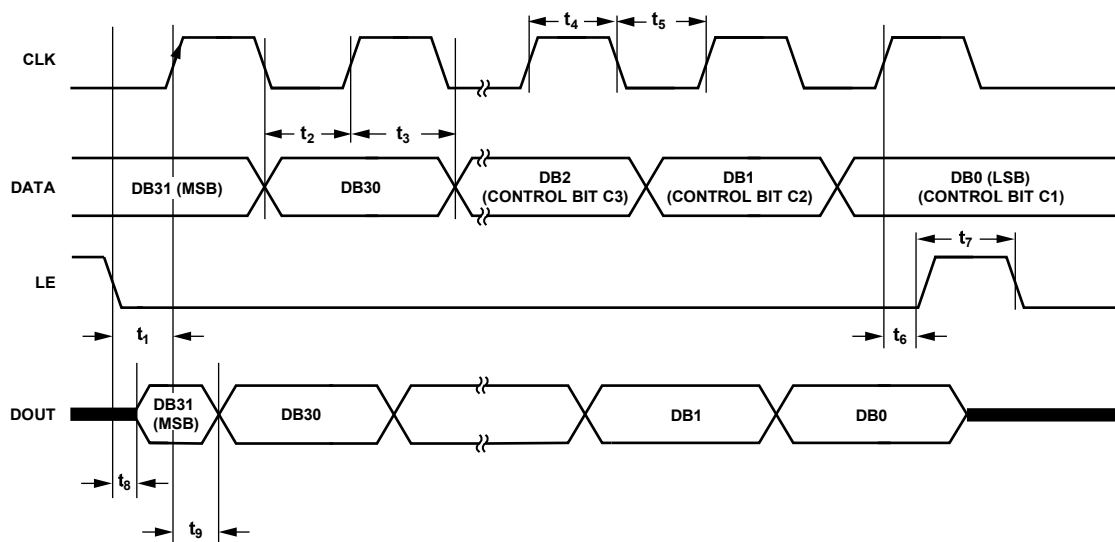


図 2. 書き込みのタイミング図

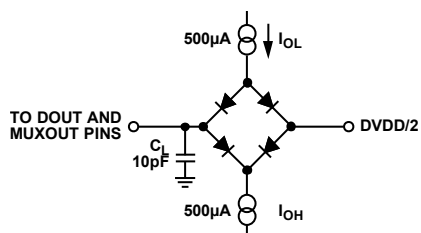


図 3. DOUT/MUXOUT タイミング用負荷回路、 $C_L = 10pF$

絶対最大定格

表 3.

Parameter	Rating
AHI to GND	-0.3 V to +3.9 V
AHI to TX_AHI	-0.3 V to +0.3 V
AHI to RF_AHI	-0.3 V to +0.3 V
AHI to VCO_AHI	-0.3 V to +0.3 V
AHI to DVDD	-0.3 V to +0.3 V
AHI to CP_AHI	-0.3 V to +0.3 V
V _{TUNE} to GND	-0.3 V to +3.6 V
Digital Input/Output Voltage to GND	-0.3 V to DVDD + 0.3 V
Operating Temperature Range	-40°C to +105°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec
Electrostatic Discharge (ESD)	
Charged Device Model (CDM)	250 V
Human Body Model (HBM)	2000 V

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ADF5902 は、ESD 定格が 2kV の高性能 RF 集積回路で、ESD による影響を受けます。取り扱いと組み立ての際には適切な注意を払ってください。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

表 4. 熱抵抗

Package Type	θ_{JA}^1	θ_{JC}^2	Unit
CP-32-12 ³	48.18	26.86	°C/W

¹ θ_{JA} は、1 立方フィートの密封容器内で測定された、自然対流下におけるジャンクションと周囲温度の間の熱抵抗です。

² θ_{JC} は、ジャンクションとケースの間の熱抵抗です。

³ テスト条件 1：熱抵抗のシミュレーション値は、熱抵抗パッドを GND にハンダ付けした PCB を使用して測定しています。

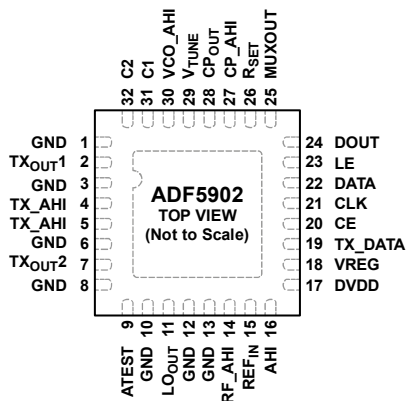
ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



NOTES
1. THE EXPOSED PAD MUST BE CONNECTED TO GND.

図 4. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1, 3, 6, 8, 10, 12, 13	GND	RF グラウンド。すべての GND ピンを互いに接続します。
2	TX_OUT1	24GHz トランスミッタ出力 1。
4, 5	TX_AHI	トランスミッタ部用電源。このピンのできるだけ近くで、デカップリング・コンデンサ (0.1μF、1nF、および 10pF) をグラウンド・プレーンに接続します。TX_AHI は AHI と同じ値でなければなりません。
7	TX_OUT2	24GHz トランスミッタ出力 2。
9	ATEST	アナログ・テスト出力端子。
11	LO_OUT	LO 出力。
14	RF_AHI	RF 部用電源。このピンのできるだけ近くで、デカップリング・コンデンサ (0.1μF、1nF、および 10pF) をグラウンド・プレーンに接続します。RF_AHI は AHI と同じ値でなければなりません。
15	REF_IN	リファレンス入力。このピンは、公称閾値が DVDD/2 で、DC 等価入力抵抗が 100kΩ の CMOS 入力です。図 17 を参照。この入力は TTL または CMOS 水晶発振器から駆動するか、AC カップリングすることができます。
16	AHI	アナログ部用電源。このピンのできるだけ近くで、デカップリング・コンデンサ (0.1μF、1nF、および 10pF) をグラウンド・プレーンに接続します。
17	DVDD	デジタル電源。この電源の範囲は 3.135V~3.465V です。このピンのできるだけ近くで、デカップリング・コンデンサ (0.1μF、1nF、および 10pF) をグラウンド・プレーンに接続します。DVDD は AHI と同じ値でなければなりません。
18	VREG	内部 1.8V レギュレータ出力。このピンのできるだけ近くで、220nF のコンデンサをグラウンドに接続します。
19	TX_DATA	送信データ・ピン。このピンはランブ機能のいくつかを制御します。TX_DATA 信号の立上がりエッジを REF_IN の立上がりエッジに同期させます。
20	CE	チップ・イネーブル。このピンをロジック・ローにすると、デバイスがパワーダウンします。このピンをハイにすると、デバイスがパワーアップします。
21	CLK	シリアル・クロック入力。このシリアル・クロック入力は、シリアル・データをレジスタにクロックインします。データは、CLK の立上がりエッジで 32 ビット・シフト・レジスタにラッチされます。この入力はハイ・インピーダンス CMOS 入力です。
22	DATA	シリアル・データ入力。シリアル・データは、4 LSB を制御ビットとして MSB ファーストでロードされます。この入力はハイ・インピーダンス CMOS 入力です。
23	LE	ロード・イネーブル、CMOS 入力。LE がハイになると、シフト・レジスタに格納されているデータが 18 個のラッチの 1 つにロードされます。ラッチは制御ビットを介して選択します。
24	DOUT	シリアル・データ出力。
25	MUXOUT	マルチプレクサ出力。このマルチプレクサ出力により、様々な内部信号に外部からアクセスできます。
26	R_SET	抵抗設定ピン。このピンと GND の間に 5.1kΩ の抵抗を接続すると、内部電流が設定されます。R_SET ピンの公称電位は 0.62V です。
27	CP_AHI	チャージ・ポンプ電源。この電源の範囲は 3.135V~3.465V です。このピンのできるだけ近くで、デカップリング・コンデンサ (0.1μF、1nF、および 10pF) をグラウンド・プレーンに接続します。CP_AHI は AHI と同じ値でなければなりません。
28	CP_OUT	チャージ・ポンプ出力。チャージ・ポンプをイネーブルした場合、この出力は外部ループ・フィルタに ±I_CP を供給し、更にこのフィルタは VCO を駆動します。

ピン番号	記号	説明
29	V _{TUNE}	VCO への制御入力。この電圧が出力を決定します。
30	VCO_AHI	VCO セクション用電源。このピンのできるだけ近くで、デカップリング・コンデンサ (0.1 μ F、1nF、および 10pF) をグランド・プレーンに接続します。VCO_AHI は AHI と同じ値でなければなりません。
31	C1	デカップリング・コンデンサ 1。このピンのできるだけ近くで 47nF のコンデンサをグランドに接続します。
32	C2	デカップリング・コンデンサ 2。このピンのできるだけ近くで 220nF のコンデンサをグランドに接続します。
	EP	露出パッド。露出パッドは GND に接続する必要があります。

代表的な性能特性

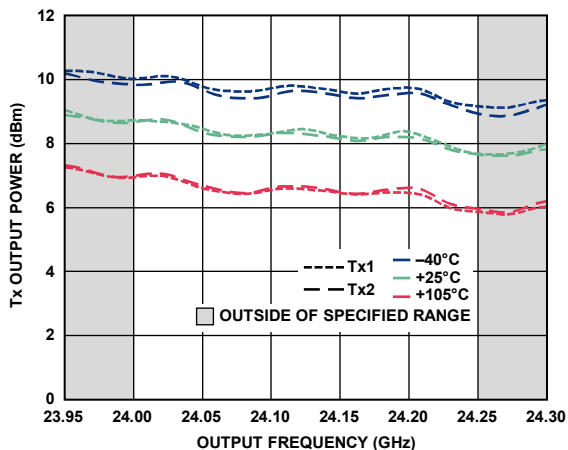


図 5. トランスミッタ (Tx) 出力電力と出力周波数の関係

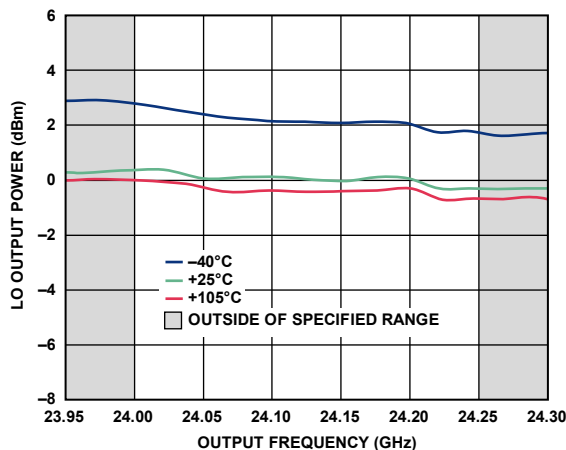


図 8. LO 出力電力と出力周波数の関係

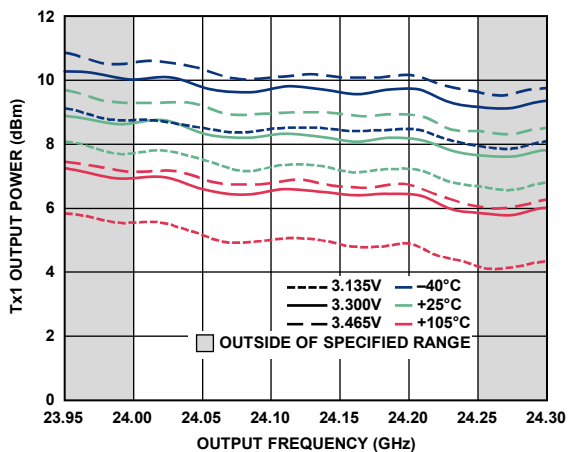


図 6. 各種の温度と電源におけるトランスミッタ 1 (Tx1) の出力電力変動と出力周波数の関係

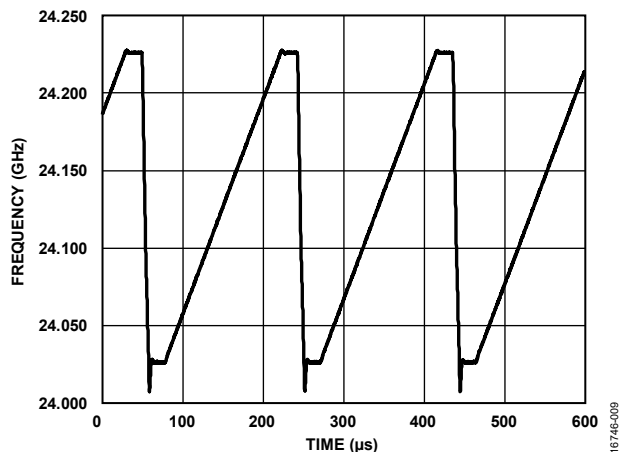


図 9. 遅延を伴う三角波ランプ

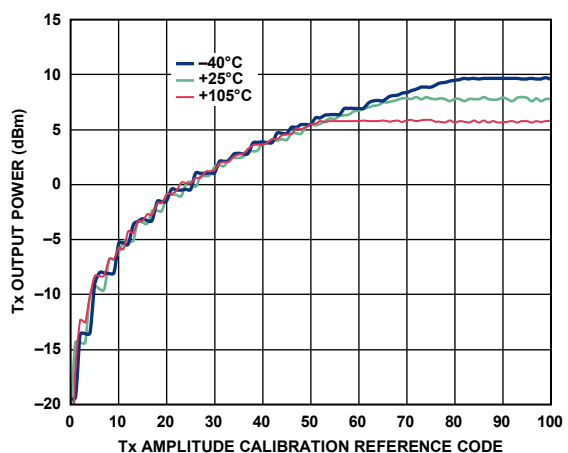


図 7. トランスミッタ (Tx) 出力電力とトランスミッタ (Tx) 振幅キャリブレーション・リファレンス・コードの関係

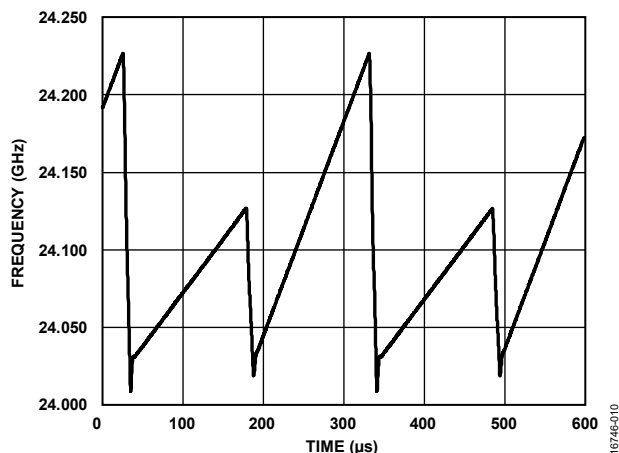


図 10. デュアル三角波ランプ

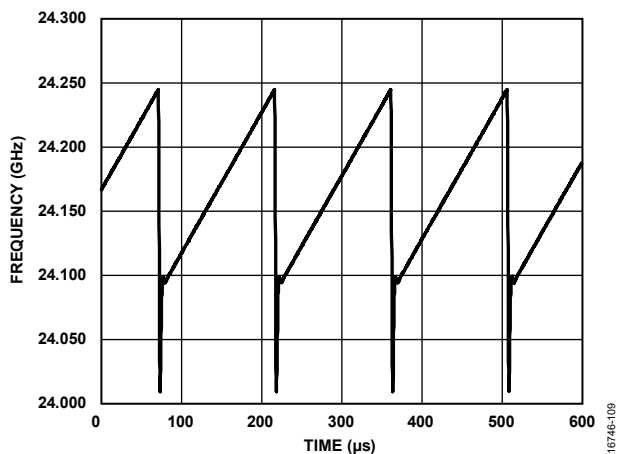


図 11. のこぎり波ランブ

16746-109

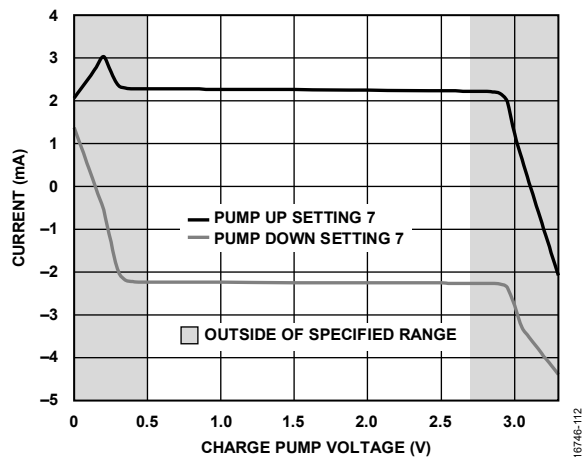


図 14. チャージ・ポンプ出力特性 (25°C で CP_AHI = 3.3V)

16746-112

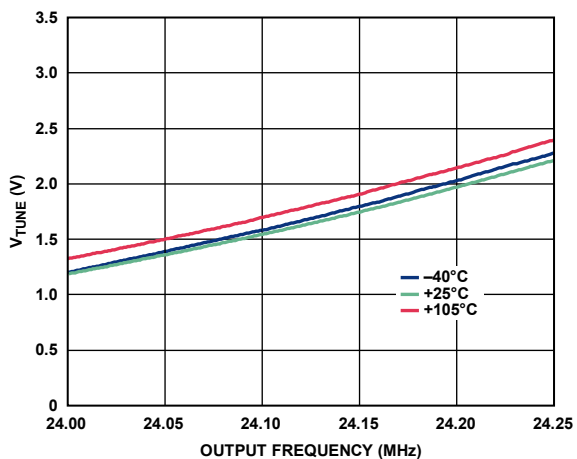


図 12. V_{TUNE} の周波数範囲

16746-011

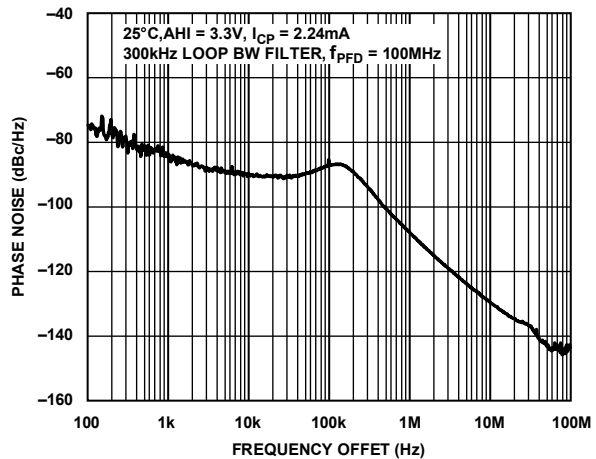


図 15. トランスミッタ 1 のクローズループ位相ノイズ (24.125GHz)

16746-113

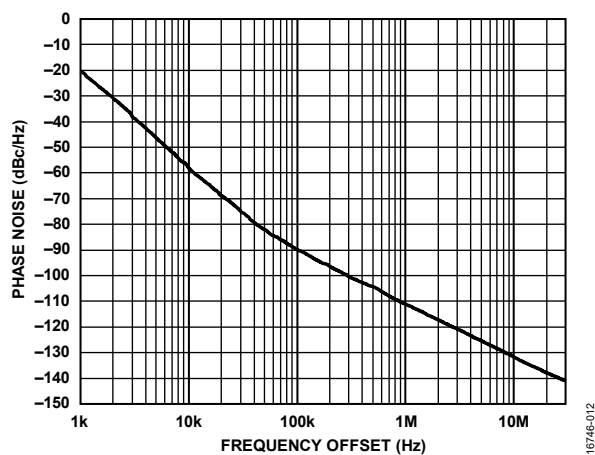


図 13. トランスミッタ 1 出力のオープンループ位相ノイズ (24.125GHz)

16746-012

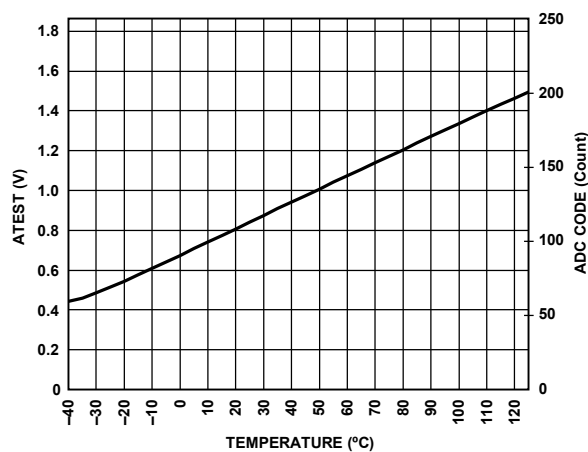


図 16. ATEST 電圧および ADC コードの温度特性

16746-013

動作原理

リファレンス入力部

リファレンス入力段を図17に示します。SW1とSW2は通常は閉じている（ノーマル・クローズ）スイッチです。SW3は通常開いています（ノーマル・オープン）。パワーダウンが開始されると、SW3が閉じ、SW1とSW2が開きます。この構成により、パワーダウン時にREF_{IN}ピンに負荷がかからなくなります。

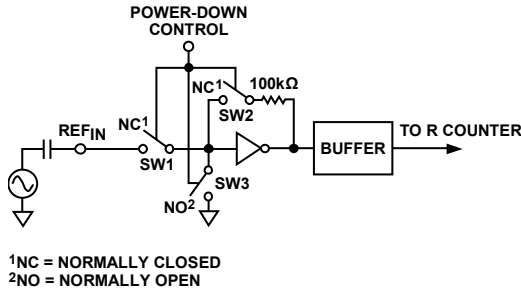


図 17. リファレンス入力段

RF INT 分周器

RF INTカウンタにより、RFフィードバック・カウンタで分周比を設定できます。分周比には75~4095が可能です。

INT、FRAC、R の関係

以下のように、INT値とFRAC値をRカウンタと組み合わせて、RF VCO周波数（RF_{OUT}）を生成します。

$$RF_{OUT} = f_{PFD} \times (INT + (FRAC/2^{25})) \times 2 \quad (1)$$

ここで、

RF_{OUT}は内部VCOの出力周波数。

f_{PFD}は位相周波数検出器（PFD）の周波数。

INTはバイナリ12ビット・カウンタのプリセット分周比（75~4095）。

FRACは分数除算の分子（0~2²⁵-1）。

$$f_{PFD} = REF_{IN} \times ((1 + D) / (R \times (1 + T))) \quad (2)$$

ここで、

REF_{IN}はリファレンス入力周波数。

DはREF_{IN}ダブラ・ビット（0または1）。

Rは5ビットのバイナリ・プログラマブル・リファレンス・カウンタのプリセット分周比（1~32）。

TはREF_{IN}の2分周ビット（0または1）。

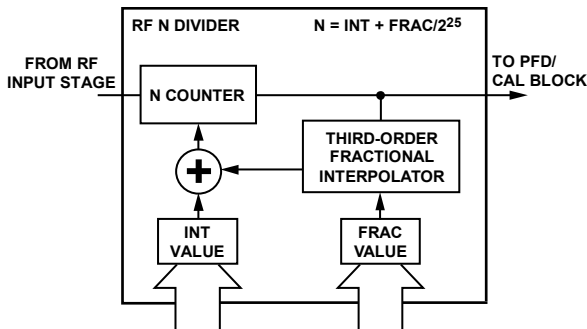


図 18. RF N 分周器

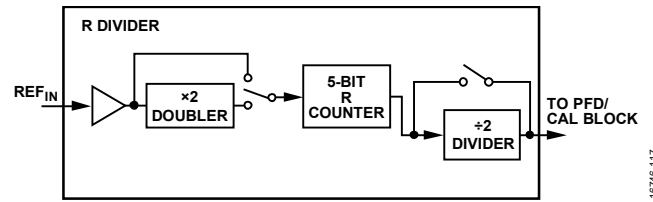


図 19. リファレンス分周器

R カウンタ

5ビットRカウンタにより、入力リファレンス周波数（REF_{IN}）を分周してPFDおよびVCOのキャリブレーション・ブロックにリファレンス・クロックを供給できます。分周比には1~32が可能です。

PFD とチャージ・ポンプ

PFDはRカウンタとNカウンタから入力を受け取り、それらの位相と周波数の差に比例した出力を生成します。図20に、PFDの簡略化した回路図を示します。

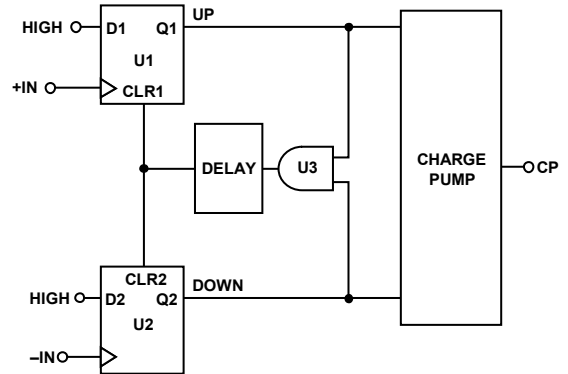


図 20. PFD の簡略化した回路図

PFDには、アンチバックラッシュ・パルスの幅を設定する、1ns（代表値）の固定遅延成分が含まれています。このパルスは、PFD伝達関数内でデッド・ゾーンの原因を確実に防止し、リファレンス・スプリアス・レベルを一定にします。

入力シフト・レジスタ

ADF5902のデジタル部には、5ビットのRFRカウンタ、12ビットのRF Nカウンタ、および25ビットのFRACカウンタがあります。データは、CLKの各立上がりエッジで32ビット入力シフト・レジスタにクロック入力されます。このデータはMSBファーストです。データは、LEの立上がりエッジで入力シフト・レジスタから18個のラッチの1つに転送されます。ディステーション・ラッチは、入力シフト・レジスタの5つの制御ビット（C5、C4、C3、C2、C1）の状態によって決まります。図2に示すように、これらは5LSB（それぞれDB4、DB3、DB2、DB1、DB0）です。これらのビットの真理値表を表6に示します。ラッチの設定方法の概要を図21と図22に示します。

プログラム・モード

表 6 および図 24～図 42 に、ADF5902 でプログラム・モードを設定する方法を示します。

ADF5902 の設定のいくつかはダブル・バッファ付きです。これらには、LSB 小数値、R カウンタ値 (R 分周器)、リファレンス・ダブラ、クロック分周器、RDIV2、MUXOUT が含まれます。ダブル・バッファ付きの場合、2 回の書込みを行った後で、設定した新しい値がデバイスで有効になります。最初に、目的のレジスタに書き込むことによって、新しい値がデバイスにラッ

チされます。更に、レジスタ R5 に別の書込みを実行する必要があります。

例えば、小数値を更新するには、レジスタ R6 の 13 LSB ビットと、レジスタ R5 の 12 MSB ビットへの書込みが必要です。最初にレジスタ R6 に書き込み、次にレジスタ R5 に書き込みます。周波数の変更は、レジスタ R5 への書込み後に開始されます。ダブル・バッファリングにより、レジスタ R6 に書き込まれたビットは、レジスタ R5 に書き込まれるまで有効になりません。

表 6. C5、C4、C3、C2、C1 の真理値表

Control Bits					Register
C5 (DB4)	C4 (DB3)	C3 (DB2)	C2 (DB1)	C1 (DB0)	
0	0	0	0	0	R0
0	0	0	0	1	R1
0	0	0	1	0	R2
0	0	0	1	1	R3
0	0	1	0	0	R4
0	0	1	0	1	R5
0	0	1	1	0	R6
0	0	1	1	1	R7
0	1	0	0	0	R8
0	1	0	0	1	R9
0	1	0	1	0	R10
0	1	0	1	1	R11
0	1	1	0	0	R12
0	1	1	0	1	R13
0	1	1	1	0	R14
0	1	1	1	1	R15
1	0	0	0	0	R16
1	0	0	0	1	R17

レジスタ・マップ

REGISTER 0 (R0)

RESERVED																Tx2 AMP CAL		Tx1 AMP CAL		PUP VCO		VCO CAL		PUP ADC		PUP Tx2		PUP Tx1		PUP LO		CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0					
1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	Tx2C	Tx1C	PVCO	VCAL	PADC	PTx2	PTx1	PL0	C5(0)	C4(0)	C3(0)	C2(0)	C1(0)				

REGISTER 1 (R1)

RESERVED																Tx AMP CAL REF CODE										CONTROL BITS						
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	TAR7	TAR6	TAR5	TAR4	TAR3	TAR2	TAR1	TAR0	C5(0)	C4(0)	C3(0)	C2(0)	C1(1)

REGISTER 2 (R2)

RESERVED																ADC START		ADC AVERAGE		ADC CLOCK DIVIDER										CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	AS	AA0	AA0	AC7	AC6	AC5	AC4	AC3	AC2	AC1	AC0	C5(0)	C4(0)	C3(0)	C2(1)	C1(0)			

REGISTER 3 (R3)

RESERVED																MUXOUT DBR ¹				IO LEVEL		READBACK CONTROL						CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	1	1	0	0	0	1	0	0	1	M3	M2	M1	M0	IOL	RC5	RC4	RC3	RC2	RC1	RC0	C5(0)	C4(0)	C3(0)	C2(1)	C1(1)	

REGISTER 4 (R4)

RESERVED																RAMP STATUS/ANALOG TEST BUS										CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	AB14	AB13	AB12	AB11	AB10	AB9	AB8	AB7	AB6	AB5	AB4	AB3	AB2	AB1	AB0	C5(0)	C4(0)	C3(1)	C2(0)	C1(0)

REGISTER 5 (R5)

RESERVED		RAMP ON	INTEGER WORD													FRAC MSB WORD										CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	RON	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	N0	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	F13	C5(0)	C4(0)	C3(1)	C2(0)	C1(1)

REGISTER 6 (R6)

RESERVED																FRAC LSB WORD										DBR ¹		CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	F0	C5(0)	C4(0)	C3(1)	C2(1)	C1(0)	

¹DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 5.

図 21. レジスタの一覧 (レジスタ 0~レジスタ 6)

REGISTER 7 (R7)

RESERVED																	MASTER RESET	RESERVED	CLOCK DIVIDER DBR ¹										RDIV2 DBR ¹	REF DOUBLER DBR ¹	R DIVIDER DBR ¹						CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0										
0	0	0	0	0	0	MR	1	C1D11	C1D10	C1D9	C1D8	C1D7	C1D6	C1D5	C1D4	C1D3	C1D2	C1D1	C1D0	RD2	RD	R4	R3	R2	R1	R0	C5(0)	C4(0)	C3(1)	C2(1)	C1(1)										

REGISTER 8 (R8)

RESERVED																	FREQUENCY CAL DIVIDER										CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FC9	FC8	FC7	FC6	FC5	FC4	FC3	FC2	FC1	FC0	C5(0)	C4(1)	C3(0)	C2(0)	C1(0)

REGISTER 9 (R9)

RESERVED																									CONTROL BITS						
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	0	1	0	1	0	0	0	1	0	0	0	0	0	1	0	1	1	1	0	0	1	0	0	1	C5(0)	C4(1)	C3(0)	C2(0)	C1(1)

REGISTER 10 (R10)

RESERVED																									CONTROL BITS						
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	1	1	0	1	0	0	1	1	0	0	1	0	1	0	1	0	0	1	1	0	0	1	0	C5(0)	C4(1)	C3(0)	C2(1)	C1(0)

REGISTER 11 (R11)

RESERVED																	SD RESET	RESERVED	SING FULL TRI RAMP	RAMP MODE	RESERVED	CNTR RESET	CONTROL BITS								
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SDR	0	SFT	RM1	RM0	0	CR	C5(0)	C4(1)	C3(0)	C2(1)	C1(1)

REGISTER 12 (R12)

RESERVED											DBR ¹ CHARGE PUMP CURRENT				RESERVED	CP TRISTATE DBR ¹	RESERVED										CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	1	0	CC3	CC2	CC1	CC0	1	CTRL	0	0	0	0	0	0	0	0	0	C5(0)	C4(1)	C3(1)	C2(0)	C1(0)

¹DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 5.

図 22. レジスタの一覧 (レジスタ 7~レジスタ 12)

REGISTER 13 (R13)

RESERVED											LE SEL	CLK DIV MODE	CLOCK DIVIDER 2											CLK DIV SEL	CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	0	0	LES	CDM1	CDM0	C2D11	C2D10	C2D9	C2D8	C2D7	C2D6	C2D5	C2D4	C2D3	C2D2	C2D1	C2D0	CDS1	CDS0	C5(0)	C4(1)	C3(1)	C2(0)	C1(1)

REGISTER 14 (R14)

Tx_DATA INV	Tx RAMP CLK	RESERVED					DEVIATION SEL	DEVIATION OFFSET					DEVIATION WORD											CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
TDI	TRC	0	0	0	DS1	DS0	DO3	DO2	DO1	DO0	DW15	DW14	DW13	DW12	DW11	DW10	DW9	DW8	DW7	DW6	DW5	DW4	DW3	DW2	DW1	DW0	C5(0)	C4(1)	C3(1)	C2(1)	C1(0)

REGISTER 15 (R15)

RESERVED											STEP SEL	STEP WORD											CONTROL BITS								
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	SS1	SS0	SW19	SW18	SW17	SW16	SW15	SW14	SW13	SW12	SW11	SW10	SW9	SW8	SW7	SW6	SW5	SW4	SW3	SW2	SW1	SW0	C5(0)	C4(1)	C3(1)	C2(1)	C1(0)

REGISTER 16 (R16)

RESERVED											DELAY SELECT	RESERVED	Tx_DATA TRIGGER	RAMP DEL	RESERVED	DELAY START WORD											CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	DSL1	DSL0	0	0	TR1	RD	0	0	DS11	DS10	DS9	DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1	DS0	C5(1)	C4(0)	C3(0)	C2(0)	C1(0)

REGISTER 17 (R17)

RESERVED																									CONTROL BITS						
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C5(1)	C4(0)	C3(0)	C2(0)	C1(1)

図 23. レジスタの一覧 (レジスタ 13~レジスタ 17)

16746-121

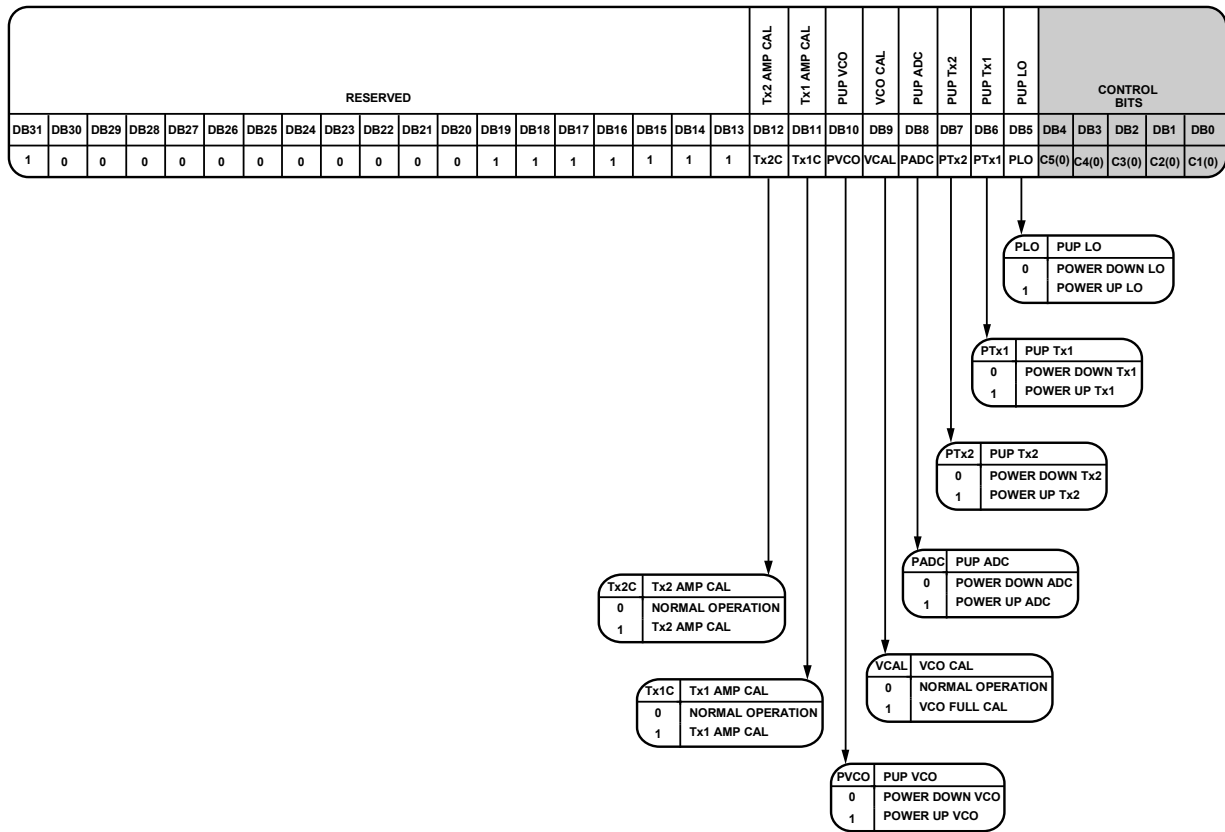


図 24. レジスタ 0 (R0)

18746-010

レジスタ 0

制御ビット

ビット [C5:C1] に 00000 を設定すると、レジスタ R0 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 24 に示します。

予備

ビット [DB31:DB13] は予備で、図 24 に示すように設定する必要があります。

トランスミッタ 2 (Tx2) の振幅キャリブレーション

ビット DB12 は、Tx2 出力の振幅キャリブレーションを制御するビットです。通常動作では、このビットを 0 に設定します。このビットを 1 に設定すると、Tx2 出力の振幅キャリブレーションが実行されます。ビット DB12 は、図 24 では Tx2 AMP CAL として示されています。

Tx1 の振幅キャリブレーション

ビット DB11 は、Tx1 出力の振幅キャリブレーションを制御するビットです。通常動作では、このビットを 0 に設定します。このビットを 1 に設定すると、Tx1 出力の振幅キャリブレーションが実行されます。ビット DB11 は、図 24 では Tx1 AMP CAL として示されています。

VCO の起動

ビット DB10 は VCO を起動するためのビットです。このビットを 0 に設定すると、VCO が停止し、1 に設定すると、VCO が起動します。ビット DB10 は、図 24 では PUP VCO として示されています。

VCO のキャリブレーション

ビット DB9 は、VCO の周波数キャリブレーションを制御するビットです。通常動作では、このビットを 0 に設定します。このビットを 1 に設定すると、VCO の周波数と振幅のキャリブレーションが実行されます。ビット DB9 は、図 24 では VCO CAL として示されています。

ADC の起動

ビット DB8 は、ADC を起動するためのビットです。このビットを 0 に設定すると、ADC が停止し、1 に設定すると、ADC が起動します。ビット DB8 は、図 24 では PUP ADC として示されています。

Tx2 出力の起動

ビット DB7 は、Tx2 出力を起動するためのビットです。このビットを 0 に設定すると、Tx2 出力が停止し、1 に設定すると、Tx2 出力が起動します。常に、Tx1 (DB6) または Tx2 (DB7) のどちらか一方のトランスミッタ出力しか起動できません。ビット DB7 は、図 24 では PUP Tx2 として示されています。

Tx1 出力の起動

ビット DB6 は、Tx1 出力を起動するためのビットです。このビットを 0 に設定すると、Tx1 出力が停止し、1 に設定すると、Tx1 出力が起動します。常に、Tx1 (DB6) または Tx2 (DB7) のどちらか一方のトランスミッタ出力しか起動できません。ビット DB6 は、図 24 では PUP Tx1 として示されています。

LO 出力の起動

ビット DB5 は、LO 出力を起動するためのビットです。このビットを 0 に設定すると、LO 出力が停止し、1 に設定すると、LO 出力が起動します。ビット DB5 は、図 24 では PUP LO として示されています。

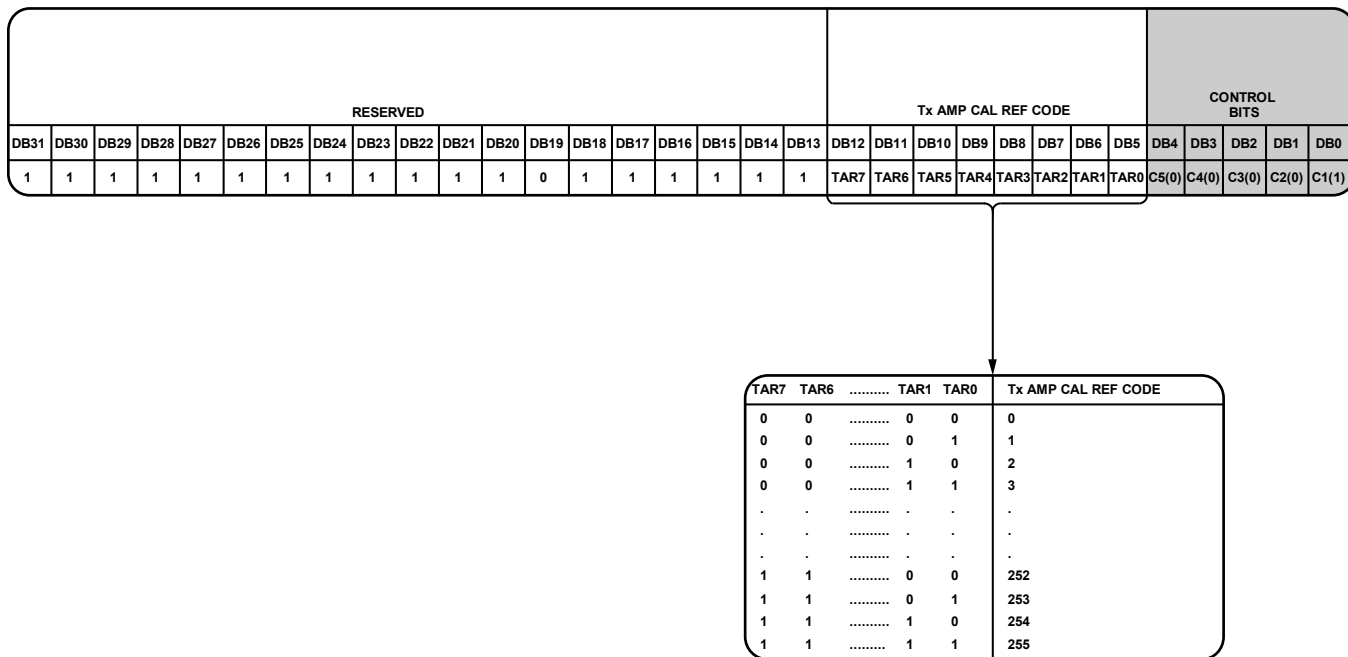


図 25. レジスタ 1 (R1)

16746-020

レジスタ 1

制御ビット

ビット [C5:C1] を 00001 に設定すると、レジスタ R1 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 25 に示します。

予備

ビット [DB31:DB13] は予備で、図 25 に示すように設定する必要があります。

トランスミッタ振幅キャリブレーションのリファレンス・コード

ビット [DB12:DB5] は、キャリブレーション時の 2 つのトランスミッタ出力用に、トランスミッタ振幅キャリブレーションのリファレンス・コードを設定します。トランスミッタ振幅キャリブレーションのリファレンス・コードの設定により、トランスミッタ出力の出力電力を -20dBm ~ 8dBm に補正します (図 7 参照)。ビット [DB12:DB5] は、図 25 では Tx AMP CAL REF CODE として示されています。

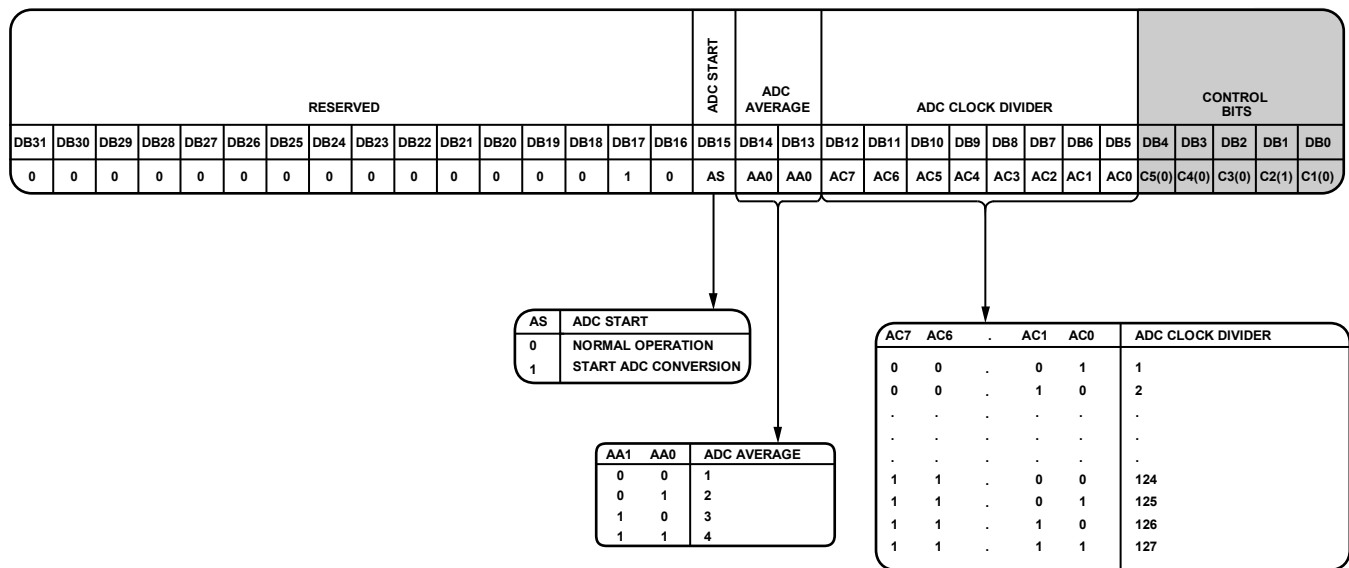


図 26. レジスタ 2 (R2)

レジスタ 2

制御ビット

ビット [C5:C1] を 00010 に設定すると、レジスタ R2 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 26 に示します。

予備

ビット [DB31:DB16] は予備で、図 26 に示すように設定する必要があります。

ADC 開始

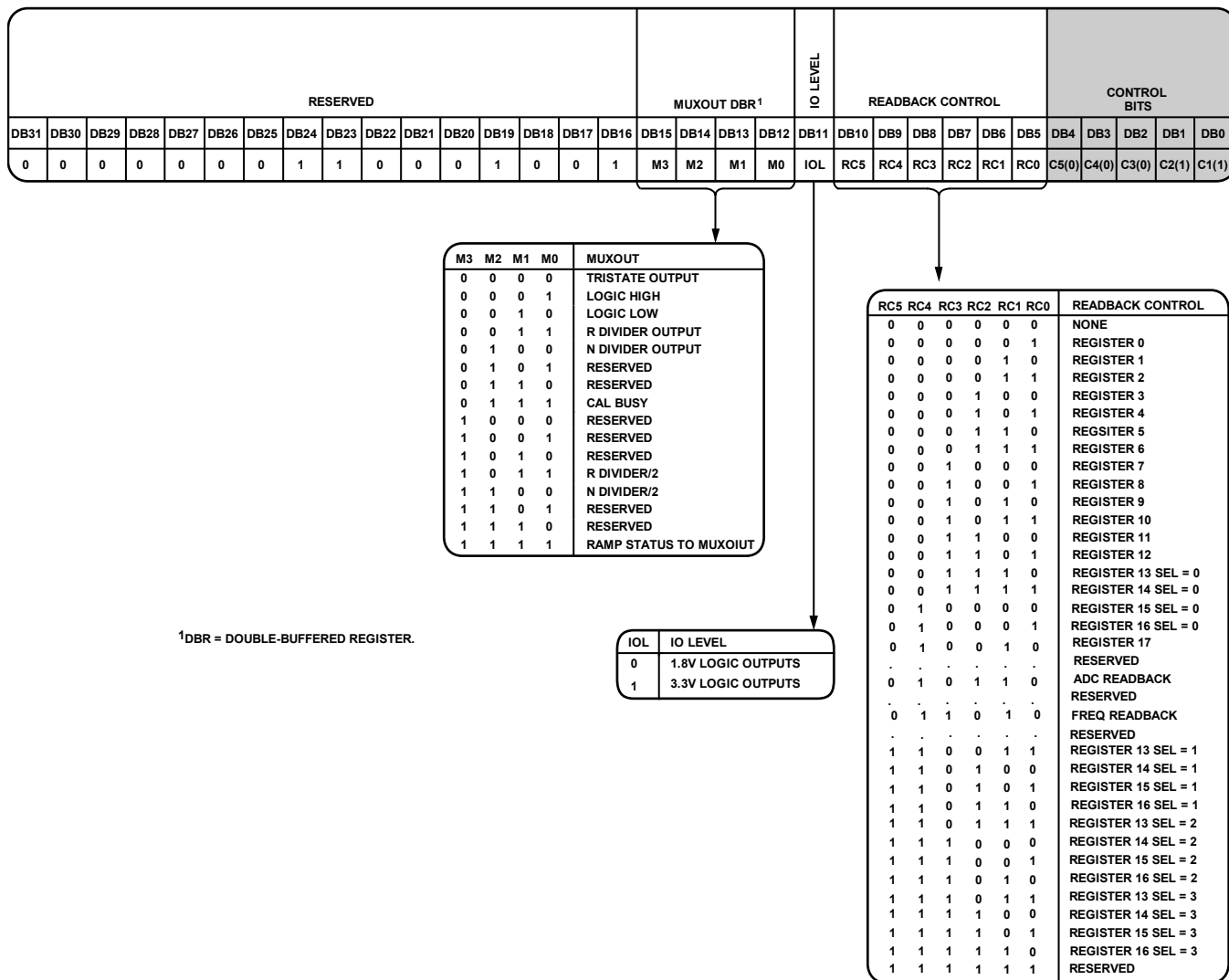
ビット DB15 は、ADC 変換を開始させます。このビットを 1 に設定すると、ADC 変換が開始します。

ADC 平均

ビット [DB14:DB13] は、ADC 平均を設定します。これは ADC 出力の平均数です (図 26 を参照)。

ADC クロック分周器

ビット [DB12:DB5] は、ADC のサンプリング・クロックとして使用されるクロック分周器を設定します (図 26 を参照)。R 分周器ブロックの出力は ADC クロック分周器をクロックします。分周値は、ADC サンプリング・クロックが 1MHz になるように設定します。



¹DBR = DOUBLE-BUFFERED REGISTER.

図 27. レジスタ 3 (R3)

レジスタ 3

制御ビット

ビット [C5:C1] を 00011 に設定すると、レジスタ R3 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 27 に示します。

予備

ビット [DB31:DB16] は予備で、図 27 に示すように設定する必要があります。

MUXOUT 制御

ビット [DB15:DB12] は、ADF5902 の内蔵マルチプレクサを制御します。真理値表については図 27 を参照してください。

入出力 (I/O) レベル

ビット DB11 は、DOUT のロジック・レベルを制御します。このビットを 0 に設定すると、DOUT のロジック・レベルが 1.8V に設定され、1 に設定すると、DOUT のロジック・レベルが 3.3V に設定されます。

リードバック制御

ビット [DB10:DB5] は、ADF5902 の DOUT へのリードバック・データを制御します。真理値表については図 27 を参照してください。

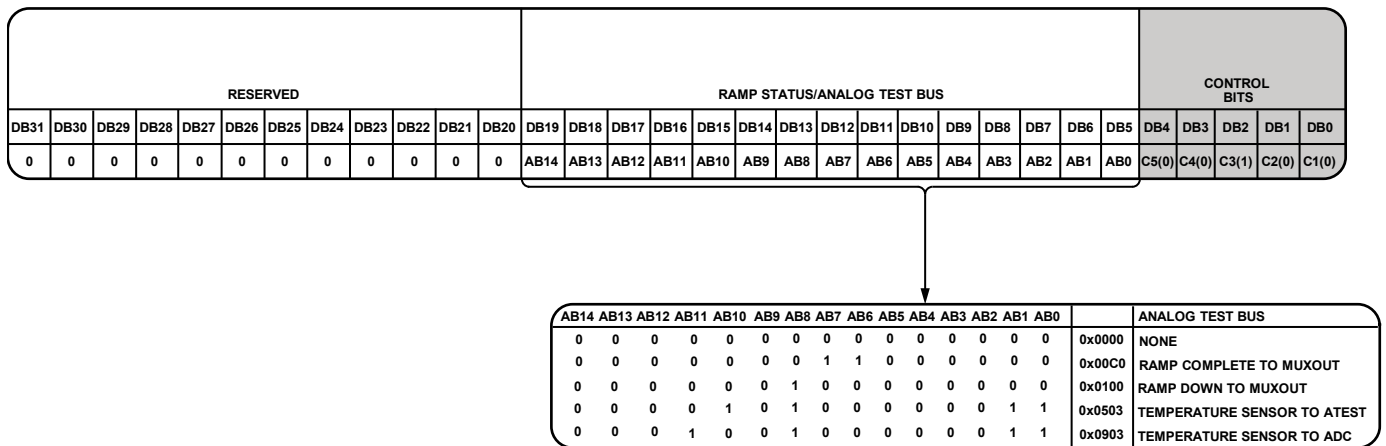


図 28. レジスタ 4 (R4)

レジスタ 4

制御ビット

ビット [C5:C1] を 00100 に設定すると、レジスタ R4 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 28 に示します。

予備

ビット [DB31:DB20] は予備で、図 28 に示すように設定する必要があります。

ランプ・ステータス／アナログ・テスト・バス

ビット [DB19:DB5] は、アナログ・テスト・バスと MUXOUT へのランプ・ステータスを制御します (図 28 参照)。

アナログ・テスト・バスにより、温度センサー用の内部テスト信号にアクセスできます。センサーは ATEST ピンまたは内部 ADC に接続できます。

ビット DB [19:5] を 0 (値なし) に設定すると、ATEST ピンはハイ・インピーダンスに設定されます。

MUXOUT のランプ・ステータス出力の場合、これらのモードにアクセスするには、レジスタ R3 の MUXOUT ビット (ビット [DB15:DB12]) を 1111 に設定する必要があります。

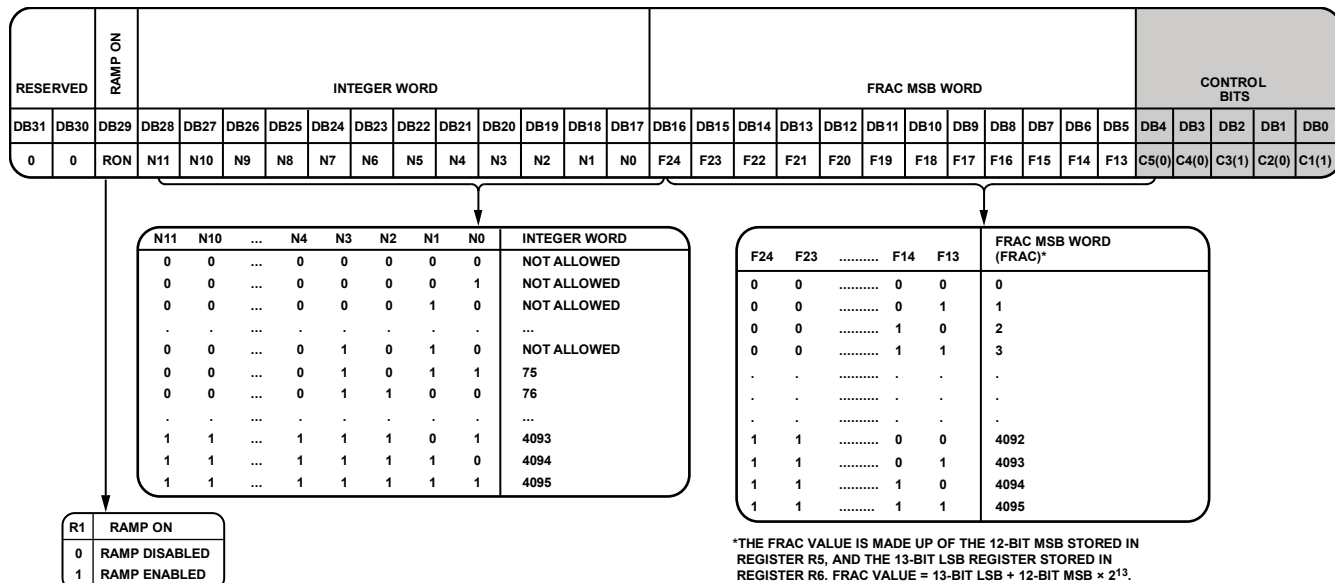


図 29. レジスタ 5 (R5)

レジスタ 5

制御ビット

ビット [C5:C1] を 00101 に設定すると、レジスタ R5 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 29 に示します。

予備

ビット [DB31:DB30] は予備で、図 29 に示すように設定する必要があります。

ランプ・オン

ビット DB29 を 1 に設定すると、ランプが開始します。ビット DB29 を 0 に設定すると、ランプ機能は無効になります。

連続ランプ・モードの場合、ビット DB29 を 0 に設定するとランプは停止します。ランプを初期周波数で停止させる必要があるアプリケーションでは、ランプ機能は無効にする前にレジスタ R6 への書き込みが必要です。単一ランプ・モードでは、単一ランプ機能を繰り返す前にレジスタ R6 への書き込みが必要です。

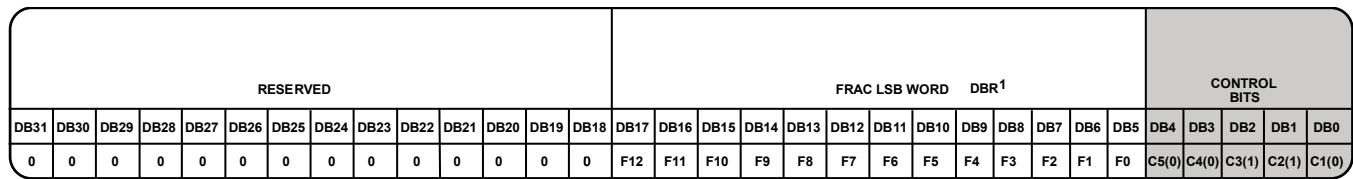
連続ランプ・モードで、TX_DATA ピンを使用してランプ・オフをトリガすると、ランプは初期周波数で停止し、レジスタ R6 への書き込みは不要です。単一ランプ・モードで TX_DATA ピンを使用する場合、単一ランプ機能を繰り返す前のレジスタ R6 への書き込みは不要です。

12 ビット整数値 (INT)

これらの 12 ビット (ビット [DB28:DB17]) は INT 値を設定します。これは、RF 分周係数の整数部を決定します。この INT 値は式 5 で使用されます。詳細については、RF 合成：実際の動作例のセクションを参照してください。75~4095 のすべての整数値を指定できます。

12 ビット MSB 小数値 (FRAC)

ビット [DB16:DB5] は、レジスタ R6 のビット [DB17:DB5] (FRAC LSB ワード) と共に使用して、フラクショナル・インターポレータにロードされる FRAC 値を制御します。この FRAC 値は、RF 分周係数全体の一部を決定します。これは式 1 でも使用されます。これらの 12 ビットは 25 ビット FRAC 値の最上位ビット (MSB) であり、レジスタ R6 のビット [DB17:DB5] (FRAC LSB ワード) は最下位ビット (LSB) です。詳細については、RF 合成：実際の動作例のセクションを参照してください。



F12	F11	F1	F0	FRAC LSB WORD (FRAC)*
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
.
.
.
1	1	0	0	8188
1	1	0	1	8189
1	1	1	0	8190
1	1	1	1	8191

*THE FRAC VALUE IS MADE UP OF THE 12-BIT MSB STORED IN REGISTER R5, AND THE 13-BIT LSB REGISTER STORED IN REGISTER R6. FRAC VALUE = 13-BIT LSB + 12-BIT MSB × 2¹³.

¹DBR = DOUBLE-BUFFERED REGISTER.

図 30. レジスタ 6 (R6)

16746-025

レジスタ 6

制御ビット

ビット [C5:C1] を 00110 に設定すると、レジスタ R6 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 30 に示します。

予備

ビット [DB31:DB18] は予備で、図 30 に示すように設定する必要があります。

13 ビット LSB FRAC 値

これらの 13 ビット (ビット [DB17:DB5]) は、レジスタ R5 のビット [DB16:DB5] (FRAC MSB ワード) と共に使用して、フラクショナル・インターポレータにロードされる FRAC 値を制御します。この FRAC 値は、RF 分周係数全体の一部を決定します。これは式 1 でも使用されます。これらの 13 ビットは 25 ビット FRAC 値の最下位ビット (LSB) であり、レジスタ R5 のビット [DB16:DB5] (FRAC MSB ワード) は最上位ビット (MSB) です。詳細については、RF 合成：実際の動作例のセクションを参照してください。

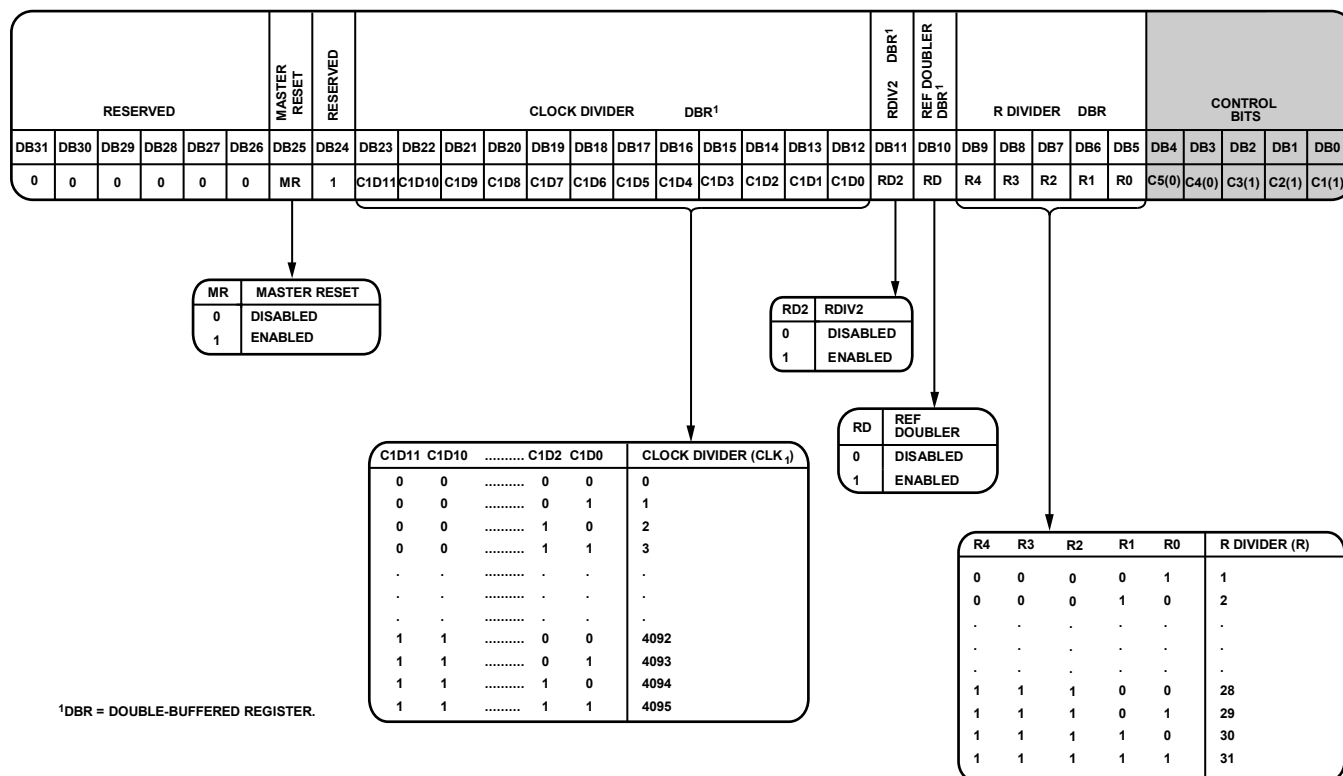


図 31. レジスタ 7 (R7)

レジスタ 7

制御ビット

ビット [C5:C1] を 00111 に設定すると、レジスタ R7 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 31 に示します。

予備

ビット [DB31:DB26] は予備で、図 31 に示すように設定する必要があります。

マスタ・リセット

ビット DB25 は、デバイスをマスタ・リセットするビットです。このビットを 1 に設定すると、デバイスとすべてのレジスタ・マップがリセットされます。このビットを 0 に設定すると、デバイスは通常動作に戻ります。

クロック分周器

ビット [DB23:DB12] は、クロック分周器 (CLK_i) の値を制御します (図31を参照)。CLK_i値は、VCO周波数キャリブレーションの分周器を設定します。PFD周波数 (f_{PFD}) / CLK_iが25kHz以下になるように分周器を設定します。

例えば、f_{PFD} = 50MHz の場合、f_{PFD}/CLK_i < 25kHz になるように CLK_i = 2048 を設定します。

CLK_i 値は、ランプ・モードでタイム・ステップの期間を決定するのにも使用されます。詳細については、ランプと変調のセクションを参照してください。

2 分周 (RDIV2)

DB11 ビットを 1 に設定すると、R カウンタと VCO キャリブレーション・ブロックの間に 2 分周を行うトグル・フリップフロップが挿入されます。

リファレンス・ダブラ

DB10を0に設定すると、REF_{IN}信号が直接5ビットRカウンタに入力され、ダブラがディセーブルされます。このビットを1に設定すると、REF_{IN}周波数が2通倍されてから、REF_{IN}信号が5ビットRカウンタに入力されます。ダブラがディセーブルされると、REF_{IN}の立下がりエッジは、フラクショナル・シンセサイザへのPFD入力のアクティブ・エッジになります。ダブラがイネーブルされると、REF_{IN}の立上がりエッジと立下がりエッジの両方がPFD入力のアクティブ・エッジになります。

リファレンス・ダブラをイネーブルした場合、位相ノイズ性能を最適化するために、レジスタ12でチャージ・ポンプ電流設定を0b0000~0b0111、つまり0.28mA~2.24mAでのみ使用することを推奨します。この場合、最善の方法は、チャージ・ポンプ電流が1.12mAまたは1.4mAになるようにループ・フィルタを設計してから、プログラマブルなチャージ・ポンプ電流を使用して周波数応答を調整することです。

ダブラがイネーブル時の最大許容 REF_{IN}周波数は 50MHz です。

5 ビット R 分周器

5 ビット R カウンタを使用すると、入力リファレンス周波数 (REF_{IN}) を分周してVCOのキャリブレーション・ブロックにリファレンス・クロックを供給できます。分周比は1~31が可能です。

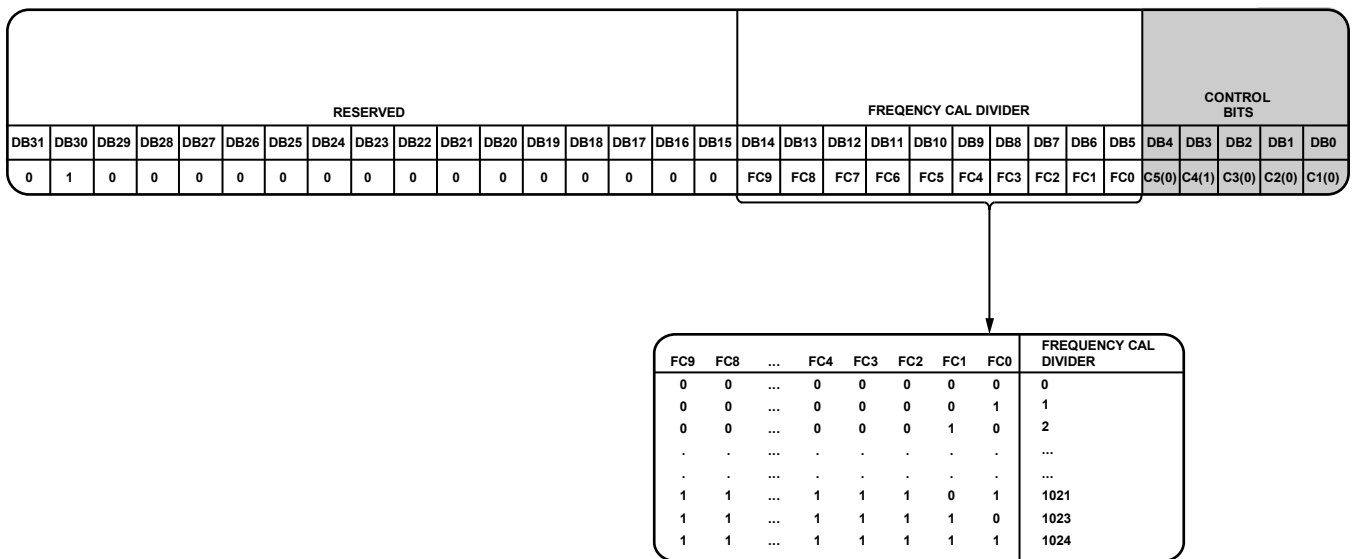


図 32. レジスタ 8 (R8)

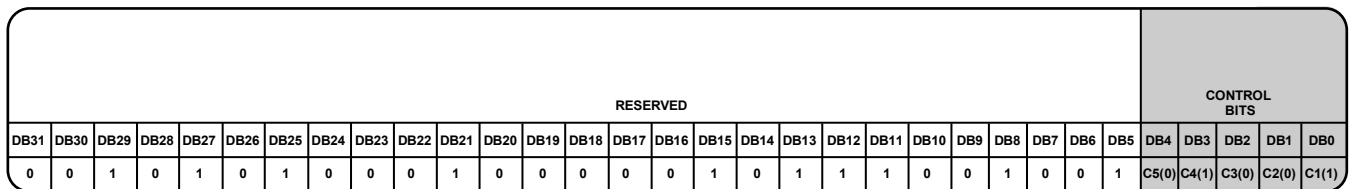


図 33. レジスタ 9 (R9 0x2A20B929)

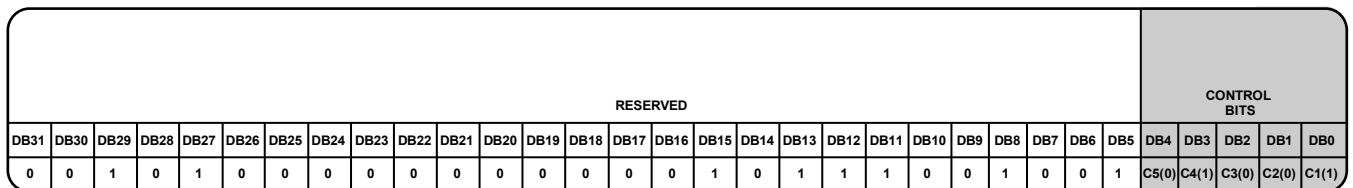


図 34. レジスタ 9 (R9 0x2800B929)

レジスタ 8

制御ビット

ビット [C5:C1] を 01000 に設定すると、レジスタ R8 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 32 に示します。

予備

ビット [DB31:DB15] は予備で、図 32 に示すように設定する必要があります。

周波数キャリブレーション分周器

ビット [DB14:DB5] は、VCO 周波数キャリブレーション・クロックの分周器を設定します。PFD 周波数 (f_{PFD}) / 周波数キャ

リブレーション分周器が 100kHz 以下になるように分周器を設定します (図 32 を参照)。

レジスタ 9

レジスタ 9 のビットは予備で、VCO キャリブレーションを行う前に、16 進ワード 0x2A20B929 を使用して、図 33 に示すように設定する必要があります。

レジスタ 9 のビットは、通常動作では 16 進ワード 0x2800B929 を使用して、図 34 に示すように設定する必要があります。

詳細については、アプリケーション情報のセクションを参照してください。

RESERVED																								CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	1	1	0	1	0	0	1	1	0	0	1	0	1	0	1	0	0	1	1	0	0	1	0	C5(0)	C4(1)	C3(0)	C2(1)	C1(0)

図 35. レジスタ 10 (R10 0x1D32A64A)

RESERVED																								SD RESET	RESERVED	SING FULL TRI	RAMP MODE		RESERVED	CNTR RESET	CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SDR	0	SFT	RM1	RM0	0	CR	C5(0)	C4(1)	C3(0)	C2(1)	C1(1)				

SDR	SD RESET
0	ENABLED
1	DISABLED

SFT	SING FULL TRI
0	DISABLED
1	ENABLED

CR	CNTR RESET
0	DISABLED
1	ENABLED

RM1	RM0	RAMP MODE
0	0	CONTINUOUS SAWTOOTH
0	1	SINGLE SAWTOOTH BURST
1	0	CONTINUOUS TRIANGULAR
1	1	SINGLE RAMP BURST

図 36. レジスタ 11 (R11)

レジスタ 10

レジスタ 10 のビットは予備で、16 進ワード 0x1D32A64A を使用して、図 35 に示すように設定する必要があります。

レジスタ 11

制御ビット

ビット [C5:C1] を 01011 に設定すると、レジスタ R11 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 36 に示します。

予備

ビット [DB31:DB12]、ビット DB10、ビット DB6 は予備で、図 36 に示すように設定する必要があります。

SD リセット

ほとんどのアプリケーションでは、ビット DB11 を 0 に設定します。このビットを 0 に設定すると、レジスタ R5 への書き込みごとに Σ - Δ (SD) 変調器がリセットされます。レジスタ R5 への書き込みごとに SD 変調器をリセットする必要がない場合は、このビットを 1 に設定します。

単一フル三角波

ビット DB9 を 1 に設定すると、単一フル三角波機能が有効になります。ビット DB9 を 0 に設定すると、この機能は無効になります。単一フル三角波機能を使用するには、ランプ・モード (レジスタ 11、ビット DB [8:7]) を 0b11、単一のこぎり波バーストに設定する必要があります。詳細については、ランプと変調のセクションを参照してください。

ランプ・モード

ビット [DB8:DB7] は、生成される波形のタイプを決定します (図 36 を参照)。詳細については、ランプと変調のセクションを参照してください。

カウンタ・リセット

ビット DB5 は、カウンタ用のカウンタ・リセット・ビットです。このビットを 1 に設定すると、デバイス・カウンタに対してカウンタ・リセットが実行されます。このビットを 0 に設定すると、デバイスは通常動作に戻ります。ビット DB5 は、図 36 では CNTR RESET として示されています。

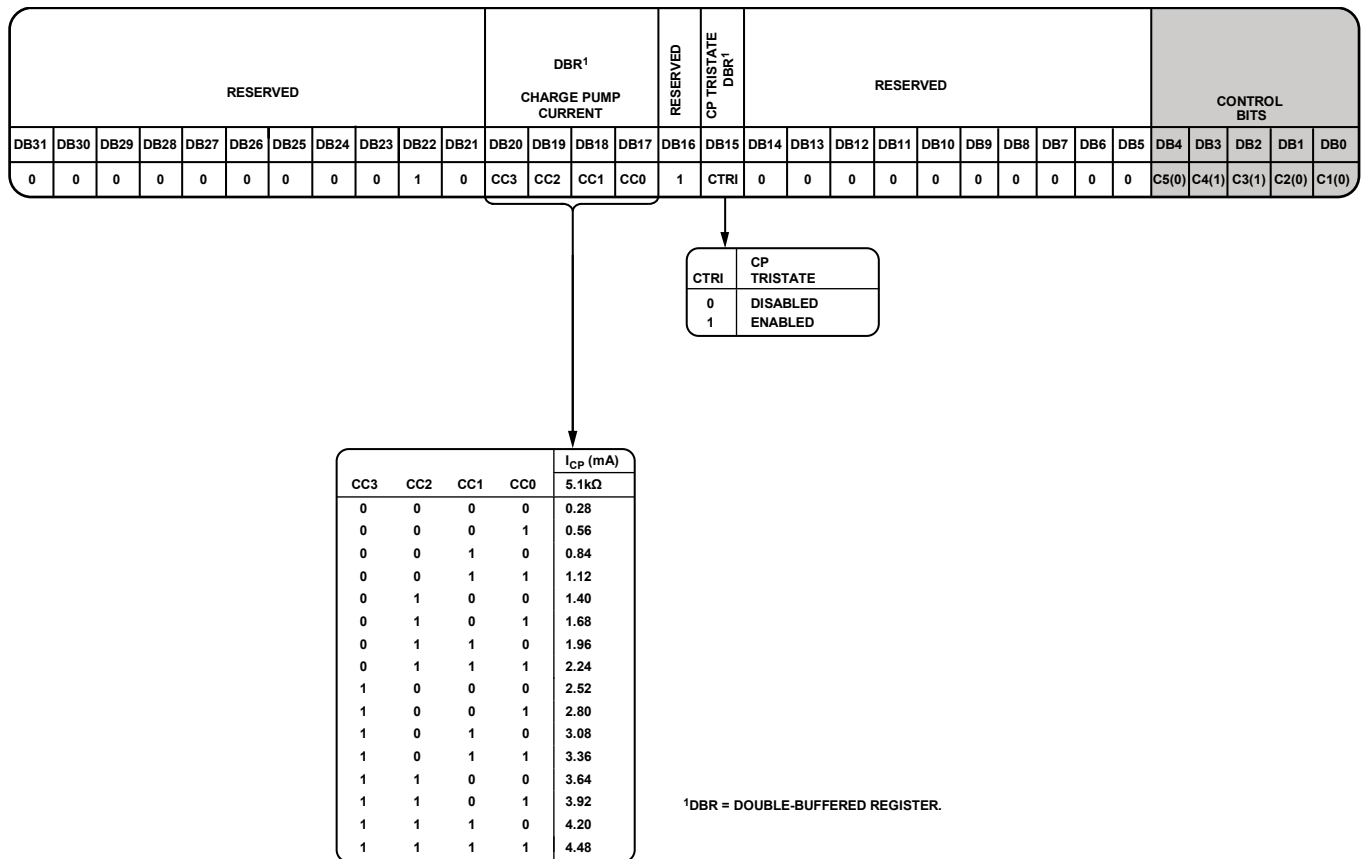


図 37. レジスタ 12 (R12)

レジスタ 12

制御ビット

ビット [C5:C1] を 01100 に設定すると、レジスタ R12 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 37 に示します。

予備

ビット [DB31:DB21] とビット DB16 は予備で、図 37 に示すように設定する必要があります。

チャージ・ポンプ電流設定

ビット [DB20:DB17] はチャージ・ポンプ電流を設定します (図 37 を参照)。これらのビットは、ループ・フィルタの設計に使用するチャージ・ポンプ電流を設定します。最善の方法は、チャージ・ポンプ電流が 2.24mA または 2.52mA になるようにループ・フィルタを設計してから、プログラマブルなチャージ・ポンプ電流を使用して周波数応答を調整することです。ダブラを有効にしている場合のチャージ・ポンプ電流の設定については、リファレンス・ダブラのセクションを参照してください。

チャージ・ポンプ・トリステート

ビット DB15 を 1 に設定すると、チャージ・ポンプはトリステート・モードになります。通常のチャージ・ポンプ動作では、このビットを 0 に設定します。

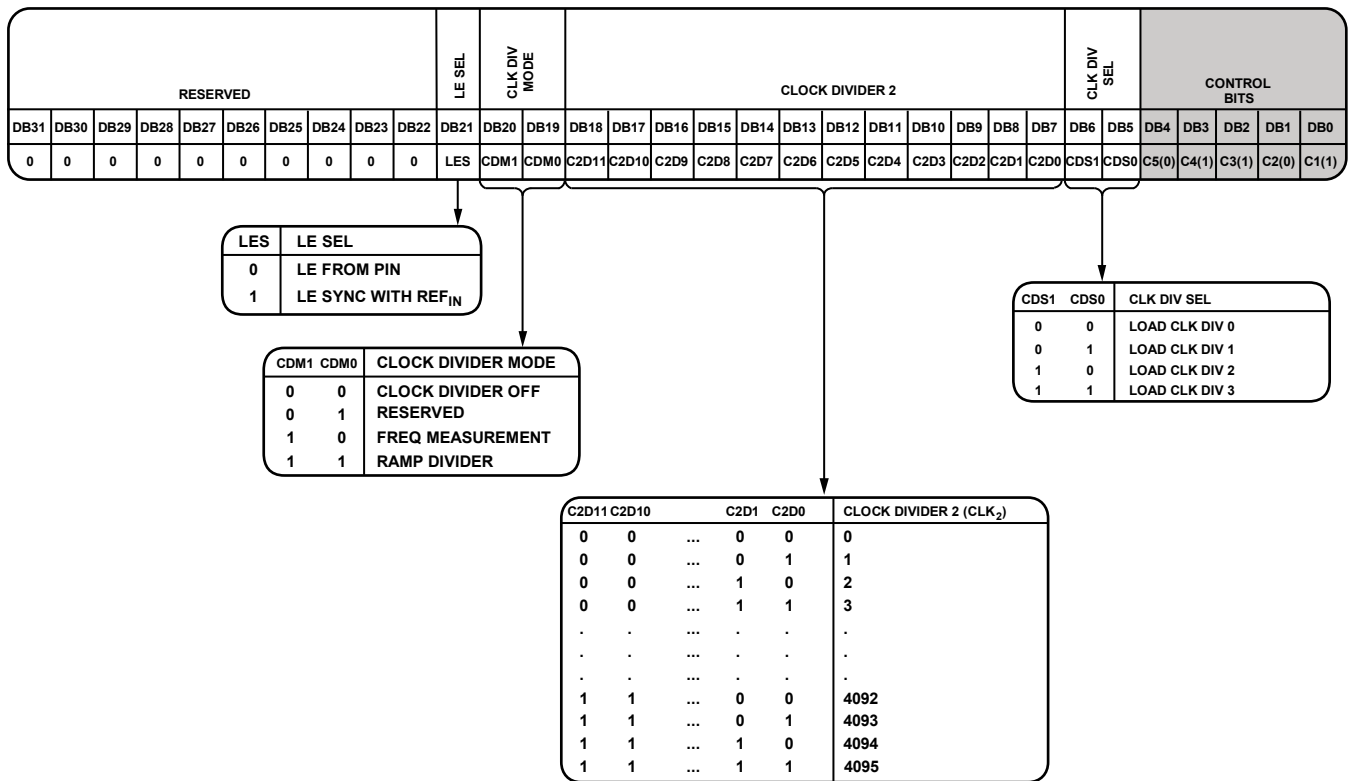


図 38. レジスタ 13 (R13)

16746-136

レジスタ 13

制御ビット

ビット [C5:C1] を 01101 に設定すると、レジスタ R13 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 38 に示します。

予備

ビット [DB31:DB22] は予備で、図 38 に示すように設定する必要があります。

LE 選択

アプリケーションによっては、LE ピンをリファレンス信号と同期させる必要があります。この同期を実行するには、ビット DB21 を 1 に設定する必要があります。同期はデバイス内部で実行されます。

クロック分周器モード

ビット [DB20;DB19] は、ランプ分周器モードを有効にするのに使用します。ランプ・モードを使用する際は、ビット [CDM1;CDM0] を 11 に設定します。それ以外の場合は、これらのビットを 0b00 に設定します。

12 ビット・クロック分周器 (CLK₂) の値

デバイスがランプ・モードで動作する場合、ビット [DB18;DB7] によってクロック分周器 (CLK₂) のタイマを設定します (ランプと変調のセクションを参照)。

クロック分周器の選択

ビット [DB6;DB5] は、使用するランプ CLK₂ のセグメントを選択します (図 38 を参照)。詳細については、ランプと変調のセクションを参照してください。ビット [DB6;DB5] は、図 38 では CLK DIV SEL として示されています。

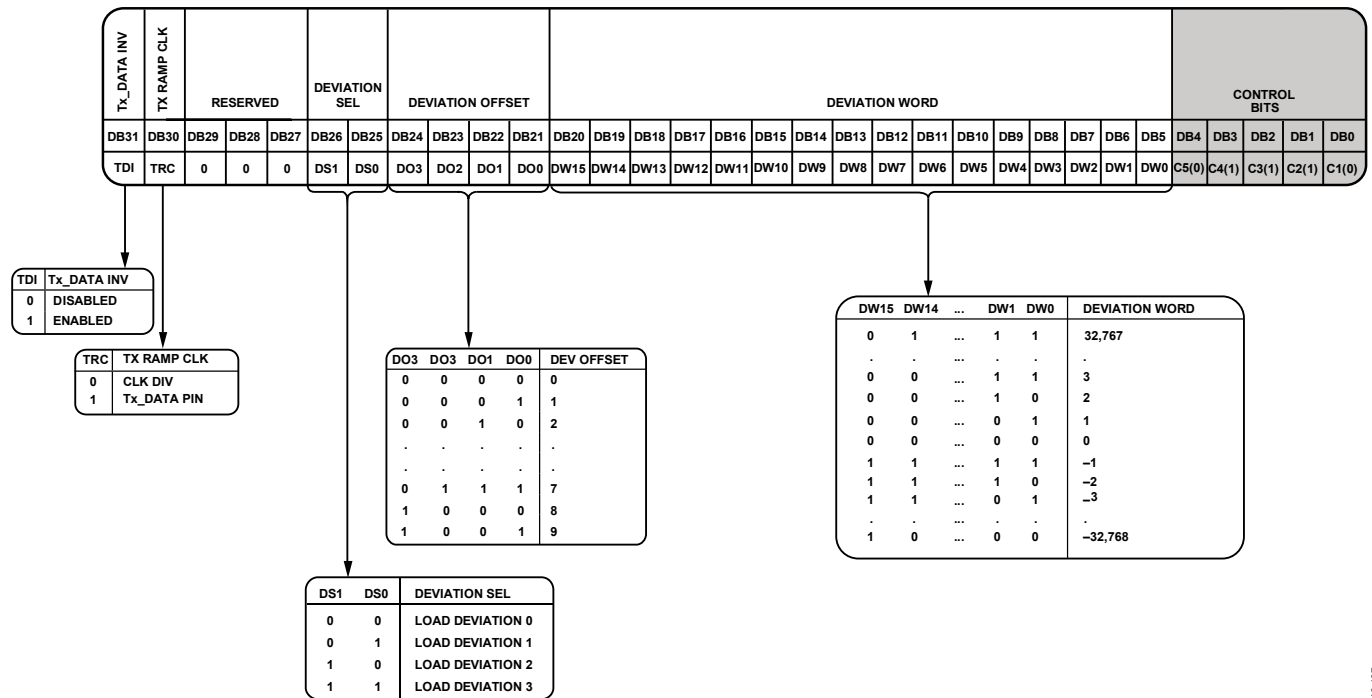


図 39. レジスタ 14 (R14)

16746-137

レジスタ 14

制御ビット

ビット [C5:C1] を 01110 に設定すると、レジスタ R14 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 39 に示します。

予備

ビット [DB29:DB27] は予備で、図 39 に示すように設定する必要があります。

TX_DATA 反転

ビット DB31 を 0 に設定すると、TX_DATA によってトリガされるイベントは TX_DATA パルスの立上がりエッジで発生します。ビット DB31 を 1 に設定すると、TX_DATA によってトリガされるイベントは TX_DATA パルスの立下がりエッジで発生します。

TX_DATA ランプ・クロック

ビット DB30 を 0 に設定すると、クロック分周器クロックがランプのクロックに使用されます。ビット DB30 を 1 に設定すると、TX_DATA ピンがランプのクロックに使用されます。

偏差選択

ビット [DB26:DB25] は、ロードされる偏差ワードを選択します (図39を参照)。

4 ビット偏差オフセット・ワード

ビット DB [24:21] は、偏差オフセット・ワードを決定します。偏差オフセット・ワードは偏差分解能に影響します (ランプと変調のセクションを参照)。

16 ビット偏差ワード

ビット [DB20:DB5] は、2 の補数形式の符号付き偏差ワードを決定します。偏差ワードは偏差ステップを定義します (ランプと変調のセクションを参照)。

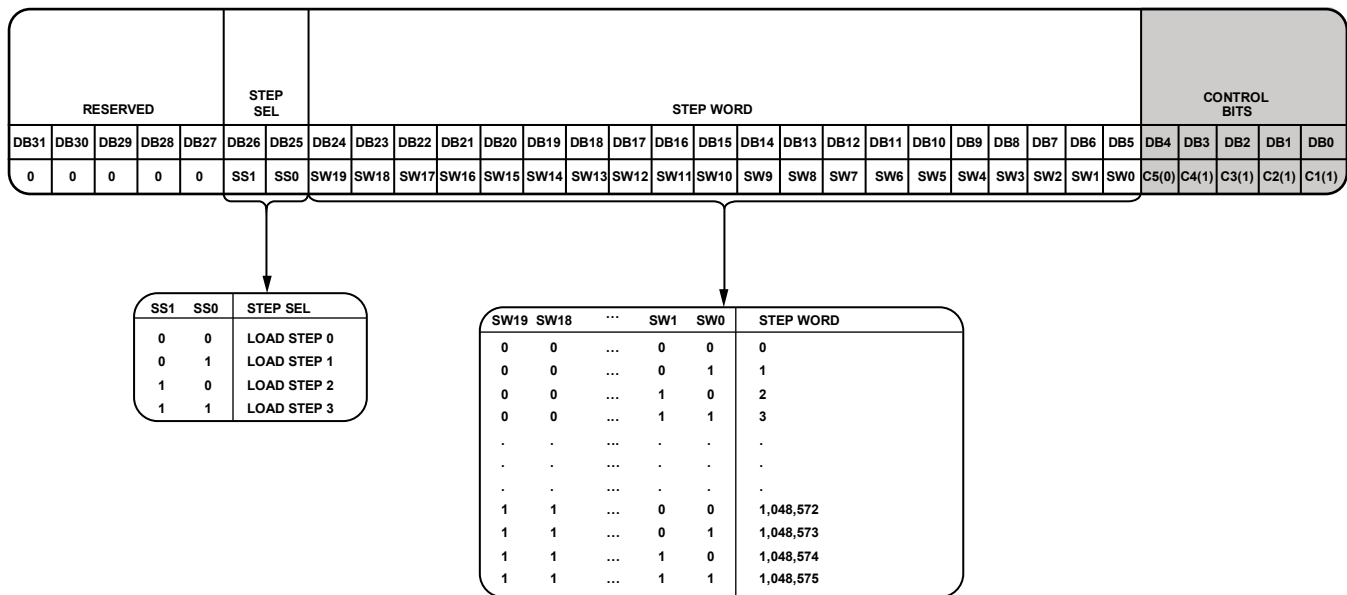


図 40. レジスタ 15 (R15)

レジスタ 15

制御ビット

ビット [C5:C1] を 01111 に設定すると、レジスタ R15 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 40 に示します。

予備

ビット [DB31:DB27] は予備で、図 40 に示すように設定する必要があります。

ステップ選択

ビット [DB26:DB25] は、ロードされるステップ・ワードを選択します (図40を参照)。

20 ビット・ステップ・ワード

ビット [DB22:DB3] はステップ・ワードを決定します。ステップ・ワードはランプのステップ数です (ランプと変調のセクションを参照)。

16/46-138

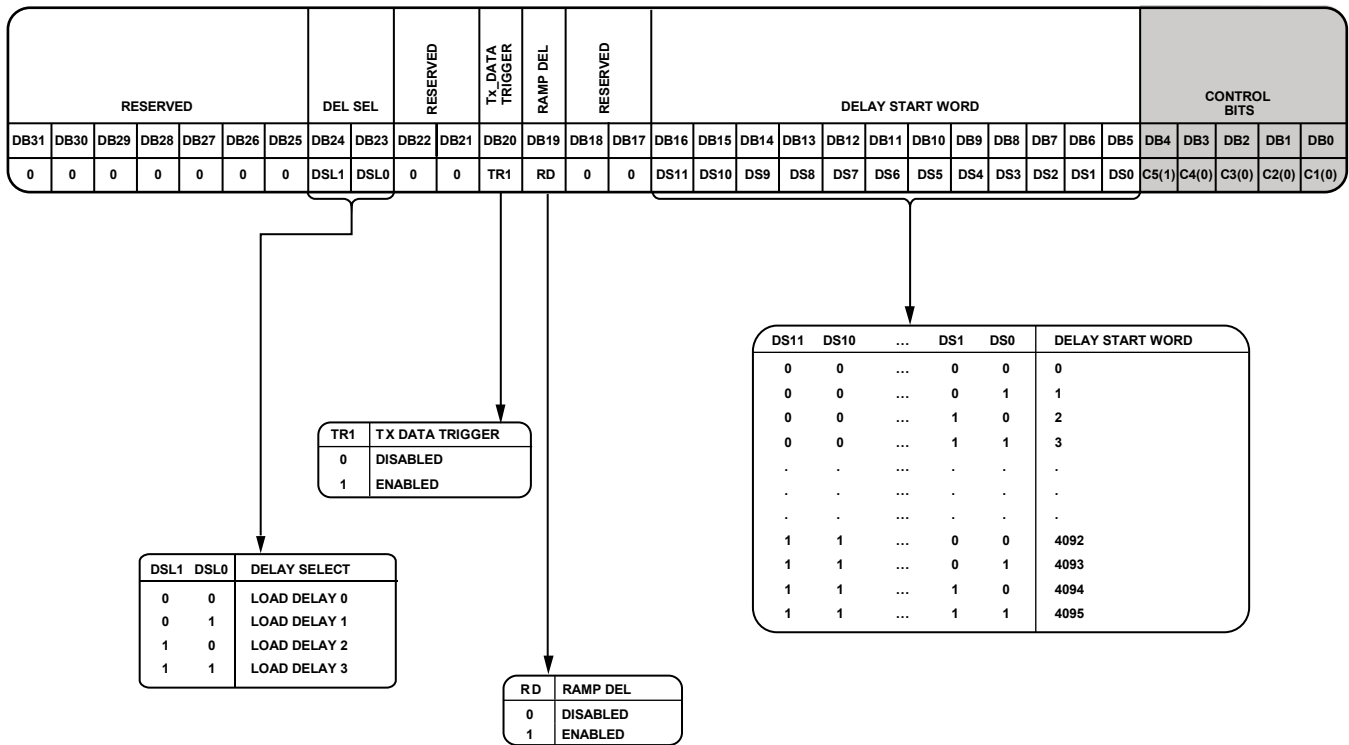


図 41. レジスタ 16 (R16)

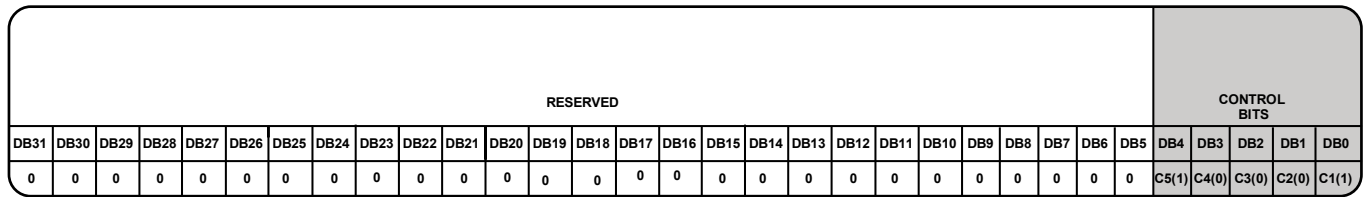


図 42. レジスタ 17 (R17)

レジスタ 16

制御ビット

ビット [C5:C1] を 10000 に設定すると、レジスタ R16 が設定されます。このレジスタを設定するための入力データ・フォーマットを図 41 に示します。

予備

ビット [DB31:DB25]、ビット [DB22:DB21]、ビット [DB18:DB17] は予備で、図 41 に示すように設定する必要があります。

遅延選択

ビット [DB24:DB23] は、ロードされる遅延ワードを選択します。

TX_DATA トリガ

ビット DB20 を 1 に設定した場合、レジスタ 5 のビット DB29 と組み合わせられ、TX_DATA ピンがロジック・ハイになるとランプがアクティブになります。TX_DATA ピンに印加されるパルスのアクティブ・エッジを REF_{IN} リファレンス入力の立上がりエッジに同期させます。

TX_DATA ピンに印加されるパルス幅は $4 \times 1/f_{\text{PFD}}$ の最小幅でなければなりません。ここで、 f_{PFD} は位相周波数検出器 (PFD) の周波数です。

ビット DB20 を 0 に設定すると、この機能は無効になります。

連続三角波または連続のこぎり波のランプをアクティブにする場合、レジスタ 5 のビット DB29 をハイにトグルした後に TX_DATA ピンにパルスを印加する必要があります。連続三角波または連続のこぎり波のランプを停止するには、レジスタ 5 のビット DB29 をローにトグルした後に TX_DATA パルスが必要です。

ビット DB20 を 0 に設定すると、この機能は無効になります。

ランプ遅延

ビット DB19 を 1 に設定すると、ランプ間遅延機能が有効になります。ビット DB19 を 0 に設定すると、この機能は無効になります。

12 ビット遅延ワード

ビット [DB16:DB5] は遅延ワードを決定します。遅延ワードはランプ開始遅延の期間を決定します。

レジスタ 17

レジスタ 17 のビットは予備で、図 42 に示すように、16 進ワード 0x00000011 を設定する必要があります。

アプリケーション情報

初期化シーケンス

デバイスをパワーアップした後、表 7 に示すプログラミング・シーケンスを実行します。

このシーケンスは、100MHz リファレンスを使用して VCO を 24.025GHz にロックします。上昇率は 144 μ s で 200MHz です。下降率は 9 μ s で 200MHz です。

表 7. 初期化シーケンス

ステップ	レジスタ	16 進コード	説明
1	R7	0x02000007	マスタ・リセット
2	R11	0x0000002B	カウンタをリセット
3	R11	0x0000000B	カウンタをイネーブル
4	R13	0x0018000D	ランプ分周器をイネーブル
5	R10	0x1D32A64A	予備
6	R9	0x2A20B929	VCO キャリブレーションの設定
7	R8	0x40003E88	VCO 周波数キャリブレーション分周器のクロックを 100kHz に設定
8	R0	0x800FE520	デバイスと LO をパワーアップ
10 μ s の遅延			
9	R7	0x01800827	PF _D = 50MHz、CLK ₁ = 2048
10	R6	0x00000006	LSB FRAC = 0 に設定
11	R5	0x01E38005	N = 241.175
12	R4	0x00000004	ATEST ピンをハイ・インピーダンスに設定
13	R3	0x01897803	I/O レベルを 3.3V に、CAL_BUSY を MUXOUT に設定
14	R2	0x00020642	ADC クロックを 1MHz に設定
15	R1	0xFF7FFE1	トランスミッタの振幅レベルを設定
16	R0	0x800FE720	VCO 周波数キャリブレーションを開始
1200 μ s の遅延			
17	R0	0x800FE560	Tx1 をオン、Tx2 をオフ、LO をオン
18	R0	0x800FED60	Tx1 振幅キャリブレーション
500 μ s の遅延			
19	R0	0x800FE5A0	Tx1 をオフ、Tx2 をオン、LO をオン
20	R0	0x800FF5A0	Tx2 振幅キャリブレーション
500 μ s の遅延			
21	R17	0x00000011	予備
22	R16	0x00000010	ランプ遅延レジスタ
23	R15	0x0000120F	ステップ・レジスタに STEP_SEL = 0 をロード、ステップ・ワードは 144
24	R15	0x0200012F	ステップ・レジスタに STEP_SEL = 1 をロード、ステップ・ワードは 9
25	R15	0x0400120F	ステップ・レジスタに STEP_SEL = 2 をロード、ステップ・ワードは 144
26	R15	0x0600012F	ステップ・レジスタに STEP_SEL = 3 をロード、ステップ・ワードは 9
27	R14	0x012038EE	偏差レジスタに DEV_SEL = 0、DEV ワード = 455、DEV オフセット = 9 をロード
28	R14	0x033C720E	偏差レジスタに DEV_SEL = 1、DEV ワード = -1820、DEV オフセット = 9 をロード
29	R14	0x052038EE	偏差レジスタに DEV_SEL = 2、DEV ワード = 455、DEV オフセット = 9 をロード
30	R14	0x73C720E	偏差レジスタに DEV_SEL = 3、DEV ワード = -1820、DEV オフセット = 9 をロード
31	R13	0x0018050D	クロック・レジスタに CLK DIV SEL = 0、CLK _{2_0} = 10 をロード
32	R13	0x0018052D	クロック・レジスタに CLK DIV SEL = 1、CLK _{2_1} = 10 をロード
33	R13	0x0018054D	クロック・レジスタに CLK DIV SEL = 2、CLK _{2_2} = 10 をロード
34	R13	0x0018056D	クロック・レジスタに CLK DIV SEL = 3、CLK _{2_3} = 10 をロード
35	R12	0x004F000C	チャージ・ポンプ電流 = 2.24mA
36	R9	0x2800B929	通常動作
37	R7	0x0100A027	PF _D = 100MHz、CLK ₁ = 10
38	R6	0x00000006	LSB FRAC = 0 に設定
39	R5	0x00F04005	INT = 120、MSB FRAC = 512、24.025GHz にロック
40	R4	0x00002004	MUXOUT までランプダウン
41	R3	0x0189F803	I/O 電圧レベルを 3.3V
100 μ s の遅延			
42	R11	0x0000010B	ランプ・モードを選択

再キャリブレーション・シーケンス

初期化シーケンスが完了してデバイスをパワーアップした後、ADF5902 を再キャリブレーションできます。再キャリブレーション

シーケンスは、10°Cの温度変化ごとに実行する必要があります。温度は、温度センサーを使用してモニタできます（温度センサーのセクションを参照）。

表 8. 再キャリブレーション・シーケンス

初期化シーケンスの ステップ番号	レジスタ	16 進コード	説明
	R0	0x800FE500	Tx1 をオフ、Tx2 をオフ、LO をオフ
6	R9	0x2A20B929	予備
9	R7	0x01800827	PFD = 50MHz、CLK ₁ = 2048
10	R6	0x00000006	LSB FRAC = 0 に設定
11	R5	0x01E38005	N = 241.175
12	R4	0x00000004	ATEST ピンをハイ・インピーダンスに設定
13	R3	0x01897803	I/O レベルを 3.3V に、CAL_BUSY を MUXOUT に設定
14	R2	0x00020642	ADC クロックを 1MHz に設定
15	R1	0xFFF7FFE1	トランスミッタの振幅レベルを設定
	R0	0x800FE700	VCO 周波数キャリブレーションを開始
1200µs の遅延			
17	R0	0x800FE560	Tx1 をオン、Tx2 をオフ、LO をオン
18	R0	0x800FED60	Tx1 振幅キャリブレーション
500µs の遅延			
19	R0	0x800FE5A0	Tx1 をオフ、Tx2 をオン、LO をオン
20	R0	0x800FF5A0	Tx2 振幅キャリブレーション
500µs の遅延			
36	R9	0x2800B929	予備
37	R7	0x0100A027	PFD を 100MHz、CLK_DIV1 = 10 に設定
38	R6	0x00000006	LSB FRAC = 0 に設定
39	R5	0x00F04005	INT ワードを 120、MSB FRAC = 512、24.025GHz にロック
40	R4	0x00002004	MUXOUT までランプダウン
41	R3	0x0189F803	I/O 電圧レベルを 3.3 V
100µs の遅延			
42	R11	0x0000010B	ランプ・モードを選択

温度センサー

ADF5902 は、ATEST ピンからアクセス可能な、または ADC 変換後の DOUT でデジタル・ワードとしてアクセス可能な温度センサーを内蔵しています。温度センサーは、-40°C~+105°Cの動作温度範囲全体で動作します。室温で 1 点キャリブレーションを実行し、結果をメモリに保存することで精度を向上できます。アナログ・テスト・バスおよびテスト・バス上の温度センサーを ATEST ピンに接続すると（レジスタ 4 を 0x0000A064 に設定）、次式により ATEST 電圧を温度に変換できます。

$$\text{Temperature } (^{\circ}\text{C}) = \frac{(V_{\text{ATEST}} - V_{\text{OFF}})}{V_{\text{GAIN}}} \quad (3)$$

ここで、

V_{ATEST} は ATEST ピンの電圧。

$V_{\text{OFF}} = 0.699\text{V}$ 、オフセット電圧。

$V_{\text{GAIN}} = 6.4 \times 10^{-3}$ 、電圧ゲイン。

温度センサーの結果は、ADC を使ってデジタル・ワードに変換し、以下のシーケンスにより DOUT でリードバックできます。

1. レジスタ R4 に 0x00012064 を書き込んで、アナログ・テスト・バスを ADC に、温度センサーをアナログ・テスト・バスに接続します。
2. レジスタ R2 に 0x0002A802 を書き込んで、ADC 変換を開始します。
3. レジスタ R3 に 0x0189FAC3 を書き込んで、ADC の出力データを DOUT に設定します。
4. DOUT をリードバックします。
5. レジスタ R4 に 0x00002064 を書き込んで、レジスタ R4 を初期値にリセットします。
6. レジスタ R2 に 0x00020642 を書き込んで、レジスタ R2 を初期値にリセットします。

次式を使って、DOUT ワードを温度に変換します。

$$\text{Temperature } (^{\circ}\text{C}) = \frac{((\text{ADC} \times V_{\text{LSB}}) - V_{\text{OFF}})}{V_{\text{GAIN}}} \quad (4)$$

ここで、

ADC は DOUT でリードバックされる ADC コード。

$V_{\text{LSB}} = 7.33\text{mV}$ 、ADC の LSB 電圧。

$V_{\text{OFF}} = 0.699\text{V}$ 、オフセット電圧。

$V_{\text{GAIN}} = 6.4 \times 10^{-3}$ 、電圧ゲイン。

RF 合成：実際の動作例

次式は、ADF5902 の設定方法を決定します。

$$RF_{\text{OUT}} = (INT + (FRAC/2^{25})) \times f_{\text{REF}} \times 2 \quad (5)$$

ここで、

RF_{OUT} は RF 周波数出力。

INT は分周係数の整数部。

$FRAC$ は分周係数の分数部。

$$f_{\text{REF}} = REF_{\text{IN}} \times ((1 + D) / (R \times (1 + T))) \quad (6)$$

ここで、

REF_{IN} はリファレンス周波数入力。

D はリファレンス・ダブル・ビット、レジスタ R7 の DB10 (0 または 1)。

R はリファレンス分周係数。

T はリファレンス 2 分周指定、レジスタ R7 の DB11 (0 または 1)。

例えば、24.125GHz の RF 周波数出力 (RF_{OUT}) が必要で、100MHz のリファレンス周波数入力 (REF_{IN}) が利用可能なシステムでは、 f_{REF} を 50MHz に設定します。

式 6 から、

$$f_{\text{REF}} = (100 \text{ MHz} \times (1 + 0) / (1 \times (1 + 1))) = 50 \text{ MHz}$$

式 5 から、

$$24.125 \text{ GHz} = 50 \text{ MHz} \times (N + FRAC/2^{25}) \times 2$$

N と $FRAC$ の値を計算します。

$$N = \text{int} (RF_{\text{OUT}} / (f_{\text{REF}} \times 2)) = 241$$

$$FRAC = F_{\text{MSB}} \times 2^{13} + F_{\text{LSB}}$$

$$F_{\text{MSB}} = \text{int} (((RF_{\text{OUT}} / (f_{\text{REF}} \times 2)) - N) \times 2^{12}) = 1024$$

$$F_{\text{LSB}} = \text{int} ((((RF_{\text{OUT}} / (f_{\text{REF}} \times 2)) - N) \times 2^{12}) - F_{\text{MSB}}) \times 2^{13}) = 0$$

ここで、

F_{MSB} はレジスタ R5 の 12 ビット MSB FRAC 値。

F_{LSB} はレジスタ R6 の 13 ビット LSB FRAC 値。

$\text{int}()$ は括弧で囲んだ引数を整数にします。

リファレンス・ダブル

内蔵リファレンス・ダブルにより、入力リファレンス信号を 2 倍にすることができます。この増倍は、PFD の比較頻度を増やすのに役立ちます。PFD 周波数を 2 倍にすると、通常はシステムのノイズ性能が 3dB 改善されます。

周波数測定手順

次の手順で、ADF5902 の出力ロック周波数を測定します。

- レジスタ R3 で、リードバック制御ビット (ビット [DB10:DB5]) を 26 に設定します。
- DOOUT で周波数カウンタ値をリードバックし、この値を周波数 1 として記録します (図 3 を参照)。
- レジスタ R7 で、CLK1 ビット (ビット [DB23:DB12]) を 1808 に設定します。
- レジスタ R13 で、CLK2 ビット (ビット [DB18:DB7]) を 10 に設定します。
- レジスタ R5 で、ランプ・オン・ビット (ビット DB29) を 0 に設定します。
- レジスタ R13 で、クロック分周器モード・ビット (ビット [DB20:DB19]) を 2 に設定します。
- 428 μ s (CLK_{DIV}/f_{PFD} (秒)) の最小遅延を見込んでください。
- レジスタ R3 で、リードバック制御ビット (ビット [DB10:DB5]) を 26 に設定します。
- DOOUT で周波数カウンタ値をリードバックし、この値を周波数 2 として記録します。

周波数 1 > 周波数 2 の場合、

$$\text{周波数カウンタ値の差分} = (2^{16} - \text{周波数 1}) + \text{周波数 2}.$$

周波数 2 > 周波数 1 の場合、

$$\text{周波数カウンタ値の差分} = \text{周波数 2} - \text{周波数 1}.$$

- 次式を使用して、出力周波数を計算します。

$$\text{出力周波数} = (\text{周波数カウンタ値の差分} / \text{CLK}_{DIV}) \times f_{PFD} \times N_{DIV} \times 2$$

ここで、

$$\text{CLK}_{DIV} = ((\text{CLK}_2 \times 2^{12}) + \text{CLK}_1)$$

$$f_{PFD} = f_{REF} / R_{DIV}.$$

$$N_{DIV} = \text{INT 値} + (\text{FRAC 値} / (2^{25}))$$

- レジスタ R13 とレジスタ R7 を元の設定に戻し、必要に応じてレジスタ R5 でランプ機能を有効にします。

波形生成

ADF5902 は周波数領域で 5 種類の波形、すなわち、単一ランプ・バースト、単一三角波バースト、単一のこぎり波バースト、連続のこぎり波ランプ、連続三角波ランプを生成できます。図 43～図 47 に、使用可能な波形の種類を示します。

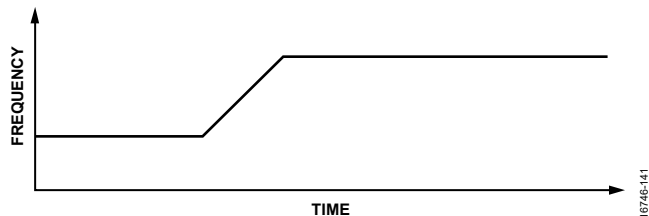


図 43. 単一ランプ・バースト

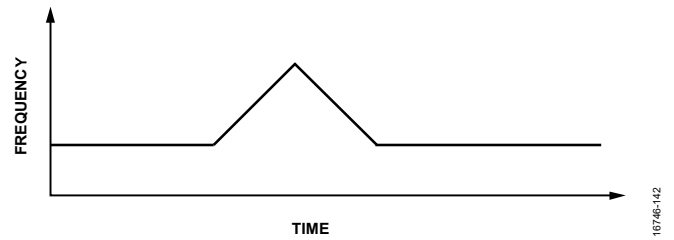


図 44. 単一三角波バースト

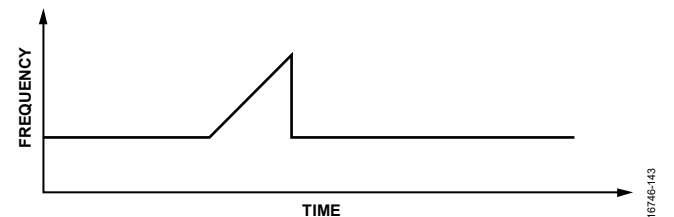


図 45. 単一のこぎり波バースト

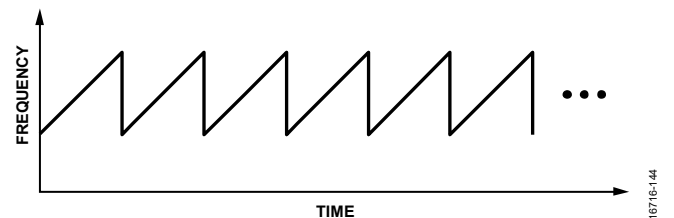


図 46. 連続のこぎり波ランプ

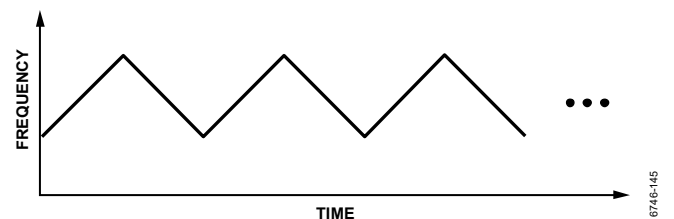


図 47. 連続三角波ランプ

波形の偏差とタイミング

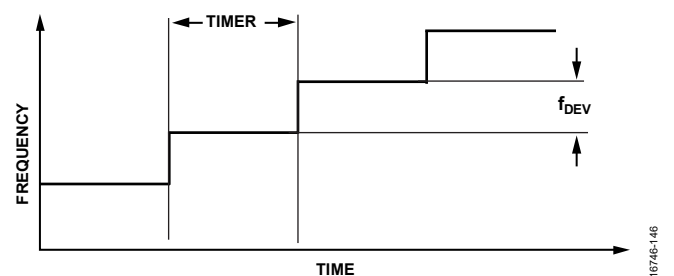


図 48. 波形タイミング

ランプを定義する主なパラメータには以下のものがあります。

- 周波数偏差
- ステップあたりの時間
- ステップ数

周波数偏差

各周波数ホップの周波数偏差は次式により設定します。

$$f_{DEV} = (f_{PFD}/2^{25}) \times (DEV \times 2^{DEV_OFFSET}) \quad (7)$$

ここで、

f_{PFD} は PFD 周波数。

DEV は 16 ビット・ワード (レジスタ R14 のビット [DB20:DB5])。

DEV_OFFSET は 4 ビット・ワード (レジスタ R14 のビット [DB24:DB21])。

ステップあたりの時間

各周波数ホップ間の時間は次式により設定します。

$$Timer = CLK_1 \times CLK_2 \times (1/f_{PFD}) \quad (8)$$

ここで、

CLK_1 と CLK_2 は 12 ビット・クロック値 (レジスタ R7 の 12 ビット CLK_1 分周器と、レジスタ R13 の 12 ビット CLK_2 分周器)。

ランプ分周器では、レジスタ R13 のビット [DB20:DB19] を 11 に設定する必要があります。

f_{PFD} は PFD 周波数。

CLK_1 または CLK_2 は 1 より大きくなければなりません。つまり、 $CLK_1 = CLK_2 = 1$ は許されません。

ステップ数

20 ビットのステップ値 (レジスタ R15 のビット [DB24:DB5]) は、発生する周波数ホップ数を定義します。INT 値は、その開始値から $2^8 = 256$ を超えてインクリメントすることはできません。

ランプと変調

すべてのランプは、図 49 に示す方式に従って生成されます。ランプ全体は 4 つの区間に分かれています。各区間は、遅延区間と勾配区間から構成されています。各勾配は 1 つ以上のステップで構成されています。各ステップには、周波数偏差とステップ時間を設定します。

使用可能なランプ形状は多数あります (波形生成のセクションを参照)。選択した形状に応じて、ランプ勾配の一部または全部を設定する必要があります。図 49 は、各形状に何を設定しなければならないかを示しています。設定する勾配は以下によって制御されます。

- CLK DIV SEL (レジスタ R13、ビット [DB6:DB5])。
- DEV SEL (レジスタ R14、ビット [DB26:DB25])。
- ステップ SEL (レジスタ R15、ビット [DB26:DB25])。

通常、各レジスタは各勾配につき 1 回ずつ、複数回書き込む必要があります。

勾配の各ステップの周波数偏差は、次式により設定します。

$$f_{DEV} = (f_{PFD}/2^{25}) \times (DEV \times 2^{DEV_OFFSET})$$

ここで、

f_{DEV} はステップの周波数偏差。

f_{PFD} は PFD 周波数。

DEV は偏差値 (レジスタ R14、ビット [DB20:DB5])。

DEV_OFFSET は偏差オフセット (レジスタ R14、ビット [DB24:DB21])。

勾配の各ステップの時間は、次式により設定します。

$$Timer = CLK_1 \times CLK_2 \times (1/f_{PFD})$$

ここで、

$Timer$ は 1 ステップあたりの時間。

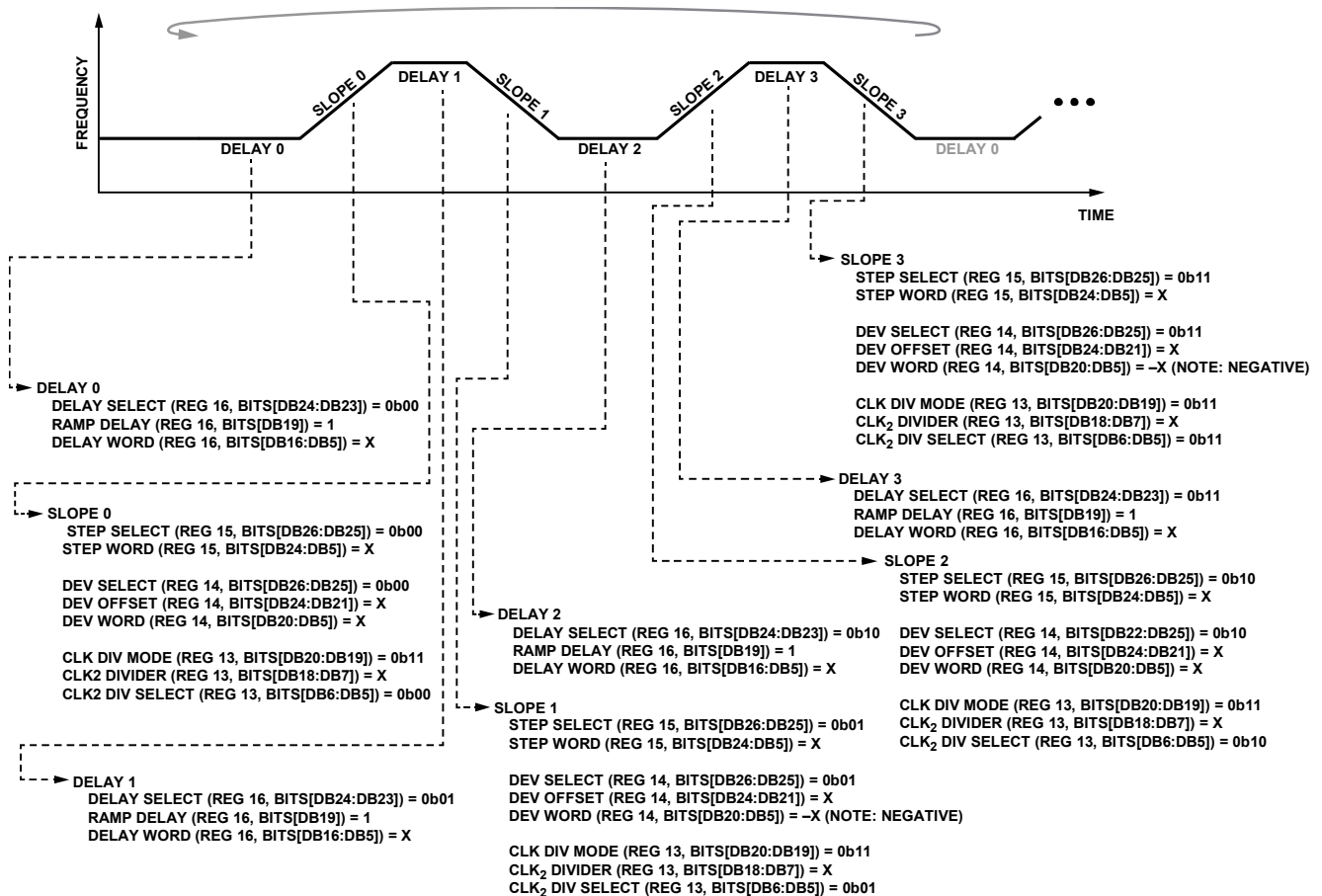
CLK_1 は CLK_1 の値 (レジスタ R7、ビット [23:12])。

CLK_2 は CLK_2 の値です (レジスタ R13、ビット [18:7])。

CLK_1 はすべての勾配に共通です。

勾配あたりのステップ数は、レジスタ R15 のビット [DB24:DB5] で設定します。

ランプに対してレジスタを設定する際は、降順でレジスタに書き込みます。次に、レジスタ R5 に書き込み、ランプを最後に有効にする必要があります (レジスタ R5、ビット DB29 = 1)。



NOTES

- ALL DELAYS ARE OPTIONAL.
 - DELAY 0 TO DELAY 3 ARE ENABLED BY REG 16, BITS[DB19].
- CONTINUOUS SAWTOOTH RAMP:
 - RAMP MODE (REG 11, BITS[DB8:DB7]) MUST BE SET TO 0b00.
 - SLOPE 0 AND 2 MUST BE PROGRAMMED (EVEN IF SLOPE 0 AND SLOPE 2 ARE THE SAME).
- CONTINUOUS TRIANGULAR RAMP:
 - RAMP MODE (REG 11, BITS[DB8:DB7]) MUST BE SET TO 0b10.
 - SLOPE 0, SLOPE 1, SLOPE 2, AND SLOPE 3 MUST BE PROGRAMMED.
- SINGLE SAWTOOTH RAMP:
 - RAMP MODE (REG 11, BITS[DB8:DB7]) MUST BE SET TO 0b01.
 - SLOPE 0 MUST BE PROGRAMMED.
- SINGLE RAMP BURST:
 - RAMP MODE (R11BITS[DB8:DB7]) MUST BE SET TO 0b11.
 - SLOPE 0 MUST BE PROGRAMMED.
- SINGLE TRIANGULAR RAMP:
 - RAMP MODE (REG 11, BITS[DB8:DB7]) MUST BE SET TO 0b11.
 - SLOPE 0 AND SLOPE 1 MUST BE PROGRAMMED.
 - SING FULL TRI (REG 11, BIT[DB9]) = 1.
- WHEN PROGRAMMING SLOPE 1 OR SLOPE 3, DEV WORD MUST BE NEGATIVE TO DECREASE THE FREQUENCY.
- NEGATIVE VALUES ARE TWOS COMPLEMENT BINARY.
- X = DON'T CARE.

図 49. ランプの区間

MUXOUTでのランプ完了信号とランプダウン信号

MUXOUTでのランプ完了信号を図50に示します。

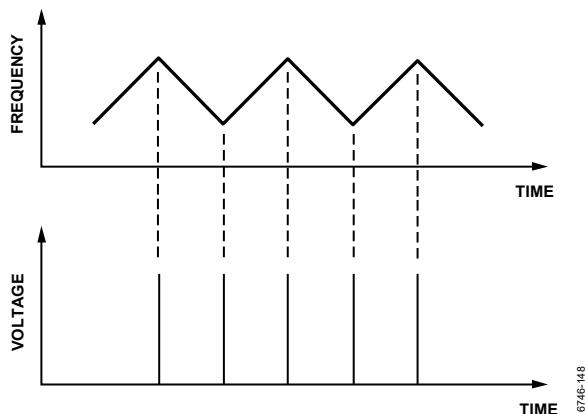


図 50. MUXOUTでのランプ完了信号

この機能を有効にするには、レジスタ R3 のビット [DB15:DB12] に 1111 を設定し、レジスタ R4 のビット [DB19:DB5] に 0x00C0 を設定します。

MUXOUTでのランプダウン信号を図51に示します。

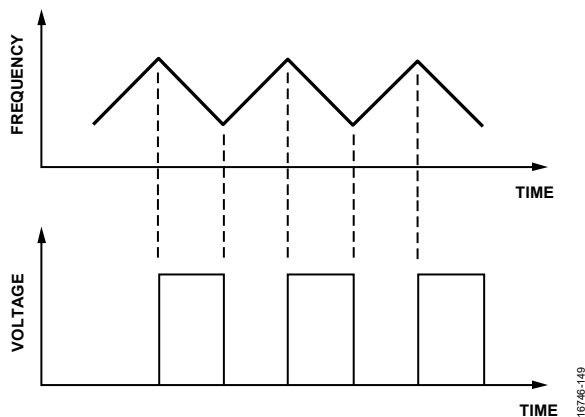


図 51. MUXOUTでのランプダウン信号

この機能を有効にするには、レジスタ R3 のビット [DB15:DB12] に 1111 を設定し、レジスタ R4 のビット [DB19:DB5] に 0x0100 を設定します。

ランプ・ステップの外部制御

内部ランプ・クロックはバイパスすることが可能で、各ステップは TX_DATA ピンのパルスによってトリガできます。このプロセスにより、各ステップを透過的に制御できます。この機能を有効にするには、レジスタ R14 のビット DB30 を 1 にセットします。

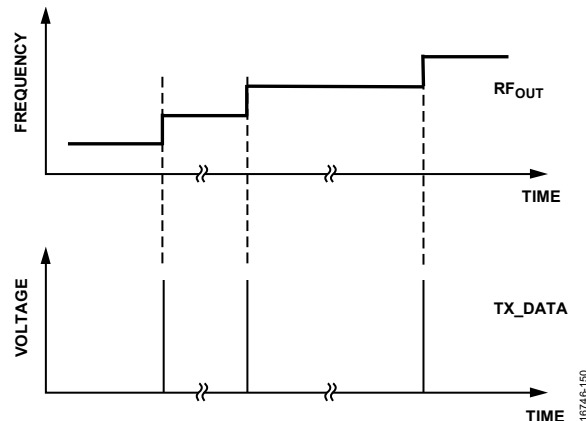


図 52. ランプ・ステップの外部制御

FMCW レーダーにおける ADF5902 のアプリケーション

図 53 に、周波数変調連続波 (FMCW) レーダー・システムでの ADF5902 のアプリケーションを示します。

FMCW レーダー・システムでは、ADF5902 はこのタイプのレーダーの動作に必要な、のこぎり波または三角波のランプを生成します。

ADF5902 の CP_{OUT} ピンは、ADF5902 のトランスミッタ MMIC の V_{TUNE} ピンを制御し、したがって VCO の周波数と TX_{OUT1} または TX_{OUT2} のトランスミッタ出力信号を制御します。ADF5902 からの LO 信号は、ADF5904 の LO 入力に供給されます。

ADF5904 は、トランスミッタ MMIC からの LO 信号を使用して、4 つのレーザー・アンテナからの信号をベースバンドにダウンコンパートします。

ADF5904 の 4 つのレーザー・チャンネルからのダウンコンパートされたベースバンド信号は、ADAR7251、4 チャンネルの連続時間 Σ - Δ ADC に供給されます。

ADC の後にデジタル・シグナル・プロセッサ (DSP) が続き、目的とする情報処理を行います。

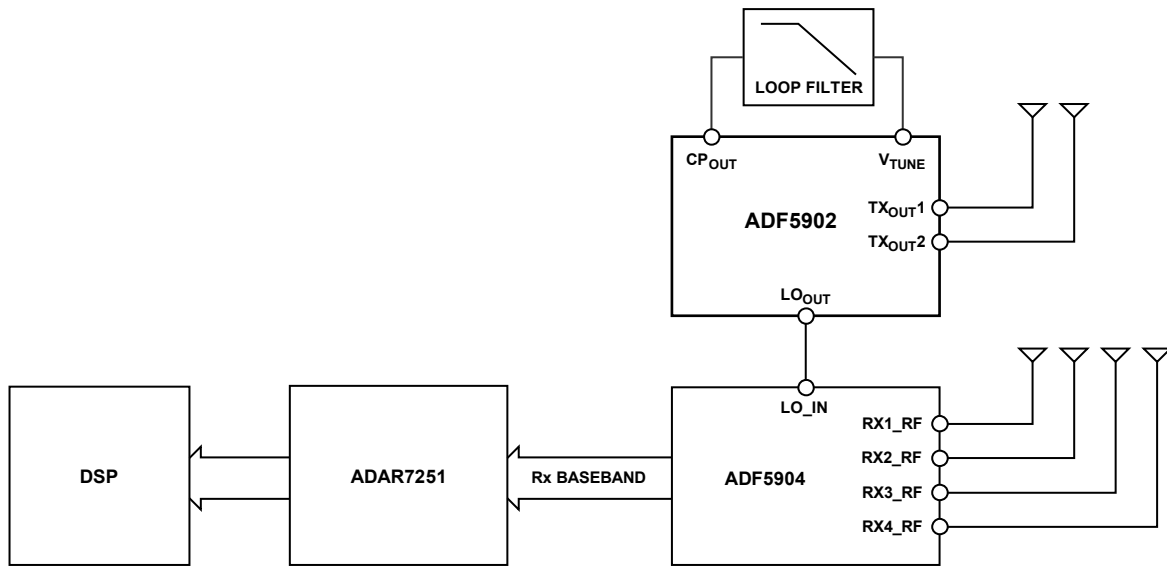


図 53. ADF5902 を使用した FMCW レーダー

18746-031

外形寸法

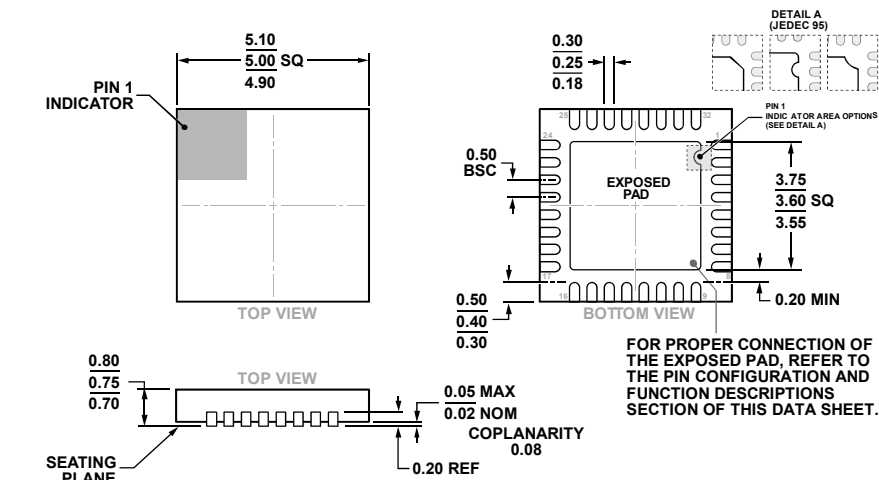


図 54. 32 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP]
5mm × 5mm ボディ、0.75mm パッケージ高
(CP-32-12)

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADF5902WCCPZ	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-12
ADF5902WCCPZ-RL7	-40°C to +105°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-12
EV-ADF5902SD1Z		Evaluation Board	

¹ Z = RoHS 準拠製品。

オートモーティブ製品

ADF5902W モデルは、車載アプリケーションの品質と信頼性の条件に対応するよう管理された製造により提供されています。これらの車載モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの仕様のセクションを慎重に検討してください。車載アプリケーション向けには、上記の車載グレード製品のみを提供しています。特定製品のオーダー情報とこれらのモデルに特有の車載信頼性レポートについては、最寄りのアナログ・デバイセズまでお問い合わせください。