

特長

- RF 出力周波数範囲: 54 MHz~6,800 MHz
- 非整数型 N シンセサイザおよび整数型 N シンセサイザ
- 高分解能 38 ビット・モジュラス
- 低位相ノイズの電圧制御発振器 (VCO)
- プログラマブルな 1、2、4、8、16、32、64 分周出力
- アナログ電源およびデジタル電源: 3.3 V
- チャージ・ポンプ電源および VCO 電源: 5.0 V (typ)
- 1.8 V ロジックと互換
- 4/5 または 8/9 のプログラマブルなデュアル・モジュラス・プリスケアラ
- プログラマブルな出力電力レベル
- RF 出力ミュート機能
- 3 線式シリアル・インターフェースを内蔵
- アナログとデジタルのロック検出

アプリケーション

- ワイヤレス・インフラストラクチャ (W-CDMA、TD-SCDMA、WiMAX、GSM、PCS、DCS、DECT)
- ポイント to ポイント/ポイント to マルチポイントのマイクロ波回線
- 衛星/VSAT
- テスト装置/計装装置
- クロック生成

概要

ADF4355 を外付けループ・フィルタ、外付けリファレンス周波数と組み合わせると、非整数型 N または整数型 N の位相ロック・ループ (PLL) 周波数シンセサイザを構成することができます。一連の周波数分周器を使うと、54 MHz~6800 MHz の動作が可能です。

ADF4355 は、3400 MHz~6800 MHz の基本波出力周波数を持つ VCO を内蔵しています。さらに、VCO 周波数を 1、2、4、8、16、32、64 分周して、最小 54 MHz の RF 出力周波数を生成することができます。アイソレーションを必要とするアプリケーションに対して、RF 出力ステージをミュートすることもできます。このミュート機能は、ピンおよびソフトウェアから制御できます。

すべての内蔵レジスタの制御は、シンプルな 3 線式インターフェースを経由して行います。ADF4355 は、3.15 V~3.45 V のアナログ電源およびデジタル電源と、4.75 V~5.25 V のチャージ・ポンプ電源および VCO 電源で動作します。ADF4355 には、ハードウェアおよびソフトウェア・パワーダウン・モードもあります。

機能ブロック図

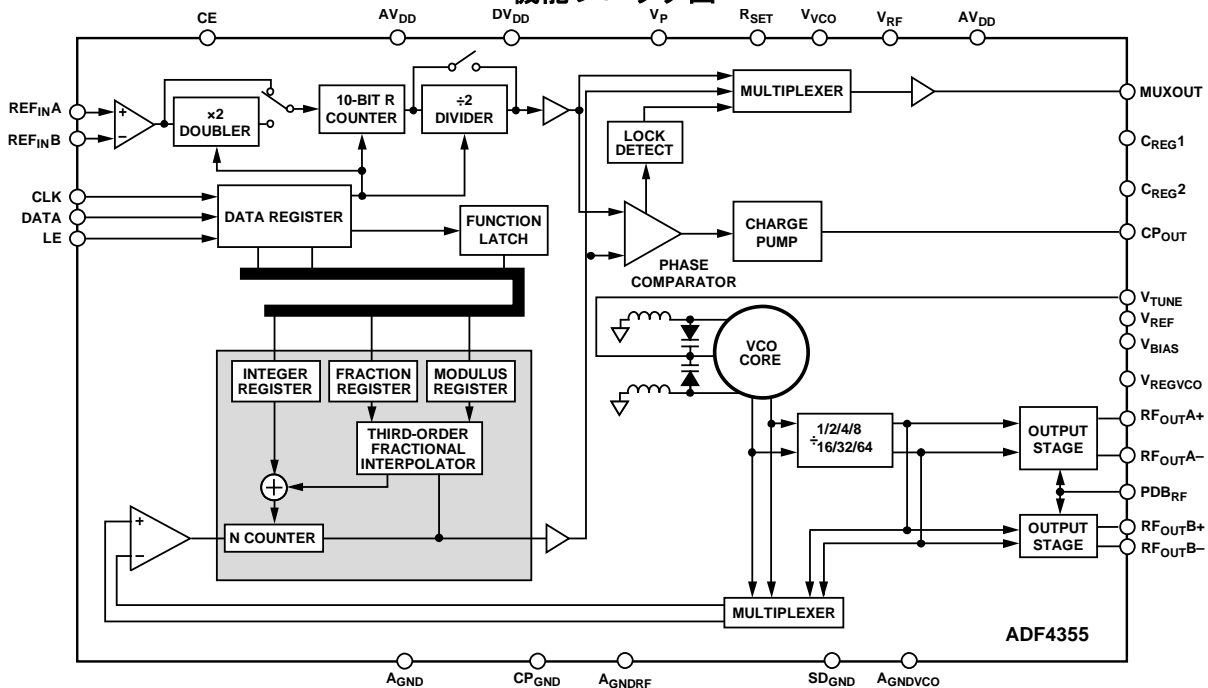


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	レジスタ 4.....	22
アプリケーション.....	1	レジスタ 5.....	23
概要.....	1	レジスタ 6.....	24
機能ブロック図.....	1	レジスタ 7.....	26
改訂履歴.....	2	レジスタ 8.....	27
仕様.....	3	レジスタ 9.....	27
タイミング特性.....	5	レジスタ 10.....	28
絶対最大定格.....	6	レジスタ 11.....	28
トランジスタ数.....	6	レジスタ 12.....	29
ESD の注意.....	6	レジスタ初期化シーケンス.....	29
ピン配置およびピン機能説明.....	7	周波数更新シーケンス.....	29
代表的な性能特性.....	9	RF シンセサイザ—動作例.....	30
回路説明.....	12	リファレンス・ダブラーとリファレンス分周器.....	30
リファレンス入力セクション.....	12	スプリアスの最適化と高速ロック.....	30
RF N 分周器.....	12	ジッタの最適化.....	30
位相周波数検出器(PFD)およびチャージ・ポンプ.....	13	スプリアスのメカニズム.....	31
MUXOUT とロック検出.....	13	ロック時間.....	31
入力シフトレジスタ.....	13	アプリケーション情報.....	32
プログラム・モード.....	13	ダイレクト・コンバージョン変調器.....	32
VCO.....	14	電源.....	33
出力ステージ.....	14	チップ・スケール・パッケージに対するプリント回路ボード (PCB) 設計のガイドライン.....	33
レジスタ・マップ.....	16	出力のマッチング.....	34
レジスタ 0.....	18	外形寸法.....	35
レジスタ 1.....	19	オーダー・ガイド.....	35
レジスタ 2.....	20		
レジスタ 3.....	21		

改訂履歴

4/15—Revision 0: Initial Version

仕様

特に指定がない限り、 $AV_{DD} = DV_{DD} = V_{RF} = 3.3 \text{ V} \pm 5\%$ 、 $4.75 \text{ V} \leq V_P = V_{VCO} \leq 5.25 \text{ V}$ 、 $AGND = CP_{GND} = AGNDVCO = SD_{GND} = AGNDRF = 0 \text{ V}$ 、 $R_{SET} = 5.1 \text{ k}\Omega$ 、dBm は 50Ω 基準、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
REF_{IN}A/REF_{IN}B CHARACTERISTICS						
Input Frequency						For $f < 10 \text{ MHz}$, ensure slew rate $> 21 \text{ V}/\mu\text{s}$
Single-Ended Mode		10		250	MHz	
Differential Mode		10		600	MHz	
Input Sensitivity						
Single-Ended Mode		0.4		AV_{DD}	V p-p	REF _{IN} A biased at $AV_{DD}/2$; ac coupling ensures $AV_{DD}/2$ bias
Differential Mode		0.4		1.8	V p-p	LVDS and LVPECL compatible, REF _{IN} A/REF _{IN} B biased at 2.1 V; ac coupling ensures 2.1 V bias
Input Capacitance						
Single-Ended Mode			6.9		pF	
Differential Mode			1.4		pF	
Input Current				± 60	μA	Single-ended reference programmed
				± 250	μA	Differential reference programmed
Phase Detector Frequency				125	MHz	
CHARGE PUMP (CP)						
Charge Pump Current, Sink/Source	I_{CP}					$R_{SET} = 5.1 \text{ k}\Omega$
High Value			4.8		mA	
Low Value			0.3		mA	
R_{SET} Range			5.1		k Ω	Fixed
Current Matching			3		%	$0.5 \text{ V} \leq V_{CP}^1 \leq V_P - 0.5 \text{ V}$
I_{CP} vs. V_{CP}^1			3		%	$0.5 \text{ V} \leq V_{CP}^1 \leq V_P - 0.5 \text{ V}$
I_{CP} vs. Temperature			1.5		%	$V_{CP}^1 = 2.5 \text{ V}$
LOGIC INPUTS						
Input High Voltage	V_{INH}	1.5			V	
Input Low Voltage	V_{INL}			0.6	V	
Input Current	I_{INH}/I_{INL}			± 1	μA	
Input Capacitance	C_{IN}		3.0		pF	
LOGIC OUTPUTS						
Output High Voltage	V_{OH}	$DV_{DD} - 0.4$			V	
		1.5	1.8		V	1.8 V output selected
Output High Current	I_{OH}			500	μA	
Output Low Voltage	V_{OL}			0.4	V	$I_{OL}^2 = 500 \mu\text{A}$
POWER SUPPLIES						
Analog Power	AV_{DD}	3.15		3.45	V	
Digital Power and RF Supply Voltage	DV_{DD}, V_{RF}		AV_{DD}			Voltages must equal AV_{DD}
Charge Pump and VCO Voltage	V_P, V_{VCO}	4.75	5.0	5.25	V	V_P must equal V_{VCO}
Charge Pump Supply Power Current	I_P		8	9	mA	
Digital Power Supply Current + Analog Power Supply Current ³	DI_{DD}, AI_{DD}		62	69	mA	
Output Dividers			6 to 36		mA	Each output divide by 2 consumes 6 mA
Supply Current	I_{VCO}		70	85	mA	
RF _{OUT} A \pm /RF _{OUT} B \pm Supply Current	$I_{RF_{OUT}^{\pm}}$		16/20/ 42/55	20/35/ 50/70	mA	RF output stage is programmable; RF _{OUT} B+/RF _{OUT} B- powered off
Low Power Sleep Mode			500		μA	Hardware power-down
			1000		μA	Software power-down

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions/Comments
RF OUTPUT CHARACTERISTICS						
VCO Frequency Range		3400		6800	MHz	Fundamental VCO range
RF Output Frequency		53.125		6800	MHz	
VCO Sensitivity	K_V		15		MHz/V	
Frequency Pushing (Open-Loop)			15		MHz/V	
Frequency Pulling (Open-Loop)			0.5		MHz	Voltage standing wave ratio (VSWR) = 2:1
Harmonic Content						
Second			-27		dBc	Fundamental VCO output (RF _{OUTA+})
			-22		dBc	Divided VCO output (RF _{OUTA+})
Third			-20		dBc	Fundamental VCO output (RF _{OUTA+})
			-12		dBc	Divided VCO output (RF _{OUTA+})
RF Output Power ⁴			+8		dBm	RF _{OUTA+} = 1 GHz
			+3		dBm	RF _{OUTA+} /RF _{OUTA-} = 4.4 GHz
RF Output Power Variation			±1		dB	RF _{OUTA+} /RF _{OUTA-} = 4.4 GHz
RF Output Power Variation (over Frequency)			±3		dB	RF _{OUTA+} /RF _{OUTA-} = 1 GHz to 4.4 GHz
Level of Signal with RF Output Disabled			-60		dBm	RF _{OUTA+} /RF _{OUTA-} = 1 GHz, VCO = 4 GHz
			-30		dBm	RF _{OUTA+} /RF _{OUTA-} = 4.4 GHz, VCO = 4.4 GHz
NOISE CHARACTERISTICS						
Fundamental VCO Phase Noise Performance						VCO noise in open-loop conditions
			-116		dBc/Hz	100 kHz offset from 3.4 GHz carrier
			-136		dBc/Hz	800 kHz offset from 3.4 GHz carrier
			-138		dBc/Hz	1 MHz offset from 3.4 GHz carrier
			-155		dBc/Hz	10 MHz offset from 3.4 GHz carrier
			-113		dBc/Hz	100 kHz offset from 5.0 GHz carrier
			-133		dBc/Hz	800 kHz offset from 5.0 GHz carrier
			-135		dBc/Hz	1 MHz offset from 5.0 GHz carrier
			-153		dBc/Hz	10 MHz offset from 5.0 GHz carrier
			-110		dBc/Hz	100 kHz offset from 6.8 GHz carrier
			-130		dBc/Hz	800 kHz offset from 6.8 GHz carrier
			-132		dBc/Hz	1 MHz offset from 6.8 GHz carrier
			-150		dBc/Hz	10 MHz offset from 6.8 GHz carrier
Normalized In-Band Phase Noise Floor						
Fractional Channel ⁵			-221		dBc/Hz	
Integer Channel ⁶			-223		dBc/Hz	
Normalized 1/f Noise, PN _{1/f} ⁷			-116		dBc/Hz	10 kHz offset; normalized to 1 GHz
Integrated RMS Jitter			150		fs	
Spurious Signals due to Phase Frequency Detector (PFD) Frequency			-80		dBc	

¹ V_{CP}はCP_{OUT}ピンでの電圧。

² I_{OL}は出力ロー電流。

³ T_A = 25°C; AV_{DD} = DV_{DD} = V_{RF} = 3.3 V; V_{VCO} = V_P = 5.0 V; 分周比 = 4/5; f_{REFIN} = 122.88 MHz; f_{PFD} = 61.44 MHz; f_{RF} = 1650 MHz。

⁴ EV-ADF4355SD1Z 評価用ボードを使ってスペクトル・アナライザで測定した RF 出力電力。ボードとケーブルの損失は含みません。EV-ADF4355SD1Z RF 出力は外部で 4.7 nH インダクタを使ってプルアップ。未使用 RF 出力ピンは 50 Ω で終端。

⁵ この値を使って、任意のアプリケーションの位相ノイズを計算してください。VCO 出力での帯域内位相ノイズ性能を計算するときは、式-221 + 10log(f_{PFD}) + 20logN を使ってください。表示の値は非整数型チャンネルの最小ノイズ・モードです。

⁶ この値を使って、任意のアプリケーションの位相ノイズを計算してください。VCO 出力での帯域内位相ノイズ性能を計算するときは、式-223 + 10log(f_{PFD}) + 20logN を使ってください。表示の値は整数型チャンネルの最小ノイズ・モードです。

⁷ PLL 位相ノイズは、1/f (フリッカ)ノイズと正規化 PLL ノイズ・フロアの和で構成されます。RF 周波数 (f_{RF}) と周波数オフセット (f)での 1/f ノイズ成分を計算する式は、PN = P_{1/f} + 10log(10 kHz/f) + 20log(f_{RF}/1 GHz)で与えられます。正規化位相ノイズ・フロアとフリッカ・ノイズは、ADIsimPLL 設計ツールでモデル化されています。

タイミング特性

特に指定がない限り、 $AV_{DD} = DV_{DD} = V_{RF} = 3.3\text{ V} \pm 5\%$ 、 $4.75\text{ V} \leq V_P = V_{VCO} \leq 5.25\text{ V}$ 、 $A_{GND} = CP_{GND} = AGNDVCO = SD_{GND} = AGNDRF = 0\text{ V}$ 、 $R_{SET} = 5.1\text{ k}\Omega$ 、dBm は $50\ \Omega$ 基準、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 2. 書き込みタイミング

Parameter	Limit	Unit	Description
t_1	20	ns min	LE setup time
t_2	10	ns min	DATA to CLK setup time
t_3	10	ns min	DATA to CLK hold time
t_4	25	ns min	CLK high duration
t_5	25	ns min	CLK low duration
t_6	10	ns min	CLK to LE setup time
t_7	20	ns min	LE pulse width

書き込みのタイミング図

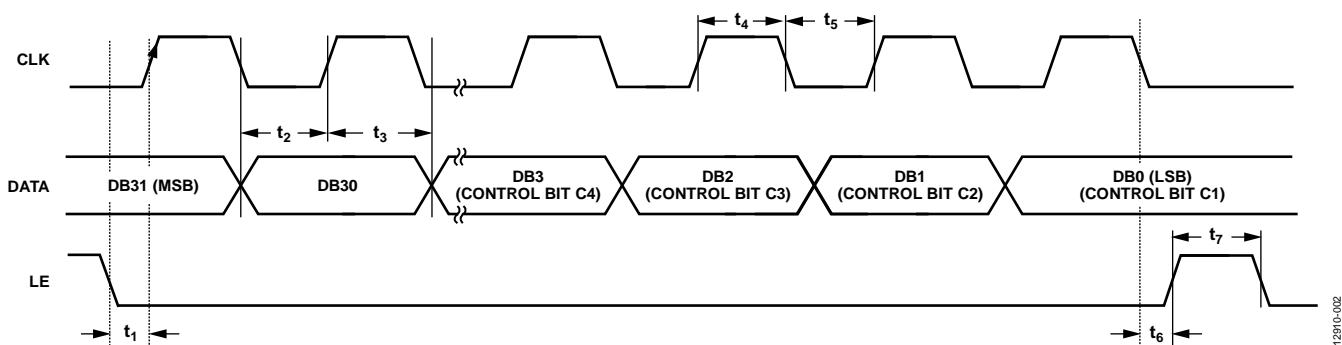


図 2. 書き込みのタイミング図

12810-002

絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Rating
V_{RF} , DV_{DD} , AV_{DD} to GND ¹	-0.3 V to +3.6 V
AV_{DD} to DV_{DD}	-0.3 V to +0.3 V
V_P , V_{VCO} to GND ¹	-0.3 V to +5.8 V
V_P , V_{VCO} to AV_{DD}	-0.3 V to $AV_{DD} + 2.5$ V
CP_{OUT} to GND ¹	-0.3 V to $V_P + 0.3$ V
Digital Input/Output Voltage to GND ¹	-0.3 V to $DV_{DD} + 0.3$ V
Analog Input/Output Voltage to GND ¹	-0.3 V to $AV_{DD} + 0.3$ V
$REF_{IN A}$, $REF_{IN B}$ to GND ¹	-0.3 V to $AV_{DD} + 0.3$ V
$REF_{IN A}$ to $REF_{IN B}$	± 2.1 V
Operating Temperature Range	-40°C to $+85^\circ\text{C}$
Storage Temperature Range	-65°C to $+125^\circ\text{C}$
Maximum Junction Temperature	150°C
θ_{JA} , Thermal Impedance Pad Soldered to GND ¹	$27.3^\circ\text{C}/\text{W}$
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec
Electrostatic Discharge (ESD)	
Charged Device Model	1000 V
Human Body Model	2500 V

¹ $GND = A_{GND} = S_{D_{GND}} = A_{G_{NDRF}} = A_{G_{NDVCO}} = C_{P_{GND}} = 0$ V。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

ADF4355 は、2500 V の ESD 定格を持つ ESD に敏感な高性能 RF 集積回路です。取り扱いと組み立てでは適切な注意が必要です。

トランジスタ数

ADF4355 のトランジスタ数は、103,665 (CMOS)および 3214 (バイポーラ)です。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

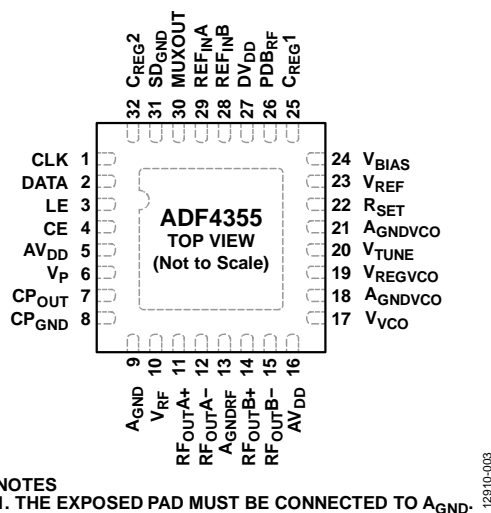


図 3. ピン配置

表 4. ピンの機能説明

ピン番号	記号	説明
1	CLK	シリアル・クロック入力。データは、CLK の立上がりエッジで 32 ビットのシフトレジスタへ入力されます。この入力はハイ・インピーダンス CMOS 入力です。
2	DATA	シリアル・データ入力。シリアル・データが MSB ファーストでロードされ、下位 4 ビットはコントロール・ビットです。この入力はハイ・インピーダンス CMOS 入力です。
3	LE	ロード・イネーブル、CMOS 入力。LE がハイ・レベルになると、シフトレジスタに格納されているデータが 4 LSB で選択されたレジスタへロードされます。
4	CE	チップ・イネーブル。このピンをロー・レベルにすると、デバイスがパワーダウンして、チャージ・ポンプはスリー・ステート・モードになります。このピンをハイ・レベル(DV _{DD} と同じレベル)にすると、パワーダウン・ビットの状態に応じてデバイスがパワーアップします。
5, 16	AV _{DD}	アナログ電源。3.15 V~3.45 V の範囲が可能。アナログ・グラウンド・プレーンへのデカップリング・コンデンサをこのピンのできるだけ近くに配置する必要があります。AV _{DD} は DV _{DD} と同じ値である必要があります。
6	V _P	チャージ・ポンプ電源。V _P は V _{VCO} と同じ値である必要があります。グラウンド・プレーンとこのピンの間で、デカップリング・コンデンサをこのピンのできるだけ近くに接続してください。
7	CP _{OUT}	チャージ・ポンプ出力。イネーブルされると、このピンから±I _{CP} が外付けループ・フィルタに出力されます。内蔵 VCO を駆動するため、ループ・フィルタ出力を V _{TUNE} ピンに接続します。
8	CP _{GND}	チャージ・ポンプ・グラウンド。この出力は、CP _{OUT} のグラウンド・リターン・ピンです。
9	A _{GND}	アナログ・グラウンド。AV _{DD} のグラウンド・リターン・ピン。
10	V _{RF}	RF 出力の電源。アナログ・グラウンド・プレーンとこのピンの間で、デカップリング・コンデンサをこのピンのできるだけ近くに接続してください。V _{RF} は AV _{DD} と同じ値である必要があります。
11	RF _{OUTA+}	VCO 出力。出力レベルはプログラマブルです。VCO 基本波またはその分周が出力されます。
12	RF _{OUTA-}	相補 VCO 出力。出力レベルはプログラマブルです。VCO 基本波またはその分周が出力されます。
13	A _{GNDRF}	RF 出力ステージ・グラウンド。RF 出力ステージのグラウンド・リターン・ピン。
14	RF _{OUTB+}	補助 VCO 出力。出力レベルはプログラマブルです。VCO 基本波またはその分周が出力されます。
15	RF _{OUTB-}	相補補助 VCO 出力。出力レベルはプログラマブルです。VCO 基本波またはその分周が出力されます。
17	V _{VCO}	VCO 電源。4.75 V~5.25 V の範囲が可能。アナログ・グラウンド・プレーンへのデカップリング・コンデンサをこのピンのできるだけ近くに配置する必要があります。
18, 21	A _{GNDVCO}	VCO グラウンド。VCO のグラウンド・リターン・パス。
19	V _{REGVCO}	VCO 補償ノード。グラウンド・プレーンとこのピンの間で、デカップリング・コンデンサをこのピンのできるだけ近くに接続してください。このピンは V _{VCO} へ直接接続してください。
20	V _{TUNE}	VCO の制御入力。この電圧は出力周波数を決定し、CP _{OUT} 出力電圧のフィルタ処理により生成されます。

ピン番号	記号	説明
22	R _{SET}	バイアス電流抵抗。このピンとグラウンドとの間に抵抗を接続すると、チャージ・ポンプ出力電流が設定されます。
23	V _{REF}	内部補償ノード。チューニング範囲の中央に DC バイアスされます。グラウンド・プレーンとこのピンの間で、デカップリング・コンデンサをこのピンのできるだけ近くに接続してください。
24	V _{BIAS}	リファレンス電圧。グラウンド・プレーンとこのピンの間で、100 nF のデカップリング・コンデンサをこのピンのできるだけ近くに接続してください。
25, 32	C _{REG1} , C _{REG2}	LDO レギュレータ出力。ピン 25 とピン 32 はデジタル回路の電源電圧で、公称電圧は 1.8 V です。これらのピンと A _{GND} の間に 100 nF のデカップリング・コンデンサを接続する必要があります。
26	PDB _{RF}	RF パワーダウン。このピンをロー・レベルにすると、RF 出力が停止します。このミュート機能はソフトウェアからも制御することができます。
27	DV _{DD}	デジタル電源。このピンは AV _{DD} と同じ電位である必要があります。グラウンド・プレーンとこのピンの間で、デカップリング・コンデンサをこのピンのできるだけ近くに接続してください。
28	REF _{INB}	相補リファレンス入力。このピンを使用しない場合は、A _{GND} へ AC 結合してください。
29	REF _{INA}	リファレンス入力。
30	MUXOUT	マルチプレクサ出力。このマルチプレクサ出力を使うと、デジタル・ロック検出、アナログ・ロック検出、スケール済み RF、またはスケール済みリファレンス周波数が外部からアクセスできるようになります。
31	SD _{GND}	デジタル Σ - Δ 変調器グラウンド。ピン 31 は、 Σ - Δ 変調器のグラウンド・リターン・パス。
	EP	エクスポーズド・パッド。エクスポーズド・パッドは A _{GND} に接続する必要があります。

代表的な性能特性

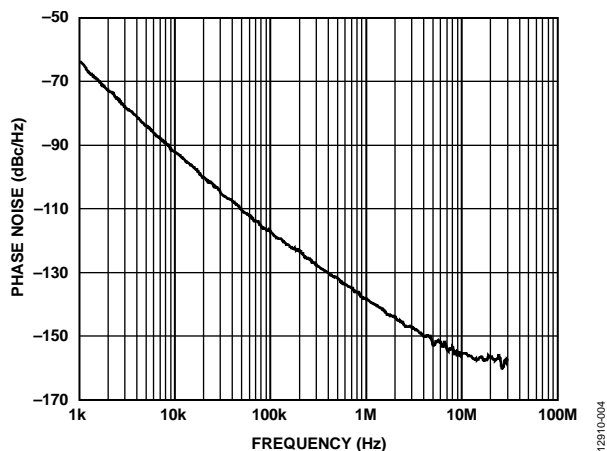


図 4. オープン・ループ VCO 位相ノイズ、3.4 GHz

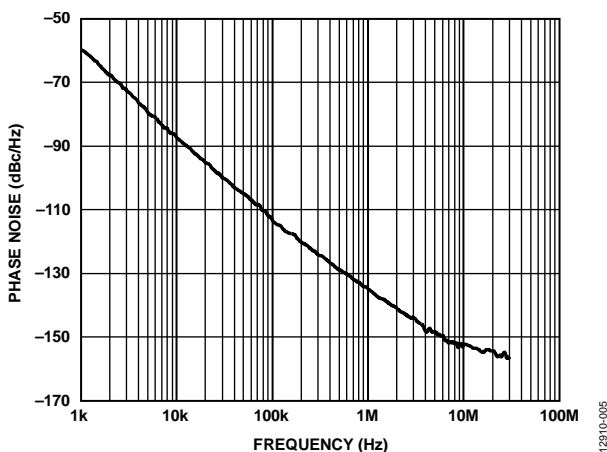


図 5. オープン・ループ VCO 位相ノイズ、5.0 GHz

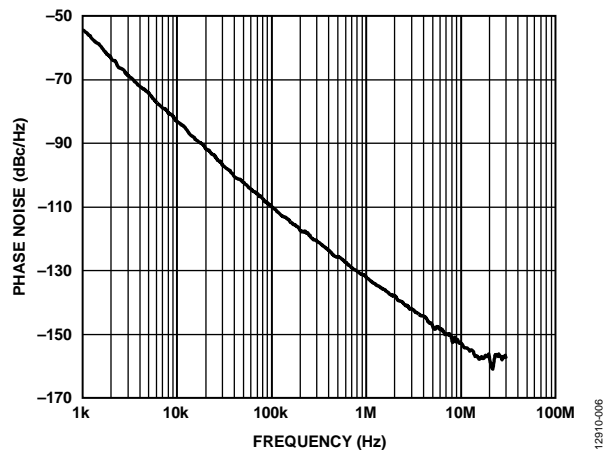


図 6. オープン・ループ VCO 位相ノイズ、6.8 GHz

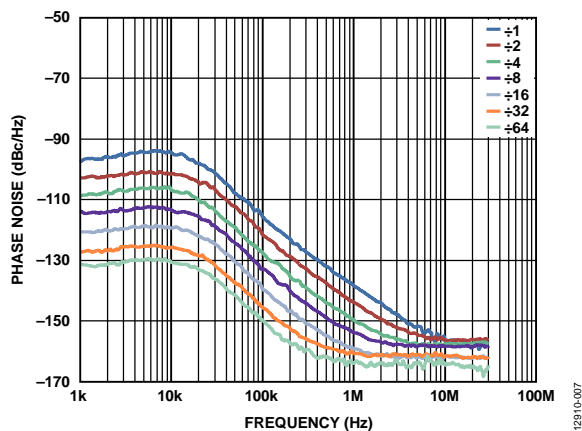


図 7. クローズド・ループ位相ノイズ、RF_{OUTA+}、基本波 VCO、分周器、VCO = 3.4 GHz、PFD = 61.44 MHz
ループ帯域幅 = 20 kHz

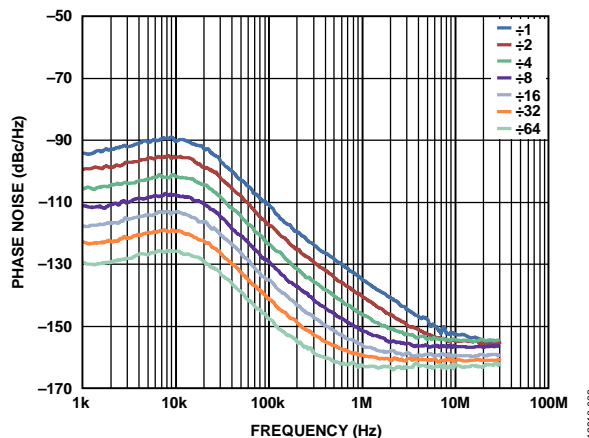


図 8. クローズド・ループ位相ノイズ、RF_{OUTA+}、基本波 VCO、分周器 VCO = 5.0 GHz、PFD = 61.44 MHz
ループ帯域幅 = 20 kHz

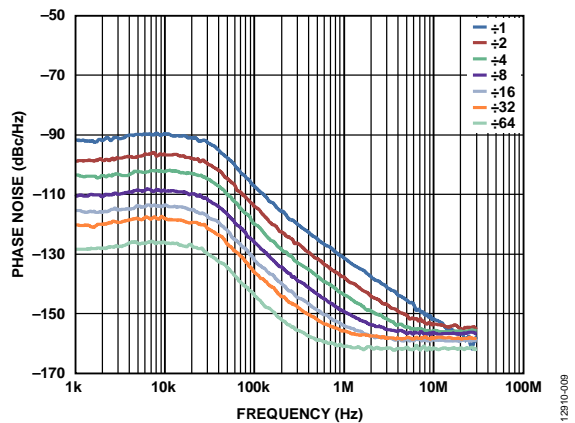


図 9. クローズド・ループ位相ノイズ、RF_{OUTA+}、基本波 VCO、分周器 VCO = 6.8 GHz、PFD = 61.44 MHz
ループ帯域幅 = 20 kHz

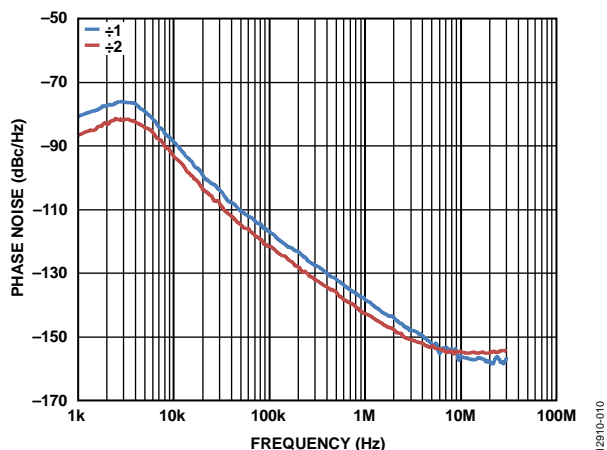


図 10. クローズド・ループ位相ノイズ、RF_{OUTA+}、基本波 VCO、2 分周、VCO = 3.4 GHz、PFD = 61.44 MHz
ループ帯域幅 = 2 kHz

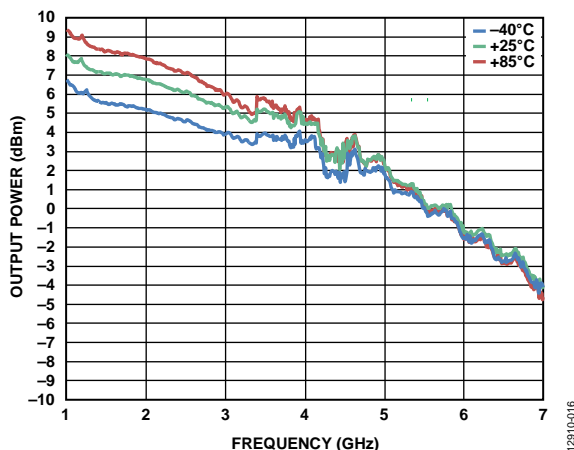


図 13. 出力電力の周波数特性、RF_{OUTA+}/RF_{OUTA-} (7.5 nH インダクタ、10 pF バイパス・コンデンサ、ボード損失を除外)

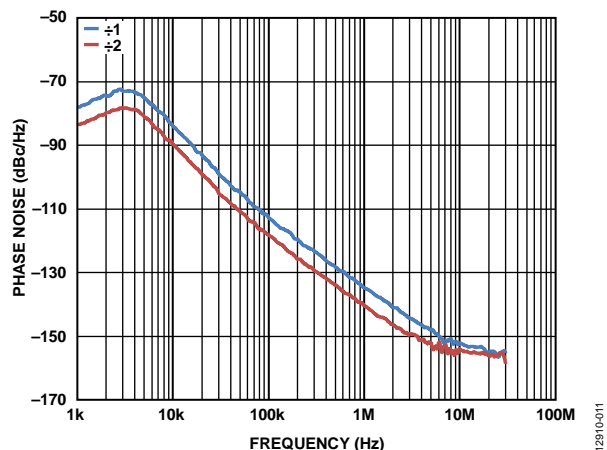


図 11. クローズド・ループ位相ノイズ、RF_{OUTA+}、基本波 VCO、2 分周、VCO = 5.0 GHz、PFD = 61.44 MHz
ループ帯域幅 = 2 kHz

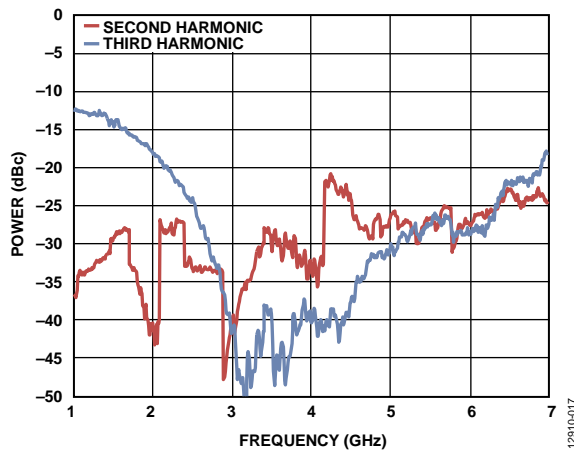


図 14. RF_{OUTA+}/RF_{OUTA-} 高調波の周波数特性 (7.5 nH インダクタ、10 pF バイパス・コンデンサ、ボード損失を除外)

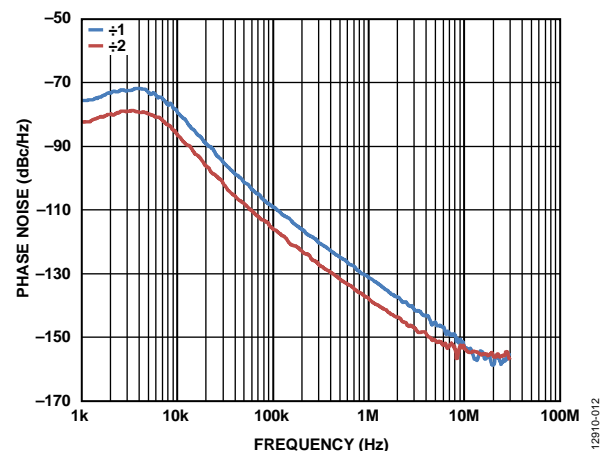


図 12. クローズド・ループ位相ノイズ、RF_{OUTA+}、基本波 VCO、2 分周 VCO = 6.8 GHz、PFD = 61.44 MHz
ループ帯域幅 = 2 kHz

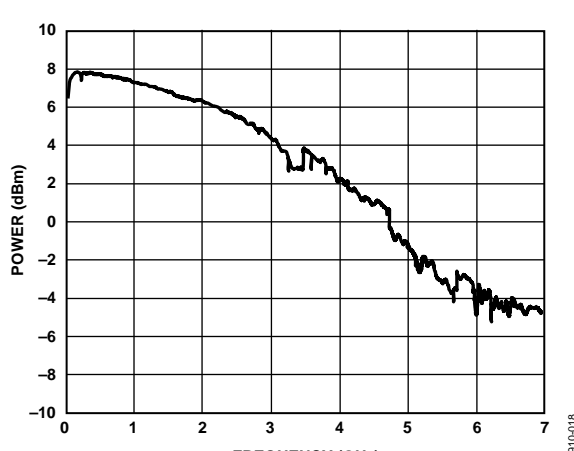


図 15. RF_{OUTA+}/RF_{OUTA-} 電力の周波数特性 (100 nH インダクタ、100 pF バイパス・コンデンサ、ボード測定)

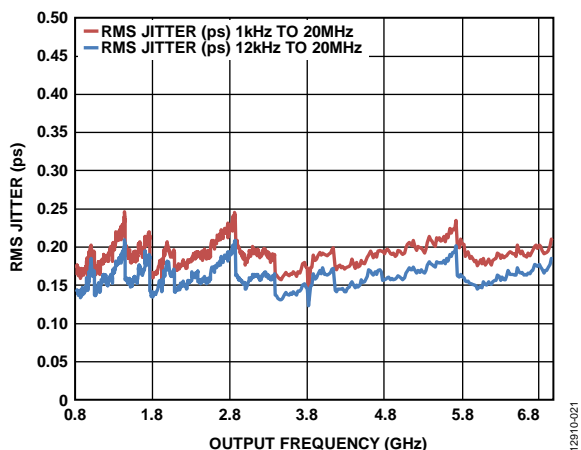


図 16. 出力周波数対 RMS ジッタ、PFD 周波数 = 61.44 MHz、ループ・フィルタ = 20 kHz

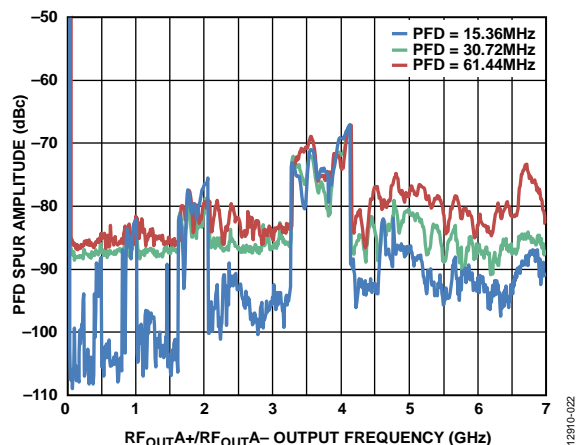


図 17. RF_{OUTA+}/RF_{OUTA-}出力周波数対 PFD スプリアス振幅、PFD = 15.36 MHz、PFD = 30.72 MHz、PFD = 61.44 MHz、ループ・フィルタ = 20 kHz

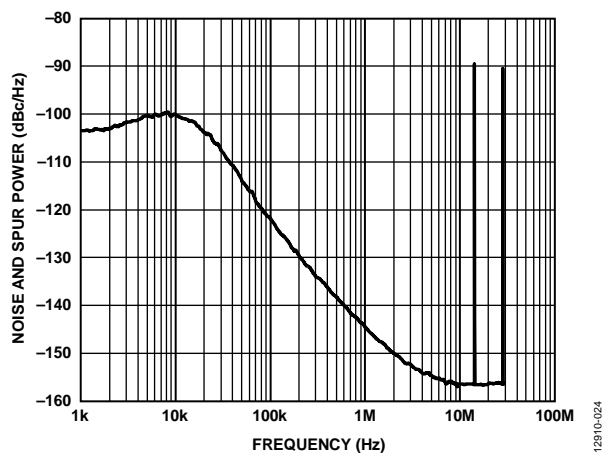


図 18. 非整数型 N スプリアス性能、GSM1800 バンド、RF_{OUTA+} = 1550.2 MHz、REF_{IN} = 122.88 MHz、PFD = 61.44 MHz、4 分周出力を選択、ループ・フィルタ帯域幅 = 20 kHz、チャンネル間隔 = 20 kHz

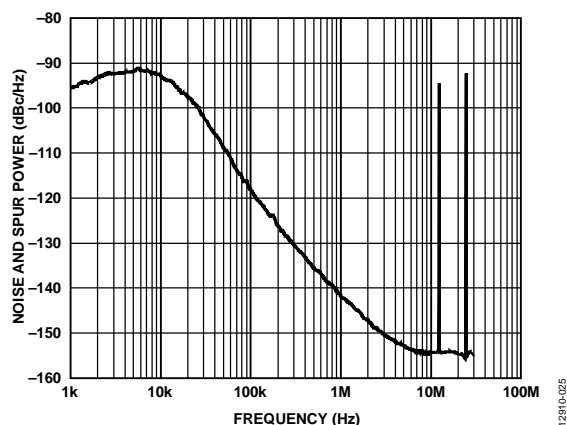


図 19. 非整数型 N スプリアス性能、W-CDMA バンド、RF_{OUTA+} = 2113.5 MHz、REF_{IN} = 122.88 MHz、PFD = 61.44 MHz、2 分周出力を選択、ループ・フィルタ帯域幅 = 20 kHz、チャンネル間隔 = 20 kHz

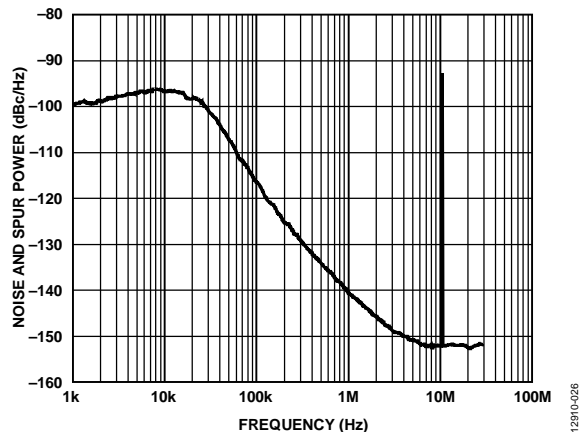


図 20. 非整数型 N スプリアス性能、RF_{OUTA+} = 2.591 GHz、REF_{IN} = 122.88 MHz、PFD = 61.44 MHz、2 分周出力を選択、ループ・フィルタ帯域幅 = 20 kHz、チャンネル間隔 = 20 kHz

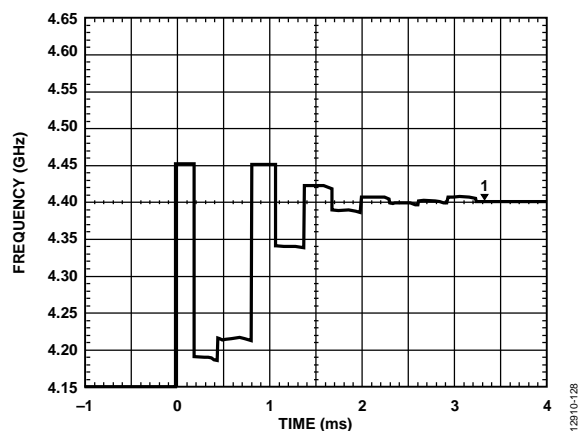


図 21. 4150 MHz から 4400 MHz への 250 MHz ジャンプに対するロック時間、ループ帯域幅 = 20 kHz

回路説明

リファレンス入力セクション

図 22 にリファレンス入力ステージを示します。リファレンス入力には、シングルエンド信号と差動信号を入力することができます。信号を選択するときは、リファレンス・モード・ビット (レジスタ 4, DB9) を使用します。リファレンス入力として差動信号を使用するときは、このビットをハイ・レベルにする必要があります。この場合、SW1 と SW2 が開き、SW3 と SW4 が閉じ、トランジスタ差動ペアを駆動する電流源はオンになります。差動信号はバッファされた後に、エミッタ結合ロジック (ECL) から CMOS コンバータへ供給されます。シングルエンド信号をリファレンスとして使用する場合は、レジスタ 4 のビット DB9 に 0 を設定します。シングルエンド・リファレンス信号を REF_{IN}A に接続します。この場合、SW1 と SW2 が閉じ、SW3 と SW4 が開き、トランジスタ差動ペアを駆動する電流源はオフになります。

入力リファレンス周波数が 250 MHz より低い場合は、最適スプリアス性能のためにシングルエンド・モードで動作させることが推奨されます。

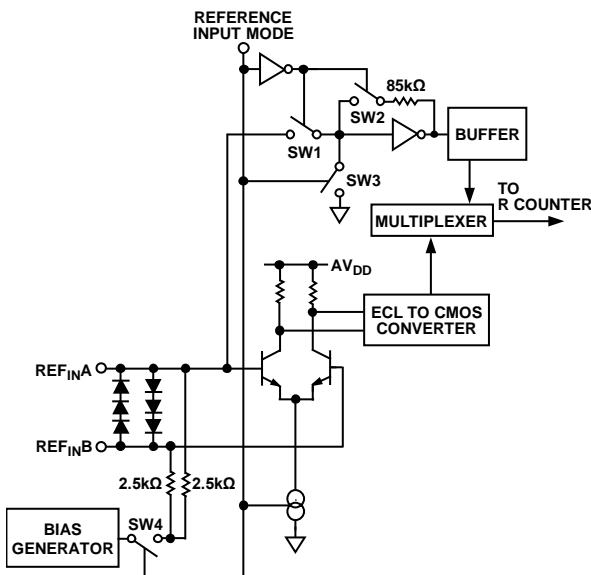


図 22. リファレンス電圧入力ステージ

RF N 分周器

RF N 分周器を使うと、PLL 帰還パスでの分周比が可能になります。分周比は、INT、FRAC1、FRAC2、MOD2 の値で決定され、これにより分周器が構成されます。

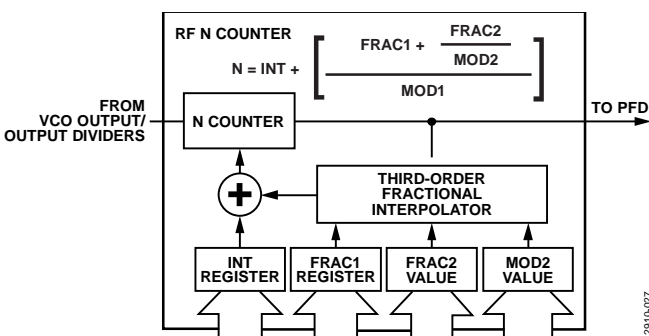


図 23. RF N 分周器

INT、FRACx、MODx、R カウンタの関係

R カウンタと組み合わせた INT、FRAC1、FRAC2、MOD1、MOD2 の値を使うと、非整数の PFD 周波数 (f_{PFD}) 間隔を持つ出力周波数を生成できるようになります。詳細については、RF シンセサイザ—動作例のセクションを参照してください。

RF VCO 周波数 (VCO_{OUT}) は次式で計算されます。

$$VCO_{OUT} = f_{PFD} \times N \quad (1)$$

ここで、

VCO_{OUT} は VCO の出力周波数 (出力分周器なし)。

f_{PFD} は位相周波数検出器の周波数。

N は帰還カウンタ値 N 。

次式で f_{PFD} を計算します。

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (2)$$

ここで、

REF_{IN} はリファレンス入力周波数。

D は REF_{IN} ダブラー・ビット。

R はバイナリ 10 ビット・プログラマブル・リファレンス・カウンタに設定されている分周比 (1~1023)。

T は REF_{IN} の 2 分周ビット (0 または 1)。

N は、

$$N = INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \quad (3)$$

ここで、

INT は 16 ビット整数値 (4/5 分周器の場合 23~32,767、8/9 分周器の場合 75~65,535)。

$FRAC1$ はプライマリ・モジュラスの分子 (0~16,777,215)。

$FRAC2$ は 14 ビット補助モジュラスの分子 (0~16,383)。

$MOD2$ はプログラマブルな 14 ビット補助非整数モジュラス (2~16,383)。

$MOD1$ は固定値 2^{24} (16,777,216) の 24 ビット・プライマリ・モジュラス。

式 3 から、残留周波数誤差のない高い周波数分解能が得られます。この式を使う場合、次のステップに従ってください。

1. VCO_{OUT}/f_{PFD} の除算により N を計算します。
2. この値の整数値が INT になります。
3. フル N 値からこの INT 値を減算します。
4. 整数剰余に 2^{24} を乗算します。
5. この値の整数値が $FRAC1$ になります。
6. チャンネル間隔 (f_{CHSP}) に基づいて $MOD2$ を次式により計算します。

$$MOD2 = f_{PFD}/GCD(f_{PFD}, f_{CHSP}) \quad (4)$$

ここで、

$GCD(f_{PFD}, f_{CHSP})$ は PFD 周波数とチャンネル間隔周波数の最大公約数。

f_{CHSP} は所望のチャンネル間隔周波数。

7. 次式で $FRAC2$ を計算します。

$$FRAC2 = [(N - INT) \times 2^{24} - FRAC1] \times MOD2 \quad (5)$$

この非整数 FRAC2 と MOD2 により、次の場合にチャンネル間隔に対するゼロ周波数誤差の出力が得られます。

$$f_{PFD}/GCD(f_{PFD}/f_{CHSP}) < 16,383 \quad (6)$$

ここで、 f_{PFD} は位相周波数検出器の周波数。
GCD は最大公約数。
 f_{CHSP} は所望のチャンネル間隔周波数。

ゼロ周波数誤差が不要な場合は、MOD1 と MOD2 を一緒に動作させて、38 ビット分解能モジュラスを構成します。

INT N モード

FRAC1 および FRAC2 = 0 の場合、シンセサイザは整数型 N モードで動作します。

R カウンタ

10ビットのRカウンタを使うと、入力リファレンス周波数 (REF_{IN}) を分周して、PFDへのリファレンス・クロックを生成することができます。1~1023の分周比が可能です。

位相周波数検出器(PFD)およびチャージ・ポンプ

PFDはRカウンタとNカウンタから入力を受取り、両入力の位相差と周波数差に比例した出力を生成します。図24に、簡略化したPFDの回路図を示します。PFDには固定遅延要素が含まれており、バックラッシュ防止パルスの幅を制御しています。このパルスは、PFD伝達関数内でデッド・ゾーンが発生しないようにし、リファレンス・スプリアスを妥当なレベルにします。VCOは正チューニングであるため、このデバイスでは位相検出器極性を正に設定してください。

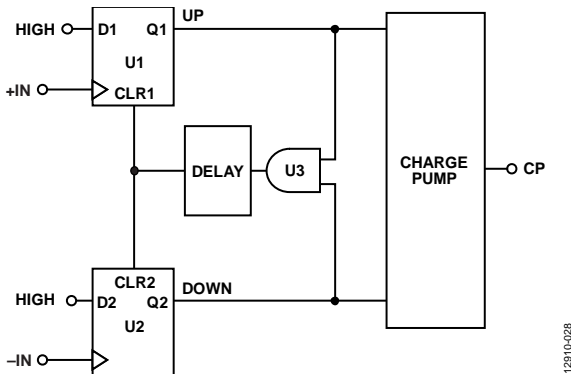


図 24.簡略化した PFD の回路図

MUXOUT とロック検出

ADF4355 の出力マルチプレクサを使うと、チップ上の種々の内部ポイントにアクセスできます。MUXOUT の状態はレジスタ 4 の M3、M2、M1 の各ビットによって制御されます。図 25 に、MUXOUT セクションのブロック図を示します。

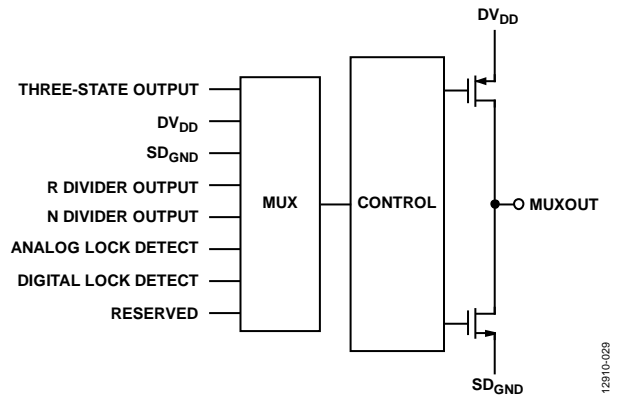


図 25. MUXOUT のブロック図

入力シフトレジスタ

ADF4355のデジタル・セクションには、10ビット R カウンタ、16ビット RF 整数N カウンタ、24ビット FRAC1 カウンタ、14ビット補助非整数カウンタ、14ビット補助モジュラス・カウンタがあります。データは、CLKの各立上がりエッジで32ビット・シフトレジスタにクロック入力されます。データはMSBファーストでクロック入力されます。データは、シフトレジスタからLEの立上がりエッジで12個のラッチ内の1つに転送されます。ディステネーション・ラッチは、シフトレジスタの4ビットのコントロール・ビット(C4、C3、C2、C1)の状態で指定されます。図 2に示すように、この下位4ビットは DB3、DB2、DB1、DB0です。表5にこれらのビットの真値表を、図28と図29にラッチの設定方法を、それぞれ示します。

表 5. C4、C3、C2、C1 コントロール・ビットの真値表

Control Bits				Register
C4	C3	C2	C1	
0	0	0	0	Register 0
0	0	0	1	Register 1
0	0	1	0	Register 2
0	0	1	1	Register 3
0	1	0	0	Register 4
0	1	0	1	Register 5
0	1	1	0	Register 6
0	1	1	1	Register 7
1	0	0	0	Register 8
1	0	0	1	Register 9
1	0	1	0	Register 10
1	0	1	1	Register 11
1	1	0	0	Register 12

プログラム・モード

表5および図28~図42に、ADF4355で設定するプログラム・モードを示します。

ADF4355 で、メイン非整数値 (FRAC1)、補助モジュラス値 (MOD2)、補助非整数値 (FRAC2)、リファレンス・ダブラー、リファレンス 2 分周 (RDIV2)、R カウンタ値、チャージ・ポンプ電流設定の各設定はダブル・バッファされています。これは、ダブル・バッファされる 2 つのイベントが起きた後に新しい値を ADF4355 が使えるようになることを意味しています。該当するレジスタに書込むことにより、新しい値が最初にデバイスにラッチされ、その後でレジスタ 0 に新しい書込みを行うことが必要です。

例えば、モジュラス値を更新するごとに、レジスタ 0 に書き込みを行って、モジュラス値を正しくロードする必要があります。レジスタ 6 の RF 分周器選択もダブル・バッファされていますが、レジスタ 4 の DB14 がハイ・レベルの場合だけです。

VCO

ADF4355 の VCO コアは、4 個の VCO で構成されています。各々は 256 個の重複するバンドを使用しているため、VCO 感度 (K_V) を大きくせず、高感度に起因する位相ノイズとスプリアス性能の低下なしで、広い周波数範囲をカバーすることができます。

レジスタ 0 が更新されて自動キャリブレーションがイネーブルされると、正しい VCO とバンドが VCO およびバンド選択ロジックにより自動的に選択されます。VCO V_{TUNE} がループ・フィルタ出力から切り離されて、内蔵リファレンス電圧に接続されます。

R カウンタ出力が、バンド選択ロジックのクロックとして使用されます。バンド選択の後、通常の PLL 動作が再開されます。N 分周器が VCO 出力から駆動される場合、または K_V 値が D で除算される場合、 K_V の公称値は 15 MHz/V になります。N 分周器が RF 出力分周器 (レジスタ 6 のビット [D23:D21]) を設定して選択) から駆動される場合、D は出力分周器の値になります。

バンド内およびバンド間でチューニング電圧 V_{TUNE} が変わると、VCO の K_V が変化します。広い周波数範囲 (および出力分周器の変更) をカバーする広帯域アプリケーションでは、15 MHz/V という値を使用すると、最も正確な K_V が得られます。これはこの値が最も平均値に近いからです。図 26 に、基本波 VCO 周波数および周波数バンドの平均値に対する K_V の変化を示します。狭帯域設計を使用する場合にこの図が役立ちます。

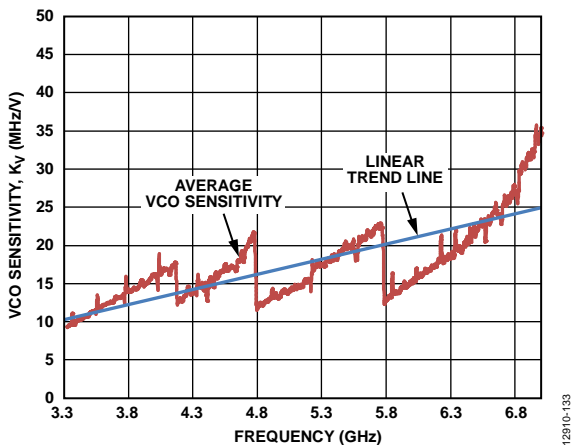


図 26. K_V の周波数特性

出力ステージ

ADF4355 の RF_{OUTA+} ピンと RF_{OUTA-} ピンは、VCO からのバッファされた出力で駆動される NPN 差動ペアのコレクタに接続されます (図 27 参照)。この回路図で、ADF4355 は V_{RF} ピンに接続された 50Ω 抵抗を内蔵しています。消費電力対出力電力条件を最適化するため、差動ペアのテール電流をレジスタ 6 のビット [D2:D1] を使って設定することができます。4 種類の電流レベルを設定できます。これらのレベルは、 V_{RF} に接続した 50Ω 抵抗を使い 50Ω 負荷に AC 結合した場合、それぞれ約 -4 dBm、 -1 dBm、 $+2$ dBm、 $+5$ dBm の出力電力レベルになります。正確な電力レベルについては、代表的な性能特性のセクションを参照してください。出力電力が 5 dBm の場合、高い電力レベルを提供するために外付けシャント・インダクタが必要になりますが、これを追加すると内部バイアスだけの場合より帯域が狭くなります。未使用相補出力は、使用する出力と同じ回路で終端してください。

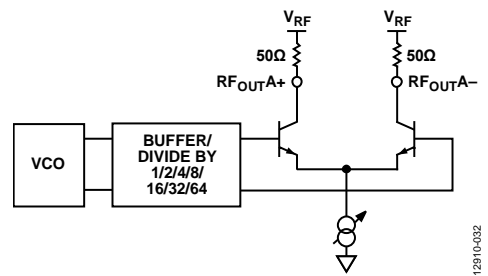


図 27. 出力ステージ

ADF4355 のもう 1 つの特長は、ADF4355 がロックするまで出力ステージへの電源電流をシャットダウンできることです。ADF4355 のロックはデジタル・ロック検出回路により判断されます。レジスタ 6 のロック検出までミュート (MTLD) ビット (DB11) を使ってこの機能をイネーブルします。

RF_{OUTB+}/RF_{OUTB-} ピンは、独立に使用するか、または RF_{OUTA+}/RF_{OUTA-} ピンと組み合わせて使用する共用出力ピンです。

表 6. 総合 I_{DD} ($RF_{OUTA\pm}$ は RF_{OUTA+}/RF_{OUTA-} を意味します)

Divide By	$RF_{OUTA\pm}$ Off	$RF_{OUTA\pm} = -4$ dBm	$RF_{OUTA\pm} = -1$ dBm	$RF_{OUTA\pm} = +2$ dBm	$RF_{OUTA\pm} = +5$ dBm
5 V Supply (I_{VCC} and I_P)	78 mA	78 mA	78 mA	78 mA	78 mA
3.3 V Supply (AI_{DD} , DI_{DD} , I_{RF})					
1	79.8 mA	101.3 mA	111.9 mA	122.7 mA	132.8 mA
2	87.8 mA	110.1 mA	120.6 mA	131.9 mA	141.9 mA
4	97.1 mA	119.3 mA	130.1 mA	141.6 mA	152.1 mA
8	104.9 mA	127.1 mA	137.8 mA	149.2 mA	159.7 mA
16	109.8 mA	131.8 mA	142.7 mA	154.1 mA	164.6 mA
32	113.6 mA	135.5 mA	146.5 mA	157.8 mA	168.4 mA
64	115.9 mA	137.8 mA	148.9 mA	160.1 mA	170.8 mA

レジスタ・マップ

REGISTER 0

RESERVED											AUTOCAL	PRESCALER	16-BIT INTEGER VALUE (INT)														CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	0	0	AC1	PR1	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	C4(0)	C3(0)	C2(0)	C1(0)

REGISTER 1

RESERVED				24-BIT MAIN FRACTIONAL VALUE (FRAC1)																DBR ¹				CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C4(0)	C3(0)	C2(0)	C1(1)

REGISTER 2

14-BIT AUXILIARY FRACTIONAL VALUE (FRAC2)											DBR ¹				14-BIT AUXILIARY MODULUS VALUE (MOD2)											CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	M14	M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C4(0)	C3(0)	C2(1)	C1(0)

REGISTER 3

RESERVED	SD LOAD RESET	PHASE RESYNC	PHASE ADJUST	24-BIT PHASE VALUE (PHASE)																DBR ¹				CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	SD1	PR1	PA1	P24	P23	P22	P21	P20	P19	P18	P17	P16	P15	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C4(0)	C3(0)	C2(1)	C1(1)

REGISTER 4

RESERVED		MUXOUT			REFERENCE DOUBLER	DBR ¹	RDIV2	DBR ¹	10-BIT R COUNTER										DOUBLE BUFF		CURRENT SETTING			DBR ¹				REF MODE	MUX LOGIC	PD POLARITY	POWER-DOWN	CP THREE-STATE	COUNTER RESET	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0						
0	0	M3	M2	M1	RD2	RD1	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	D1	CP4	CP3	CP2	CP1	U6	U5	U4	U3	U2	U1	C4(0)	C3(1)	C2(0)	C1(0)						

REGISTER 5

RESERVED																										CONTROL BITS						
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	C4(0)	C3(1)	C2(0)	C1(1)

REGISTER 6

RESERVED	GATED BLEED	NEGATIVE BLEED	RESERVED				FEEDBACK SELECT	RF DIVIDER SELECT ²				CHARGE PUMP BLEED CURRENT								RESERVED	MTLD	RESERVED	MUX RF OUTPUT ENABLE	AUX RF OUTPUT POWER	RF OUTPUT ENABLE	RF OUTPUT POWER	CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	BL10	BL9	1	0	1	0	D13	D12	D11	D10	BL8	BL7	BL6	BL5	BL4	BL3	BL2	BL1	1	D8	1	D6	D5	D4	D3	D2	D1	C4(0)	C3(1)	C2(1)	C1(0)

¹DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.
²DBB = DOUBLE BUFFERED BITS—BUFFERED BY A WRITE TO REGISTER 0 WHEN BIT DB14 OF REGISTER 4 IS HIGH.

図 28. レジスタの一覧 (レジスタ 0~レジスタ 6)

12910-034

REGISTER 7

RESERVED														LE SYNC	RESERVED														LD CYCLE COUNT		LOL MODE	FRAC-N LD PRECISION		LDO MODE	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0							
0	0	0	1	0	0	LE	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LD5	LD4	LOL	LD3	LD2	LD1	C4(0)	C3(1)	C2(1)	C1(1)						

REGISTER 8

RESERVED																												CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	0	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0	0	1	0	0	0	0	1	0	C4(1)	C3(0)	C2(0)	C1(0)

REGISTER 9

VCO BAND DIVISION								TIMEOUT								AUTOMATIC LEVEL TIMEOUT					SYNTHESIZER LOCK TIMEOUT				CONTROL BITS						
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
VC8	VC7	VC6	VC5	VC4	VC3	VC2	VC1	TL10	TL9	TL8	TL7	TL6	TL5	TL4	TL3	TL2	TL1	AL5	AL4	AL3	AL2	AL1	SL5	SL4	SL3	SL2	SL1	C4(1)	C3(0)	C2(0)	C1(1)

REGISTER 10

RESERVED																		ADC CLOCK DIVIDER								ADC CONVERSION	ADC ENABLE	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AE2	AE1	C4(1)	C3(0)	C2(1)	C1(0)

REGISTER 11

RESERVED																												CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	1	1	0	0	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	C4(1)	C3(0)	C2(1)	C1(1)

REGISTER 12

RESYNC CLOCK																RESERVED												CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P16	P15	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	0	0	0	0	0	0	1	0	0	0	0	1	C4(1)	C3(1)	C2(0)	C1(0)

図 29. レジスタの一覧 (レジスタ 7~レジスタ 12)

12310-035

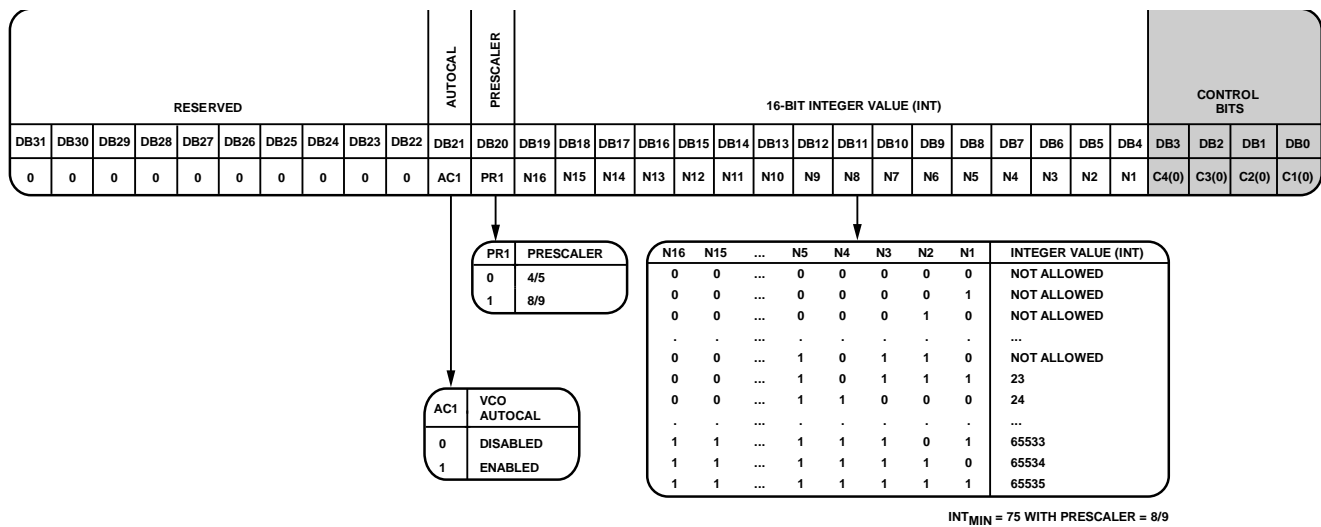


図 30. レジスタ 0

レジスタ 0

コントロール・ビット

ビット[C4:C1] = 0000 のとき、レジスタ 0 が設定されます。図 30 に、このレジスタを設定するときの入力データ・フォーマットを示します。

予約済み

ビット[DB31:DB22]は予約済みで、0 に設定する必要があります。

自動キャリブレーション (Autocal)

レジスタ 0 に書き込みを行って VCO 自動キャリブレーションを起動し(デフォルト)、該当する VCO と VCO サブバンドを選択します。自動キャリブレーションをイネーブルするときは(推奨動作モード)、AC1 ビット(ビット DB21)に 1 を書き込みます。

自動キャリブレーションをディスエーブルするときは AC1 ビットに 0 を設定します。これにより、ADF4355 はレジスタ 0 の更新時と同じバンドに留まります。

固定周波数アプリケーション、位相調整アプリケーション、または非常に小さい周波数ジャンプ(<10 kHz) に対してのみ自動キャリブレーションをディスエーブルしてください。周波数を変える場合は自動キャリブレーションのトグル (autocal) も必要

です (詳細については、周波数更新シーケンスのセクションを参照してください)。

プリスケアラ

デュアル・モジュラス分周器(P/P + 1)とINT、FRACx、MODxの各カウンタの組み合わせにより、VCO出力からPFD入力までの全分周比が決定されます。レジスタ 0 のPR1 ビット(ビット DB20)で分周値を設定します。

分周器は CML レベルで動作し、VCO 出力からのクロックを使用し、カウンタ用にそれを分周します。この分周器は同期 4/5 コアを採用しています。分周器が 4/5 に設定されると、許容最大 RF 周波数は 7 GHz になります。分周器は INT 値を制限します。P が 4/5 の場合、N_{MIN} = 23 で、P が 8/9 の場合、N_{MIN} = 75 になります。

16 ビット整数値

16 INT ビット(ビット[DB19:DB4])は INT 値を設定します。この値は帰還分周比の整数部を決定します。INT 値は式 3 で使用されます(INT、FRACx、MODx、R カウンタの関係のセクション参照)。23~32,767 の整数値が 4/5 分周器に設定可能です。8/9 分周器の場合、最小整数値は 75 で、最大整数値は 65,535 です。

RESERVED				24-BIT MAIN FRACTIONAL VALUE (FRAC1)																	CONTROL BITS										
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C4(0)	C3(0)	C2(0)	C1(1)

F24	F23	F2	F1	MAIN FRACTIONAL VALUE (FRAC1)
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
.
.
.
1	1	0	0	16777212
1	1	0	1	16777213
1	1	1	0	16777214
1	1	1	1	16777215

¹DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

12910-037

図 31. レジスタ 1

レジスタ 1

コントロール・ビット

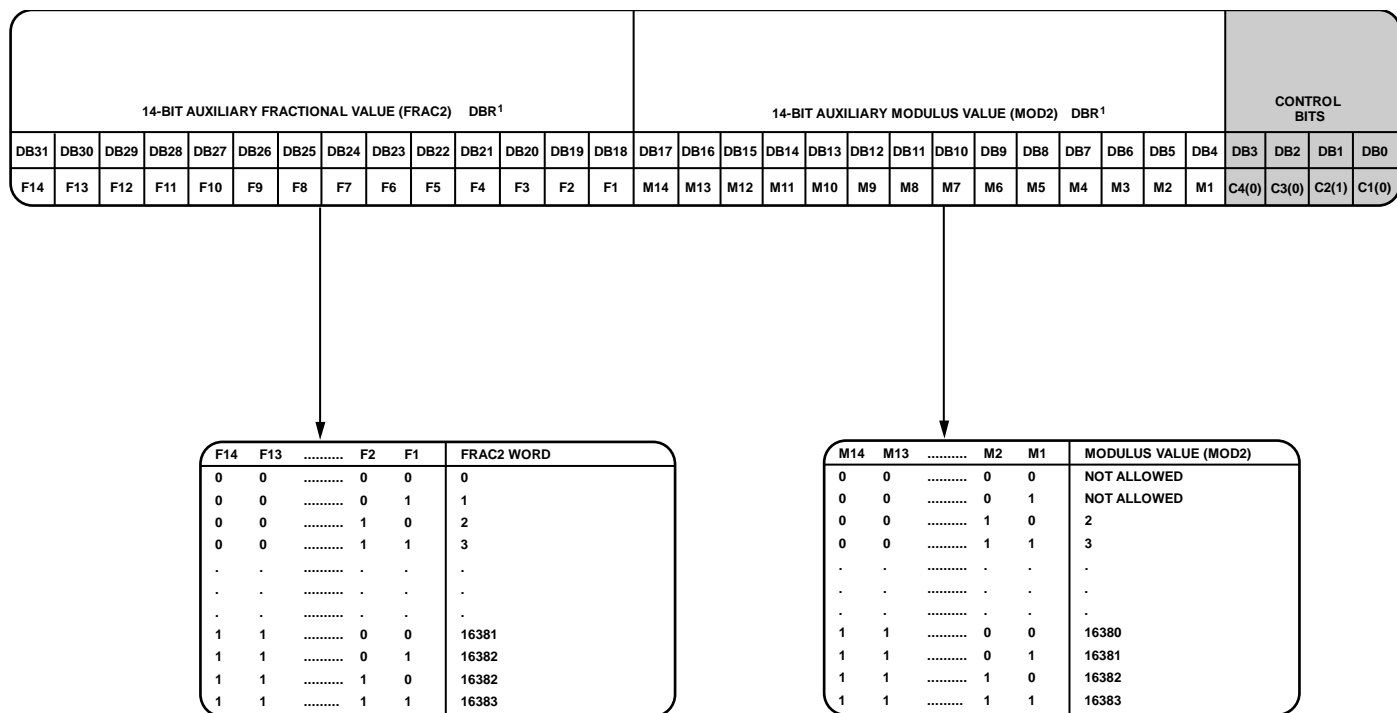
ビット[C4:C1] = 0001 のとき、レジスタ 1 が設定されます。図 31 に、このレジスタを設定するときの入力データ・フォーマットを示します。

予約済み

ビット[DB31:DB28]は予約済みで、0 に設定する必要があります。

24 ビット・メイン非整数値

FRAC1 の 24 ビット (ビット[DB27:DB4])により、 Σ - Δ 変調器へ入力される非整数値の分子を設定します。この非整数値と INT 値の組み合わせで、シンセサイザから見た新しい周波数チャンネルを指定します(RF シンセサイザ—動作例のセクション参照)。0~(MOD1-1) の FRAC1 値が、PFD リファレンス周波数に等しい周波数範囲のチャンネルをカバーします。



¹DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

図 32. レジスタ 2

レジスタ 2

コントロール・ビット

ビット[C4:C1] = 0010 のとき、レジスタ 2 が設定されます。図 32 に、このレジスタを設定するときの入力データ・フォーマットを示します。

14 ビット補助非整数値 (FRAC2)

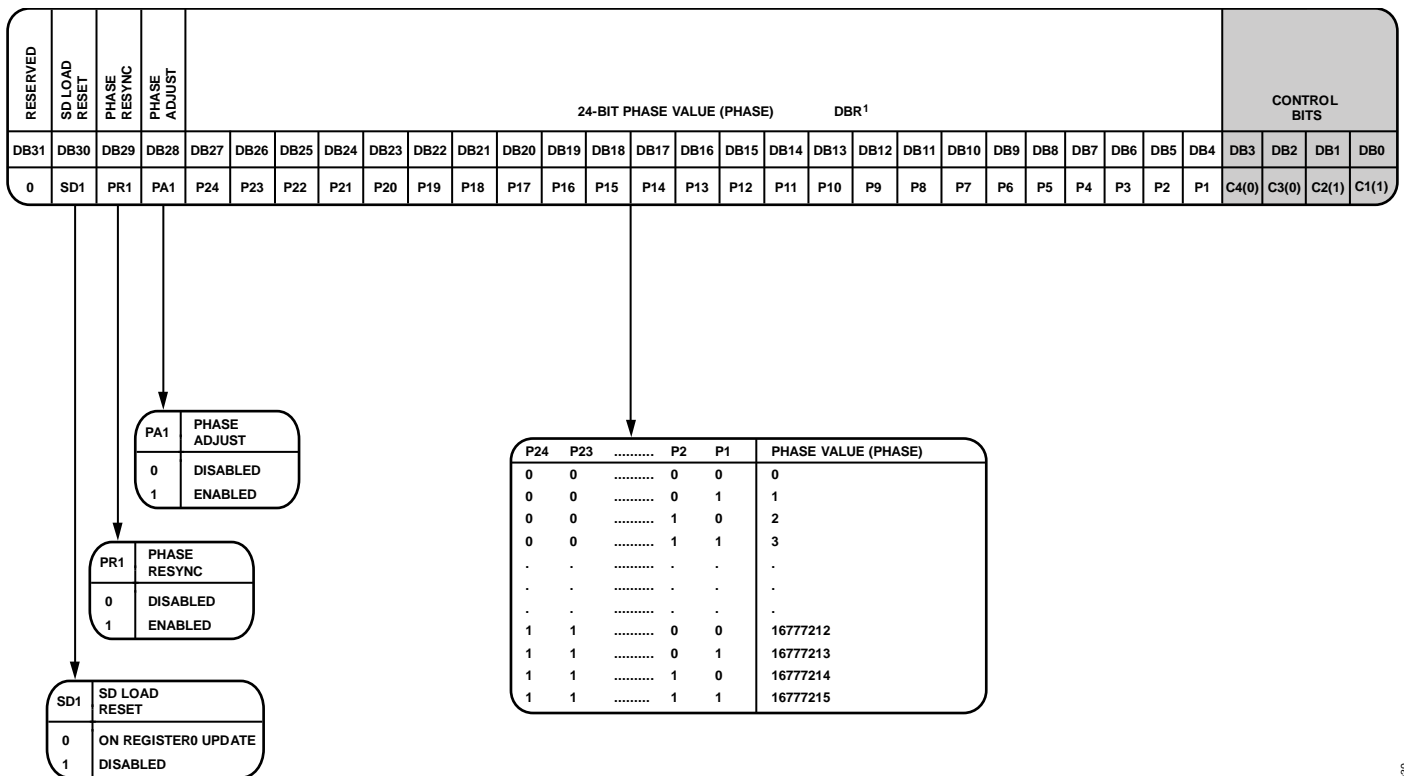
14 ビットの補助非整数値 (ビット[DB31:DB18])が補助非整数ワー

ドを制御します。FRAC2 は、レジスタ 2 に設定された MOD2 値より小さい必要があります。

14 ビット補助モジュラス値 (MOD2)

14 ビットの補助モジュラス値 (ビット[DB17:DB4])が補助非整数モジュラスを設定します。MOD2 を使って、メイン非整数モジュラスから発生する残留誤差を補正します。

12510-038



¹DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

12910-039

図 33. レジスタ 3

レジスタ 3

コントロール・ビット

ビット[C4:C1] = 0011 のとき、レジスタ 3 が設定されます。図 33 に、このレジスタを設定するときの入力データ・フォーマットを示します。

予約済み

DB31 ビットは予約済みで 0 を設定する必要があります。

SD 負荷リセット

レジスタ 0 へ書き込みを行うと、Σ-Δ 変調器がリセットされます。位相を連続的に調整するアプリケーションでは、この機能は不要なため、SD1 ビット (ビット DB30) に 1 を書いて Σ-Δ リセットをディスエーブルすることができます。

位相再同期

位相再同期機能を使うときは、PR1 ビット (ビット DB29) に 1 を設定する必要があります。使用しない場合は、このビットに 0 を設定します。PLL が最終周波数に安定した後には再同期機能を使用するため、レジスタ 12 で位相再同期タイムも使用する必要があります。PLL が最終周波数になっていない場合、位相再同期は正しく機能しません。再同期は、フェーズド・アレイ・アプリケーションとビーム形成アプリケーションで役立ちます。同じ周波数を設定する場合、出力位相の再現性が保証されます。出力分周器 (<3400 MHz) を必要とする周波数を使う位相がクリ

ティカルなアプリケーションでは、基本波 VCO 周波数とは異なる VCO 分周周波数を N 分周器に入力する必要があります。レジスタ 6 の D13 ビット (ビット DB24) に 0 を設定すると、N 分周器への分周帰還を行うこの機能が実現されます。

再同期アプリケーションの場合、レジスタ 3 の DB30 に 0 を設定して SD 負荷リセットをイネーブルしてください。

位相調整

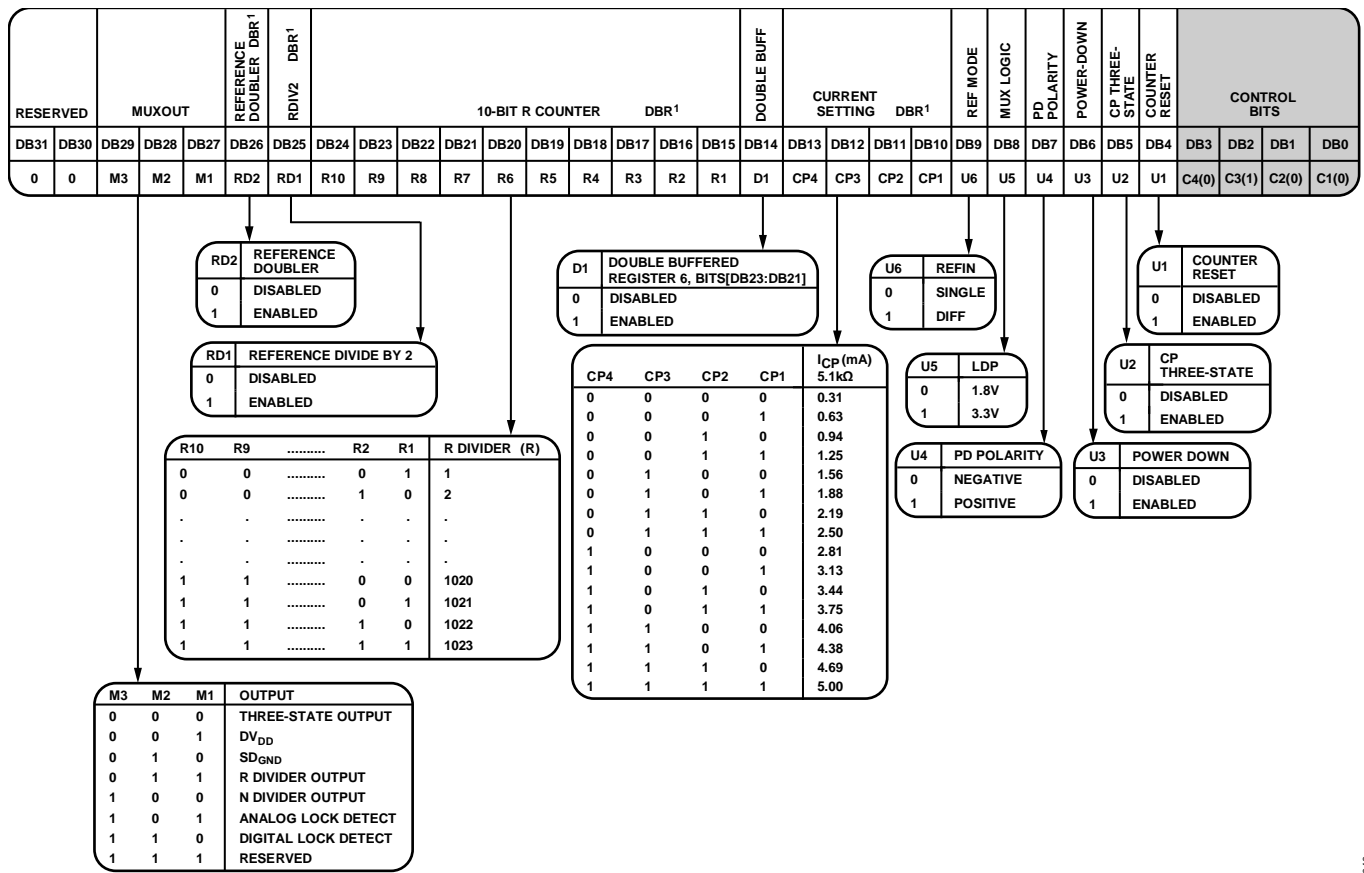
レジスタ 0 の各更新で ADF4355 の相対出力位相を調整するときには、PA1 ビット (ビット DB28) に 1 を設定します。この機能はアプリケーションで位相調整が連続的に行われる点で、再同期機能と異なります。この機能の場合、レジスタ 0 の AC1 ビット (ビット DB21) に 1 を設定して VCO 自動キャリブレーションをディスエーブルし、レジスタ 3 の SD1 ビット (ビット DB30) に 1 を設定して SD 負荷リセットをディスエーブルしてください。位相再同期と位相調整を同時使用できないことに注意してください。

24 ビット位相値

RF 出力周波数の位相は、0° (0) ~ 360° (2²⁴ - 1) の範囲で 24 ビット・ステップで調整することができます。位相調整アプリケーションの場合、次式で位相が設定されます。

$$(Phase\ Value/16,777,216) \times 360^\circ$$

位相値をレジスタ 3 に設定するとき、レジスタ 0 の各後続調整でこの式の値だけ位相がインクリメントされます。



1DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

12910-040

図 34. レジスタ 4

レジスタ 4

コントロール・ビット

ビット[C4:C1] = 0100 のとき、レジスタ 4 が設定されます。図 34 に、このレジスタを設定するときの入力データ・フォーマットを示します。

予約済み

ビット[DB31:DB30]は予約済みで、0 に設定する必要があります。

MUXOUT

内蔵マルチプレクサ(MUXOUT)は、ビット[DB29:DB27]から制御されます。詳細については、図 34 を参照してください。

リファレンス・ダブラー

RD2ビット(ビットDB26)に0を設定すると、REF_{IN} 信号が10ビットRカウンタに直接入力されて、ダブラーがディスエーブルされます。このビットに1を設定すると、リファレンス周波数を2倍にした後に10ビットRカウンタへの入力が行われます。ダブラーをディスエーブルすると、非整数シンセサイザのPFD入力で、REF_{IN}の立下がりエッジがアクティブ・エッジになります。ダブラーをイネーブルすると、リファレンス周波数の立下がりエッジと立下がりエッジが、PFD入力でアクティブ・エッジになります。

ダブラーをイネーブルしたときの最大許容リファレンス周波数は 60 MHz です。

RDIV2

RD1ビット(ビットDB25)に1を設定すると、RカウンタとPFDとの間に2分周トグル・フリップフロップが挿入されるため、最大リファレンス周波数入力レートが拡張されます。この機能は、PFD入力で50%デューティ・サイクル信号を提供します。

10ビットRカウンタ

10ビットのRカウンタは、入力リファレンス周波数(REF_{IN})を分周して、PFDへのリファレンス・クロックを生成します。分周比範囲は1~1023です。

ダブル・バッファ

D1ビット(ビットDB14)は、レジスタ6のRF分周器選択ビット(ビット[DB23:DB21])のダブル・バッファリングをイネーブルまたはディスエーブルします。ダブル・バッファリングの機能についてはプログラム・モードのセクションを参照してください。

チャージ・ポンプ電流の設定

CP4~CP1ビット(ビット[DB13:DB10])は、チャージ・ポンプ電流を設定します。この値をループ・フィルタが設計された際のチャージ・ポンプ電流値に設定してください(図34参照)。スプリアスを小さくするため、0.9 mAの設定が推奨されます。

リファレンス・モード

ADF4355 では、差動またはシングルエンドのリファレンス電源を使用することができます。

最適な整数境界スプリアス性能を得るためには、最大 250 MHz までのすべてのリファレンスに対してシングルエンド設定を使用してください (差動リファレンス信号を使用する場合でも)。250 MHz を超えるリファレンス周波数に対しては差動設定を使用してください。

レベル選択

ロジック互換性に役立つため、MUXOUT では 2 種類のロジック・レベルを設定することができます。U5 ビット (ビット DB8) に 0 を設定すると 1.8 V ロジックが、1 を設定すると 3.3 V ロジックが、それぞれ選択されます。

位相検出器 (PD) 極性

U4 ビット (ビット DB7)は位相検出器極性を設定します。受動ループ・フィルタまたは非反転アクティブ・ループ・フィルタを使用する場合、DB7 に 1 (正)を設定します。反転特性のアクティブ・フィルタを使う場合は、このビットに 0 (負)を設定します。

パワーダウン

U3 ビット (ビット DB6)は、プログラマブルなパワーダウン・モードを設定します。DB6 に 1 を設定すると、パワーダウンが実行されます。DB6 に 0 を設定すると、シンセサイザは通常の動作に戻ります。ソフトウェア・パワーダウン・モードでは、ADF4355 はレジスタのすべての情報を保持します。電源電圧がなくなると、レジスタ値が失われます。

パワーダウンが起動すると、次のイベントが発生します。

- シンセサイザ・カウンタは強制的にロード状態にされます。
- VCO がパワーダウンします。
- チャージ・ポンプは強制的にスリー・ステート・モードにされます。
- デジタル・ロック検出回路がリセットされます。
- RFoutA+/RFoutA- 出力ステージと RFoutB+/RFoutB- 出力ステージがディスエーブルされます。
- 入力レジスタはアクティブ状態を維持し、データのロードとラッチが可能です。

チャージ・ポンプ・スリーステート

U2 ビット (ビット DB5) に1を設定すると、チャージ・ポンプがスリー・ステート・モードになります。DB5に0 を設定すると、通常動作になります。

カウンタ・リセット

U1 ビット (ビット DB4)は、ADF4355 の R カウンタ、N カウンタ、VCO バンド選択をリセットします。DB4 に 1 を設定すると、RF シンセサイザの N カウンタと R カウンタおよび VCO バンド選択がリセットされます。通常動作のためには、DB4 に 0 を設定してください。周波数を変えるときは、カウンタ・リセット (ビット DB4) のトグルも必要です (詳細については、周波数更新シーケンスのセクションを参照してください)。

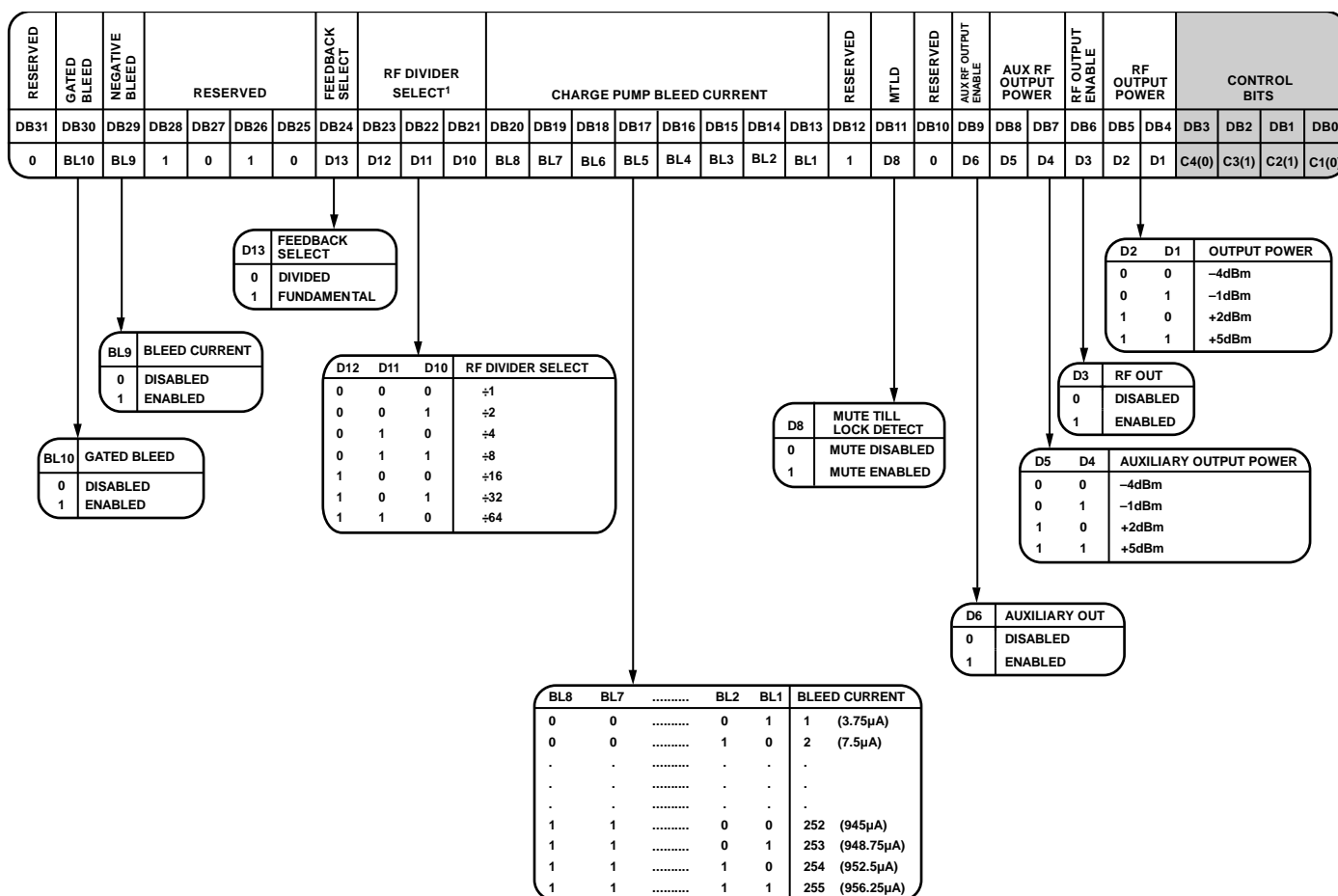
レジスタ 5

レジスタ 5 のビットは予約済みで、図 35 のように 16 進ワード 0x00800025 を設定する必要があります。

RESERVED																												CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	C4(0)	C3(1)	C2(0)	C1(1)

12910-041

図 35. レジスタ 5 (0x00800025)



¹BITS[DB23:DB21] ARE BUFFERED BY A WRITE TO REGISTER 0 WHEN THE DOUBLE BUFFER BIT IS ENABLED, BIT DB14 OF REGISTER 4.

図 36. レジスタ 6

レジスタ 6

コントロール・ビット

ビット[C4:C1] = 0110 のとき、レジスタ 6 が設定されます。図 36 に、このレジスタを設定するときの入力データ・フォーマットを示します。

予約済み

DB31 ビットは予約済みで 0 を設定する必要があります。

ゲーテッド・ブリード

位相ノイズとスプリアスの改善にブリード電流を使用できますが、ロック時間に影響するので、ゲーテッド・ブリード・ビット BL10 (ビット DB30) を 1 に設定すると、デジタル・ロック検出がハイ・レベルを出力するまでブリード電流がオンになりません。この機能では、デジタル・ロック検出がイネーブルされている必要があることに注意してください。

負ブリード

大部分のアプリケーションに対して固定負ブリードの使用が推奨されます。これは、負ブリードをオフにした場合に比べて、チャージ・ポンプの直線性が向上し、ノイズとスプリアスが小さくなるためです。負ブリードをイネーブルするときは、BL9 (ビット DB29) に 1 を書込みます。負ブリードをディスエーブルするときは、BL9 (ビット DB29) に 0 を書込みます。

予約済み

ビット[DB28:DB25]は予約済みで、1010 に設定する必要があります。

帰還選択

D13 (ビット DB24)は、VCO 出力から N カウンタへの帰還を選択します。D13 に 1 を設定すると、信号は VCO から直接取得されます。このビットに 0 を設定すると、信号は出力分周器から取得されます。分周器により、広い周波数バンド(54 MHz ~ 6800 MHz)をカバーできるようになります。分周器をイネーブルして帰還信号を出力から取得する場合、個別構成の 2 つの PLL の RF 出力信号は同相になります。分周帰還は、電力を増加させるために信号の正干渉を必要とするアプリケーションでは役立つ場合があります。

RF 分周比の選択

D12~D10 (ビット[DB23:DB21]) は、RF 出力分周器の値を選択します(図 36 参照)。

チャージ・ポンプ・ブリード電流

BL8~BL1 (ビット[DB20:DB13]) は、チャージ・ポンプ出力に追加されるブリード電流レベルを制御します。この電流は、デバイスの位相ノイズ・レベルとスプリアス・レベルを最適化します。

最適ブリード設定は次のようになることがテストから得られています。

$$4/N < I_{BLEED}/I_{CP} < 10/N$$

ここで、

I_{BLEED} は、チャージ・ポンプに与えられる固定負ブリード値で、ビット[BL8:BL1]の値で指定されます。

I_{CP} はチャージ・ポンプ電流設定値で、レジスタ4のビット[DB13:DB10]で指定されます。

N は VCO から PFD への帰還カウンタ値。

予約済み

DB12 ビットは予約済みで 0 を設定する必要があります。

ミュート・テイル・ロック検出

D8 (ビット DB11) に 1 を設定すると、デバイスがロックするまで RF 出力ステージへの電源電流がシャットダウンされます。このデバイスのロックはデジタル・ロック検出回路により判断されます。

予約済み

DB10 ビットは予約済みで 1 を設定する必要があります。

補助 RF 出力イネーブル

ビット DB9 は、補助周波数 RF 出力 (RF_{OUTB+}/RF_{OUTB-}) をイネーブルまたはディスエーブルします。DB9 に 1 を設定すると、補助周波数 RF 出力がイネーブルされます。DB9 に 0 を設定すると、補助 RF 出力がディスエーブルされます。

補助 RF 出力電力

ビット[DB8:DB7]は、補助 RF 出力電力レベルの値を設定します (図 36 参照)。

RF 出力イネーブル

ビット DB6 は、プライマリ RF 出力 (RF_{OUTA+}/RF_{OUTA-}) をイネーブルまたはディスエーブルします。DB6 に 0 を設定すると、プライマリ RF 出力がディスエーブルされます。DB6 に 1 を設定すると、プライマリ RF 出力がイネーブルされます。

出力電力

ビット[DB5:DB4]は、プライマリ RF 出力電力レベルの値を設定します (図 36 参照)。

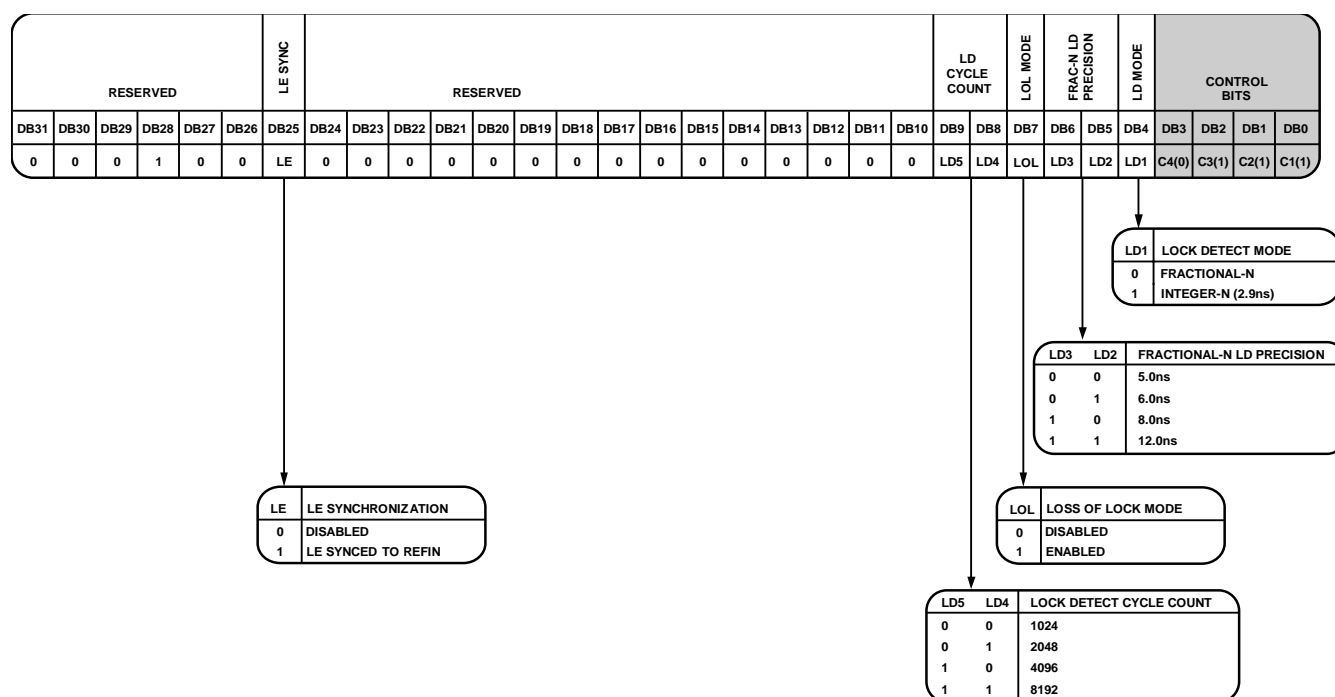


図 37. レジスタ 7

レジスタ 7

コントロール・ビット

ビット[C4:C1] = 0111 のとき、レジスタ 7 が設定されます。図 37 に、このレジスタを設定するときの入力データ・フォーマットを示します。

予約済み

ビット[DB31:DB29]は予約済みで、0 に設定する必要があります。DB28 ビットは予約済みで 1 を設定する必要があります。ビット [DB27:DB26]は予約済みで、0 に設定する必要があります。

LE 同期

ビット DB25 に 1 を設定すると、ロード・イネーブル (LE) エッジが内部でリファレンス入力周波数の立上がりエッジに同期化されます。この同期は、リファレンスと RF 分周器がリファレンス周波数の立下がりエッジと同時にロードされる稀なイベント(これによりロック時間が長くなります)を防止します。

予約済み

ビット[DB24:DB10]は予約済みで、0 に設定する必要があります。

非整数型 N ロック検出カウント (LDC)

LD5 と LD4 (ビット[DB9:DB8]) は、ロック検出をハイ・レベルにする前に、ロック検出回路がカウントする連続サイクル数を設定します。詳細については、図 37 を参照してください。

非ロック・モード

クロッキング・アプリケーションのように、リファレンス (REF_{IN}) がなくなってしまうような固定周波数アプリケーションの場合に、LOL (ビット DB7) に 1 を設定してください。標準ロック検出回路では REF_{IN} が常に存在しますが、クロッキング・アプリケーションの場合はそうではありません。この機能をイネーブルするときは、DB7 に 1 を設定します。

非整数型 N ロック検出精度 (LDP)

LD3 ビットと LD2 (ビット[DB6:DB5]) は、非整数 N モードでのロック検出回路精度を設定します。LDP は、5.0 ns、6.0 ns、8.0 ns、12.0 ns で使用可能です。ブリード電流を使用する場合は、12 ns を使用してください。

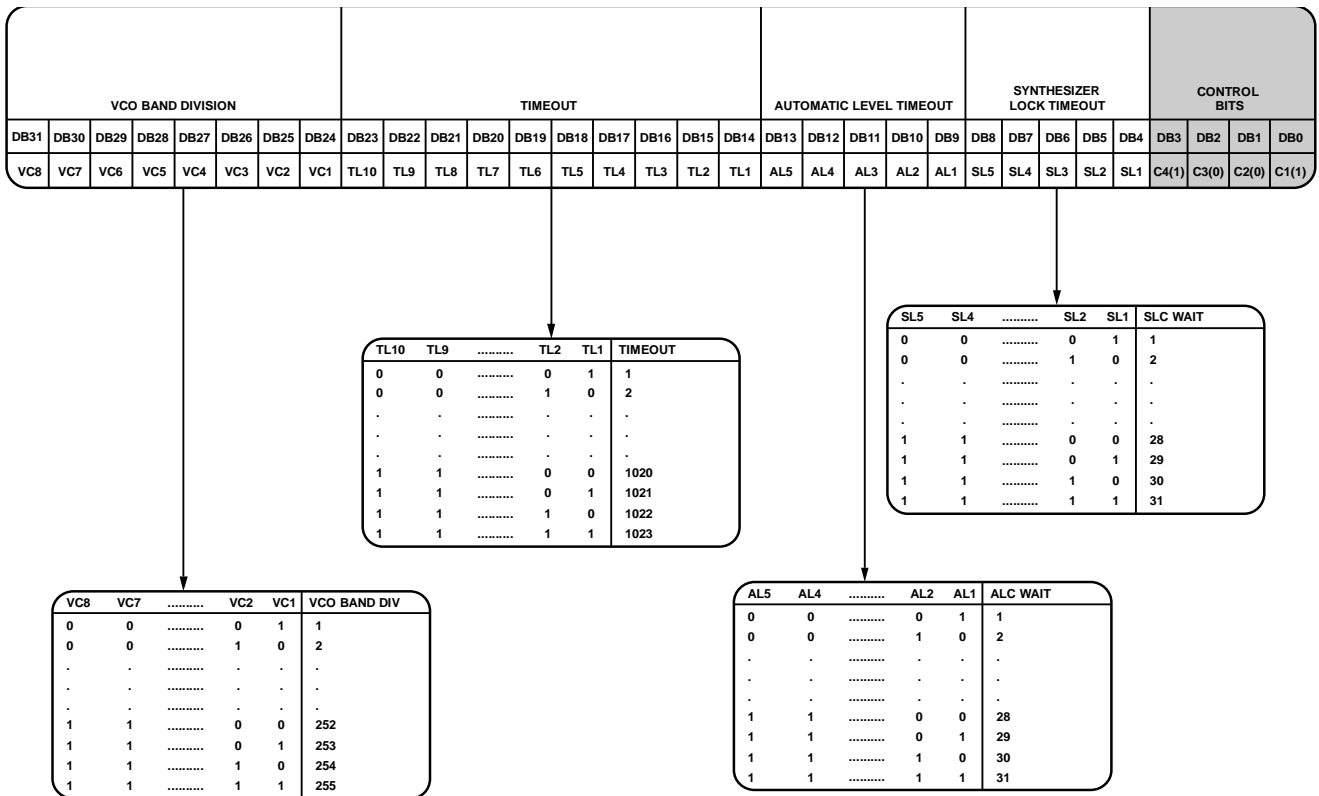
ロック検出モード (LDM)

LD1 (ビット DB4) に 0 を設定すると、各リファレンス・サイクルは、非整数型 N ロック検出カウント (LDC) のセクションで説明するように、非整数 N ロック検出精度により設定されます。DB4 に 1 を設定すると、各リファレンス・サイクル長は 2.9 ns になり、整数型 N アプリケーションに適します。

RESERVED																								CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	1	0	0	0	0	0	0	1	0	1	1	0	1	0	0	0	0	0	1	0	0	0	0	1	0	C4(1)	C3(0)	C2(0)	C1(0)

12310-044

図 38. レジスタ 8 (0x102D0428)



12310-045

図 39. レジスタ 9

レジスタ 8

このレジスタのビットは予約済みで、図 38 のように 16 進ワード 0x102D0428 を設定する必要があります。

レジスタ 9

コントロール・ビット

ビット[C4:C1] = 1001 のとき、レジスタ 9 が設定されます。図 39 に、このレジスタを設定するときの入力データ・フォーマットを示します。

VCO バンド分周

VC8~VC1 (ビット[DB31:DB24])は、VCO バンド分周クロック値を設定します。このクロック値を PFD/(バンド分周 × 16) で求めて、150 kHz 未満になるようにします。

タイムアウト

TL10~TL1 (ビット[DB23:DB14])は、VCO バンド選択のタイムアウト値を設定します。他の VCO キャリブレーション設定値ではこの値を変数として使ってください。

自動レベル・キャリブレーション・タイムアウト

AL5~AL1 (ビット[DB13:DB9])は、VCO の自動レベル・キャリブレーションで使用するタイムアウト値を設定します。この機能は、PFD 周波数、タイムアウト変数、ALC ウェイト変数と組み合わせます。次式が常に 50 μs より大きくなるように ALC を選択します。

$$(\text{タイムアウト} \times \text{ALC ウェイト} / \text{PFD 周波数}) > 50 \mu\text{s}$$

シンセサイザ・ロック・タイムアウト

SL5~SL1 (ビット[DB8:DB4]) は、シンセサイザ・ロック・タイムアウト値を設定します。この値を使うと、VTUNE を VTUNE ピン上で安定させることができます。この値は 20 μs である必要があります。次式を使って値を計算します。

$$(\text{タイムアウト} \times \text{シンセサイザ・ロック・タイムアウト} / \text{PFD 周波数}) > 20 \mu\text{s}$$

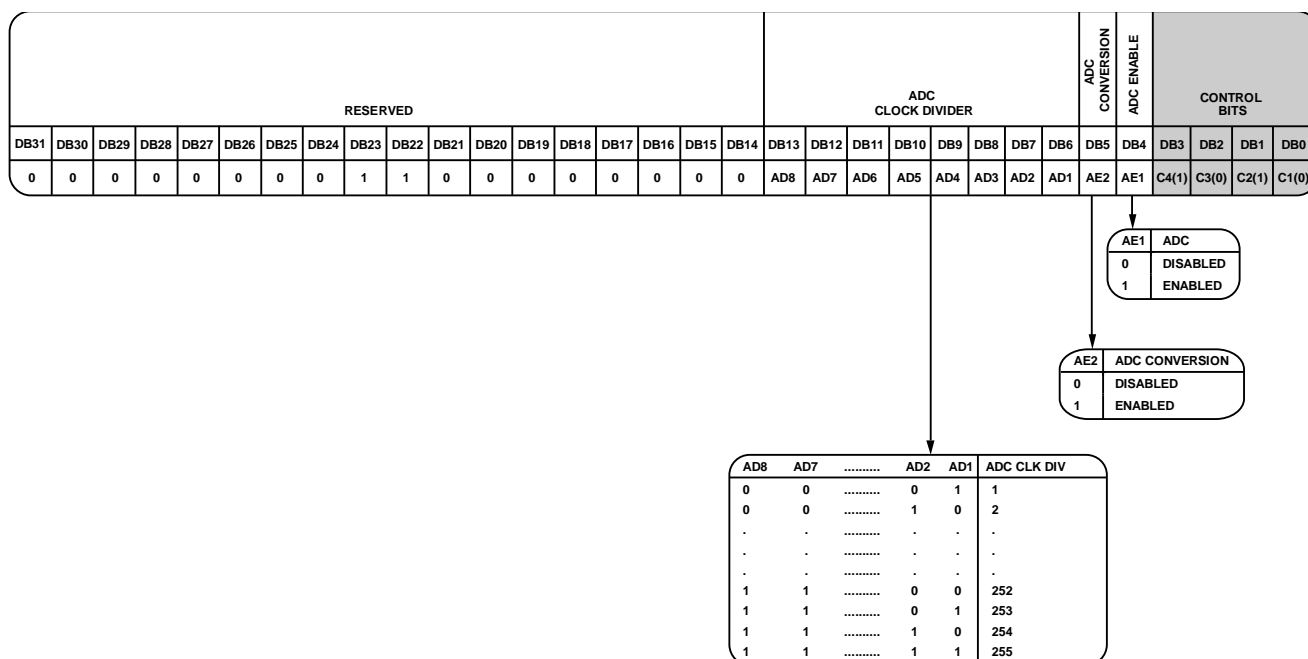


図 40. レジスタ 10

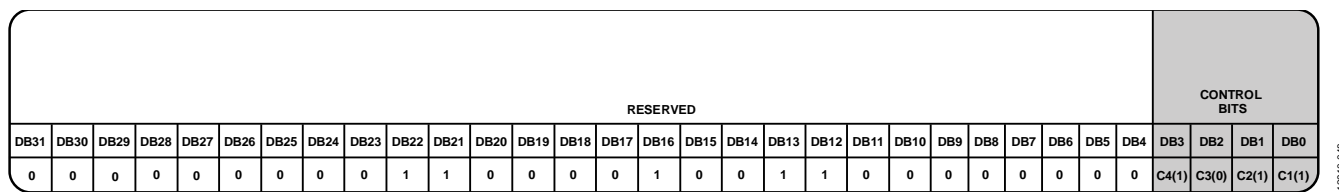


図 41. レジスタ 11 (0x0061300B)

レジスタ 10

コントロール・ビット

ビット[C4:C1] = 1010 のとき、レジスタ 10 が設定されます。図 40 に、このレジスタを設定するときの入力データ・フォーマットを示します。

予約済み

ビット[DB31:DB14]は予約済みです。ビット[DB23:DB22]には 11 を設定しますが、この範囲内の他のすべてのビットには 0 を設定する必要があります。

ADC クロック分周器 (ADC_CLK_DIV)

内蔵 A/D コンバータ (ADC) は、ADF4355 の周囲温度に対する V_{TUNE} セットポイントを決定します。すべての温度ドリフト問題を回避するようにアプリケーション内で初期チューニング電圧が正しく選択されていることが ADC により保証されます。

ADC では、R カウンタ (または PFD 周波数) ÷ ADC_CLK_DIV に等しいクロックを使います。

AD8~AD1 (ビット[DB13:DB6])は、この分周器の値を設定します。パワーアップ時、R カウンタは設定されていませんが、こ

れらのパワーアップ・ケースでは、デフォルトとして R = 1 が使用されます。

次式を満たすように ADC_CLK_DIV を選択します。

$$PFD / ((ADC_CLK_DIV \times 4) + 2) < 100 \text{ kHz}$$

ADC 変換イネーブル

AE2 (ビット DB5)は、レジスタ 10 へ書込みが行われたとき ADC が変換を行うようにします。このモードをイネーブルすることが推奨されます。

ADC イネーブル

AE1 (ビット DB4)に 1 を設定すると、温度依存の V_{TUNE} キャリブレーション用に ADC がパワーアップします。この機能は常に使用することが推奨されます。

レジスタ 11

このレジスタのビットは予約済みで、図 41 のように 16 進ワード 0x0061300B を設定する必要があります。

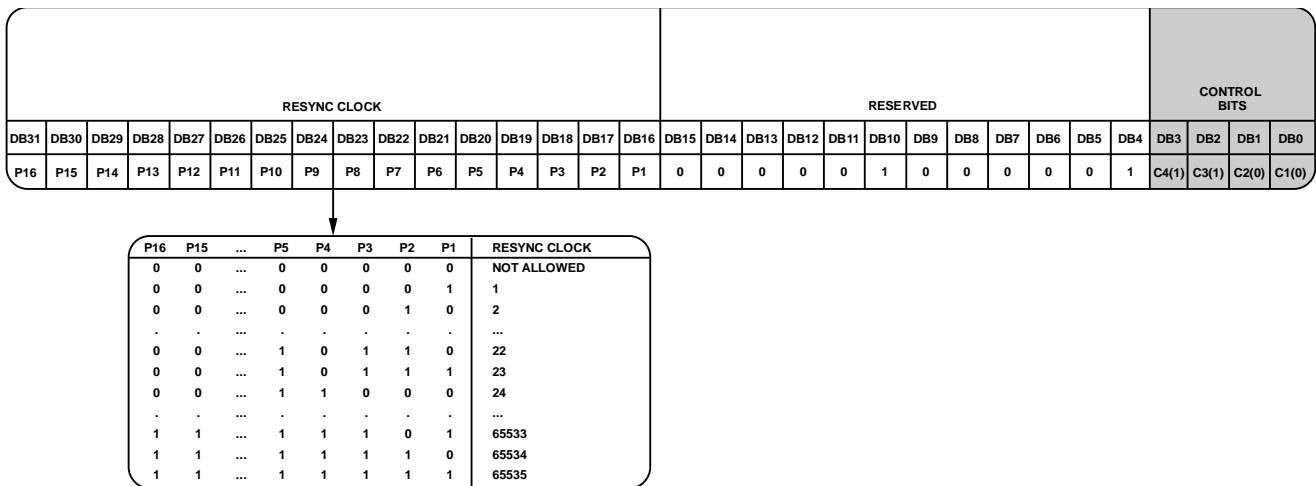


図 42. レジスタ 12

レジスタ 12

コントロール・ビット

ビット[C4:C1] = 1100 のとき、レジスタ 12 が設定されます。図 42 に、このレジスタを設定するときの入力データ・フォーマットを示します。

位相再同期クロック分周値

P16~P1 (ビット[DB31:DB16])は、位相再同期開始用のタイムアウト・カウンタを設定します。この値は、再設定の後に PLL がロックした直後に(前ではなく)再同期が発生するように設定する必要があります。

次式を使ってタイムアウト値を計算します。

$$\text{タイムアウト値} = \text{位相再同期クロック} / \text{PFD 周波数}$$

予約済み

ビット[DB15:DB4]は予約済みです。ビット DB10 とビット DB4 には 1 を設定しますが、この範囲内の他のすべてのビットには 0 を設定する必要があります。

レジスタ初期化シーケンス

初期パワーアップ時、電源ピンへ正しい電圧を加えた後、次のシーケンスで ADF4355 レジスタを設定してください。

1. レジスタ 12
2. レジスタ 11
3. レジスタ 10
4. レジスタ 9
5. レジスタ 8
6. レジスタ 7
7. レジスタ 6
8. レジスタ 5
9. レジスタ 4
10. レジスタ 3
11. レジスタ 2
12. レジスタ 1
13. レジスタ 0

周波数更新シーケンス

周波数の更新では、レジスタ 2 の補助変調器 (MOD2)、レジスタ 1 の非整数値 (FRAC1)、レジスタ 0 の整数値 (INT)の更新が必要です。周波数更新シーケンスではカウンタ・リセット(ビット DB4)も必要です。したがって、シーケンスは次のようになります。

1. レジスタ 4 (カウンタ・リセットをイネーブル [DB4 = 1])
2. レジスタ 2
3. レジスタ 1
4. レジスタ 0 (autocal をディスエーブル [DB21 = 0])
5. レジスタ 4 (カウンタ・リセットをディスエーブル [DB4 = 0])
6. ADC_CLK の 16 サイクル分より長く待ちます。例えば、ADC_CLK = 99.417 kHz の場合、16/99417 sec = 161 μs 間待ちます。レジスタ 10 参照。
7. レジスタ 0 (autocal をイネーブル [DB21 = 1])

周波数変化は、レジスタ 0 への 2 回目の書込みで発生します。

12910-049

RF シンセサイザ—動作例

次式を使ってADF4355 シンセサイザを設定します。

$$RF_{OUT} = INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \times (f_{PFD})/RF \text{ Divider} \quad (7)$$

ここで、

RF_{OUT} は RF 周波数出力。

INT は整数分周比。

$FRAC1$ は非整数値。

$FRAC2$ は補助非整数値。

$MOD2$ は補助モジュラス値。

$MOD1$ は固定 24 ビット・モジュラス値。

$RF \text{ Divider}$ は、VCO 周波数を分周する出力分周器。

$$f_{PFD} = REF_{IN} \times ((1 + D)/(R \times (1 + T))) \quad (8)$$

ここで、

REF_{IN} はリファレンス入力周波数。

D は RF REF_{IN} ダブラー・ビット。

R は RF リファレンス分周比。

T はリファレンスの 2 分周ビット (0 または 1)。

例えば、2,112.8 MHz の RF 周波数出力 (RF_{OUT})が必要とされる UMTS (universal mobile telecommunication system) システムでは、122.88 MHz のリファレンス周波数入力 (REF_{IN})が使用できます。ADF4355 の VCO は 3.4 GHz~6.8 GHz の周波数範囲で動作することに注意してください。このため、RF 分周比 2 を使う必要があります (VCO 周波数 = 4,225.6 MHz、 RF_{OUT} = VCO 周波数 / RF 分周比 = 4,225.6 MHz / 2 = 2,112.8 MHz)。

帰還パスも重要です。この例では、出力分周器の前で VCO 出力が帰還されます (図 43 参照)。

この例では、122.88 MHz リファレンス信号を 2 分周して、 f_{PFD} = 61.44 MHz を生成しています。所望チャンネル間隔は 200 kHz です。

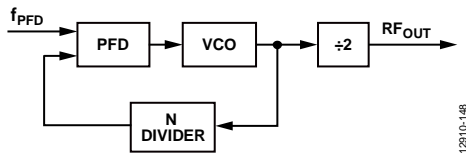


図 43. 出力分周器の前で閉じるループ

動作例は次のようになります。

- $N = VCO_{OUT}/f_{PFD} = 4225.6 \text{ MHz}/61.44 \text{ MHz} = 68.7760416666666667$
- $INT = \text{int}(VCO \text{ 周波数} / f_{PFD}) = 68$
- $FRAC = 0.7760416666666667$
- $MOD1 = 16,777,216$
- $FRAC1 = \text{int}(MOD1 \times FRAC) = 13019817$
- 余り = 0.6666666667 または $2/3$
- $MOD2 = f_{PFD}/\text{GCD}(f_{PFD}/f_{CHSP}) = 61.44 \text{ MHz} / \text{GCD}(61.44 \text{ MHz}/200 \text{ kHz}) = 1536$
- $FRAC2 = \text{余り} \times 1536 = 1024$

式 8 から、

$$f_{PFD} = (122.88 \text{ MHz} \times (1 + 0))/2 = 61.44 \text{ MHz} \quad (9)$$

$$2112.8 \text{ MHz} = 61.44 \text{ MHz} \times ((INT + (FRAC1 + FRAC2/MOD2)/2))/2 \quad (10)$$

ここで、

$INT = 68$

$FRAC1 = 13,019,817$

$MOD2 = 1536$

$FRAC2 = 1024$

RF 分周比 = 2

リファレンス・ダブラーとリファレンス分周器

内蔵リファレンス・ダブラーを使うと、入力リファレンス信号を2倍にすることができます。ダブラーは、PFD 比較頻度を増やすときに役立ちます。システムのノイズ性能を改善するときは、PFD 周波数を大きくします。PFD 周波数を2倍にすると、ノイズ性能は3 dB向上します。

リファレンス 2 分周では、リファレンス信号を 2 分周するため、50% デューティ・サイクルの PFD 周波数が得られます。

スプリアスの最適化と高速ロック

狭いループ帯域幅では不要なスプリアス信号を除去できませんが、これらの帯域幅では一般にロック時間が長くなります。ループ帯域幅を広くすると、ロック時間を短くできますが、ループ帯域内のスプリアス信号が大きくなってしまいます。

ジッタの最適化

アプリケーションでジッタを最小にするためには、可能な最大 PFD 周波数を使って、PLL からの帯域内ノイズ成分を小さくします。PLL の帯域内ノイズが VCO のオープン・ループ・ノイズと交差して、ノイズ全体への両ノイズ成分の寄与が小さくなるように、PLL フィルタ帯域幅を設定してください。

この作業には ADIsimPLL 設計ツールを使ってください。

スプリアスのメカニズム

このセクションでは、非整数型 N シンセサイザで発生する 2 種類のスプリアス・メカニズムと ADF4355 でこれらのスプリアスを削減する方法について説明します。

整数境界スプリアス

非整数スプリアス発生 の 1 つのメカニズムは、RF VCO 周波数とリファレンス周波数との間の相互干渉です。これらの周波数が整数関係にないとき(非整数型 N シンセサイザの場合のように)、スプリアスのサイドバンドが VCO 出力スペクトルのオフセット周波数位置に現れます。これはビート、すなわちリファレンス周波数の整数倍と VCO 周波数との間の周波数差に対応します。これらのスプリアスはループ・フィルタで減衰され、リファレンスの整数倍に近いチャンネルで顕著になります。ここでは差周波数がループ帯域内に入ることがあるため、整数境界スプリアスと呼ばれています。

リファレンス・スプリアス

リファレンス・スプリアスは一般に、非整数型 N シンセサイザで問題になることはありません。これは、リファレンス・オフセットがループ帯域から離れているためです。ただし、ループをバイパスするリファレンス・フィードスルー・メカニズムにより、問題が発生することがあります。内蔵リファレンスから分周器を経由して VCO へ戻る低レベルのスイッチング・ノイズのフィードスルーがあり、リファレンス・スプリアス・レベルが -80 dBc にもなることがあります。

ロック時間

PLL ロック時間は複数の設定値に分けられます。これらすべては、ADIsimPLL 設計ツールでモデル化されます。このデータシートの記載より高速なロック時間が可能です。詳細については、最寄りの当社販売代理店にご相談ください。

ロック時間—動作例

$f_{\text{PFD}} = 61.44 \text{ MHz}$ とすると、

$$\text{VCO Band Div} = \text{Ceiling}(f_{\text{PFD}}/2,400,000) = 26$$

ここで、 $\text{Ceiling}()$ は最寄りの整数を表します。

次の 2 式から、

$$\text{ALC ウェイト} > (50 \mu\text{s} \times f_{\text{PFD}}) / \text{タイムアウト}$$

$$\text{シンセサイザ・ロック・タイムアウト} > (20 \mu\text{s} \times f_{\text{PFD}}) / \text{タイムアウト}$$

次が求まります。

$$\text{ALC ウェイト} = 2.5 \times \text{シンセサイザ・ロック・タイムアウト}$$

ALC ウェイト = 30、かつシンセサイザ・ロック・タイムアウト = 12 となるように、ALC 待ちを大きくします (タイムアウトを最小時間にします)。

最後に、ALC ウェイト $> (50 \mu\text{s} \times f_{\text{PFD}}) / \text{タイムアウト}$ を次のように変形します。

$$\text{タイムアウト} = \text{Ceiling}((f_{\text{PFD}} \times 50 \mu\text{s}) / \text{ALC ウェイト})$$

$$\text{タイムアウト} = \text{Ceiling}((61.44 \text{ MHz} \times 50 \mu\text{s}) / 30) = 103$$

シンセサイザ・ロック・タイムアウト

シンセサイザ・ロック・タイムアウトは、VCO キャリブレーション DAC (V_{TUNE} を決定) がバンド選択回路の定常値に安定することを保証します。

レジスタ 9 に設定されるタイムアウト変数とシンセサイザ・ロック・タイムアウト変数が、VCO キャリブレーション・プロセスが次のフェーズ(VCO バンド選択)に進む前に DAC が最終電圧に安定するまでに要する時間を選択します。PFD 周波数はこのロジックのクロックとして使用され、周期は次式で設定されます。

$$\frac{\text{Timeout} \times \text{Synthesizer Lock Timeout}}{\text{PFD Frequency}}$$

計算された時間は 20 μs 以上である必要があります。

VCO バンドの選択

PFD 周波数をバンド選択プロセスのクロックとして再度使用します。この値は次式で計算します。

$$\text{PFD} / (\text{VCO バンド選択} \times 16) < 150 \text{ kHz}$$

バンド選択には、前に計算した値の 11 サイクルを要します。周期を次式で計算します。

$$11 \times (\text{VCO バンド選択} \times 16) / \text{PFD 周波数}$$

自動レベル・キャリブレーション・タイムアウト

自動レベル・キャリブレーション (ALC) 機能を使って、ADF4355 VCO コアのバイアス電流を選択します。要する時間を次式で計算します。

$$5 \times 11 \times \text{ALC ウェイト} \times \text{タイムアウト} / \text{PFD 周波数}$$

PLL ローパス・フィルタ・セトリング・タイム

ループの安定に要する時間は、ローパス・フィルタ帯域幅に逆比例します。セトリング・タイムも ADIsimPLL 設計ツールでモデル化されています。

周波数変更の合計ロック時間は、4 つの時間 (シンセサイザ・ロック、VCO バンド選択、ALC タイムアウト、PLL セトリング・タイム) の和になり、すべてが ADIsimPLL 設計ツールでモデル化されています。

アプリケーション情報

ダイレクト・コンバージョン変調器

ダイレクト・コンバージョン・アーキテクチャの採用は、基地局トランスミッタで増えています。図 44 に、アナログ・デバイゼスのデバイスでこのようなシステムを実現する方法を示します。

回路ブロック図に、AD9761 TxDAC+®と ADL5375 の組み合わせ使用を示します。AD9761 のような 2 個の内蔵 DAC を使うと、シグナル・チェーンのこの部分からの誤差成分 (対温度) が最小になります。

ローカル発振器 (LO) は ADF4355 で実現しています。ローパス・フィルタは、PFD = 61.44 MHz、かつクローズ・ループ帯域幅 = 20 kHz に対して ADIsimPLL 設計ツールを使って設計しています。

ADL5375 の LO ポートは、ADF4355 の相補 RF_{OutA+}/RF_{OutA-} 出力から差動で駆動することができます。差動駆動により、シングルエンド LO ドライバより優れた 2 次歪み性能が実現され、シングルエンド LO 入力から ADL5375 のさらに望ましい差動 LO 入力へ変換するバランが不要になります。

ADL5375 には、-6 dBm~+6 dBm の LO 駆動レベルを入力することができます。ADF4355 では最適 LO 電力をソフトウェアから設定でき、各出力から -4 dBm~+5 dBm のレベルが可能です。

RF 出力は 50 Ω 負荷を駆動するように設計されていますが、図 44 に示すように AC 結合する必要があります。I 入力と Q 入力に 2 V p-p 信号で直交駆動される場合、ADL5375 変調器からの出力電力は約 2 dBm になります。

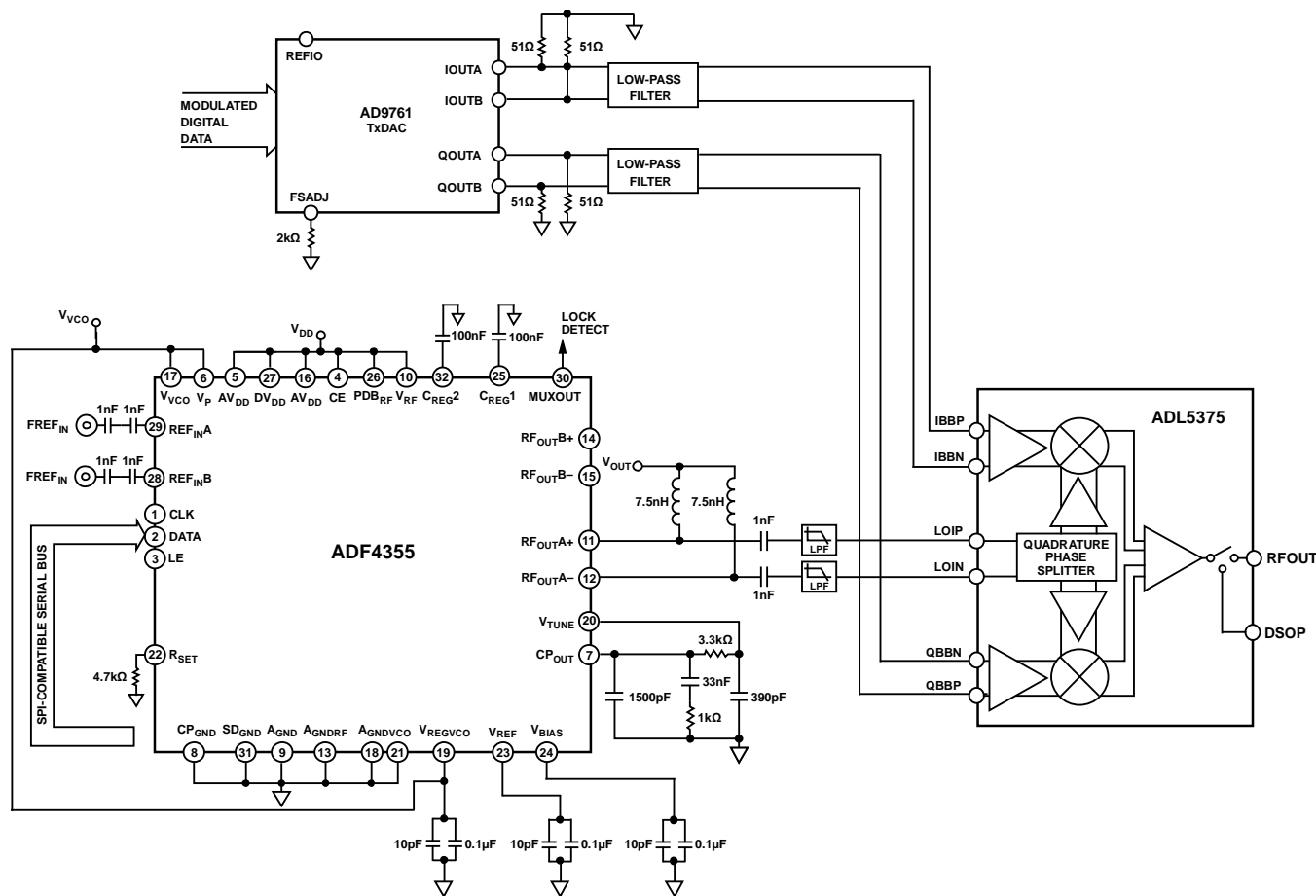


図 44. ダイレクト・コンバージョン変調器

12510-138

電源

ADF4355 は 4 個のマルチバンド VCO を内蔵し、すべてを使用すると 1 オクターブの周波数範囲をカバーします。最適性能のためには、ADM7150 のような低ノイズ・レギュレータを V_{VCO} ピンに接続することが不可欠です。同じレギュレータを V_{REGVCO} と V_P に接続してください。

3.3 V 電源ピンの場合、1 個または 2 個の ADM7150 レギュレータを使用してください。図 45 に推奨接続を示します。

チップ・スケール・パッケージに対するプリント回路ボード (PCB) 設計のガイドライン

32 ピン・リードフレーム・チップ・スケール・パッケージのランドは長方形です。これらランドに対する PCB パッドは、パッケージのランド長より 0.1 mm 長く、かつパッケージのランド幅より 0.05 mm 広いことが求められます。パッド上でランドを中心に合わせてハンダ接続サイズを大きくしてください。

チップスケール・パッケージの底部には、中央に露出したサーマル・パッドがあります。PCB 上のサーマル・パッドは、少なくともこのエクスポーズド・パッドより大きい必要があります。PCB 上では、サーマル・パッドとパッド・パターンの内側エッジとの間に少なくとも 0.25 mm の間隙を設けてください。この間隙により短絡が防止されます。

パッケージの熱性能を向上させるため、PCB サーマル・パッド上にサーマル・ビアを使用してください。ビアを使用する場合は、1.2 mm ピッチ・グリッドでサーマル・パッドに使用する必要があります。ビアの直径は 0.3 mm~0.33 mm であり、ビア・パレルは 1 オンスの銅でメッキして、ビアを構成する必要があります。

ADF4355 のような、マイクロウェーブ PLL および VCO シンセサイザの場合、ボードの積み上げとレイアウトに注意してください。FR4 材料は 3 GHz より上で損失が大きいため使用しないでください。Rogers 4350、Rogers 4003、Rogers 3003 絶縁材料の方が適しています。

RF 出力パターンに注意して、不連続性を小さくし、最適な信号インテグリティを維持してください。ビアの配置とグラウンド接続が重要です。

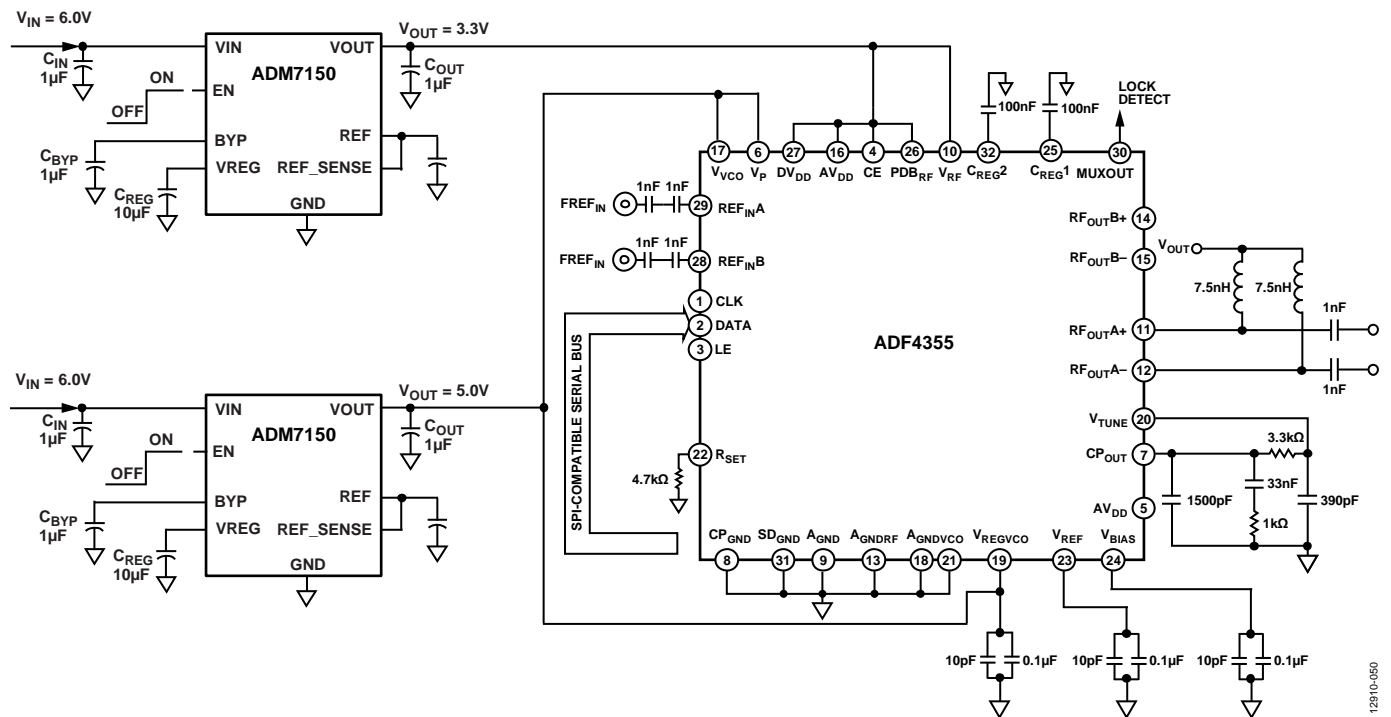


図 45. ADF4355 による電源

出力のマッチング

必要に応じて低周波出力を次の回路へ単純に AC 結合することができますが、大きい出力電力が必要な場合は、プルアップ・インダクタを使用して出力電力レベルを大きくしてください。

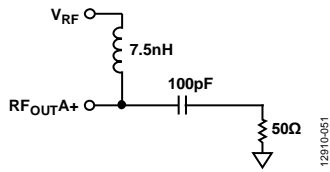


図 46. 最適出力ステージ

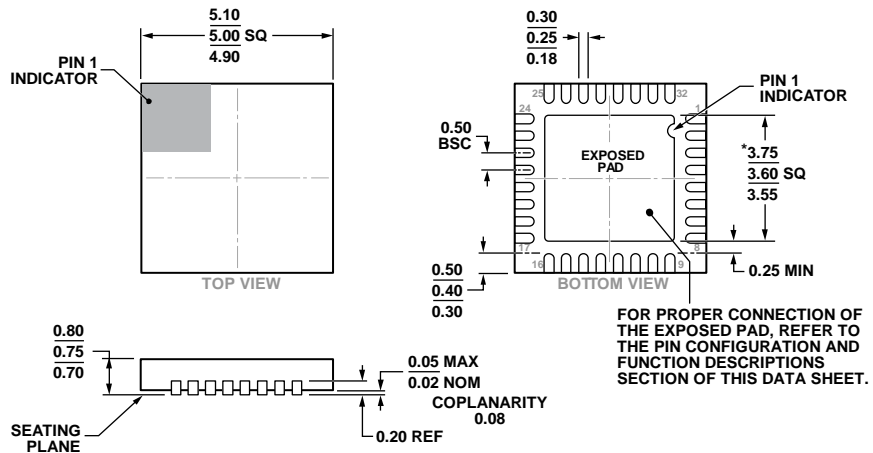
差動出力が不要な場合は、未使用出力を終端するか、またはバランを使って両出力接続してください。

周波数が 2 GHz より低い場合は、RF_{OUTA+}/RF_{OUTA-} ピンに 100 nH のインダクタを使用することが推奨されます。

RF_{OUTA+}/RF_{OUTA-} ピンは差動回路です。可能な場合、シャント・インダクタ値、バイパス・コンデンサ、終端などと同じ(または同等の)部品を各出力に使用してください。

補助周波数出力 RF_{OUTB+}/RF_{OUTB-}は、RF_{OUTA+}/RF_{OUTA-} 出力と同じに扱うことができます。使用しない場合は、両 RF_{OUTB+}/RF_{OUTB-} ピンをオープンのままにしてください。

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5 WITH THE EXCEPTION OF THE EXPOSED PAD DIMENSION.

08-16-2010-B

図 47. 32 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_WQ]
 5 mm x 5 mm ボディ、極薄クワッド
 (CP-32-12)
 寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADF4355BCPZ	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
ADF4355BCPZ-RL7	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-32-12
EV-ADF4355SD1Z		Evaluation Board	

¹ Z = RoHS 準拠製品。