

### 特長

高速セトリング、フラクショナルNの新型PLLアーキテクチャ  
1個のPLLでピンポン方式シンセサイザに置換え可能  
GSM帯域で周波数ホップは5  $\mu$ s、位相セトリングは20  $\mu$ s  
2GHzのRF出力時で0.5° rmsの位相誤差  
デジタル・プログラマブルな出力位相  
最大で3.5GHzまでのRF入力周波数範囲  
3線シリアル・インターフェース  
オンチップの低ノイズ差動アンプ  
位相ノイズ指数メリット値: -216dBc/Hz  
ADI SimPLLを使用してループ・フィルタ設計が可能

### アプリケーション

GSM/EDGE基地局  
PHS基地局  
計測器およびテスト装置

### 概要

ADF4193周波数シンセサイザは、ワイヤレス・レシーバおよびワイヤレス・トランスミッタのアップコンバージョン部とダウンコンバージョン部の局部発振器(LO)を実現するために使用できます。そのアーキテクチャは、基地局のGSM/EDGEロック時間に対して要求される条件を満たすように特別に設計されています。この製品は低ノイズのデジタルPFD(位相周波数検出器)、高精度の差動チャージ・ポンプで構成されています。差動のチャージ・ポンプ出力を外部の電圧制御発振器(VCO)で使用できるように、シングルエンド電圧に変換する差動アンプも内蔵されています。

$\Sigma \Delta$  (シグマ・デルタ) ベースのフラクショナル・インターポレータはN分周器との対応動作によって、プログラマブルなモジュラス・フラクショナルN分周を実行できます。さらに、4ビットのリファレンス(R)カウンタとオンチップの周波数ダブラー(2倍器)も集積化されているので、PFD入力でリファレンス信号(REFIN)の周波数を選択できます。このシンセサイザを外部ループ・フィルタおよびVCOと併用すれば、完全なPLL(位相ロック・ループ)が実現できます。スイッチング・アーキテクチャにより、確実にPLLがGSMタイム・スロット保護期間内にセトリングすることが保証されるので、さらにもう1つのPLLとそれに関連する絶縁スイッチを用意する必要がありません。その結果、従来のピンポン方式GSM PLLアーキテクチャと比較して、コスト、複雑度、PCボードの面積が削減され、シールドと特性評価の負担が軽減されます。

### 機能ブロック図

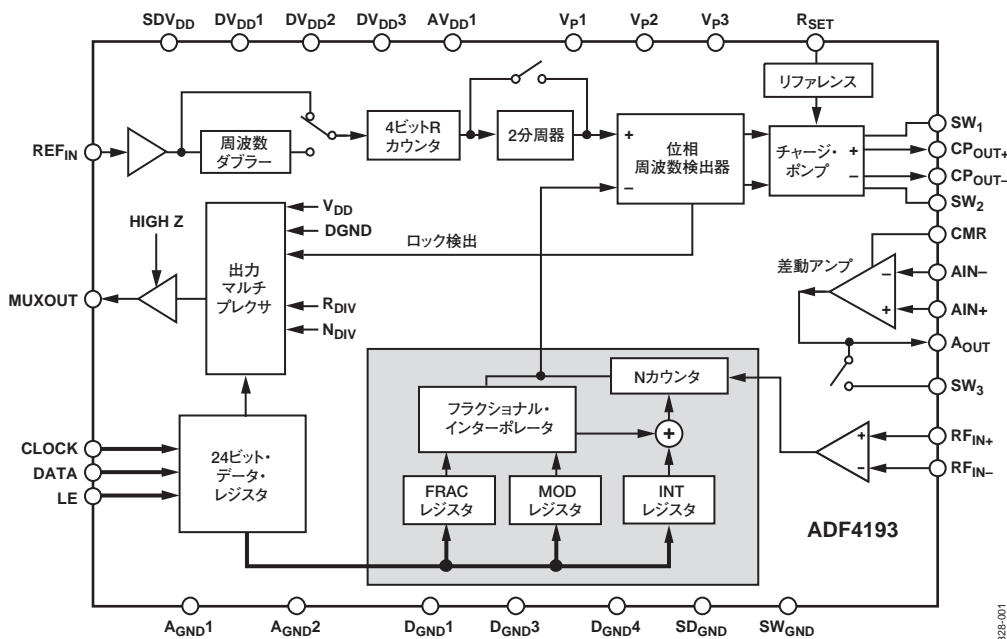


図1

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいはその利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。日本語データシートは、REVISIONが古い場合があります。最新の内容については、英語版をご参照ください。  
©2005 Analog Devices, Inc. All rights reserved.

# ADF4193

## 目次

特長	1	機能レジスタ (R3)	18
アプリケーション	1	チャージ・ポンプ・レジスタ (R4)	19
概要	1	パワーダウン・レジスタ (R5)	20
機能ブロック図	1	MUXレジスタ (R6)	21
仕様	3	プログラミング	22
タイミング特性	4	実際の設定例	22
絶対最大定格	5	スプリアス・メカニズム	22
ESDに関する注意	5	パワーアップの初期化設定	23
ピン配置と機能の説明	6	PLLの周波数変更と位相ロックアップ・テーブル	23
代表的な性能特性	8	アプリケーション	25
動作理論	11	GSM基地局に対応する局部発振器	25
リファレンス入力段	11	インターフェース	27
RF入力段	11	CSPパッケージ向けのPCボード設計ガイドライン	27
レジスタ・マップ	14	外形寸法	28
FRAC/INTレジスタ (R0)	15	オーダー・ガイド	28
MOD/Rレジスタ (R1)	16		
位相レジスタ (R2)	17		

## 改訂履歴

### 11/05—Rev 0. to Rev. A

Updated Format	Universal
Changes to Features Section	1
Changes to Table 1	3
Changes to Reference Input Section	11
Changes to RF N Divider Section	11
Changes to the Lock Detect Section	13
Changes to Figure 29	15
Changes to the 8-Bit INT Value Section	15
Changes to Figure 33	19
Replaced Figure 35	21
Changes to the $\Sigma$ - $\Delta$ and Lock Detect Modes Section	21
Changes to the Power-Up Initialization Section	23
Changes to Table 8	23
Changes to the Local Oscillator for a GSM	
Base Station Section	25
Changes to the Timer Values for Rx Section	25
Changes to Figure 36	26
Updates to the Outline Dimensions	28
Changes to the Ordering Guide	28

### 4/05—Revision 0: Initial Version

## 仕様

特に指定のない限り、 $AV_{DD}=DV_{DD}=SDV_{DD}=3V\pm 10\%$ 、 $V_{P1}$ 、 $V_{P2}=5V\pm 10\%$ 、 $V_{P3}=5.35V\pm 5\%$ 、 $AGND=DGND=GND=0V$ 、 $R_{SET}=2.4k\Omega$ 、 $dBm$ は $50\Omega$ を基準、 $T_A=T_{MIN}\sim T_{MAX}$ 。

表1

パラメータ	Bバージョン <sup>1</sup>	単位	テスト条件/備考
RF特性			
RF入力周波数 (RF <sub>IN</sub> )	0.4/3.5	GHz min/max	入力回路は図21を参照
RF入力感度	-10/0	dBm min/max	
プリスケアラ出力周波数の最大許容値 <sup>2</sup>	470	MHz max	
REF <sub>IN</sub> 特性			
REF <sub>IN</sub> 入力周波数	300	MHz max	f > 120MHzの場合には、REF/2ビット=1を設定
REF <sub>IN</sub> エッジのスループレート	300	V/ $\mu$ s min	
REF <sub>IN</sub> 入力感度	0.7/V <sub>DD</sub>	Vp-p min/max	ACカップリング
	0~V <sub>DD</sub>	V max	CMOS互換
REF <sub>IN</sub> 入力容量	10	pF max	
REF <sub>IN</sub> 入力電流	$\pm 100$	$\mu$ A max	
位相検出器			
位相検出器周波数	26	MHz max	
チャージ・ポンプ			
I <sub>CP</sub> アップ/ダウン			
上限値	6.6	mA typ	R <sub>SET</sub> =2.4k $\Omega$ の場合
下限値	104	$\mu$ A typ	R <sub>SET</sub> =2.4k $\Omega$ の場合
絶対精度	5	% typ	
R <sub>SET</sub> 範囲	1/4	k $\Omega$ min/max	R <sub>SET</sub> =2.4k $\Omega$ (typ)
I <sub>CP</sub> スリープ状態・リーク電流	1	nA typ	
I <sub>CP</sub> アップ/ダウン・マッチング	0.1	% typ	0.75V $\leq$ V <sub>CP</sub> $\leq$ V <sub>P</sub> -1.5V
I <sub>CP</sub> 対V <sub>CP</sub>	1	% typ	0.75V $\leq$ V <sub>CP</sub> $\leq$ V <sub>P</sub> -1.5V
I <sub>CP</sub> の温度特性	1	% typ	0.75V $\leq$ V <sub>CP</sub> $\leq$ V <sub>P</sub> -1.5V
差動アンプ			
入力電流	1	nA typ	
出力電圧範囲	1.5/(V <sub>P3</sub> -0.5)	V min/max	
VCOの同調範囲	1.8/(V <sub>P3</sub> -0.8)	V min/max	
出力ノイズ	7	nV/ $\sqrt{Hz}$ typ	@ 20kHzのオフセット
ロジック入力			
入力ハイレベル電圧 (V <sub>IH</sub> )	1.4	V min	
入力ローレベル電圧 (V <sub>IL</sub> )	0.7	V max	
入力電流 (I <sub>INH</sub> 、I <sub>INL</sub> )	$\pm 1$	$\mu$ A max	
入力容量 (C <sub>IN</sub> )	10	pF max	
ロジック出力			
出力ハイレベル電圧 (V <sub>OH</sub> )	V <sub>DD</sub> -0.4	V min	I <sub>OH</sub> =500 $\mu$ A
出力ローレベル電圧 (V <sub>OL</sub> )	0.4	V max	I <sub>OL</sub> =500 $\mu$ A
電源			
AV <sub>DD</sub>	2.7/3.3	V min/V max	
DV <sub>DD</sub>	AV <sub>DD</sub>		
V <sub>P1</sub> 、V <sub>P2</sub>	4.5/5.5	V min/V max	AV <sub>DD</sub> $\leq$ V <sub>P1</sub> 、V <sub>P2</sub> $\leq$ 5.5V
V <sub>P3</sub>	5.0/5.65	V min/V max	V <sub>P1</sub> 、V <sub>P2</sub> $\leq$ V <sub>P3</sub> $\leq$ 5.65V
I <sub>DD</sub> (AV <sub>DD</sub> +DV <sub>DD</sub> +SDV <sub>DD</sub> )	27	mA max	22mA typ
I <sub>DD</sub> (V <sub>P1</sub> +V <sub>P2</sub> )	27	mA max	22mA typ
I <sub>DD</sub> (V <sub>P3</sub> )	30	mA max	24mA typ
I <sub>DD</sub> パワーダウン	10	$\mu$ A typ	

# ADF4193

パラメータ	Bバージョン <sup>1</sup>	単位	テスト条件/備考
SW1, SW2, SW3			
$R_{ON}$ (SW1とSW2)	65	$\Omega$ typ	
$R_{ON}$ (SW3)	75	$\Omega$ typ	
ノイズ特性			
900MHz出力 <sup>3</sup>	-108	dBc/Hz typ	@ 5kHzのオフセットおよび26MHzのPFD周波数
1800MHz出力 <sup>4</sup>	-102	dBc/Hz typ	@ 5kHzのオフセットおよび13MHzのPFD周波数
位相ノイズ指数メリット値 <sup>5</sup>	-216	dBc/Hz typ	@ デイザをオフにした状態のVCO出力

<sup>1</sup> 動作温度範囲は-40~+85℃。

<sup>2</sup> RF入力が必要この数値よりも小さい周波数に分周されるように、プリスケアラ値を選択してください。

<sup>3</sup>  $f_{REFIN}=26\text{MHz}$ ,  $f_{STEP}=200\text{kHz}$ ,  $f_{RF}=900\text{MHz}$ , ループ帯域幅=40kHz

<sup>4</sup>  $f_{REFIN}=13\text{MHz}$ ,  $f_{STEP}=200\text{kHz}$ ,  $f_{RF}=1850\text{MHz}$ , ループ帯域幅=60kHz

<sup>5</sup> 60kHzのループ帯域幅を適用し、5kHz時に測定された位相ノイズから計算。ループ帯域幅を下げると、差動アンプから発生するノイズが増加。

## タイミング特性

特に指定のない限り、 $AV_{DD}=DV_{DD}=3V\pm 10\%$ 、 $V_{P1}$ 、 $V_{P2}=5V\pm 10\%$ 、 $V_{P3}=5.35V\pm 5\%$ 、 $AGND=DGND=GND=0V$ 、 $R_{SET}=2.4k\Omega$ 、dBmは50 $\Omega$ を基準、 $T_A=T_{MIN}\sim T_{MAX}$ 。

表2

パラメータ	限界値(Bバージョン) <sup>1</sup>	単位	テスト条件/備考
$t_1$	10	ns min	LEのセットアップ時間
$t_2$	10	ns min	DATAからCLOCKまでのセットアップ時間
$t_3$	10	ns min	DATAからCLOCKまでのホールド時間
$t_4$	15	ns min	CLOCKハイレベル持続時間
$t_5$	15	ns min	CLOCKローレベル持続時間
$t_6$	10	ns min	CLOCKからLEまでのセットアップ時間
$t_7$	15	ns min	LEパルス幅

<sup>1</sup> 動作温度範囲は-40~+85℃。

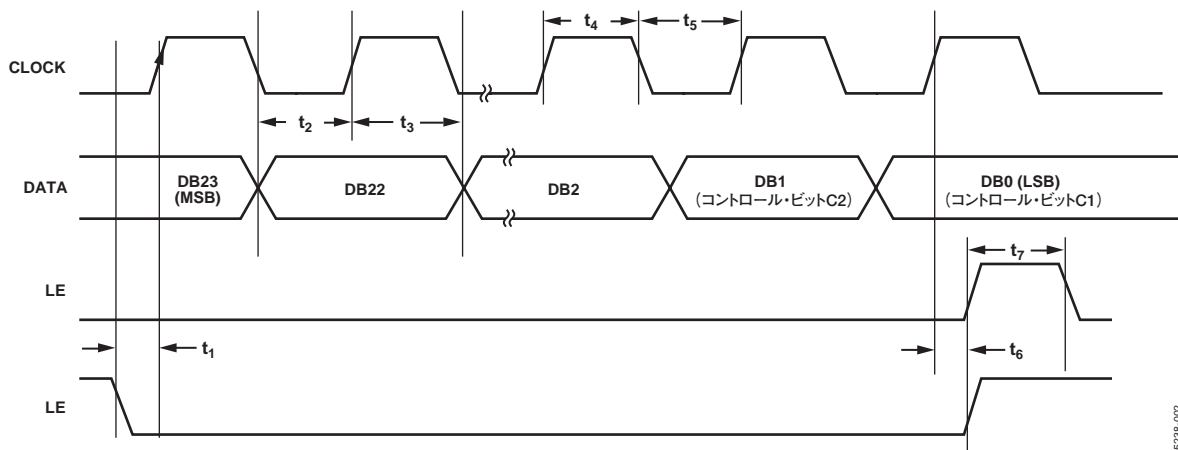


図2. タイミング図

## 絶対最大定格

特に指定のない限り、 $T_A=25^{\circ}\text{C}$

表3

パラメータ	定格
GNDに対する $AV_{DD}$	$-0.3 \sim +3.6\text{V}$
$DV_{DD}$ 、 $SDV_{DD}$ に対する $AV_{DD}$	$-0.3 \sim +0.3\text{V}$
GNDに対する $V_P$	$-0.3 \sim +5.8\text{V}$
$AV_{DD}$ に対する $V_P$	$-0.3 \sim +5.8\text{V}$
GNDに対するデジタルI/O電圧	$-0.3 \sim V_{DD} + 0.3\text{V}$
GNDに対するアナログI/O電圧	$-0.3 \sim V_P + 0.3\text{V}$
GNDに対する $REF_{IN}$ 、 $RF_{IN+}$ 、 $RF_{IN-}$	$-0.3 \sim V_{DD} + 0.3\text{V}$
動作温度範囲	
工業用 (Bバージョン)	$-40 \sim +85^{\circ}\text{C}$
保存温度範囲	$-65 \sim +125^{\circ}\text{C}$
最大ジャンクション温度	$150^{\circ}\text{C}$
LFCSPの $\theta_{JA}$ 熱抵抗	$27.3^{\circ}\text{C}/\text{W}$
(パドルをハンダ付け)	
リフロー・ハンダ付け	
ピーク温度	$260^{\circ}\text{C}$
ピーク温度の持続時間	40秒

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

本デバイスは高性能のRF集積回路です。ESD定格は2kV未満で、ESDの影響を受けやすくなっています。したがって、デバイスの取扱い時や組立て時には、適切な予防措置を講じてください。

### トランジスタ数

75,800 (MOS)、545 (BJT)

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



# ADF4193

## ピン配置と機能の説明

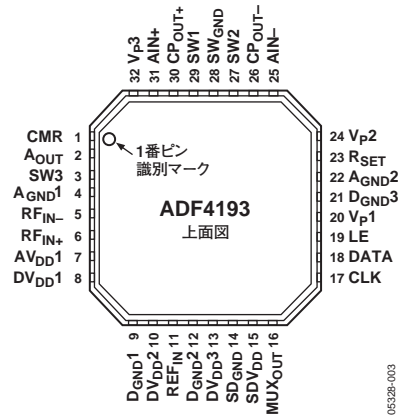


図3. ピン配置

表4 ピン機能の説明

ピン番号	記号	機能
1	CMR	差動アンプの出力電圧振幅のコモンモード・リファレンス電圧。V <sub>p3</sub> の3/5に相当する電圧に内部でバイアスされます。グラウンドとの間に0.1 $\mu$ Fのコンデンサを接続する必要があります。
2	A <sub>OUT</sub>	外部VCOを調節するための差動アンプ出力。
3	SW3	高速ロック・スイッチ3。SW3タイムアウト・カウンタが動作中のときに閉じます。
4	A <sub>GND1</sub>	アナログ・グラウンド。これは、差動アンプとRF部用のグラウンド・リターン・ピンです。
5	RF <sub>IN-</sub>	RFプリスケラーの相補入力。通常、100pFの小さな容量のバイパス・コンデンサを外付けして、このポイントをグラウンド・プレーンにデカップリングする必要があります。
6	RF <sub>IN+</sub>	RFプリスケラーの入力。この小信号入力は、外部VCOとACカップリングします。
7	AV <sub>DD1</sub>	RF部の電源ピン。通常、3V。100pFのコンデンサをこのピンに可能な限り近接させて実装し、グラウンド・プレーンとの間で電源のデカップリングを行ってください。
8	DV <sub>DD1</sub>	N分周器用の電源ピン。AV <sub>DD1</sub> と同じ電圧にします。0.1 $\mu$ Fのコンデンサをこのピンに可能な限り近接させて実装し、グラウンドとの間で電源のデカップリングを行ってください。
9	D <sub>GND1</sub>	DV <sub>DD1</sub> 用のグラウンド・リターン・ピン。
10	DV <sub>DD2</sub>	REF <sub>IN</sub> バッファとR分周器用の電源ピン。通常、3V。0.1 $\mu$ Fのコンデンサをこのピンに可能な限り近接させて実装し、グラウンドとの間で電源のデカップリングを行ってください。
11	REF <sub>IN</sub>	リファレンス入力。これはスレッシュホールドの公称値がV <sub>DD</sub> /2、そしてDC等価入力抵抗値が100k $\Omega$ のCMOS入力です(図15を参照)。この入力はTTLまたはCMOS水晶発振器から駆動するか、あるいはACカップリングすることができます。
12	D <sub>GND2</sub>	DV <sub>DD2</sub> とDV <sub>DD3</sub> 用のグラウンド・リターン・ピン。
13	DV <sub>DD3</sub>	シリアル・インターフェース・ロジック用の電源ピン。通常、3V。
14	SD <sub>GND</sub>	$\Sigma \Delta$ 変調器用のグラウンド・リターン・ピン。
15	SDV <sub>DD</sub>	デジタル $\Sigma \Delta$ 変調器用の電源ピン。通常、3V。0.1 $\mu$ Fのコンデンサをこのピンに可能な限り近接させて実装し、グラウンド・プレーンとの間で電源のデカップリングを行ってください。
16	MUX <sub>OUT</sub>	マルチプレクサ出力。これによりロック検出、スケールリングされたRF、またはスケールリングされたリファレンス周波数に外部からアクセスできるようになります(図35を参照)。
17	CLK	シリアル・クロック入力。データはCLKの立上がりエッジで24ビットのシフト・レジスタにクロック入力されます。この入力は、ハイ・インピーダンスのCMOS入力です。
18	DATA	シリアル・データ入力。シリアル・データはMSBファーストでロードされ、3個のLSBがコントロール・ビットとして使用されます。この入力は、ハイ・インピーダンスのCMOS入力です。
19	LE	ロード・イネーブルのCMOS入力。LEがハイレベルになると、シフト・レジスタに格納されていたデータが、3個のLSBによって選択されるレジスタにロードされます。
20	V <sub>p1</sub>	位相周波数検出器(PFD)用の電源ピン。通常、5VでV <sub>p2</sub> と同じ電圧にします。0.1 $\mu$ Fのコンデンサをこのピンに可能な限り近接させて実装し、グラウンドとの間で電源のデカップリングを行ってください。
21	D <sub>GND3</sub>	V <sub>p1</sub> 用のグラウンド・リターン・ピン。

ピン番号	記号	機能
22	A <sub>GND2</sub>	V <sub>P2</sub> 用のグラウンド・リターン・ピン。
23	R <sub>SET</sub>	このピンとGND間に1本の抵抗を接続すると、チャージ・ポンプの出力電流が設定されます。R <sub>SET</sub> ピンの公称電圧バ イアス値は0.55V。I <sub>CP</sub> とR <sub>SET</sub> との関係は、次式で表されます。 $I_{CP} = \frac{0.25}{R_{SET}}$ 上の式から、R <sub>SET</sub> =2.4kΩのときに、I <sub>CP</sub> =104μAとなります。
24	V <sub>P2</sub>	チャージ・ポンプ用の電源ピン。通常、5VでV <sub>P1</sub> と同じ電圧にします。0.1μFのコンデンサをこのピンに可能な限り近 接させて実装し、グラウンドとの間で電源のデカップリングを行ってください。
25	A <sub>IN-</sub>	差動アンプの負側入力ピン。
26	CP <sub>OUT-</sub>	差動チャージ・ポンプの負側出力ピン。A <sub>IN-</sub> およびループ・フィルタに接続してください。
27	SW2	高速ロック・スイッチ2。SW1/2タイムアウト・カウンタが動作中のときに、このスイッチが閉じてSW <sub>GND</sub> に接続されます。
28	SW <sub>GND</sub>	SW1およびSW2スイッチのコモン・ピン。グラウンド・プレーンに接続してください。
29	SW1	高速ロック・スイッチ1。SW1/2タイムアウト・カウンタが動作中のときに、このスイッチが閉じてSW <sub>GND</sub> に接続されます。
30	CP <sub>OUT+</sub>	差動チャージ・ポンプの正側出力ピン。A <sub>IN+</sub> およびループ・フィルタに接続してください。
31	A <sub>IN+</sub>	差動アンプの正側入力ピン。
32	V <sub>P3</sub>	差動アンプ用の電源ピン。5.0~5.5Vの範囲とすることができます。0.1μFのコンデンサをこのピンに可能な限り近接 させて実装し、グラウンドとの間で電源のデカップリングを行ってください。さらに、10μFのデカップリング用コンデン サをグラウンド間に接続することも必要です。

# ADF4193

## 代表的な性能特性

周波数の単位		GHz	キーワード	R	
パラメータのタイプ		S	インピーダンス	50	
データ・フォーマット MA					
FREQ.	MAGS11	ANGS11	FREQ.	MAGS11	ANGS11
0.5	0.8897	-16.6691	2.3	0.67107	-75.8206
0.6	0.87693	-19.9279	2.4	0.66556	-77.6851
0.7	0.85834	-23.561	2.5	0.6564	-80.3101
0.8	0.85044	-26.9578	2.6	0.6333	-82.5082
0.9	0.83494	-30.8201	2.7	0.61406	-85.5623
1.0	0.81718	-34.9499	2.8	0.5977	-87.3513
1.1	0.80229	-39.0436	2.9	0.5655	-89.7605
1.2	0.78917	-42.3623	3.0	0.5428	-93.0239
1.3	0.77598	-46.322	3.1	0.51733	-95.9754
1.4	0.75578	-50.3484	3.2	0.49909	-99.1291
1.5	0.74437	-54.3545	3.3	0.47309	-102.208
1.6	0.73821	-57.3785	3.4	0.45694	-106.794
1.7	0.7253	-60.695	3.5	0.44698	-111.659
1.8	0.71365	-63.9152	3.6	0.43589	-117.986
1.9	0.70699	-66.4365	3.7	0.42472	-125.62
2.0	0.7038	-68.4453	3.8	0.41175	-133.291
2.1	0.69284	-70.7986	3.9	0.41055	-140.585
2.2	0.67717	-73.7038	4.0	0.40983	-147.97

図4. RF入力のSパラメータ・データ

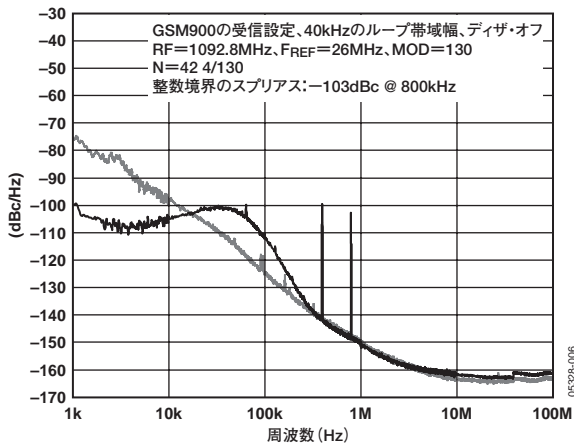


図5. 自走時のVCOノイズと1092.8MHz( GSM900の受信設定 )時のSSB位相ノイズの関係を示すプロット

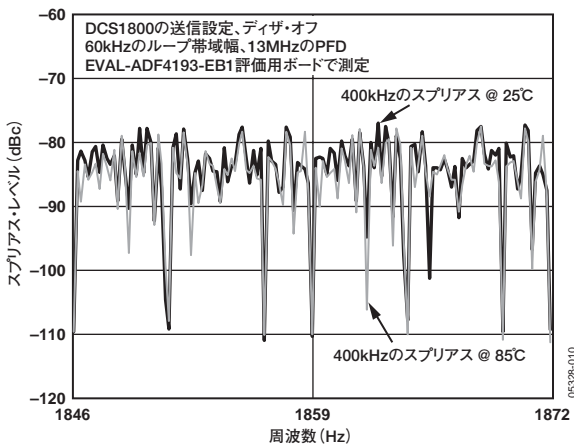


図6. PFDリファレンスの2倍(整数)周波数時にすべてのDCS1800送信チャンネル間で発生する400kHzのフラクショナル・スプリアス・レベル

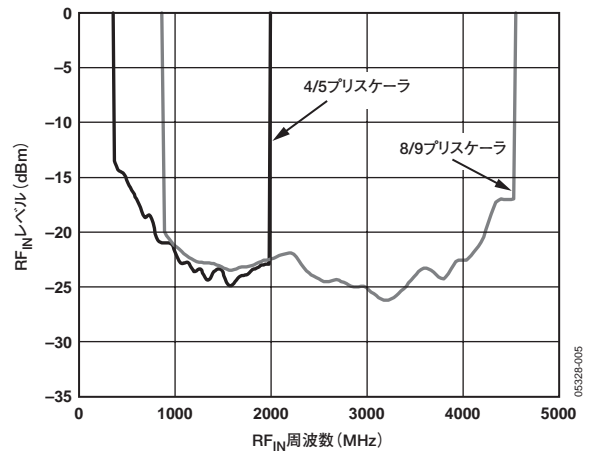


図7. RF入力感度

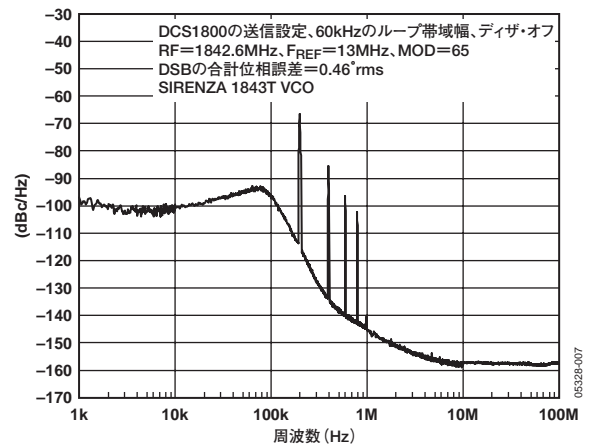


図8. 1842.6MHz( DCS1800の送信設定 )時のSSB位相ノイズ・プロット

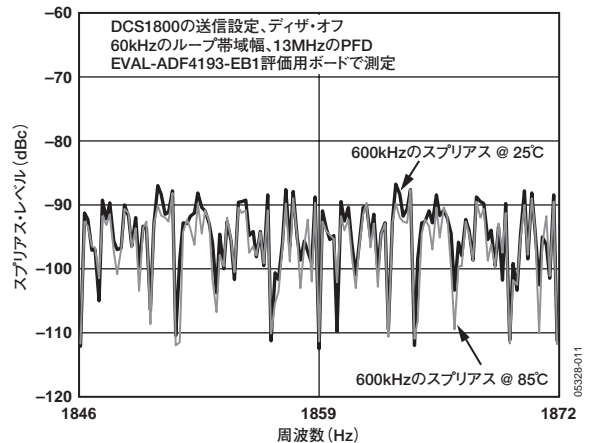


図9. PFDリファレンスの2倍(整数)周波数時にすべてのDCS1800送信チャンネル間で発生する600kHzのフラクショナル・スプリアス・レベル



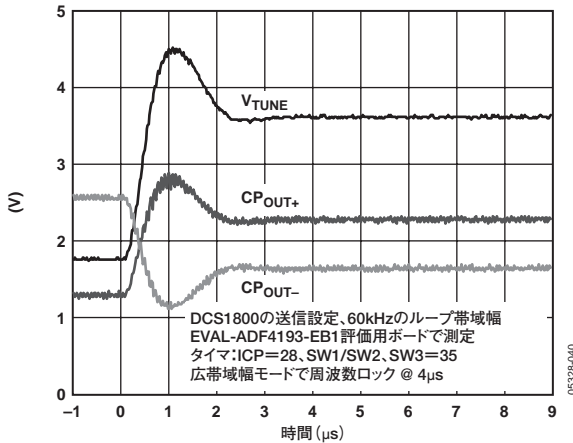


図10. Sirenza 1843T VCOで1818MHzから1893MHzに75MHzジャンプする場合のV<sub>TUNE</sub>セッティング・トランジエント

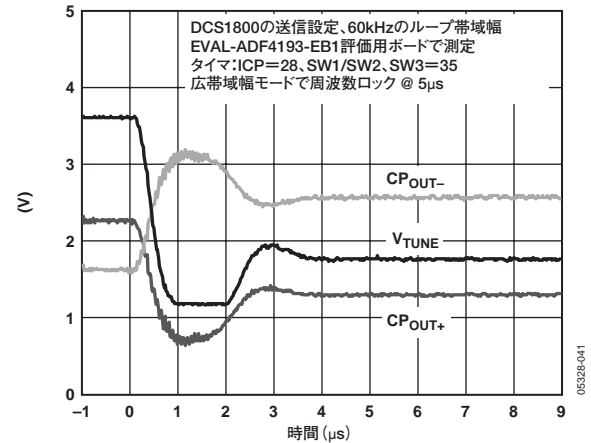


図13. 1893MHzから1818MHz( Sirenza 1843T VCOの許容同調範囲の下限周波数 )に75MHzジャンプダウンする場合のV<sub>TUNE</sub>セッティング・トランジエント

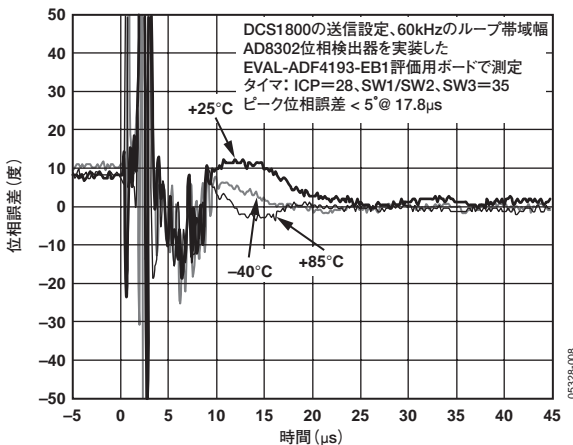


図11. 1818MHzから1893MHzに75MHzジャンプする場合の位相セッティング・トランジエント( Sirenza 1843T VCOでV<sub>TUNE</sub>を1.8Vから3.7Vに変化)

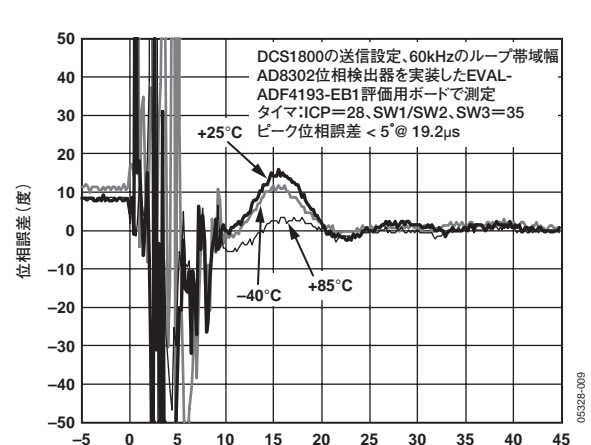


図14. 1893MHzから1818MHzに75MHzジャンプする場合の位相セッティング・トランジエント( Sirenza 1843T VCOでV<sub>TUNE</sub>を3.7Vから1.8Vに変化)

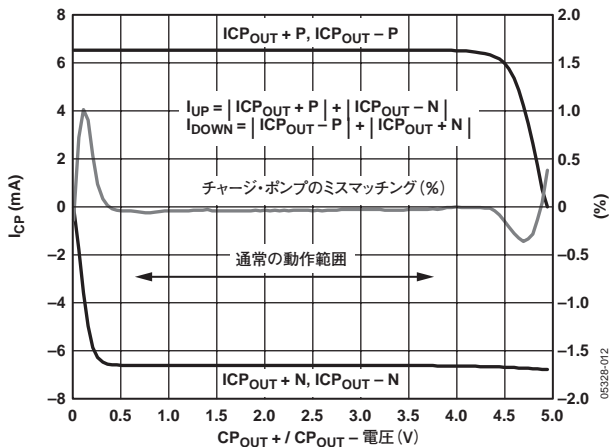


図12. V<sub>P1</sub> = V<sub>P2</sub> = 5V時の差動チャージ・ポンプの出力コンプライアンス範囲とチャージ・ポンプのミスマッチング

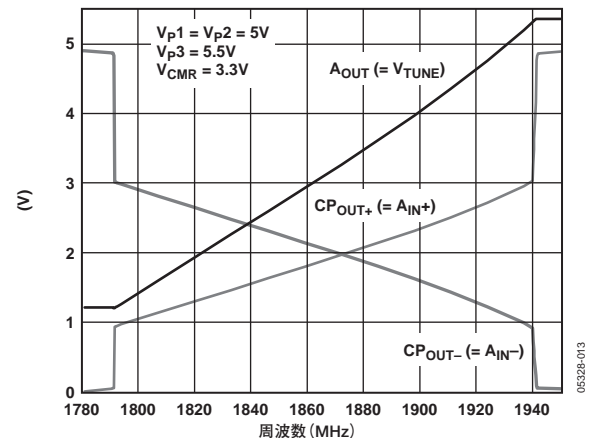


図15. Sirenza 1843T VCOと5.5Vの差動アンブ電源電圧を使用する場合の同調周波数範囲

# ADF4193

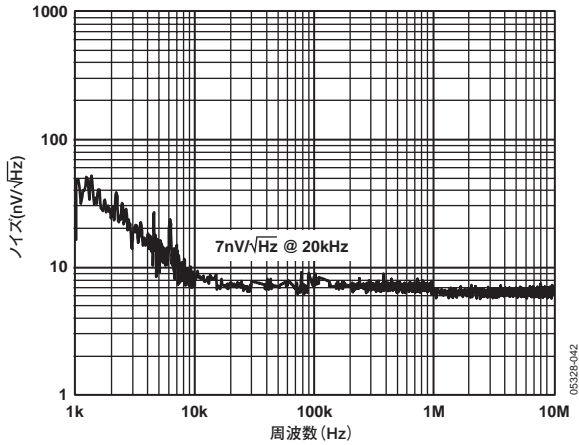


図16. 差動アンプの出力側で測定された電圧ノイズ密度

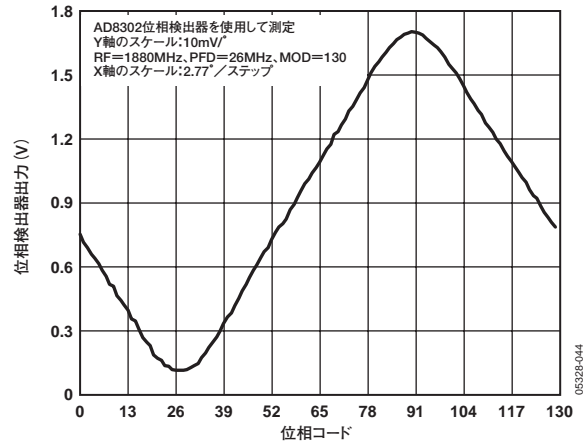


図18. 0 ~ MODの位相コード掃引範囲で検出されたRF出力位相

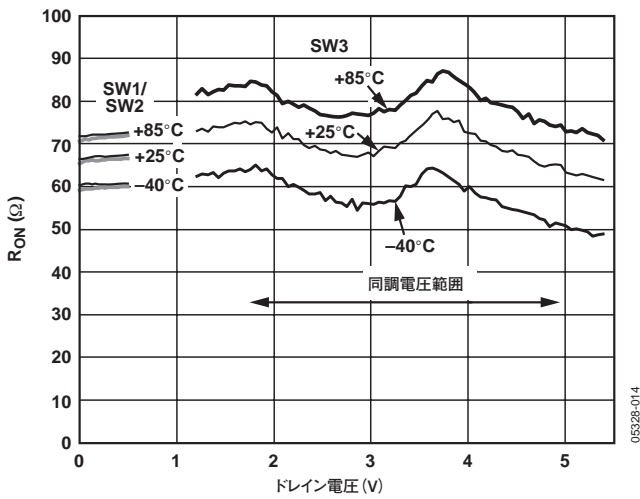
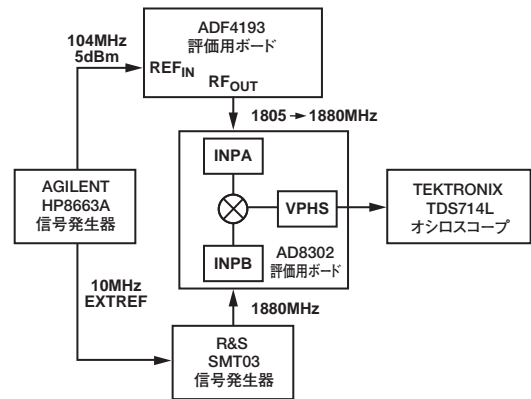


図17. ループ・フィルタ用スイッチSW1/SW2およびSW3のオン抵抗値



一貫性のある位相測定結果を確保するために、R0書き込み動作間のインターバルをMODリファレンス・サイクル(5 $\mu$ s)の倍数としてください。

図19. 位相ロック時間測定用のテスト・セットアップ

## 動作理論

ADF4193はGSM基地局で要求される条件を満たすように設計され、特にピンポン方式のソリューションを利用する必要性がないように配慮されています。このデバイスは周波数の変化時に広帯域幅のループを使用し、周波数がロックされた時点でループの帯域幅を狭くする高速ロック技術に基づいて動作します。チャージ・ポンプ電流を増加することによって、ループ帯域幅を広くします。チャージ・ポンプ電流の変化に対して安定性を維持する目的で、ループ・フィルタ部品の値を変更するためのスイッチが内蔵されています。ループの狭帯域化によって、位相ノイズとスプリアス仕様が満たされるようになります。差動チャージ・ポンプおよびループ・フィルタ方式が採用されているので、通常動作の狭帯域幅モードにループが復帰するときでも、ループの広帯域化で得た高速ロック時間を維持します。

## リファレンス入力段

リファレンス入力段の回路を図20に示します。S1とS2は、NC(ノーマル・クローズ)のスイッチです。S3はNO(ノーマル・オープン)です。パワーダウン中は、S3が閉じ、S1とS2が開くことで、REF<sub>IN</sub>ピンに負荷がまったくかからないようになっています。REF<sub>IN</sub>の立下りエッジは、立上がりエッジでトリガされるPFD(位相周波数検出器)でのアクティブ・エッジとなります。

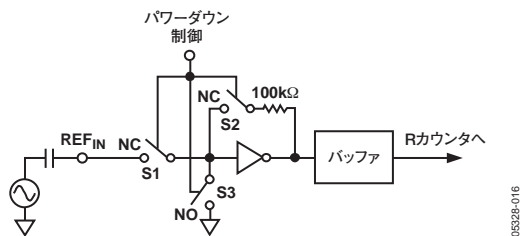


図20. リファレンス入力段

## Rカウンタとダブラー(2倍器)

4ビットのRカウンタは入力リファレンス周波数の分周によって、PFD(位相周波数検出器)に供給される基準クロックを生成します。このRカウンタの後段にオプションのトグル・フリップフロップを挿入すれば、さらに2分周を行うことができます。このオプションを利用すると、さらにPFDの基準クロックが50/50のマーク/スペース比に保たれるという利点があります。この比を維持することによって、PFDのリファレンス・クロックの立下がりエッジ、およびPFDのアクティブ・エッジに相当する立上がりエッジで生成される高速ロック・タイマ・クロック間が最大限に分離されます。このトグル・フリップフロップを2より大きい偶数のR分周値すべてに対してイネーブルにすることを推奨します。120MHzよりも高いREF<sub>IN</sub>周波数を分周する場合にも同様に、このトグル・フリップフロップをイネーブルにしなければなりません。

最大で20MHzまでの低いREF<sub>IN</sub>周波数に対応するように、4ビットRカウンタの前段にオプションのダブラーを接続することが可能です。これらのプログラマブル・オプションを利用することで、REF<sub>IN</sub>とPFDの間で0.5~30の範囲のリファレンス周波数分周比を適用できます。

## RF入力段

RF入力段の回路を図21に示します。この後段には、プリスケアラの動作に必要なCMLクロック・レベルを生成する2段構成のリミテイング・アンプが接続されます。4/5と8/9の2つのプリスケアラ・オプションを選択できます。N分周値が80よりも大きい場合には、8/9のプリスケアラを選択してください。

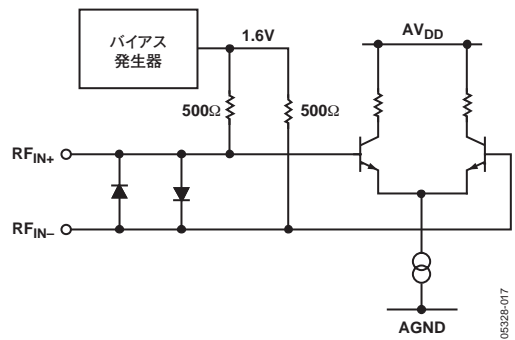


図21. RF入力段

## RF N分周器

RF N分周器は、PLL帰還パスでのフラクショナル分周比の設定を可能にします。図22と次の項で説明するように、分周値の整数部分と分数部分を個別のレジスタでプログラミングします。26~255の範囲の整数分周比の設定が可能であり、3次ΣΔ変調器で整数ステップ間の分数値を補間します。

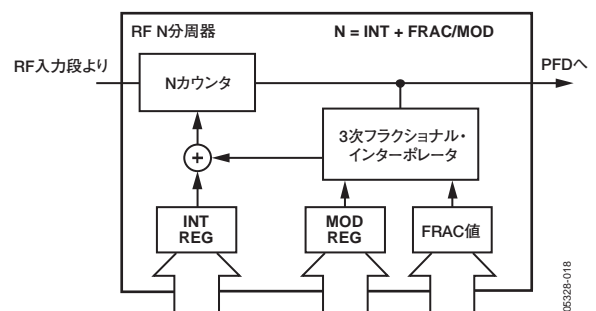


図22. フラクショナルN分周器

## INT、FRAC、MODの関係

シリアル・インターフェースを介してINT、FRAC、MOD値をプログラミングすることができます。PFDのリファレンス周波数の、これらの値に準じた整数、分数による分周比に基づいたRF出力周波数を生成できます。RF VCO周波数(RF<sub>OUT</sub>)を求める次式の角括弧内に表記するN分周値は、整数部分(INT)と分数部分(FRAC/MOD)で構成されます。

$$RF_{OUT} = F_{PFD} \times [INT + (FRAC/MOD)]$$

ここで、

RF<sub>OUT</sub>は外部VCOの出力周波数

F<sub>PFD</sub>はPFDのリファレンス周波数

# ADF4193

MOD値を選択する際には、利用可能なリファレンス周波数で望ましいチャンネル・ステップが確保できるように配慮します。その後で、必要とされるRF出力周波数に対応するINTおよびFRACワードをプログラミングします。詳細については、「プログラミング」の「実際の設定例」の項を参照してください。

## PFDとチャージ・ポンプ

PFDはR分周器とN分周器から入力される信号を受け入れ、各入力間の位相差に比例してパルス幅が異なるアップ出力およびダウン出力を供給します。チャージ・ポンプは、この差に等しい幅を持ったアップまたはダウン電流パルスを出力して、ループ・フィルタ上に組み込まれる電圧を昇圧または降圧し、これに対応してループ・フィルタはVCOの出力周波数を増減します。N分周器の位相がR分周器の位相よりも遅れている場合には、VCOの周波数を増加させる(すなわち、位相を進める)方向のアップ電流パルスが生成されます。N分周器の位相がR分周器のエッジよりも進んでいる場合には、VCOの周波数を低下させる(つまり、位相を遅らせる)方向のダウン電流パルスが生成されます。PFDとチャージ・ポンプの簡略回路図を図23に示します。チャージ・ポンプは64個の同一セルのアレイからなり、それぞれが完全な差動構成となっています。高速ロックの実行時には64個のセルがすべてアクティブになりますが、通常動作時にアクティブとなるのは1個のセルのみに限られます。VCOの同調には、シングルエンドの制御電圧が要求されるので、この目的のために差動/シングルエンド変換アンプが内蔵されています。さらに、位相ロック・ループで制御されるのは、チャージ・ポンプの出力間で発生する差動電圧のみに限られるので、内部のコモンモード帰還(CMFB)ループが約2Vのコモンモード電圧でチャージ・ポンプの出力をバイアスします。

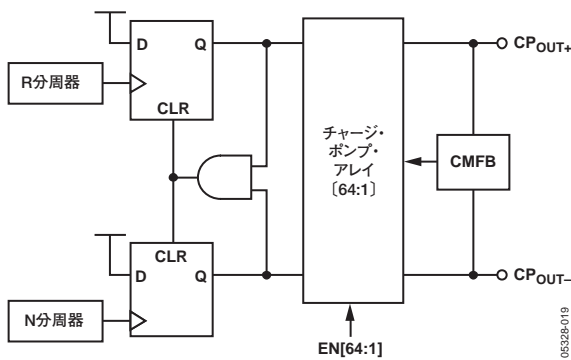


図23. PFDと差動チャージ・ポンプの簡略回路図

## 差動チャージ・ポンプ

チャージ・ポンプ・セル(図24を参照)は完全差動の設計になっており、アップ電流とダウン電流間のマッチングが最適化されます。チャージ・ポンプ電流をその高い値(高速ロック・モード時)から通常値(ノーマル・モード時)に切り替えるときに発生する位相オフセットを最小限に抑えるには、この良好なマッチングが必要不可欠となります。

昇圧時には、アップ・スイッチがオンになり、CP<sub>OUT+</sub>からPMOS電流がソース出力され、これに伴ってCP<sub>OUT+</sub>に外付けされるループ・フィルタ用コンデンサの電圧が増加します。同様に、CP<sub>OUT-</sub>にNMOS電流がシンクすることによって、CP<sub>OUT-</sub>に外付けされるループ・フィルタ用コンデンサの電圧が低下します。したがって、CP<sub>OUT+</sub>とCP<sub>OUT-</sub>の各ピン間の差動電圧が大きくなります。降圧時には、CP<sub>OUT-</sub>からPMOS電流がソース出力され、CP<sub>OUT+</sub>からNMOS電流がシンクする動作に伴って、CP<sub>OUT+</sub>とCP<sub>OUT-</sub>の各ピン間の差動電圧が小さくなります。チャージ・ポンプの昇圧と降圧のマッチングは、2つの異なるタイプのデバイスのマッチングに依存する従来型のシングルエンド方式のチャージ・ポンプと比較すると、大幅に改善されています。この構造のアップ/ダウン・マッチングは、PMOS間のマッチングとNMOS間のマッチングの度合によって左右されます。

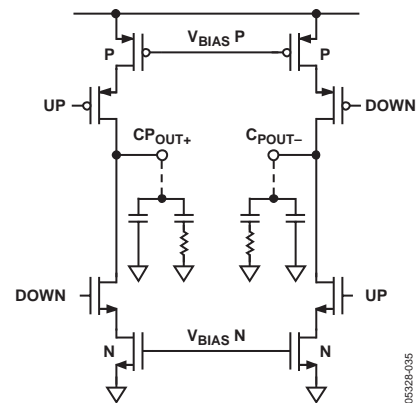


図24. 差動チャージ・ポンプ・セルと外付けのループ・フィルタ部品

## 高速ロック・タイムアウト・カウンタ

高速のロッキング動作を高精度に制御するために、PFDRリファレンス周波数の1/4のクロックで動作するタイムアウト・カウンタが用意されています(図25を参照)。新しい周波数が設定されると、常に高速ロック・タイムアウトが起動し、PLLが広帯域幅モードにロックされて、64個のまったく同じ100  $\mu$  Aのチャージ・ポンプ・セルがアクティブになります(合計で6.4mAの電流)。ICPカウンタのタイムアウト時には、1個のみの100  $\mu$  Aセルがアクティブになるまで、次の6タイマ・クロック・サイクル期間中にバイナリ・ステップでセルの選択を順次解除することによって、チャージ・ポンプ電流が1倍に相当するレベルまで低減されます。チャージ・ポンプ電流が6.4mAから100  $\mu$  Aに切り替わる動作は、ループ帯域幅がその8倍の周波数から1倍の周波数に変化する動作と同等です。このような状態のときには、安定性を維持するために、ループ・フィルタに変更を加えることが必要です。これはSW1、SW2、SW3の各スイッチのジョブとなります。図36のアプリケーション回路には、これらのスイッチを使用して、ループ・フィルタの時定数の設定を変更する方法を図示しています。これらのスイッチは高速ロックの実行中に閉じて外付けのループ・フィルタ用抵抗を短絡し、カウンタのタイムアウト時にループ・フィルタの時定数が100  $\mu$  Aのチャージ・ポンプ電流に対応する通常値に復帰する時点で開きます。チャージ・ポンプ電流が1倍に相当するレベルに低減されるまでに、6タイマ・クロック・サイクルが必要であるため、両方のスイッチ・タイマをICPタイマ値+7の値に設定することを推奨します。

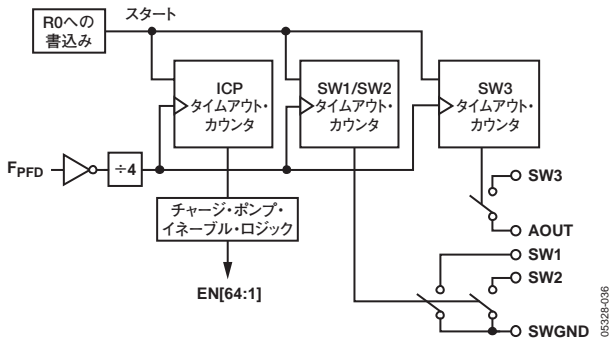


図25. 高速ロック・タイムアウト・カウンタ

## 差動アンプ

内蔵の低ノイズ差動/シングルエンド変換アンプを使用し、差動のチャージ・ポンプ出力をVCOの同調ポートで使用されるシングルエンドの制御電圧に変換します。この差動アンプの簡略回路図を図26に示します。出力電圧は、差動電圧に等しく、以下の数式に示すようにCMRピン上の電圧分だけオフセットされます。

$$V_{AOUT} = (V_{AIN+} - V_{AIN-}) + V_{CMR}$$

CMRのオフセット電圧は、図26に示すように、差動アンプの電源電圧である $V_{P3}$ の3/5に内部でバイアスされます。グラウンドとCMRピンとの間に $0.1\mu F$ のコンデンサを接続し、バイアシング抵抗から発生する熱ノイズを低減します。

図15からわかるように、差動アンプの出力電圧は最低で約1.2Vから $V_{P3}-0.3V$ までの4Vの電圧範囲で上記の数式に従った動作を行います。しかし、高速セトリングが保証されるのは、1.8Vから $V_{P3}-0.8V$ までの同調電圧範囲のみに限られます。その理由は、PLLの周波数セトリング・トランジェントで発生するオーバーシュートに対する十分な余裕度を確保するためです。

差動アンプから発生するノイズは、PLLのループ帯域幅の範囲内に抑えられます。ループ帯域幅が20kHzよりも高い場合、 $1/f$ ノイズがPLLの出力位相ノイズに及ぼす影響は無視できます。ループ帯域幅の範囲外での差動アンプのノイズはVCOの出力をFM変調することになります。図36のアプリケーション回路に示すように、差動アンプの後段に受動フィルタ・ネットワークを接続すれば、このノイズの影響が400kHz以上のオフセットから発生するVCOのノイズよりも低いレベルに抑えられます。このネットワークは、ループのロック時にSW3が閉じるときにバイパスされるので、ロック時間に対するその影響はほとんど無視できます。

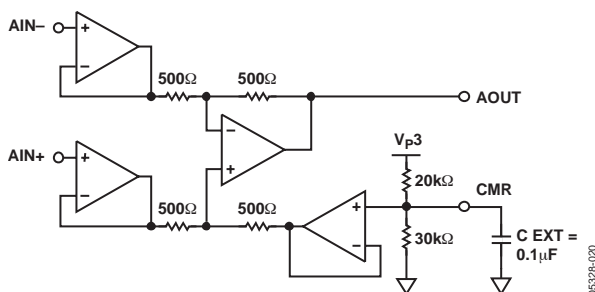


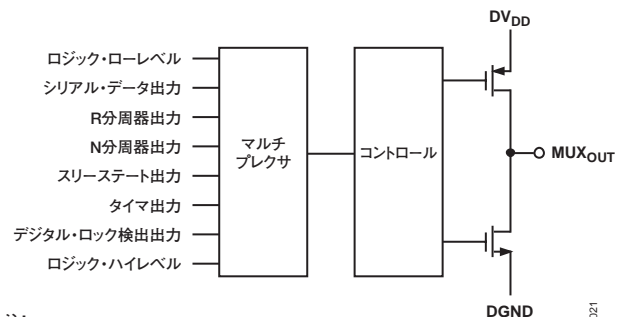
図26. 差動アンプのブロック図

## MUX<sub>OUT</sub>とロック検出信号

ADF4193には出力マルチプレクサが備わっているので、ユーザはこのチップ上の各種の内部ポイントにアクセスできます。MUX<sub>OUT</sub>の状態は、MUXレジスタのM4~M1ビットを使用して制御します。図35に詳細な真理値表を示します。図27には、MUX<sub>OUT</sub>セクションのブロック図を示します。

## ロック検出信号

デジタル・ロック検出信号を出力するように、MUX<sub>OUT</sub>をプログラミングできます。デジタル・ロック検出信号は、アクティブ・ハイの信号です。入力誤差が3ns以下の40個の連続するPFDサイクルが発生する場合には、この出力がハイレベルになります。2GHzを下回るRF周波数で信頼性の高いロック検出動作を実行するには、R6レジスタをプログラミングしてこのスレッシュホールドを10nsに増加させることを推奨します。新しいチャンネルのプログラミングが実行されると、またはPFD入力に誤差が1回のサイクルあるいは複数回のサイクルで30nsを超えると、このデジタル・ロック検出は再びローレベルになります。



注:  
この図に示すすべてのMUXOUTモードがMUXレジスタを参照するとは限りません。

図27. MUX<sub>OUT</sub>回路

## 入カシフト・レジスタ

ADF4193のシリアル・インターフェース部には、24ビットの入カシフト・レジスタが備わっています。CLKのエッジが立ち上がるごとに、データがMSBファーストでクロック入力されます。シフト・レジスタから出力されるデータは、ラッチ・イネーブル (LE) の立上がりエッジで、8個のコントロール・レジスタR0~R7のうち1個のレジスタにラッチされます。どのコントロール・レジスタを使用するかは、シフト・レジスタの3個のコントロール・ビット(C3, C2, C1)の状態によって決まります。3個のLSBとして、図2のタイミング図に示すDB2, DB1, DB0が使用されます。これらのビットの真理値表を表5に示します。図28には、レジスタのプログラミング方法に関する概要が示されています。

表5. C3, C2, C1の真理値表

コントロール・ビット			名称	レジスタ
C3	C2	C1		
0	0	0	FRAC/INT	R0
0	0	1	MOD/R	R1
0	1	0	位相機能	R2
0	1	1	機能	R3
1	0	0	チャージ・ポンプ	R4
1	0	1	パワーダウン	R5
1	1	0	MUX	R6
1	1	1	テスト・モード	R7

# ADF4193

## レジスタ・マップ

FRAC/INTレジスタ (R0)

予備	8ビットRF INT値									12ビットRF FRAC値											コントロール・ビット		
	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
0	N8	N7	N6	N5	N4	N3	N2	N1	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C3 (0)	C2 (0)	C1 (0)

MOD/Rレジスタ (R1)

DBB	DBB	予備	プリスケケラ	DBB ダブル・ イネーブル	DBB				DBB											コントロール・ビット			
CPADJ	REF/2				4ビットRF Rカウンタ				12ビット・モジュラス											DB2	DB1	DB0	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
F5	F4	0	F2	F1	R4	R3	R2	R1	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C3 (0)	C2 (0)	C1 (1)

位相レジスタ (R2)

予備	DBB												コントロール・ビット		
	12ビット位相												DB2	DB1	DB0
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C3 (0)	C2 (1)	C1 (0)

機能レジスタ (R3)

予備										CPO GND	予備	PFD遅延	コントロール・ビット		
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5			DB4	DB3	DB2
0	0	0	0	0	0	0	0	0	1	F3	1	F1	C3 (0)	C2 (1)	C1 (1)

チャージ・ポンプ・レジスタ (R4)

予備										9ビット・タイムアウト・カウンタ									タイマ・セレクト		コントロール・ビット		
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	1	C9	C8	C7	C6	C5	C4	C3	C2	C1	F2	F1	C3 (1)	C2 (0)	C1 (0)

パワーダウン・レジスタ (R5)

PD 差動アンプ	PD チャージ・ ポンプ	CP スリーステータム	カウンタ・ リセット	コントロール・ビット			
				DB2	DB1	DB0	
DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
F5	F4	F3	F2	F1	C3 (1)	C2 (0)	C1 (1)

MUXレジスタ (R6)

ΣΔ および ロック検出モード				予備					MUXOUT				コントロール・ビット		
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
M13	M12	M11	M10	0	0	0	0	0	M4	M3	M2	M1	C3 (1)	C2 (1)	C1 (0)

テスト・モード・レジスタ (R7)

予備												コントロール・ビット			
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	C3 (1)	C2 (1)	C1 (1)

DBB=ダブルバッファ・ビット

図28. レジスタ・マップ

06329-022

## FRAC/INTレジスタ(R0)

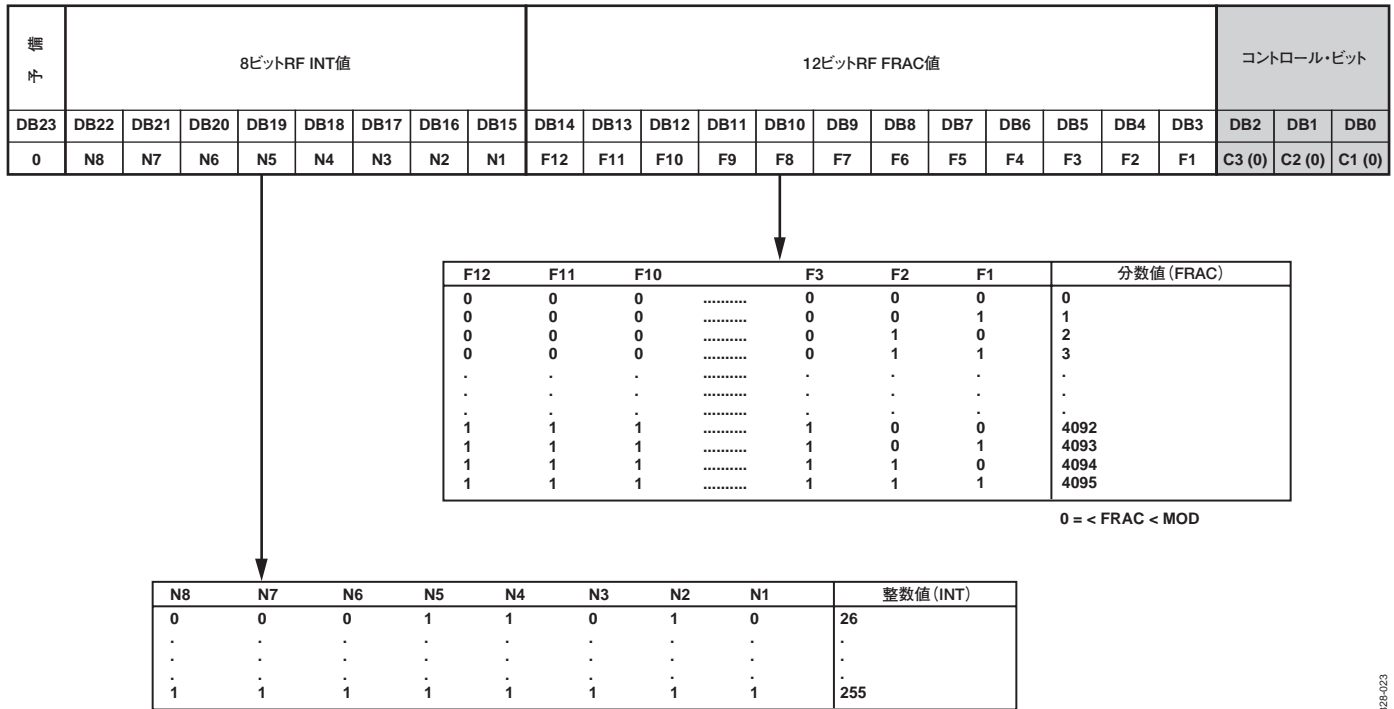


図29. FRAC/INTレジスタ(R0)

R0のFRAC/INTレジスタは、シンセサイザの出力周波数のプログラミングに使用します。R0の書き込み動作の後に続く次のPFDサイクルで、N分周器が新しいINTおよびFRAC値で更新され、PLLが自動的に高速ロック・モードに入ります。このときに、チャージ・ポンプ電流がその最大値まで増加し、ICPタイムアウト・カウンタがタイムアウトするまでこの値に留まりますが、SW1、SW2、SW3の各スイッチは閉じ、SW1、SW2とSW3の各タイムアウト・カウンタがタイムアウトするまで、閉じた状態に留まります。

初期化シーケンス(表8を参照)時に、レジスタすべてのプログラミングの完了後に新しいチャンネルの設定に必要な操作は、R0への書き込み動作のみです。ただし、「プログラミング」の項で説明するように、各チャンネル別にR1とR2のレジスタ設定を行ったほうが良い場合があります。これらの設定は、R0の書き込みによってダブルバッファされます。つまり、R1とR2それぞれの書き込みサイクルでシリアル・インターフェースを介してデータがロードされるときに、シンセサイザは次にレジスタR0に書き込み動作が実行されるまで、R1とR2の書き込みデータで更新されないということです。

### コントロール・ビット

R0のFRAC/INTレジスタを選択する場合、C3、C2、C1コントロール・ビットの3個のLSBをそれぞれ0、0、0に設定します。

### 予備ビット

予備のDB23は必ず0に設定します。

### 8ビットINT値

これらの8ビットで、フィードバック分周係数の整数部分を決定するINT値を設定します。26から255の範囲のすべての整数値を使用できます。「実際の設定例」の項を参照してください。

### 12ビットFRAC値

12個のFRACビットは、Σ Δ変調器に入力される分数値の分子を設定します。この値とINTを併せて使用し、「実際の設定例」の項で説明するように、シンセサイザがロックする新しい周波数チャンネルを指定します。0からMOD-1までのFRAC値が、PFDのリファレンス周波数に等しい周波数範囲のチャンネルに対応します。

# ADF4193

## MOD/Rレジスタ(R1)

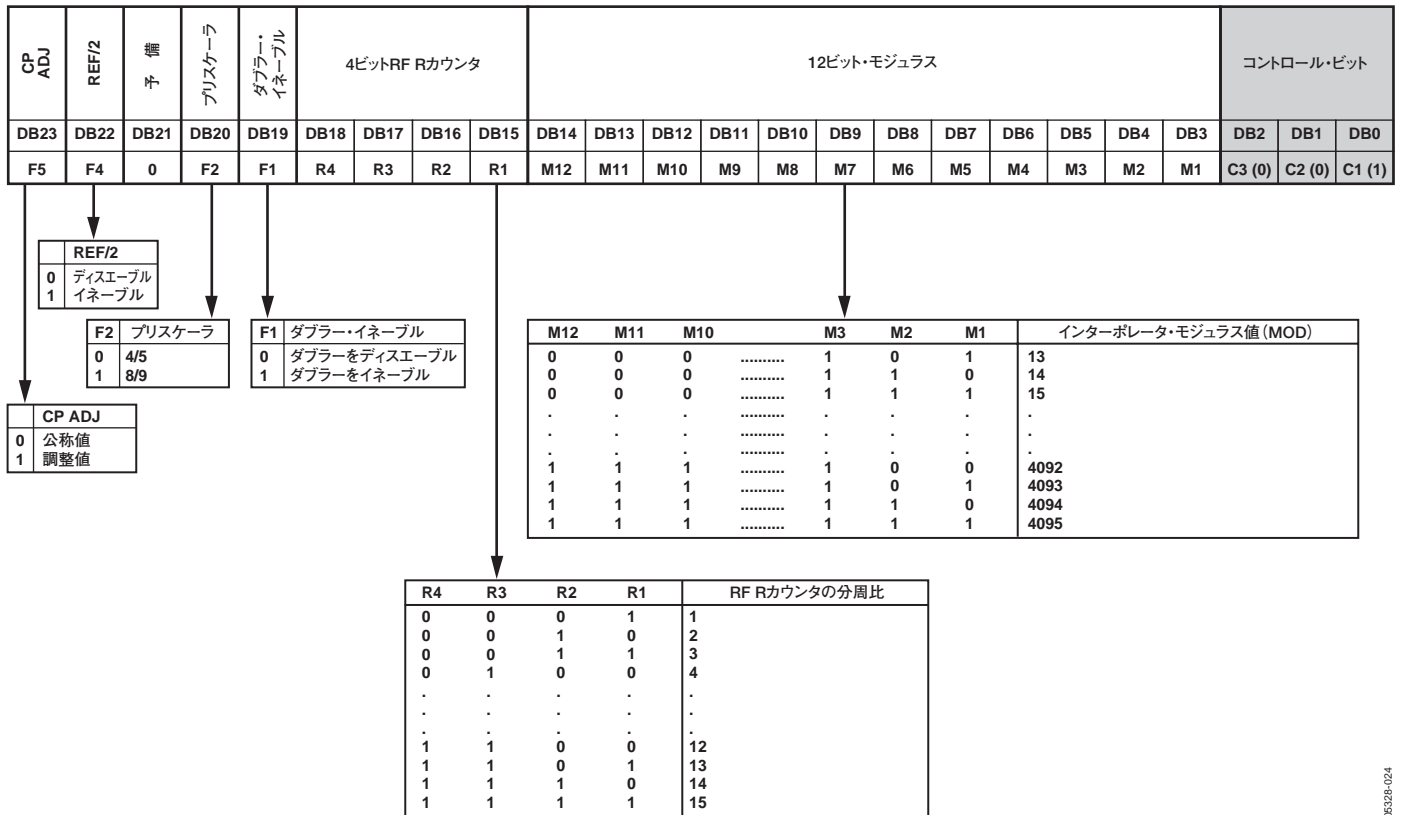


表30. MOD/Rレジスタ(R1)

このレジスタはPFDRのリファレンス周波数とチャンネル・ステップ・サイズを設定するときに使用し、ステップ・サイズはフラクショナル・モジュラスで分周されるPFDR周波数によって決定されます。MOD、Rカウンタ、REF/2、CP Adj、ダブラー・イネーブルの各ビットはダブルバッファされる点に注意してください。次のR0 (FRAC/INTレジスタ)への書き込み動作が完了するまで、これらのビット設定は有効になりません。

### コントロール・ビット

MOD/Rレジスタ(R1)をプログラミングする場合、C3、C2、C1をそれぞれ0、0、1に設定します。

### CP Adj

このビットを1に設定すると、次のR0書き込み動作時にチャージ・ポンプ電流がその公称値から25%スケールアップされます。このビットを0に設定すると、次のR0書き込み動作時にチャージ・ポンプ電流がその公称値に留まります。この機能の利用方法に関する詳細な説明については、「プログラミング」の項を参照してください。

### REF/2

このビットを1に設定すると、RカウンタとPFDRの間に2分周のトグル・フリップフロップが挿入され、REF<sub>IN</sub>の最大入力レートが拡張されます。

### 予備ビット

予備ビットのDB21は、必ず0に設定します。

### ダブラー・イネーブル

このビットを1に設定すると、REF<sub>IN</sub>と4ビットRカウンタの間に周波数ダブラーが追加されます。このビットを0に設定すると、ダブラーをバイパスします。

### 4ビットRF Rカウンタ

4ビットRF RカウンタはREF<sub>IN</sub>周波数の分周によって、PFDRに供給される基準クロックを生成します。1から15までの範囲のすべての整数値を利用できます。「実際の設定例」の項を参照してください。

### 12ビット・インターポレータ・モジュラス

一定のPFDRのリファレンス周波数の場合、分数の分母またはモジュラスがRF出力のチャンネル・ステップ分解能を設定します。13から4095までの範囲のすべての整数値を利用できます。MOD値の選択に関する詳細とガイドラインについては、「プログラミング」の項を参照してください。



## 位相レジスタ(R2)

備 予	12ビット位相												コントロール・ビット		
	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1
0	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C3 (0)	C2 (1)	C1 (0)

P12	P11	P10	.....	P3	P2	P1	位相値 <sup>1</sup>
0	0	0	.....	0	0	0	0
0	0	0	.....	0	0	1	1
0	0	0	.....	0	1	0	2
.	.	.	.....	.	.	.	.
.	.	.	.....	.	.	.	.
.	.	.	.....	.	.	.	.
1	1	1	.....	1	0	0	4092
1	1	1	.....	1	0	1	4093
1	1	1	.....	1	1	0	4094
1	1	1	.....	1	1	1	4095

<sup>1</sup>0 < 位相値 < MOD

06329-025

表31. 位相レジスタ(R2)

### 12ビット位相

この位相ワードを使用してΣΔ変調器のシード値を設定します。これは、0からMODまでの任意の整数値に設定できます。位相ワードが0からMODまでの範囲で掃引されるときに、VCO出力の位相は360°/MODのステップで360°の範囲にわたって掃引されます。

位相ビットがダブルバッファされる点に注意してください。次のR0 (FRAC/INTレジスタ)への書き込みLEが完了するまで、これらのビット設定は有効になりません。したがって、VCO出力周波数の位相を変更する必要がある場合には、R2に書き込みを行った後で、再度R0にINT値とFRAC値を書き込まなければなりません。

フラクショナルN PLLの出力は、MODをフラクショナル・モジュラスとするリファレンス周波数に関連して発生する可能性のあるMOD位相オフセットのいずれか1つにセリングすることが可能です。

リファレンス周波数と関連する同じ位相オフセットに出力を維持する必要がある場合には、その特定の出力周波数をプログラミングするたびに、R0への書き込み動作の終了から次の書き込み動作を開始するまでのインターバルをMOD基準サイクルの整数倍にする必要があります。

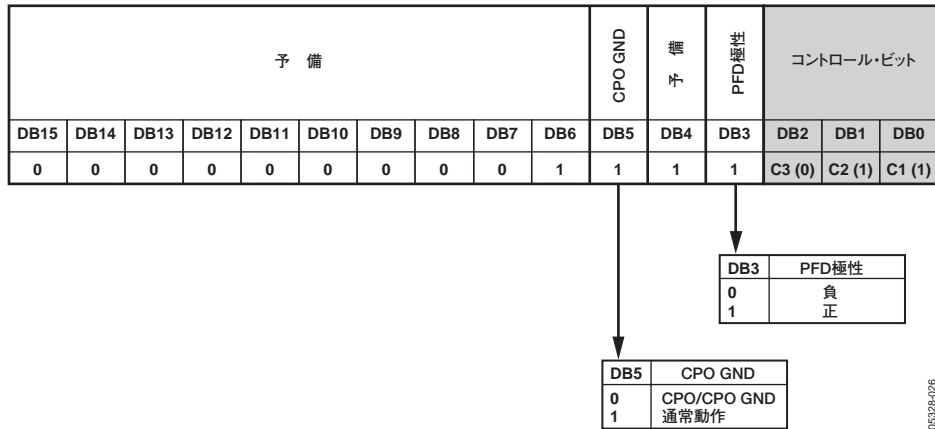
2個のADF4193ベース・シンセサイザでそれらの出力の位相を同期する必要があり、このケースでリファレンス周波数を共用しない場合は、同じリファレンス周波数サイクル期間中に両方のチップのR0への書き込み動作が実行されるようにするだけで十分です。この場合、R0への書き込み動作の終了から次の書き込み動作を開始するまでのインターバルをMOD基準サイクルの整数倍とする必要はありません。

### 予備ビット

予備ビットのDB15は必ず0に設定します。

# ADF4193

## 機能レジスタ(R3)



06328-026

図32. 機能レジスタ( R3 )

R3の機能レジスタ(C3、C2、C1をそれぞれ0、1、1に設定)のプログラミングが必要になるのは、初期化シーケンス(表8を参照)のときのみに限られます。

### CPO GND

CPO GNDビットがローレベルのときに、チャージ・ポンプの出力は内部でグラウンドに引き込まれます。ループ・フィルタのコンデンサを放電するために、これは初期化シーケンス時に呼び出されます。通常動作時には、このビットをハイレベルに設定します。

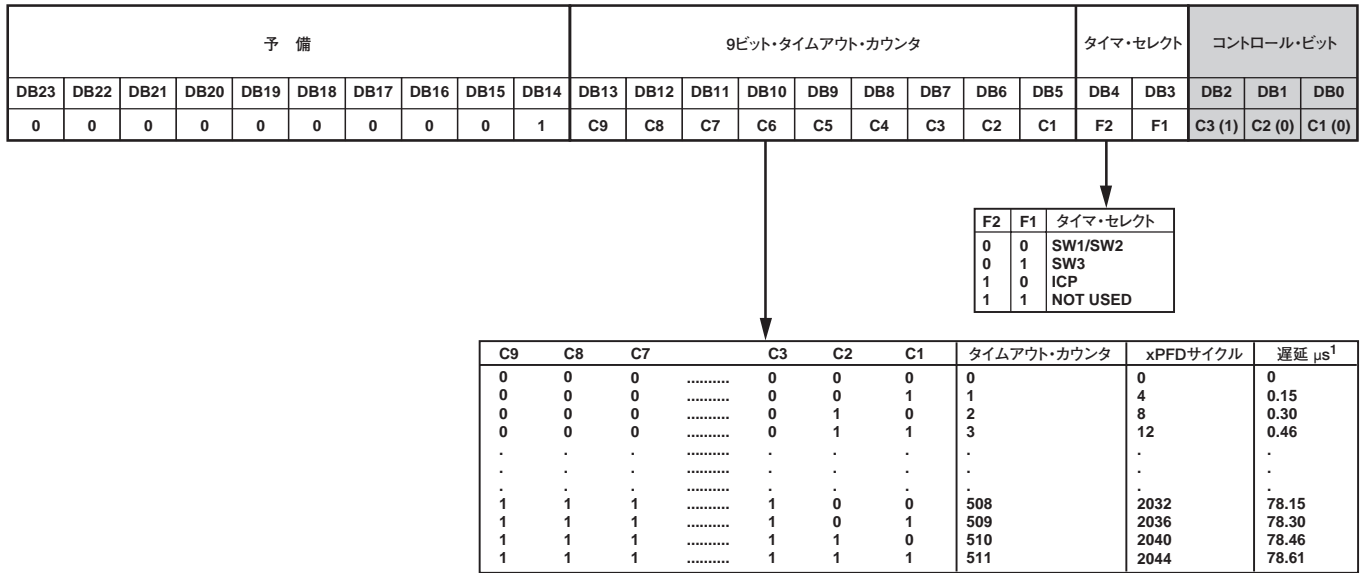
### PFD極性

正の極性の場合はこのビットを1に設定し、負の極性の場合には0に設定します。

### 予備ビット

DB15～DB6の予備ビットは16進数値の001に設定し、またDB4の予備ビットは1に設定してください。

## チャージ・ポンプ・レジスタ(R4)



<sup>1</sup> 26MHz PFDの場合の遅延

図33. チャージ・ポンプ・レジスタ(R4)

### 予備ビット

DB23～DB14の各ビットは予備です。通常動作時には16進数値の001に設定してください。

### 9ビット・タイムアウト・カウンタ

これらのビットは、高速ロック・タイムアウト・カウンタのプログラミングに使用します。カウンタはPFDリファレンス周波数の1/4のクロックで動作するので、その時間遅延は次式に従ってPFDの周波数に合わせてスケールリングします。

$$\text{遅延} = (\text{タイムアウト・カウンタ値} \times 4) / (\text{PFD周波数})$$

たとえば、タイマ・セレクト(00)で35をロードし、PFD周波数を13MHzとする場合、SW1/SW2は以下の時間の経過後に切り替わります。

$$(35 \times 4) / 13\text{MHz} = 10.8 \mu\text{s}$$

### タイマ・セレクト

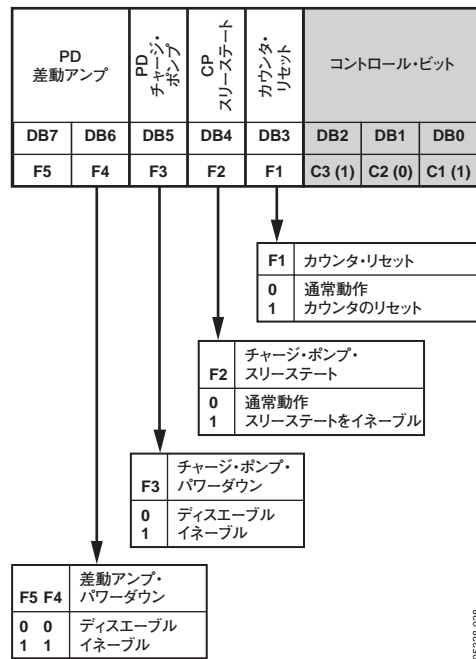
これらの2個のアドレス・ビットで、プログラミングの対象となるタイムアウト・カウンタを選択します。ADF4193を正しく設定するには、これら3つのタイムアウト・カウンタの設定が必要であるため、初期化シーケンスでこのレジスタに3回の書き込み動作を実行する必要があります。表6に、最終ループ帯域幅が60kHzのGSM送信シンセサイザを例とする推奨値を示します。詳細については、「アプリケーション」の項を参照してください。

表6. GSM送信LOに適用される推奨値

タイマ・セレクト	タイムアウト・カウンタ	値	PFD=13MHzの場合の時間 ( $\mu\text{s}$ )
10	ICP	28	8.6
01	SW1/2	35	10.8
00	SW3	35	10.8

R0への書き込み動作が実行されるたびに、タイムアウト・カウンタが開始します。SW3カウンタがタイムアウトになるまで、SW3スイッチが閉じます。同様に、SW1/SW2カウンタがタイムアウトになるまで、SW1/SW2スイッチが閉じます。ICPカウンタがタイムアウトになると、チャージ・ポンプ電流が6バイナリ・ステップで64倍から1倍に低下します。表6の例で示すように、SW1、SW2、SW3のタイムアウト・カウンタ値をICPタイムアウト・カウンタ値+7に等しい値に設定することを推奨します。

## パワーダウン・レジスタ(R5)



05238-028

図34. パワーダウン・レジスタ(R5)

R5のパワーダウン・レジスタ(コントロール・ビット1、0、1)を使用し、PLLと差動アンプの各回路部をソフトウェアでパワーダウンできます。最初に電源を投入した後で、R5に書き込みを行ってパワーダウン・ビットをクリアし、ADF4193がパワーダウンを終了する前に、R2、R1、R0に書き込みを行う必要があります。

### 差動アンプのパワーダウン

DB6とDB7をハイレベルに設定すると、差動アンプがパワーダウン状態に入ります。DB6とDB7をローレベルに設定すると、通常動作が再開されます。

### チャージ・ポンプのパワーダウン

DB5をハイレベルに設定すると、チャージ・ポンプがパワーダウン状態に入り、以下のイベントが発生します。

- 差動アンプを除いて、すべてのアクティブなDC電流パスが遮断されます。
- RおよびN分周器カウンタは、そのロード状態の条件に強制設定されます。
- チャージ・ポンプがパワーダウンし、その出力がスリーステート・モードに維持されます。
- デジタル・ロック検出回路がリセットされます。
- RF<sub>IN</sub>入力のバイアスが解除されます。
- リファレンス入力バッファ回路がディスエーブルになります。
- シリアル・インターフェースはアクティブの状態に維持され、データのロードとラッチは実行できます。

通常動作の場合、DB5ビットを0に設定し、その後でR0への書き込みを行ってください。

### CPスリーステート

このビットをハイレベルに設定すると、チャージ・ポンプの出力がスリーステート・モードに入ります。このビットをローレベルに設定すると、チャージ・ポンプの出力がイネーブルになります。

### カウンタ・リセット

このビットを1に設定すると、カウンタがリセット状態に保持されます。通常動作時には、このビットを0に設定し、その後でR0への書き込みを行ってください。

## MUXレジスタ(R6)

ΣΔ および ロック検出モード				予 備					MUXOUT				コントロール・ビット		
DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
M13	M12	M11	M10	0	0	0	0	0	M4	M3	M2	M1	C3 (1)	C2 (1)	C1 (0)

M13	M12	M11	M10	ΣΔモード
0	0	0	0	初期状態、ディザ・オフ、 ロック検出スレッシュヨールド3ns
0	0	1	1	ディザ・オン
1	0	0	1	ロック検出スレッシュヨールド10ns
上記以外のすべてのビット組合わせ				予 備

M4	M3	M2	M1	MUXOUT
0	0	0	0	スリーステート
0	0	0	1	デジタル・ロック検出
0	0	1	0	N分周器出力
0	0	1	1	ロジック・ハイレベル
0	1	0	0	Rカウンタ
0	1	0	1	予 備
0	1	1	0	シリアル・データ出力
0	1	1	1	ロジック・ローレベル
1	0	0	0	R 2分周出力
1	0	0	1	N 2分周出力
1	0	1	0	予 備
1	0	1	1	予 備
1	1	0	0	ICPタイムアウト信号
1	1	0	1	SW1/2タイムアウト信号
1	1	1	0	SW3タイムアウト信号
1	1	1	1	予 備

08228-02B

図35. MUXレジスタ(R6)

C3、C2、C1をそれぞれ1、1、0に設定すると、MUXレジスタのプログラミングが可能になります。

### ΣΔとロック検出モード

DB15～DB12の各ビットは、PLLの一定の動作モードを再設定するために使用します。チップの電源をオンにした後の初期化シーケンスでは、これら4つのビットをオール「0」に設定する必要があります。これにより、PLLはΣΔ変調器のディザがオフで、かつロック検出回路のPFD誤差スレッシュヨールドが3nsの既知の状態に初期化されます。

ΣΔ変調器のディザをオンにする場合、レジスタR6に追加の書込みを行って[DB15:DB12]=[0011]に設定します。ただし、動作時にノイズを最小に抑えるにはディザをオフにするのがベストです。

ロック検出スレッシュヨールドを3nsから10nsに変更するには、レジスタR6に書込みを行って[DB15:DB12]=[1001]に設定します。これは、RF周波数が2GHz未満の場合にロック検出動作の信頼性を高めるために必要となります。

R6に書込みを行い[DB15:DB12]=[0000]に設定すると、ディザもオフでかつロック検出スレッシュヨールドも3nsのデフォルト状態に戻ります。

### 予備ビット

通常動作時は、予備ビットはすべて0に設定する必要があります。

### MUX<sub>OUT</sub>モード

オンチップのマルチプレクサをこれらのビットで制御します。この各ビットの真理値表については、図35を参照してください。ユーザはMUX<sub>OUT</sub>ピンを使用して、R分周器やINT分周器の出力など、チップ上の各種の内部ポイントを確認できるので、このピンは診断目的に役立ちます。

これに加えて、タイムアウト・カウンタの設定後のインターバルをMUX<sub>OUT</sub>ピンでモニタすることも可能です。その例として、ICPタイムアウト・カウンタを65(26MHzのPFD周波数)に設定した場合、次のR0への書込み動作の後で、10μsのパルス幅がMUX<sub>OUT</sub>ピンで確認されます。

MUX<sub>OUT</sub>ピンからデジタル・ロック検出を行うことができます。

# ADF4193

## プログラミング

ADF4193は、入力リファレンス周波数の分周比であるチャンネル・ステップまたは分解能で出力周波数を合成することが可能です。入力リファレンス周波数と望ましい出力周波数ステップが確定されている場合に、最初に選択するのはPFDのリファレンス周波数とMODです。これらの選択が完了した後で、INT値とFRAC値を指定し、望ましい出力周波数チャンネルを設定します。

### 実際の設定例

このGSM900 RXシステムの例では、チャンネル・ステップが200kHzのRF出力周波数を生成する必要があります。104MHzのリファレンス周波数入力 (REF<sub>IN</sub>) を利用できます。PFDのリファレンス周波数を設定するためのR分周器の設定を数式1に示します。

$$F_{PFD} = REF_{IN} \times [(1+D)/(R \times (1+T))] \quad (1)$$

ここで、

REF<sub>IN</sub> = 入力リファレンス周波数

D = ダブラー・イネーブル・ビット (0または1)

R = 4ビットRカウンタのコード (0~15)

T = REF/2ビット (0または1)

26MHzの最大PFDリファレンス周波数を選択し、4のR分周値が得られるように以下のような設定を行います。

ダブラー・イネーブル・ビット=0

R=2

REF/2ビット=1

次に、200kHzのフラクショナル・ステップを可能にするモジュラスのMOD値を選択します。

$$MOD = 26 \text{ MHz} / 200 \text{ kHz} = 130 \quad (2)$$

チャンネル・ステップの定義が完了すれば、以下の数式からRF出力周波数を求めて、出力周波数チャンネルを設定します。

$$RF_{OUT} = [INT + (FRAC/MOD)] \times [F_{PFD}] \quad (3)$$

ここで、

RF<sub>OUT</sub> = 所望のRF出力周波数

INT = 分周除算の整数部分

FRAC = 分周除算の分子部分

MOD = 分周除算のモジュラスまたは分母部分

たとえば、以下のような値を設定し、962.4MHzの周波数チャンネルを合成します。

INT=37

FRAC=2

## スプリアス・メカニズム

「フラクショナル・スプリアス」「整数境界スプリアス」「リファレンス・スプリアス」の項では、フラクショナルNシンセサイザで発生する3つの異なるスプリアス・メカニズム、およびこれらを最小限に抑えるためのADF4193の最適なプログラミング方法について説明します。

### フラクショナル・スプリアス

ADF4193のフラクショナル・インターポレータは、モジュラス (MOD) 値を13から4095までの任意の整数値に設定可能な3次のΣΔ変調器 (SDM) です。ディザをイネーブルに設定している場合のMODの最小許容値は50です。SDMはPFDリファレンス周波数 (f<sub>PFD</sub>) に等しいクロックで動作するので、f<sub>PFD</sub>/MODのチャンネル・ステップ分解能でPLLの出力周波数を合成することが可能です。

ディザをオフにしているときに、ΣΔ変調器から発生する量子化ノイズがフラクショナル・スプリアスとして現れます。スプリアスが発生するインターバルは、f<sub>PFD</sub>/Lに相当します。LはデジタルΣΔ変調器のコード・シーケンスの繰返し長です。ADF4193で使用される3次変調器の繰返し長は、表7に示すようにMODの数値に応じて異なります。

表7. ディザ・オフ時のフラクショナル・スプリアス

条件 (ディザ・オフ時)	繰返し長	スプリアスの発生インターバル
MODが2で割り切れるが3で割り切れない場合	2 × MOD	チャンネル・ステップ/2
MODが3で割り切れるが、2で割り切れない場合	3 × MOD	チャンネル・ステップ/3
MODが6で割り切れる場合	6 × MOD	チャンネル・ステップ/6
上記以外の場合	MOD	チャンネル・ステップ

ディザがイネーブルの場合には、MODの数値とは無関係に、繰返し長が2<sup>21</sup>サイクルまで拡張され、量子化誤差スペクトルが広帯域ノイズのように拡散して分布します。このため、PLL出力の帯域内位相ノイズ性能が10dBほど劣化します。したがって、特に最も低い周波数のフラクショナル・スプリアスを減衰するために最終的なループ帯域幅を十分低くした場合でも、ノイズを最小限に抑えるためにはディザをオフにする方が適切といえます。ADF4193では幅広い範囲のループ帯域幅を利用できるので、ほとんどのアプリケーションでこの方法を活用できます。

### 整数境界スプリアス

フラクショナル・スプリアスを発生するもう1つのメカニズムには、RF VCO周波数とリファレンス周波数との間の相互作用があります。これらの周波数が整数関係でない場合に、ビート・ノートに相当するオフセット周波数、あるいはリファレンス周波数の整数倍とVCO周波数との間の周波数差において、スプリアス・サイドバンドがVCOの出力スペクトル上に現れます。

これらのスプリアスはループ・フィルタによって減衰されますが、周波数差がループ帯域幅内にとどまる可能性のある、リファレンス周波数の整数倍に近いチャンネル上で顕著に発生する傾向があります。このような由来から、整数境界スプリアスという名称が付けられています。

ADF4193のループ帯域幅スイッチング比は8:1であるため、大部分のアプリケーションですべてのスプリアスを十分に低いレベルまで減衰できます。最終ループ帯域幅を選択する際には、すべてのスプリアスが帯域外まで十分に遠ざかると同時に、8倍の帯域幅ブースト時にロック時間に対して要求される条件を満たすことを確認してください。

ADF4193のプログラマブル・モジュラスおよびR分周器を使用し、整数境界チャンネルを回避することもできます。このオプションについては、「整数境界チャンネルの回避」の項で説明します。

## リファレンス・スプリアス

リファレンス・オフセットはループ帯域幅から大きく外れるので、フラクショナルNシンセサイザでリファレンス・スプリアスが問題になることは一般的にありません。しかし、ループをバイパスするリファレンスのフィードスルー・メカニズムが問題を引き起こす可能性があります。このようなメカニズムの1つは、チップ上で発生するリファレンス・スイッチング・ノイズのローレベルのフィードスルーがRF<sub>IN</sub>ピンを通過してVCOに戻る現象です。その結果、リファレンスのスプリアス・レベルが-90dBcまで高くなる可能性があります。しかし、たとえば、VCOとRF<sub>IN</sub>ピンとの間にRFバッファを接続するなど、十分な逆アイソレーションを挿入することによって、これらのスプリアスを-110dBcよりも低いレベルに抑えることが可能です。さらに、ボード上にフィードスルー・パスが形成されるのを回避するために、VCOが入力リファレンスから十分に分離されるように、PCボードのレイアウトに配慮してください。

## パワーアップの初期化

ADF4193の電源投入時には、必ず最初に3V電源 (AV<sub>DD</sub>、DV<sub>DD</sub>、SDV<sub>DD</sub>)をオンにし、それからV<sub>P3</sub>をオンにするように、注意してください。さもなければ、差動アンプの初期化が正常に行われない可能性があります。推奨するパワーアップ・シーケンスは3V電源 (AV<sub>DD</sub>、DV<sub>DD</sub>、SDV<sub>DD</sub>)を最初にオンにし、それから5V電源 (V<sub>P1</sub>、V<sub>P2</sub>、V<sub>P3</sub>)をオンにします。次に、コントロール・レジスタを初期化することが必要です。表8で説明する14ステップのシーケンスを推奨します。

表8の例で使用している分周器とタイマの設定は、REF<sub>IN</sub>周波数が104MHzのDCS1800送信シンセサイザを対象としています。

表8. パワーアップの初期化シーケンス

ステップ	レジスタ・ビット	16進数コード	説明
1	R5 [7:0]	FD	すべてのパワーダウン・ビットを設定
2	R3 [15:0]	005B	PD極性=1、CP <sub>OUT+</sub> /CP <sub>OUT-</sub> をグラウンドに接続
10ms待ち			ループ・フィルタのコンデンサが放電する時間を確保
3	R7 [15:0]	0007	テスト・モードをクリア
4	R6 [15:0]	000E	PLLモードの初期化、MUX <sub>OUT</sub> ピンによるデジタル・ロック検出
5	R6 [15:0]	900E	ロック検出スレッシュホールド10ns、MUX <sub>OUT</sub> ピンによるデジタル・ロック検出
6	R4 [23:0]	004464	SW1/SW2タイマ=10.8 μs
7	R4 [23:0]	00446C	SW3タイマ=10.8 μs
8	R4 [23:0]	004394	ICPタイマ=8.6 μs
9	R2 [15:0]	00D2	位相=26
10	R1 [23:0]	520209	8/9プリスケアラ、ダブラーをデイスエーブル、R=4、トグル・フリップフロップ・オン、MOD=65
11	R0 [23:0]	480140	1880MHzの出力周波数の場合はINT=144、FRAC=40
12	R3 [15:0]	007B	PD極性=1、CP <sub>OUT+</sub> /CP <sub>OUT-</sub> の解放
13	R5 [7:0]	05	すべてのパワーダウン・ビットをクリア
14	R0 [23:0]	480140	1880MHzの出力周波数の場合はINT=144、FRAC=40

ADF4193はステップ13の後でパワーアップし、ステップ14の後で設定されたチャンネル周波数にロックされます。

## PLLの周波数変更と位相ロックアップ・テーブル

ADF4193の初期化完了後、新しい出力周波数を設定するために必要な操作は、レジスタR0への書き込み動作を実行するだけです。R0ワードをラッチ入力するLEのエッジの後に続く次のPFDサイクルで、N分周器がINT値およびFRAC値で更新されます。ただし、各チャンネル別にR1とR2のレジスタ設定を変更することによって、シンセサイザのセトリング時間とスプリアス性能をさらに最適化することができます。これらの設定は、R0への書き込みによってダブルバッファされます。つまり、R1とR2それぞれの書き込みサイクル時に、シリアル・インターフェースを介してデータがロードされている間は、次のレジスタR0への書き込み動作が実行されるまで、シンセサイザはこれらのデータで更新されないということです。

R2レジスタを使用して、リファレンスのエッジをベースとするVCO出力位相のデジタル調整を行うことができます。360°/MODの分解能でRFの360°の位相範囲全域で位相を調整することが可能です。ほとんどの周波数シンセサイザのアプリケーションでは、リファレンスをベースとするVCO出力の実際の位相オフセットは不明であり、これが問題になることはありません。このようなアプリケーションでは、「位相ロックアップ・テーブル」の項で説明するように、R2レジスタの位相調整機能を使用してセトリング時間の性能を最適化できます。

# ADF4193

## 位相ロックアップ・テーブル

ADF4193の高速ロック・シーケンスは、レジスタR0への書き込み後に開始されます。PLLが広帯域幅モードでセトリングした後、チャージ・ポンプ電流が低下し、ループ・フィルタの抵抗スイッチが開いて、ループ帯域幅が低下するように、高速ロック・タイマをプログラミングします。これらのイベント発生時の基準クロック・サイクルは、タイムアウト・カウンタで設定される値によって決まります。

図10と図13から、最終位相に対するロック時間は、帯域幅が低下するときに発生する位相振幅によって左右されることがわかります。PLLが広帯域幅モードで最終的な周波数と位相にセトリングすると、この位相振幅はシンセサイザの周波数ジャンプのサイズに関係なく同じになります。位相振幅のレベルは、SW1/SW2スイッチが開くPFDのリファレンス・サイクル時にループ・フィルタのゼロ抵抗を通過して流れる電流と関係します。インテグレーションPLLでは、PLLがセトリングした後でこの電流がゼロになります。フラクショナルPLLでは、この電流は平均的にゼロですが、デジタルΣΔ変調器からの量子化誤差シーケンス出力に応じて、この電流はリファレンス・サイクル間で変化します。ΣΔ変調器はPFDのリファレンス・レートでクロック動作を行う純粋なデジタル・ロジックであるため、MODがある値の場合、所定のリファレンス・サイクル時に発生する実際の量子化誤差は、R0への書き込みの後でこの変調器にシードされるFRACとPHASEの各ワードの値によって決まります。次のR0の書き込み時に設定されるFRAC値に対応する適切なPHASE値を選択することにより、SW1/SW2スイッチが開くPFDのリファレンス・サイクル時に発生する誤差電流のレベル、すなわち帯域幅が低下するときに発生する位相振幅を最小限に抑えることができます。

ディザがオフ状態のときに、SDMの量子化ノイズによって発生するフラクショナル・スプリアスのパターンも同様に、変調器にシードされる位相ワードに依存します。SW1/SW2およびICPタイマの一般的な設定に対応するように最適化されたFRAC値とPHASEのテーブルを弊社ウェブサイトのADF4193製品ページからダウンロードできます。位相テーブルを利用する場合には、最初に位相を書き込んでR2レジスタをダブルバッファし、次にR0でINTとFRAC値を書き込んでください。

## 整数境界チャンネルの回避

新しい周波数を設定する際の追加オプションとして、整数境界スプリアスの発生を回避するために、R1レジスタへの書き込みを行う方法があります。整数境界のスプリアス・レベルが非常に高いことが確認されている場合、オプションとして、異なるPFD周波数を選択するためにR分周器の設定変更を行い、目的のチャンネルから整数境界を引き離すことが可能です。たとえば、26MHzのPFDリファレンスに対して $REF_{IN}=104\text{MHz}$ 、 $R=4$ とし、200kHzステップに対して $MOD=130$ とする場合、910.2MHz時の周波数チャンネルは $35 \times 26\text{MHz}$ から200kHzのオフセットがあるため、200kHzの整数境界スプリアスを持つことになります。このチャンネルを合成するもう1つ別の方法は、20.8MHzのPFDリファレンスに対して $R=5$ 、および200kHzステップに対して $MOD=104$ を設定することです。このように設定すると、910.2MHzのチャンネルは20.8MHzに最も近い整数倍の周波数から5MHzオフセットし、5MHzのビート・ノート・スプリアスはループによって十分に減衰されます。ダブルバッファ・ビットR1[23]=1 (CP Adjビット)に設定すると、チャージ・ポンプ電流が25%増加し、20.8MHzのPFD周波数の変化に伴うNの25%の増加が補償されます。これにより、2つのPFD周波数間のジャンプに対してループの動的特性とセトリング時間性能が一定に維持されます。26MHzベース・チャンネルにジャンプして戻るときには、CP Adjビットを再度クリアしてください。

整数境界スプリアスの発生を回避するために必要なR1レジスタの設定は、すべてダブルバッファされるので、次のR0レジスタへの書き込み動作が実行されるまで、これらの設定はチップ上でアクティブになりません。新しい周波数を設定する際には、常にR0レジスタへの書き込みを最後に行ってください。

## シリアル・インターフェース動作

R2またはR1レジスタのプログラミング設定時に、シリアル・インターフェース動作がシンセサイザのセトリング位相に大きな影響を及ぼしたり、またはその周波数スペクトルの劣化を引き起こしたりすることはありません。したがって、GSMアプリケーションでは、データ・バーストのアクティブ時にこの動作を実行できます。一般的に使用される6.5MHzのシリアル・インターフェースのクロック・レート時に、R2、R1、R0の3個のレジスタを設定するのに必要な時間はわずか $10.2\mu\text{s}$ であるため、LEのエッジでR0データをラッチ入力し、周波数のスイッチング時まで遅延される前のガード期間中に、このプログラミング設定を実行することが可能です。



## アプリケーション

### GSM基地局に対応する局部発振器 (LO)

図36に、ADF4193をVCOと併用して、GSM1800基地局向けにLOを構成する回路図を示します。GSMでは、REF<sub>IN</sub>信号を13MHzの整数倍に相当する任意の周波数とすることが可能ですが、主要な要求条件はスルーレートを最低300V/ $\mu$ sとすることです。図に示す5dBm、104MHzの入力サイン波はこの要件を満たしています。

各種のGSM/PCS/DCSシンセサイザについて推奨パラメータを表9に示します。

表9. 推奨の設定パラメータ

パラメータ	GSM900		DCS1800/PCS1900	
	Tx	Rx	Tx	Rx
ループ帯域幅	60kHz	40kHz	60kHz	40kHz
PFD (MHz)	13	26	13	13
MOD	65	130	65	65
ディザ	オフ	オフ	オフ	オフ
プリスケアラ	4/5	4/5	8/9	8/9
ICPタイマ	28	78	28	38
SW1、SW2、 SW3タイマ	35	85	35	45
VCO K <sub>v</sub>	18 MHz/V	18 MHz/V	38 MHz/V	38 MHz/V

### ループ帯域幅とPFD周波数

ループ帯域幅が60kHzと十分な狭帯域であるため、PLLの位相ノイズとスプリアスを送信シンセサイザの低周波数領域で要求されるレベルまで減衰できます。GSM900の受信シンセサイザで $\pm 800$ kHzのオフセット時に位相ノイズとスプリアスに対して要求される特に厳しい条件を満たすためには、40kHzの帯域幅が必要です。受信シンセサイザで $\pm 800$ kHzのオフセット時にスプリアス・レベルを最小限に抑えるには、 $\Sigma \Delta$ 変調器を可能な限り高速のサンプリング・レートで動作させる必要があります。そのために、GSM900の受信シンセサイザでは26MHzのPFD周波数が選択され、200kHzステップに対してMOD=130が要求されます。このMOD値は2で割り切れるので、特定のFRACチャンネルでは100kHzのフラクショナル・スプリアスが発生することになります。これは40kHzのループ・フィルタによって減衰されるので、問題になることはありません。しかし、送信シンセサイザについて推奨される60kHzのループ・フィルタは、ピーク値が100kHzに近いクロズド・ループ応答性を示します。したがって、100kHzのスプリアスの発生を回避する13MHzのPFD周波数とMOD=65の設定が、送信シンセサイザにとって最適な選択となります。

### ディザ

rms位相誤差を最小にするために、ディザ・オフを選択してください。

### プリスケアラ

PCSおよびDCSバンドに対しては、8/9プリスケアラを選択してください。4/5プリスケアラを選択すると、13MHzまたは26MHzのPFD周波数を使用するGSM900の送信および受信バンドをカバーするほど低いN分周器範囲が得られます。

### 送信シンセサイザのタイマ値

周波数スイッチング動作に対して要求される条件に基づくGSMスペクトルに適合するためには、PAの出力パワーが最低50dB低下するまで、送信シンセサイザの周波数スイッチング動作が禁止されます。このレベルに低下するまでの所要時間を10 $\mu$ sと仮定すれば、送信シンセサイザが最終的な周波数と位相にロックされるまでの時間は、30 $\mu$ sのガード期間のうち最後の20 $\mu$ sのみに限られます。

高速ロック・モード時には、送信ループの帯域幅が8kHzのファクタでブーストされます。その結果として、帯域幅が480kHzに増加するので、PLLはその帯域幅全域の周波数ジャンプに対して6 $\mu$ sよりも短い時間で周波数ロックを達成します。この時間の経過後に、PAの出力パワーが再び増加を開始し、ループ帯域幅のその最終値への復帰が可能になります。ICPタイマを28に設定すると、チャージ・ポンプ電流の低下が約8.6 $\mu$ sで開始されます。SW1、SW2、SW3の各タイマを35に設定すれば、電流がその最終値に達してからループ・フィルタのスイッチが約10.8 $\mu$ sで開きます。

これらのタイマ値を適用すると、帯域幅が低下するときに発生する位相の乱れが、20 $\mu$ sでその最終値にセトリングします。これだけの時間があれば、アクティブなGSMバーストの開始に十分間に合います。60kHzの帯域幅設定でもっと高速の位相セトリングが必要とされる場合には、タイマ値をもっと小さくすることが可能ですが、広帯域モードでは周波数ロックの所要時間を6 $\mu$ s以下に設定しないでください。

### 受信シンセサイザのタイマ値

高速ロック・モード時には、40kHzの受信ループ帯域幅が8kHzファクタでブーストされ、その結果として帯域幅が320kHzに増加します。表9に示す受信タイマ値を適用すると、帯域幅が約12 $\mu$ s後に低下するので、アクティブな受信タイム・スロットが30 $\mu$ sで開始される前に、位相の乱れがその最終値にセトリングするための時間が十分に確保されます。送信シンセサイザの場合と同様に、タイマ値を小さくする方法で受信セトリング時間を高速化することが可能ですが、タイマの下限値は広帯域モードで周波数がロックされるまでの所要時間によって決定されます。さらに、PCSとDCSの受信シンセサイザでは、要求度が緩和された800kHzのプロセッサ仕様は適用されるので、より幅広いループ帯域幅が許容され、これに伴ってセトリング時間の高速化が可能になります。

### VCO K<sub>v</sub>

フィードスルー・メカニズムに起因して発生するリファレンスと整数境界のスプリアス・レベルを最小限に抑えるために、通常はVCOゲインのK<sub>v</sub>を可能な限り低く設定してください。最適なVCO K<sub>v</sub>は、利用可能な同調範囲を中心として望ましい帯域幅で2Vを同調させて決定します。V<sub>P3</sub>が5.5V $\pm$ 100mVに安定化された場合に選択可能な同調電圧範囲は2.8Vです。

### ループ・フィルタの構成部品

良好なセトリング性能を達成するには、誘電吸収率の低いコンデンサをループ・フィルタで使用することが重要です。このアプリケーションには、セラミックNPO COGコンデンサが最適です。ループ・フィルタのコンデンサには2%、そして抵抗には1%の許容誤差を適用することを推奨します。インダクタのL1には、10%の許容誤差を適用しても十分です。

# ADF4193

## ADI SimPLLによるサポート

ADF4193のループ・フィルタ設計は、ADIのSimPLL v2.7以降のバージョンでサポートされます。弊社ウェブサイトのADF4193製品ページのアプリケーション・セクションから、一般的なアプリケーションで利用できるサ

ンプル・ファイルをダウンロードすることが可能です。さらに、ループ・フィルタの設計手順を概説するアプリケーション・ノートも用意しています。差動アンプとループ・フィルタ用スイッチの採用によってフィルタ設計の柔軟性が増していますが、この設計手順ではそれを大いに活用しています。

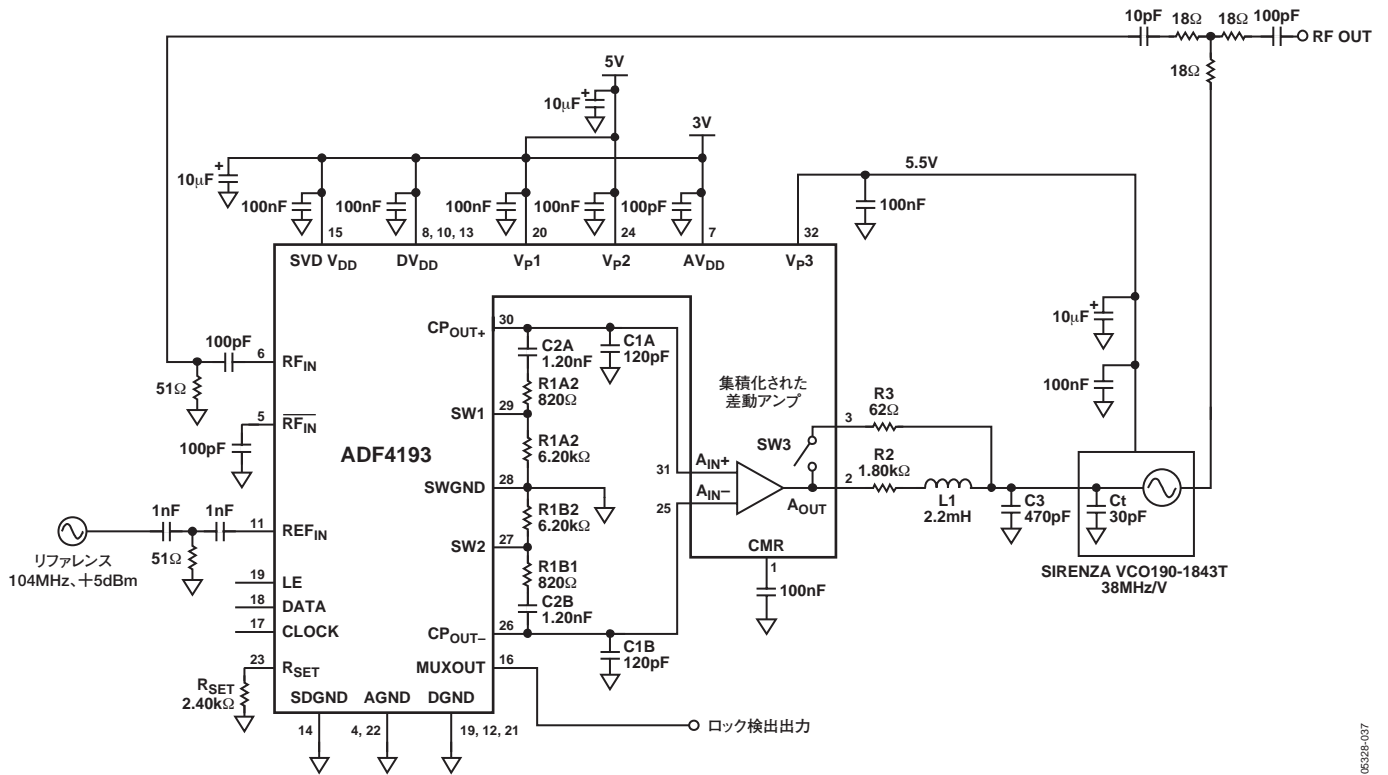


図36. ADF4193を利用したDCS1800送信シンセサイザ用の局部発振器

05228-037

## インターフェース

ADF4193には、書き込み動作を行うためのシンプルなSPI®互換のシリアル・インターフェースが備わっています。CLK、DATA、LEの各信号を使用してデータ転送を制御します。LEがハイレベルのときに、CLKの各立上がりエッジで入力レジスタにクロック入力される24ビットのデータが該当のレジスタにラッチされます。このタイミング図については図2、そしてレジスタのアドレス表については表5を参照してください。

シリアル・クロック・レートの最大許容値は33MHzです。

### ADuC812とのインターフェース

ADF4193とADuC812マイクロコンバータとのインターフェースを図37に示します。ADuC812は8051コアをベースとしているので、8051ベースのすべてのマイクロコントローラにこのインターフェースを適用することができます。マイクロコンバータは、CPHA=0とするSPIマスター・モードに設定されます。動作を開始するには、LEを駆動するI/Oポートをローレベルにします。ADF4193の一部のレジスタでは、24ビットのプログラミング・ワードが必要です。これに対処するために、マイクロコンバータからADF4193に8ビット・バイトを3回書き込みます。3番目のバイトの書き込みが完了した後で、LE入力をハイレベルに設定して、転送を終了します。

ADuC812のI/Oポート・ラインをロック検出に使用することも可能です(MUXOUTをロック検出として設定し、ポート入力からポーリングします)。

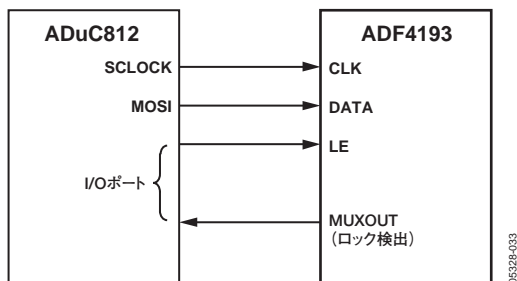


図37. ADuC812とADF4193とのインターフェース

### ADSP-21xxとのインターフェース

ADF4193とADSP-21xxデジタル・シグナル・プロセッサとのインターフェースを図38に示します。ADF4193では、何回かの書き込み動作で24ビットのシリアル・ワードが必要です。ADSP-21xxファミリーを使用してこれに対処する最も簡単な方法は、オルタネート・フレーミングの自動バッファ送信動作モードを使用することです。これは、割込みが発生する前にシリアル・データのブロック全体を送信する手段を提供します。8ビットに対応するワード長を設定し、各24ビット・ワードに3つのメモリ・ロケーションを使用します。各24ビット・ワードを設定するには、3つの8ビット・バイトを格納し、自動バッファ・モードをイネーブルにし、その後でDSPの送信レジスタに書き込みを行います。この最後の操作によって、自動バッファ転送が開始されます。

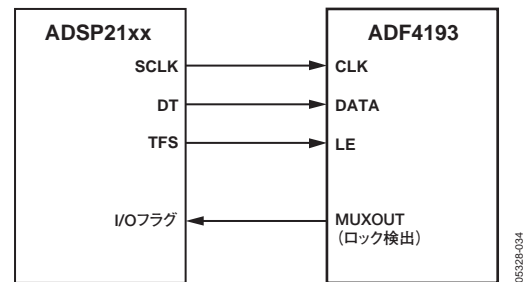


図38. ADSP-21xxとADF4193とのインターフェース

## CSPパッケージのPCボード設計ガイドライン

チップスケール・パッケージ(CP-32)のランドは長方形です。PCボードのパッドは、パッケージのランド長よりも0.1mm長く、ランド幅よりも0.05mm広くしてください。ハンダ接合部が最大になるように、パッドの中心にランドを配置します。CSPパッケージの下部には、中央サーマル・パッドがあります。

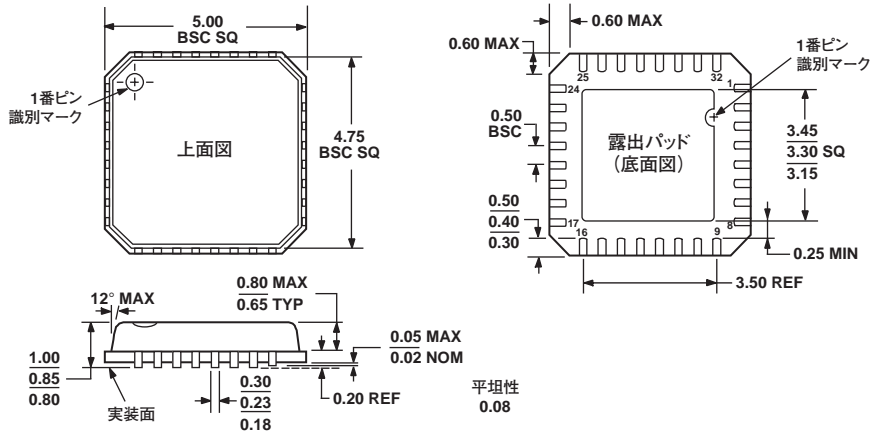
PCボードのサーマル・パッドの大きさは、少なくとも露出パッドと同じくらいにする必要があります。PCボードでの短絡を回避するため、サーマル・パッドとパッド・パターンの内側エッジの間に少なくとも0.25mmの隙間が必要です。

パッケージの熱性能を向上させるため、PCボードのサーマル・パッドにサーマル・ビアを使用することもできます。ビアを使用する場合は、1.2mmピッチのグリッドでサーマル・パッドに組み込んでください。ビアの直径は0.3~0.33mmとし、ビア・パレルに1オンスの銅をメッキして、ビアを差し込んでください。

PCボードのサーマル・パッドはAGNDに接続してください。

# ADF4193

## 外形寸法



JEDEC規格MO-220-VHHD-2に準拠

図39. 32ピン・リードフレーム・チップスケール・パッケージ(LFCSP\_VQ)  
(CP-32-3)  
寸法単位:mm

## オーダー・ガイド

モデル	温度範囲	パッケージの説明	パッケージ・オプション
ADF4193BCPZ <sup>1</sup>	-40~+85°C	32ピン・リードフレーム・チップスケール・パッケージ(LFCSP_VQ)	CP-32-3
ADF4193BCPZ-RL <sup>1</sup>	-40~+85°C	32ピン・リードフレーム・チップスケール・パッケージ(LFCSP_VQ)	CP-32-3
ADF4193BCPZ-RL7 <sup>1</sup>	-40~+85°C	32ピン・リードフレーム・チップスケール・パッケージ(LFCSP_VQ)	CP-32-3
EVAL-ADF4193EB1		評価用ボード(GSM 1800)	
EVAL-ADF4193EB2		評価用ボード(VCOまたはループ・フィルタを未搭載)	

<sup>1</sup> Z=鉛フリー製品