



整数型N/非整数型N PLLシンセサイザ

データシート

ADF4155

特長

- 入力周波数範囲: 500 MHz~8000 MHz
- 非整数型 N シンセサイザおよび整数型 N シンセサイザ
- 最大 125 MHz までの位相周波数検出器(PFD)
- 高分解能 38 ビット・モジュラス
- 5 V システムでチューニング電圧を広げる外付けチャージ・ポンプ電源(V_p)
- プログラマブルな 1、2、4、8、16、32、64 分周出力
- 差動リファレンス入力およびシングルエンド・リファレンス入力
- 電源: $3.3\text{ V} \pm 5\%$
- ロジック互換性: 1.8 V
- 4/5 または 8/9 のプログラマブルなデュアル・モジュラス・プリスケアラ(P)
- プログラマブルな出力電力レベル
- 3 線式シリアル・インターフェースを内蔵
- アナログ/デジタルロック検出

アプリケーション

- ワイヤレス・インフラストラクチャ(W-CDMA、TD-SCDMA、WiMAX、GSM、PCS、DCS、DECT)
- ポイント to ポイント/ポイント to マルチポイント・マイクロ波回線
- 半導体テスト装置
- ワイヤレス LAN、CATV 装置
- クロック発生器

概要

ADF4155 を外付けループ・フィルタ、外付け電圧制御発振器(VCO)、外付けリファレンス周波数と組み合わせると、非整数型 N または整数型 N の位相ロック・ループ(PLL)周波数シンセサイザを構成することができます。

ADF4155 は、最大動作周波数 8 GHz の外付け VCO と組み合わせ使用します。高分解能のプログラマブルなモジュラスにより、正確な周波数を 0 Hz 誤差で合成することができます。

VCO 周波数を 1、2、4、8、16、32、64 分周して、最小 7.8125 MHz までの RF 出力周波数を発生させることができます。

すべての内蔵レジスタの制御は、シンプルな 3 線式インターフェースを経由して行います。このデバイスは、 $3.3\text{ V} \pm 5\%$ の公称電源範囲で動作し、使用しない場合にはパワーダウンすることができます。

ADF4155 は、4 mm × 4 mm の 24 ピン LFCSP パッケージを採用しています。

機能ブロック図

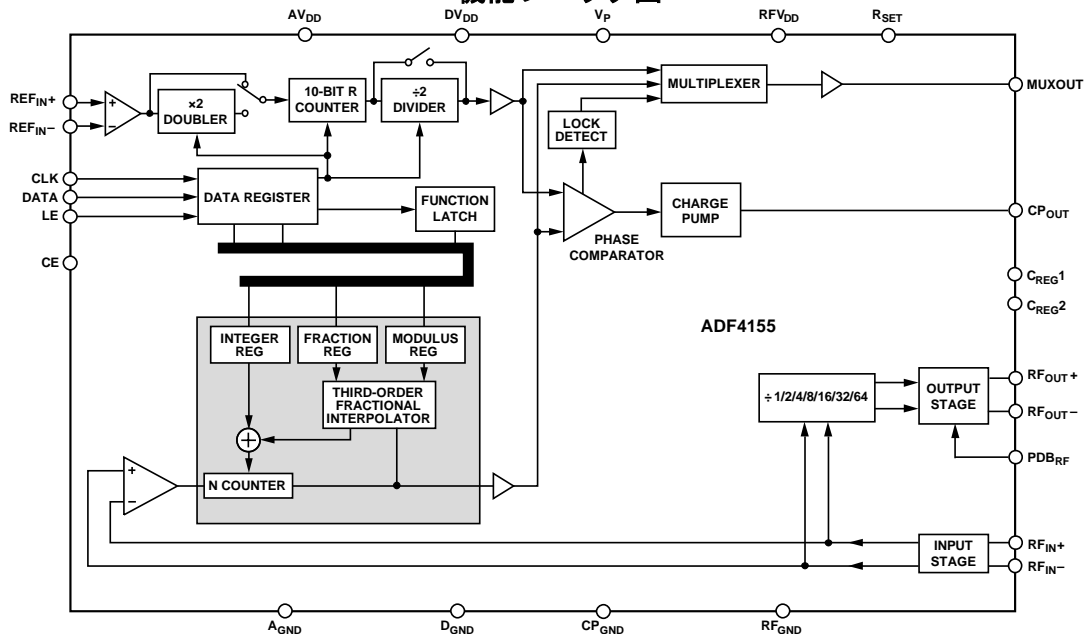


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2014 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	レジスタ・マップ.....	15
アプリケーション.....	1	レジスタ 0.....	17
概要.....	1	レジスタ 1.....	18
機能ブロック図.....	1	レジスタ 2.....	19
改訂履歴.....	2	レジスタ 3.....	19
仕様.....	3	レジスタ 4.....	20
タイミング特性.....	5	レジスタ 5.....	22
絶対最大定格.....	6	レジスタ 6.....	23
トランジスタ数.....	6	レジスタ 7.....	24
ESD の注意.....	6	レジスタ 8.....	25
ピン配置およびピン機能説明.....	7	レジスタ初期化シーケンス.....	26
代表的な性能特性.....	9	RF シンセサイザ—動作例.....	26
回路説明.....	12	リファレンス・ダブラーとリファレンス分周器.....	27
リファレンス入力セクション.....	12	ロック時間を短くするサイクル・スリップ・リダクション.....	27
RFN カウンタ.....	12	スプリアスの最適化.....	27
位相周波数検出器とチャージ・ポンプ.....	13	スプリアスのメカニズム.....	27
MUXOUT とロック検出.....	13	アプリケーション情報.....	28
入力シフトレジスタ.....	13	RF バッファ付き局部発振器.....	28
プログラム・モード.....	13	外形寸法.....	29
出力ステージ.....	14	オーダー・ガイド.....	29

改訂履歴

4/14—Revision 0: Initial Version

仕様

特に指定がない限り、 $AV_{DD} = DV_{DD} = RFV_{DD} = 3.3 \text{ V} \pm 5\%$ 、 $AV_{DD} \leq V_P \leq 5.5 \text{ V}$ 、 $AGND = DGND = RFV_{GND} = CPV_{GND} = 0 \text{ V}$ 、 $T_A = T_{MIN} \sim T_{MAX}$ 。動作温度範囲は $-40^\circ\text{C} \sim +85^\circ\text{C}$ 。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
REF_{IN+}\REF_{IN-} CHARACTERISTICS					
Input Frequency					For $f < 10 \text{ MHz}$, ensure slew rate $> 21 \text{ V}/\mu\text{s}$
Single-Ended Mode	10		250	MHz	
Differential Mode	10		600	MHz	
Input Sensitivity					
Single-Ended Mode	0.7		AV_{DD}	V p-p	REF _{IN+} biased at $AV_{DD}/2$; ac coupling ensures $AV_{DD}/2$ bias
Differential Mode	0.4		1.8	V p-p	LVDS and LVPECL compatible, REF _{IN+} \REF _{IN-} biased at 2.1 V; ac coupling ensures 2.1 V bias
Input Capacitance					
Single-Ended Mode		6.9		pF	
Differential Mode		1.4		pF	
Input Current			± 60	μA	
PHASE DETECTOR					
Phase Detector Frequency			125	MHz	Negative bleed on
			100	MHz	Pulsed bleed on
			125	MHz	Negative bleed off and pulsed bleed off
			75	MHz	CSR enabled
RF_{IN+}\RF_{IN-} CHARACTERISTICS					
RF Input Frequency	0.5		6.0	GHz	For lower frequencies, ensure that the slew rate $> 400 \text{ V}/\mu\text{s}$ -10 dBm minimum/0 dBm maximum
			8.0	GHz	-5 dBm minimum/0 dBm maximum
Prescaler Output Frequency			1.5	GHz	
CHARGE PUMP (CP)					
I _{CP} Sink/Source					$R_{SET} = 4.7 \text{ k}\Omega$
High Value		5		mA	
Low Value		0.31		mA	
R _{SET} Range	2.7	4.7	10	k Ω	
Sink and Source Current Matching		3		%	$0.5 \text{ V} \leq V_{CP} \leq V_P - 0.5 \text{ V}$
I _{CP} vs. V _{CP}		3		%	$0.5 \text{ V} \leq V_{CP} \leq V_P - 0.5 \text{ V}$
I _{CP} vs. Temperature		1.5		%	$V_{CP} = 2.5 \text{ V}$
LOGIC INPUTS					
Input High Voltage, V _{INH}	1.5			V	Compatible with 1.8 V and 3 V logic
Input Low Voltage, V _{INL}			0.6	V	
Input Current, I _{INH} /I _{INL}			± 1	μA	
Input Capacitance, C _{IN}		3.0		pF	
LOGIC OUTPUTS					
Output High Voltage, V _{OH}	$DV_{DD} - 0.4$			V	CMOS output selected
Output High Current, I _{OH}			500	μA	
Output Low Voltage, V _{OL}			0.4	V	$I_{OL} = 500 \mu\text{A}$
POWER SUPPLIES					
AV _{DD}	3.135		3.465	V	Voltage must equal AV _{DD} Voltage must equal AV _{DD}
DV _{DD}		AV _{DD}		V	
RFV _{DD}		AV _{DD}		V	
V _P	AV _{DD}		5.5	V	Each output divide by 2 consumes 6 mA; see Table 6 for details on the current consumption as a function of the output power and divider
I _P		4.1		mA	
Output Dividers		6 to 36		mA	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Total I _{DD} (DI _{DD} + AI _{DD} + RF _{DD})		38	47	mA	RF output (Bit DB6, Register 6) disabled, 3.6 GHz at VCO output
		105	131	mA	RF _{OUT+} /RF _{OUT-} = 1800 MHz, divide by 2 enabled, 5 dBm
Low Power Sleep Mode		10	22	μA	Hardware powered down using CE
		500	530	μA	Software powered down, serial peripheral interface (SPI) powered up in low power sleep mode
RF _{OUT+} /RF _{OUT-} CHARACTERISTICS					
Maximum Output Frequency			4000	MHz	
Minimum Output Frequency Using Dividers	7.8125			MHz	500 MHz fundamental output and divide by 64 selected
Harmonic Content (Second)		-16		dBc	RF _{OUT+} /RF _{OUT-} = 2.9 GHz, fundamental mode
		-26		dBc	RF _{OUT+} /RF _{OUT-} = 2.9 GHz, divide by 2 enabled
Harmonic Content (Third)		-22		dBc	RF _{OUT+} /RF _{OUT-} = 2.9 GHz, fundamental mode
		-7		dBc	RF _{OUT+} /RF _{OUT-} = 2.9 GHz, divide by 2 enabled
Minimum RF Output Power ¹		-4		dBm	Programmable in 3 dB steps
Maximum RF Output Power ¹		5		dBm	
NOISE CHARACTERISTICS					
Normalized Phase Noise Floor, PN _{SYNTH} ²					Negative bleed enabled PLL bandwidth = 500 kHz FRAC = 0
Integer-N Mode		-223		dBc/Hz	
Fractional-N-Mode		-218		dBc/Hz	
Normalized 1/f Noise, PN _{1/f} ³		-116		dBc/Hz	10 kHz offset; normalized to 1 GHz
In-Band Phase Noise ⁴		-98		dBc/Hz	10 kHz offset from 5.8 GHz carrier
Spurious Signals due to PFD Frequency		-110		dBc/Hz	At 5.8 GHz VCO output, f _{PFD} = 61.44 MHz
		-112		dBc/Hz	At 5.8 GHz VCO output, f _{PFD} = 30.72 MHz
Level of Signal with RF Mute Enabled		-40		dBm	

¹ 50 Ω 負荷で、RFV_{DD}へ接続した 18 nH の外付けプルアップ・インダクタを使用。

² シンセサイザ位相ノイズ・フロアは、VCO 出力での帯域内位相ノイズの測定値から 20logN (N は N カウンタ値)と 10 logf_{PFD}を減算して計算されています。PN_{SYNTH} = PN_{TOT} - 10 log f_{PFD} - 20 logN。

³ PLL 位相ノイズは、1/f (フリッカ)ノイズと正規化 PLL ノイズ・フロアの和で構成されます。RF 周波数 (f_{RF}) と周波数オフセット (f)での 1/f ノイズ成分を計算する式は、PN = P_{1/f} + 10log(10kHz/f) + 20log(f_{RF}/1 GHz)で与えられます。正規化位相ノイズ・フロアとフリッカ・ノイズは、ADIsimPLL デザイン・ツールでモデル化されています。

⁴ f_{REFIN} = 122.88 MHz、f_{PFD} = 61.44 MHz、周波数オフセット = 10 kHz、VCO 周波数 = 5.8 GHz、RF_{OUT} = 5.8 GHz、N = 94.40104167、ループ帯域幅 = 60 kHz、I_{CP} = 0.938 mA、I_{BLEED} = 60 μA。

タイミング特性

特に指定がない限り、 $AV_{DD} = DV_{DD} = RFV_{DD} = 3.3\text{ V} \pm 5\%$ 、 $AV_{DD} \leq V_P \leq 5.5\text{ V}$ 、 $AGND = DGND = RF_{GND} = CP_{GND} = 0\text{ V}$ 、 1.8 V および 3 V のロジック・レベルを使用、 $T_A = T_{MIN} \sim T_{MAX}$ 。

表 2.

Parameter	Limit	Unit	Description
t_1	20	ns min	LE setup time
t_2	10	ns min	DATA to CLK setup time
t_3	10	ns min	DATA to CLK hold time
t_4	25	ns min	CLK high duration
t_5	25	ns min	CLK low duration
t_6	10	ns min	CLK to LE setup time
t_7	20	ns min	LE pulse width

タイミング図

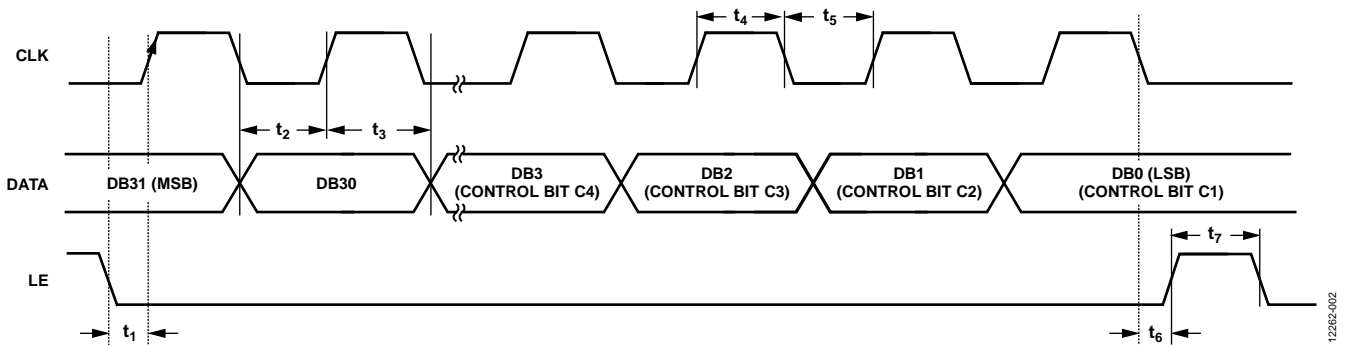


図 2. タイミング図

絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 3.

Parameter	Rating
AV_{DD} to GND ¹	-0.3 V to +3.6 V
AV_{DD} to DV_{DD}	-0.3 V to +0.3 V
RFV_{DD} to AV_{DD}	-0.3 V to +0.3 V
RFV_{DD} to DV_{DD}	-0.3 V to +0.3 V
V_P to GND ¹	-0.3 V to +5.8 V
V_P to AV_{DD}	-0.3 V to +2.5 V
Digital I/O Voltage to GND ¹	-0.3 V to $DV_{DD} + 0.3$ V
Analog I/O Voltage to GND ¹	-0.3 V to $AV_{DD} + 0.3$ V
REF_{IN+} , REF_{IN-} to GND ¹	-0.3 V to $V_{DD} + 0.3$ V
REF_{IN+} to REF_{IN-}	± 2.1 V
RF_{IN+} to RF_{IN-}	± 700 mV
Operating Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +125°C
Maximum Junction Temperature	150°C
LFCSPP θ_{JA} , Thermal Impedance (Pad Soldered to GND)	47.3°C/W
Reflow Soldering	
Peak Temperature	260°C
Time at Peak Temperature	40 sec
ESD	
Charged Device Model	1250 V
Human Body Model	4000 V

¹ GND = $A_{GND} = D_{GND} = RF_{GND} = CP_{GND} = 0$ V。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上の製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

トランジスタ数

ADF4155 のトランジスタ数は、31,190 (CMOS)および 1652 (バイポーラ)です。

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

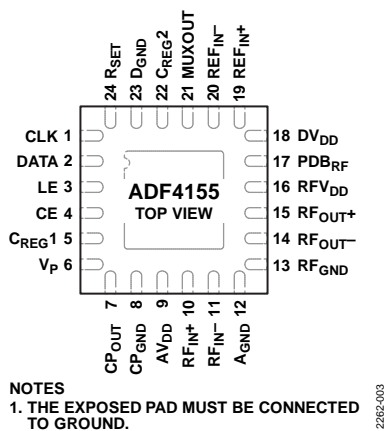


図 3. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
1	CLK	シリアル・クロック入力。データは、CLK の立上がりエッジで 32 ビットのシフトレジスタへ入力されます。この入力はハイ・インピーダンス CMOS 入力です。
2	DATA	シリアル・データ入力。シリアル・データが、下位 4 ビットはコントロール・ビットとして MSB ファーストでロードされます。この入力はハイ・インピーダンス CMOS 入力です。
3	LE	ロード・イネーブル入力。LE がハイ・レベルになると、シフトレジスタに格納されているデータが 4 LSB で選択されたレジスタへロードされます。この入力はハイ・インピーダンス CMOS 入力です。
4	CE	チップ・イネーブル。このピンをロー・レベルにすると、デバイスがパワーダウンして、チャージ・ポンプはスリープ・ステート・モードになります。このピンをハイ・レベルにすると、パワーダウン・ビットの状態に応じてデバイスがパワーアップします。
5	C _{REG1}	内蔵低ドロップアウト(LDO)レギュレータの出力。デジタル回路の電源電圧。1.8 V 公称電圧。このピンとグラウンドの間に 100 nF のデカップリング・コンデンサが必要です。
6	V _P	チャージ・ポンプ電源。V _P 値は最大 5.5 V の AV _{DD} 値以上である必要があります。このピンのできるだけ近くでアナログ・グラウンド・プレーンとの間にデカップリング・コンデンサを接続してください。
7	CP _{OUT}	チャージ・ポンプ出力。イネーブルされると、このピンから ±I _{CP} が外付けループ・フィルタに出力されます。ループ・フィルタ出力は、外付け VCO の V _{TUNE} ピンに接続されます。
8	CP _{GND}	チャージ・ポンプ・グラウンド。この出力は、CP _{OUT} ピンのグラウンド・リターン・ピンです。
9	AV _{DD}	アナログ電源。電圧範囲は 3.135 V ~ 3.465 V。アナログ・グラウンド・プレーンとこのピンとの間に、デカップリング・コンデンサをこのピンのできるだけ近くに接続してください。AV _{DD} は DV _{DD} および RFV _{DD} と同じ値である必要があります。
10	RF _{IN+}	RF 入力。この小信号入力は、外付け VCO へ AC 結合する必要があります。
11	RF _{IN-}	相補 RF 入力。このピンは、小さい容量のバイパス・コンデンサ 100 pF (typ) でグラウンド・プレーンへデカップリングする必要があります。差動で駆動する場合は、この入力を同じ RF _{IN+} へ接続してください。
12	A _{GND}	アナログ・グラウンド。アナログ回路のグラウンド・リターン・ピン。
13	RF _{GND}	RF グラウンド。この出力は、RFV _{DD} ピンのグラウンド・リターン・ピンです。
14	RF _{OUT-}	相補 RF 出力。出力レベルはプログラマブルです。VCO 基本波またはその分周が出力されます。
15	RF _{OUT+}	RF 出力。出力レベルはプログラマブルです。VCO 基本波またはその分周が出力されます。
16	RFV _{DD}	RF 出力のアナログ電源。電圧範囲は 3.135 V ~ 3.465 V。アナログ・グラウンド・プレーンとこのピンとの間に、デカップリング・コンデンサをこのピンのできるだけ近くに接続してください。RFV _{DD} は AV _{DD} および DV _{DD} と同じ値である必要があります。
17	PDB _{RF}	RF パワーダウン。このピンをロー・レベルにすると、RF 出力が停止します。この機能はソフトウェアからも制御することができます。
18	DV _{DD}	デジタル電源。このピンは AV _{DD} および RFV _{DD} と同じ電位である必要があります。グラウンド・プレーンとこのピンとの間に、デカップリング・コンデンサをこのピンのできるだけ近くに接続してください。
19	REF _{IN+}	リファレンス入力。
20	REF _{IN-}	相補リファレンス入力。
21	MUXOUT	マルチプレクサ出力。このマルチプレクサ出力を使うと、ロック検出、スケール済み RF、またはスケール済みリファレンス周波数が外部からアクセスできるようになります。

ピン番号	記号	説明
22	C _{REG2}	内蔵 LDO 出力。デジタル回路の電源電圧。1.8 V 公称電圧。このピンとグラウンドの間に 100 nF のデカップリング・コンデンサが必要です。
23	D _{GND}	デジタル・グラウンド。デジタル回路のグラウンド・リターン・ピン。
24	R _{SET}	このピンとグラウンドとの間に抵抗を接続して、チャージ・ポンプ出力電流を設定します。R _{SET} ピンの公称バイアス電圧は 0.55 V です。I _{CP_MAX} と R _{SET} の関係は次のようになります。 $I_{CP_MAX} = 23.5/R_{SET}$ ここで、 R _{SET} = 4.7 kΩ。 I _{CP} = 5 mA。
	EPAD	エクスポーズド・パッド。エクスポーズド・パッドはグラウンドに接続する必要があります。

代表的な性能特性

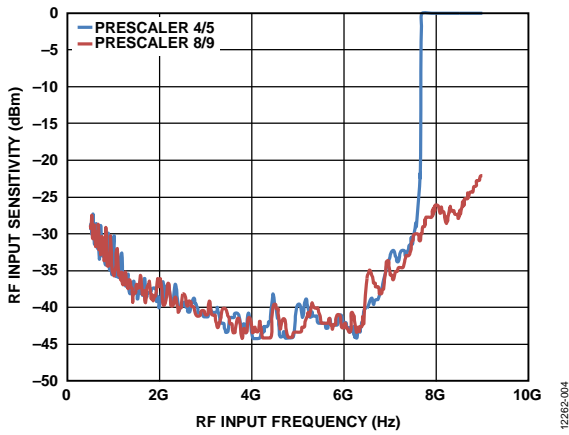


図 4. RF 入力周波数対 RF 入力感度
RF 出力をディスエーブル

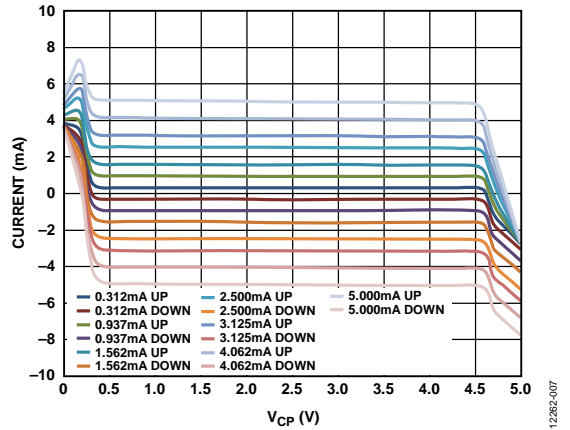


図 7. チャージ・ポンプ出力特性
 $V_P = 5\text{ V}$ 、 I_{CP} 値は 0.312 mA (最小)~5.000 mA (最大)
 $R_{SET} = 4.7\text{ k}\Omega$

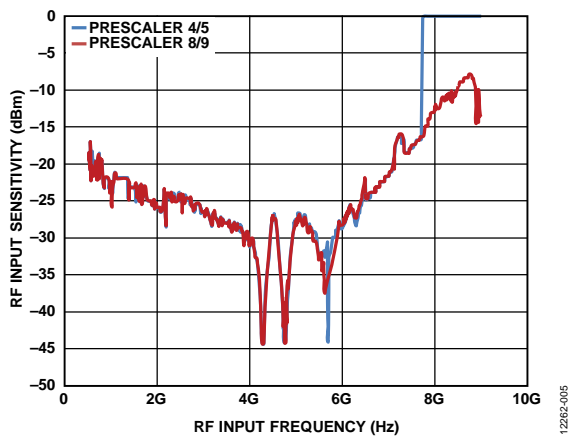


図 5. RF 入力周波数対 RF 入力感度
RF 出力をイネーブル、RF 2 分周を選択

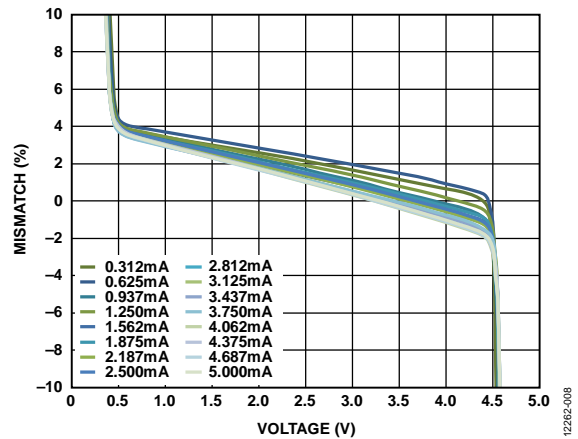


図 8. V_{CP} 対チャージ・ポンプ出力ミスマッチ
 I_{CP} 値は 0.312 mA (最小)~5.000 mA (最大)
 $R_{SET} = 4.7\text{ k}\Omega$

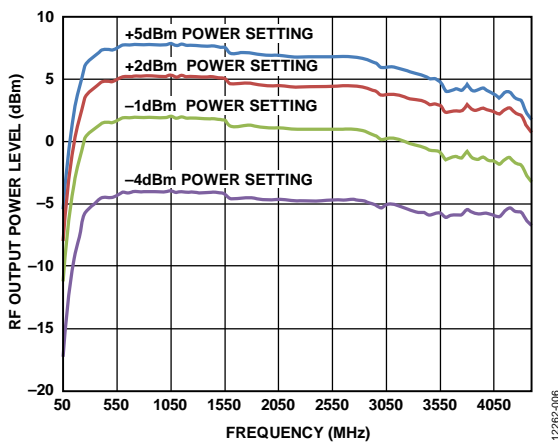


図 6. 様々な電力設定値での
シングルエンド RF 出力電力レベルの周波数特性
18 nH インダクタを介して RF 出力ピンを 3.3 V にプルアップ

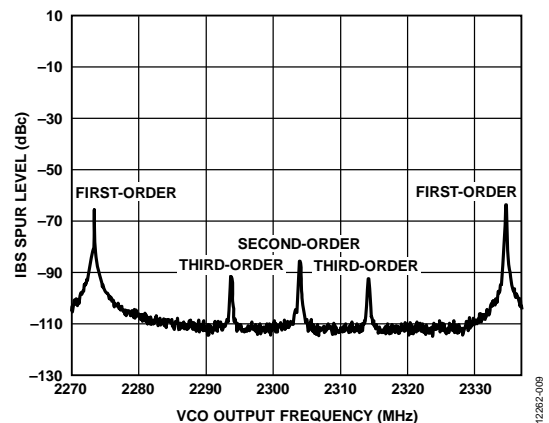


図 9. VCO 出力周波数対
整数境界スプリアス (IBS) スプリアス・レベル
 $f_{PDF} = 61.44\text{ MHz}$ 、スweep 分解能 = 80 kHz

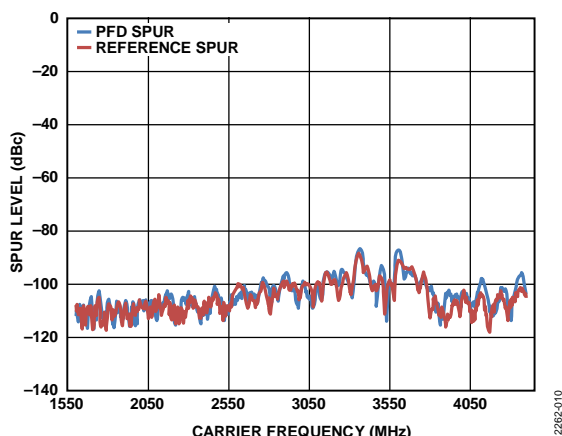


図 10. キャリア周波数対 PFD およびリファレンス・スプリアス・レベル、VCO 出力で測定、 $f_{\text{PFD}} = 61.44 \text{ MHz}$ 、 $\text{REF}_{\text{IN}+}/\text{REF}_{\text{IN}-} = 122.88 \text{ MHz}$

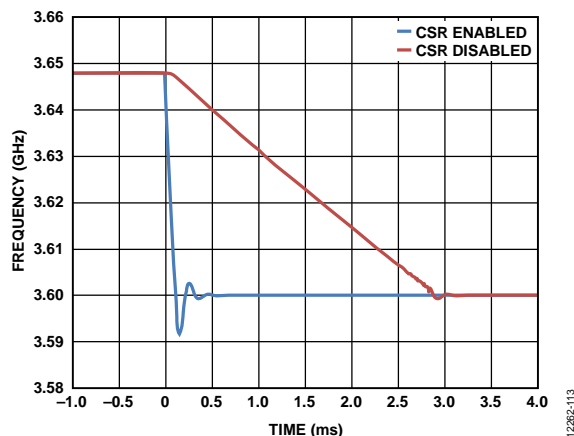


図 13. サイクル・スリープ・リダクション(CSR)オン/オフ時の PLL ロック時間、50 MHz レンジでのロック(3.648 GHz→3.6 GHz のジャンプ)、 $f_{\text{PFD}} = 61.44 \text{ MHz}$ 、ループ帯域幅= 15 kHz、 $I_{\text{CP}} = 0.31 \text{ mA}$

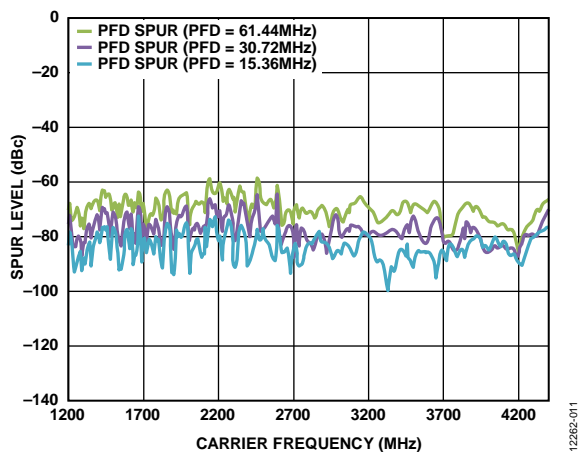


図 11. キャリア周波数対 PFD スプリアス・レベル RF 出力で測定、 $\text{REF}_{\text{IN}+}/\text{REF}_{\text{IN}-} = 122.88 \text{ MHz}$ (PFD 周波数が低い場合の PFD スプリアスの改善に注意)

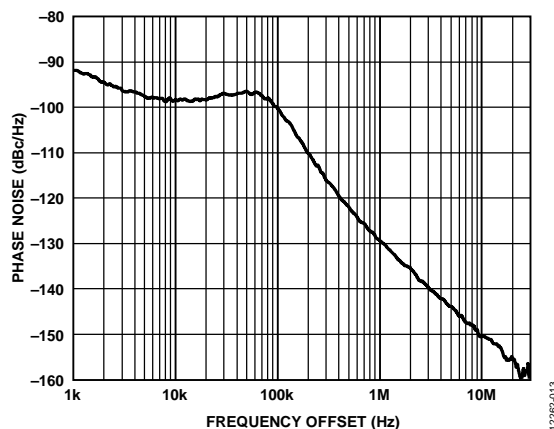


図 14. 整数型 N 位相ノイズとスプリアス性能; $\text{VCO}_{\text{OUT}} = 5775.36 \text{ MHz}$ 、 $\text{REF}_{\text{IN}+}/\text{REF}_{\text{IN}-} = 122.88 \text{ MHz}$ 、 $f_{\text{PFD}} = 61.44 \text{ MHz}$ 、ループ・フィルタ帯域幅= 60 kHz

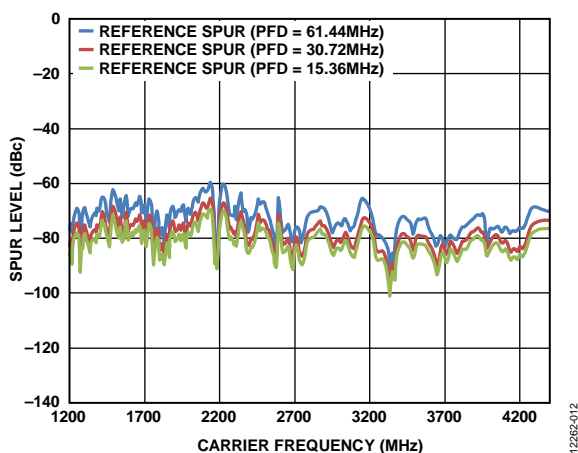


図 12. キャリア周波数対リファレンス・スプリアス・レベル、RF 出力で測定、 $\text{REF}_{\text{IN}+}/\text{REF}_{\text{IN}-} = 122.88 \text{ MHz}$ (PFD 周波数を低くした場合の PFD スプリアスの改善に注意)

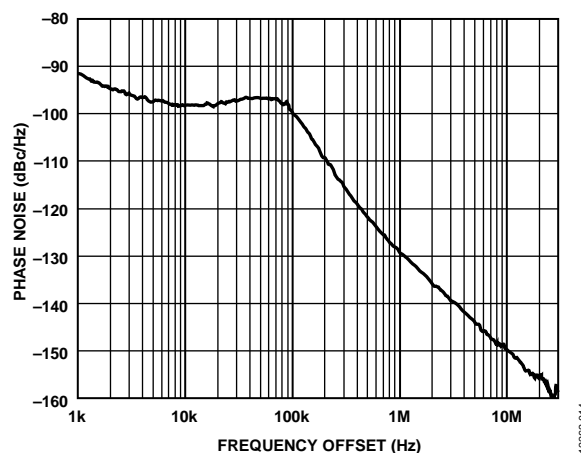


図 15. 非整数型 N 位相ノイズとスプリアス性能、 $\text{VCO}_{\text{OUT}} = 5800 \text{ MHz}$ 、 $\text{REF}_{\text{IN}+}/\text{REF}_{\text{IN}-} = 122.88 \text{ MHz}$ 、 $f_{\text{PFD}} = 61.44 \text{ MHz}$ 、ループ・フィルタ帯域幅= 60 kHz

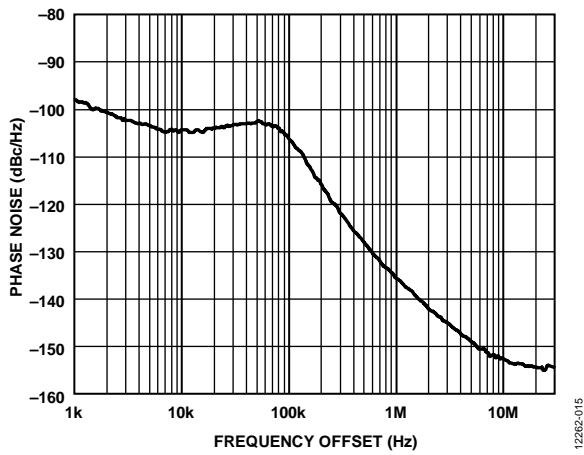


図 16.RF 出力位相ノイズ

RF 分周比= 2 をイネーブル、非整数型 N

$RF_{OUT+} = 2900$ MHz、 $REF_{IN+}/REF_{IN-} = 122.88$ MHz

$f_{PFD} = 61.44$ MHz、ループ・フィルタ帯域幅= 60 kHz

12265-015

回路説明

リファレンス入力セクション

リファレンス入力ステージを図 17 に示します。リファレンス入力では、シングルエンド信号と差動信号を受け、この選択はリファレンス入力モード・ビット(ビット DB30、レジスタ 6)から制御されます。リファレンス入力として差動信号を使用するときは、このビットをハイ・レベルにする必要があります。この場合、SW1 スイッチと SW2 スイッチは開き、SW3 スイッチと SW4 スイッチが閉じ、トランジスタ差動対を駆動する電流源はオンになります。差動信号はバッファされた後に、エミッタ結合ロジック(ECL)から CMOS コンバータへ供給されます。シングルエンド信号をリファレンスとして使用する場合は、レジスタ 6 のビット DB30 に 0 を設定する必要があります。この場合、SW1 スイッチと SW2 スイッチが閉じ、SW3 スイッチと SW4 スイッチが開き、トランジスタ差動対を駆動する電流源はオフになります。

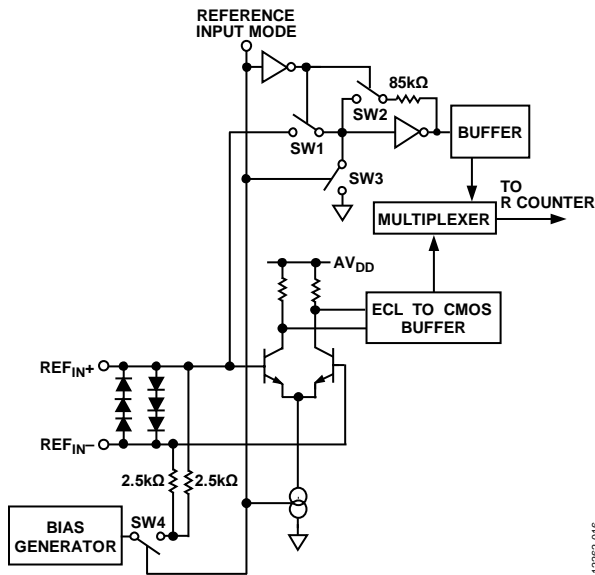


図 17.リファレンス入力ステージ

RF N カウンタ

RF N カウンタを使うと、PLL 帰還パスで分周比の設定が可能になります。分周比は、INT、FRAC1、MOD1、FRAC2、MOD2 の値で決定され、これにより分周器が構成されます(図 18 参照)。MOD1 は固定値 2^{24} で設定できないことに注意してください。

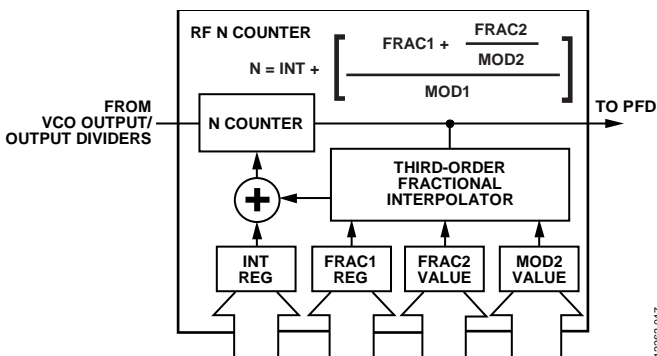


図 18.RF N カウンタ

INT、FRAC、MOD、R カウンタとの関係

R カウンタと組み合わせた INT、FRAC1、FRAC2、MOD1、MOD2 の値を使うと、非整数の PFD 周波数(f_{PFD}) 間隔を持つ出力周波数を発生できるようになります。詳細については、RF シンセサイザ—動作例のセクションを参照してください。

RF VCO 周波数(RF_{OUT}) は次式で計算されます。

$$RF_{OUT} = f_{PFD} \times N \quad (1)$$

ここで、

RF_{OUT} は外付け VCO 電圧制御発振器(出力分周器なし)の出力周波数。

f_{PFD} は位相周波数検出器の周波数。

N は帰還カウンタ N の値。

次式を使って f_{PFD} を計算します。

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (2)$$

ここで、

REF_{IN} はリファレンス入力周波数。

D は REF_{IN} ダブラー・ビット。

R はバイナリ 10 ビット・プログラマブル・リファレンス・カウンタに設定されている分周比(1~1023)。

T は REF_{IN} 2 分周ビット(0 または 1)

N は、

$$N = INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \quad (3)$$

ここで、

INT は 16 ビット整数値(4/5 分周器の場合 23~32,767、8/9 分周器の場合 75~65,535)。

$FRAC1$ はプライマリ・モジュラスの分子(1~16,777,215)。

$FRAC2$ は 14 ビット補助モジュラスの分子(1~16,383)。

$MOD2$ はプログラマブルな 14 ビット補助非整数モジュラス(2~16,383)。

$MOD1$ は固定値 2^{24} の 24 ビット・プライマリ・モジュラス(16,777,216)。

この結果、残留周波数誤差のない高い周波数分解能が得られます。この式を使う場合、次のステップに従ってください。

1. RF_{OUT}/f_{PFD} の除算により N を計算します。
2. この値の整数値が INT になります。
3. フル N 値からこの値を減算します。
4. 余りに 2^{24} を乗算します。
5. この値の整数値が $FRAC1$ になります。
6. チャンネル間隔 (f_{CHSP}) の $MOD2$ を次式により計算します。

$$MOD2 = f_{PFD}/GCD(f_{PFD}, f_{CHSP}) \quad (4)$$

ここで、

f_{CHSP} は所望のチャンネル間隔周波数。

$GCD(f_{PFD}, f_{CHSP})$ は PFD 周波数とチャンネル間隔周波数の最大公約数。

7. 次式で $FRAC2$ を計算します。

$$FRAC2 = [(N - INT) \times 2^{24} - FRAC1] \times MOD2 \quad (5)$$

INT N モード

FRAC1 および FRAC2 = 0 の場合、シンセサイザは整数型 N モードで動作します。

R カウンタ

10ビットのRカウンタを使うと、入力リファレンス周波数(REF_{IN})を分周して、PFDへのリファレンス・クロックを発生することができます。1~1023の分周比が設定可能です。

位相周波数検出器とチャージ・ポンプ

位相周波数検出器はR カウンタとNカウンタから入力を受け取り、位相と周波数の差に比例した出力を発生します。図19に、位相周波数検出器の簡略化した回路図を示します。PFDには固定遅延要素が含まれており、2.6 ns (typ)のバックラッシュ防止パルス(ABP)の幅を設定しています。このパルスは、PFD伝達関数内でデッド・ゾーンが発生しないようにし、リファレンス・スプリアスを妥当なレベルにします。

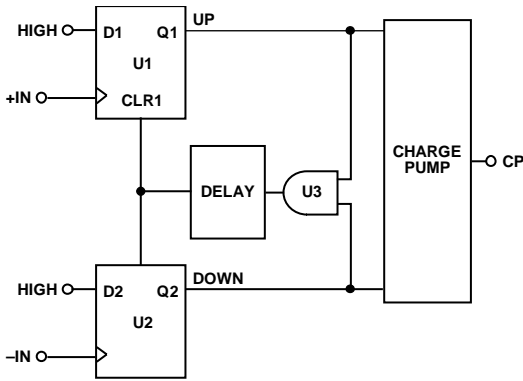


図 19.PFD の簡略化した回路図

MUXOUT とロック検出

ADF4155 の出力マルチプレクサを使うと、チップ上の種々の内部ポイントにアクセスすることができます。MUXOUT の状態は、レジスタ 4 内の M3、M2、M1 の各ビットから制御されます(詳細については、図 28 を参照)。図 20 に、MUXOUT セクションのブロック図を示します。

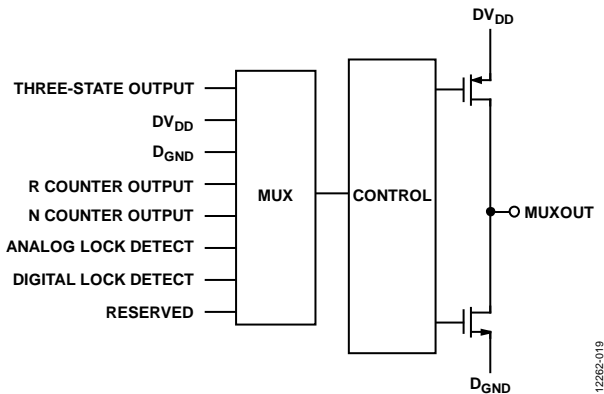


図 20.MUXOUT の回路

入カシフトレジスタ

データは、CLKの各立上がりエッジで32ビット・シフトレジスタに入力されます。データはMSBファーストで入力されます。データは、シフトレジスタからLEの立上がりエッジで9個のラッチ内の1つに転送されます。

ディステネーション・ラッチは、シフトレジスタの4ビットのコントロール・ビット(C4、C3、C2、C1)の状態で指定されます。4ビットのLSBは、DB3、DB2、DB1、DB0です(図2参照)。表5にこれらのビットの真理値表を、図22と図23にラッチのプログラム方法を、それぞれ示します。

表 5.C4、C3、C2、C1 コントロール・ビットの真理値表

Control Bits				Register
C4	C3	C2	C1	
0	0	0	0	Register 0 (R0)
0	0	0	1	Register 1 (R1)
0	0	1	0	Register 2 (R2)
0	0	1	1	Register 3 (R3)
0	1	0	0	Register 4 (R4)
0	1	0	1	Register 5 (R5)
0	1	1	0	Register 6 (R6)
0	1	1	1	Register 7 (R7)
1	0	0	0	Register 8 (R8)

プログラム・モード

表5および図24~図32に、ADF4155でのプログラム・モードの設定方法を示します。

非整数値(FRAC1/FRAC2)、モジュラス値(MOD2)、リファレンス・ダブラー、リファレンス 2 分周(RDIV2)、R カウンタ値、チャージ・ポンプ電流設定、R 分周器選択の各 ADF4155 設定値は、ダブル・バッファされています。これは、ダブル・バッファされた設定の新しい値をデバイスが使えるようになる前に、2つのイベントが起きる必要があることを意味しています。まず、該当するレジスタに書き込みを行って新しい値をデバイスにラッチする必要があります。次に、レジスタ R0 に新しい書き込みを行う必要があります。

例えば、モジュラス値を更新するときは、レジスタ 0 (R0)に書き込みを行って、モジュラス値を正しくロードする必要があります。

出力ステージ

最適なスプリアス性能のためには、VCO 出力を使用し、RF 出力(レジスタ 6 のビット DB6)ステージをディスエーブルすることが推奨されます。

低周波動作が必要の場合、出力分周器の 1 つをイネーブルして RF 出力ステージが使用されます。

ADF4155 の RF_{OUT+}ピンと RF_{OUT-}ピンは、RF 分周器ブロックからの信号で駆動される NPN 差動対のコレクタに接続されます(図 21 参照)。

出力電力条件を最適化するために、差動対のテール電流をレジスタ 6 (R6)のビット[DB5:DB4]を使って設定することができます。4 種類の電流レベルを設定することができます。これらのレベルにより、出力電力レベルは-4 dBm、-1 dBm、+2 dBm、+5 dBmになります。

出力電力と RF 分周比の関数としての消費電流を表 6 に示します。出力ステージでは、RFV_{DD}へ接続した 50 Ω 内部抵抗を使用して、50 Ω 負荷へ AC 結合する前に、RFV_{DD}への外付けプルアップ・インダクタが必要です。あるいは、出力を 1 + 1:1 トランスまたは 180°マイクロ・ストリップ・カプラで結合することができます。出力を個別に使用する場合は、未使用の相補出力を出力で使用した同じ回路で終端する必要があります。

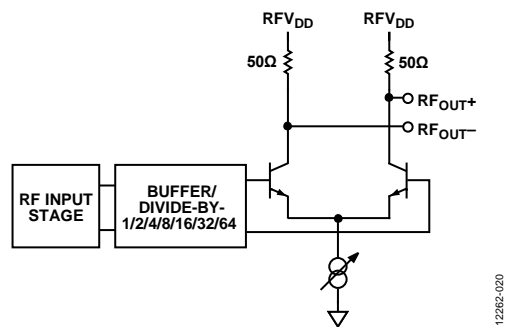


図 21.出力ステージ

ADF4155 のもう 1 つの機能は、デバイスがロックするまで RF 出力ステージへの電源電流をシャットダウンできることです。このデバイスのロックはデジタル・ロック検出回路により判断されます。このシャットダウンは、レジスタ 6 (R6)のミュート・テイル・ロック検出(MTLD)ビット(DB11)を使って、イネーブルされます。

表 6.総合 I_{DD} (DI_{DD} + AI_{DD} + RF_IDD)

Divide By	RF _{OUT} Off	RF _{OUT} = -4 dBm	RF _{OUT} = -1 dBm	RF _{OUT} = +2 dBm	RF _{OUT} = +5 dBm
1	37.4	55.3	67.5	83.9	96.0
2	46.5	64.4	76.6	93.0	105.1
4	53.1	70.9	83.2	99.6	111.7
8	61.3	79.1	91.4	107.8	119.8
16	66.3	84.2	96.4	112.8	124.9
32	70.4	88.2	100.5	116.9	129.0
64	72.9	90.8	103.0	119.4	131.5

レジスタ・マップ

REGISTER 0

RESERVED											PRESALER	16-BIT INTEGER VALUE (INT)											CONTROL BITS								
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	PR1	N16	N15	N14	N13	N12	N11	N10	N9	N8	N7	N6	N5	N4	N3	N2	N1	C4(0)	C3(0)	C2(0)	C1(0)

REGISTER 1

RESERVED				24-BIT MAIN FRACTIONAL VALUE (FRAC1)																DBR ¹				CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	F24	F23	F22	F21	F20	F19	F18	F17	F16	F15	F14	F13	F12	F11	F10	F9	F8	F7	F6	F5	F4	F3	F2	F1	C4(0)	C3(0)	C2(0)	C1(1)

REGISTER 2

RESERVED											14-BIT AUXILIARY MODULUS VALUE (MOD2)											DBR ¹				CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	M14	M13	M12	M11	M10	M9	M8	M7	M6	M5	M4	M3	M2	M1	C4(0)	C3(0)	C2(1)	C1(0)

REGISTER 3

RESERVED											14-BIT AUXILIARY FRACTIONAL WORD (FRAC2)											DBR ¹				CONTROL BITS					
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	1	0	0	0	0	0	0	0	0	0	0	0	P14	P13	P12	P11	P10	P9	P8	P7	P6	P5	P4	P3	P2	P1	C4(0)	C3(0)	C2(1)	C1(1)

REGISTER 4

RESERVED	DITHER 2		MUXOUT			REFERENCE DOUBLER DBR ¹	RDIV2	DBR ¹	10-BIT R COUNTER											DBR ¹	DOUBLE BUFFER	CHARGE PUMP CURRENT SETTING				DBR ¹	RESERVED	MUXOUT LEVEL SELECT	PHASE DETECTOR POLARITY	PD	CHARGE PUMP THREE-STATE	COUNTER RESET	CONTROL BITS			
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0					
0	L2	M3	M2	M1	RD2	RD1	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	D1	CP4	CP3	CP2	CP1	0	LVS	U4	U3	U2	U1	C4(0)	C3(1)	C2(0)	C1(0)					

REGISTER 5

RESERVED				PULSE BLEED DELAY	PB	RESERVED	ABP SELECT	RESERVED				CSR	RESERVED											CONTROL BITS							
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
0	0	0	0	PB2	PB1	PB	0	ABP	0	0	0	CSR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C4(0)	C3(1)	C2(0)	C1(1)

¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

図 22. レジスタの一覧(レジスタ 0～レジスタ 5)

REGISTER 6

RESERVED	REF ^N MODE	RESERVED						DBB ¹ RF DIVIDER SELECT			BLEED CURRENT SETTINGS							NEG BLEED	MTLD	RESERVED				RF OUTPUT ENABLE	OUTPUT POWER		CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
1	RM1	1	0	0	1	1	1	D12	D11	D10	BL8	BL7	BL6	BL5	BL4	BL3	BL2	BL1	BLE	D8	0	0	0	0	D3	D2	D1	C4(0)	C3(1)	C2(1)	C1(0)

REGISTER 7

RESERVED																								LOCK DETECT CYCLE COUNT	LOL MODE	RESERVED	LD MODE	CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	LD5	LD4	LOL	1	1	LD1	C4(0)	C3(1)	C2(1)	C1(1)

REGISTER 8

RESERVED			DITHER 1	PHASE WORD																								CONTROL BITS				
DB31	DB30	DB29	DB28	DB27	DB26	DB25	DB24	DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0	
0	0	0	L1	1	1	1	0	1	0	1	0	0	1	0	1	1	1	1	1	1	1	1	1	0	0	0	0	1	C4(1)	C3(0)	C2(0)	C1(0)

¹ DBB = DOUBLE BUFFERED BITS—BUFFERED BY THE WRITE TO REGISTER 0 IF, AND ONLY IF, DB14 OF REGISTER 4 IS HIGH.

12262-022

図 23. レジスタの一覧(レジスタ 6～レジスタ 8)

レジスタ 0

レジスタ 0 のコントロール・ビット

ビット[C4:C1]に 0000 を設定すると、レジスタ 0 が設定されます。図 24 に、このレジスタを設定する入力データ・フォーマットを示します。

16 ビット整数値(INT)

16 ビット[DB19:DB4]は INT 値を設定します。この値は帰還分周比の整数部を決定します。INT 値は式 3 で使います(INT、FRAC、MOD、R カウンタとの関係のセクション参照)。23~32,767 の整数値が 4/5 分周器に設定可能です。分周器 8/9 の場合、最小整数値は 75 で、最大整数値は 65,535 です。

分周比(P)の値

デュアル・モジュラス・プリスケアラ(P/P + 1)とINT、FRAC1、MOD1、FRAC2、MOD2の各カウンタの組み合わせにより、VCO出力からPFD入力までの全分周比が決定されます。

分周器はCMLレベルで動作し、VCO出力ステージからのクロックを使用し、カウンタ用にそれを分周します。この分周器は同期4/5コアを採用しています。分周器が4/5に設定されると、許容最大RF周波数は6 GHzになります。このため、6 GHzより高い周波数でADF4155を動作させる場合、分周器を8/9に設定する必要があります。分周器はINT値を次のように制限します。

- P = 4/5、INT_{MIN} = 23、INT_{MAX} = 32,767
- P = 8/9、INT_{MIN} = 75、INT_{MAX} = 65,535

ADF4155では、レジスタ0のPR1ビット(DB20)がPの値を設定します。

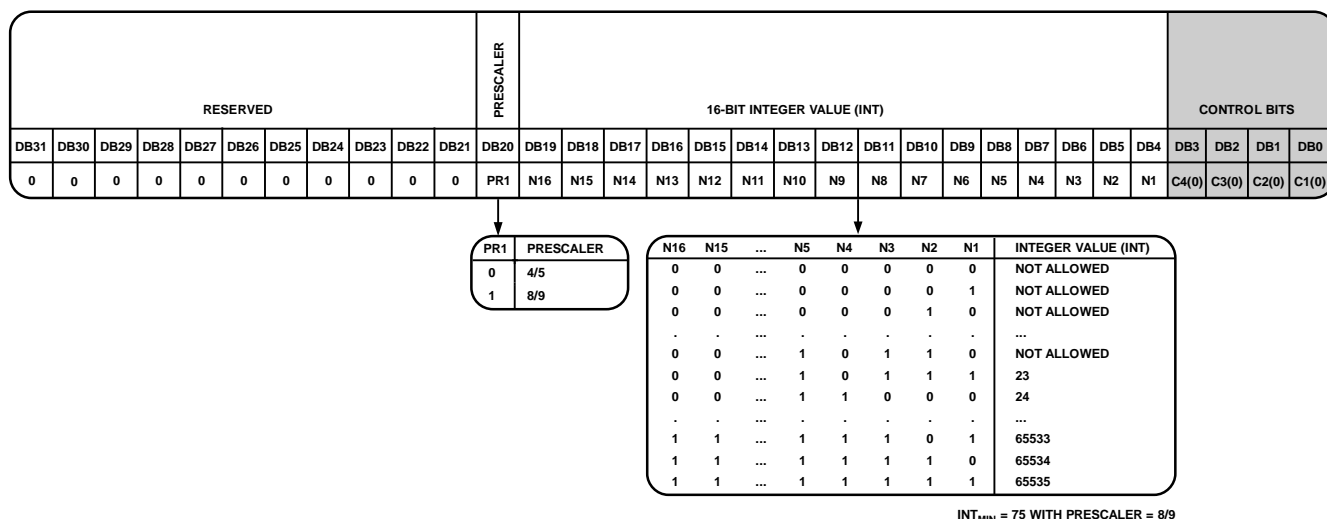


図 24. レジスタ 0 (R0)

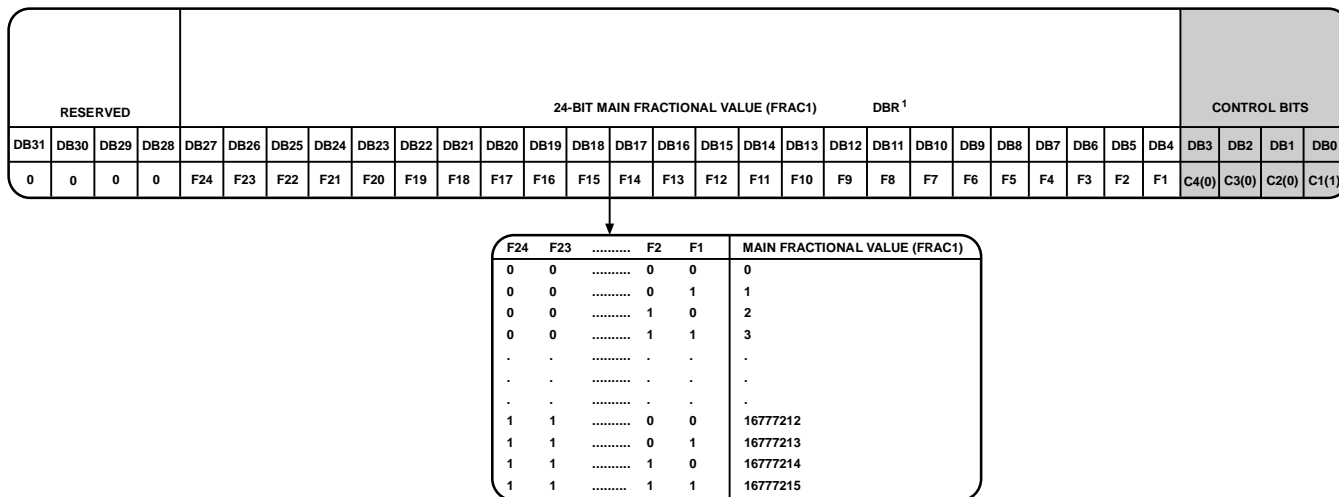
レジスタ 1

レジスタ 1 コントロール・ビット

ビット[C4:C1]に 0001 を設定すると、レジスタ 1 が設定されます。
 図 25 に、このレジスタを設定する入力データ・フォーマットを示します。

24 ビット・メイン非整数値(FRAC1)

FRAC1 の 24 ビット[DB27:DB4]、FRAC2、MOD2 の組み合わせにより、 Σ - Δ 変調器へ入力される非整数値の分子を設定します。この非整数値と INT 値の組み合わせで、シンセサイザから見た新しい周波数チャンネルを指定します(RF シンセサイザ—動作例のセクション参照)。0~($2^{24} - 1$)の FRAC1 値が、PFD リファレンス周波数に等しい周波数範囲のチャンネルをカバーします。



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

12269-024

図 25. レジスタ 1 (R1)

レジスタ 2

レジスタ 2 のコントロール・ビット

ビット[C4:C1]に 0010 を設定すると、レジスタ 2 が設定されます。図 26 に、このレジスタを設定する入力データ・フォーマットを示します。

14 ビット補助モジュラス値(MOD2)

MOD2 の 14 ビット[DB17:DB4]が補助非整数モジュラスを設定します。補助非整数モジュラスを使ってメイン非整数モジュラスから発生する残留誤差を補正します。詳細については、RF シンセサイザ—動作例のセクションを参照してください。

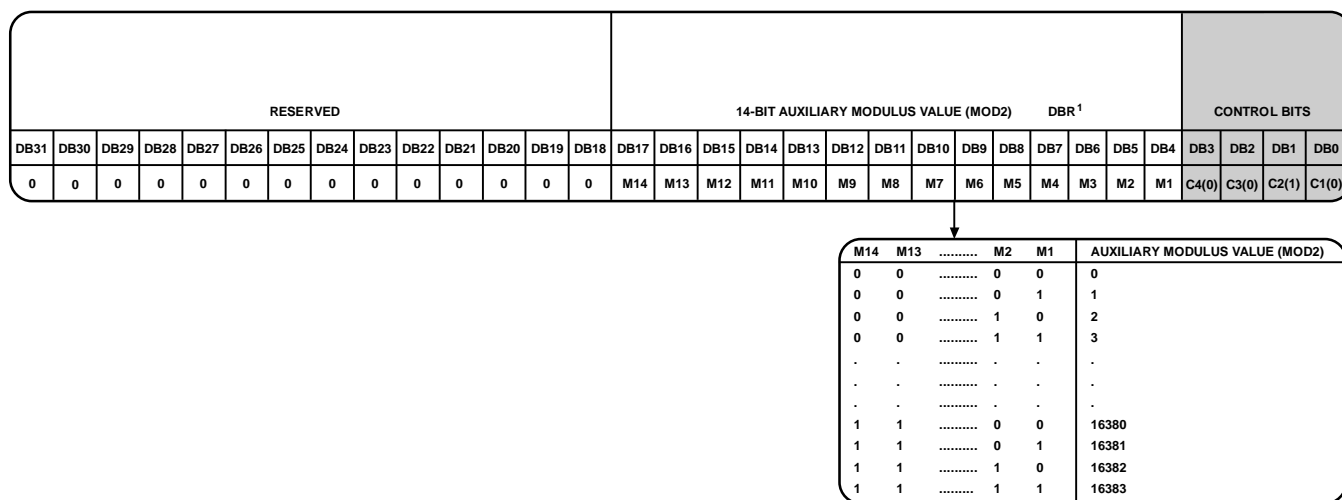
レジスタ 3

レジスタ 3 のコントロール・ビット

ビット[C4:C1]に 0011 を設定すると、レジスタ 3 が設定されます。図 27 に、このレジスタを設定する入力データ・フォーマットを示します。

14 ビット補助非整数値(FRAC2)

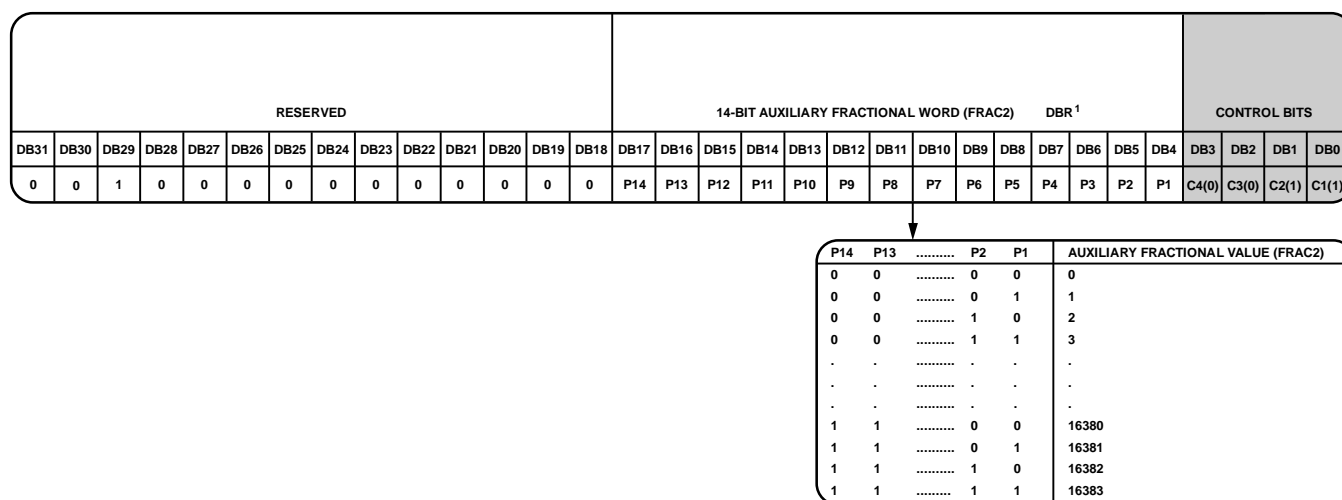
補助非整数値ビット[DB17:DB4]が補助非整数ワードを制御します。このワードは、レジスタ 2 に設定された MOD2 値より小さい必要があります。



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

12266-025

図 26. レジスタ 2 (R2)



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

12266-026

図 27. レジスタ 3 (R3)

レジスタ 4

レジスタ 4 のコントロール・ビット

ビット[C4:C1]に 0100 を設定すると、レジスタ 4 が設定されます。図 28 に、このレジスタを設定する入力データ・フォーマットを示します。

ディザ 2

レジスタ4のビットDB30に1を設定すると、ADF4155のメインΣ-Δ変調器の第2ステージに対するディザを起動することができます(図28参照)。この機能を使うと、スプリアス性能を向上させるためにデザインを最適化することができます。

このディザ機能は、スプリアス・ノイズではなく白色ノイズに似るように非整数量子化ノイズをランダム化します。このため、デバイスのスプリアス性能が最適化されます。この動作は、一般に、高速ロック・アプリケーション向けにPLLクロズド・ループ帯域幅が広い場合に使用されます。

MUXOUT

内蔵マルチプレクサは、ビット[DB29:DB27]から制御されます(図 28 参照)。

リファレンス・ダブラー

DB26 に 0 を設定すると、リファレンス周波数入力(REF_{IN})が 10 ビット R カウンタに直接入力されて、ダブラーがディスエーブルされます。このビットに 1 を設定すると、REF_{IN} 周波数を 2 倍にした後に 10 ビット R カウンタに入力します。ダブラーをディスエーブルすると、非整数シンセサイザの PFD 入力で、REF_{IN} の立下がりエッジがアクティブ・エッジになります。ダブラーをイネーブルすると、REF_{IN} の立下がりエッジと立下がりエッジが、PFD 入力でアクティブ・エッジになります。

ダブラーをイネーブルし、かつディザをイネーブルすると、帯域内位相ノイズ性能が REF_{IN} デューティ・サイクルに対して敏感になります。位相ノイズの性能低下は、45%~55%範囲の外側の REF_{IN} デューティ・サイクルに対して 5 dB にもなることがあります。ディザがオフで、かつダブラーがディスエーブルされている場合には、位相ノイズは REF_{IN} デューティ・サイクルに対して敏感ではありません。

リファレンス・ダブラーをイネーブルしたときの最大許容 REF_{IN} 周波数は 80 MHz です。

RDIV2

DB25 ビットに 1 を設定すると、R カウンタと PFD との間に 2 分周トグル・フリップフロップが挿入されるため、最大 REF_{IN} 入力レートが拡張されます。この機能を使うと、50% デューティ・サイクル信号が PFD 入力に現れるようになり、これはサイクル・スリップ・リダクションで使われます。

10 ビット R カウンタ

10 ビットの R カウンタを使うと、入力リファレンス周波数(REF_{IN})を分周して、PFD へのリファレンス・クロックを発生することができます。1~1023の分周比が可能です。

ダブル・バッファ

DB14 ビットは、レジスタ 6 のビット[DB23:DB21]のダブル・バッファリングをイネーブルまたはディスエーブルします。プログラム・モードのセクションでダブル・バッファリングの動作を説明します。

チャージ・ポンプ電流の設定

ビット[DB13:DB10]はチャージ・ポンプ電流値を設定します。この値をループ・フィルタがデザインされた際のチャージ・ポンプ電流値に設定してください(図28参照)。

MUXOUT レベルの選択

DB8 ビットは、MUXOUT 出力で使用する電圧レベルを設定します。ビットに 0 を設定すると、MUXOUT では 1.8 V の値をハイ・レベルとして使います。このビットに 1 を設定すると、MUXOUT 出力のハイ・レベルは DV_{DD} (3.3 V ± 5%)に等しくなります。

位相検出器極性

DB7 ビットは位相検出器極性を設定します。受動ループ・フィルタまたは非反転アクティブ・ループ・フィルタを使用する場合、このビットに 1 を設定します。反転特性を持つアクティブ・フィルタを使う場合は、このビットに 0 を設定します。

パワーダウン(PD)モード

DB6 は、プログラマブルなパワーダウン・モードを提供します。このビットを 1 に設定すると、パワーダウンが実行されます。このビットを 0 に設定すると、シンセサイザは通常の動作に戻ります。ソフトウェア・パワーダウン・モードでは、デバイスはレジスタのすべての情報を保持します。電源電圧がなくなると、レジスタ値が失われます。

ソフトウェア・パワーダウン問題では、解決するまで次の書込みシーケンスを使って、ソフトウェアによる対処が必要となることに注意してください。

パワーダウンするときは、次のステップに従います。

1. レジスタ 0 (R0)に INT = 65535 (0xFFFF)と分周比= 1 を書込みます。
2. レジスタ 4 (R4)に DB6 = 1 を書込みます。

パワーダウンを終了するときは、次のステップに従います。

1. レジスタ 0 (R0)に正しい INT 値と分周値を書込みます。
2. レジスタ 4 (R4)に DB6 = 0 を書込みます。

パワーダウンが起動すると、次のイベントが発生します。

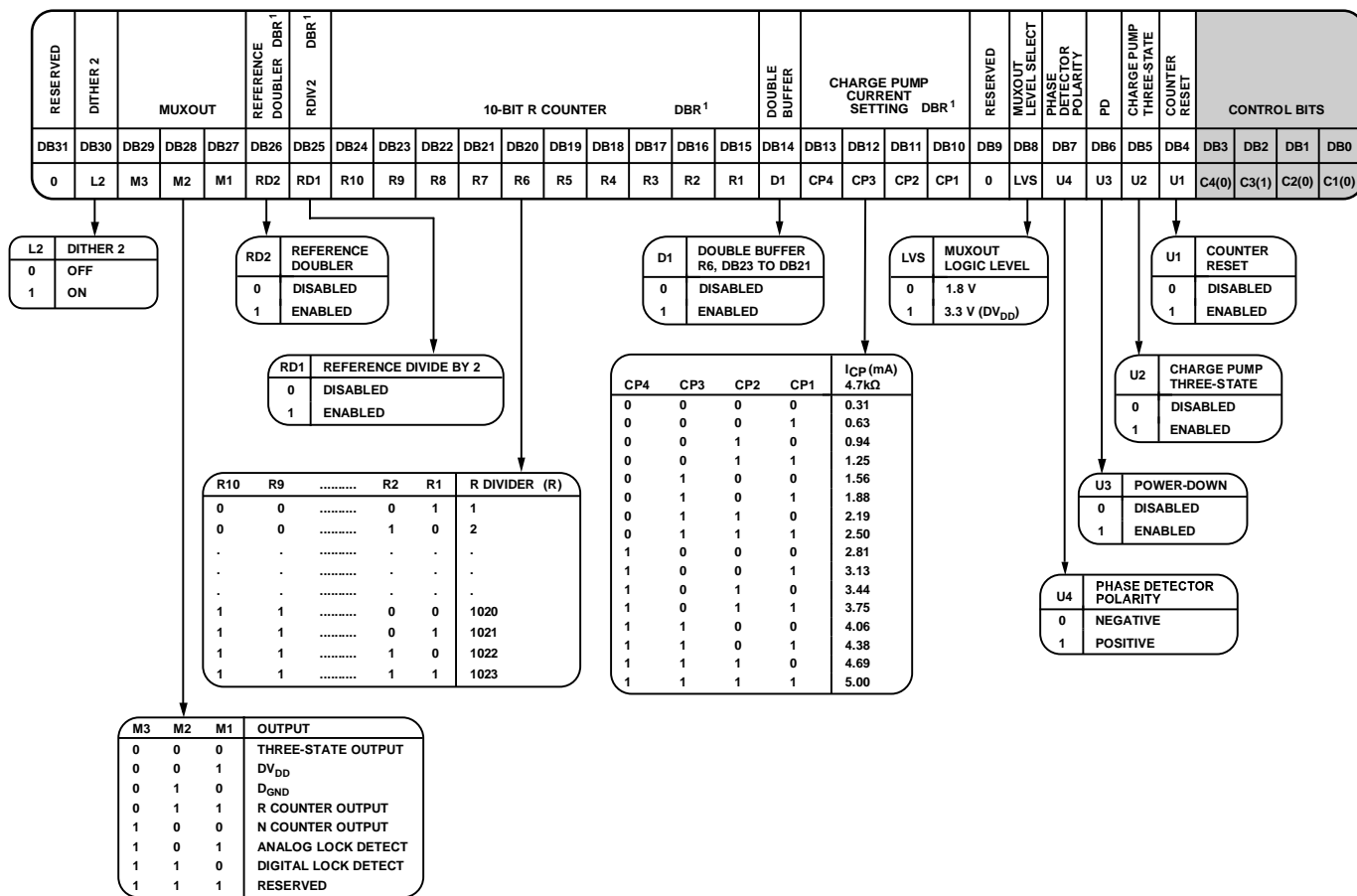
- シンセサイザ・カウンタは強制的にロード状態にされます。
- チャージ・ポンプは強制的にスリー・ステート・モードにされます。
- デジタル・ロック検出回路がリセットされます。
- RF 出力バッファがディスエーブルされます。
- 入力レジスタはアクティブ状態を維持し、データのロードとラッチが可能です。

チャージ・ポンプ(CP)スリーステート

DB5 ビットに1を設定すると、チャージ・ポンプがスリー・ステート・モードになります。このビットに0を設定すると、通常動作になります。

カウンタ・リセット

DB4 ビットは、ADF4155 の R カウンタと N カウンタのリセット・ビットです。このビットに 1 を設定すると、RF シンセサイザの N カウンタと R カウンタはリセット状態になります。このビットに 0 を設定すると、通常動作になります。



¹ DBR = DOUBLE BUFFERED REGISTER—BUFFERED BY THE WRITE TO REGISTER 0.

図 28. レジスタ 4 (R4)

レジスタ 5

レジスタ 5 のコントロール・ビット

ビット[C4:C1]に 0101 を設定すると、レジスタ 5 が設定されます。図 29 に、このレジスタを設定する入力データ・フォーマットを示します。

パルス・ブリード遅延

場合によって、パルス・ブリード(DB25)は固定ネガティブ・ブリードに比較してスプリアス性能を向上させることができます。パルス・ブリードをイネーブルすると、固定ネガティブ・ブリード・ビット(レジスタ 6、ビット DB12)がディスエーブルされます。パルス・ブリードは、チャージ・ポンプ・ダウン・パルスにプログラマブルな遅延を追加することにより機能するため、ループ内に位相オフセットを導入し、チャージ・ポンプの直線性を向上させます。固定ネガティブ・ブリードに比べて利点は、常時オンの固定ネガティブ・ブリードに比べて 1 PFD 周期内の短時間のみプログラマブルな遅延がオンになることです。このパルス・ブリードは、スプリアス性能を向上させることができます。パルス・ブリードの欠点は、固定ネガティブ・ブリードに比べてブリード量を設定する分解能が小さいことです。

パルス・ブリード遅延は、ビット[DB27:DB26]を使って設定します。

位相オフセットが 90°より小さくなるようにパルス・ブリード遅延を選択することが推奨されます。

$$PHASE_OFFSET_{DEGREES} = (PULSED_BLEED_DELAY \times f_{PFD}) \times 360$$

ビット DB25 に 1 を設定すると ADF4155 のパルス・ブリードが起動されます(図 29 参照)。

アンチバックラッシュ・パルス(ABP)の選択

DB23 に 0 を設定すると、パルス・ブリード遅延のビット[DB27:DB26]がアンチバックラッシュ・パルス幅として選択されます。推奨デフォルト設定値は、パルス・ブリード遅延(2.6 ns)です。パルス・ブリード遅延ビット(DB27:DB26)は、パルス・ブリードのイネーブル/ディスエーブルに無関係に、アンチバックラッシュ・パルス幅として機能します。

DB23 に 1 を設定すると、1.6 ns の狭いアンチバックラッシュ・パルス幅が使用されます。PFD 周波数が 80 MHz より高い場合は、1.6 ns のパルス幅の使用が推奨されます。

サイクル・スリップ・リダクション(CSR)

DB19 に 1 を設定すると、サイクル・スリップ・リダクションがイネーブルされます。サイクル・スリップ・リダクションを使用する場合、サイクル・スリップ・リダクションが機能するためには、PFD での信号のデューティ・サイクルが 50%である必要があります。チャージ・ポンプの電流設定も最小値である必要があります。詳細については、ロック時間を短くするサイクル・スリップ・リダクションのセクションを参照してください。

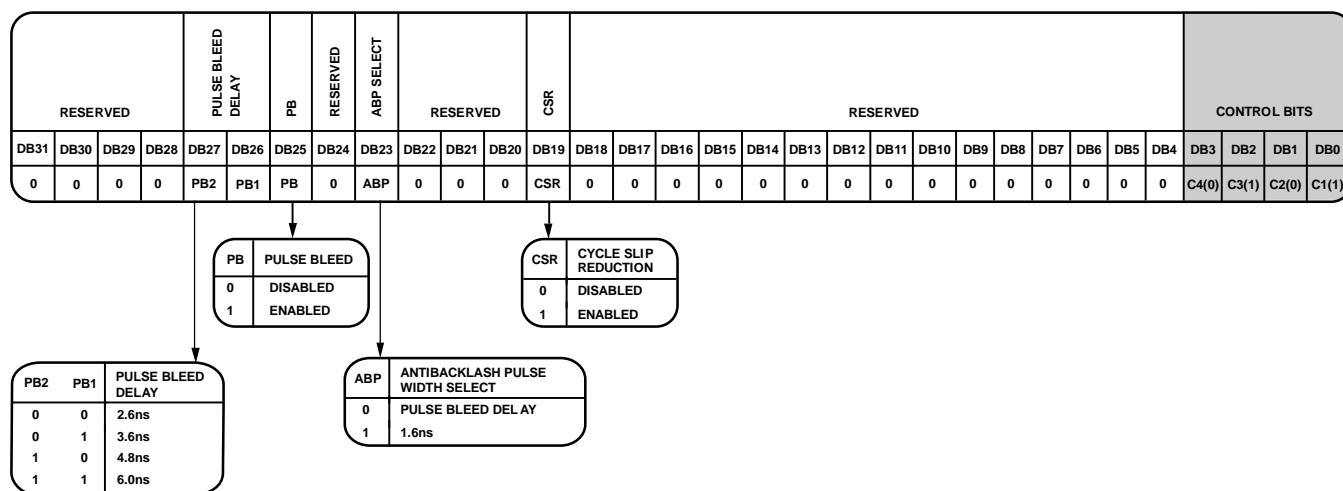


図 29.レジスタ 5 (R5)

レジスタ 6

レジスタ 6 のコントロール・ビット

ビット[C4:C1]に 0110 を設定すると、レジスタ 6 が設定されます。図 30 に、このレジスタを設定する入力データ・フォーマットを示します。

リファレンス入力(REF_{IN})モード

DB30 に 1 を設定すると、リファレンス入力で差動モードが使用されます。このビットに 0 を設定すると、リファレンス入力でシングルエンド・モードが使用されます。

RF 分周比の選択

ビット[DB23:DB21]は、RF 出力分周値を選択します(図 30 参照)。

ブリード電流設定値

固定ネガティブ・ブリード(DB12)のイネーブルは、PLL 帯域内位相ノイズとスプリアス性能を最適化する推奨デフォルト・モードです。固定ネガティブ・ブリードは、チャージ・ポンプに一定オフセットを追加することにより機能するため、直線性が向上します。

ビット[DB20:DB13]とDB12を使って、固定ネガティブ・ブリード電流量を制御します。

ビット[DB20:DB13]は、3.75 μA の分解能でこのブリード電流値を設定します。ブリード電流(I_{BLEED})の正しい値は、設定されたチャージ・ポンプ電流(I_{CP})と N カウンタ値に依存し、次式で計算する必要があります。

$$I_{BLEED} = 6 \times I_{CP} / N$$

ブリード電流設定ビットを使って、最寄りの大きい値を選択する必要があります。

固定ネガティブ・ブリード電流

1 を設定すると、ビットDB12は固定ネガティブ・ブリード電流をイネーブルします。0 を設定すると、固定ネガティブ・ブリード電流がディスエーブルされます。

ミュート・テイル・ロック検出(MTLD)

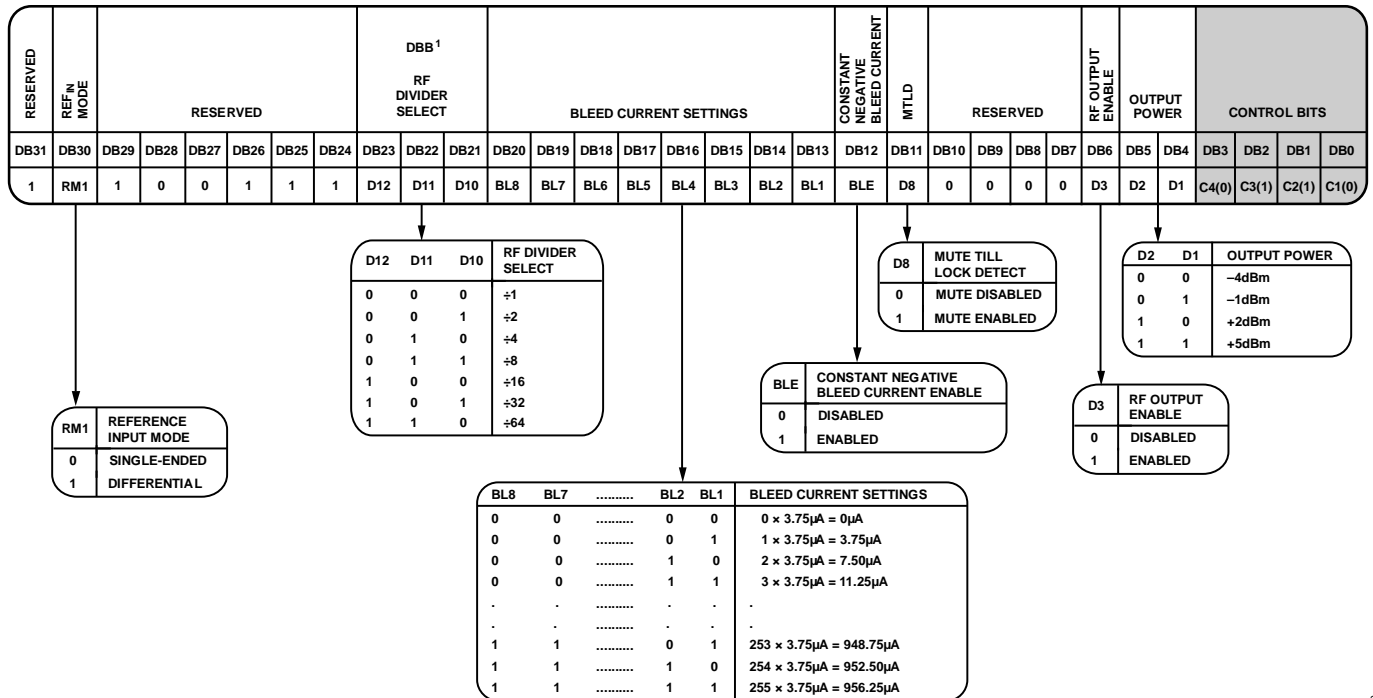
DB11 に 1 を設定すると、デバイスがロックするまで RF 出力ステージへの電源電流をシャットダウンされます。このデバイスのロックはデジタル・ロック検出回路により判断されます。

RF 出力イネーブル

DB6 ビットは、RF 出力をイネーブルまたはディスエーブルします。DB5 に 0 を設定すると、RF 出力がディスエーブルされます。DB5 に 1 を設定すると、RF 出力がイネーブルされます。

出力電力

ビット[DB5:DB4]は、RF 出力の電力レベル値を設定します(図 30 参照)。



¹DBB = DOUBLE BUFFERED BITS—BUFFERED BY THE WRITE TO REGISTER 0 IF, AND ONLY IF, DB14 OF REGISTER 4 IS HIGH.

図 30. レジスタ 6 (R6)

レジスタ 7

レジスタ 7 のコントロール・ビット

ビット[C4:C1]に 0111 を設定すると、レジスタ 7 が設定されます。図 31 に、このレジスタを設定する入力データ・フォーマットを示します。

ロック検出サイクル・カウント

ビット[DB9:DB8]は、ロック検出をハイ・レベルにする前に、ロック検出回路がカウントする連続サイクル数を設定します。詳細については、図 31 を参照。

ロック喪失(LOL)モード

クロッキング・アプリケーションのように、リファレンス (REF_{IN+}/REF_{IN-}) がなくなってしまうような固定周波数アプリケーションの場合に、この機能を使ってください。標準ロック検出回路では、リファレンスは常に存在するものと想定していません。DB7 に 1 を設定すると、この機能がイネーブルされます。

ロック検出(LD)モード

DB4に0を設定すると、各リファレンス・サイクル長は5 nsになり、非整数型Nモードに適します。DB4に1を設定すると、各リファレンス・サイクル長は2.4 nsになり、整数型Nモードに適します。ロック検出カウント・フィールド・ビット(ビット[DB9:DB8])で設定された適切なリファレンス・サイクル数の後に、ロック検出信号がハイ・レベルになります。

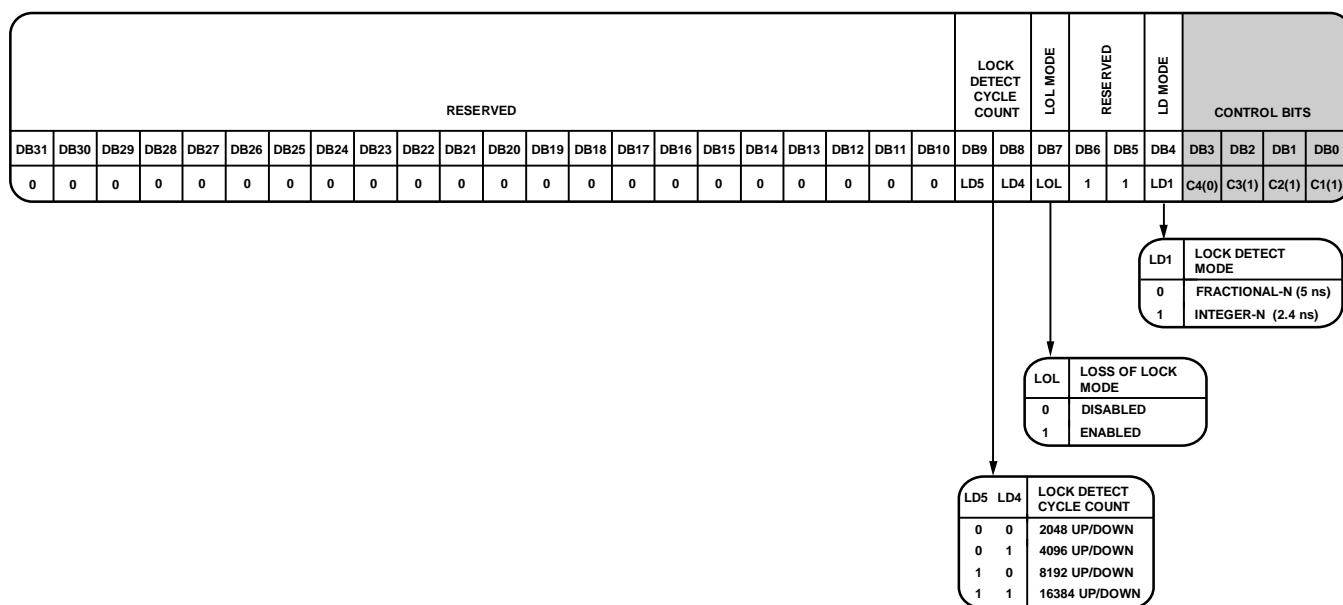


図 31.レジスタ 7 (R7)

レジスタ 8

レジスタ 8 のコントロール・ビット

ビット[C4:C1]に 1000 を設定すると、レジスタ 8 が設定されます。図 32 に、このレジスタを設定する入力データ・フォーマットを示します。

ディザ 1

レジスタ8のDB28をセットすると、ADF4155の固定アキュムレータ(FRAC1/MOD1)に対するディザを起動することができます。これが、スプリアス性能を最適化するデフォルト設定になっています。

位相ワード

ビット[DB27:DB4]は、 Σ - Δ 変調器のシード・ワードでもある位相ワードを設定します。最適スプリアス性能を得るためには、この値に非ゼロの素数を設定することが推奨されます。レジスタ設定値 0x01EA5FE18 が推奨デフォルト値です。

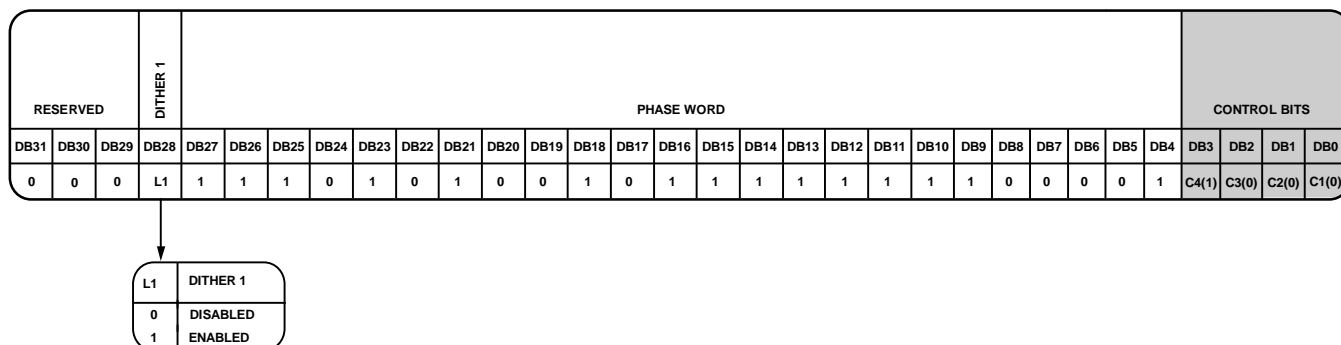


図 32. レジスタ 8 (R8)

12E9-031

レジスタ初期化シーケンス

初期パワーアップ時、電源ピンへ電圧を加えると、次のシーケンスで ADF4155 レジスタが起動します。

1. レジスタ 8
2. レジスタ 7
3. レジスタ 6
4. レジスタ 5
5. レジスタ 4
6. レジスタ 3
7. レジスタ 2
8. レジスタ 1
9. レジスタ 0

RF シンセサイザ—動作例

次式を使って ADF4155 シンセサイザを設定します。

$$RF_{OUT} = \left(INT + \frac{FRAC1 + \frac{FRAC2}{MOD2}}{MOD1} \right) \times \frac{f_{PFD}}{RF\ Divider} \quad (6)$$

ここで、

RF_{OUT} は RF 周波数出力。

INT は整数分周比。

$FRAC1$ は 24 ビット・メイン非整数値。

$FRAC2$ は 14 ビット補助非整数値。

$MOD2$ は 14 ビット補助モジュラス値。

$MOD1$ は 24 ビット固定モジュラス値。

RF 分周器は、VCO 周波数を分周する出力分周器。

$$f_{PFD} = REF_{IN} \times [(1 + D)/(R \times (1 + T))] \quad (7)$$

ここで、

REF_{IN} はリファレンス周波数入力。

D はリファレンス・ダブラー・ビット。

R はリファレンス分周比。

T はリファレンスの 2 分周ビット (0 または 1)。

例えば、2114.6 MHz の RF 周波数出力 (RF_{OUT}) が必要とされる UMTS システムでは、122.88 MHz のリファレンス周波数入力 (REF_{IN}) が使用できます。このため、RF 2 分周を使って RF 出力での位相ノイズを向上させることができます (VCO 周波数 = 4229.2 MHz、 $RF_{OUT} = \text{VCO 周波数}/\text{RF 分周器} = 4229.2 \text{ MHz}/2 = 2114.6 \text{ MHz}$)。

ADF4155 では出力分周器の前でのみループを閉じることができます (図 33 参照)。

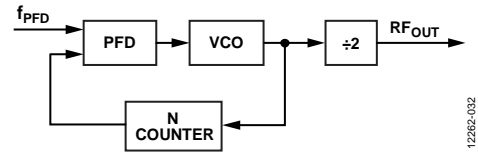


図 33. 出力分周器の前で閉じるループ

$REF_{IN} = 122.88 \text{ MHz}$ の場合、 $f_{PFD} = 61.44 \text{ MHz}$ が選択されます。

式 6 で次の値を使います。

- $N \text{ カウンタ} = \text{VCO 周波数}/f_{PFD}$
- $INT = \text{integer}(\text{VCO 周波数}/f_{PFD})$; $INT = 68$
- $FRAC = \text{remainder}(\text{VCO 周波数}/f_{PFD}) = 0.834635$
- $MOD1 = 2^{24} = 16,777,216$
- $FRAC1 = \text{integer}(MOD1 \times FRAC) = 14,002,858$
- $\text{Remainder} = 0.6672 = FRAC2/MOD2$

チャンネル間隔 = 200 kHz の場合、 $MOD2$ と $FRAC2$ は次の値に一致します。

- $MOD2 = 61440 \text{ kHz}/\text{GCD}(61440 \text{ kHz}, 200 \text{ kHz})$ 。GCD (f_{PFD} , f_{CHSP}) は PFD 周波数とチャンネル間隔周波数の最大公約数。したがって、 $MOD2 = 1536$ 。
- $FRAC2 = \text{integer}(MOD2 \times 0.6672) = 1024$

式 7 から、次のようになります。

$$f_{PFD} = [122.88 \text{ MHz} \times (1 + 0)]/2 = 61.44 \text{ MHz}$$

$$2112.6 \text{ MHz} = [61.44 \text{ MHz} \times [(INT + (FRAC1 + FRAC2/MOD2)/2^{24})/2]]$$

ここで、

$INT = 68$ 。

$FRAC1 = 14,002,858$ 。

$FRAC2 = 1024$ 。

$MOD2 = 1536$ 。

RF 分周比 = 2。

リファレンス・ダブラーとリファレンス分周器

内蔵リファレンス・ダブラーを使うと、入力リファレンス信号を2倍にすることができます。この機能は、PFD比較周波数を増やすときに役立ちます。PFD周波数を高くすると、システムのノイズ性能が良くなります。PFD周波数を2倍にすると、ノイズ性能は3 dB向上します。N カウンタの Σ - Δ 回路の速度制限のため、PFD周波数を125 MHzより高くすることはできないことに注意してください。

リファレンス 2 分周では、リファレンス信号を 2 分周するため、50%デューティ・サイクルの PFD 周波数が得られます。

ロック時間を短くするサイクル・スリップ・リダクション

不要なスプリアスの減衰を良くするためには、狭いループ帯域幅が推奨されますが、高速ロック・アプリケーションでは、一般にループ帯域幅を広くする必要があります。このため、フィルタはスプリアスに大きな減衰を与えることができません。サイクル・スリップ・リダクション機能をイネーブルすると、狭いループ帯域幅が維持されて、ロック時間が短いままスプリアス減衰が良くなります。

サイクル・スリップ

サイクル・スリップは、PFD周波数に比べてループ帯域幅が狭い場合に整数型N/非整数型Nシンセサイザで発生します。PFD入力での位相誤差の累積が高速過ぎてPLLが補正できなく、かつチャージ・ポンプが一時的に誤った方向にポンプアップして、ロック時間が大幅に長くなります。ADF4155はサイクル・スリップ・リダクション機能を内蔵しているため、PFDのリニア範囲を広げて、ループ・フィルタ回路の変更なしでロック時間を短くすることができます。

サイクル・スリップが発生しそうなことを検出すると、チャージ・ポンプの電流セルを増やします。新しい周波数を発生するために必要なVCOチューニング電圧の増減に応じて、ループ・フィルタへ定電流を増加するか、またはループ・フィルタから定電流を削減します。こうして、PFDのリニア範囲が広がられます。パルス電流ではなく一定電流であるためループの安定性が維持されます。

位相誤差がサイクル・スリップが発生しそうなポイントまで再び増加すると、ADF4155はさらにチャージ・ポンプ・セルを追加します。このサイクル・スリップとチャージ・ポンプ・セルの追加は、VCO周波数が所望周波数を超えてしまったことをADF4155が検出するまで続きます。次に追加されたチャージ・ポンプ・セルを1個ずつターンオフして、すべてがターンオフして周波数が元のループ・フィルタ帯域幅で安定するまで、このターンオフ動作を続けます。

最大7個の追加チャージ・ポンプ・セルをターンオンすることができます。大部分のアプリケーションでは、これがサイクル・スリップをなくするために十分な量であり、高速なロック時間が得られます。

レジスタ5のビットDB19に1を設定すると、サイクル・スリップ・リダクションがイネーブルされます。CSRが正しく動作するためには、PFDに45%~55%のデューティ・サイクルが必要で

あることに注意してください。

スプリアスの最適化

狭いループ帯域幅では不要なスプリアス信号を除去できますが、これらの帯域幅では一般にロック時間が長くなります。ループ帯域幅を広くすると、ロック時間を短くできますが、ループ帯域内のスプリアス信号が大きくなってしまいます。

スプリアスのメカニズム

このセクションでは、非整数型 N シンセサイザで発生する様々なスプリアス・メカニズムと ADF4155 でこれらのスプリアスを削減する方法について説明します。

整数境界スプリアス

非整数スプリアス発生者の 1 つのメカニズムは、RF VCO 周波数とリファレンス周波数との間の相互干渉です。これらの周波数が整数関係にないとき(非整数型 N シンセサイザの場合のように)、スプリアスのサイドバンドが VCO 出力スペクトルのオフセット周波数位置に現れます。これはビート、すなわちリファレンス周波数の整数倍と VCO 周波数との間の周波数差に対応します。これらのスプリアスはループ・フィルタで減衰され、リファレンスの整数倍に近いチャンネルで顕著になります。ここでは差周波数がループ帯域内に入ることがあるため、整数境界スプリアスと呼ばれています。

リファレンス・スプリアス

リファレンス・スプリアスは一般に、非整数型 N シンセサイザで問題になることはありません。これは、リファレンス・オフセットがループ帯域から離れているためです。ただし、ループをバイパスするリファレンス・フィードスルー・メカニズムにより、問題が発生することがあります。内蔵リファレンスから RF_{IN+}/RF_{IN-} ピンを経由して VCO へ戻る低レベルのスイッチング・ノイズのフィードスルーがあり、リファレンス・スプリアス・レベルが -90 dBc にもなることがあります。プリント回路ボード(PCB)のレイアウトでは VCO パターンと入力リファレンスとの間のアイソレーションを十分確保してボード上のフィードスルー・パスを無くす必要があります。

非整数スプリアス

高い固定モジュラス MOD1 とプログラマブルなモジュラス MOD2 の組み合わせにより、非常に高い 38 ビット実効分解能が得られ、 Σ - Δ 量子化エネルギーは 1Hz 未満のディスクリット・ピンに分散されます。このエネルギーはディスクリット・スプリアスではなく広帯域ノイズとして現れます。推奨設定値でのネガティブ・ブリードと 2.6 ns の広い ABP の使用により(レジスタ 6 と図 30 参照)、 Σ - Δ 出力から VCO 出力までの伝達関数が直線化して、スプリアスの再発生が少なくなります。FRAC2 と MOD2 との組み合わせによっては、ディスクリット・スプリアスが再発生することがあります。このような場合、FRAC2 または MOD2 を 1 LSB 変化させるだけで、これらのスプリアスがなくなる場合があります。

最適なスプリアス性能のためには、内部 RF バッファではなく外付け VCO から PLL 出力を取ってください。

アプリケーション情報

RF バッファ付き局部発振器

図 34 に、ADF4155、VCO、RF バッファを組み合わせて使って 5.8 GHz の局部発振器(LO)を構成する例を示します。

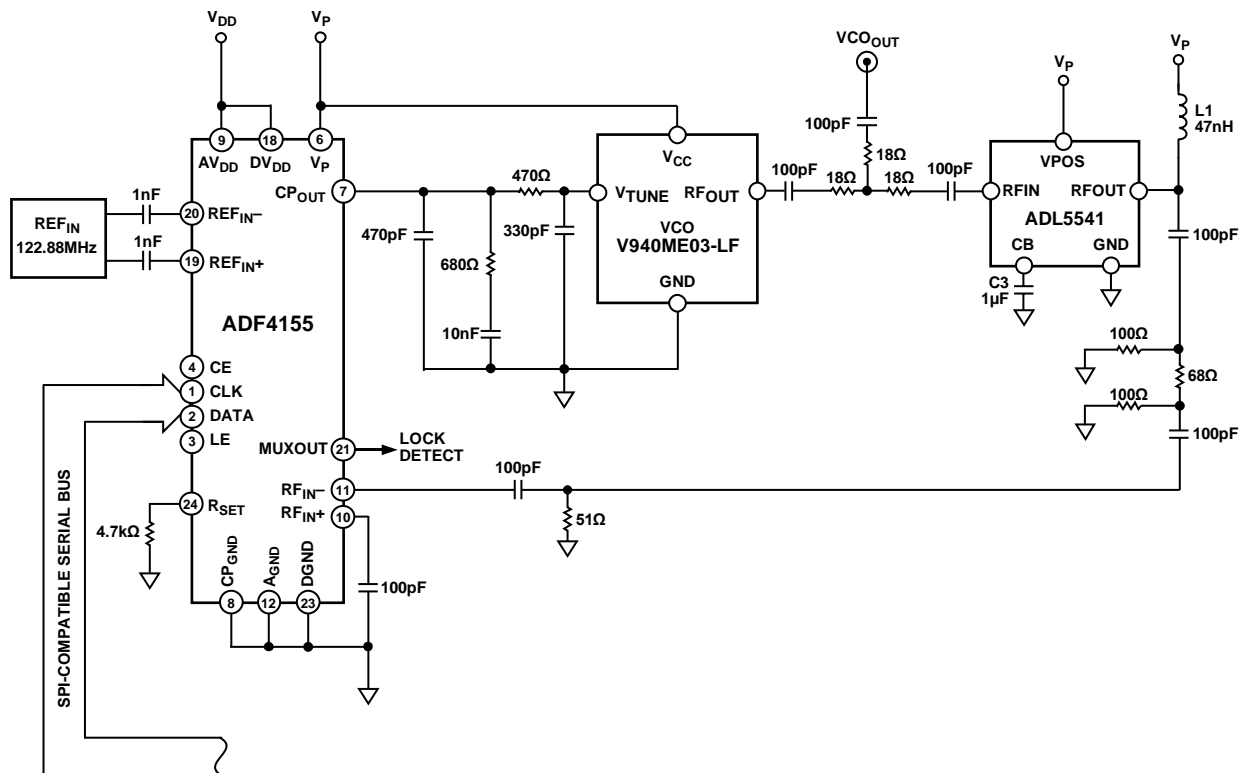
差動リファレンス入力信号を REF_{IN+}と REF_{IN-}の回路に加えます。122.88 MHz のリファレンスを使用し、これを 2 分周して 61.44 MHz の PFD 周波数として使います。

ADF4155 のチャージ・ポンプ出力(I_{CP} = 0.938 mA)でループ・フィルタを駆動します。ADIsimPLL デザイン・ツールを使って、ループ・フィルタ部品を計算します。ループ帯域幅 80 kHz および位相マージン 45°にデザインします。

ループ・フィルタ出力は VCO を駆動し、この出力は RF バッファを経由して PLL シンセサイザの RF 入力に帰還されます。これは RF 出力端子(VCO_{OUT})も駆動します。T 回路構成により、VCO_{OUT}、RFO_{UT}、ADL5541 RF バッファの RFIN ピンの間の 50 Ω 整合が提供されます。

RF バッファは、スプリアス性能の改善が必要な場合に、VCO と PLL の RF_{IN+}/RF_{IN-}ピンとの間の帰還に挿入されたオプションのバッファです。π 型減衰器は、RF バッファ出力を PLL RF_{IN+}/RF_{IN-}ピンの必要な範囲内に減衰させるために必要です。

PLL システムでは、ループがロック中であることを知ることは重要です。シンセサイザからの MUXOUT 信号を使ってこれを実現しています。MUXOUT ピンは、シンセサイザ内の種々の内部信号をモニタするように設定することができます。これらの 1 つは、ロック検出信号です。

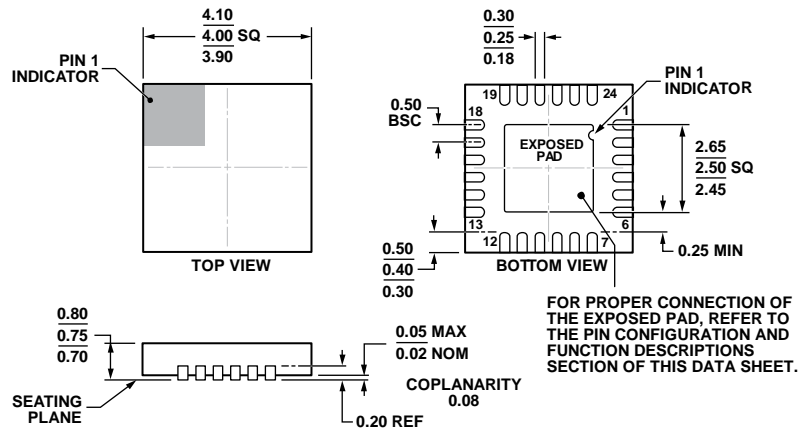


NOTES
THIS IS A SIMPLIFIED SCHEMATIC, DECOUPLING CAPACITORS AND SPI CONNECTION DETAILS HAVE BEEN OMITTED FOR CLARITY.

12282-033

図 34. 代表的なアプリケーション図

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WGGD.

04-122012-A

図 35.24 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_WQ]
4 mm x 4 mm ボディ、極薄クワッド
(CP-24-7)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADF4155BCPZ	-40°C to +85°C	24-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-24-7
ADF4155BCPZ-RL7	-40°C to +85°C	24-Lead Lead Frame Chip Scale Package [LFCSP_WQ]	CP-24-7
EV-ADF4155EB1Z		Evaluation Board	

¹ Z = RoHS 準拠製品。