



# 自動キャリブレーション機能付き 電力量計 IC

データシート

ADE9153A

## 特長

- mSure 自動キャリブレーション**  
信号パス全体の直接測定に基づく自動キャリブレーション  
リファレンス・メーター不要のキャリブレーション手順  
mSure 自動キャリブレーションでクラス 1 メーター保証
- 3 個の高性能 ADC**  
SNR 88 dB  
高ゲイン電流チャンネル:  $\pm 26.04$  mV ピーク、  
最高ゲイン設定で 18.4 mV 実効値入力
- 高度な測定機能セット**  
WATT、VAR、VA、Wh、VARh、VAh  
有効電力量の規格に対応:  
IEC 62053-21、IEC 62053-22、EN 50470-3、OIML R46、  
ANSI C12.20  
無効電力量の規格に対応: IEC 62053-23、IEC 62053-24  
電流および電圧実効値の測定  
電力品質の測定
- 工業用動作温度範囲:  $-40$  °C ~  $+85$  °C**

## アプリケーション

- 単相電力量計
- 電力量および電力測定
- 街路照明
- スマート配電システム
- 装置の状態監視

## 概要

ADE9153A<sup>1</sup> は自動キャリブレーション機能付きの高精度単相電力量計 IC です。mSure<sup>®</sup> 自動キャリブレーション機能により、シャント抵抗を電流センサーとして使用する場合に正確なソースまたはリファレンス・メーターを使用しなくても、電流および電圧チャンネルを自動的に補正できます。mSure 自動キャリブレーションは、クラス 1 とクラス 2 のメーターに対応しています。

ADE9153A には、88 dB の S/N 比 (SNR) を実現する 3 個の高性能 A/D コンバータ (ADC) が組み込まれています。ADE9153A では、ライン電圧およびライン電流、有効電力量、基本波無効電力量、皮相電力量、電流および電圧実効値の計算などの高度な測定機能セットを利用できます。ゼロ交差検出、ライン周期計算、角度測定、ディップとスウェル、ピークおよび過電流検出、力率の測定などの電力品質の測定も含まれています。各入力チャンネルでは、独立した柔軟なゲイン段がサポートされています。電流チャンネル A はシャントに最適で、柔軟なゲイン段があり、62.5 mV ピークから 26.04 mV ピークまでのフルスケール入力範囲を提供します。電流チャンネル B には、カレント・トランス (CT) 用の 1 倍、2 倍、4 倍のゲイン段があります。10 MHz の高速シリアル・ペリフェラル・インターフェース (SPI) ポートを用いて ADE9153A のレジスタにアクセスできます。

このデータシートでは、ZX/DREADY/CF2 のような多機能ピンを、すべてのピン名で表記するか、あるいは特定の機能のみが該当するところでは CF2 のようにピンの 1 つの機能で表記しています。

ADE9153A は 3.3 V の電源で動作し、32 ピン LFCSP パッケージを採用しています。

## 代表的なアプリケーション回路

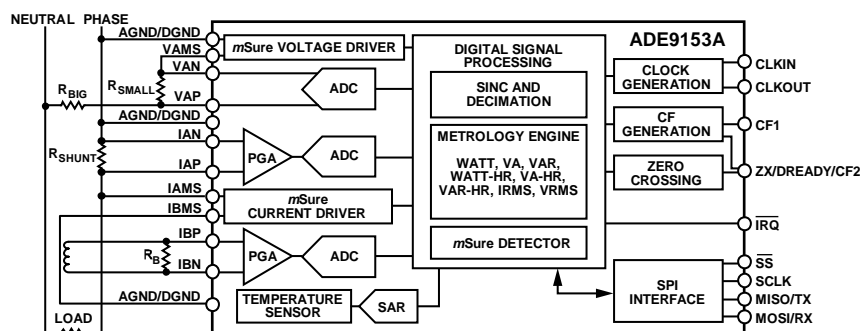


図 1.

<sup>1</sup> 米国特許 8,350,558、8,010,304、WO2013038176 A3、0113507 A1、0253102 A1、0354266 A1、0154029 A1 により保護されています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル 10F  
電話 03 (5402) 8200  
大 阪 営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー 10F  
電話 06 (6350) 6868  
名古屋営業所 / 〒451-6038 愛知県名古屋市中区牛島町 6-1 名古屋ルーセントタワー 40F  
電話 052 (569) 6300

## 目次

特長.....	1	<i>mSure</i> 自動キャリブレーション機能 .....	21
アプリケーション .....	1	測定.....	22
概要.....	1	電力品質の測定.....	26
代表的なアプリケーション回路 .....	1	アプリケーション情報 .....	29
改訂履歴.....	2	割込み/イベント.....	29
仕様.....	3	IRQ ピンによる割込み.....	29
自動キャリブレーション .....	6	割込み処理.....	29
SPI タイミング特性 .....	7	CF2/ZX/DREADY イベント・ピン.....	29
絶対最大定格.....	8	内部データへのアクセス .....	30
熱抵抗.....	8	SPI プロトコルの概要 .....	30
ESD に関する注意 .....	8	UART インターフェース.....	30
ピン配置およびピン機能説明 .....	9	通信検証レジスタ .....	31
代表的な性能特性.....	11	設定レジスタの CRC .....	31
電源および温度に対する電力量の直線性.....	11	設定ロック .....	31
周波数と力率に対する電力量誤差の変化.....	13	レジスタの情報 .....	32
温度に対する実効値の直線性の変化と周波数に対する実効値 誤差の変化.....	14	レジスタの一覧.....	32
ダイナミック・レンジに対する S/N 比 (SNR) の性能.....	17	レジスタの詳細.....	36
テスト回路.....	18	外形寸法.....	50
用語の定義.....	19	オーダー・ガイド.....	50
動作原理.....	21		

## 改訂履歴

2/2018—Revision 0: Initial Version

## 仕様

特に指定のない限り、VDD = 2.97 V ~ 3.63 V、AGND = DGND = 0 V、内部リファレンス、CLKIN = 12.288 MHz、T<sub>MIN</sub> ~ T<sub>MAX</sub> = -40 °C ~ +85 °C、T<sub>A</sub> = 25 °C（代表値）。

表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ACCURACY (MEASUREMENT ERROR PER PHASE)					Percentage of the typical value derived from comparing the actual value with the typical-based expected values when a 10:1 signal is applied
Total Active Energy		0.1		%	Over a dynamic range of 3000 to 1, 10 sec accumulation programmable gain amplifier (PGA), AI_PGAGAIN = 16×
		0.2		%	AI_PGAGAIN = 38.4×
		0.25		%	Over a dynamic range of 10,000 to 1, 30 sec accumulation; AI_PGAGAIN = 16×
		0.5		%	AI_PGAGAIN = 38.4×
Fundamental Reactive Energy		0.1		%	Over a dynamic range of 3000 to 1, 10 sec accumulation; AI_PGAGAIN = 16×
		0.2		%	AI_PGAGAIN = 38.4×
		0.25		%	Over a dynamic range of 10,000 to 1, 30 sec accumulation AI_PGAGAIN = 16×
		0.5		%	AI_PGAGAIN = 38.4×
Total Apparent Energy		0.1		%	Over a dynamic range of 1000 to 1, 1 sec accumulation; AI_PGAGAIN = 16×
		0.2		%	AI_PGAGAIN = 38.4×
		0.25		%	Over a dynamic range of 3000 to 1, 10 sec accumulation AI_PGAGAIN = 16×
		0.5		%	AI_PGAGAIN = 38.4×
RMS Current (I <sub>RMS</sub> ) and Apparent Power (VA)		0.1		%	Over a dynamic range of 1000 to 1, 1 sec (averaging) AI_PGAGAIN = 16×, BI_PGAGAIN = 1×
		0.2		%	Over a dynamic range of 1000 to 1, 1 sec (averaging), AI_PGAGAIN = 38.4×
		0.3		%	Over a dynamic range of 3000 to 1, 1 sec (averaging), AI_PGAGAIN = 16×, BI_PGAGAIN = 1×
		0.6		%	Over a dynamic range of 3000 to 1, 1 sec (averaging), AI_PGAGAIN = 38.4×
RMS Voltage (V <sub>RMS</sub> )		0.2		%	Over a dynamic range of 1000 to 1, 1 sec (averaging)
Active Power (WATT), Fundamental Reactive Power (VAR)		0.25		%	Over a dynamic range of 3000 to 1, 1 sec, AI_PGAGAIN = 16×
		0.5		%	Over a dynamic range of 3000 to 1, 1 sec, AI_PGAGAIN = 38.4×
One Cycle RMS Current and Voltage Refreshed Each Half Cycle		0.5		%	Over a dynamic range of 500 to 1 on current and 250 to 1 on voltage
		1		%	Over a dynamic range of 1000 to 1 on current and 500 to 1 on voltage
Line Period Measurement		0.001		Hz	Resolution at 50 Hz
Voltage to Current Angle Measurement		0.036		Degrees	Resolution at 50 Hz

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
ADC					
PGA Gain Settings (xI_PGAGAIN)					
Current Channel A (Phase Shunt)		16, 24, 32, 38.4		V/V	PGA gain setting is referred to as gain
Current Channel B (Neutral CT)		1, 2, 4		V/V	PGA gain setting is referred to as gain
Pseudo Differential Input Voltage Range					
(IAP – IAN)	-1/gain		+1/gain	V	44.19 mV rms on Current Channel A, AI_PGAGAIN = 16×
(VAP – VAN)	-0.5		+0.5	V	353.6 mV rms on voltage channel
Differential Input Voltage Range (IBP – IBN)	-1/gain		+1/gain	V	707 mV rms on Current Channel B
Maximum Operating Voltage on the Analog Input Pins					
VAP	0		1.35	V	Voltage on the pin with respect to ground
IAP, IAN	-0.1125		+0.1125	V	Voltage on the IAx pin with respect to ground
IBP, IBN	0.35		1.45	V	Voltage on the IBx pin with respect to ground; internal common-mode voltage at IBx pin = 0.9 V
SNR					
Current Channel A					
AI_PGAGAIN = 16×		90		dB	V <sub>IN</sub> is a full-scale signal
AI_PGAGAIN = 38.4×		88		dB	V <sub>IN</sub> is a full-scale signal
Current Channel B					
BI_PGAGAIN = 1x		90		dB	V <sub>IN</sub> is a full-scale signal
BI_PGAGAIN = 4x		78		dB	V <sub>IN</sub> is a full-scale signal
Voltage Channel		87		dB	V <sub>IN</sub> is a full-scale signal
ADC Output Pass Band (0.1 dB)		0.672		kHz	
ADC Output Bandwidth (-3 dB)		1.6		kHz	
Crosstalk		-120		dB	At 50 Hz or 60 Hz; see the Terminology section
AC Power Supply Rejection Ratio (AC PSRR)					At 50 Hz; see the Terminology section
Current Channel A		-115		dB	
Current Channel B		-100		dB	
Voltage Channel		-100		dB	
AC Common-Mode Rejection Ratio (AC CMRR)		-120		dB	At 50 Hz
ADC Gain Error					Percentage of error from the ideal value; see the Terminology section
Current Channel A		±0.2	±1.5	%	
Current Channel B		-2.0	±3.5	%	
Voltage Channel		-0.8	±3.0	%	
ADC Offset					
Current Channel A					See the Terminology section
AI_PGAGAIN = 16×		+0.04	±0.1	mV	
AI_PGAGAIN = 38.4×		-0.02	±0.05	mV	
Current Channel B		-0.26	±0.37	mV	
Voltage Channel		+0.35	±0.75	mV	
ADC Offset Drift		±0.5	±5	μV/°C	See the Terminology section

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Channel Drift (PGA, ADC, Internal Voltage Reference)					See the Terminology section
Current Channel A		±5	±30	ppm/°C	
Current Channel B		±20	±50	ppm/°C	
Voltage Channel		±20	±50	ppm/°C	
Differential Input Impedance (DC)					See the Terminology section
Current Channel A	5000	7800		kΩ	
Current Channel B	100	113		kΩ	
Voltage Channel	240	256		kΩ	
INTERNAL VOLTAGE REFERENCE					Nominal = 1.25 V ± 1 mV
Voltage Reference		1.25		V	T <sub>A</sub> = 25°C at REFIN
Temperature Coefficient		±5	±30	ppm/°C	T <sub>A</sub> = -40°C to +85°C; tested during device characterization
TEMPERATURE SENSOR					
Temperature Accuracy		±5		°C	-40°C to +85°C
Temperature Readout Step Size			0.3	°C	
CRYSTAL OSCILLATOR					All specifications at CLKIN = 12.288 MHz; the crystal oscillator is designed to interface with 100 μW crystals
Input Clock Frequency	12.287	12.288	12.289	MHz	±100 ppm
Internal Capacitance on CLKIN, CLKOUT		4		pF	
Internal Feedback Resistance Between CLKIN and CLKOUT		2.58		MΩ	
Transconductance (g <sub>m</sub> )	5	8.7		mA/V	
EXTERNAL CLOCK INPUT					
Input Clock Frequency, CLKIN	12.287	12.288	12.289	MHz	±100 ppm
Duty Cycle	45:55	50:50	55:45		
CLKIN Logic Input Voltage					3.3 V tolerant
High, V <sub>INH</sub>	1.2			V	
Low, V <sub>INL</sub>			0.5	V	
LOGIC INPUTS—MOSI/RX, SCLK					
Input Voltage					
High, V <sub>INH</sub>	2.4			V	
Low, V <sub>INL</sub>			0.8	V	
Input Current, I <sub>IN</sub>			11	μA	V <sub>IN</sub> = 0 V
Input Capacitance, C <sub>IN</sub>			10	pF	
LOGIC OUTPUTS					
MISO/TX, $\overline{\text{IRQ}}$					
Output Voltage					
High, V <sub>OH</sub>	2.5			V	I <sub>SOURCE</sub> = 4 mA
Low, V <sub>OL</sub>			0.4	V	I <sub>SINK</sub> = 3 mA
Internal Capacitance, C <sub>IN</sub>			10	pF	
CF1, CF2					
Output Voltage					
High, V <sub>OH</sub>	2.4			V	I <sub>SOURCE</sub> = 6 mA
Low, V <sub>OL</sub>			0.8	V	I <sub>SINK</sub> = 6 mA
Internal Capacitance, C <sub>IN</sub>			10	pF	
LOW DROPOUT REGULATORS (LDOs)					
AVDD		1.9		V	
DVDD		1.7		V	
VDD2P5		2.5		V	

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
POWER SUPPLY					For specified performance
VDD Pin	2.97		3.63	V	Minimum = 3.3 V - 10%; maximum = 3.3 V + 10%
VDD Pin Current, I <sub>DD</sub>		9.3	12	mA	Consumption in operation, without <i>mSure</i> running
		8.5		μA	When the ADE9153A is held in reset

## 自動キャリブレーション

特に指定のない限り、VDD = 3.3 V、AGND = DGND = 0 V、内部リファレンス、CLKIN = 12.288 MHz、T<sub>A</sub> = 25 °C（代表値）、I<sub>MAX</sub> = 60 A rms、V<sub>NOM</sub> = 230 V、R<sub>SHUNT\_PHASE</sub> = 200 μΩ、CT<sub>NEUTRAL</sub> の巻数比 = 2500:1、CT<sub>NEUTRAL</sub> の負荷 = 16.4 Ω、CT<sub>NEUTRAL</sub> 電圧の分圧器 1000:1（990 kΩ および 1 kΩ 抵抗）。表 2 の値は、上述したシステムで仕様規定されており、シャントや電圧の分圧器を変更すると、表 2 の値も異なります。例えば、シャントの値を大きくすれば相電流チャンネルで要するキャリブレーション時間は短くなります。逆に、シャントの値を小さくすればキャリブレーション時間は長くなります。

表 2.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
AUTOCALIBRATION					T <sub>A</sub> = 25°C ±5 °C
Current Channel A (Phase Shunt)					
Calibration Time					
Turbo Mode					For more information on the power modes and calibration times, see the <i>mSure</i> Autocalibration Feature section
0.353% Accuracy Target		16		sec	
0.25% Accuracy Target		45		sec	
Normal Mode					
0.353% Accuracy Target		40		sec	
0.25% Accuracy Target		115		sec	
Current Consumption					Additional consumption from 3.3 V supply
Turbo Mode		16		mA rms	With peak consumption of 33 mA
Normal Mode		9.3		mA rms	With peak consumption of 19 mA
Current Channel (Neutral CT)					
Calibration Time					For more information, see the <i>mSure</i> Autocalibration Feature section
0.5 % Accuracy Target,					
Turbo Mode		12		sec	
Normal Mode		20		sec	
Current Consumption					Additional consumption from 3.3 V supply
Turbo Mode		16		mA rms	With peak consumption of 33 mA
Normal Mode		9.3		mA rms	With peak consumption of 19 mA
Voltage Channel					
Calibration Time					For more information, see the <i>mSure</i> Autocalibration Feature section
0.353% Accuracy Target		25		sec	
0.25% Accuracy Target		85		sec	
Current Consumption		<1		mA rms	Additional consumption from 3.3 V supply

SPI タイミング特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit
$\overline{SS}$ to SCLK Edge	$t_{SS}$	10			ns
SCLK Frequency	$f_{SCLK}$			10	MHz
SCLK Low Pulse Width	$t_{SL}$	40			ns
SCLK High Pulse Width	$t_{SH}$	40			ns
Data Output Valid After SCLK Edge	$t_{DAV}$			40	ns
Data Input Setup Time Before SCLK Edge	$t_{DSU}$	10			ns
Data Input Hold Time After SCLK Edge	$t_{DHD}$	10			ns
Data Output Fall Time	$t_{DF}$			10	ns
Data Output Rise Time	$t_{DR}$			10	ns
SCLK Fall Time	$t_{SF}$			10	ns
SCLK Rise Time	$t_{SR}$			10	ns
MISO Disable After $\overline{SS}$ Rising Edge	$t_{DIS}$			100	ns
$\overline{SS}$ High After SCLK Edge	$t_{SFS}$	0			ns

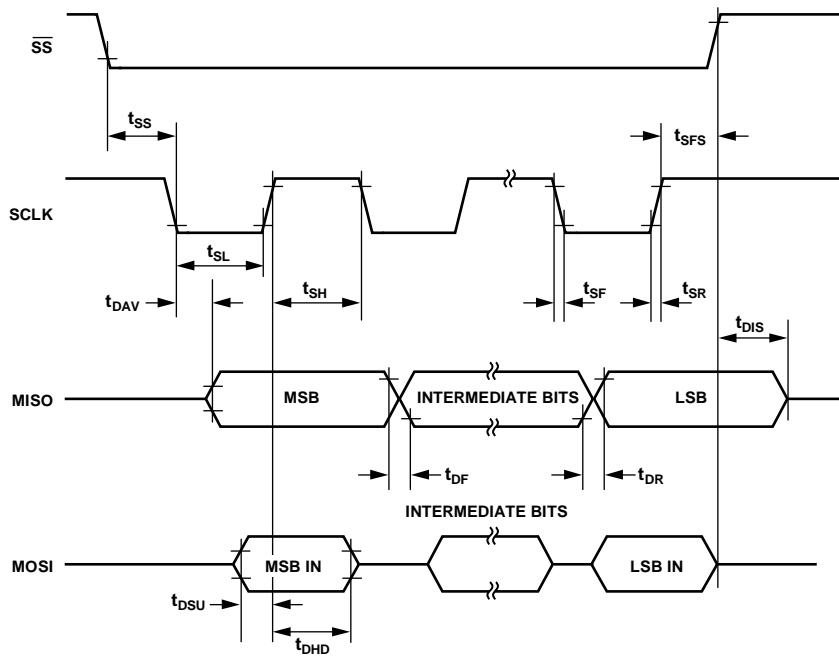


図 2. SPI インターフェースのタイミング図

16519-002

## 絶対最大定格

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Rating
VDD to AGND/DGND	-0.3 V to +3.96 V
Analog Input Voltage to AGND/DGND, IAP, IAN, IBP, IBN, VP, VN <sup>1</sup>	-0.75 V to +2.2 V
Reference Input Voltage to AGND/DGND	-0.3 V to +2.2 V
Digital Input Voltage to AGND/DGND	-0.3 V to +3.96 V
Digital Output Voltage to AGND/DGND	-0.3 V to +3.96 V
Operating Temperature	
Industrial Temperature Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec) <sup>2</sup>	260°C
Electrostatic Discharge (ESD)	
Human Body Model (HBM)	4 kV
Machine Model (MM)	200 V
Field Induced Charged Device Model (FICDM)	1.25 kV

<sup>1</sup> アナログ入力の -0.75 V 定格は、ADE9153A 内部の保護ダイオードにより制限されています。これらのピンは、150 Ω のアンチエイリアシング抵抗によるテスト回路に基づき、チャンネルが 30 倍の過電流になる状態をシミュレートするために 7.5 mA の電流を入力して試験されました。

<sup>2</sup> RoHS 準拠デバイスのハンダ付けに使用するリフロー・プロファイルは、JEDEC の J-STD-020D.1 に従うことを推奨します。この規格の最新バージョンについては、JEDEC にお問い合わせください。

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与える場合があります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意が必要です。

$\theta_{JA}$  と  $\theta_{JC}$  は最も厳しい条件、すなわち、回路ボードに表面実装パッケージをハンダ付けした状態で仕様規定しています。

表 5. 熱抵抗

Package Type	$\theta_{JA}$ <sup>1</sup>	$\theta_{JC}$ <sup>2</sup>	Unit
CP-32-12 <sup>3</sup>	27.83	2.10	°C/W

<sup>1</sup>  $\theta_{JA}$  は 2S2P JEDEC テスト・ボードを使用して測定しています。

<sup>2</sup>  $\theta_{JC}$  は 1S0P JEDEC テスト・ボードを使用して測定しています。

<sup>3</sup> 熱性能に関するすべての測定は JESD51 に準拠しています。

## ESD に関する注意

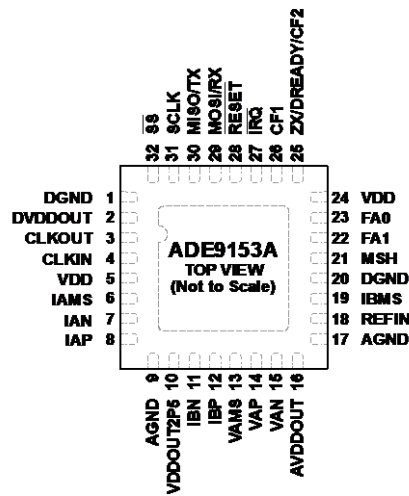


## ESD (静電放電) の影響を受けやすいデバイスです。

電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



## ピン配置およびピン機能説明



NOTES  
1. EXPOSED PAD. THE EXPOSED PAD MUST BE LEFT FLOATING.

18116-003

図 3. ピン配置

表 6. ピン機能の説明

Pin No.	Mnemonic	Description
1, 20	DGND	デジタル・グラウンド。これらのピンは、ADE9153A デジタル回路のグラウンド・リファレンスになり、電流チャンネル A および電流チャンネル B の <i>mSure</i> 電流のリターン経路を形成します。
2	DVDDOUT	デジタル LDO レギュレータの 1.7 V 出力。このピンは、0.1 $\mu\text{F}$ のセラミック・コンデンサと 4.7 $\mu\text{F}$ のセラミック・コンデンサを並列に接続して、1 番ピン (DGND) ヘドカップリングします。このピンには外部の負荷回路を接続しないでください。
3	CLKOUT	クロック出力。クロック源を供給するには、CLKIN と CLKOUT に水晶発振器を接続します。CLKOUT から他の回路を駆動するには外部バッファが必要です。
4	CLKIN	マスター・クロック入力。クロック源を供給するには、CLKIN と CLKOUT に水晶発振器を接続します。適切な水晶発振器の選択に関する詳細は、ADE9153A Technical Reference Manual を参照してください。代わりに、ロジック入力に外部クロックを入力することもできます。
5, 24	VDD	電源電圧。これらのピンは ADE9153A に電源電圧を供給します。仕様規定されている動作をさせるには、電源電圧を $3.3\text{ V} \pm 10\%$ に維持してください。これらのピンは、4.7 $\mu\text{F}$ のコンデンサと 0.1 $\mu\text{F}$ のセラミック・コンデンサを並列に接続して、AGND または DGND ヘドカップリングします。
6	IAMS	電流チャンネル A (相電流チャンネル) の <i>mSure</i> 電流ドライバ出力。IAMS は、相のシャントの正側に接続します (シャントに対して負荷に近い側で、IAP と同様の位置)。
7, 8	IAN, IAP	電流チャンネル A (相電流チャンネル) のアナログ入力。電流チャンネルの IAP と IAN はシャントの使用に最適です。IAP (正) 入力と IAN (負) 入力は、最大差動レベル $\pm 125\text{ mV}$ の完全差動電圧入力です。これらのチャンネルは、ゲイン 16、24、32、38.4 の PGA を内蔵しています。図 37 に示すように、これらのピンは関係する入力回路とともに使用してください。
9, 17	AGND	アナログ回路のグラウンド・リファレンス。これらのグラウンド・ピンの接続方法については図 37 を参照してください。
10	VDDOUT2P5	アナログ LDO レギュレータの 2.5 V 出力。このピンは、0.1 $\mu\text{F}$ のセラミック・コンデンサと 4.7 $\mu\text{F}$ のセラミック・コンデンサを並列に接続して、9 番ピン (AGND) ヘドカップリングします。このピンには外部の負荷回路を接続しないでください。
11, 12	IBN, IBP	電流チャンネル B (中性電流チャンネル) のアナログ入力。電流チャンネルの IBP と IBN は CT の使用に最適です。IBP (正) 入力と IBN (負) 入力は、最大差動レベル $\pm 1000\text{ mV}$ の完全差動電圧入力です。これらのチャンネルは、ゲイン 1、2、または 4 の PGA を内蔵しています。図 37 に示すように、これらのピンは関係する入力回路とともに使用してください。
13	VAMS	電圧チャンネルの <i>mSure</i> パス。VAMS は、抵抗分圧器の最下端に接続されています。抵抗分圧器は通常、中性線に接続されます (図 1 参照)。
14, 15	VAP, VAN	電圧チャンネルのアナログ入力。VAP (正) 入力と VAN (負) 入力は、入力レベルが 0.1 V ~ 1.7 V の完全差動です。図 37 に示すように、これらのピンは関係する入力回路とともに使用してください。
16	AVDDOUT	アナログ LDO レギュレータの 1.9 V 出力。このピンは、0.1 $\mu\text{F}$ のセラミック・コンデンサと 4.7 $\mu\text{F}$ のセラミック・コンデンサを並列に接続して、17 番ピン (AGND) ヘドカップリングします。このピンには外部の負荷回路を接続しないでください。

Pin No.	Mnemonic	Description
18	REFIN	電圧リファレンス。このピンから内部電圧リファレンスにアクセスできます。内部リファレンスの公称値は 1.25 V です。このピンは、0.1 $\mu$ F のセラミック・コンデンサと 4.7 $\mu$ F のセラミック・コンデンサを並列に接続して、17 番ピン (AGND) ヘドカップリングします。リセットすると、内部リファレンスが有効になります。このピンには、1.25 V $\pm$ 0.01 % の外部リファレンス・ソースを接続することもできます。
19	IBMS	電流チャンネル B (中性電流チャンネル) の <i>mSure</i> 電流ドライバ出力。IBMS を CT の 1 次側巻線のワイヤに接続すると、この巻線を通じて 20 番ピン (DGND) に接続されます。
21	MSH	<i>mSure</i> 電流ドライバの外部コンデンサ・ピン。0.47 $\mu$ F の外部セラミック・コンデンサを MSH ピンと 20 番ピン (DGND) の間に接続してください。
22	FA1	<i>mSure</i> コンデンサの正端子。0.47 $\mu$ F の外部コンデンサを FA0 と FA1 の間に接続してください。
23	FA0	<i>mSure</i> コンデンサの負端子。0.47 $\mu$ F の外部コンデンサを FA0 と FA1 の間に接続してください。
25	ZX/DREADY/CF2	電圧チャンネル・ゼロ交差出力ピン。電圧チャンネルのセクションを参照してください。このピンは、必要に応じて CF2 出力に設定することができます。CF1 の説明を参照してください。
26	CF1	キャリブレーション周波数 (CF) ロジック出力。CF1、および CF2 出力は、CFMODE レジスタの CFxSEL ビットで指定された電力情報を提供します。これらの出力は動作およびキャリブレーションに使用します。それぞれのフルスケール出力周波数は、CFxDEN レジスタへの書き込みによってスケールリングしてください。
27	$\overline{\text{IRQ}}$	割込み要求出力。このピンはアクティブ・ローのロジック出力です。割込みをトリガするイベントについては、割込み/イベントのセクションを参照してください。
28	$\overline{\text{RESET}}$	アクティブ・ローのリセット入力。ハードウェア・リセットを開始するには、このピンを 10 $\mu$ s 以上の間、ローにする必要があります。
29	MOSI/RX	SPI ポート用データ入力 (MOSI) および UART 用受信 (RX) ピン。
30	MISO/TX	SPI ポート用データ出力 (MISO) および UART 用送信 (TX) ピン。
31	SCLK	SPI ポート用シリアル・クロック入力。すべてのシリアル・データ転送は、このクロックに同期します。SCLK ピンは、例えば光アイソレータ出力への遷移など、エッジ遷移時間が長いクロック・ソースに使用するためのシュミット・トリガ入力を備えています。
32	$\overline{\text{SS}}$	SPI ポート用スレーブ選択。
	EPAD	露出パッド。露出パッドはフロート状態のままにしておく必要があります。

## 代表的な性能特性

### 電源および温度に対する電力量の直線性

電力量は、フルスケールの 50 % で 50 Hz の正弦波電圧信号と、フルスケールの 100 % から 0.01 % まで掃引した 50 Hz の正弦波電流信号の条件から得られる値です。

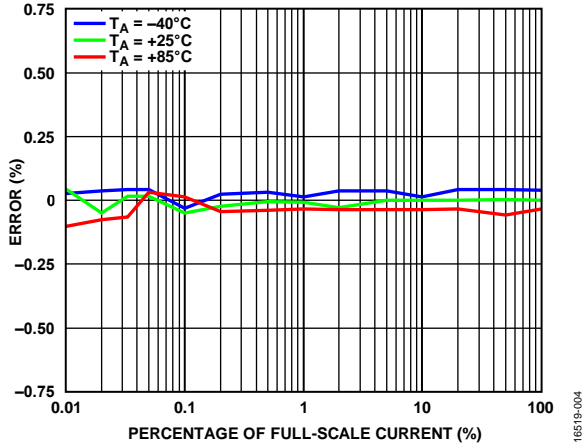


図 4. フルスケール電流のパーセンテージで表した  
総有効電力量誤差の温度に対する変化  
(力率 = 1、電流チャンネル A (AI) の PGA ゲイン = 16 倍)

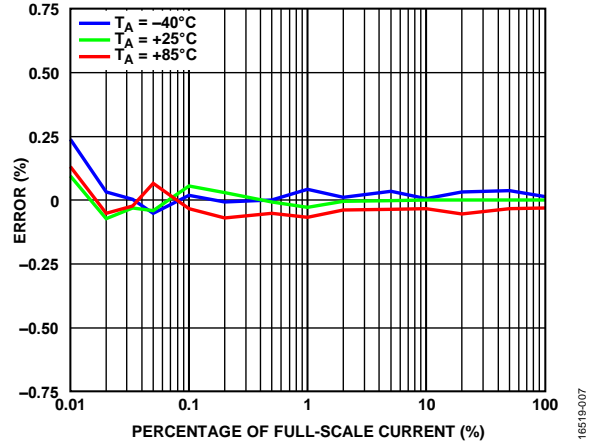


図 7. フルスケール電流のパーセンテージで表した  
基本波無効電力量誤差の温度に対する変化  
(力率 = 0、AI PGA ゲイン = 38.4 倍)

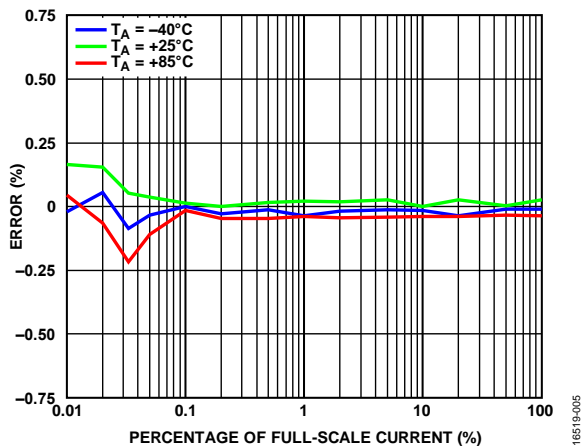


図 5. フルスケール電流のパーセンテージで表した  
総有効電力量誤差の温度に対する変化  
(力率 = 1、AI PGA ゲイン = 38.4 倍)

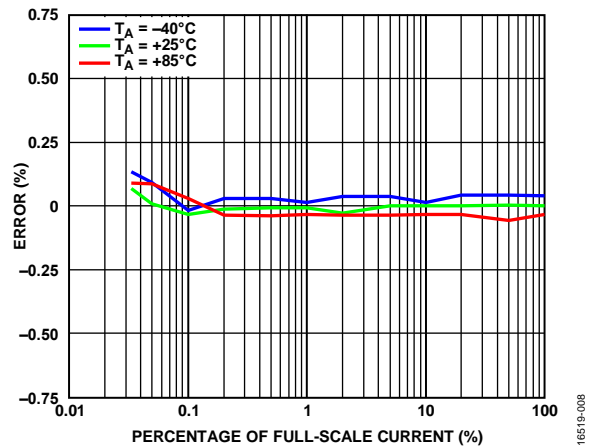


図 8. フルスケール電流のパーセンテージで表した  
総合皮相電力量誤差の温度に対する変化  
(力率 = 1、AI PGA ゲイン = 16 倍)

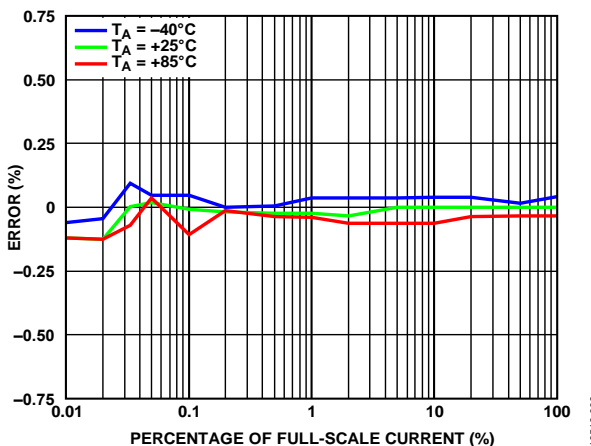


図 6. フルスケール電流のパーセンテージで表した  
基本波無効電力量誤差の温度に対する変化  
(力率 = 0、AI PGA ゲイン = 16x)

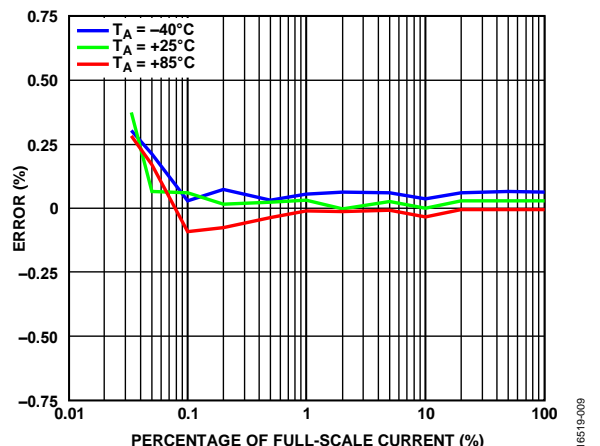
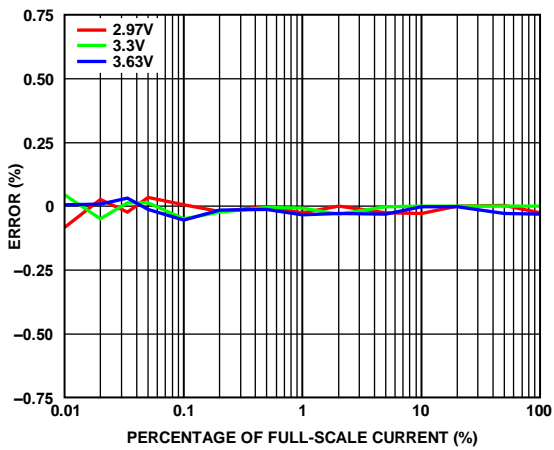
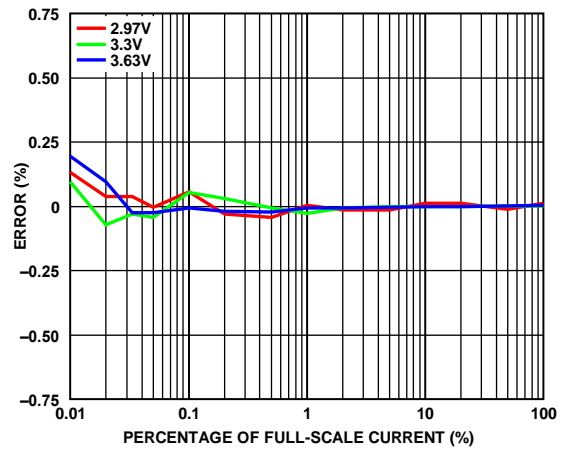


図 9. フルスケール電流のパーセンテージで表した  
総合皮相電力量誤差の温度に対する変化  
(力率 = 1、AI PGA ゲイン = 38.4 倍)



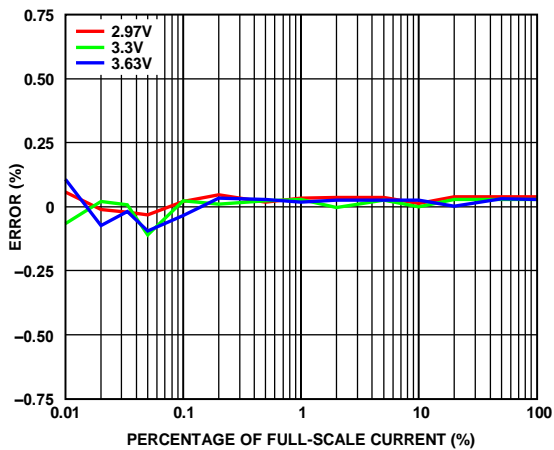
16519-110

図 10. フルスケール電流のパーセンテージで表した総合有効電力量誤差の電源電圧に対する変化 (力率 = 1、 $T_A = 25\text{ }^\circ\text{C}$ 、AI PGA ゲイン = 16 倍)



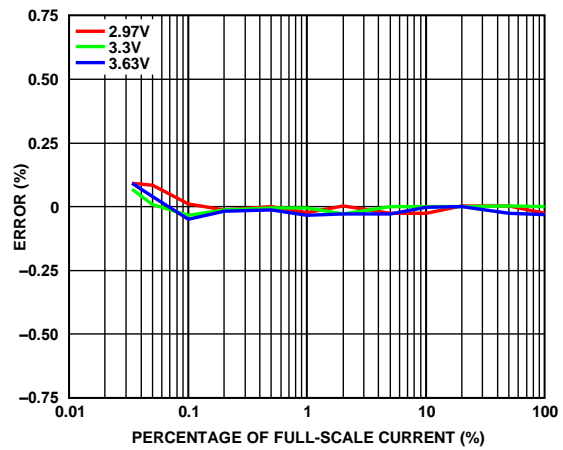
16519-113

図 13. フルスケール電流のパーセンテージで表した基本波無効電力量誤差の電源電圧に対する変化 (力率 = 0、 $T_A = 25\text{ }^\circ\text{C}$ 、AI PGA ゲイン = 38.4 倍)



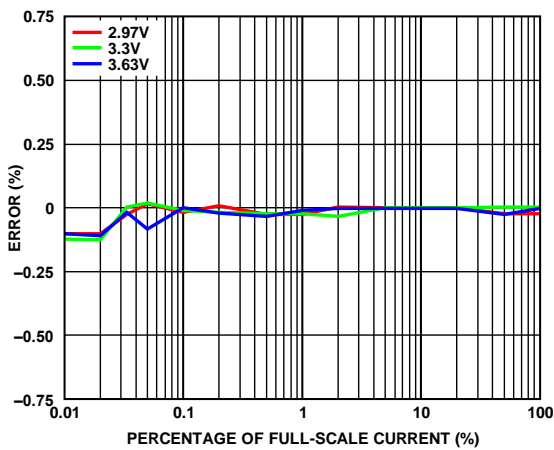
16519-111

図 11. フルスケール電流のパーセンテージで表した総合有効電力量誤差の電源電圧に対する変化 (力率 = 1、 $T_A = 25\text{ }^\circ\text{C}$ 、AI PGA ゲイン = 38.4 倍)



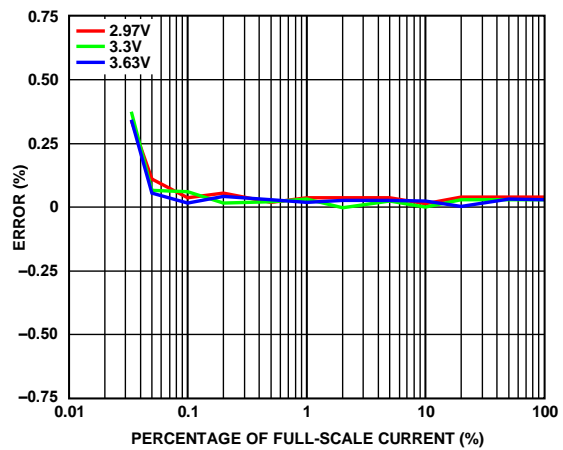
16519-114

図 14. フルスケール電流のパーセンテージで表した総合皮相電力量誤差の電源電圧に対する変化 (力率 = 1、 $T_A = 25\text{ }^\circ\text{C}$ 、AI PGA ゲイン = 16 倍)



16519-112

図 12. フルスケール電流のパーセンテージで表した基本波無効電力量誤差の電源電圧に対する変化 (力率 = 0、 $T_A = 25\text{ }^\circ\text{C}$ 、AI PGA ゲイン = 16 倍)



16519-115

図 15. フルスケール電流のパーセンテージで表した総合皮相電力量誤差の電源電圧に対する変化 (力率 = 1、 $T_A = 25\text{ }^\circ\text{C}$ 、AI PGA ゲイン = 38.4 倍)

周波数と力率に対する電力量誤差の変化

電力量の特性は、フルスケールの 50 % で 50 Hz の正弦波電圧信号、フルスケールの 10% で 50 Hz の正弦波電流信号、45 Hz ~ 65 Hz の可変周波数の条件から得られる値です。

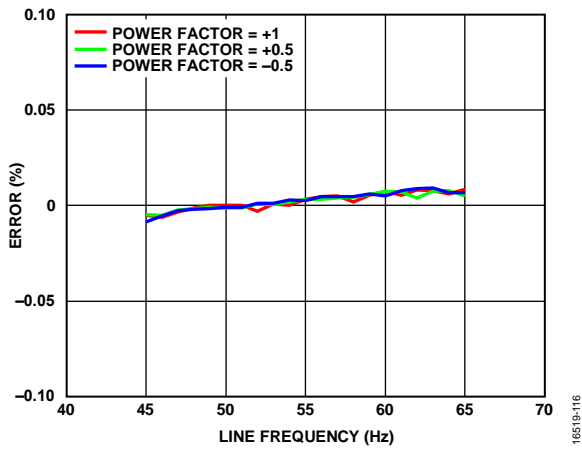


図 16. ライン周波数対総合有効電力量誤差 (力率 = -0.5、+0.5、+1、AI PGA ゲイン = 38.4 倍)

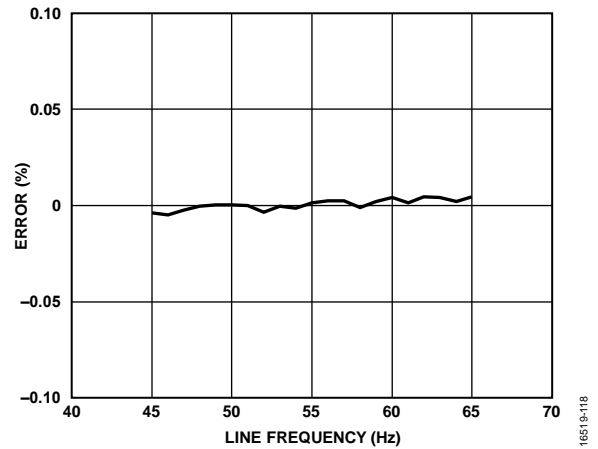


図 18. ライン周波数対総合皮相電力量誤差 (AI PGA ゲイン = 38.4 倍)

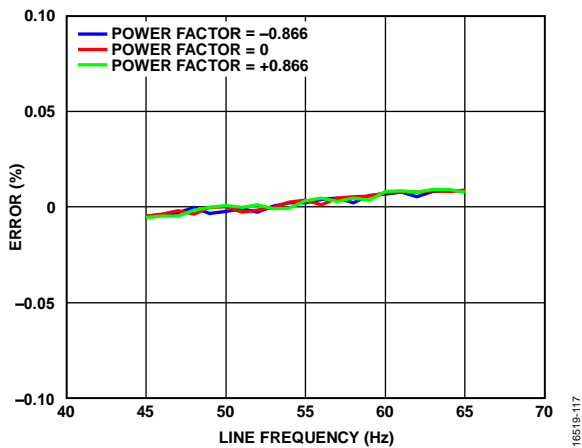


図 17. ライン周波数対基本波無効電力量誤差 (力率 = -0.866、+0.866、0、AI PGA ゲイン = 38.4 倍)

温度に対する実効値の直線性の変化と周波数に対する実効値誤差の変化

実効値の直線性は、50 Hz の正弦波電流および電圧信号の振幅をフルスケールの 100 % から 0.033 % まで掃引して得られる値です。

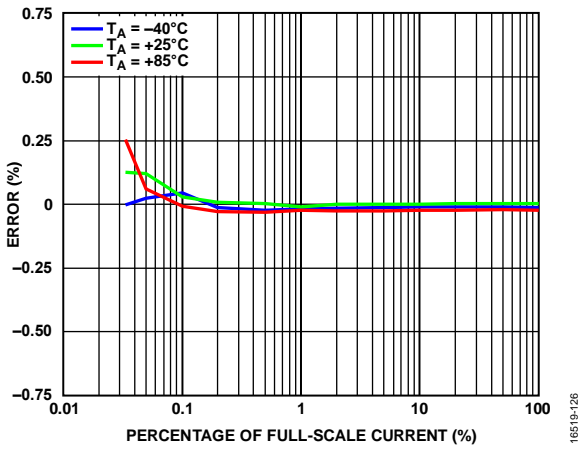


図 19. フルスケール電流のパーセンテージで表した電流チャンネル A 実効値誤差の温度に対する変化 (AI PGA ゲイン = 16 倍)

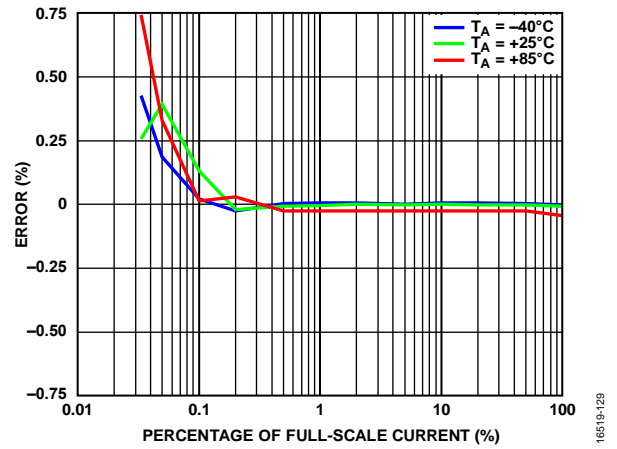


図 22. フルスケール電流のパーセンテージで表した電圧チャンネル実効値誤差の温度に対する変化

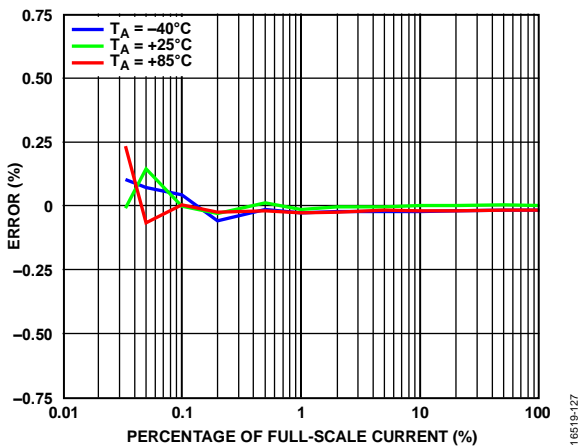


図 20. フルスケール電流のパーセンテージで表した電流チャンネル A 実効値誤差の温度に対する変化 (AI PGA ゲイン = 38.4 倍)

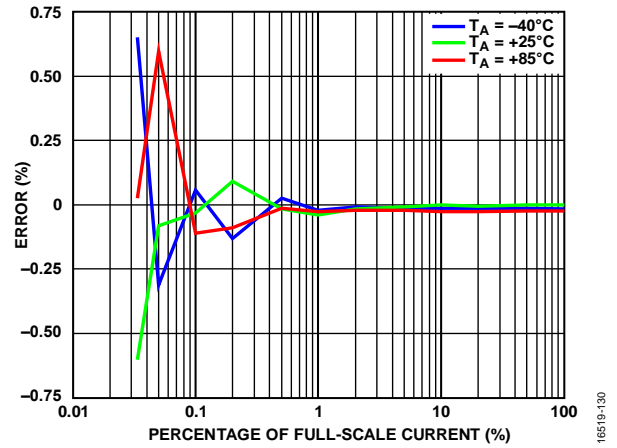


図 23. フルスケール電流のパーセンテージで表した電流チャンネル A 実効値オフセット誤差の温度に対する変化 (AI PGA ゲイン = 16 倍)

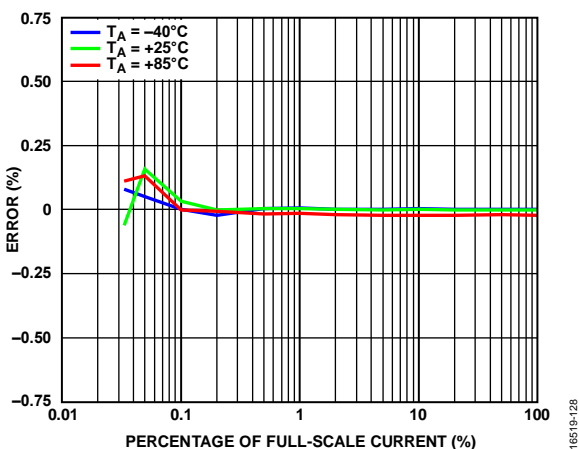


図 21. フルスケール電流のパーセンテージで表した電流チャンネル B 実効値誤差の温度に対する変化

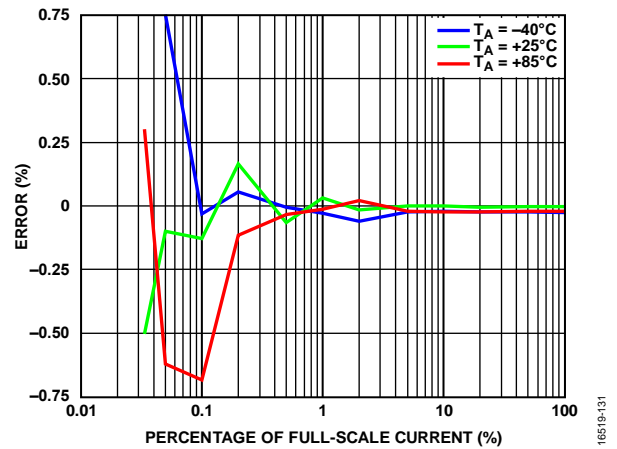


図 24. フルスケール電流のパーセンテージで表した電流チャンネル A 実効値オフセット誤差の温度に対する変化 (AI PGA ゲイン = 38.4 倍)

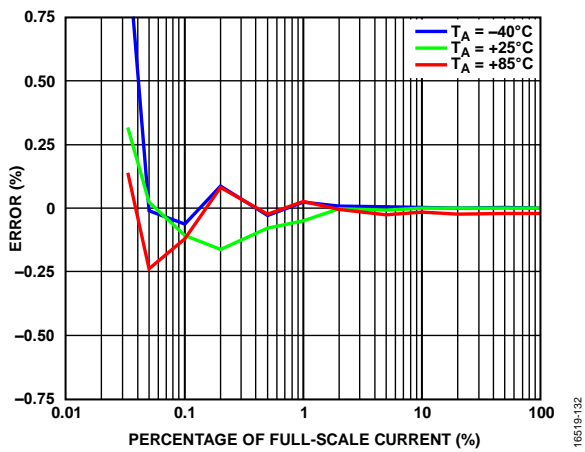


図 25. フルスケール電流のパーセンテージで表した電流チャンネル B 実効値オフセット誤差の温度に対する変化

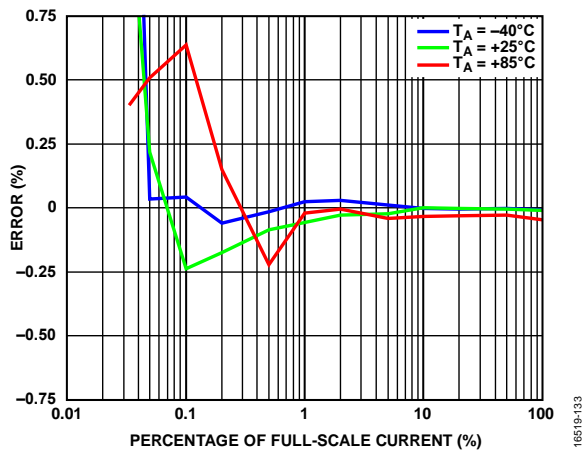


図 26. フルスケール電流のパーセンテージで表した電圧チャンネル実効値オフセット誤差の温度に対する変化

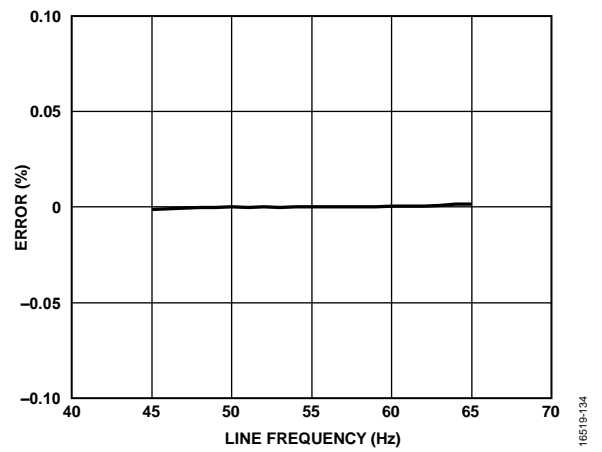


図 27. ライン周波数対電流チャンネル A 実効値誤差

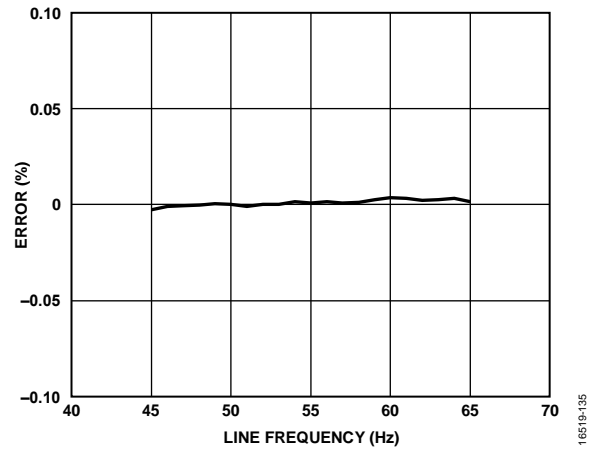


図 28. ライン周波数対電流チャンネル B 実効値誤差

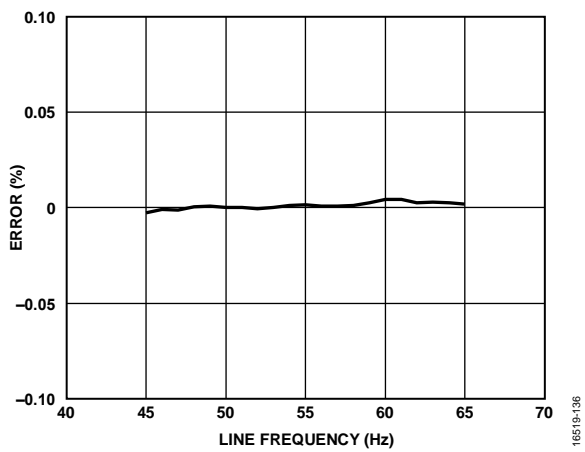


図 29. ライン周波数対電圧チャンネル実効値誤差

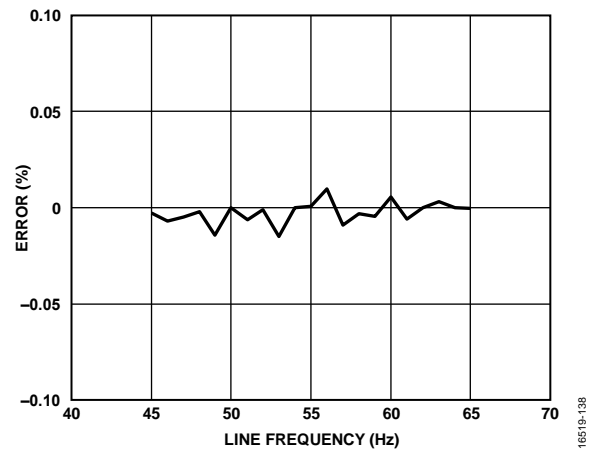


図 31. ライン周波数対電流チャンネル B 実効値過電流誤差

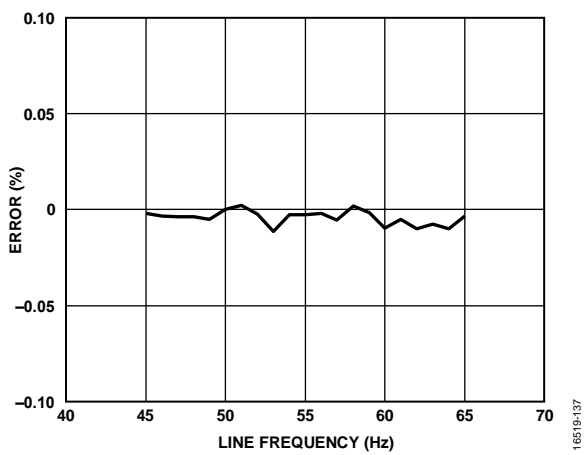


図 30. ライン周波数対電流チャンネル A 実効値過電流誤差

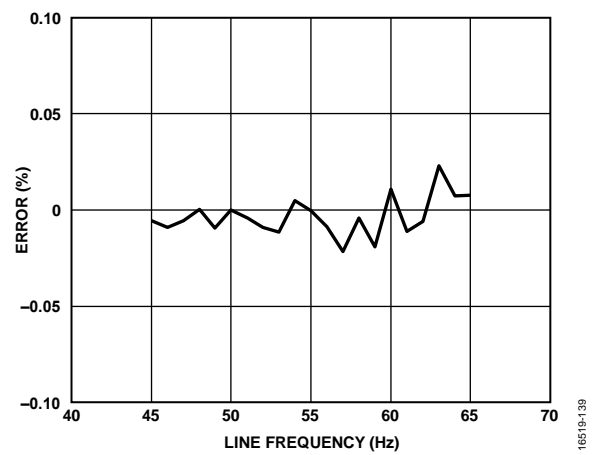


図 32. ライン周波数対電圧チャンネル実効値過電流誤差



ダイナミック・レンジに対する S/N 比 (SNR) の性能

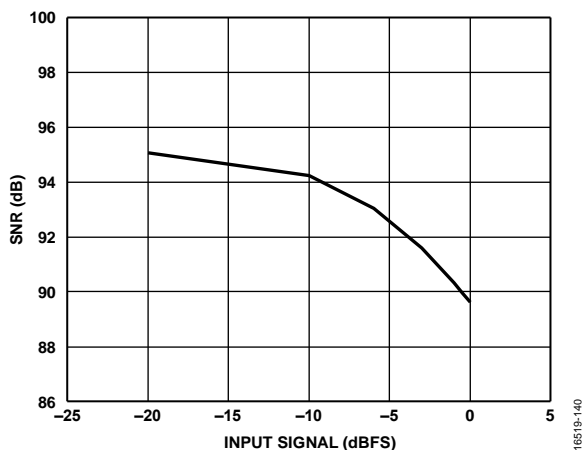


図 33. 入力をフルスケール基準で表した電流チャンネル A の S/N 比 (AI PGA ゲイン = 16 倍)

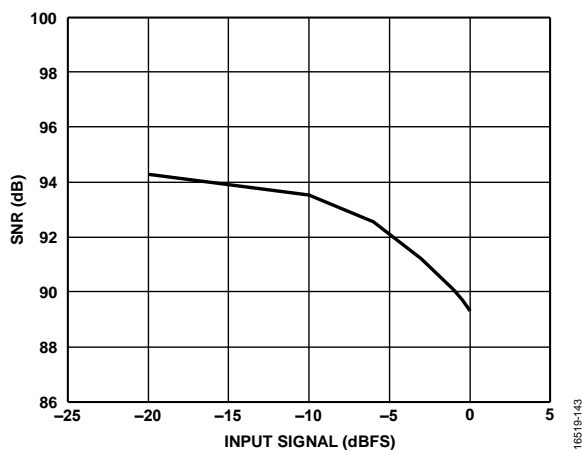


図 35. 入力をフルスケール基準で表した電流チャンネル B の S/N 比

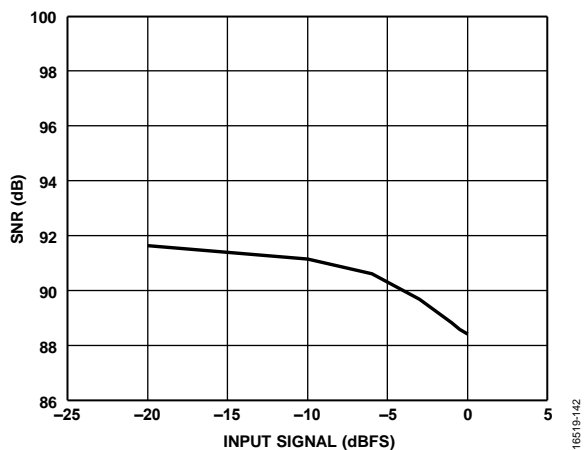


図 34. 入力をフルスケール基準で表した電流チャンネル A の S/N 比 (AI PGA ゲイン = 38.4 倍)

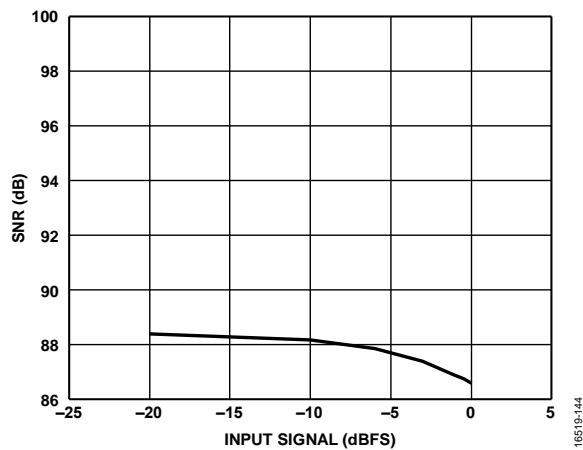


図 36. 入力をフルスケール基準で表した電圧チャンネルの S/N 比

テスト回路

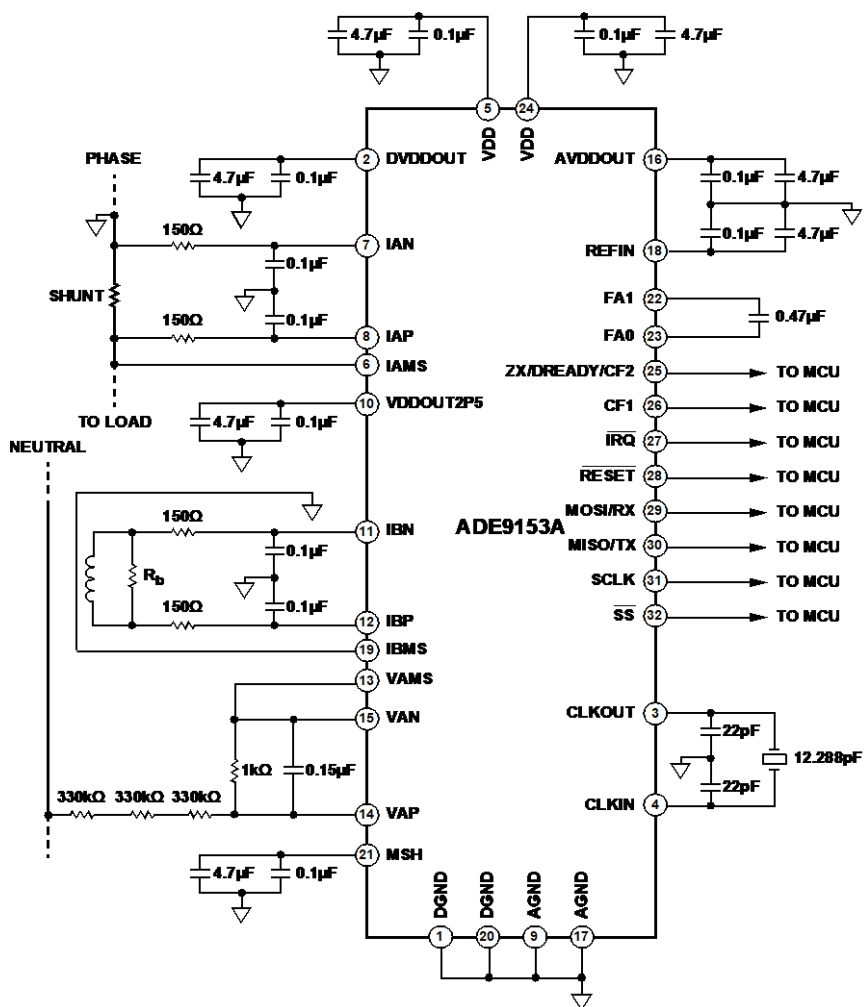


図 37. テスト回路

10516-010

## 用語の定義

### クロストーク

クロストークの測定は、1つのチャンネルを接地し、他のすべてのチャンネルにフルスケールの 50 Hz 信号または 70 Hz 信号を加えることによって行います。クロストークは接地された ADC の出力値と、その ADC のフルスケール出力値の比に等しい値です。ADC 出力は 200 秒間収集され、クロストークはデシベルで表されます。

### 差動入力インピーダンス (DC)

差動入力インピーダンスは、IAP と IAN のペア間、IBP と IBN のペア間、または VAP と VAN のペア間のインピーダンスを表します。

### ADC オフセット

ADC オフセットは、両方の入力をグラウンドに接続した状態で測定した ADC 出力コードの平均と、理想 ADC 出力コード 0 の差です。ADC オフセットは mV で表されます。

### 温度に対する ADC オフセット・ドリフト

ADC オフセット・ドリフトは、温度に対するオフセットの変化です。オフセット値を  $-40^{\circ}\text{C}$ 、 $+25^{\circ}\text{C}$ 、 $+85^{\circ}\text{C}$  で測定し、次式に従って温度に対するオフセット・ドリフトを計算します。

Drift =

$$\max \left( \left| \frac{\text{Offset}(-40^{\circ}\text{C}) - \text{Offset}(+25^{\circ}\text{C})}{(-40^{\circ}\text{C}) - (+25^{\circ}\text{C})} \right|, \left| \frac{\text{Offset}(+85^{\circ}\text{C}) - \text{Offset}(+25^{\circ}\text{C})}{(+85^{\circ}\text{C}) - (+25^{\circ}\text{C})} \right| \right)$$

オフセット・ドリフトは  $\mu\text{V}/^{\circ}\text{C}$  で表されます。

### 温度に対するチャンネル・ドリフト

温度係数に関するチャンネル・ドリフトには、内部電圧リファレンスを使用したときの PGA ゲインと ADC ゲインの温度に対する変化が含まれます。この係数は、1つのチャンネルのすべての温度係数を表します。内部電圧リファレンスを使用して、 $-40^{\circ}\text{C}$ 、 $+25^{\circ}\text{C}$ 、 $+85^{\circ}\text{C}$  で ADC ゲインを測定します。そして、次式に従って温度係数を計算します。

Drift =

$$\max \left( \left| \frac{\text{Gain}(-40^{\circ}\text{C}) - \text{Gain}(+25^{\circ}\text{C})}{\text{Gain}(+25^{\circ}\text{C}) \times (-40^{\circ}\text{C}) - (+25^{\circ}\text{C})} \right|, \left| \frac{\text{Gain}(+85^{\circ}\text{C}) - \text{Gain}(+25^{\circ}\text{C})}{\text{Gain}(+25^{\circ}\text{C}) \times (+85^{\circ}\text{C}) - (+25^{\circ}\text{C})} \right| \right)$$

ゲイン・ドリフトは  $\text{ppm}/^{\circ}\text{C}$  で表されます。

### ADC ゲイン誤差

ADC のゲイン誤差は、外部電圧リファレンスに  $1.25\text{V}$  を使用したときの、測定 ADC 出力コード (からオフセットを引いた値) と理想出力コードの差を表します。この差は理想コードのパーセンテージで表され、1つのチャンネルの総合ゲイン誤差を表します。

### AC 電源電圧変動除去比 (AC PSRR)

AC PSRR は、DC 電源を  $V_{\text{NOM}}$  にして AC 変調を使用し、入力を接地した状態で、指示値のパーセンテージとして測定誤差を定量化するものです。AC PSRR を測定するには、公称電源 ( $3.3\text{V}$ ) で 100 秒間サンプルを収集し、追加の AC 信号 ( $100\text{Hz}$  で  $233\text{mV rms}$ ) を電源に加えて、もう 1 セットを収集します。これにより、PSRR は  $\text{PSRR} = 20 \log_{10} (V_{\text{RIPPLE}}/V_{\text{NOMINAL}})$  で表されます。

### S/N 比 (SNR)

S/N 比は、50 Hz 信号を入力して 10 秒間以上サンプルを収集することによって計算します。ADC 出力帯域幅 ( $-3\text{dB}$ ) として表 1 に示された帯域幅までの、各周波数の振幅を計算します。S/N 比を求めるには、50 Hz での信号を他のすべての周波数における電力の合計と比較して、その高調波による電力を除去します。S/N 比の単位はデシベルです。

### ADC 出力パスバンド

ADC 出力パスバンドは  $0.1\text{dB}$  以内の帯域幅であり、sinc4 フィルタおよび sinc4 フィルタ + 無限インパルス応答 (IIR) ローパス・フィルタ (LPF) のデジタル・フィルタリングによって得られます。

### ADC 出力帯域幅

ADC 出力帯域幅は  $-3\text{dB}$  以内の帯域幅で、sinc4 および sinc4 + IIR LPF のデジタル・フィルタリングによって得られます。

### 収束速度

収束速度は、mSure が所定のレベルの精度に達するまでに要する時間です。収束速度、またはその所要時間は、必要な精度に対して対数で比例します。つまり、mSure 自動キャリブレーションに要求される精度が高くなると、所要時間は対数的に増加します。

同様に、この速度は mSure が動作しているときのパワー・モードにも関係します。低パワー・モードのほうが、収束速度は遅くなります。仕様規定されたシステムにおけるこの関係は表 2 に示されています。収束速度によって、自動キャリブレーション・プロセスを完了し、仕様規定された所定の精度に達するまでの時間が決まります。

**絶対精度**

絶対精度には、*mSure* リファレンスの精度が考慮されています。この精度に達するまでの収束速度は、*mSure* 自動キャリブレーションの実行時間に依存します。*mSure* 自動キャリブレーションの実行時間が長いほど、精度は向上します。

**推定値の確実性**

*mSure* 推定値の確実性は、単に確実性 (CERT) とも呼ばれ、*mSure* の測定精度の指標です。確実性はパーセンテージで表され、値が低いほど推定値の信頼性は高くなります。

**変換定数**

このデータシートでは、変換定数 (CC) は、*mSure* が返すセンサーおよびフロント・エンドの伝達関数の推定値です。この値の単位は A / コード、または V / コードで、推定が行われたチャンネルに依存します。

## 動作原理

### mSURE 自動キャリブレーション機能

ADE9153A は、mSure 自動キャリブレーション技術を備えており、電流および電圧チャンネルを自動で高精度に補正することができます。自動キャリブレーション機能には、絶対精度と収束速度の 2 つの重要な要素があります（詳細については、用語の定義のセクションを参照）。

電流チャンネル AI および BI では、ターボ・モードとノーマル・モードの 2 つのパワー・モードで自動キャリブレーションを実行することができます。パワー・モードでは、収束速度と消費電流がトレードオフの関係にあります。ターボ・モードでは、ノーマル・モードと比較して収束速度が 4 倍速くなりますが、消費電流の増加はわずか 2 倍です。すなわち、最大限実行させたときの平均消費量はロー・パワー・モードより低くなります。しかし、瞬時的な消費量は高くなります（図 38 参照）。

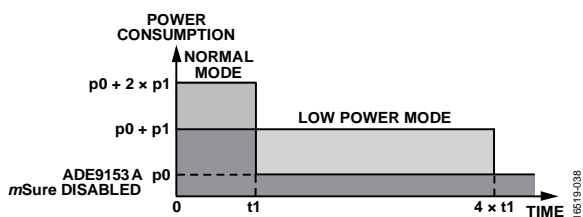


図 38. 同じ確実性における mSure 自動キャリブレーションのパワー・モード

ADE9153A は、正確なソースヤリファレンス・メーターを使用することなく、メーターの自動キャリブレーションを実行できます。メーターに電源を投入すると、各チャンネルの CC を測定できます。自動キャリブレーションを実行するために必要な条件はこれだけです。

メーターに電源が供給されると、MS\_ACAL\_CFG レジスタを使用することにより、一度に 1 チャンネルずつ、自動キャリブレーション機能を実行させることができます。チャンネルごとに、一定の実行時間がかかります。各チャンネルでの動作が完了すると、MS\_ACAL\_xCERT レジスタで測定の確実性を確認します。その後、MS\_ACAL\_xCC レジスタを使用して、メーター補正用のゲイン値を計算することができます。

### mSure システムの警告割込み

ADE9153A には、mSure 自動キャリブレーションの実行中に発生した問題をユーザに警告する、専用の割込みが一式備わっています。これらの警告はすべて、MS\_STATUS\_IRQ レジスタのビットで示されます。このレジスタは、Tier 2 ステータス・レジスタで、詳細は割込み/イベントのセクションで説明します。

mSure の動作が MS\_ACAL\_CFG レジスタで誤ってセットアップされた場合は、MS\_CONFERR ビットがセットされます。これらのレジスタを 0 にクリアし、書き込まれている設定をチェックしてから、別のキャリブレーションを開始してください。

mSure の信号が検出されない場合は、MS\_ABSENT ビットがセットされます。このビットがトリガされた場合は、メーター内の配線が間違っているか断線している可能性があります。

自動キャリブレーションが、システム制限の 600 秒を超えて動作を続けると、MS\_TIMEOUT ビットがセットされます。この割込みがトリガされた場合は、適切なタイミングで mSure を有効にしたり無効にしたりして、mSure のキャリブレーション動作が正しく処理されているか確認してください。

キャリブレーション実行中に CC 値のシフトが発生すると、MS\_SHIFT ビットがセットされます。これは、メーター・レベルでのイベントによって、キャリブレーションが完了する前に CC が変更されており、より正確な値を得るためにもう 1 回キャリブレーションを実行する必要があることを意味します。この場合の確実性は高く、50,000 ppm を超えます。

図 39 から図 41 に mSure の結果 (CC 値) の収束速度を示します。シャントの値が大きいほど、または PGA のゲインが高いほど、信号サイズが大きくなるため、収束速度も増加します。これらはどちらもシステム全体に基づいてセットする必要があるパラメータで、測定する最大電流などの要素を考慮しなければなりません。図 39 から図 41 は、収束速度がシステムの要素にどれだけ影響されるかを示しています。

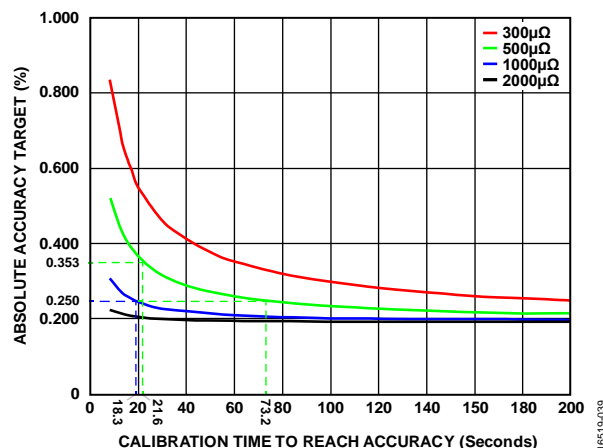


図 39. シャント値に基づく自動キャリブレーションの収束速度 (シャント・チャンネル、ノーマル・モード)

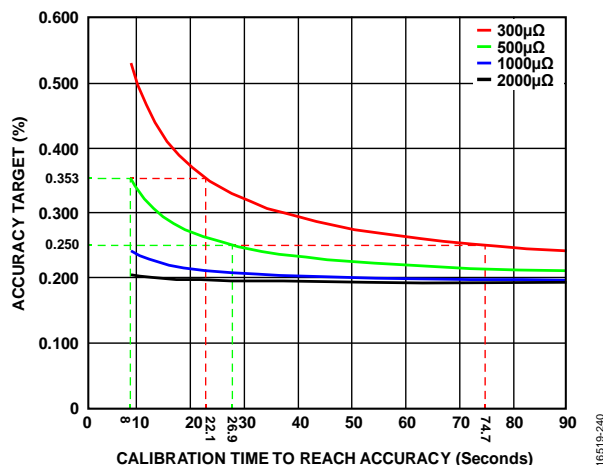


図 40. シャント値に基づく自動キャリブレーションの収束速度 (シャント・チャンネル、ターボ・モード)

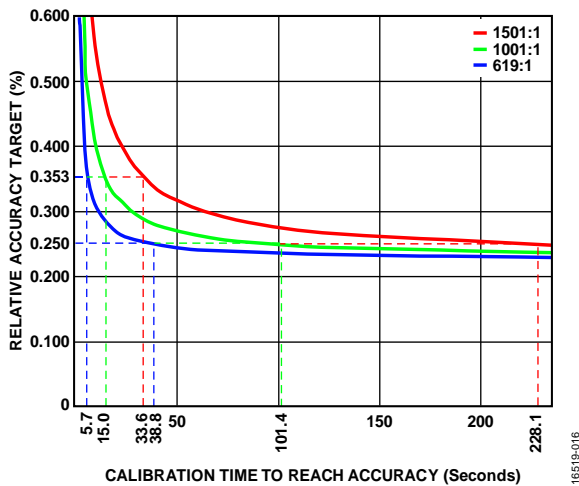


図 41. 電圧の分圧比に基づく自動キャリブレーションの収束速度 (電圧チャンネル)

測定

電流チャンネル

ADE9153A には 2 つの電流チャンネルがあります。チャンネル A はシャントに適しており、チャンネル B はカレント・トランスに適しています。チャンネル A とチャンネル B の電流チャンネル・データパスを図 42 と図 43 に示します。

電流チャンネル・ゲイン xIGAIN

DE9153A には、それぞれのチャンネルに 1 つずつ電流ゲイン・キャリブレーション・レジスタ (AIGAIN および BIGAIN) があります。

次式に示すように、電流チャンネル・ゲインは xIGAIN とともに変化します。

$$\text{電流チャンネル・ゲイン} = \left( 1 + \frac{xIGAIN}{2^{27}} \right)$$

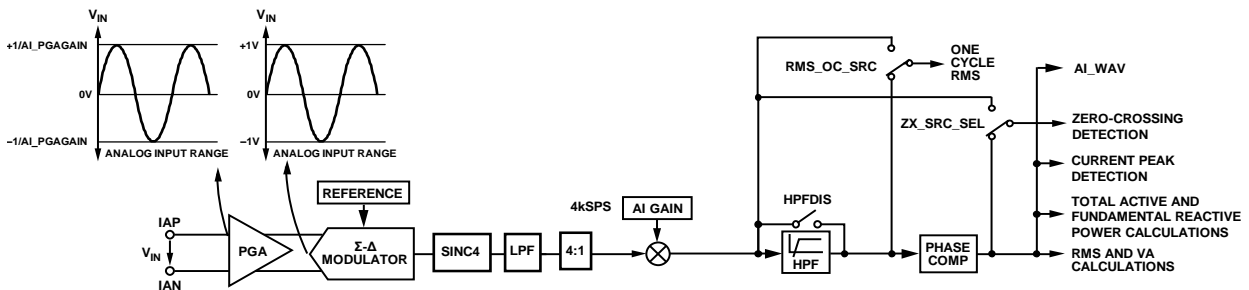


図 42. ADE9153A の電流チャンネル A のデータパス

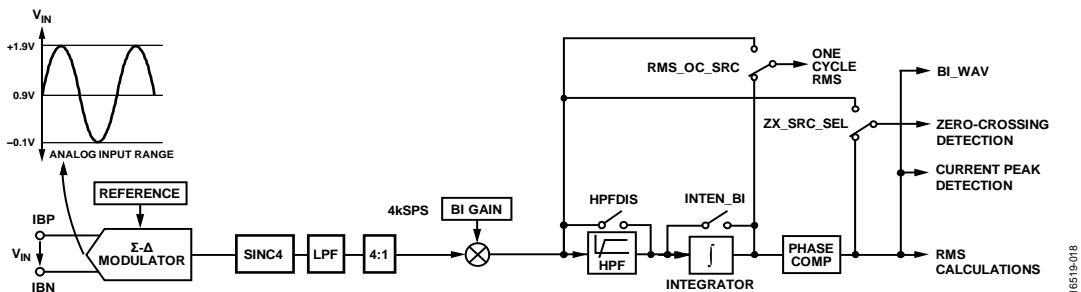


図 43. ADE9153A の電流チャンネル B のデータパス

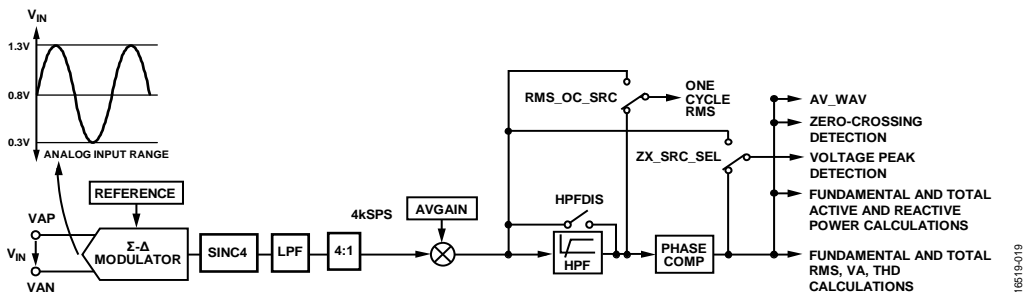


図 44. ADE9153A の電圧チャンネルのデータパス

ハイパス・フィルタ

ハイパス・フィルタは、正確な実効値と電力量測定のために DC オフセットを除去します。このフィルタはデフォルトでイネーブルされており、コーナー周波数は 1.25 Hz です。

すべての電流チャンネルと電圧チャンネルでハイパス・フィルタをディスエーブルするには、CONFIG0 レジスタの HPFDIS ビットをセットします。コーナー周波数は、CONFIG2 レジスタの HPF\_CRN ビットで設定されます。

デジタル積分器

ロゴスキー・コイルとも呼ばれる di/dt 電流センサーとインターフェースが取れるように、電流チャンネル B にデジタル積分器が組み込まれています。この積分器は mSure のいずれの機能とも一緒には使用できないことに注意してください。デジタル積分器を設定するには、CONFIG0 レジスタの INTEN\_BI ビットを使用します。デジタル積分器は、デフォルトではディスエーブルされています。

位相補償

ADE9153A は、各電流チャンネル用の位相補償レジスタ、APHASECAL および BPHASECAL を備えています。位相キャリブレーション範囲は 50 Hz で -15° ~ +2.25°、60 Hz で -15° ~ +2.7° です。

所定の位相補正角度 (φ°) に対する xPHASECAL 値の計算には、次式を使用します。位相補正角度 (φ°) は、電流トランスに見られるように、電圧より遅れている電流を補正する場合は正で、電圧より進んでいる電流を補正する場合は負です。

$$xPHASECAL = \left( \frac{\sin(\phi - \omega) + \sin \omega}{\sin(2\omega - \phi)} \right) \times 2^{27}$$

$$\omega = 2\pi \times f_{LINE}/f_{DSP}$$

ここで、  
f<sub>LINE</sub> はライン周波数、  
f<sub>DSP</sub> は 4 kHz です。

電圧チャンネル

ADE9153A には、図 44 に示すようにデータバスを持つ 1 つの電圧チャンネルがあります。AVGAIN レジスタは、この電圧チャンネルを補正するもので、スケーリングは xIGAIN レジスタと同じです。

実効値と電力の測定

ADE9153A は実効値電流、実効値電圧、有効電力、基本波無効電力、皮相電力の総合値を計算します。基本波無効電力の計算アルゴリズムでは、ACCMODE レジスタの SELFREQ ビットと VLEVEL レジスタの公称電圧を使って、ネットワーク周波数を初期化する必要があります。

VLEVEL 値は次式を使って計算します。

$$VLEVEL = x \times 1,444,084$$

ここで x は、フルスケールに対する公称電圧入力信号のダイナミック・レンジです。

例えば、信号がフルスケールの 1/2 である場合は x=2 です。したがって、次のようになります。

$$VLEVEL = 2 \times 1,444,084$$

総合実効値

ADE9153A は、すべてのチャンネルで、実効値電流と実効値電圧の総合値を測定することができます。実効値測定 のデータバスを 図 45 に示します。

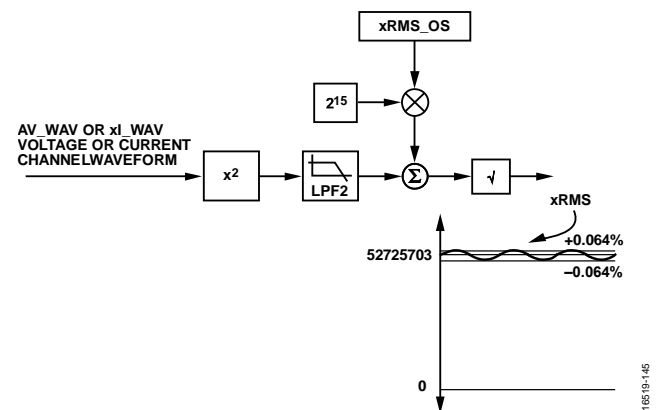


図 45. フィルタベースの総合実効値データバス

総合実効値の計算値は各チャンネルに 1 つずつあり (AIRMS、BIRMS、AVRMS)、これらは 4 kSPS ごとに更新されます。フルスケールでの xIRMS のコード値は、52,725,703 です。フルスケールでの xVRMS のコード値は、26,362,852 です。総合実効値の測定は、ゲインとオフセットを補正することができます。ゲイン・キャリブレーションは、xGAIN レジスタを使用してそれぞれの電流および電圧チャンネル・データバスで行ってください。次式は、オフセット・キャリブレーション・レジスタによって対応する実効値レジスタ内の結果がどのように変更されるかを示しています。

$$xRMS = \sqrt{xRMS_0^2 + 2^{15} \times xRMOS\_OS}$$

ここで xRMS<sub>0</sub> は、オフセット・キャリブレーション前の xRMS レジスタの初期値です。

総合有効電力

ADE9153A は総合有効電力を測定することができます。総合有効電力測定 のデータバスを 図 46 に示します。

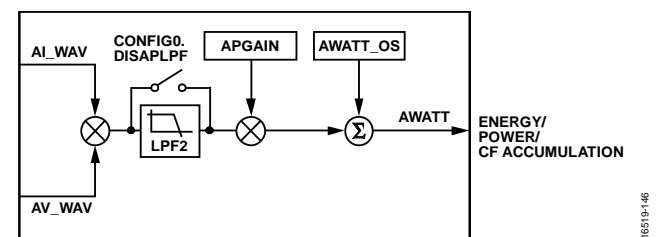


図 46. 総合有効電力 (AWATT) データバス

総合有効電力 (AWATT) の計算値は 4 kSPS ごとに更新されます。フルスケール入力の場合、AWATT のコード値は 10,356,306 です。

ローパス・フィルタ LPF2 はデフォルトでイネーブル (DISAPLPF = 0) になっており、通常動作ではこのデフォルト値に設定しておく必要があります。LPF2 をディスエーブルするには、CONFIG0 レジスタの DISAPLPF ビットをセットします。

次式は、ゲインおよびオフセット・キャリブレーション・レジスタによってどのように電力レジスタの結果が変更されるかを示しています。

$$AWATT = \left(1 + \frac{APGAIN}{2^{27}}\right) AWATT_0 + AWATT\_OS$$

APGAIN は、すべての電力 (有効、無効、および皮相電力) の測定に共通するゲインです。

### 基本波無効電力

ADE9153A は基本波無効電力を測定することができます。基本波無効電力計算のデータパスを図 47 に示します。

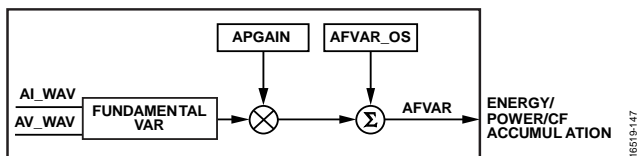


図 47. 基本波無効電力 (AFVAR) データパス

基本波無効電力 (AFVAR) の計算値は 4 kSPS ごとに更新されます。フルスケール入力の場合、AFVAR のコード値は 10,356,306 です。

LPF2 はデフォルトでイネーブル (DISRPLPF = 0) になっており、通常動作ではこのデフォルト値に設定しておく必要があります。LPF2 をディスエーブルするには、CONFIG0 レジスタの DISRPLPF ビットをセットします。

次式は、ゲインおよびオフセット・キャリブレーション・レジスタによってどのように電力レジスタの結果が変更されるかを示しています。

$$AFVAR = \left(1 + \frac{APGAIN}{2^{27}}\right) AFVAR_0 + AFVAR\_OS$$

### 総合皮相電力

ADE9153A は総合皮相電力を測定することができます。総合皮相電力計算のデータパスを図 48 に示します。

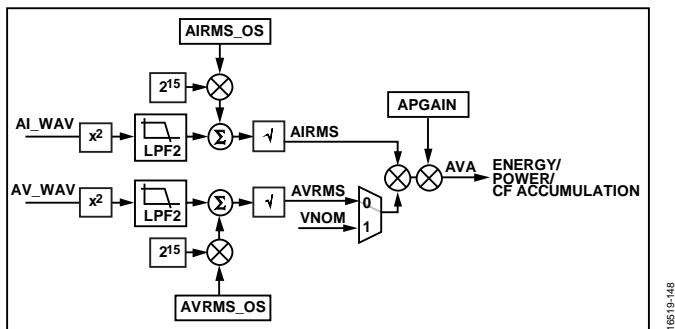


図 48. 総合皮相電力 (AVA) データパス

総合皮相電力 (AVA) の計算値は 4 kSPS ごとに更新されます。フルスケール入力の場合、AVA のコード値は 10,356,306 です。

LPF2 はデフォルトでイネーブル (DISRPLPF = 0) になっており、通常動作ではこのデフォルト値に設定しておく必要があります。LPF2 をディスエーブルするには、CONFIG0 レジスタの DISRPLPF ビットをセットします。

ADE9153A には、電圧が入力されていないときに総合皮相電力を計算するレジスタ (VNOM) があります。このレジスタは、目的の電圧実効値に対応する値に設定します。CONFIG0 レジスタの VNOMA\_EN ビットをセットすると、AVRMS の代わりに VNOM の値が使用されます。

### 電力量積算、電力積算、および無負荷検出機能

ADE9153A は、総合有効電力量、基本波無効電力量、総合皮相電力量を計算します。デフォルトの積算モードは符号付きですが、ACCMODE レジスタの WATTACC ビットと VARACC ビットを使って、有効電力量と無効電力量の積算を、絶対積算値、正のみの積算値、負のみの積算値に変更することができます。

### 電力量の積算

電力量は、42 ビット符号付き内部電力量アキュムレータに 4 kSPS で積算されます。ユーザ読出し可能な電力量レジスタは符号付きの 45 ビット幅で、図 49 に示すように 2 つの 32 ビット・レジスタに分割されます。フルスケール入力時は、ユーザ電力量レジスタは 106.3 秒でオーバーフローします。

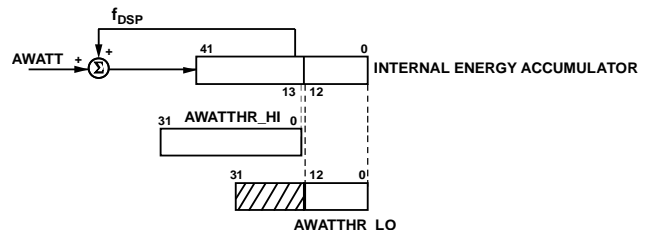


図 49. 内部電力量アキュムレータを AWATTHR\_HI と AWATTHR\_LO に分割

### 電力量の積算モード

電力量レジスタには、ユーザが定義したサンプル数、または EP\_CFG レジスタの EGY\_TMR\_MODE ビットによって設定されたハーフ・ライン・サイクル数を積算することができます。ハーフ・ライン・サイクルの積算では、電圧チャンネルのゼロ交差を使用します。サンプルまたはハーフ・ライン・サイクルの数は、EGY\_TIME レジスタで設定します。EGY\_TIME の最大値は 10 進法で 8191 です。フルスケール入力では、この内部レジスタは 13.3 秒でオーバーフローします。50 Hz 信号の場合、ハーフ・ライン・サイクル積算時のオーバーフローを防ぐために、EGY\_TIME を 1329 (10 進法) 未満にする必要があります。

サンプルまたはハーフ・ライン・サイクルの数が EGY\_TIME + 1 個になると、ステータス・レジスタの EGYRDY ビットがセットされて、電力量レジスタが更新されます。内部電力量レジスタからのデータは、EP\_CFG レジスタの EGY\_LD\_ACCUM ビットの設定に応じて、ユーザ電力量レジスタに追加またはラッチされます。



## 電力量レジスタ読出し時のリセット

電力量レジスタは、EP\_CFG レジスタの RD\_RST\_EN ビットを使って、読出し時にリセットできます。これにより、ユーザ電力量レジスタの値は、読出し時にリセットされます。

## 電力の積算

ADE9153A は、総合有効電力、基本波無効電力、総合皮相を、それぞれ AWATT\_ACC、AFVAR\_ACC、AVA\_ACC の 32 ビット符号付きレジスタに積算します。この積算値は、平均電力の指示値として使用することができます。

積算するサンプルの数は、PWR\_TIME レジスタを使って設定します。ステータス・レジスタの PWRRDY ビットは、PWR\_TIME + 1 個のサンプルが 4 kSPS で積算された後に設定されます。PWR\_TIME レジスタの最大値は 8191 (10 進法) で、最大電力積算時間は 1.024 秒です。

PHSIGN レジスタの CFxSIGN、AVARSIGN、および AWSIGN ビットは、時間 PWR\_TIME の間に積算された電力の符号を示します。積算した電力の符号を変更すると、ステータス・レジスタ

の対応する REVx ビットがセットされて、 $\overline{\text{IRQ}}$  が割込みを生成します。

ADE9153A は、総合有効電力と基本波無効電力を正の積算レジスタと負の積算レジスタ、PWATT\_ACC、NWATT\_ACC、PFVAR\_ACC、NFVAR\_ACC に別々に積算することができます。PWR\_TIME で設定した電力更新時間が経過すると、新しい積算がゼロから開始されます。

## 無負荷検出機能

ADE9153A はノイズによる電力量積算を防ぐために、各電力量の無負荷検出機能を備えています。ユーザ定義の時間間隔に対して積算された電力量がユーザ定義の閾値未満の場合は、電力量レジスタに積算される電力量がゼロになります。EP\_CFG レジスタの NOLOAD\_TMR ビットは無負荷時間間隔を決定し、ACT\_NL\_LVL、REACT\_NL\_LVL、APP\_NL\_LVL レジスタにはユーザ定義の無負荷閾値が格納されます。無負荷ステータスは、PHNOLOAD レジスタとステータス・レジスタで読み取ることができます。IRQ 割込みピンを駆動することができます。

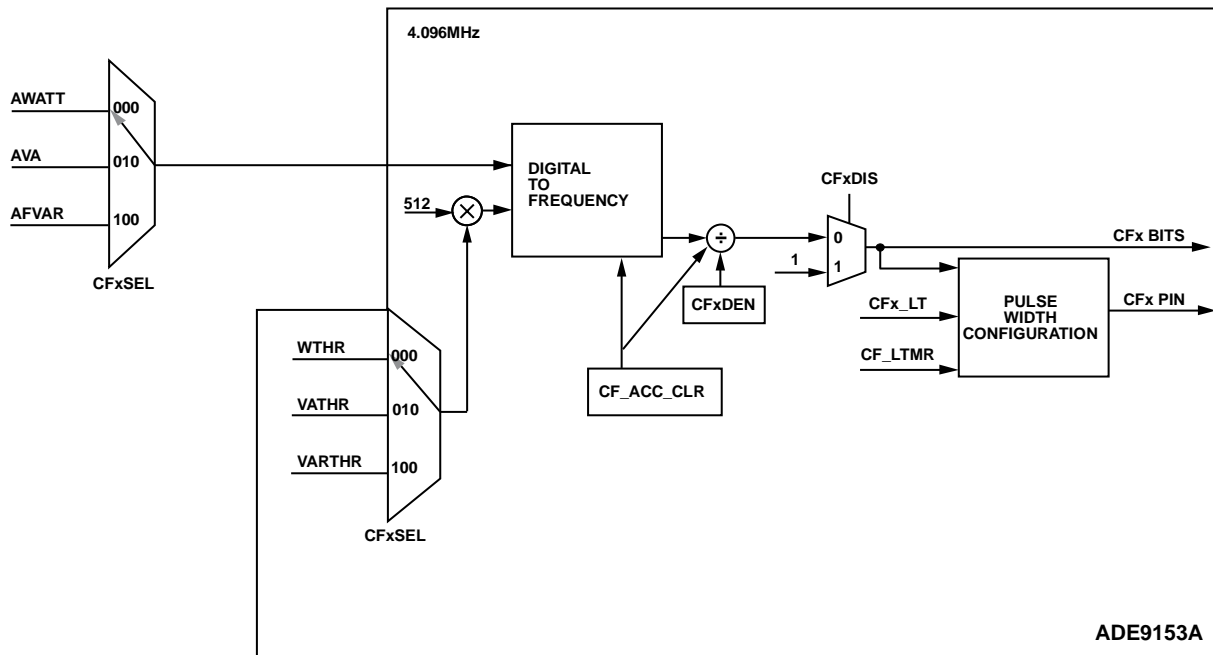


図 50. CFX のデジタル/周波数変換

### デジタル/周波数変換 -CFx 出力

ADE9153A には CF1 および CF2 出力ピンによる 2 つのパルス出力があり、これらは電力量積算値に比例します。CFx のパルス生成のブロック図を図 50 に示します。CF2 は ZX および DREADY とマルチプレクスされます。

### キャリブレーション周波数 (CF) 電力量の選択

CFMODE レジスタの CFxSEL ビットで、どのタイプの電力量を CFx ピンに出力するかを選択します。例えば、CF1SEL = 000b、CF2SEL = 100b に設定すると、CF1 で総合有効電力が、CF2 で基本波無効電力が出力されます。

### CFx パルス幅の設定

CF\_LCFG レジスタの CFx\_LT ビットと CF\_LTMR ビットの値は、パルス幅を決定します。

閾値 (xTHR) = 0x00100000、CFxDEN = 2 としたときの最大 CFx は 78.9 kHz です。xTHR はデフォルト値の 0x00100000 にしておくことを推奨します。

### CFx パルス符号

PHSIGN レジスタの CFxSIGN ビットは、最後の CFx パルスの電力量が正か負かを示します。ステータス・レジスタの REVPCFx ビットは、CFx の極性の符号が変わったかどうかを示します。この機能は、 $\overline{\text{IRQ}}$  ピンに割込みを生成します。

### CFx 積算器のクリア

デジタル/周波数変換器内の積算値と CFDEN カウンタをクリアするには、CONFIG1 レジスタの CF\_ACC\_CLR ビットに 1 を書き込みます。CF\_ACC\_CLR ビットは自動的にクリアされます。

### 電力品質の測定

#### ゼロ交差検出

ADE9153A は、電圧チャンネルと 2 つの電流チャンネルにゼロ交差検出機能を備えています。ゼロ交差検出の前にある電流チャンネルと電圧チャンネルのデータパスを、図 51 と図 52 に示します。

ハイパス・フィルタ前または位相補償後のデータを選択してゼロ交差検出への入力を設定するには、CONFIG0 レジスタの ZX\_SRC\_SEL ビットを使用します。リセットすると、デフォルトの ZX\_SRC\_SEL = 0 になります。

ノイズから保護するために、LPF1 出力電圧の絶対値が閾値 ZXTHRSH より小さい場合には、電圧チャンネルのゼロ交差イベント (ZXAV) は生成されません。電流チャンネルのゼロ交差検出出力 (ZXAI、ZXBI) は、すべての入力信号レベルに対してアクティブです。

ゼロ交差閾値 ZXTHRSH は、次式を使って計算します。

$$\text{ZXTHRSH} = \frac{(V_{\text{WAV at Full Scale}}) \times (\text{LPF1 Attenuation})}{x \times 32 \times 2^8}$$

ここで、「 $V_{\text{WAV at Full Scale}}$ 」は  $\pm 37,282,702$  (10 進法) です。

「LPF1 Attenuation」は、50 Hz で 0.86、60 Hz で 0.81 です。 $x$  はダイナミック・レンジで、この値未満では電圧チャンネルのゼロ交差をブロックする必要があります。

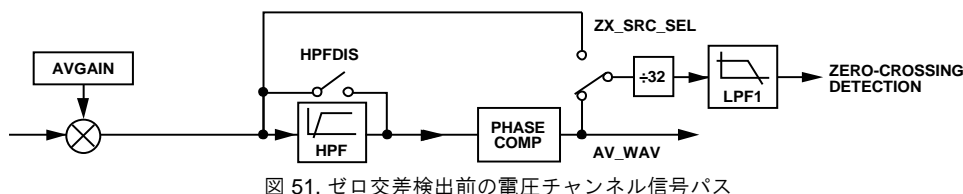


図 51. ゼロ交差検出前の電圧チャンネル信号パス

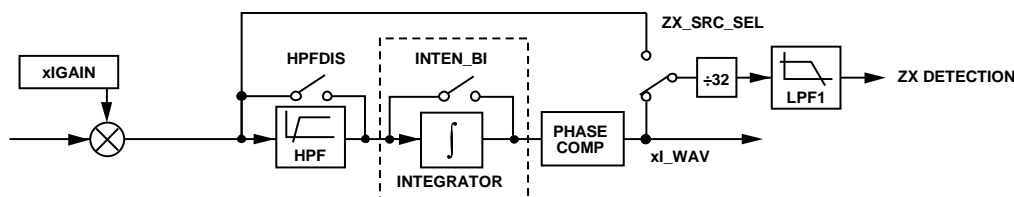


図 52. ゼロ交差検出前の電流チャンネル信号パス

ゼロ交差検出回路には、2つの出力レート（4 kSPS と 512 kSPS）があります。4 kSPS のゼロ交差信号はライン周期を計算し、ステータス・レジスタの ZXx ビットを更新して、ゼロ交差タイムアウトと電力量積算機能をモニタします。512 kSPS のゼロ交差信号は角度を計算して、CF2/ZX/DREADY ピンのゼロ交差出力を更新します。

### CF1/ZX/DREADY

CF1/ZX/DREADY ピンは、CONFIG1 レジスタの ZX\_OUT\_OE ビットを使ってゼロ交差を出力することができます。CF1/ZX/DREADY 出力ピンは、負から正への遷移が検出されるとローからハイになり、正から負への遷移が検出されるとハイからローになります。

### ゼロ交差タイムアウト

(ZXTOOUT + 1) / 4000 秒が経過してもゼロ交差が受信されなかった場合は、ステータス・レジスタの ZXTOAV ビットがセットされて、IRQ ピンに割込みが生成されます。

### ライン周期計算

ADE9153A は、APERIOD レジスタに格納された結果から電圧のライン周期を計算します。ライン周期  $t_L$  は、次式に従い APERIOD レジスタから計算します。

$$t_L = \frac{APERIOD + 1}{4000 \times 2^{16}} \text{ (sec)}$$

計算された周期が 40 Hz ~ 70 Hz の範囲を外れている場合、あるいはゼロ交差が検出されなかった場合は、ACCMODE レジスタの SELFREQ ビットに応じて、APERIOD レジスタが強制的に 50 Hz または 60 Hz に対応するように設定されます。

### 角度測定

ADE9153A は 2 つの角度測定機能を備えています。ANGL\_AV\_AI が電流チャンネル A と電圧チャンネルの間の位相角を表し、ANGL\_AI\_BI が電流チャンネル A と電流チャンネル B の間の位相角を表します。角度レジスタの指示値を度数に変換するには、次式を使います。

50 Hz システムの場合:

$$\text{角度 (度数)} = \text{ANGL}_{x,y} \times 0.017578125$$

60 Hz システムの場合:

$$\text{角度 (度数)} = \text{ANGL}_{x,y} \times 0.02109375$$

## 1 サイクル実効値測定

RMS $\frac{1}{2}$  は 1 ライン・サイクルについて行う実効値測定で、ハーフ・サイクルごとに更新されます。この測定は、電圧と電流の 3 つのチャンネルすべてにおいて行われます。すべてのハーフ・サイクル実効値測定は同じ時間間隔で行われ、ステータス・レジスタの RMS\_OC\_RDY ビットによる指示に従って、同時に更新されます。結果は、AIRMS\_OC、AVRMS\_OC、BIRMS\_OC レジスタに保存されます。フルスケール入力での xIRMS\_OC および AVRMS\_OC レジスタの指示値は、それぞれ 52,725,703 と 26,362,852 です。

高速実効値測定を行うには、CONFIG0 レジスタの RMS\_OC\_SRC ビットをセットすることによって、ハイパス・フィルタ前のデータを選択することを推奨します。

RMS $\frac{1}{2}$  測定のタイミングには、電圧チャンネルが使用されます。あるいは、CONFIG2 レジスタの UPERIOD\_SEL ビットをセットして、ライン周期測定用の USER\_PERIOD レジスタに必要な周期を設定します。入力信号レベルが小さい状態での性能を向上させるには、オフセット補正レジスタ xRMS\_OC\_OS を使用します。図 53 にデータパスを示します。

### ディップとスウェルの表示

ADE9153A は、ディップ・イベントとスウェル・イベントを検知するために、電圧チャンネルの RMS $\frac{1}{2}$  値をモニタします。電圧値が、DIP\_CYC レジスタのユーザ設定ハーフ・サイクル数にわたって DIP\_LVL レジスタの指定閾値を下回った場合は、EVENT\_STATUS レジスタの DIPA ビットがセットされます。ディップ時に測定された最小 RMS $\frac{1}{2}$  値は、DIPA レジスタに保存されます。

同様に、SWELL\_CYC レジスタのユーザ設定ハーフ・サイクル数にわたって、電圧が SWELL\_LVL レジスタの指定閾値を上回った場合は、EVENT\_STATUS レジスタの SWELLA ビットがセットされます。スウェル時に測定された最大 RMS $\frac{1}{2}$  値は、SWELLA レジスタに保存されます。

ディップおよびスウェル・イベントは、 $\overline{\text{IRQ}}$  ピンに割込みを生成します。

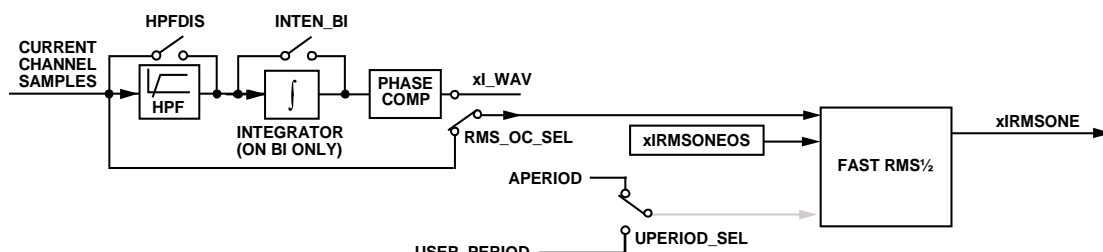


図 53. RMS $\frac{1}{2}$ 、実効値測定

162956-153

## 過電流表示

ADE9153A は、過電流イベントを検知するために、電流チャンネルの RMS½ 値をモニタします。RMS½ 電流が OI\_LVL レジスタのユーザ設定閾値より大きい場合は、EVENT\_STATUS レジスタの OIx ビットがセットされます。過電流イベントは、 $\overline{IRQ}$  ピンに割込みを生成します。

CONFIG3 レジスタの OIx\_EN ビットで、過電流イベントをモニタする電流チャンネルを選択します。EVENT\_STATUS レジスタの OIx ビットは、どの電流チャンネルが閾値を超えたかを示します。過電流値は、OIA および OIB レジスタに保存されます。

## ピーク検出

ADE9153A は、3 つのチャンネルで測定された AI\_WAV、AV\_WAV、BI\_WAV 波形のピーク値を記録します。CONFIG3 レジスタの PEAK\_SEL ビットを使用して、どのチャンネルをモニタするかを選択できます。

IPEAK レジスタはピーク電流値を IPEAKVAL ビットに保存して、どの相電流が IPPHASE ビットの値に達したかを示します。IPEAKVAL = xI\_WAV/2<sup>5</sup> です。

同様に、VPEAK はピーク電圧値を VPEAKVAL ビットに保存します。VPEAKVAL = AV\_WAV/2<sup>5</sup> です。読出し後、VPEAK レジスタと IPEAK レジスタはリセットされます。

## 力率

力率の計算値 (APF) は、1.024 秒ごとに更新されます。APF 計算の符号は AWATT の符号に従います。力率が進んでいるか遅れているかを判定するには、図 54 に示すように、総合または基本波無効電力量の符号と、APF または AWATT 値の符号を参照します。

力率の結果は 5.27 フォーマットで保存されます。最大の力率値は 0x07FF FFFF で、これは力率 1 に相当します。力率 -1 は

0xF800 0000 として保存されます。APF レジスタ値から力率を求めるには、次式を使います。

$$\text{力率} = \text{APF} \times 2^{-27}$$

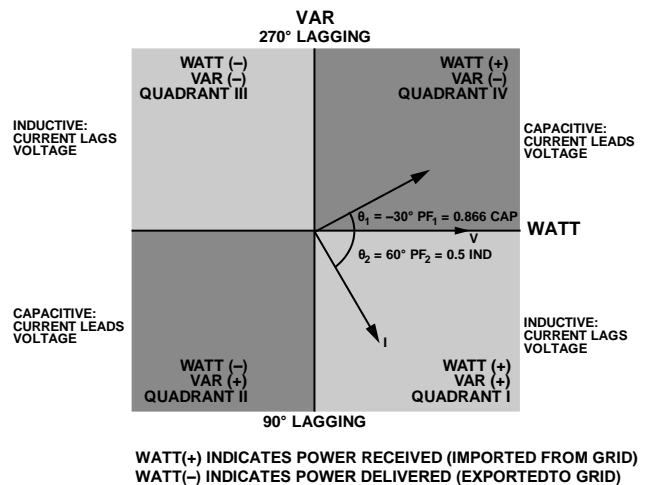


図 54. 容量性負荷と誘導性負荷における WATT と VAR の電力符号

## 温度

温度指示値は TEMP\_RSLT レジスタに格納されます。温度範囲を摂氏に変換するには、次式を使います。

$$\text{温度 (}^\circ\text{C)} = \text{TEMP\_RSLT} \times (-\text{TEMP\_GAIN}/2^{17}) + (\text{TEMP\_OFFSET}/2^5)$$

TEMP\_TRIM レジスタの TEMP\_GAIN ビットと TEMP\_OFFSET ビットは、各デバイスの製造時にプログラムされています。温度センサーを設定するには、TEMP\_CFG レジスタをプログラムしてください。

## アプリケーション情報

### 割込み/イベント

ADE9153A には、ホスト・プロセッサへの割込みとして使用できるピンが 2 本あります (**IRQ** および **ZX/DREADY/CF2**)。

### IRQ ピンによる割込み

**IRQ** ピンは、有効にされた割込みが発生するとローになり、ステータス・レジスタの対応ステータス・ビットをセットすることによってそのイベントがアクノレッジされるまで、ローのままになります。マスク・レジスタのビットで、それぞれの割込みを設定します。

### 割込み処理

ADE9153A の割込みは階層的なシステムになっており、割込みをクリアするために 3 回以上の通信を行う必要はありません。ステータス・レジスタは Tier 1 割込みレジスタで、**CHIP\_STATUS**、**EVENT\_STATUS**、**MS\_STATUS\_IRQ** は、ステータス・ビットの **CHIP\_STAT**、**EVENT\_STAT**、**MS\_STAT** に対応する Tier 2 割込みレジスタです。

Tier 1 ステータス・レジスタのビット ([25:0] ビット) の場合、

1. ステータス・レジスタを読み出し、どのビットがセットされているかを調べます。
2. クリアする必要があるステータス・ビットに 1 を書き込みます。

Tier 2 ステータス・レジスタのビット ([31:29] ビット) の場合、

1. ステータス・レジスタを読み出し、どの Tier 2 レジスタがセットされているかを調べます。
2. Tier 2 レジスタ (**CHIP\_STATUS**、**EVENT\_STATUS**、または **MS\_STATUS\_IRQ**) を読み出します。このレジスタは読出し時にクリアされます。

### CF2/ZX/DREADY イベント・ピン

**CF2** ピンは、ゼロ交差の状態をトラックする **ZX** 機能、および新しいデータの準備ができるタイミングをトラックする **DREADY** 機能とマルチプレクスされています。**ZX** ピン機能は、ゼロ交差が負から正になるとハイになり、ゼロ交差が正から負になるとローになります。**DREADY** ピン機能は、新しいデータの準備ができると 1 ms のパルスを出力します。

## 内部データへのアクセス

ADE9153A は、内部データにアクセスするために 2 つの通信プロトコルを備えています。10 MHz の高速 SPI と、4800 ボーまたは 115,200 ボーの低速ユニバーサル非同期レシーバー／トランスミッタ (UART) です。

パワーオンまたはリセット後に SPI インターフェースを選択するには、 $\overline{SS}$  ピンをローにして、SCLK ピンをハイにする必要があります。UART インターフェースを選択するには、 $\overline{SS}$  ピンをハイにして、SCLK ピンをローにする必要があります。ADE9153A に電源が投入されると通信がセットされ、ADE9153A が次にリセットされるまで保持されます。

### SPI プロトコルの概要

ADE9153A は、4 本のピン、SCLK、MOSI/RX、MISO/TX、 $\overline{SS}$  で構成される SPI 互換インターフェースを備えています。ADE9153A は常に SPI スレーブであり、SPI 通信を開始することはありません。SPI インターフェースは、16 ビットおよび 32 ビットの読み出し／書き込み動作を行うことができます。このインターフェースがサポートする最大シリアル・クロック周波数は 10 MHz です。

ADE9153A の一部のレジスタは SPI バースト読み出し機能を備えており、1 つのコマンド・ヘッダ (CMD\_HDR) を送信した後で複数のレジスタを読み出すことができます。

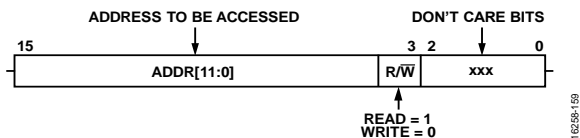


図 55. コマンド・ヘッダ CMD\_HDR

ADE9153A の SPI ポートは、マスターによって受信されるデータの完全性をチェックできるように、MOSI/RX ピンから送信したデータの 16 ビット巡回冗長検査 (CRC-16) の計算を行います。最後のレジスタ読み出し時に MOSI/RX ピンから送信されたデータの CRC は、16 ビット・レジスタの CRC\_SPI に提供され、SPI トランザクションの一部として SPI 読み出しデータの末尾に付加することができます。

### UART インターフェース

ADE9153A は、2 本のピン、RX および TX で構成される UART インターフェースを備えています。この UART インターフェースによって、ロー・コストの光アイソレータを 2 個用いるだけで絶縁型の通信インターフェースを実現できます。UART インターフェースでは、16 ビットおよび 32 ビットの読み出し／書き込み動作が可能です。UART を選択すると、ボーレートは 4800 ボーになりますが、115,200 ボーの高速通信レートを選択することもできます。

ADE9153A のボーレートを表 7 に示します。

表 7. UART のボーレート

Ideal Rate (Baud)	ADE9153A Actual Rate (Baud) (CLKIN = 12.288 MHz)	Error
4800	CLKIN/2560 = 4800	0.00%
115,200	CLKIN/104 = 118153.8	2.56%

UART を 4800 ボーで使用する場合、リセット後に UART インターフェースを選択すれば、特に対応の必要はありません。UART\_BAUD\_SWITCH レジスタに 0x0052 を書き込むと、115,200 のボーレートが選択されます。UART\_BAUD\_SWITCH レジスタに 0x0000 を書き込むと、ボーレートを 4800 ボーに切り替えることができます。UART\_BAUD\_SWITCH は書き込み専用レジスタです。

UART 通信は、1 個のスタート・ビット、8 個のデータ・ビット、1 個の偶数パリティ・ビット、1 個のストップ・ビットによる 11 ビット・フレームで構成されています。

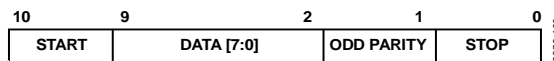


図 56. フレーム・ビット

すべての UART 通信は 2 つのコマンド・フレームで開始されます。これには、アクセスする ADE9153A のアドレス、読み出し／書き込みビット、チェックサムの有無を指示するビット、そして下位 2 ビットの 00b が格納されています (図 57 参照)。

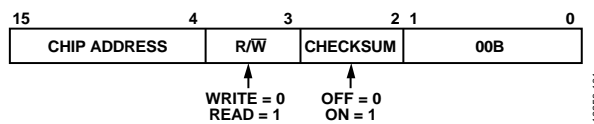


図 57. コマンド・ヘッダ (CMD)

フレームは、この 2 つのコマンド・ヘッダ・フレームの後にデータ・フレームが続き、オプションのチェックサムがコマンド・フレームでイネーブルされていると、それが最後に追加されるという構成になっています。

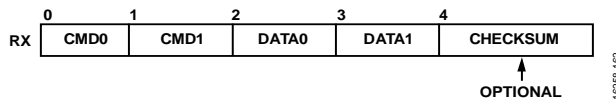


図 58. UART 16 ビットの書き込み

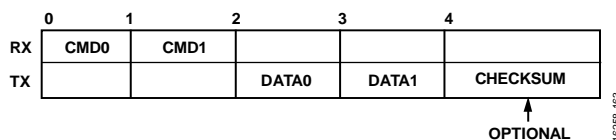


図 59. UART 16 ビットの読み出し

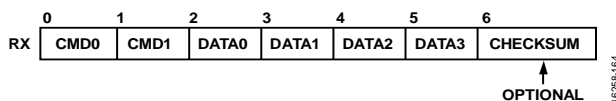


図 60. UART 32 ビットの書き込み

## 通信検証レジスタ

ADE9153A には、SPI 動作を検証できる 3 個のレジスタが含まれています。LAST\_CMD (アドレス 0x4AE)、LAST\_DATA\_16 (アドレス 0x4AC)、および LAST\_DATA\_32 (アドレス 0x423) レジスタは、受信した CMD\_HDR と最後に読み出されたデータまたは送信されたデータを記録します。

## 設定レジスタの CRC

ADE9153A の設定レジスタの CRC 機能は、特定のユーザ・レジスタおよび内部レジスタの値をモニタします。結果は CRC\_RSLT レジスタに保存されます。有効時、モニタしているレジスタのいずれかが CRC\_RSLT レジスタの値を変更すると、ADE9153A は  $\overline{\text{IRQ}}$  上で割込みを生成します。

## 設定ロック

設定ロック機能は、ADE9153A の設定が変更されるのを防ぎます。この機能を有効にするには、WR\_LOCK レジスタに 0x3C64 を書き込みます。無効にするには 0x4AD1 を書き込んでください。

この機能がアクティブになっているかどうかを知るには、WR\_LOCK レジスタを読み出します。保護が有効な場合の読出し値は 1 で、無効化されている場合は 0 です。

この機能を有効にすると、アドレス 0x000 ~ 0x073 と 0x400 ~ 0x4FE の範囲へのアドレス書き込みが防止されます。

## レジスタの情報

## レジスタの一覧

表 8. レジスタの一覧

Address	Name	Description	Length (Bits)	Reset	Access
0x000	AIGAIN	A 相電流ゲイン調整。	32	0x00000000	R/W
0x001	APHASECAL	A 相位相補正係数。	32	0x00000000	R/W
0x002	AVGAIN	A 相電圧ゲイン調整。	32	0x00000000	R/W
0x003	AIRMS_OS	フィルタベース AIRMS 計算のための A 相電流実効値オフセット。	32	0x00000000	R/W
0x004	AVRMS_OS	フィルタベース AVRMS 計算のための A 相電圧実効値オフセット。	32	0x00000000	R/W
0x005	APGAIN	AWATT、AVA、および AFVAR 計算のための A 相パワー・ゲイン調整。	32	0x00000000	R/W
0x006	AWATT_OS	AWATT 計算のための A 相総合有効電力オフセット補正。	32	0x00000000	R/W
0x007	AFVAR_OS	AFVAR 計算のための A 相基本波無効電力オフセット補正。	32	0x00000000	R/W
0x008	AVRMS_OC_OS	高速実効値 AVRMS_OC 計算のための A 相電圧実効値オフセット。	32	0x00000000	R/W
0x009	AIRMS_OC_OS	高速実効値 AIRMS_OC 計算のための A 相電流実効値オフセット。	32	0x00000000	R/W
0x010	BIGAIN	B 相電流ゲイン調整。	32	0x00000000	R/W
0x011	BPHASECAL	B 相補正係数。	32	0x00000000	R/W
0x013	BIRMS_OS	フィルタベース BIRMS 計算のための B 相電流実効値オフセット。	32	0x00000000	R/W
0x019	BIRMS_OC_OS	高速実効値 BIRMS_OC 計算のための B 相電流実効値オフセット。	32	0x00000000	R/W
0x020	CONFIG0	DSP 設定レジスタ。	32	0x00000000	R/W
0x021	VNOM	CONFIG0 レジスタの VNOMA_EN ビットをセットしたときの、皮相電力 AVA の計算に使用する公称相電圧実効値。	32	0x00000000	R/W
0x022	DICOEFF	デジタル積分器アルゴリズムに使用する値。CONFIG0 レジスタの INTEN_BI を 1 にして積分器をオンにした場合は、このレジスタをデフォルト値のままにしておくことを推奨します。	32	0x00000000	R/W
0x023	BI_PGAGAIN	B 相電流チャンネル ADC の PGA ゲイン。	32	0x00000000	R/W
0x030	MS_ACAL_CFG	mSure 自動キャリブレーションの設定レジスタ。	32	0x00000000	R/W
0x045	MS_AICC_USER	mSure の初期化および閾値計算用にユーザが入力する電流チャンネル A の CC 値。	32	0x00000000	R/W
0x046	MS_BICC_USER	mSure の初期化および閾値計算用にユーザが入力する電流チャンネル B の CC 値。	32	0x00000000	R/W
0x047	MS_AVCC_USER	mSure の初期化および閾値計算用にユーザが入力する電圧チャンネルの CC 値。	32	0x00000000	R/W
0x049	CT_PHASE_DELAY	電流チャンネル B で使用される CT の位相遅延。このレジスタは 5.27 フォーマットで保存され、度数で表されます。	32	0x00000000	R/W
0x04A	CT_CORNER	CT のコーナー周波数。この値は、CT_PHASE_DELAY の値から計算されます。	32	0x00000000	R/W
0x04C	VDIV_RSMALL	このレジスタは、抵抗分圧器に使用される低い値の抵抗の抵抗値（単位は $\Omega$ ）を保持します。	32	0x00000000	R/W
0x200	AI_WAV	瞬時電流チャンネル A 波形（DSP により 4 kSPS で処理）。	32	0x00000000	R
0x201	AV_WAV	瞬時電圧チャンネル波形（DSP により 4 kSPS で処理）。	32	0x00000000	R
0x202	AIRMS	A 相フィルタベース電流実効値（4 kSPS で更新）。	32	0x00000000	R
0x203	AVRMS	A 相フィルタベース電圧実効値（4 kSPS で更新）。	32	0x00000000	R
0x204	AWATT	ローパス・フィルタ処理を施した A 相総合有効電力（4 kSPS で更新）。	32	0x00000000	R
0x206	AVA	A 相総合皮相電力（4 kSPS で更新）。	32	0x00000000	R
0x207	AFVAR	A 相基本波無効電力（4 kSPS で更新）。	32	0x00000000	R
0x208	APF	A 相力率（1.024 秒ごとに更新）。	32	0x00000000	R
0x209	AIRMS_OC	A 相電流高速実効値の計算（ハーフ・サイクルごとに更新される 1 サイクル実効値）。	32	0x00000000	R
0x20A	AVRMS_OC	A 相電圧高速実効値の計算（ハーフ・サイクルごとに更新される 1 サイクル実効値）。	32	0x00000000	R



Address	Name	Description	Length (Bits)	Reset	Access
0x210	BI_WAV	瞬時 B 相電流チャンネル波形 (DSP により 4 kSPS で処理)。	32	0x00000000	R
0x212	BIRMS	B 相フィルタベース電流実効値 (4 kSPS で更新)。	32	0x00000000	R
0x219	BIRMS_OC	B 相電流高速実効値の計算 (ハーフ・サイクルごとに更新される 1 サイクル実効値)。	32	0x00000000	R
0x220	MS_ACAL_AICC	自動キャリブレーションによる電流チャンネル A の mSure CC 推定値。	32	0x00000000	R
0x221	MS_ACAL_AICERT	電流チャンネル A の mSure 自動キャリブレーションの確実性。	32	0x00000000	R
0x222	MS_ACAL_BICC	自動キャリブレーションによる電流チャンネル B の mSure CC 推定値。	32	0x00000000	R
0x223	MS_ACAL_BICERT	電流チャンネル B の mSure 自動キャリブレーションの確実性。	32	0x00000000	R
0x224	MS_ACAL_AVCC	自動キャリブレーションによる電圧チャンネルの mSure CC 推定値。	32	0x00000000	R
0x225	MS_ACAL_AVCERT	電圧チャンネルの mSure 自動キャリブレーションの確実性。	32	0x00000000	R
0x240	MS_STATUS_CURRENT	MS_STATUS_CURRENT レジスタには、mSure システムの現在の状態を反映したビットが格納されます。	32	0x00000000	R
0x241	VERSION_DSP	このレジスタは、測定を開始するためにユーザが run = 1 を書き込んだ後の ADE9153B の DSP のバージョンを示します。	32	0x00000000	R
0x242	VERSION_PRODUCT	このレジスタは、使用している製品のバージョンを示します。	32	0x0009153A	R
0x39D	AWATT_ACC	A 相積算総合有効電力 (PWR_TIME の 4 kSPS サンプル後に更新)。	32	0x00000000	R
0x39E	AWATTHR_LO	A 相積算総合有効電力量、最下位ビット (LSB)。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	32	0x00000000	R
0x39F	AWATTHR_HI	A 相積算総合有効電力量、最上位ビット (MSB)。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	32	0x00000000	R
0x3B1	AVA_ACC	A 相積算総合皮相電力 (PWR_TIME の 4 kSPS サンプル後に更新)。	32	0x00000000	R
0x3B2	AVAHR_LO	A 相積算総合皮相電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	32	0x00000000	R
0x3B3	AVAHR_HI	A 相積算総合皮相電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	32	0x00000000	R
0x3BB	AFVAR_ACC	A 相積算基本波無効電力。PWR_TIME の 4 kSPS サンプル後に更新されます。	32	0x00000000	R
0x3BC	AFVARHR_LO	A 相積算基本波無効電力量、LSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	32	0x00000000	R
0x3BD	AFVARHR_HI	A 相積算基本波無効電力量、MSB。EP_CFG レジスタと EGY_TIME レジスタの設定に従って更新されます。	32	0x00000000	R
0x3EB	PWATT_ACC	AWATT レジスタから積算された正の総合有効電力 (PWR_TIME の 4 kSPS サンプル後に更新)。	32	0x00000000	R
0x3EF	NWATT_ACC	AWATT レジスタから積算された負の総合有効電力 (PWR_TIME の 4 kSPS サンプル後に更新)。	32	0x00000000	R
0x3F3	PFVAR_ACC	AFVAR レジスタから積算された正の基本波無効電力 (PWR_TIME の 4 kSPS サンプル後に更新)。	32	0x00000000	R
0x3F7	NFVAR_ACC	AFVAR レジスタから積算された負の基本波無効電力 (PWR_TIME の 4 kSPS サンプル後に更新)。	32	0x00000000	R
0x400	IPEAK	電流ピーク・レジスタ。	32	0x00000000	R
0x401	VPEAK	電圧ピーク・レジスタ。	32	0x00000000	R
0x402	Status	Tier 1 割込みステータス・レジスタ。	32	0x00000000	R/W
0x405	Mask	Tier 1 割込みイネーブル・レジスタ。	32	0x00000000	R/W
0x409	OI_LVL	過電流 RMS_OC 検出閾値レベル。	32	0x00FFFFFF	R/W
0x40A	OIA	A 相過電流 RMS_OC 値。CONFIG3 レジスタの OIA_EN を使用してこのチャンネルの過電流検出が有効化され、AIRMS_OC が OI_LVL 閾値より大きい場合は、この値が更新されます。	32	0x00000000	R
0x40B	OIB	B 相過電流 RMS_OC 値。OIA の説明を参照してください。	32	0x00000000	R
0x40E	USER_PERIOD	CONFIG2 レジスタの UPERIOD_SEL ビットがセットされている場合に、RMS_OC に使われるユーザ定義ライン周期。	32	0x00500000	R/W

Address	Name	Description	Length (Bits)	Reset	Access
0x40F	VLEVEL	基本波無効電力の計算アルゴリズムに使われるレジスタ。	32	0x0045D450	R/W
0x410	DIP_LVL	電圧 RMS_OC ディップ検出閾値レベル。	32	0x00000000	R/W
0x411	DIPA	ディップ状態の A 相電圧 RMS_OC 値。	32	0x007FFFFFFF	R
0x414	SWELL_LVL	電圧 RMS_OC スウェル検出閾値レベル。	32	0x00FFFFFFF	R/W
0x415	SWELLA	スウェル状態の A 相電圧 RMS_OC 値。	32	0x00000000	R
0x418	APERIOD	A 相電圧のライン周期。	32	0x00500000	R
0x41C	ACT_NL_LVL	総合有効電力データバスの無負荷閾値。	32	0x00008225	R/W
0x41D	REACT_NL_LVL	基本波無効電力データバスの無負荷閾値。	32	0x00008225	R/W
0x41E	APP_NL_LVL	総合皮相電力データバスの無負荷閾値。	32	0x00008225	R/W
0x41F	PHNOLOAD	無負荷位相レジスタ。	32	0x00000000	R
0x420	WTHR	CF キャリブレーション・パルス出力の総合有効電力に対するデジタル／周波数変換器からの最大出力レートを設定します。このレジスタは、WTHR = 0x00100000 にしておくことを推奨します。	32	0x00100000	R/W
0x421	VARTHR	WTHR を参照。このレジスタは、VARTHR = 0x00100000 にしておくことを推奨します。	32	0x00100000	R/W
0x422	VATHR	WTHR を参照。このレジスタは、VATHR = 0x00100000 にしておくことを推奨します。	32	0x00100000	R/W
0x423	LAST_DATA_32	このレジスタは、SPI ポートでの最後の 32 ビット・トランザクション時に読み出された、または書き込まれたデータを保持します。	32	0x00000000	R
0x424	CT_PHASE_MEAS	CT_PHASE_DELAY 測定を行う場合は 0xE5 に設定してください。それ以外の場合は 0xE4 に設定する必要があります。	32	0x000000E4	R/W
0x425	CF_LCFG	CF キャリブレーション・パルス幅設定レジスタ。	32	0x00000000	R/W
0x471	TEMP_TRIM	製造工程において計算される温度センサー・ゲインとオフセット。	32	0x00000000	R
0x472	CHIP_ID_HI	チップ識別、上位 32 ビット。	32	0x00000000	R
0x473	CHIP_ID_LO	チップ識別、下位 32 ビット。	32	0x00000000	R
0x480	Run	測定を開始するには、このレジスタに 1 を書き込みます。	16	0x0000	R/W
0x481	CONFIG1	設定レジスタ 1。	16	0x0300	R/W
0x485	ANGL_AV_AI	A 相電圧の正から負へのゼロ交差と、A 相電流の正から負へのゼロ交差の間の時間。	16	0x0000	R
0x488	ANGL_AI_BI	A 相電流の正から負へのゼロ交差と、B 相電流の正から負へのゼロ交差の間の時間。	16	0x0000	R
0x48B	DIP_CYC	電圧 RMS_OC ディップ検出サイクル設定。	16	0xFFFF	R/W
0x48C	SWELL_CYC	電圧 RMS_OC スウェル検出サイクル設定。	16	0xFFFF	R/W
0x490	CFMODE	CFx 設定レジスタ。	16	0x0000	R/W
0x491	COMPMODE	計算モード・レジスタ。このレジスタは 0x0005 に設定します。	16	0x0000	R/W
0x492	ACCMODE	積算モード・レジスタ。	16	0x0000	R/W
0x493	CONFIG3	設定レジスタ 3 (電力品質の設定用)。	16	0x0000	R/W
0x494	CF1DEN	CF1 デノミネータ・レジスタ。	16	0xFFFF	R/W
0x495	CF2DEN	CF2 デノミネータ・レジスタ。	16	0xFFFF	R/W
0x498	ZXTOUT	ゼロ交差タイムアウト設定レジスタ。	16	0xFFFF	R/W
0x499	ZXTHRS	電圧チャンネル・ゼロ交差閾値レジスタ。	16	0x0009	R/W
0x49A	ZX_CFG	ゼロ交差検出設定レジスタ。	16	0x0000	R/W
0x49D	PHSIGN	電力符号レジスタ。	16	0x0000	R
0x4A8	CRC_RSLT	このレジスタは、設定レジスタの CRC を保持します。	16	0x0000	R
0x4A9	CRC_SPI	このレジスタは、最後の SPI レジスタ読み出し時に MOSI/RX ピンから送出されたデータの 16 ビット CRC を保持します。	16	0x0000	R
0x4AC	LAST_DATA_16	このレジスタは、SPI ポートでの最後の 16 ビット・トランザクション時に読み出された、または書き込まれたデータを保持します。UART を使用する場合に、このレジスタは最後に読み出された、または書き込まれたデータの 16 ビットを保持します。	16	0x0000	R
0x4AE	LAST_CMD	このレジスタは、SPI ポートの最後のトランザクションのアドレスと読み出し／書き込み動作要求 (CMD_HDR) を保持します。	16	0x0000	R
0x4AF	CONFIG2	設定レジスタ 2。このレジスタは、ハイパス・フィルタ (HPF) のコーナー周波数とユーザ周期の選択を制御します。	16	0x0C00	R/W

Address	Name	Description	Length (Bits)	Reset	Access
0x4B0	EP_CFG	電力量および電力積算設定。	16	0x0000	R/W
0x4B1	PWR_TIME	電力更新時間設定。	16	0x00FF	R/W
0x4B2	EGY_TIME	電力量積算更新時間設定。	16	0x00FF	R/W
0x4B4	CRC_FORCE	このレジスタは、設定レジスタのCRCを強制的に更新します。	16	0x0000	W
0x4B6	TEMP_CFG	温度センサー設定レジスタ。	16	0x0000	R/W
0x4B7	TEMP_RSLT	温度計測結果。	16	0x0000	R
0x4B9	AI_PGAGAIN	このレジスタは、電流チャンネルAのPGAゲインを設定します。	16	0x0000	R/W
0x4BF	WR_LOCK	このレジスタは、設定ロック機能を有効にします。	16	0x0000	R/W
0x4C0	MS_STATUS_IRQ	mSure 自動キャリブレーション・システムに関連する割込み用 Tier 2 ステータス・レジスタ。このレジスタのいずれかのビットがセットされると、ステータス・レジスタの対応するビットがセットされます。このレジスタは、読出し時にクリアされ、すべてのビットがリセットされます。読出しと同じクロックで新しいステータス・ビットが届いた場合は、この新しいステータス・ビットはセットされたままになります。これにより、失われるステータス・ビットはありません。	16	0x0000	R
0x4C1	EVENT_STATUS	電力品質イベントに関連する割込み用 Tier 2 ステータス・レジスタ。MS_STATUS_IRQの説明を参照してください。	16	0x0000	R
0x4C2	CHIP_STATUS	チップ・エラーに関連する割込み用 Tier 2 ステータス・レジスタ。MS_STATUS_IRQの説明を参照してください。	16	0x0000	R
0x4DC	UART_BAUD_SWITCH	このレジスタは、UART ボーレートを 4800 ボーまたは 115,200 ボーに切り替えます。0x0052 を書き込むとボーレートは 115,200 ボーに設定され、その他の値のときは 4800 ボーに維持されます。	16	0x0000	W
0x4FE	Version	ADE9153B IC のバージョン。	16	0x0000	R
0x600	AI_WAV_1	機能別に分類された SPI バースト読出しアクセス可能なレジスタ群。AI_WAV を参照。	32	0x00000000	R
0x601	AV_WAV_1	機能別に分類された SPI バースト読出しアクセス可能なレジスタ群。AV_WAV を参照。	32	0x00000000	R
0x602	BI_WAV_1	機能別に分類された SPI バースト読出しアクセス可能なレジスタ群。BI_WAV を参照。	32	0x00000000	R
0x604	AIRMS_1	機能別に分類された SPI バースト読出しアクセス可能なレジスタ群。AIRMS を参照。	32	0x00000000	R
0x605	BIRMS_1	機能別に分類された SPI バースト読出しアクセス可能なレジスタ群。BIRMS を参照。	32	0x00000000	R
0x606	AVRMS_1	機能別に分類された SPI バースト読出しアクセス可能なレジスタ群。AVRMS を参照。	32	0x00000000	R
0x608	AWATT_1	機能別に分類された SPI バースト読出しアクセス可能なレジスタ群。AWATT を参照。	32	0x00000000	R
0x60A	AFVAR_1	機能別に分類された SPI バースト読出しアクセス可能なレジスタ群。AFVAR を参照。	32	0x00000000	R
0x60C	AVA_1	機能別に分類された SPI バースト読出しアクセス可能なレジスタ群。AVA を参照。	32	0x00000000	R
0x60E	APF_1	機能別に分類された SPI バースト読出しアクセス可能なレジスタ群。APF を参照。	32	0x00000000	R
0x610	AI_WAV_2	位相により分類された SPI バースト読出しアクセス可能なレジスタ群。AI_WAV を参照。	32	0x00000000	R
0x611	AV_WAV_2	位相により分類された SPI バースト読出しアクセス可能なレジスタ群。AV_WAV を参照。	32	0x00000000	R
0x612	AIRMS_2	位相により分類された SPI バースト読出しアクセス可能なレジスタ群。AIRMS を参照。	32	0x00000000	R
0x613	AVRMS_2	位相により分類された SPI バースト読出しアクセス可能なレジスタ群。AVRMS を参照。	32	0x00000000	R
0x614	AWATT_2	位相により分類された SPI バースト読出しアクセス可能なレジスタ群。AWATT を参照。	32	0x00000000	R
0x615	AVA_2	位相により分類された SPI バースト読出しアクセス可能なレジスタ群。AVA を参照。	32	0x00000000	R
0x616	AFVAR_2	位相により分類された SPI バースト読出しアクセス可能なレジスタ群。AFVAR を参照。	32	0x00000000	R
0x617	APF_2	位相により分類された SPI バースト読出しアクセス可能なレジスタ群。APF を参照。	32	0x00000000	R
0x618	BI_WAV_2	位相により分類された SPI バースト読出しアクセス可能なレジスタ群。BI_WAV を参照。	32	0x00000000	R
0x61A	BIRMS_2	位相により分類された SPI バースト読出しアクセス可能なレジスタ群。BIRMS を参照。	32	0x00000000	R

## レジスタの詳細

表 9. レジスタの詳細

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access	
0x020	CONFIG0	[31:10]	Reserved		予備	0x0	R	
		9	Reserved		予備			
		8	DISRPLPF			基本波無効電力データパスのローパス・フィルタをディスエーブルするには、このビットをセットします。	0x0	R/W
		7	DISAPLPF			総合有効電力データパスのローパス・フィルタをディスエーブルするには、このビットをセットします。	0x0	R/W
		6	Reserved			予備	0x0	R
		5	VNOMA_EN			A 相総合皮相電力 AVA の計算に公称相電圧実効値 VNOM を使用するには、このビットをセットします。	0x0	R
		4	RMS_OC_SRC			このビットで、RMS_OC の計算に使用するサンプルを選択します。 0 ハイパス・フィルタおよび位相補償後の x_WAV 波形。 1 ハイパス・フィルタ前の ADC サンプル。	0x0	R
		3	ZX_SRC_SEL			このビットで、ゼロ交差検出回路に送るデータを、ハイパス・フィルタと位相補償の前から取得するか、後から取得するかを選択します。 0 ハイパス・フィルタと位相補償の後。 1 ハイパス・フィルタと位相補償の前。	0x0	R
		2	INTEN_BI			電流チャンネル B の積分器をイネーブルするには、このビットをセットします。	0x0	R/W
		1	RESERVED			予備	0x0	R/W
0	HPFDIS			すべての電流および電圧チャンネルのハイパス・フィルタをディスエーブルするには、このビットをセットします。	0x0	R		
0x023	BI_PGAGAIN	[31:0]	BI_GAIN		電流チャンネル B の PGA ゲイン 0 ゲイン = 1 1 ゲイン = 2 10 ゲイン = 4	0x0	R/W	

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x030	MS_ACAL_CFG	[31:7]	Reserved		予備	0x0	R
		6	AUTOCAL_AV		電圧チャンネルの自動キャリブレーションを有効にします。	0x0	R/W
		5	AUTOCAL_BI		電流チャンネル B の自動キャリブレーションを有効にします。	0x0	R/W
		4	AUTOCAL_AI		電流チャンネル A の自動キャリブレーションを有効にします。	0x0	R/W
		3	ACALMODE_BI		電流チャンネル B の自動キャリブレーションのパワー・モード。 0 ノーマル・モード。 1 ターボ・モード。	0x0	R/W
		2	ACALMODE_AI		電流チャンネル A の自動キャリブレーションのパワー・モード。 0 ノーマル・モード。 1 ターボ・モード。	0x0	R/W
		1	ACAL_RUN		[6:2] ビットの設定で自動キャリブレーションを実行します。自動キャリブレーションの実行中は、ACAL_MODE ビットもセットされていない必要があります。	0x0	R/W
		0	ACAL_MODE		自動キャリブレーションの実行時にはこのビットがセットされている必要があります。セットされていないと、自動キャリブレーションは実行されません。このビットがセットされると、自動キャリブレーション結果が格納されるレジスタ以外のすべてのレジスタがデイスエーブルされます。	0x0	R/W
0x240	MS_STATUS_CURRENT	[31:1]	Reserved		予備	0x0	R
		0	MS_SYSRDYP		このビットがセットされている場合、mSure システムは自動キャリブレーションを実行できる状態にあります。	0x0	R
0x400	IPEAK	[31:27]	Reserved		予備	0x0	R
		[26:24]	IPPHASE		これらのビットは、どの電流チャンネルが IPEAKVAL 値を生成するかを示します。CONFIG3 レジスタの PEAKSEL [1:0] ビットは、どの電流チャンネルでピーク値をモニタするかを決定します。IPPHASE のビット 0 が 1 にセットされている場合、電流チャンネル A は IPEAKVAL (ビット [23:0]) の値を生成します。また、IPPHASE (ビット 1) は電流チャンネル B がピーク値を生成していることを示します。	0x0	R
		[23:0]	IPEAKVAL		IPEAK レジスタは、ピーク電流の絶対値を保存します。 $IPEAK = xI\_WAV/2^5$ です。	0x0	R
0x401	VPEAK	[31:24]	Reserved		予備	0x0	R
		[23:0]	VPEAKVAL		VPEAK レジスタは、ピーク電圧の絶対値を保存します。 $VPEAK = AV\_WAV/2^5$ です。	0x0	R

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x402	Status	31	CHIP_STAT		このビットがセットされている場合、CHIP_STATUS レジスタのビットがセットされていることを示します。CHIP_STATUS が読み出されると、このビットはクリアされます。	0x0	R
		30	EVENT_STAT		このビットがセットされている場合、EVENT_STATUS レジスタのビットがセットされていることを示します。EVENT_STATUS が読み出されると、このビットはクリアされます。	0x0	R
		29	MS_STAT		このビットがセットされている場合、MS_STATUS_IRQ レジスタのビットがセットされていることを示します。MS_STATUS_IRQ が読み出されると、このビットはクリアされます。	0x0	R
		[28:26]	Reserved		予備	0x0	R
		25	PF_RDY		このビットは、力率の測定値が更新されたことを示すために、1.024 秒ごとにハイになります。	0x0	R/W1
		24	CRC_CHG		このビットは、設定レジスタの CRC によってモニタされているレジスタのいずれかの値が変化すると、セットされます。CRC_RSLT レジスタは、設定レジスタの新しい CRC 値を保持します。	0x0	R/W1
		23	CRC_DONE		このビットは、CRC_FORCE レジスタの FORCE_CRC_UPDATE ビットに書き込むことで初期化された後、設定レジスタの CRC 計算が完了したことを示すためにセットされます。	0x0	R/W1
		22	Reserved		予備	0x0	R
		21	ZXTOAV		このビットは、電圧チャンネルのゼロ交差タイムアウトを示すためにセットされます。これは、電圧チャンネルにゼロ交差が存在しないことを意味します。	0x0	R/W1
		20	ZXBI		このビットが 1 にセットされたときは、電流チャンネル B でゼロ交差が検出されたことを示します。	0x0	R/W1
		19	ZXAI		このビットが 1 にセットされたときは、電流チャンネル A でゼロ交差が検出されたことを示します。	0x0	R/W1
		18	Reserved		予備	0x0	R
		17	ZXAV		このビットが 1 にセットされたときは、電圧チャンネルでゼロ交差が検出されたことを示します。	0x0	R/W1
		16	RSTDONE		このビットは、リセット後に IC が電源投入シーケンスを終了したことを示すためにセットされます。これは、ユーザが SPI ポートまたは UART を介してその IC を設定できることを意味します。	0x0	R/W1

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		15	FVARNL		このビットは、基本波無効電力量が無負荷状態になったとき、あるいは無負荷状態から抜けたときにセットされます。	0x0	R/W1
		14	VANL		このビットは、総合皮相電力量が無負荷状態になったとき、あるいは無負荷状態から抜けたときにセットされます。	0x0	R/W1
		13	WATTNL		このビットは、総合有効電力量が無負荷状態になったとき、あるいは無負荷状態から抜けたときにセットされます。	0x0	R/W1
		12	TEMP_RDY		このビットは、新しい温度を温度センサーから読み出せる状態になるとセットされます。	0x0	R/W1
		11	RMS_OC_RDY		このビットは、RMS_OC 値が更新されるとセットされます。	0x0	R/W1
		10	PWRRDY		このビットは、PWR_TIME の 4 kSPS のサンプル後に、AWATT_ACC、AVA_ACC、AFVAR_ACC レジスタの電力値が更新されるとセットされます。	0x0	R/W1
		9	DREADY		このビットは、新しい波形サンプルが使用可能な状態になるとセットされます。	0x0	R/W1
		8	EGYRDY		このビットは、EP_CFG レジスタの EGY_TMR_MODE ビットに応じて、EGY_TIME の 4 kSPS のサンプル後またはライン・サイクル後に、AWATTHR_x、AVADR、AFVARHR レジスタの電力値が更新されるとセットされます。	0x0	R/W1
		7	CF2		このビットは、CF2 ピンがハイからローになり、CF2 パルスが送出されるとセットされます。	0x0	R/W1
		6	CF1		このビットは、CF1 ピンがハイからローになり、CF1 パルスが送出されるとセットされます。	0x0	R/W1
		5	REVPCF2		このビットは、CF2 極性の符号が変化したかどうかを示すためにセットされます。例えば、直前の CF2 パルスが正の有効電力量で、次の CF2 パルスが負の有効電力量の場合は、REVPCF2 ビットがセットされます。このビットは、CF2 ピンがハイからローになり、CF2 パルスが出力されると更新されます。	0x0	R/W1
		4	REVPCF1		このビットは、CF1 極性の符号が変化したかどうかを示すためにセットされます。REVPCF2 の説明を参照してください。	0x0	R/W1
		3	Reserved		予備	0x0	R

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		2	REVRPA		このビットは、A 相基本波無効電力の符号が変化したかどうかを示します。このビットは、PWR_TIME の 4 kSPS のサンプル後に、AFVAR_ACC レジスタの電力値が更新されると更新されます。	0x0	R/W1
		1	Reserved		予備	0x0	R
		0	REVAPA		このビットは、A 相総合有効電力の符号が変化したかどうかを示します。REVRPA の説明を参照してください。	0x0	R/W1
0x405	Mask	31	CHIP_STAT		CHIP_STATUS レジスタのいずれかのビットがセットされたときに割込みを有効にするには、このビットをセットします。	0x0	R
		30	EVENT_STAT		EVENT_STATUS レジスタのいずれかのビットがセットされたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		29	MS_STAT		MSURE_STATUS_IRQ レジスタのいずれかのビットがセットされたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		[28:26]	Reserved		予備	0x0	R
		25	PF_RDY		力率の測定値が 1.024 秒ごとに更新されたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		24	CRC_CHG		設定レジスタの CRC によってモニタされているレジスタのいずれかの値が変化した場合に割込みを有効にするには、このビットをセットします。CRC_RSLT レジスタは、新しい設定レジスタの CRC 値を保持します。	0x0	R/W
		23	CRC_DONE		CRC_FORCE レジスタの FORCE_CRC_UPDATE ビットに書き込むことで初期化を行った後、設定レジスタの CRC 計算が完了したときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		22	Reserved		予備	0x0	R
		21	ZXTOAV		電圧チャンネルのゼロ交差タイムアウトが発生したときに割込みを有効にするには、このビットをセットします。タイムアウトは、電圧チャンネルにゼロ交差が存在しないことを意味します。	0x0	R/W
20	ZXBI		電流チャンネル B でゼロ交差が検出されたときに割込みを有効にするには、このビットをセットします。	0x0	R/W		



Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		19	ZXAI		電流チャンネル A でゼロ交差が検出されたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		18	Reserved		予備	0x0	R
		17	ZXAV		電圧チャンネルでゼロ交差が検出されたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		16	Reserved		予備	0x0	R
		15	FVARNL		基本波無効電力量が無負荷状態になったとき、あるいは無負荷状態から抜けたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		14	VANL		総合皮相電力量が無負荷状態になったとき、あるいは無負荷状態から抜けたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		13	WATTNL		総合有効電力量が無負荷状態になったとき、あるいは無負荷状態から抜けたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		12	TEMP_RDY		温度センサーから新しい温度を読み出せる状態になったときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		11	RMS_OC_RDY		RMS_OC 値が更新されたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		10	PWRRDY		PWR_TIME の 4 kSPS のサンプル後、AWATT_ACC、AVA_ACC、AFVAR_ACC レジスタの電力値が更新されたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		9	DREADY		新しい波形サンプルが使用可能な状態になったときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		8	EGYRDY		EP_CFG レジスタの EGY_TMR_MODE ビットに応じて、EGY_TIME の 4 kSPS のサンプル後またはライン・サイクル後に、AWATTHR、AVAHR、AFVARHR レジスタの電力値が更新されたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		7	CF2		CF2 ピンがハイからローになり、CF2 パルスが送出されたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		6	CF1		CF1 ピンがハイからローになり、CF1 パルスが送出されたときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		5	REVPCF2		CF2 極性の符号が変化したときに割込みを有効にするには、このビットをセットします。	0x0	R/W

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		4	REVPCF1		CF1 極性の符号が変化したときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		3	Reserved		予備	0x0	R
		2	REVRPA		A 相基本波無効電力の符号が変化したときに割込みを有効にするには、このビットをセットします。	0x0	R/W
		1	Reserved		予備	0x0	R
		0	REVAPA		A 相総合有効電力の符号が変化したときに割込みを有効にするには、このビットをセットします。	0x0	R/W
0x409	OI_LVL	[31:24]	Reserved		予備	0x0	R
		[23:0]	OILVL_VAL		過電流検出閾値レベル。	0xFFFFFFFF	R/W
0x40A	OIA	[31:24]	Reserved		予備	0x0	R
		[23:0]	OIA_VAL		電流チャンネル A の過電流 RMS_OC 値。CONFIG3 レジスタに OIA_EN ビットがセットされて相が有効化され、AIRMS_OC が OILVL 閾値より大きい場合は、この値が更新されます。	0x0	R
0x40B	OIB	[31:24]	Reserved		予備	0x0	R
		[23:0]	OIB_VAL		電流チャンネル B の過電流 RMS_OC 値。CONFIG3 レジスタに OIB_EN ビットがセットされて相が有効化され、BIRMS_OC が OILVL 閾値より大きい場合は、この値が更新されます。	0x0	R
0x40F	VLEVEL	[31:24]	Reserved		予備	0x0	R
		[23:0]	VLEVEL_VAL		このレジスタは、基本波無効電力の計算アルゴリズムに使用されません。	0x45D450	R/W
0x411	DIPA	[31:24]	Reserved		予備	0x0	R
		[23:0]	DIPA_VAL		ディップ状態の電圧チャンネルの RMS_OC 値。	0x7FFFFFFF	R
0x415	SWELLA	[31:24]	Reserved		予備	0x0	R
		[23:0]	SWELLA_VAL		スウェル状態の電圧チャンネルの RMS_OC 値。	0x0	R
0x41F	PHNOLOAD	[31:3]	Reserved		予備	0x0	R
		2	AFVARNL		このビットは、A 相の基本波無効電力量が無負荷状態の場合にセットされます。	0x0	R/W
		1	AVANL		このビットは、A 相の総合皮相電力量が無負荷状態の場合にセットされます。	0x0	R/W
		0	AWATTNL		このビットは、A 相の総合有効電力量が無負荷状態の場合にセットされます。	0x0	R/W

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x425	CF_LCFG	[31:21]	Reserved		予備	0x0	R
		20	CF2_LT		このビットがセットされている場合、CF2 パルス幅は CF_LTMR レジスタの値によって決定されます。このビットがゼロの場合、6.25 Hz 未満の周波数ではアクティブ・ロー・パルス幅が 80 ms に設定されます。	0x0	R/W
		19	CF1_LT		このビットがセットされている場合、CF1 パルス幅は CF_LTMR レジスタの値によって決定されます。CF2_LT の説明を参照してください。	0x0	R/W
		[18:0]	CF_LTMR		CF_LCFG レジスタの CFx_LT ビットをセットした場合、この値が CFx パルスのアクティブ・ロー・パルス幅を指定します。	0x0	R/W
0x471	TEMP_TRIM	[31:16]	TEMP_OFFSET		製造プロセス時に計算される温度センサーのオフセット。	0x0	R
		[15:0]	TEMP_GAIN		製造プロセス時に計算される温度センサーのゲイン。	0x0	R
0x481	CONFIG1	15	EXT_REF		外部電圧リファレンスを使用する場合は、このビットをセットします。	0x0	R/W
		14	DIP_SWELL_IRQ_MODE		このビットで、ディップ/スウェルの割込みモードを設定します。 0 DIP_CYC/SWELL_CYC サイクルが経過するごとに連続割込みを受信します。 1 ディップ/スウェル状態になったときに 1 つの割込みを受信し、ディップ/スウェル状態から抜けたときに別の割込みを受信します。	0x0	R/W
		[13:12]	Reserved		予備	0x0	R
		11	BURST_EN		レジスタのバースト読出し機能を有効にするには、このビットをセットします。このビットは、SPI レジスタ読出しに付加された CRC を無効にするので注意してください。	0x0	R/W
		10	Reserved		予備	0x0	R
		[9:8]	PWR_SETTLE		これらのビットで、電力、電力量、CF の積算を開始する前に、電力およびフィルタベース実効値測定の設定時間を設定します。 0 64 ms。 1 128 ms。 10 256 ms。 11 0 ms。	0x3	R/W
		[7:6]	Reserved		予備	0x0	R
		5	CF_ACC_CLR		デジタル/周波数変換器と CFDEN カウンタ内の積算をクリアするには、このビットをセットします。このビットは自動的にクリアされます。	0x0	W

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		[4:3]	Reserved		予備	0x0	R
		2	ZX_OUT_OE		このビットがセットされている場合、CF2 ピンで ZX が駆動されません。	0x0	R/W
		1	DREADY_OE		このビットがセットされている場合、CF2 ピンで DREADY が駆動されます。	0x0	R/W
		0	SWRST		ソフトウェア・リセットを初期化するには、このビットをセットします。このビットはセルフ・クリア・ビットです。	0x0	W1
0x490	CFMODE	[15:8]	Reserved		予備	0x0	R
		7	CF2DIS		CF2: 出力無効。CF2 出力を無効にしてピンをハイにするには、このビットをセットします。このビットがセットされている場合、デジタル/周波数変換器内に CF パルスを積算するときにステータス・レジスタの CFx ビットはセットされません。	0x0	R/W
		6	CF1DIS		CF1: 出力無効。CF2DIS の説明を参照してください。	0x0	R/W
		[5:3]	CF2SEL		CF2 ピンに出力される電力量のタイプ。 0 総合有効電力。 10 総合皮相電力。 100 基本波無効電力。	0x0	R/W
		[2:0]	CF1SEL		CF1 ピンに出力される電力量のタイプを選択します。CF2SEL の説明を参照してください。	0x0	R/W
0x492	ACCMODE	[15:5]	Reserved		予備	0x0	R
		4	SELFREQ		システム周波数選択ビット。 0 50 Hz システム。 1 60 Hz システム。	0x0	R/W
		[3:2]	VARACC		電力量レジスタおよび CFx パルス用の基本波無効電力積算モード。 0 符号付き積算モード。 1 絶対値積算モード。 10 正の積算モード。 11 負の積算モード。	0x0	R/W
		[1:0]	WATTACC		電力量レジスタおよび CFx パルス用の総合有効電力積算モード。VARACC の説明を参照してください。	0x0	R/W

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x493	CONFIG3	[15:4]	Reserved		予備	0x0	R
		[3:2]	PEAK_SEL		ピーク検出の相選択。 0 A相とB相の電圧および電流ピーク検出を無効にします。 1 A相電圧および電流ピーク検出を有効にして、B相電流ピーク検出を無効にします。 10 A相電圧および電流ピーク検出を無効にして、B相電流ピーク検出を有効にします。 11 A相とB相の電圧および電流ピーク検出を有効にします。	0x0	R/W
		1	OIB_EN		電流チャンネルBの過電流検出を有効にします。	0x0	R/W
		0	OIA_EN		電流チャンネルAの過電流検出を有効にします。	0x0	R/W
0x49A	ZX_CFG	[15:1]	Reserved		予備	0x0	R
		0	DISZLFP		ゼロ交差のローパス・フィルタをディセーブします。	0x0	R/W
0x49D	PHSIGN	[15:8]	Reserved		予備	0x0	R
		7	CF2SIGN		CF2 データバスの電力の符号。このビットがクリアの場合、CF2 の電力量は正で、このビットがセットされている場合は負です。	0x0	R
		6	CF1SIGN		CF1 データバスの電力の符号。CF2SIGN の説明を参照してください。	0x0	R
		[5:2]	Reserved		予備	0x0	R
		1	AVARSIGN		A相基本波無効電力の符号ビット。このビットがクリアの場合、基本波無効電力は正で、このビットがセットされている場合は負です。	0x0	R
		0	AWSIGN		A相有効電力の符号ビット。このビットがクリアの場合、有効電力は正で、このビットがセットされている場合は負です。	0x0	R

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x4AF	CONFIG2	[15:13]	Reserved		予備	0x0	R
		12	UPERIOD_SEL		RMS_OC の計算用にユーザが USER_PERIOD に設定したライン周期を使用するには、このビットをセットします。このビットがクリアの場合、電圧ライン周期が使用されます。	0x0	R/W
		[11:9]	HPF_CRN		CONFIG0 レジスタの HPFDIS ビットがゼロになると、ハイパス・フィルタ・コーナー ( $f_{3dB}$ ) がイネーブルされます。  0 38.695 Hz。 1 19.6375 Hz。 10 9.895 Hz。 11 4.9675 Hz。 100 2.49 Hz。 101 1.2475 Hz。 110 0.625 Hz。 111 0.3125 Hz。	0x6	R/W
		[8:0]	Reserved		予備	0x0	R
0x4B0	EP_CFG	[15:8]	Reserved		予備	0x0	R
		[7:5]	NOLOAD_TMR		このレジスタは、無負荷状態の終了を判定する 4 kSPS サンプルの数を設定します。  0 64 サンプル。 1 128 サンプル。 10 256 サンプル。 11 512 サンプル。 100 1024 サンプル。 101 2048 サンプル。 110 4096 サンプル。 111 無負荷閾値を無効にします。	0x0	R/W
		4	Reserved		予備	0x0	R
		3	RD_RST_EN		電力量レジスタのリセット機能付き読み出しを有効にするには、このビットをセットします。このビットをセットすると、AWATTHR_x、AFVARHR、AVAHR レジスタのいずれか 1 つを読み出すときにそのレジスタがリセットされて、電力量の積算がゼロから開始されます。	0x0	R/W
		2	EGY_LD_ACCUM		このビットがゼロの場合は、ユーザ・アクセス可能な電力量レジスタに内部電力量レジスタが加えられます。このビットをセットした場合は、EGYRDY イベントが発生すると、内部電力量レジスタがユーザ・アクセス可能な電力量レジスタを上書きします。	0x0	R/W

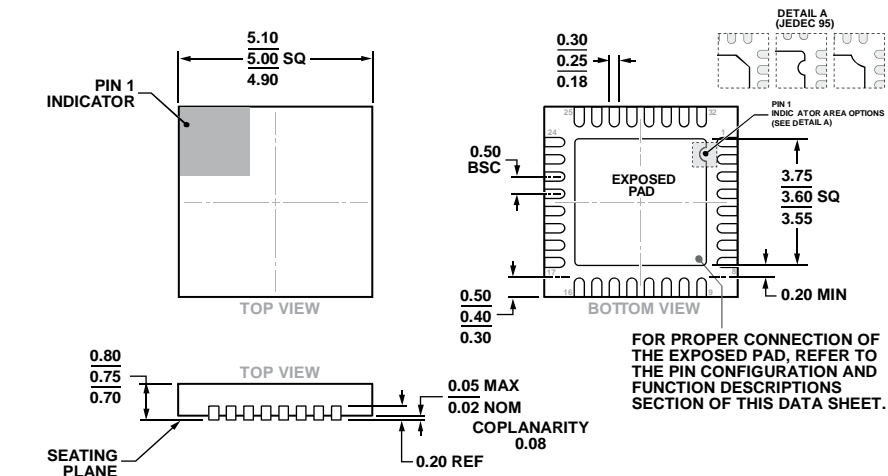
Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		1	EGY_TMR_MODE		このビットは、4 kSPS サンプルの数に基づいて電力量を積算するか、EGY_TIME レジスタに設定されたゼロ交差イベントに基づいて積算するかを指定します。 0 4 kSPS サンプルに基づいて電力量を積算します。 1 ゼロ交差イベントに基づいて電力量を積算します。	0x0	R/W
		0	EGY_PWR_EN		実行ビットもセットされている場合に、電力量および電力積算器をイネーブルするには、このビットをセットします。	0x0	R/W
0x4B4	CRC_FORCE	[15:1]	Reserved		予備	0x0	R
		0	FORCE_CRC_UPDATE		設定レジスタの CRC 計算を強制的に開始させるには、このビットに書き込みを行います。計算が完了すると、ステータス・レジスタの CRC_DONE ビットがセットされます。	0x0	W1
0x4B6	TEMP_CFG	[15:4]	Reserved		予備	0x0	R
		3	TEMP_START		新しい温度センサー指示値を手動で要求するには、このビットをセットします。この新しい温度指示値は 1 ms で取得でき、ステータス・レジスタの TEMP_RDY ビットによって示されます。このビットはセルフ・クリア・ビットです。	0x0	W1
		2	TEMP_EN		温度センサーをイネーブルするには、このビットをセットします。	0x0	R/W
		[1:0]	TEMP_TIME		これらのビットで、平均する温度指示値の数を選択します。 0 1 サンプル。1 ms ごとに新しい温度を測定。 1 256 サンプル。256 ms ごとに新しい温度を測定。 10 512 サンプル。512 ms ごとに新しい温度を測定。 11 1024 サンプル。1 秒ごとに新しい温度を測定。	0x0	R/W
0x4B7	TEMP_RSLT	[15:12]	Reserved		予備	0x0	R
		[11:0]	TEMP_RESULT		12 ビット温度センサー値。	0x0	R
0x4B9	AI_PGAGAIN	[15:5]	Reserved		予備	0x0	R
		4	AI_SWAP		このビットで、PGA 信号の方向を設定します。すなわち、このビットを設定することで、IAP と IAN ピンを入れ替えることができます。正常に動作させるには、このビットを 1 に設定する必要があります。センサーを逆方向に接続する場合にのみ、0 に設定します。 0 IAN で信号を入力。 1 IAP で信号を入力。	0x0	R/W

Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
		3	Reserved		予備	0x0	R
		[2:0]	AL_GAIN	10 11 100 101	電流チャンネル A の PGA ゲイン ゲイン = 16 ゲイン = 24 ゲイン = 32 ゲイン = 38.4	0x0	R/W
		15	Reserved		予備	0x0	R
		14	MS_SYSRDY		<i>mSure</i> のキャリブレーションが無効にされた後、 <i>mSure</i> の新しいキャリブレーションを有効にできる状態になると、このビットがセットされます。新しいキャリブレーションは、前のキャリブレーションが無効にされてから 1 秒以内に実行できる状態になります。	0x0	R
0x4C0	MS_STATUS_IRQ	13	MS_CONFERR		<i>mSure</i> 自動キャリブレーションに無効な設定があると、このビットがセットされます。設定エラーを修正してから、再度実行してみてください。	0x0	R
		12	MS_ABSENT		このビットがセットされている場合、最後にイネーブルされたチャンネルの <i>mSure</i> は検出されません。	0x0	R
		11	Reserved		予備	0x0	R
		10	Reserved		予備	0x0	R
		9	Reserved		予備	0x0	R
		8	Reserved		予備	0x0	R
		7	Reserved		予備	0x0	R
		6	Reserved		予備	0x0	R
		5	Reserved		予備	0x0	R
		4	Reserved		予備	0x0	R
		3	MS_TIMEOUT		600 秒後に <i>mSure</i> がタイムアウトになると、このビットがセットされます。	0x0	R
		2	Reserved		予備	0x0	R
		1	MS_READY		<i>mSure</i> の結果格納用レジスタへの最初の書込みが開始されると (8 秒ブロックの後)、このビットがセットされます。その後、 <i>mSure</i> が停止するまで、値が更新されるたびにこのビットがセットされます。	0x0	R
		0	MS_SHIFT		<i>mSure</i> の実行中に CC 値がシフトすると、このビットがセットされます。これは、xCC 値のシフトが検出され、このシフトを検証するために同じ設定でもう一度 <i>mSure</i> を実行する必要があることを意味します。	0x0	R



Addr.	Name	Bits	Bit Name	Settings	Description	Reset	Access
0x4C1	EVENT_STATUS	[15:6]	Reserved		予備	0x0	R
		5	OIB		このビットは、電流チャンネル B が過電流状態にあるときにセットされ、過電流状態にないときは 0 になります。	0x0	R
		4	OIA		このビットは、電流チャンネル A が過電流状態にあるときにセットされ、過電流状態にないときは 0 になります。	0x0	R
		3	Reserved		予備	0x0	R
		2	SWELLA		このビットは、電圧チャンネルがスウェル状態にあるときにセットされ、スウェル状態にないときは 0 になります。	0x0	R
		1	Reserved		予備	0x0	R
		0	DIPA		このビットは、電圧チャンネルがディップ状態にあるときにセットされ、ディップ状態にないときは 0 になります。	0x0	R
0x4C2	CHIP_STATUS	[15:8]	Reserved		予備	0x0	R
		7	UART_RESET		このビットがセットされている場合、UART インターフェース・リセットが検出されます。	0x0	R
		6	UART_ERROR2		このエラーをクリアするには、UART インターフェースをリセットしてください。	0x0	R
		5	UART_ERROR1		このエラーをクリアするには、UART インターフェースをリセットしてください。	0x0	R
		4	UART_ERROR0		このエラーをクリアするには、UART インターフェースをリセットしてください。	0x0	R
		3	ERROR3		このエラーをクリアするには、ソフトウェア・リセットまたはハードウェア・リセットを発生してください。	0x0	R
		2	ERROR2		このエラーをクリアするには、ソフトウェア・リセットまたはハードウェア・リセットを発生してください。	0x0	R
		1	ERROR1		このエラーをクリアするには、ソフトウェア・リセットまたはハードウェア・リセットを発生してください。	0x0	R
		0	ERROR0		このエラーをクリアするには、ソフトウェア・リセットまたはハードウェア・リセットを発生してください。	0x0	R

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD-5

図 61. 32 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]  
 5 mm x 5 mm ボディ、0.75 mm パッケージ高  
 (CP-32-12)  
 寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADE9153AAPZ	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP]	CP-32-12
ADE9153AAPZ-RL	-40°C to +85°C	32-Lead Lead Frame Chip Scale Package [LFCSP], 13" Tape and Reel	CP-32-12
EV-ADE9153ASHIELDZ		Arduino Shield Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。