



# 電流6チャンネル、電圧1チャンネルの 電力量計測IC

データシート

ADE7816

## 特長

- 有効電力量と無効電力量、波形サンプル、電流と電圧の rms を測定
- 電流入力 6 チャンネルと電圧 1 チャンネル
- 1000:1 のダイナミックレンジで有効電力量と無効電力量の誤差 0.1% 以下
- 電流トランスと Rogowski コイル・センサーに対応
- 瞬時電流と瞬時電圧の測定値を提供
- 6 チャンネルすべてで角度を測定
- 2 kHz 帯域幅の動作
- 外部オーバードライブ機能付きの 1.2 V リファレンス電圧(ドリフト 10 ppm/°C typ)を内蔵
- 柔軟な I<sup>2</sup>C、SPI、HSDC シリアル・インターフェースを内蔵

## 概要

ADE7816 は、1 チャンネルの電圧と最大 6 チャンネルの電流を測定できる正確なマルチチャンネル計測デバイスです。このデバイスは、ラインの電圧と電流を測定して、有効電力量、無効電力量、および電圧と電流の瞬時 rms を計算します。

このデバイスは、高精度電力量計測コアを持つ 7 個のシグマ・デルタ( $\Sigma\Delta$ ) ADC を内蔵しています。6 チャンネル電流入力を使うと、複数の負荷を同時に測定することができます。電圧チャンネルと 6 個の電流チャンネルの各々には、フルレンジの計測を可能にする完全な信号パスが付いています。各入力チャンネルでは、柔軟なゲイン・ステージをサポートしているため、電流トランス(CT)の使用に適しています。6 個の内蔵デジタル積分器により、Rogowski コイル・センサーの使用が可能になっています。

ADE7816 では、SPI または I<sup>2</sup>C インターフェースを介して内蔵メモリー・レジスタにアクセスすることができます。専用高速インターフェースである高速データ・キャプチャ(HSDC)ポートを I<sup>2</sup>C と組み合わせると、リアルタイムに ADC 出力情報にアクセスすることができます。過電流、過電圧、ピーク、サグ検出などのフル範囲の電力品質情報を、2 本の外部割込みピン IRQ0 と IRQ1 を使ってアクセスすることができます。

ADE7816 電力量計測 IC は、3.3 V の電源電圧で動作し、RoHS に準拠した Pb フリーの 40 ピン LFCSP パッケージを採用しています。

## 機能ブロック図

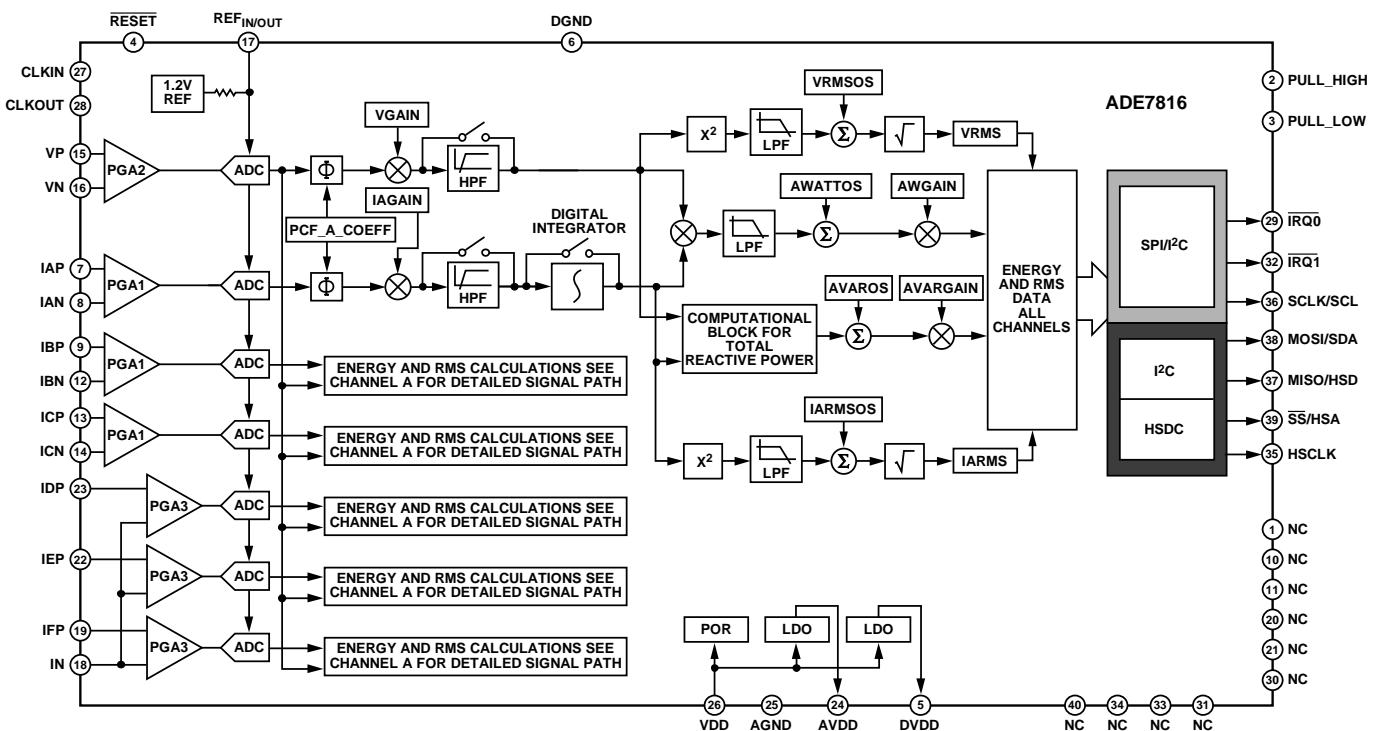


図 1.

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。  
※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。  
©2012 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイス株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

特長 .....	1	電力量ゲインのキャリブレーション .....	24
概要 .....	1	電力量オフセットのキャリブレーション .....	24
機能ブロック図 .....	1	電力量位相のキャリブレーション .....	25
改訂履歴 .....	2	RMS オフセットのキャリブレーション .....	25
仕様 .....	3	電力品質機能 .....	26
タイミング特性 .....	5	電流チャンネル・グループの選択 .....	26
絶対最大定格 .....	8	瞬時波形 .....	26
熱抵抗 .....	8	ゼロ交差の検出 .....	26
ESD の注意 .....	8	ピークの検出 .....	27
ピン配置およびピン機能説明 .....	9	過電流と過電圧の検出 .....	27
代表的な性能特性 .....	11	電力方向の表示 .....	28
テスト回路 .....	14	角度の測定 .....	28
用語 .....	15	周期測定 .....	29
クイック・スタート .....	16	電圧サグの検出 .....	29
入力 .....	17	SAGCYC レジスタの設定 .....	29
電源とグラウンド .....	17	SAGLVL レジスタの設定 .....	29
リファレンス回路 .....	17	電圧サグ割込み .....	29
リセット .....	17	チェックサム .....	30
CLKIN と CLKOUT .....	18	出力 .....	31
アナログ入力 .....	18	割込み .....	31
電力量の測定 .....	20	通信 .....	31
DSP の起動と停止 .....	20	レジスタ .....	36
有効電力量の測定 .....	20	レジスタ保護機能 .....	36
無効電力量の測定 .....	21	入力レジスタのフォーマット .....	36
ライン・サイクル積算モード .....	22	レジスタ・マップ .....	37
2乗平均の測定 .....	23	外形寸法 .....	45
無負荷の検出 .....	23	オーダー・ガイド .....	45
電力量のキャリブレーション .....	24		
チャンネルの一致 .....	24		

## 改訂履歴

2/12—Revision 0: Initial Version

## 仕様

VDD = 3.3 V ± 10%、AGND = DGND = 0 V、内蔵リファレンス、CLKIN = 16.384 MHz、T<sub>MIN</sub> ~ T<sub>MAX</sub> = -40°C ~ +85°C。

表 1.

Parameter <sup>1,2</sup>	Min	Typ	Max	Unit	Test Conditions/Comments
<b>ACCURACY</b>					
Active Energy Measurement					
Active Energy Measurement Error (per Channel)		0.1		%	Over a dynamic range of 1000 to 1, PGA = 1, 2, 4; integrator off
		0.2		%	Over a dynamic range of 3000 to 1, PGA = 1, 2, 4; integrator off
		0.1		%	Over a dynamic range of 500 to 1, PGA = 8,16; integrator on
Phase Error Between Channels					Line frequency = 45 Hz to 65 Hz, HPF on
Power Factor (PF) = 0.8 Capacitive			±0.05	Degrees	Phase lead = 37°
PF = 0.5 Inductive			±0.05	Degrees	Phase lag = 60°
AC Power Supply Rejection					VDD = 3.3 V + 120 mV rms/120 Hz, IxP = VP = ±100 mV rms
Energy Register Variation		0.01		%	
DC Power Supply Rejection					VDD = 3.3 V ± 330 mV dc
Energy Register Variation		0.01		%	
Total Active Energy Measurement Bandwidth		2		kHz	
<b>REACTIVE ENERGY MEASUREMENT</b>					
Reactive Energy Measurement Error (per Channel)		0.1		%	Over a dynamic range of 1000 to 1, PGA = 1, 2, 4; integrator off
		0.2		%	Over a dynamic range of 3000 to 1, PGA = 1, 2, 4; integrator off
		0.1		%	Over a dynamic range of 500 to 1, PGA = 8,16; integrator on
Phase Error Between Channels					Line frequency = 45 Hz to 65 Hz, HPF on
PF = 0.8 Capacitive			±0.05	Degrees	Phase lead = 37°
PF = 0.5 Inductive			±0.05	Degrees	Phase lag = 60°
AC Power Supply Rejection					VDD = 3.3 V + 120 mV rms/120 Hz, IxP = VP = ±100 mV rms
Energy Register Variation		0.01		%	
DC Power Supply Rejection					VDD = 3.3 V ± 330 mV dc
Energy Register Variation		0.01		%	
Total Reactive Energy Measurement Bandwidth		2		kHz	
<b>RMS MEASUREMENTS</b>					
I <sub>RMS</sub> and V <sub>RMS</sub> Measurement Bandwidth		2		kHz	
I <sub>RMS</sub> and V <sub>RMS</sub> Measurement Error		0.1		%	Over a dynamic range of 500 to 1; one second of averaging (100 samples)
<b>ANALOG INPUTS</b>					
Maximum Signal Levels			±500	mV peak	Single-ended inputs between the following pins: IAP and IAN, IBP and IBN, ICP and ICN, IDP and IN, IEP and IN, IFP and IN.
Input Impedance (DC)					
IAP, IAN, IBP, IBN, ICP, ICN, IDP, IEP, and IFP Pins	400			kΩ	
IN Pin	130			kΩ	
ADC Offset Error		±2		mV	PGA = 1, uncalibrated error, see the Terminology section
Gain Error		±4		%	External 1.2 V reference
<b>WAVEFORM SAMPLING</b>					
Current and Voltage Channels					Sampling CLKIN/2048, 16.384 MHz/2048 = 8 kSPS
Signal-to-Noise Ratio, SNR		70		dB	See the Instantaneous Waveforms section
Signal-to-Noise-and-Distortion Ratio, SINAD		60		dB	PGA = 1
Bandwidth (-3 dB)		2		kHz	PGA = 1
<b>TIME INTERVAL BETWEEN CHANNELS</b>					
Measurement Error		0.3		Degrees	Line frequency = 45 Hz to 65 Hz, HPF on

Parameter <sup>1,2</sup>	Min	Typ	Max	Unit	Test Conditions/Comments
REFERENCE INPUT					
REF <sub>IN/OUT</sub> Input Voltage Range	1.1		1.3	V	Minimum = 1.2 V - 8%; maximum = 1.2 V + 8%
Input Capacitance			10	pF	
ON-CHIP REFERENCE					
Reference Error		±2		mV	Nominal 1.207 V at the REF <sub>IN/OUT</sub> pin at T <sub>A</sub> = 25°C
Output Impedance	1.2			kΩ	
Temperature Coefficient		10	50	ppm/°C	Maximum value across full temperature range of -40°C to +85°C
CLKIN, CLKOUT					
Input Clock Frequency	16.22	16.384	16.55	MHz	All specifications are for CLKIN, CLKOUT of 16.384 MHz
Crystal Equivalent Series Resistance	30		200	Ω	
CLKIN Input Capacitance		20		pF	
CLKOUT Output Capacitance		20		pF	
LOGIC INPUTS—MOSI/SDA, SCLK/SCL, SS/HSA, RESET, PULL_HIGH, PULL_LOW					
Input High Voltage, V <sub>INH</sub>	2.0			V	VDD = 3.3 V ± 10%
Input Low Voltage, V <sub>INL</sub>			0.8	V	VDD = 3.3 V ± 10%
Input Current, I <sub>IN</sub>			-8.7	μA	Input = 0 V, VDD = 3.3 V
			3	μA	Input = VDD = 3.3 V
		100		nA	Input = VDD = 3.3 V
Input Capacitance, C <sub>IN</sub>		10		pF	
LOGIC OUTPUTS—IRQ0, IRQ1, MISO/HSD					
Output High Voltage, V <sub>OH</sub>	2.4			V	VDD = 3.3 V ± 10%
I <sub>SOURCE</sub>			800	μA	VDD = 3.3 V ± 10%
Output Low Voltage, V <sub>OL</sub>			0.4	V	VDD = 3.3 V ± 10%
I <sub>SINK</sub>			2	mA	
POWER SUPPLY					
VDD Pin	3.0		3.6	V	For specified performance Minimum = 3.3 V - 10%; maximum = 3.3 V + 10%
I <sub>DD</sub>		25	27.8	mA	

<sup>1</sup> 代表的な性能特性のセクションを参照してください。

<sup>2</sup> パラメータの定義については用語のセクションを参照してください。

タイミング特性

VDD = 3.3 V ± 10%、AGND = DGND = 0 V、内蔵リファレンス、CLKIN = 16.384 MHz、T<sub>MIN</sub> ~ T<sub>MAX</sub> = -40°C ~ +85°C。タイミングの表と図では、共用ピン名は関係する機能のみを記していることに注意してください。ピンのフル記号名と機能説明についてはピン配置およびピン機能説明のセクションを参照してください。

I<sup>2</sup>C 互換インターフェースのタイミング

表 2. I<sup>2</sup>C 互換インターフェースのタイミング・パラメータ

Parameter	Symbol	Standard Mode		Fast Mode		Unit
		Min	Max	Min	Max	
SCL Clock Frequency	f <sub>SCL</sub>	0	100	0	400	kHz
Hold Time (Repeated) Start Condition	t <sub>HD;STA</sub>	4.0		0.6		μs
Low Period of SCL Clock	t <sub>LOW</sub>	4.7		1.3		μs
High Period of SCL Clock	t <sub>HIGH</sub>	4.0		0.6		μs
Setup Time for Repeated Start Condition	t <sub>SU;STA</sub>	4.7		0.6		μs
Data Hold Time	t <sub>HD;DAT</sub>	0	3.45	0	0.9	μs
Data Setup Time	t <sub>SU;DAT</sub>	250		100		ns
Rise Time of Both SDA and SCL Signals	t <sub>R</sub>		1000	20	300	ns
Fall Time of Both SDA and SCL Signals	t <sub>F</sub>		300	20	300	ns
Setup Time for Stop Condition	t <sub>SU;STO</sub>	4.0		0.6		μs
Bus Free Time Between a Stop and Start Condition	t <sub>BUF</sub>	4.7		1.3		μs
Pulse Width of Suppressed Spikes	t <sub>SP</sub>	N/A <sup>1</sup>			50	ns

<sup>1</sup> N/A は該当なし。

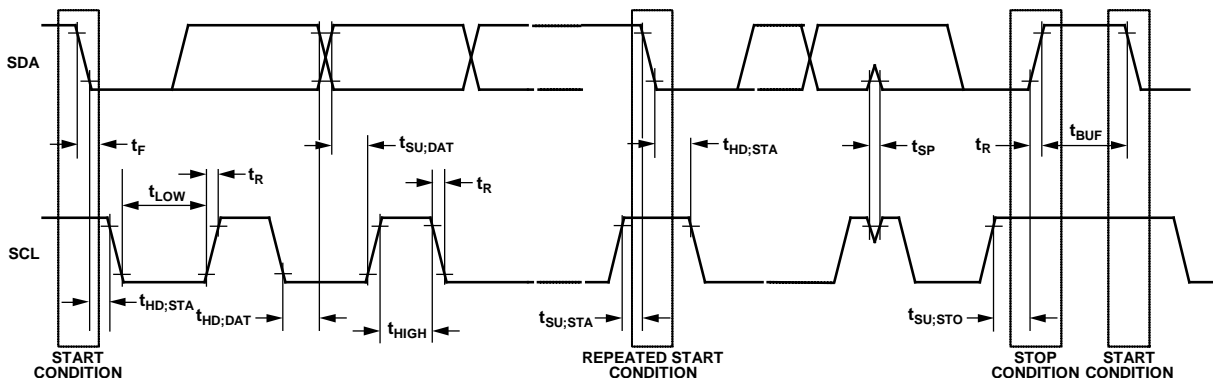


図 2. I<sup>2</sup>C 互換インターフェースのタイミング

103890-002

SPI インターフェースのタイミング

表 3.SPI インターフェースのタイミング・パラメータ

Parameter	Symbol	Min	Max	Unit
SS to SCLK Edge	$t_{SS}$	50		ns
SCLK Period		0.4	4000 <sup>1</sup>	$\mu$ s
SCLK Low Pulse Width	$t_{SL}$	175		ns
SCLK High Pulse Width	$t_{SH}$	175		ns
Data Output Valid After SCLK Edge	$t_{DAV}$		100	ns
Data Input Setup Time Before SCLK Edge	$t_{DSU}$	100		ns
Data Input Hold Time After SCLK Edge	$t_{DHD}$	5		ns
Data Output Fall Time	$t_{DF}$		20	ns
Data Output Rise Time	$t_{DR}$		20	ns
SCLK Rise Time	$t_{SR}$		20	ns
SCLK Fall Time	$t_{SF}$		20	ns
MISO Disable After SS Rising Edge	$t_{DIS}$		200	ns
SS High After SCLK Edge	$t_{SFS}$	0		ns

<sup>1</sup> デザインで保証します。

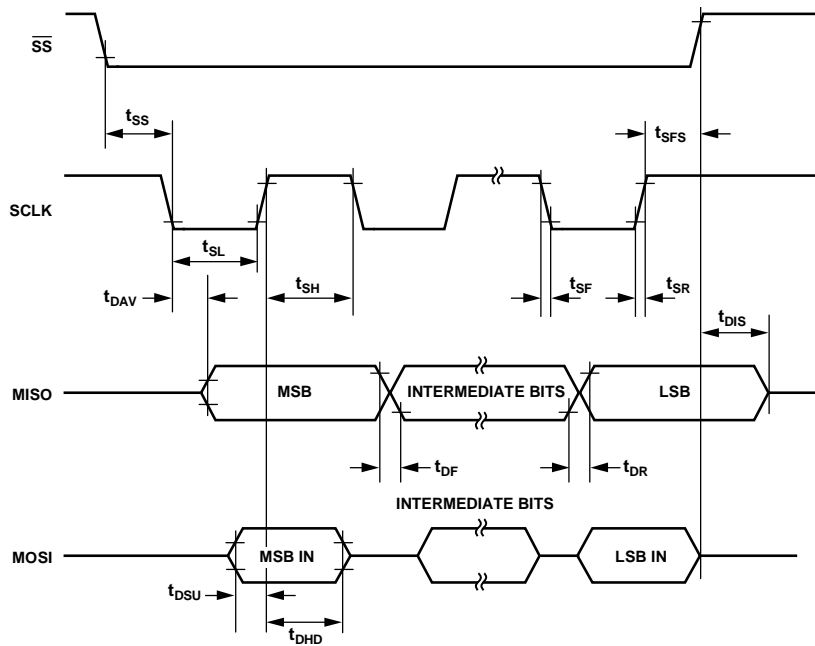


図 3.SPI インターフェースのタイミング

1039P-003

HSDC インターフェースのタイミング

表 4.HSDC インターフェースのタイミング・パラメータ

Parameter	Symbol	Min	Max	Unit
HSA to HSCLK Edge	$t_{SS}$	0		ns
HSCLK Period		125		ns
HSCLK Low Pulse Width	$t_{SL}$	50		ns
HSCLK High Pulse Width	$t_{SH}$	50		ns
Data Output Valid After HSCLK Edge	$t_{DAV}$		40	ns
Data Output Fall Time	$t_{DF}$		20	ns
Data Output Rise Time	$t_{DR}$		20	ns
HSCLK Rise Time	$t_{SR}$		10	ns
HSCLK Fall Time	$t_{SF}$		10	ns
HSD Disable After HSA Rising Edge	$t_{DIS}$	5		ns
HSA High After HSCLK Edge	$t_{SFS}$	0		ns

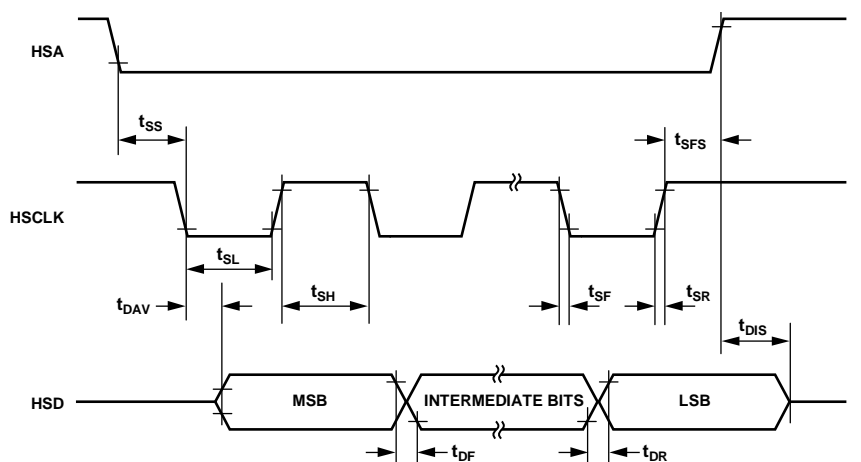


図 4.HSDC インターフェースのタイミング

すべてのタイミング仕様の負荷回路

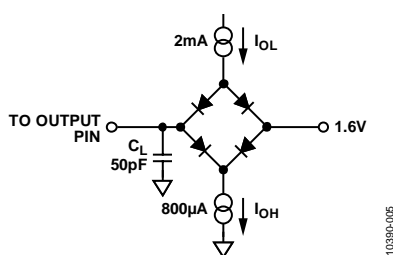


図 5.すべてのタイミング仕様の負荷回路

## 絶対最大定格

特に指定のない限り、 $T_A = 25\text{ }^\circ\text{C}$ 。

表 5.

Parameter	Rating
VDD to AGND	-0.3 V to +3.7 V
VDD to DGND	-0.3 V to +3.7 V
Analog Input Voltage to AGND, IAP, IAN, IBP, IBN, ICP, ICN, IDP, IEP, IFP, IN	-2 V to +2 V
Analog Input Voltage to VP and VN	-2 V to +2 V
Reference Input Voltage to AGND	-0.3 V to VDD + 0.3 V
Digital Input Voltage to DGND	-0.3 V to VDD + 0.3 V
Digital Output Voltage to DGND	-0.3 V to VDD + 0.3 V
Operating Temperature	
Industrial Range	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

RoHS 準拠製品のハンダ処理で使用する温度プロファイルについて、リフロー・プロファイルを JEDEC の J-STD -20 に準拠させることをアナログ・デバイセズは推奨します。最新レビジョンについては JEDEC のウェブサイトをご覧ください。

### 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 6.熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
40-Lead LFCSP	29.3	1.8	$^\circ\text{C}/\text{W}$

### ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



ピン配置およびピン機能説明

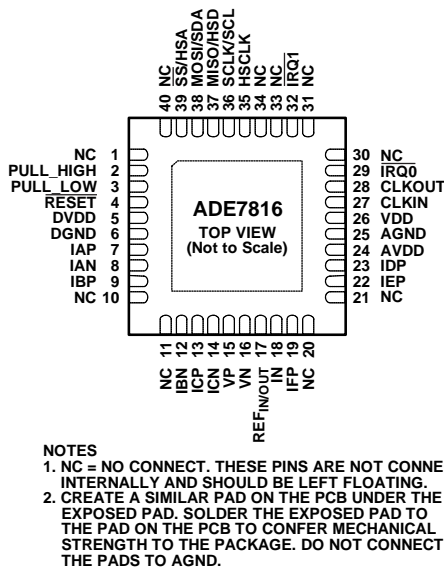


図 6. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1、10、11、20、21、30、31、33、34、40	NC	未接続。これらのピンは内部で接続されていないため、フローティングのままにしておく必要があります。
2	PULL_HIGH	このピンは VDD に接続します。
3	PULL_LOW	このピンは AGND に接続します。
4	RESET	アクティブ・ローのリセット入力。このピンを少なくとも 10 μs 間ロー・レベルにすると、ハードウェア・リセットが開始されます。
5	DVDD	内蔵 2.5 V デジタル LDO のアクセス。このピンには外部からアクティブ回路を接続しないでください。このピンは 4.7 μF のコンデンサと 220 nF のセラミック・コンデンサの並列接続でデカップリングしてください。
6	DGND	グラウンド基準。このピンは、デジタル回路のグラウンド基準になります。
7、8	IAP、IAN	電流チャンネル A のアナログ入力。このチャンネルは電流トランスと組み合わせて使い、このデータシートでは電流チャンネル A と呼びます。これらの入力は、IAN を基準とした最大信号レベル±0.5 V のシングルエンド構成で接続してください。
9、12	IBP、IBN	電流チャンネル B のアナログ入力。このチャンネルは電流トランスと組み合わせて使い、このデータシートでは電流チャンネル B と呼びます。これらの入力は、IBN を基準とした最大信号レベル±0.5 V のシングルエンド構成で接続してください。
13、14	ICP、ICN	電流チャンネル C のアナログ入力。このチャンネルは電流トランスと組み合わせて使い、このデータシートでは電流チャンネル C と呼びます。これらの入力は、ICN を基準とした最大信号レベル±0.5 V のシングルエンド構成で接続してください。
15、16	VP、VN	電圧チャンネルに対するアナログ入力。このチャンネルは電圧トランスと組み合わせて使用し、このデータシートでは電圧チャンネルと呼んでいます。これらの入力は、VN を基準とした最大信号レベル±0.5 V のシングルエンド構成で接続してください。このチャンネルも PGA を内蔵しています。
17	REF <sub>IN/OUT</sub>	内蔵電圧リファレンスのアクセス。内蔵リファレンスの公称値は 1.2 V です。1.2 V ± 8% の外付けリファレンス・ソースをこのピンに接続することもできます。いずれの場合も、このピンを 4.7 μF のコンデンサと 100 nF のセラミック・コンデンサの並列接続で AGND へデカップリングしてください。
18	IN	電流チャンネル D、電流チャンネル E、電流チャンネル F のアナログ入力コモン・ピン。詳細については、ピン 19、ピン 22、ピン 23 のピン説明を参照してください。
19	IFP	電流チャンネル F のアナログ入力。このチャンネルは電流トランスと組み合わせて使い、このデータシートでは電流チャンネル F と呼びます。この入力は、IN を基準とした最大信号レベル±0.5 V のシングルエンド構成で接続してください。
22	IEP	電流チャンネル E のアナログ入力。このチャンネルは電流トランスと組み合わせて使い、このデータシートでは電流チャンネル E と呼びます。この入力は、IN を基準とした最大信号レベル±0.5 V のシングルエンド構成で接続してください。

ピン番号	記号	説明
23	IDP	電流チャンネル D のアナログ入力。このチャンネルは電流トランスと組み合わせて使い、このデータシートでは電流チャンネル D と呼びます。この入力には、IN を基準とした最大信号レベル $\pm 0.5$ V のシングルエンド構成で接続してください。
24	AVDD	内蔵 2.5 V アナログ低ドロップアウト(LDO)レギュレータのアクセス。このピンには外部からアクティブ回路を接続しないでください。このピンは 4.7 $\mu$ F のコンデンサと 220 nF のセラミック・コンデンサの並列接続でデカップリングしてください。
25	AGND	グラウンド基準。このピンは、アナログ回路のグラウンド基準になります。このピンは、アナログ・グラウンド・プレーンまたは安定なシステム・グラウンド基準に接続します。このノイズのないグラウンド基準は、すべてのアナログ回路(たとえば、折り返し防止フィルタ、電流トランス、電圧トランス)に対して使用してください。
26	VDD	電源電圧。このピンに電源電圧を入力します。規定の動作のためには 3.3 V $\pm$ 10% である必要があります。このピンは 10 $\mu$ F のコンデンサと 100 nF のセラミック・コンデンサの並列接続で AGND へデカップリングしてください。
27	CLKIN	マスター・クロック。このロジック入力には、外部クロックを接続することができます。代わりに、並列共振 AT カット水晶を CLKIN と CLKOUT の間に接続して、ADE7816 のクロック・ソースを提供することができます。規定動作に対するクロック周波数は、16.384 MHz です。ゲート発振回路には数 10 pF のセラミック負荷コンデンサを使う必要があります。負荷容量条件については水晶発振器メーカーのデータシートを参照してください。
28	CLKOUT	ピン 27 の説明のように、水晶をこのピンと CLKIN の間に接続して、ADE7816 にクロック・ソースを接続することができます。CLKIN に外部クロックを接続する場合または水晶を使用する場合、CLKOUT ピンは、1 個の CMOS 負荷を駆動することができます。
29、32	IRQ0、IRQ1	割込み要求出力。これらのピンはアクティブ・ローのロジック出力です。割込みを発生できるイベントについては、通信のセクションを参照してください。
35	HSCLK	HSDC ポートのシリアル・クロック出力。
36	SCLK/SCL	SPI ポートのシリアル・クロック入力 I <sup>2</sup> C ポートのシリアル・クロック入力。すべてのシリアル・データ転送はこのクロックに同期します(シリアル・インターフェースのセクションを参照してください)。このピンには、低速なエッジ変化時間を持つクロック・ソース(たとえば光アイソレータ出力)に対して使用するシュミット・トリガ入力があります。
37	MISO/HSD	SPI ポートのデータ出力/HSDC ポートのデータ出力。
38	MOSI/SDA	SPI ポートのデータ入力/I <sup>2</sup> C ポートのデータ出力。
39	$\overline{SS}$ /HSA	SPI ポートのスレーブ・セレクト/HSDC ポート・有効。
EP	エクスポーズド・パッド	エクスポーズド・パッド。エクスポーズド・パッド下の PCB 上に同じパッドを設けてください。エクスポーズド・パッドと PCB 上のパッドをハンダ付けして、パッケージの機械的強度を強化してください。このパッドを AGND へ接続しないでください。

代表的な性能特性

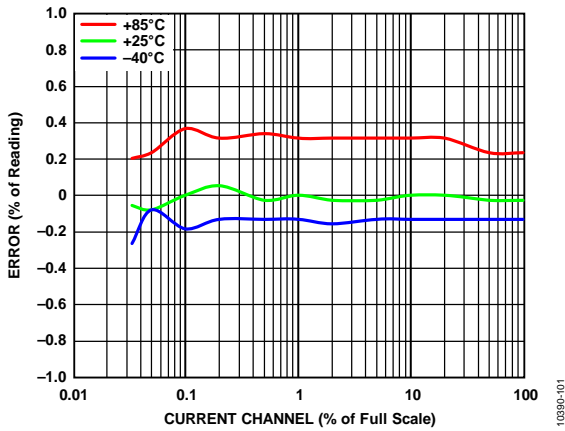


図 7. 様々な温度での有効電力量誤差(測定値のパーセント値)  
ゲイン=1、力率=1、内蔵リファレンス電圧を使用、  
積分器をオフ

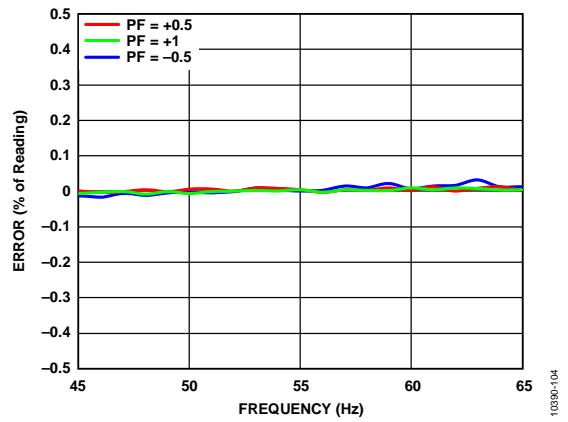


図 10. 様々な周波数と力率での有効電力量誤差(測定値のパーセント値)、  
ゲイン=1、温度= 25°C、内蔵リファレンス電圧を使用、  
積分器をオフ

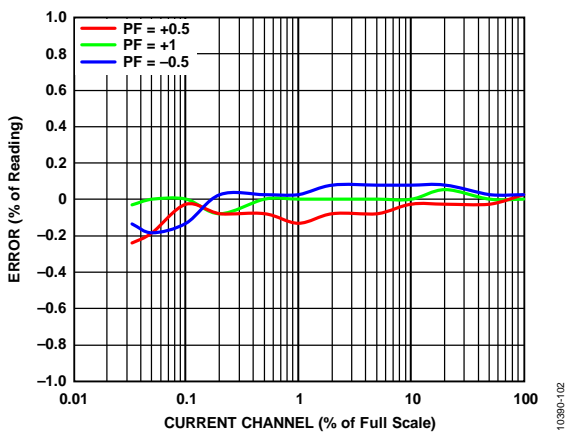


図 8. 様々な力率での有効電力量誤差(測定値のパーセント値)  
ゲイン=1、温度= 25°C、内蔵リファレンス電圧を使用、  
積分器をオフ

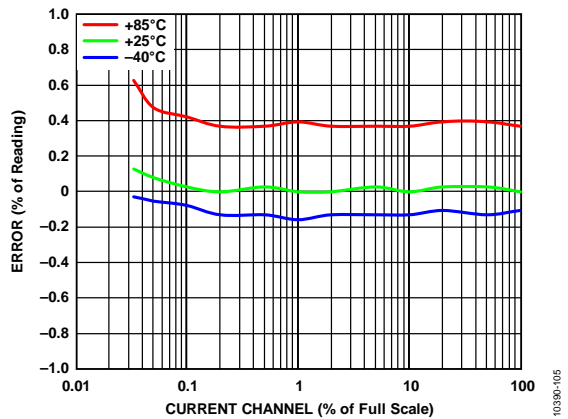


図 11. 様々な温度での無効電力量誤差(測定値のパーセント値)  
ゲイン=1、力率=0、内蔵リファレンス電圧を使用、  
積分器をオフ

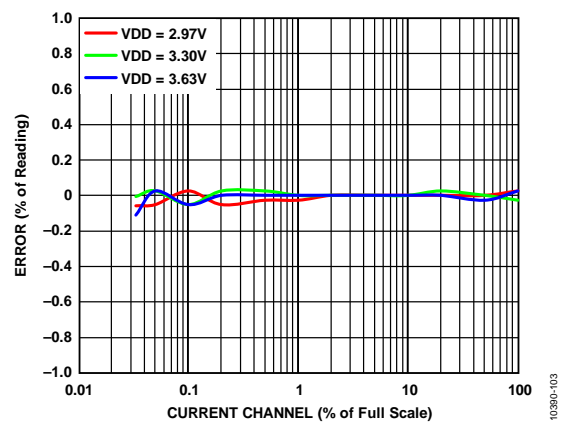


図 9. 様々な電源電圧での有効電力量誤差(測定値のパーセント値)  
ゲイン=1、温度= 25°C、力率= 1  
内蔵リファレンス電圧を使用、積分器をオフ

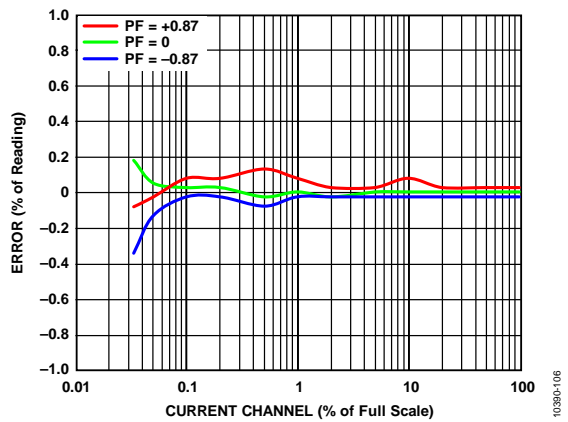


図 12. 様々な力率での無効電力量誤差(測定値のパーセント値)  
ゲイン=1、温度= 25°C、内蔵リファレンス電圧を使用、  
積分器をオフ

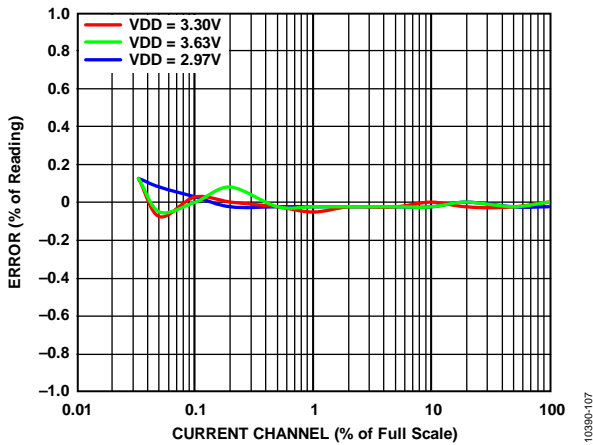


図 13.様々な電源電圧での無効電力量誤差(測定値のパーセント値)  
ゲイン=1、温度= 25°C、力率=0  
内蔵リファレンス電圧を使用、積分器をオフ

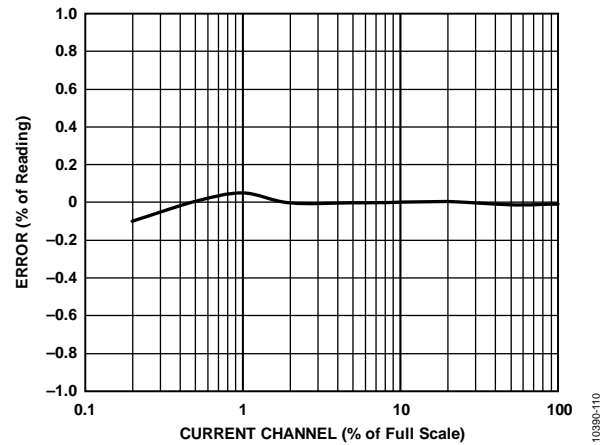


図 16.V<sub>RMS</sub> 誤差(測定値のパーセント値)  
ゲイン=1、温度= 25°C、力率=1  
内蔵リファレンス電圧を使用、積分器をオフ

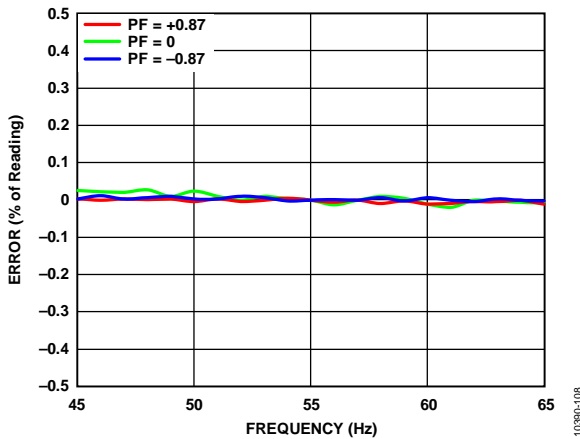


図 14.様々な周波数と力率での無効電力量誤差(測定値のパーセント値)、ゲイン=1、温度= 25°C、内蔵リファレンス電圧を使用

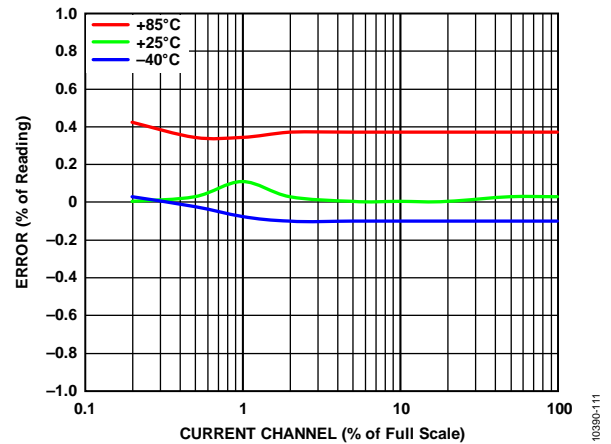


図 17.様々な温度での有効電力量誤差(測定値のパーセント値)  
ゲイン=16、力率=1  
内蔵リファレンス電圧を使用、積分器をオン

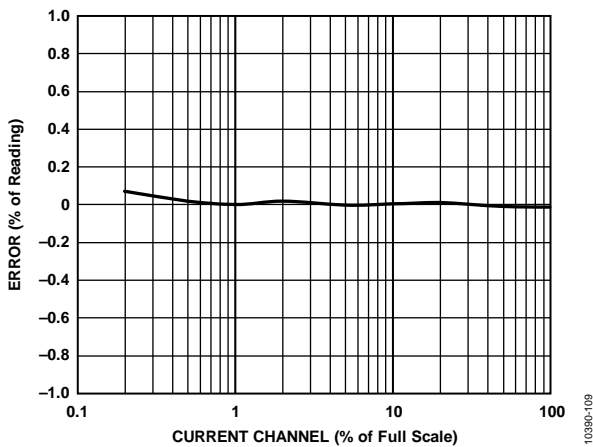


図 15.I<sub>RMS</sub> 誤差(測定値のパーセント値)、ゲイン=1、温度= 25°C、力率=1、内蔵リファレンス電圧を使用、積分器をオフ

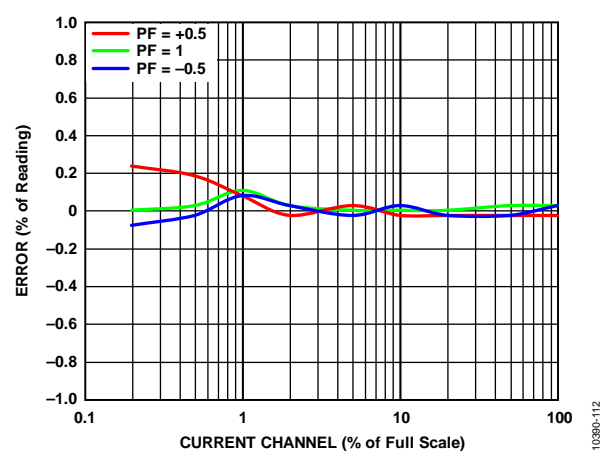
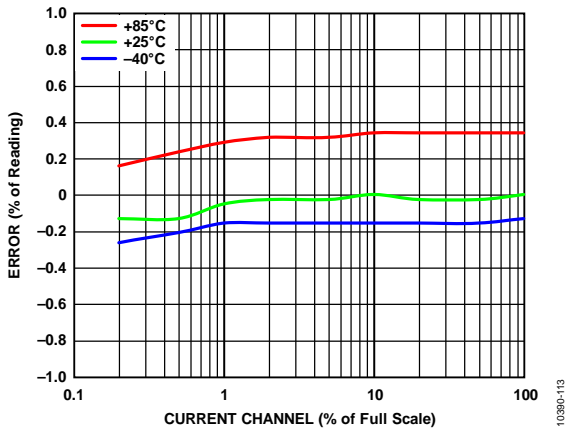
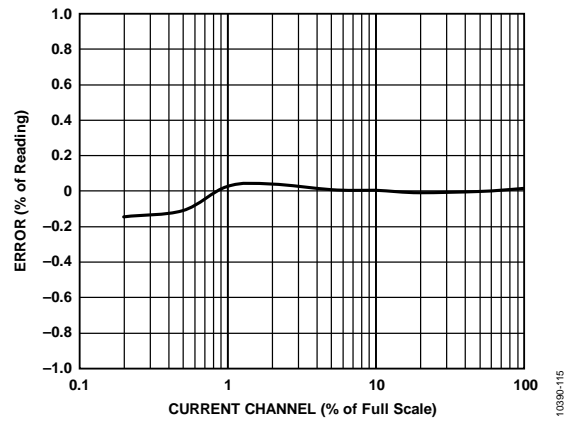


図 18.様々な力率での有効電力量誤差(測定値のパーセント値)  
ゲイン=16、温度= 25°C、内蔵リファレンス電圧を使用、積分器をオン



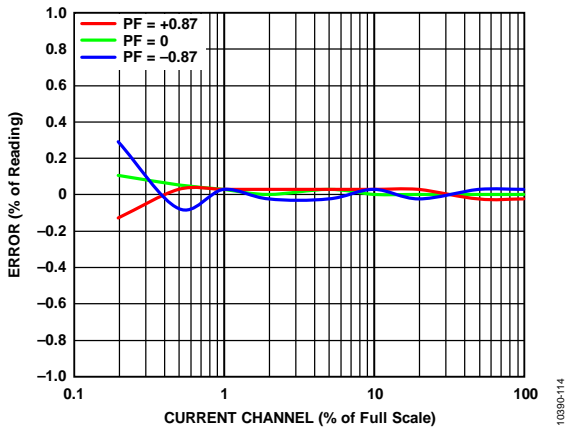
10390-113

図 19.様々な温度での無効電力量誤差(測定値のパーセント値)  
ゲイン= 16、力率= 0、内蔵リファレンス電圧を使用、  
積分器をオン



10390-115

図 21. I<sub>RMS</sub> 誤差(測定値のパーセント値)  
ゲイン= 16、温度= 25°C、力率= 1  
内蔵リファレンス電圧を使用、積分器をオン



10390-114

図 20.様々な力率での無効電力量誤差(測定値のパーセント値)  
ゲイン= 16、温度= 25°C、内蔵リファレンス電圧を使用、  
積分器をオン

テスト回路

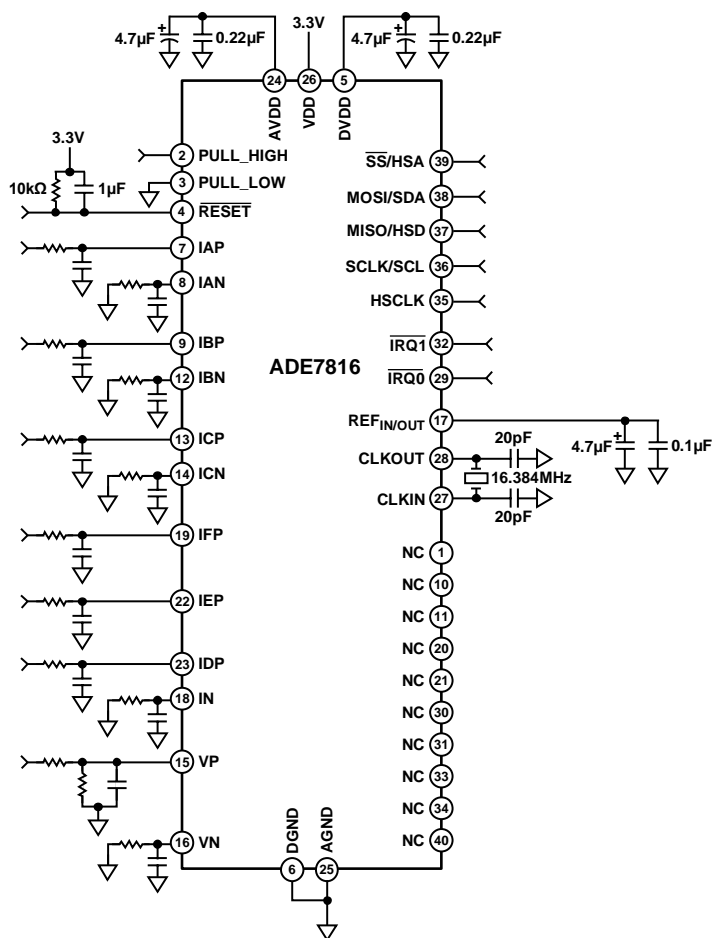


図 22. テスト回路

10390-007

## 用語

### 測定誤差

ADE7816 が行う電力量計測に対応する誤差は、次式で定義されます。

$$\text{測定誤差} = \frac{\text{Energy Registered by ADE7816} - \text{True Energy}}{\text{True Energy}} \times 100\%$$

### チャンネル間位相誤差

ハイパス・フィルタ (HPF) とデジタル積分器により、電流チャンネルと電圧チャンネルの間で小さい位相不一致が発生します。オール・デジタル・デザインにより、電流チャンネルと電圧チャンネルとの間の位相不一致を 3 相すべてについて、45~65 Hz の範囲では  $\pm 0.1^\circ$  以内に、40 Hz~1 kHz の範囲では  $\pm 0.2^\circ$  以内に、それぞれ保証します。この内部位相不一致は外部位相誤差 (電流センサーまたは部品の許容誤差に起因) と組み合わせて、位相キャリブレーション・レジスタを使ってキャリブレーションすることができます。

### 電源電圧除去 (PSR)

電源が変動したときの ADE7816 の測定誤差を測定値のパーセント値として表します。AC の PSR 測定の場合は、公称電源 (3.3 V) での測定値を採用します。AC 信号 (100 Hz、120 mV rms) を電源に加えたときに、2 回目の測定値を同じ入力信号レベルで取得します。

この AC 信号により導入されるすべての誤差が、測定値のパーセント値として表されます (測定誤差の定義を参照してください)。

DC の PSR 測定の場合、公称電源 (3.3 V) での測定値を採用します。電源が  $\pm 10\%$  変化したときに、2 回目の測定値を同じ入力信号レベルで取得します。この場合も導入されたすべての誤差は測定値のパーセント値として表されます。

### ADC オフセット誤差

ADC のアナログ入力に対応する DC オフセットを意味します。これは、アナログ入力に AGND に接続されていても、ADC には DC アナログ入力信号が存在することを意味します。オフセットの大きさは、ゲインと入力範囲の選択に依存します (代表的な性能特性のセクションを参照してください)。ただし、HPF を接続すると、オフセットが電流チャンネルと電圧チャンネルから除去されるため、電力量計算はこのオフセットから影響を受けません。

### ゲイン誤差

ADE7816 の ADC 内でのゲイン誤差は、測定値の ADC 出力コード (オフセットは除去) と理論出力コードとの間の差として定義されます。この差は、理論コードのパーセント値として表されます。

## クイック・スタート

このセクションでは、ADE7816 のパワーアップと初期化の手順の概要を説明します。図 23 に、初期化ステップのフローチャートを示します。詳細については、図 23 に示す各ステップに関するデータシートのセクションを参照してください。

電源を ADE7816 に接続して通信が確立されると、レジスタのセ

ットに書込を行う必要があります(図 23 参照)。表 8 に、各レジスタの詳細を示します。

表 8 に記載するレジスタは、正常動作に不可欠です。これらのレジスタを設定した後、メータ固有の機能をイネーブルした後に DSP の電力量計算をイネーブルします。

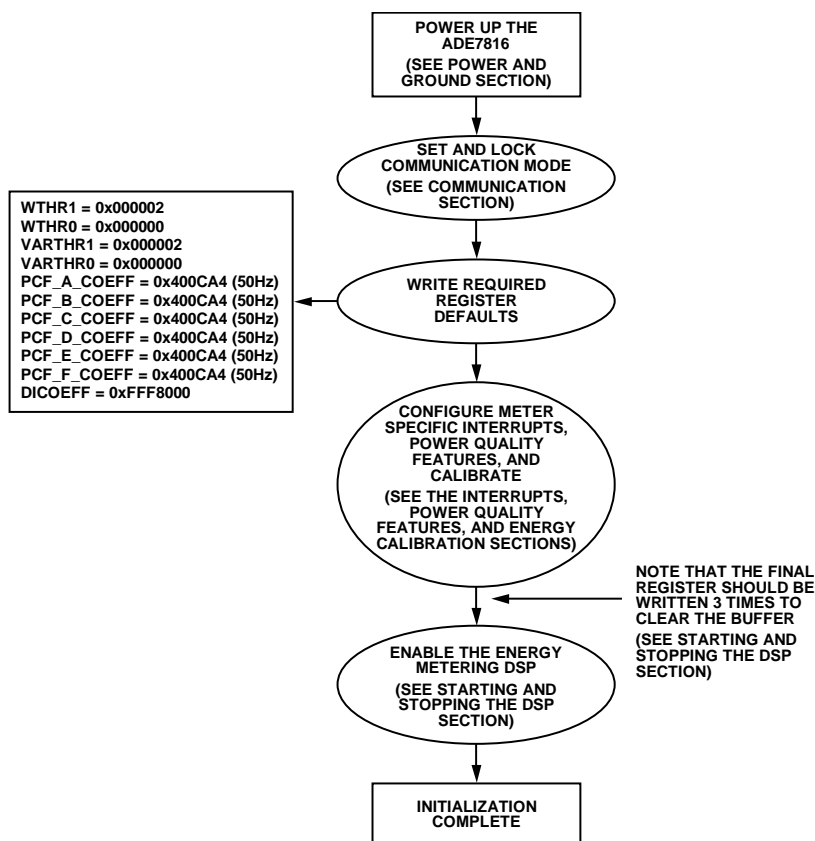


図 23.クイック・スタート

表 8.必要とされるレジスタのデフォルト値

Register Address	Register Name	Register Description	Required Value	Reference Information
0x43AB	WTHR1	Threshold register for active energy	0x000002	Refer to the Active Energy Threshold section.
0x43AC	WTHR0	Threshold register for active energy	0x000000	Refer to the Active Energy Threshold section.
0x43AD	VARTH1	Threshold register for reactive energy	0x000002	Refer to the Reactive Energy Threshold section.
0x43AE	VARTH0	Threshold register for reactive energy	0x000000	Refer to the Reactive Energy Threshold section.
0x43B1	PCF_A_COEFF	Phase calibration for Current Channel A	0x400CA4 (50 Hz)	Refer to the Energy Phase Calibration section.
0x43B2	PCF_B_COEFF	Phase calibration for Current Channel B	0x400CA4 (50 Hz)	Refer to the Energy Phase Calibration section.
0x43B3	PCF_C_COEFF	Phase calibration for Current Channel C	0x400CA4 (50 Hz)	Refer to the Energy Phase Calibration section.
0x43B4	PCF_D_COEFF	Phase calibration for Current Channel D	0x400CA4 (50 Hz)	Refer to the Energy Phase Calibration section.
0x43B5	PCF_E_COEFF	Phase calibration for Current Channel E	0x400CA4 (50 Hz)	Refer to the Energy Phase Calibration section.
0x43B6	PCF_F_COEFF	Phase calibration for Current Channel F	0x400CA4 (50 Hz)	Refer to the Energy Phase Calibration section.
0x4388	DICOEFF	Digital integrator algorithm; required only if using di/dt sensors	0xFF8000	Refer to the Digital Integrator section.



## 入力

次のセクションでは、正常機能に必要な ADE7816 入力接続について説明します。

### 電源とグラウンド

#### VDD、AGND、DGND

ADE7816 に電源を供給するときは、3.3 V の DC 入力電圧を VDD ピンと AGND ピンおよび DGND ピンとの間に接続する必要があります。さらに、PULL\_HIGH ピンと PULL\_LOW ピンをそれぞれ 3.3 V と AGND へ接続する必要があります。この構成を図 24 に示します。

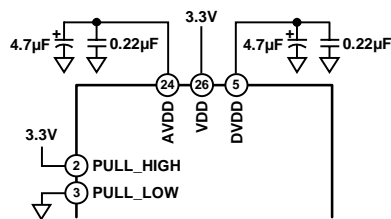


図 24. ADE7816 への電源接続

ADE7816 は、電源(VDD)を管理する電源モニタを内蔵しています。VDD ピンの電圧が  $2\text{ V} \pm 10\%$  より低いと、チップは非アクティブ状態になります。VDD が  $2\text{ V} \pm 10\%$  のスレッショルドを超えると、電源モニタはさらに 26 ms 間 ADE7816 を非アクティブ状態に維持します。この時間遅延により、VDD が  $3.3\text{ V} - 10\%$  の最小規定動作電圧に到達できるようになります。最小規定動作電圧を満たし、かつ PULL\_HIGH ピンと PULL\_LOW ピンがそれぞれ VDD と AGND に接続されると、内部回路がイネーブルされます。このプロセスは約 40 ms で完了します。

スタートアップ・シーケンスが完了し、ADE7816 がマイクロコントローラからの通信を受信できるようになると、STATUS1 レジスタ(アドレス 0xE503)の RSTDONE フラグがセットされます。IRQ1 ピンの外部割込みが発生されます。デフォルトで RSTDONE 割込みがイネーブルされているので、ディスエーブルすることができません。このため、パワーアップ手順またはハードウェアまたはソフトウェア・リセットの後で常に外部割込みが発生します。

ADE7816 との最初の通信をマイクロコントローラがゲーティングするとき RSTDONE 割込みを使用することが推奨されます。割込みを使用しない場合は、タイムアウトを使用できますが、スタートアップ・シーケンスはデバイスごとに、さらに温度に対して変動するため、最小 100 ms のタイムアウトが推奨されます。RSTDONE 割込みは、ADE7816 スタートアップ・シーケンスの完了をモニタする最も時間的に有効な方法を提供します。

AVDD ピンと DVDD 出力ピンは、内蔵のアナログ LDO およびデジタル LDO に対するアクセスを提供します。ADE7816 がフル・パワーアップすると、これらのピンは 2.5 V になります。内蔵リファレンス電圧を使用する場合、REF<sub>IN/OUT</sub> ピン出力は 1.2 V になります(リファレンス回路のセクション参照)。

スタートアップ・シーケンスが完了すると、すべてのレジスタはデフォルト値になり、I<sup>2</sup>C ポートが有効なシリアル・ポートになります。ADE7816 との通信を開始することができます。詳細については、通信のセクションを参照してください。

電力量と rms の計算を開始するときは、すべての設定レジスタに必要な値を設定した後に、内蔵 DSP をパワーアップさせる必要があります。ラン・レジスタ(アドレス 0xE228)に 0x0001 を設定すると、DSP が起動されます。詳細については、DSP の起動と停止のセクションを参照してください。

### リファレンス回路

#### REF<sub>IN/OUT</sub>

REF<sub>IN/OUT</sub> ピンの公称リファレンス電圧は  $1.2\text{ V} \pm 0.075\%$  です。REF<sub>IN/OUT</sub> ピンは、外付け 1.2 V リファレンス電源で書き込むことができます。CONFIG2 レジスタ(アドレス 0xEC01)のビット 0 (EXTREFEN)が 0 (デフォルト値)にクリアされると、ADE7816 は内蔵リファレンス電圧を使用します。ビット 0 が 1 の場合は、外付けリファレンス電圧を使います。

ADE7816 の内蔵リファレンス電圧は温度により少しドリフトします。温度係数仕様(ppm/°C)については、仕様のセクションを参照してください。温度ドリフト値は各製品ごとに変ります。このリファレンス電圧はすべての ADC に対して使用するため、リファレンス電圧 x% のドリフトは、測定精度 2x% の変化に対応します。

### リセット

#### ハードウェア・リセット

ADE7816 のハードウェア・リセットを開始するときは、RESET ピンを少なくとも 10 µs 間ロー・レベルにする必要があります。RESET ピンがハイ・レベルに戻ると、すべてのレジスタがデフォルト値に戻ります。ADE7816 は、IRQ1 割込みピンをロー・レベルにし、かつ STATUS1 レジスタのビット 15 (RSTDONE)を 1 に設定して、変化区間の終了を通知します。このビットは変化区間中 0 に設定され、変化が終わると 1 に変わります。

#### ソフトウェア・リセット機能

CONFIG レジスタ(アドレス 0xE618)のビット 7 (SWRST)は、ADE7816 のソフトウェア・リセット機能を制御します。このビットのデフォルト値は 0 です。ビット 7 を 1 に設定すると、ADE7816 はソフトウェア・リセット状態を開始します。この状態では、すべての内部レジスタがデフォルト値に設定されますが、CONFIG2 レジスタだけは例外で、既存値を維持します。さらに、ロックイン・プロシージャを前に実行済みの場合には、選択された使用中のシリアル・ポート(I<sup>2</sup>CまたはSPI)は不変に維持されます(詳細については、通信のセクション参照)。

ソフトウェア・リセットが終了すると、CONFIG レジスタのビット 7 (SWRST)が 0 にクリアされ、IRQ1 割込みピンがロー・レベルに設定され、STATUS1 レジスタのビット 15 (RSTDONE)が 1 に設定されます。RSTDONE は変化区間では 0 に設定され、変化が終わると 1 に変わります。

すべてのメータがソフトウェア・リセット機能とハードウェア・リセット機能を持つようにデザインすることが推奨されます。

## CLKIN と CLKOUT

ADE7816 のクロック駆動には外部クロックまたは並列共振水晶が必要です。外部クロック・ソースを使用する場合は、CLKIN ピンに接続する必要があります。規定動作に対するクロック周波数は、16.384 MHz です。あるいは、並列共振 AT カット水晶を CLKIN ピンと CLKOUT ピンの間に接続することができます。ADE7816 は負荷容量を内蔵していないため、水晶メーカーのデータシートに基づいて負荷コンデンサを各ピンに接続する必要があります。

## アナログ入力

### 入力ピン

ADE7816 には 6 個の電流チャンネルと 1 個の電圧チャンネルを構成する 7 個のアナログ入力があります。電流チャンネル A、電流チャンネル B、電流チャンネル C の各々は、一対の差動入力ピン IAP と IAN、IBP と IBN、ICP と ICN から構成されています。電流チャンネル D、電流チャンネル E、電流チャンネル F は、共通のリファレンス IN を共用するため、シングルエンドです。一貫性のため、6 個のすべての電流入力をシングルエンド構成で接続することを推奨します(図 26 と図 27 参照)。電圧チャンネルは、一対の入力 VP と VN で構成されるフル差動入力です。電圧チャンネルは一般にシングルエンド構成で接続されます。

すべての入力チャンネルの最大入力電圧は±500 mV です。入力の最大許容同相モード信号は±25 mV です。図 25 に、入力の回路図と最大同相モード電圧に対する関係を示します。

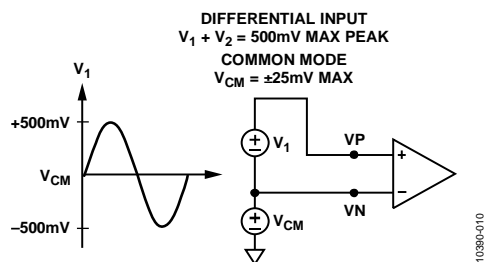


図 25.最大入力レベル

## PGA ゲイン

ADE7816 は 3 個の PGA ゲイン・アンプを内蔵しています。これらのアンプは、入力信号を×2、×4、×8、×16 に増幅するときを使用することができます。PGA ゲイン・ステージは、Rogowski コイルのような低出力電圧を発生する電流センサーを使用する際に必要とされます。PGA1 は、電流チャンネル A、電流チャンネル B、電流チャンネル C に影響を与え、ゲイン・レジスタ(アドレス 0xE60F)のビット[2:0] (PGA1)から制御されます。PGA2 は電圧チャンネルに影響を与え、ゲイン・レジスタのビット[5:3] (PGA2)から制御されます。PGA3 は、電流チャンネル D、電流チャンネル E、電流チャンネル F に影響を与え、ゲイン・レジスタのビット[8:6] (PGA3)から制御されます。

表 9 に、PGA ゲインのフルスケール入力電圧に対する影響を示します。

表 9.PGA ゲイン

Gain	Full-Scale Single-Ended Input (mV)	Gain Register (Address 0xE60F)		
		PGA1[2:0]	PGA2[5:3]	PGA3[8:6]
1	±500	000	000	000
2	±250	001	001	001
4	±125	010	010	010
8	±62.5	011	011	011
16	±31.25	100	100	100

## デジタル積分器

ADE7816 は、Rogowski コイルのような di/dt センサーを使用するときイネーブルするデジタル積分器を内蔵しています。CONFIG レジスタ(アドレス 0xE618)の INTEN ビット(ビット 0)を 1 に設定すると、この積分器がイネーブルされます。デジタル積分器を使うときは、DICOEFF レジスタ(アドレス 0x4388)に 0xFFFF8000 を書き込む必要があります。デジタル積分器の原理については、AN-1137 アプリケーション・ノートを参照してください。

折り返し防止フィルタ

各アナログ入力ピンには、シンプルな RC フィルタを接続する必要があります。RC フィルタの役割は、折り返しの防止です。折り返しの影響は、折り返される周波数成分(ADC のサンプリング・レートの 1/2 より高い)により発生し、サンプルされた信号のサンプリング・レートの 1/2 より低い周波数位置に現れます。折り返しは、すべてのサンプル・システムで発生します。従来型電流センサーの場合、サンプリング周波数 1.024 MHz での減衰を十分大きくするため、コーナー周波数 5 kHz の RC フィルタを 1 個使用することが推奨されます。このフィルタのディケードあたり 20 dB の減衰は、一般に従来型電流センサーの折り返しの影響を除去するために十分です(図 26 参照)。

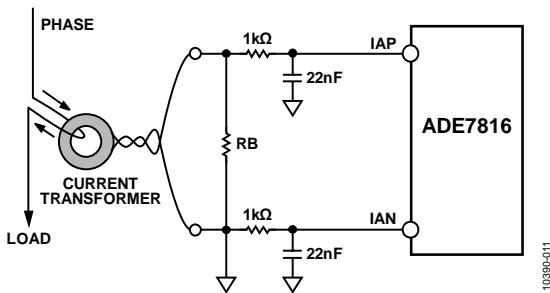


図 26.電流トランスの入力接続

Rogowski コイルのような di/dt センサーの場合、センサーはディケードあたり 20 dB のゲインを持っています。これにより、ローパス・フィルタ(LPF)によるディケードあたり 20 dB の減衰が相殺されてしまいます。このため、di/dt センサーを使う場合は、2 個目の極が必要になります。シンプルな 1 つの方法は、追加 RC フィルタを 1 個カスケード接続して、ディケードあたり -40 dB の減衰を発生させることです(図 27 参照)。

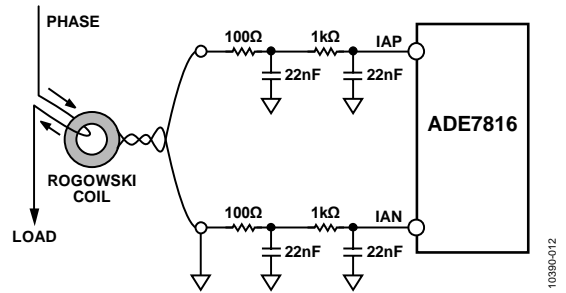


図 27.Rogowski コイルの入力接続

## 電力量の測定

このセクションでは、ADE7816 で可能な電力量計測について説明します。これらの計測の原理については、AN-1137 アプリケーション・ノートを参照してください。

### DSP の起動と停止

電力量の測定値を取得するためには、ラン・レジスタ(アドレス 0xE228)に 0x0001 を設定して、内部プロセッサを起動させる必要があります。すべてのレジスタを初期化した後に DSP を起動し、キュー内の最後のレジスタに 3 回書込を行なってパイプラインをリセットすることが推奨されます。この手順が完了した後に、DSP を起動させる必要があります。DSP の動作中はすべてのレジスタを変更できるため、DSP を一旦起動させた後は停止させる理由はありません。ただし、DSP を停止させるときは、0x0000 をラン・レジスタへ書込む必要があります。

DSP コア内には、2 ステージのパイプラインがあります。これは、1 個のレジスタの初期化が必要な場合、値の書込を保証するために複数回の書込みが必要であることを意味します。複数のレジスタの初期化が必要な場合は、値の RAM への書込を確実にするため最後のレジスタに複数回の書込が必要です。最後のレジスタに 3 回書込を行なって正常な通信を保証することが推奨されます。これらのレジスタの保護については、レジスタ保護機能のセクションを参照してください。

### 有効電力量の測定

#### 有効電力と有効電力量の定義

有効電力は電圧と電流の積であり、純抵抗負荷で消費される電力です。有効電力量は有効電力の時間積分でありワットで表されます。

整数ライン・サイクル数(n)間の平均電力は次式で与えられます。

$$P = \frac{1}{nT} \int_0^{nT} P(t) dt = VI \quad (1)$$

ここで、  
 V は rms 電圧。  
 I は rms 電流。  
 P は有効すなわち実効電力。  
 T はライン・サイクル周期。

#### 有効電力量レジスタ

ADE7816 には 6 個の有効電力量レジスタがあります。ここでは、有効電力量が各 6 チャンネルに対して別々に積算されます。これらの 6 個の有効電力量レジスタは、AWATTHR (アドレス 0xE400)、

BWATTHR (アドレス 0xE401)、CWATTHR (アドレス 0xE402)、DWATTHR (アドレス 0xE403)、EWATTHR (アドレス 0xE404)、FWATTHR (アドレス 0xE405) です。すべての有効電力量レジスタは 32 ビットで、符号付きフォーマットです。ADE7816 は、正電力と負電力を積算します。負の電力は、電圧と電流の間の角度が 90° より大きく、電力がグリッドへ戻されることを表します。ADE7816 は、電力の符号付き積算を提供します。正電力は加算され、負電力は減算されます。図 28 に、有効電力量信号パスの構成を示します。

#### 有効電力量スレッシュホールド

ADE7816 は電力を 2 ステップで積算します(図 28 参照)。最初のステップは、2 個のスレッシュホールド・レジスタ WTHR1 (アドレス 0x43AB) と WTHR0 (アドレス 0x43AC) を使って内部で実行されます。これらのレジスタは、内部スレッシュホールド・レジスタのそれぞれ上位 24 ビットと下位 24 ビットから構成され、外部 xWATTHR レジスタを更新する周波数を制御するときに使われます。WTHR1 レジスタと WTHR0 レジスタは、6 個すべての有効電力量計測に影響を与えます。標準動作の場合、WTHR1 レジスタは 0x2 に、WTHR0 レジスタは 0x0 に、それぞれ設定します。このため、xWATTHR レジスタの更新レートは、フルスケール入力で最大 8 kHz より少し低く設定されます。xWATTHR レジスタで電力量を積算するレートを低くする場合は、WTHR1 レジスタと WTHR0 レジスタを変更することができます。

$$\text{スレッシュホールド} = \frac{0x2000000 \times 8 \text{ kHz}}{\text{Required Update Rate (kHz)}} \quad (2)$$

フルスケール入力での最大出力は 8 kHz であることに注意してください。8 kHz 以上を発生させようとしてスレッシュホールドを調整しないでください。このような調整を行うと、出力周波数が飽和するため、精度が失われます。

積算の 2 番目ステップは、外部レジスタ xWATTHR で行われます。式 2 の推奨値を使うと、フルスケール入力で電力量更新レートは 8 kHz になります(図 28 参照)。

#### 電力量の積算とレジスタのロールオーバー

式 2 に示すように、有効電力量はフルスケール入力で 8 kHz の最大レートで積算されます。32 ビット符号付き xWATTHR レジスタがオーバーフローなしで格納できる最大正値は 0x7FFFFFFF です。フルスケール入力での一般的な積算の場合、積算時間は次式で表されます。

$$\text{時間} = 0x7FFFFFFF \times 125 \mu\text{s} = 74 \text{ hr}, 33 \text{ min}, 55 \text{ sec}$$

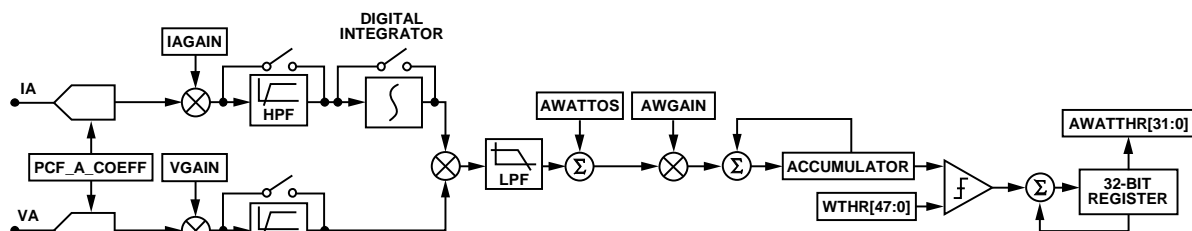


図 28. 有効電力量信号パス

10399-013

有効電力量レジスタ値は、正フルスケール(0x7FFFFFFF)から負フルスケール(0x80000000)へオーバーフローして、有効電力が正の場合値は増加し続けます。逆に、有効電力が負の場合、電力量レジスタは負フルスケール(0x80000000)から正フルスケール(0x7FFFFFFF)へアンダーフローし、値は減少し続けます。AWATTHR レジスタ、BWATTHR レジスタ、または CWATTHR レジスタのビット 30 が変化して、これらのレジスタの 1 つがハーフ・フルになったことを通知すると、STATUS0 レジスタ(アドレス 0xE502)のビット 0 (AEHF1)がセットされます。同様に、DWATTHR レジスタ、EWATTHR レジスタ、または FWATTHR レジスタのビット 30 が変化して、これらのレジスタの 1 つがハーフ・フルになったことを通知すると、STATUS0 レジスタのビット 1 (AEHF2)がセットされます。

LCYCMODE レジスタ(アドレス 0xE702)のビット 6 (RSTREAD)をセットすると、すべてのワット時積算レジスタに対する read-with-reset がイネーブルされます。このビットがセットされると、読出し動作の後にすべての電力量積算レジスタは 0 に設定されます。

## 無効電力量の測定

### 無効電力と無効電力量の定義

無効電力は、電圧または電流のすべての高調波成分が 90°位相シフトしている場合の電圧と電流の積として定義されます。無効電力は、誘導負荷または容量負荷で消費される電力であり、ボルト・アンペア・リアクティブ(var)で表されます。無効電力量は無効電力を時間積分したものです。

$$RP = \frac{1}{nT} \int_0^{nT} RP(t) dt = VI \times \sin(\theta) \quad (3)$$

ここで、  
 Vは rms 電圧。  
 Iは rms 電流。  
 RPは無効すなわち実効電力。  
 Tはライン・サイクル周期。

### 無効電力量レジスタ

ADE7816には6個の無効電力量レジスタがあります。ここでは、無効電力量が各6チャンネルに対して別々に積算されます。これらの6個の無効電力量レジスタは、AVARHR (アドレス0xE406)、BVARHR (アドレス0xE407)、CVARHR (アドレス0xE408)、DVARHR (アドレス0xE409)、EVARHR (アドレス0xE40A)、FVARHR (アドレス0xE40B)です。すべての無効電力量レジスタは32ビットで、符号付きフォーマットです。ADE7816は、正と負の無効電力を積算します。負の無効電力は、電流が電圧より最大180°進んでいることを表します。ADE7816は電力の符号付き積算を提供します。ここでは、正電力は加算され、負電力は

減算されます。

### 無効電力量スレッシュホールド

ADE7816は電力量を2ステップで積算します。最初のステップは、スレッシュホールド・レジスタ VARTH1 (アドレス 0x43AD) と VARTH0 (アドレス 0x43AE)を使って内部で実行されます。これらのレジスタは、内部スレッシュホールド・レジスタのそれぞれ上位 24 ビットと下位 24 ビットから構成され、外部 xVARHR レジスタを更新する周波数を制御するときに使われます。VARTH1 レジスタと VARTH0 レジスタは 6 個すべての無効電力量計測に影響を与えます。標準動作の場合、VARTH1 レジスタは 0x2 に、VARTH0 レジスタは 0x0 に、それぞれ設定します。このため、xVARHR レジスタの更新レートは、フルスケール入力で最大 8 kHz に設定されます。

xVARHR レジスタで電力量を積算するレートを低くする場合は、VARTH1 レジスタと VARTH0 レジスタを次のように変更することができます。

$$\text{スレッシュホールド} = \frac{0x2000000 \times 8 \text{ kHz}}{\text{Required Update Rate (kHz)}} \quad (4)$$

フルスケール入力での最大出力は 8 kHz であることに注意してください。8 kHz 以上を発生させようとしてスレッシュホールドを調整しないでください。このような調整を行うと、出力周波数が飽和するため、精度が失われます。

積算の2番目ステージは、外部レジスタ xVARHR で行われます。式 4 の推奨値を使うと、フルスケール入力での無効電力量更新レートは 8 kHz になります(図 29 参照)。

### 無効電力量の積算とレジスタのロールオーバー

無効電力量はフルスケール入力での 8 kHz の最大レートで積算されます。32ビット符号付き xVARHR レジスタがオーバーフローなしで格納できる最大正値は 0x7FFFFFFF です。フルスケール無効電力量入力での一様な積算の場合、積算時間は次式で表されます。

$$\text{時間} = 0x7FFFFFFF \times 125 \mu\text{s} = 74 \text{ hr}, 33 \text{ min}, 55 \text{ sec}$$

逆に、無効電力が負の場合、電力量レジスタは負フルスケール(0x80000000)から正フルスケール(0x7FFFFFFF)へアンダーフローし、値は減少し続けます。AVARHR レジスタ、BVARHR レジスタ、CVARHR レジスタの内の 1 つのレジスタのビット 30 が変化して、STATUS0 レジスタのビット 2 (REHF1)がセットされて、これらのレジスタの 1 つがハーフ・フルであることを通知します。同様に、DVARHR レジスタ、EVARHR レジスタ、FVARHR レジスタの内の 1 つのレジスタのビット 30 が変化して、STATUS0 レジスタのビット 3 (REHF2)がセットされて、これらのレジスタの 1 つがハーフ・フルであることを通知します。

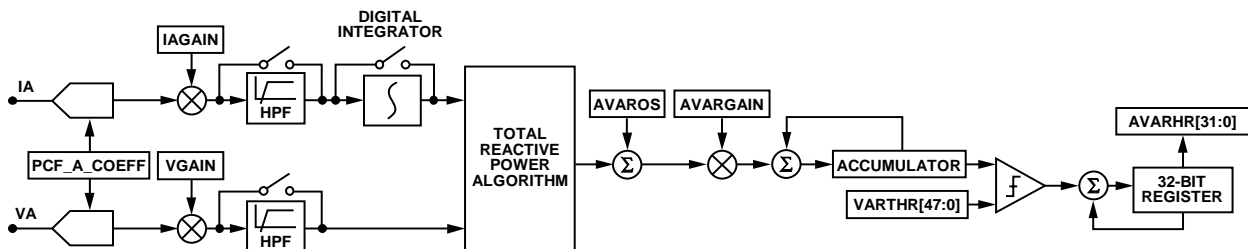


図 29.無効電力量信号パス

10380-014



無効電力量レジスタ値は、正フルスケール(0x7FFFFFFF)から負フルスケール(0x80000000)へオーバーフローして、無効電力が正の場合値は増加し続けます。

LCYCMODE レジスタ(アドレス 0xE702)のビット 6 (RSTREAD) をセットすると、すべての無効電力量積算レジスタに対する read-with-reset がイネーブルされます。このビットがセットされると、読出し動作の後にすべての電力量積算レジスタは 0 に設定されます。

### ライン・サイクル積算モード

有効および無効ライン・サイクル積算モードでは、ADE7816 の電力量積算は有効電力量と無効電力量をハーフ・ライン・サイクルの整数倍で積算できるように電圧チャンネルのゼロ交差に同期化されます。この機能は、6 チャンネルすべての有効電力量積算と無効電力量積算で使用することができます。ハーフ・ライン・サイクルの整数倍で有効電力量と無効電力量を加算する利点は、電力量の正弦波成分が 0 に減少することです。これにより、電力量計算ですべてのリップルがなくなります。積分時間を短くすることができるため、電力量はさらに正確に短い時間で計算されます。ライン・サイクル積算モードは、高速キャリブレーションと指定した時間区間で平均電力を取得する際に使うことができます。図 30 に、有効電力量ライン・サイクル積算モード信号パスを示します。

デフォルトで、有効電力量ライン・サイクル積算モードと無効電力量ライン・サイクル積算モードは共にディスエーブルされていますが、LCYCMODE レジスタでそれぞれビット 0 (LWATT) とビット 1 (LVAR) をセットすることにより、6 チャンネルすべてでイネーブルすることができます。ライン・サイクル積算計測で電圧チャンネル・ゼロ交差カウンタの使用をイネーブルするときは、LCYCMODE レジスタのビット 3 (ZX\_SEL) もセットする必要があります。積算時間は、整数のハーフ・ライン・サイクル

数として LINECYC レジスタ(アドレス 0xE60C)に書込む必要があります。ADE7816 は、最大 65,535 のハーフ・ライン・サイクル数まで電力量を積算することができます。これは、50 Hz 入力では積算周期が約 655 sec に、60 Hz 入力では 546 sec に、それぞれ対応します。

LINECYC レジスタに書込んだハーフ・ライン・サイクル数は、6 チャンネルすべてでの有効ライン・サイクル積算と無効ライン・サイクル積算に使用されます。ライン・サイクル積算周期の終わりで、xWATTHR レジスタと xVARHR レジスタが更新され、STATUS0 レジスタ(アドレス 0xE502)のLENERGYフラグがセットされます。MASK0 レジスタ(アドレス 0xE50A)のLENERGYビットがセットされると、IRQ0 ピンに外部割込みが発生します。LCYCMODE レジスタのLWATTビットとLVARビットがセットされたままであるかぎり、次の積算サイクルが直ちに開始されません。

xWATTHR レジスタと xVARHR レジスタの値が、LENERGY フラグに同期して更新されます。xWATTHR レジスタと xVARHR レジスタは、値が新しい測定値で置き換えられたとき、次のライン・サイクル周期の終わりまで現在値を維持します(図 30 と図 31 参照)。ライン・サイクル積算モードを使うときは、LCYCMODE レジスタのビット 6 (RSTREAD) をロジック 0 に設定する必要があります。これは、このモードで電力量レジスタに read with reset 機能を使用できないためです。

ライン・サイクル積算モードを最初にイネーブルする場合、最初の LENERGY フラグの後の読出しは不正確であるため、無視する必要がありますことに注意してください。この不正確さは、ライン・サイクル積算モードがゼロ交差に同期化されていないことに起因します。このため、最初の測定値はハーフ・ライン・サイクル数の途中で取得されている可能性があります。最初のライン・サイクル積算が完了した後は、すべての後続測定値が正しくなります。

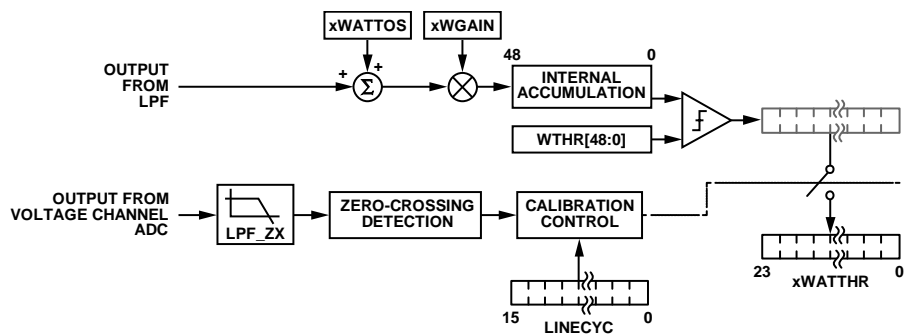


図 30.xWATTHR に対するライン・サイクル積算

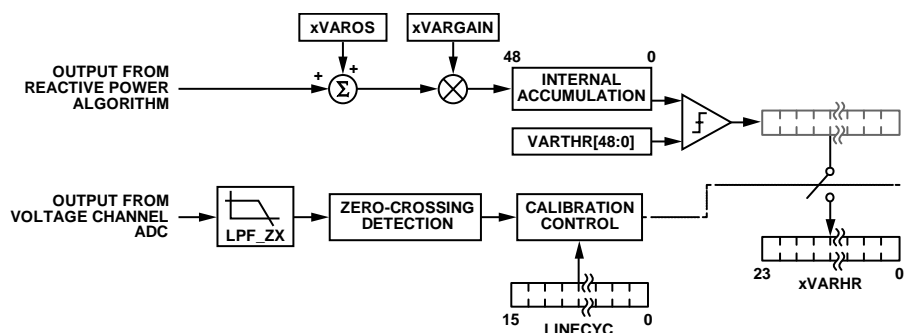


図 31.xVARHR に対するライン・サイクル積算

## 2 乗平均の測定

2 乗平均(rms)は、AC 信号振幅の測定値です。特に、AC 信号の rms 値は、負荷に等価な電力を供給するために必要な DC の大きさとして表されます。ADE7816 は、6 個の電流チャンネルと電圧チャンネルを同時に測定した rms 値を提供します。これらの測定値は、積分器オフでは約 440 ms のセトリング・タイムを、積分器オンでは 500 ms のセトリング・タイムを、それぞれ持ちます。レジスタは、125  $\mu$ s ごとに更新されます。rms 値は、2 kHz 帯域幅で測定されます。

24 ビット符号なし電圧 rms 測定値が VRMS レジスタ(アドレス 0x43C0)に得られます。同様に、6 個の電流チャンネル rms 測定値が、IARMS (アドレス 0x43C1)、IBRMS (アドレス 0x43C2)、ICRMS (アドレス 0x43C3)、IDRMS (アドレス 0x43C4)、IERMS (0x43C5)、IFRMS (アドレス 0x43C6)の各レジスタに得られます。すべてのレジスタは、8 kHz のレートで更新されます。図 32 に、IxRMS 信号パスを示します。同様な信号パスが電圧チャンネルでも使用されて VRMS 測定値が計算されます。

内部フィルタには理論値からのずれがあるため、IxRMS レジスタをゼロ交差信号に同期して読出すことが推奨されます(ゼロ交差の検出のセクション参照)。これは、rms 測定値に存在する  $2\omega$  リップルの影響を除去することにより、読出しごとの変動を安定化することに役立ちます。

0.5 V の規定フルスケール・アナログ入力信号では、正弦波信号の rms 値はライン周波数とは無関係に 4,191,910 (0x3FF6A6)になります。電流チャンネルで積分器をイネーブルすると、フルスケール正弦波信号の等価電流 rms 値は 50 Hz で 4,191,910 (0x3FF6A6)になり、60 Hz では 3,493,258 (0x354D8A)になります。

## 無負荷の検出

ADE7816 は、メータ・クリープを解消する無負荷検出機能を内蔵しています。メータ・クリープは、負荷が存在しないときにメータに積算される余分な電力量と定義されます。ADE7816 はこの状態を警告し、電力量がプログラマブルなスレッシュホールドを下回ると、電力量積算を停止させます。ADE7816 は、有効電力量計測と無効電力量計測に無負荷機能を内蔵しています。このため、真の無負荷状態を検出することができます。

有効電力と無効電力の絶対値がAPNOLOADレジスタ(アドレス 0x43AF)とVARNOLOADレジスタ(アドレス0x43B0)で指定されるスレッシュホールドに等しいかそれ以下の場合、無負荷状態が発生します。

無負荷状態の場合、有効電力量と無効電力量は各電力量レジス

タで積算されなくなります。6個の各チャンネルには別々の無負荷回路があることに注意してください。

## 無負荷スレッシュホールドの設定

無負荷スレッシュホールドを設定するために、APNOLOADレジスタとVARNOLOADレジスタがそれぞれ有効電力と無効電力と比較されます。電流チャンネルと電圧チャンネルでフルスケール入力の場合、最大電力は0x1FF6A6Bになります。したがって、無負荷スレッシュホールドは、次のようにこの最大電力に対して設定する必要があります。

$$APNOLOAD = 0x1FF6A6B \times V\%_{of Full\_Scale} \times I_{(noload)}\%_{of Full\_Scale} \quad (5)$$

例えば、公称電圧をフルスケールの50%に設定し、かつ電流チャンネル無負荷スレッシュホールドをフルスケールの0.01%に設定する場合は、APNOLOADスレッシュホールドは次のようになります。

$$APNOLOAD = 0x1FF6A6B \times 50\% \times 0.01\% = 0x68C \quad (6)$$

VARNOLOADレジスタは通常、APNOLOADレジスタと同じ値に設定されます。APNOLOADレジスタとVARNOLOADレジスタに負値が設定されると、無負荷検出回路がディスエーブルされます。

電流チャンネルA、B、またはCで無負荷状態が発生すると、STATUS1レジスタ(アドレス0xE503)のビット0 (NLOAD1)がセットされます。電流チャンネルD、E、またはFで無負荷状態が発生すると、STATUS1レジスタのビット1 (NLOAD2)がセットされます。CHNOLOAD レジスタ(アドレス 0xE608)のビット [5:0] (NOLOADx)は、無負荷状態が発生したチャンネルを特定するときに使うことができます。NOLOADxが0にクリアされている場合、チャンネルは無負荷状態ではありません。NOLOADxが1にセットされている場合、チャンネルは無負荷状態にあります。

## 無負荷割込み

ADE7816 は、無負荷機能に対応して 2 つの割込みを持っています。1 つ目は電流チャンネルA、B、Cに対応し、MASK1 レジスタ(アドレス 0xE50B)のビット 0 (NLOAD1)をセットすることにより、イネーブルすることができます。2 つ目は電流チャンネルD、E、Fに対応し、MASK1 レジスタのビット 1 (NLOAD2)をセットすることにより、イネーブルすることができます。対応する割込みがイネーブルされると、無負荷状態により外部IRQ1ピンがロー・レベルになります(割込みのセクション参照)。

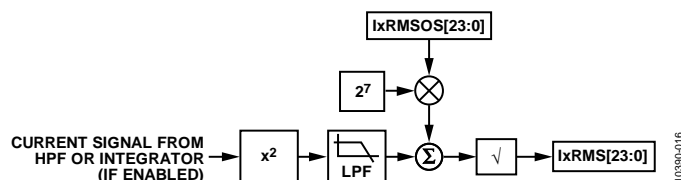


図 32. IxRMS 信号パス

## 電力量のキャリブレーション

### チャンネルの一致

ADE7816 は、6 個の電流チャンネルと電圧チャンネルを一致させるために個別にチャンネル・ゲイン・レジスタを提供します。チャンネルを一致させると、キャリブレーション・プロセスが簡単になります。IAGAIN (アドレス 0x4381)、IBGAIN (アドレス 0x4382)、ICGAIN (アドレス 0x4383)、IDGAIN (アドレス 0x4384)、IEGAIN (アドレス 0x4385)、IFGAIN (アドレス 0x4386) の各レジスタは、それぞれ電流チャンネル A ~ F を調整し、VGAIN レジスタ(アドレス 0x4380)は、電圧チャンネルの調整に使用することができます。IxGAIN レジスタのデフォルト値は 0x00000 であり、これはチャンネル・ゲインなしに対応します。IxGAIN はチャンネル・ゲインを最大±100%まで調整することができます。0xC00000 を対応する IxGAIN レジスタに書込むと、チャンネルは-50%スケールされ、0x400000 を書込むと+50%増加します。式 7 に、IxGAIN レジスタと rms 測定値の関係を示します。

$$I_{rms} = I_{rms0} \times \left( 1 + \frac{IxGAIN}{2^{23}} \right) \quad (7)$$

$$V_{rms} = V_{rms0} \times \left( 1 + \frac{VGAIN}{2^{23}} \right)$$

ここで、

$I_{rms0}$  と  $V_{rms0}$  は、オフセット補正なしでのそれぞれ電流 rms 測定値と電圧 rms 測定値。

IxGAIN レジスタ値を変えると、有効電力量と無効電力量を含むそのチャンネルのすべての計算に影響を受けます。したがって、キャリブレーション手順で最初にチャンネルを一致させることが推奨されます。

### 電力量ゲインのキャリブレーション

有効電力量計測と無効電力量計測は、6個のすべてのチャンネルで個別にキャリブレーションすることができます。この個別キャリブレーションにより、メータごとのゲイン変動を補償することができます。

AWGAIN レジスタ(アドレス 0x4391)は、電流チャンネル A の有効電力ゲイン・キャリブレーションを制御します。BWGAIN (アドレス 0x4393)、CWGAIN (アドレス 0x4395)、DWGAIN (アドレス 0x4397)、EWGAIN (アドレス 0x4399)、FWGAIN (アドレス 0x439B) の各レジスタは、それぞれ電流チャンネル B~F の有効電力ゲイン・キャリブレーションを制御します。xWGAIN レジスタのデフォルト値は 0x00000 であり、これはゲイン・キャリブレーションなしに対応します。xWGAIN レジスタは有効電力を最大±100%まで調整することができます。0xC00000 をワット・ゲイン・レジスタに書込むと、出力が-50%スケールダウンされ、0x400000 を書込むと+50%増加します。式 8 に、ゲイン調整と xWGAIN レジスタとの間の関係を示します。

$$Active Power = Active Power_0 \times \left( \frac{xWGAIN}{0x800000} + 1 \right) \quad (8)$$

無効電力にも同様のゲイン・キャリブレーション・レジスタがあります。電流チャンネル A の無効電力は、AVARGAIN (アドレス 0x439D)レジスタを使ってゲイン・キャリブレーションされます。

BVARGAIN (アドレス 0x439F)、CVARGAIN (アドレス 0x43A1)、DVARGAIN (アドレス 0x43A3)、EVARGAIN (アドレス 0x43A5)、FVARGAIN (アドレス 0x43A7) の各レジスタは、それぞれ電流チャンネル B~F の無効電力ゲイン・キャリブレーションを制御します。xVARGAIN レジスタは、xWGAIN レジスタが有効電力に影響を与えた同じ方法で無効電力に影響を与えます。式 9 に、ゲイン調整と xVARGAIN レジスタとの間の関係を示します。

$$Reactive Power = Reactive Power_0 \times \left( \frac{xVARGAIN}{0x800000} + 1 \right) \quad (9)$$

### 電力量オフセットのキャリブレーション

ADE7816 は、6 個のすべてのチャンネルの有効電力と無効電力に対するオフセット・キャリブレーション・レジスタを内蔵しています。電力計算には、PCB 上のチャンネル間のクロストークまたは ADE7816 の内部のクロストークに起因するオフセットが存在します。オフセット・キャリブレーションにより、これらのオフセットを除去して、低入力レベルでの測定精度を向上させることができます。

AWATTOS (アドレス 0x4392)レジスタを調整して、電流チャンネル A の有効電力オフセットを補正することができます。BWATTOS (アドレス 0x4394)、CWATTOS (アドレス 0x4396)、DWATTOS (アドレス 0x4398)、EWATTOS (アドレス 0x439A)、FWATTOS (アドレス 0x439C) の各レジスタは、それぞれ電流チャンネル B~F の有効電力オフセット・キャリブレーションを制御します。xWATTOS レジスタは、24 ビット符号付き 2 の補数レジスタで、デフォルト値は 0 です。有効電力オフセット・レジスタの 1 LSB は、有効電力乗算器出力の 1 LSB に等価です。フルスケールの電流入力と電圧入力で、最大電力出力は 1FF6A6B = 33,516,139 になります。フルスケールから-80 dB で (有効電力を 10<sup>4</sup> 倍スケールダウン)、xWATTOS レジスタの 1 LSB は 0.0298% になります。式 10 に xWATTOS レジスタと有効電力量測定値の関係を示します。

$$xWATTHR = xWATTHR_0 + \left( \frac{8000}{WTHR} \times xWATTOS \times AccumulationTime(s) \right) \quad (10)$$

無効電力にも同様のオフセット・キャリブレーション・レジスタがあります。電流チャンネル A の無効電力は、AVAROS (アドレス 0x439E)レジスタを使ってオフセット・キャリブレーションされます。BVAROS (アドレス 0x43A0)、CVAROS (アドレス 0x43A2)、DVAROS (アドレス 0x43A4)、EVAROS (アドレス 0x43A6)、FVAROS (アドレス 0x43A8) の各レジスタは、それぞれ電流チャンネル B~F の無効電力ゲイン・キャリブレーションを制御します。xVAROS レジスタは、xWATTOS レジスタが有効電力に影響を与えた同じ方法で無効電力に影響を与えます。式 11 に xVAROS レジスタと無効電力量測定値の関係を示します。

$$xVARHR = xVARHR_0 + \left( \frac{8000}{VARTHR} \times xVAROS \times AccumulationTime(s) \right) \quad (11)$$



## 電力量位相のキャリブレーション

ADE7816は、固有の位相誤差を導入するものなど様々な電流トランスジェネレータで動作するようにデザインされています。電流トランス(CT)には0.1°~0.3°の位相誤差が普通に存在します。これらの位相誤差は各製品ごとに変動するため、正確な電力計測を行うためには補正する必要があります。位相の不一致に対応する誤差は、特に低い力率で目立ちます。ADE7816は、これらの小さな位相誤差を時間進みまたは時間遅れを追加することによりデジタル的にキャリブレーションする方法を提供します。

様々なセンサーを各チャンネルで使用できるため、個別の位相キャリブレーション・レジスタが6個のすべてのチャンネルに内蔵されています。PCF\_A\_COEFF レジスタ(アドレス 0x43B1)を使って電流チャンネルAの位相誤差を補正することができます。PCF\_B\_COEFF (アドレス 0x43B2)、PCF\_C\_COEFF (アドレス 0x43B3)、PCF\_D\_COEFF (アドレス 0x43B4)、PCF\_E\_COEFF (アドレス 0x43B5)、PCF\_F\_COEFF (アドレス 0x43B6)の各レジスタは、それぞれ電流チャンネル B~F の位相キャリブレーションを制御します。すべてのレジスタが24ビット符号なしです。

ADE7816 はすべてのパス・フィルタを使用して、電圧チャンネルを基準とした正確な時間進みと時間遅れを電流チャンネルに加えます。6個の各電流チャンネルに個別にフィルタが内蔵されています。時間遅れまたは進みを調整するときは、これらのフィルタの係数を調整します。式 12、式 13、式 14 に、係数とラジアンで表した位相オフセットの対応を示します。

$$PCF\_x\_COEFF_{FRACTION} = \frac{\sin(\theta + 3\omega) - \sin \omega}{\sin(\theta + 4\omega)} \quad (12)$$

If PCF\_x\_COEFF ≥ 0, then

$$PCF\_x\_COEFF = 2^{23} \times PCF\_x\_COEFF_{FRACTION} \quad (13)$$

If PCF\_x\_COEFF < 0, then

$$PCF\_x\_COEFF = (2^{23} + 23^{28}) \times PCF\_x\_COEFF_{FRACTION} \quad (14)$$

ここで、 $\theta$  は必要とされる電流—電圧間の位相調整。

$$\omega = 2\pi \frac{Linefreq(Hz)}{8000}$$

この計算を簡単にするため、アナログ・デバイスはこの値を計算するスプレッドシート・ファイルを提供します。このスプレッドシートの入手については、最寄りのアナログ・デバイス販売代理店へご連絡ください。

デフォルトでは、PCF\_x\_COEFF レジスタは0に設定されていますが、この設定により0°位相シフトになりません。スタートアップ時に、PCF\_x\_COEFF レジスタを50 Hz システムでは0x400C4A に、60 Hz システムでは0x401235 に、それぞれ設定する必要があります。

## RMS オフセットのキャリブレーション

ADE7816 は、各チャンネルに対して rms オフセット補償レジスタを内蔵しています。各チャンネルのレジスタは、IARMSOS (アドレス 0x438B)、IBRMSOS (アドレス 0x438C)、ICRMSOS (アドレス 0x438D)、IDRMSOS (アドレス 0x438E)、IERMSOS (アドレス 0x438F)、IFRMSOS (アドレス 0x4390)、VRMSOS (アドレス 0x438A)です。これらは24ビット符号付きレジスタであり、電流 rms 計算と電圧 rms 計算でオフセットを除去するときに使うことができます。rms オフセット補償レジスタは、電流信号と電圧信号の2乗に加算された後に平方根がとられます。式 15 に、rms 測定値とオフセット調整との間の関係を示します。

$$I_{rms} = \sqrt{I_{rms0}^2 + 128 \times IxRMSOS} \quad (15)$$

$$V_{rms} = \sqrt{V_{rms0}^2 + 128 \times VRMSOS}$$

ここで、 $I_{rms0}$  と  $V_{rms0}$  は、オフセット補正なしでのそれぞれ電流 rms 測定値と電圧 rms 測定値。

## 電力品質機能

このセクションでは、ADE7816 に内蔵されている電力品質機能について説明します。

### 電流チャンネル・グループの選択

電流チャンネルの電力品質機能を使うときは、モニタするチャンネル・グループを選択する必要があります。COMPMODE レジスタ(アドレス 0xE60E)のビット 14 (CHANNEL\_SEL)を使ってこの選択を行うことができます。電流チャンネル電力品質測定に電流チャンネル A、B、C を選択するときは、CHANNEL\_SEL を 0 (デフォルト)に設定する必要があります。電流チャンネル電力品質測定に電流チャンネル D、E、F を選択するときは、CHANNEL\_SEL を 1 に設定する必要があります。すべてのチャンネルでモニタが必要な場合は、データを取得した後に CHANNEL\_SEL ビットを変更することにより、モニタリングを前後して行う必要があります。各電力品質測定の設定リング・タイムは、各電力品質機能に関するセクションに記載してあります。

### 瞬時波形

ADE7816 は、電流チャンネル波形データと電圧チャンネル波形データに対するアクセスを提供します。この情報を使うと、高調波解析における電流入力と電圧入力の復元を含む瞬時データをさらに詳しく解析できます。これらの測定値は 24 ビット符号付きレジスタ・セットに格納されています。電圧チャンネルには専用レジスタ VWV (アドレス 0xE510)があり、電流チャンネルでは IAWV/IDWV (アドレス 0xE50C)、IBWV/IEWV (アドレス 0xE50D)、ICWV/IFWV (アドレス 0xE50E)の 3 個のレジスタを共用しています。COMPMODE レジスタのビット 14 (CHANNEL\_SEL)を使って電流チャンネル・グループ(A、B、C または D、E、F)を選択する必要があります(電流チャンネル・グループの選択のセクション参照)。

すべての測定値は、8 kHz のレートで更新されます。ADE7816 は割込みステータス・ビット DREADY (STATUS0 レジスタ、アドレス 0xE502 のビット 17)を提供しますが、このビットは 8 kHz のレートでトリガされ、計測を瞬時更新信号レートに同期

化させることができます。

MASK0 レジスタ(アドレス 0xE50A)の DREADY ビット(ビット 17)をセットすることにより、瞬時更新信号も外部ピンで割込みを発生するように設定することができます。0.5 V の規定フルスケール・アナログ入力信号では、電流波形レジスタと電圧波形レジスタの予測測定値は約 $\pm 5,989,256$  (dec)です。

瞬時波形にはセトリング・タイムの増加がないため、CHANNEL\_SEL ビットを変更して、測定対象の電流チャンネル・グループを変更すると、新しい結果は 125  $\mu$ s (8 kHz)以内に得られます。

### ゼロ交差の検出

#### ゼロ交差の検出

ADE7816 は、電圧チャンネルと電流チャンネルにゼロ交差(ZX)検出回路を内蔵しています。ゼロ交差検出を使うと、計測を入力波形の周波数に同期化することができます。

ゼロ交差イベントは、LPFを使って内部でフィルタされます。LPFは、50 Hzシステムと60 Hzシステムのすべての高調波の除去に使用され、電流チャンネルと電圧チャンネルの基本波成分上でゼロ交差イベントを特定する際に役立ちます。デジタル・フィルタは80 Hzに極を持ち、256 kHzでクロック駆動されます。このため、アナログ入力信号とLPF出力の間に位相遅れが発生します。ZX検出の誤差は、50 Hzシステムで0.0703°です(60 Hzシステムでは0.0843°)。LPFの位相遅れ応答により、入出力間で約31.4°すなわち1.74 ms (@ 50 Hz)の時間遅延が発生します。アナログ入力でのゼロ交差と、LPF1の後ろで取得されたZX検出との間の全体遅延は約39.6°すなわち2.2 ms (@ 50 Hz)です。図33に、ゼロ交差信号の検出方法を示します。

ノイズからの保護をさらに強化するため、電圧チャンネル入力信号の振幅をフルスケールの10%以下にすると、ゼロ交差イベントは全く発生しなくなります。電流チャンネルのZX検出回路は、振幅と無関係にすべての入力信号に対して動作します。

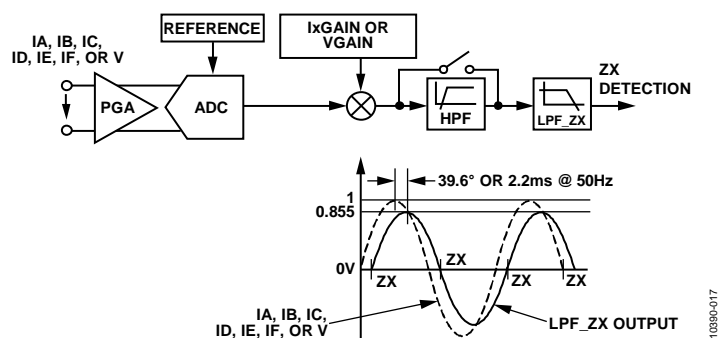


図 33. ゼロ交差の検出

ADE7816 は、4 個のゼロ交差検出回路を内蔵し、1 個は電圧チャンネル専用で、3 個は電流チャンネル用です。COMPmode レジスタ(アドレス 0xE60E)のビット 14 (CHANNEL\_SEL)を使って電流チャンネル・グループ(A、B、CまたはD、E、F)を選択する必要があります(電流チャンネル・グループの選択のセクション参照)。チャンネル・グループ間で切り替えるときは、10 ms (50 Hz)または 8 ms (60 Hz)のセトリング・タイムが必要です。各回路は、STATUS1 レジスタ(アドレス 0xE503)の 1 個のフラグを駆動します。例えば、電圧チャンネルでゼロ交差が発生すると、STATUS1 レジスタのビット 9 (ZXV)がハイ・レベルになります。ゼロ交差イベントが電流チャンネル A で発生し、かつ COMPmode レジスタの CHANNEL\_SEL ビットが 0 に設定されている場合、STATUS1 レジスタのビット 12 (ZXI1)が 1 に設定されます。

### ゼロ交差タイムアウト

各ゼロ交差検出回路には対応するタイムアウト・レジスタがあります。このレジスタには16ビットZXTOUTレジスタ(アドレス 0xE60D)に書込まれた値がロードされ、62.5 μs (16 kHzクロック)ごとに1 LSBだけデクリメントされます。このレジスタは、ゼロ交差が検出されるごとにZXTOUT値にリセットされます。このレジスタのデフォルト値は0xFFFFです。ゼロ交差を検出する前に、タイムアウト・レジスタが0にデクリメントすると、対応するSTATUS1ビットがセットされます。

電圧チャンネルに専用のゼロ交差タイムアウト回路があります。例えば、電圧チャンネルでゼロ交差タイムアウト・イベントが発生すると、STATUS1レジスタのビット3 (ZXTOV)がセットされます。6個の電流チャンネルに対して3個のゼロ交差タイムアウト回路があります。COMPmodeレジスタのCHANNEL\_SELビットを使って電流チャンネル・グループ(A、B、CまたはD、E、F)を選択する必要があります(電流チャンネル・グループの選択のセクション参照)。例えば、ゼロ交差タイムアウト・イベントが電流チャンネルDで発生し、かつCOMPmodeレジスタのCHANNEL\_SELビットが1に設定されている場合、STATUS1レジスタのビット6 (ZXTOI1)が1に設定されます。

ZXTOUTレジスタの分解能は、LSBあたり62.5 μs (16 kHzクロック)です。したがって、割込みの最大タイムアウト周期は4.096 secすなわち $2^{16}/16$  kHzです。

### ピークの検出

ADE7816は、固定ハーフ・ライン・サイクル数内で電流チャンネルと電圧チャンネルで到達した最大絶対値を格納する瞬時ピーク検出機能を内蔵しています。PEAKCYCレジスタ(アドレス 0xE703)は、すべてのピーク計測に使用するハーフ・ライン・サイクル数を格納します。

ピーク検出機能は、電圧チャンネルと3個の電流チャンネルで使用することができます。COMPmodeレジスタのCHANNEL\_SELビットを使って電流チャンネル・グループ(A、B、CまたはD、E、F)を選択する必要があります(電流チャンネル・グループの選択のセクション参照)。電流チャンネル・グループ間で切り替えるときは、セトリング・タイムの増加はありませんが、PEAKCYCレジスタを再書込して、測定値をリセットする必要があります。デフォルトでは、3個すべての電流チャンネルがピーク検出計測に含まれています。1個または2個の電流チャンネルが必要な場合は、MMODEレジスタ(アドレス 0xE700)のビット [4:2] (PEAKSELx)を0に設定して、1つのチャンネルをディスエーブルすることができます。

1個のPEAKSELxビットを常に1に設定して、この機能をイネーブルする必要があることに注意してください。

電流と電圧のピーク検出結果が、2個の32ビット符号なしレジスタIPEAK (アドレス0xE500)とVPEAK (アドレス0xE501)の下位24ビットに格納されます。ピーク検出測定値は、PEAKCYCレジスタで指定されるピーク・サイクルの終わりに更新されます。そのとき、STATUS1レジスタのビット24 (PKV)とビット23 (PKI)がハイ・レベルになって、ピーク・イベントを通知します。ピーク・イベントが発生した電流チャンネルを特定するためには、IPEAKレジスタのビット[26:24] (IPCHANNELx)を讀出す必要があります。

### PEAKCYC レジスタの設定

8ビット符号なしPEAKCYCレジスタは、プログラマブルなピーク検出周期を格納します。ピーク検出周期は、ピーク計測を行うハーフ・ライン・サイクル数です。PEAKCYCレジスタの各LSBは、ライン・サイクル周期の1/2に該当します。PEAKCYCレジスタの最大値は255です。

50 Hzで、最大ピーク・サイクル時間は2.55 secです。

$$\left(\frac{1}{50} \div 2\right) \times 255 = 2.55 \text{ sec}$$

60 Hzで、最大ピーク・サイクル時間は2.125 secです。

$$\left(\frac{1}{60} \div 2\right) \times 255 = 2.125 \text{ sec}$$

### 過電流と過電圧の検出

ADE7816 は、電流波形または電圧波形の絶対値がプログラマブルなスレッシュホールドを超えたか否かを検出する過電流機能と過電圧機能を提供します。この機能は瞬時電圧信号と瞬時電流信号を使います。電圧と電流のチャンネル・スレッシュホールドの設定に使う 2 個のレジスタは、それぞれ OVLVL (アドレス 0xE508)と OILVL (アドレス 0xE507)です。OILVL スレッシュホールド・レジスタは、すべての電流チャンネルに対するスレッシュホールドを指定します。OVLVL レジスタと OILVL レジスタのデフォルト値は、0xFFFFFFFFであり、この値により、この機能がディスエーブルされます。図 34 に、過電圧検出機能の動作を示します。

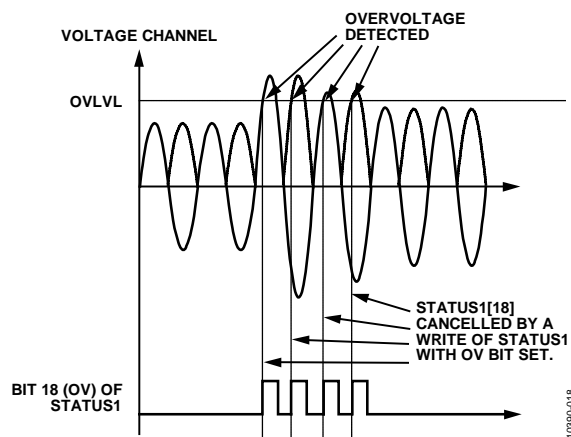


図 34. 過電圧の検出

図 34 に示すように、ADE7816 が過電圧状態を検出すると、STATUS1 レジスタ(アドレス 0xE503)の OV ビット(ビット 18)が 1 に設定されます。過電流検出機能は同様の方法で動作しますが、COMPmode レジスタ(アドレス 0xE60E)のビット 14 (CHANNEL\_SEL)を使って電流チャンネル・グループ(A、B、C または D、E、F)を選択する必要があります(電流チャンネル・グループの選択のセクション参照)。電流チャンネル・グループ間で切り替えるときは、セトリング・タイムの増加はなく、この機能は 8 kHz レートでモニタを続けます。選択された電流チャンネルで過電流状態が検出されると、STATUS1 レジスタの OI ビット(ビット 17)が 1 に設定されます。過電流イベントを発生した電流チャンネルを特定するときは、CHSTATUS レジスタの OICHANNELx ビット(ビット 3、ビット 4、ビット 5)を使います。

### OVLVL レジスタと OILVL レジスタの設定

24ビット符号なしレジスタの過電圧(OVLVL)と過電流(OILVL)の値が電圧チャンネルと電流チャンネルの絶対値と比較されます。これらのレジスタの最大値は、フルスケール入力で5,928,256 (0x5A7540)です。OVLVL レジスタまたは OILVL レジスタがこの値に一致している場合には、過電圧状態または過電流状態は検出されません。これらのレジスタに0x0を書込むと、過電圧状態または過電流状態が連続的に検出されて、対応する割込みは発生したままになります。

### 過電圧割込みと過電流割込み

2つの割込みは、過電圧機能と過電流機能に対応しています。1つ目の割込みは過電圧機能に対応し、MASK1 レジスタ(アドレス 0xE50B)のOVビット(ビット18)をセットすると、イネーブルされます。このビットがセットされると、過電圧状態により外部IRQ1ピンがロー・レベルになります。2つ目の割込みは過電流検出機能に対応しています。MASK1 レジスタのOIビット(ビット17)をセットすると、この割込みがイネーブルされます。このビットがセットされている場合、選択された電流チャンネルで過電流状態が発生すると、外部IRQ1ピンがロー・レベルになります。

### 電力方向の表示

ADE7816 は、有効電力測定値と無効電力測定値の符号表示機能を内蔵しています。符号表示機能を使うと、正電力量と負電力量を区別して、必要に応じて個別に課金することができます。この機能は、誤配線状態の検出にも役立ちます。この機能は同時に3チャンネルで使用することができます。COMPmode レジスタ(アドレス 0xE60E)のビット 14 (CHANNEL\_SEL)を使って電流チャンネル・グループ(A、B、C または D、E、F)を選択する必要があります(電流チャンネル・グループの選択のセクション参照)。

有効電力の極性を表示する符号表示の3ビットは、CHSIGN レジスタ(アドレス 0xE617)のビット 0 (W1SIGN)、ビット 1 (W2SIGN)、ビット 2 (W3SIGN)です。W1SIGN は電流チャンネル A または D の電力方向を、W2SIGN は電流チャンネル B または E の電力方向を、W3SIGN は電流チャンネル C または F の電力方向を、それぞれ表示します。CHSIGN レジスタのその他の3ビット VAR1SIGN (ビット 4)、VAR2SIGN (ビット 5)、VAR3SIGN (ビット 6)も、無効電力の方向を表示します。これらのすべてのビットは、ラッチなしの読み出し専用です。これらのビットがロー・レベルのときは、対応する電力測定値が正であることを意味し、ハイ・レベルのときは対応する電力測定値が負であることを意味します。

符号表示ビットの他に、ADE7816は逆向電力ステータス・ビットと対応する割込みも持っています。このステータス・ビットは、STATUS0 レジスタ(アドレス0xE502)に格納されています。電力の符号が変化すると、逆向電力ビットは1に設定されます。ビット6 (REVAP1)は電流チャンネルAまたはDを、ビット7 (REVAP2)はチャンネルBまたはEを、ビット8 (REVAP3)は電流チャンネルCまたはFを、それぞれモニタします。同様に、ビット10 (REVRP1)、ビット11 (REVRP2)、ビット12 (REVRP3)は、無効電力をモニタします。正→負の変化と負→正の変化により、対応するステータス・ビットがセットされます。各ステータス・ビットは、対応する割込みイネーブル・ビットを持ち、MASK0 レジスタ(アドレス 0xE50A)に配置されています。対応するMASK0ビットがセットされている場合、有効電力量の電力方向が変化すると、外部IRQ0ピンがロー・レベルになります(詳細については、割込みのセクションを参照してください)。

### 角度の測定

ADE7816 は、電流入力と電圧入力との間の時間遅延を測定することができます。6個の電流チャンネルの間で時間を測定するように構成することもできます。ゼロ交差検出回路で特定された負から正への変化を測定のスタートとストップとして使います(図 35 参照)。

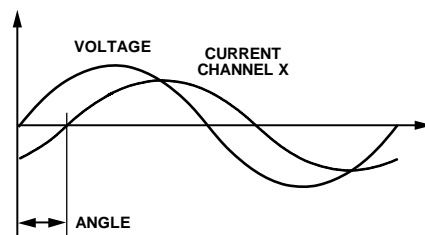


図 35. 電圧—電流間の時間遅延

時間遅延結果を格納する角度レジスタが3個あります。COMPmode レジスタのビット14 (CHANNEL\_SEL)を使って電流チャンネル・グループ(A、B、C または D、E、F)を選択する必要があります(電流チャンネル・グループの選択のセクション参照)。

COMPmode レジスタのビット [10:9] (ANGLESEL)が00b (デフォルト)に設定されると、電流チャンネルと電圧チャンネルの間の時間遅延が測定されます。ANGLE0 レジスタ(アドレス0xE601)は、電圧チャンネルと電流チャンネルAまたはDとの間の遅延を格納します。ANGLE1 レジスタ(アドレス0xE602)は、電圧チャンネルと電流チャンネルBまたはEとの間の遅延を格納します。ANGLE2 レジスタ(アドレス 0xE603)は、電圧チャンネルと電流チャンネルCまたはFとの間の遅延を格納します。電流入力と電圧入力との間の時間遅延は、負荷のバランスをキャラクタライズするときに使うことができます。相電圧と相電流との間の遅延は、式16で示すように力率を計算する際に使うことができます。

$$\cos \theta_x = \cos \left( \text{ANGLE}_x \times \frac{360^\circ \times f_{LINE}}{256 \text{ kHz}} \right) \quad (16)$$

ここで、 $f_{LINE} = 50 \text{ Hz}$  または  $60 \text{ Hz}$ 。



力率を求めるこの方法では、高調波の影響を考慮していません。

COMPmodeレジスタのビット[10:9] (ANGLESEL)を10bに設定すると、電流チャンネル間の時間遅延(角度)が測定されます。表10に、使用可能な電流チャンネル間遅延測定を示します。

表 10.使用可能なチャンネル間測定(ANGLESEL = 10b)

CHANNEL_SEL (COMPmode[14])	Channel-to-Channel Measurements		
	ANGLE0	ANGLE1	ANGLE2
0	A to B	A to C	B to C
1	A to E	D to F	E to F

ANGLE0 (アドレス0xE601)、ANGLE1 (アドレス0xE602)、ANGLE2 (アドレス0xE603)の各レジスタは、16ビット符号なしレジスタであり、1 LSBが3.90625 μs (256 kHzクロック)に対応します。これは、50 Hzシステムで分解能0.0703° (360° × 50 Hz/256 kHz)に、60 Hzシステムでは0.0843° (360° × 60 Hz/256 kHz)に、それぞれ対応します。

## 周期測定

ADE7816は、電圧チャンネルでライン周期測定を提供します。周期レジスタ(アドレス0xE607)は、16ビット符号なしレジスタであり、ライン周期ごとに更新されます。内部フィルタのために、30 ms~40 msのセトリング・タイムがこの測定に必要です。

周期測定の分解能は3.90625 μs/LSB (256 kHzクロック)です。これは、ライン周波数が50 Hzのとき0.0195% (50 Hz/256 kHz)を、ライン周波数が60 Hzのとき0.0234% (60 Hz/256 kHz)を、それぞれ意味します。50 Hz回路の周期レジスタの値は約5120 (256 kHz/50 Hz)で、60 Hz回路の値は約4267 (256 kHz/60 Hz)です。レジスタのこの長さにより、ライン周波数の測定が最小3.9 Hz (256 kHz/2<sup>16</sup>)まで可能になります。ラインが確定して測定が変わらない場合、周期レジスタは±1 LSBで安定です。

ラインの周期と周波数は、周期レジスタを使って次式で計算することができます。

$$T_L = \frac{PERIOD[15:0] + 1}{0x256E3} [\text{sec}] \quad (17)$$

$$f_L = \frac{0x256E3}{PERIOD[15:0] + 1} [\text{Hz}]$$

## 電圧サグの検出

ADE7816は、ライン電圧の絶対値がプログラマブルなスレッシュホールドをプログラマブルなライン・サイクル数間下回ったことを警告するサグ検出機能を内蔵しています。

この機能は、ライン電圧が低下する早期警告信号を提供することができます。電圧サグ機能は、SAGCYC (アドレス0xE704)とSAGLVL (アドレス0xE509)の2個のレジスタから制御されます。これらのレジスタは、それぞれサグ周期とサグ電圧スレッシュホールドを制御します。

サグ検出はデフォルトでディスエーブルされており、非ゼロ値をSAGCYCレジスタとSAGLVLレジスタに書込むことにより、イネーブルすることができます。いずれかのレジスタが0に設定されると、サグ機能がディスエーブルされます。電圧サグ状態が発生すると、STATUS1レジスタ(アドレス0xE503)のサグ・ビット(ビット16)が1に設定されます。

## SAGCYC レジスタの設定

8ビットの符号なしSAGCYCレジスタは、プログラマブルなサグ周期を格納します。サグ周期はハーフ・ライン・サイクル数であり、これより少ないサイクル数では、サグ状態を発生しないで電圧チャンネルを維持する必要があります。SAGCYCレジスタの各LSBは、ライン・サイクル周期の1/2に該当します。SAGCYCレジスタの最大値は255です。

50 Hzで、最大サグ・サイクル時間は2.55 secです。

$$\left(\frac{1}{50} \div 2\right) \times 255 = 2.55 \text{ sec}$$

60 Hzで、最大サグ・サイクル時間は2.125 secです。

$$\left(\frac{1}{60} \div 2\right) \times 255 = 2.125 \text{ sec}$$

この機能をイネーブルした後にSAGCYC値を変更すると、新しいSAGCYC周期が直ちに有効になります。このため、サグ・サイクル周期の組み合わせにより、サグ・イベントを発生させることが可能です。重複を防止するときは、新しいサイクル値がSAGCYCレジスタへ書込まれる前に機能を確実にディスエーブルするため、SAGLVLレジスタを0にリセットする必要があります。

## SAGLVL レジスタの設定

24ビットSAGLVLレジスタ値は、HPF出力の絶対値と比較されます。5,928,256 (0x5A7540)をSAGLVLレジスタへ書込むと、サグ検出レベルがフルスケールに設定されます。このため、サグ・イベントが連続して発生するようになります。0x00または0x01を書込むと、サグ検出レベルを0にするため、サグ・イベントは発生しません。

## 電圧サグ割込み

ADE7816は、電圧サグ検出機能に対応する割込みを持っています。この割込みをイネーブルした場合、電圧サグ・イベントにより外部IRQ1ピンがロー・レベルになります。この割込みはデフォルトでディスエーブルされていますが、MASK1レジスタ(アドレス0xE50B)のサグ・ビット(ビット16)をセットして、イネーブルすることができます(割込みのセクション参照)。

チェックサム

ADE7816 は、重要な所定の設定レジスタが通常動作時に必要な値を確実に維持するようにする 32 ビット・チェックサム・レジスタ(アドレス 0xE51F)を内蔵しています。

この機能に含まれるレジスタは、MASK0、MASK1、COMPmode、ゲイン、CONFIG、MMODE、ACCMODE、LCYCMODE、HSDC\_CFG の各レジスタであり、さらに 4 個の 16 ビット予約済みレジスタと 6 個の 8 ビット予約済み内部レジスタがあります。すべての予約済みレジスタには必ずデフォルト値があります。ADE7816 は、IEEE802.3 規格に準拠してサイクリック冗長性チェック(CRC)を計算します。これらのレジスタは、ジェネレータに基づき最下位ビットから初めて、1 個ずつリニア・フィードバック・シフトレジスタ(LFSR)に導入されます(図 36 参照)。32 ビットの結果がチェックサム・レジスタに書込まれます。パワーアップまたはハードウェア/ソフトウェア・リセット後に、CRC がレジスタのデフォルト値に対して計算されます。チェックサム・レジスタのデフォルト値は、0x33666787 です。

図 37 に、LFSR の動作を示します。MASK0、MASK1、COMPmode、ゲイン、CONFIG、MMODE、ACCMODE、LCYCMODE、HSDC\_CFG の各レジスタと、4 個の 16 ビット予約済みレジスタおよび 6 個の 8 ビット予約済み内部レジスタが、LFSR で使用されるビット[a<sub>255</sub>, a<sub>254</sub>, ..., a<sub>0</sub>]を形成します。ビット a<sub>0</sub> が LFSR に入力される最初の内部レジスタの最下位ビットで、ビット a<sub>255</sub> が LFSR に入力される最後のレジスタである MASK0 レジスタの最上位ビットです。LFSR を決定する式は、

b<sub>i</sub>(0) = 1、ここで、i = 0, 1, 2, ..., 31、CRC を構成するビットの初期状態。ビット b<sub>0</sub> は最下位ビットで、ビット b<sub>31</sub> が最上位ビットです。

g<sub>i</sub> (i = 0, 1, 2, ..., 31)は、IEEE802.3 規格で定義される次の生成多項式の係数。

$$G(x) = x^{32} + x^{26} + x^{23} + x^{22} + x^{16} + x^{12} + x^{11} + x^{10} + x^8 + x^7 + x^5 + x^4 + x^2 + x + 1 \quad (18)$$

$$g_0 = g_1 = g_2 = g_4 = g_5 = g_7 = 1 \\ g_8 = g_{10} = g_{11} = g_{12} = g_{16} = g_{22} = g_{26} = g_{31} = 1 \quad (19)$$

その他のすべての g<sub>i</sub> 係数は 0。

$$FB(j) = a_{j-1} \text{ XOR } b_{31}(j-1) \quad (20)$$

$$b_0(j) = FB(j) \text{ AND } g_0 \quad (21)$$

$$b_i(j) = FB(j) \text{ AND } g_i \text{ XOR } b_{i-1}(j-1), i = 1, 2, 3, \dots, 31 \quad (22)$$

式 20、式 21、式 22 は、j = 1, 2, ..., 256 に対して繰り返す必要があります。チェックサム・レジスタに書込まれる値は、ビット b<sub>i</sub>(256)、i = 0, 1, ..., 31 を含みます。予約済み内部レジスタからのビットが LFSR を通過した後、CRC の値(ステップ j = 48 から取得)は 0x33666787 になります。

チェックサム・レジスタの使用方法には 2 つの方法があります。1 つ目では、式 18 ~ 式 22 を使って CRC を計算し、値をチェックサム・レジスタと比較します。2 つ目では、チェックサム・レジスタを周期的に読み出します。2 つの連続する読み出値が異なる場合、レジスタの 1 つの値が変化した、したがって ADE7816 設定が変化したものと見なすことができます。この場合には、予約済みレジスタを含むすべてのレジスタ値をデフォルトに設定するハードウェア/ソフトウェア・リセットを起動し、次に設定レジスタを再初期化することが推奨されます。

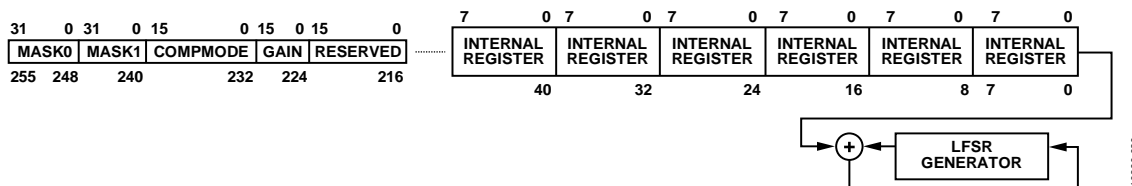


図 36.チェックサム・レジスタの計算

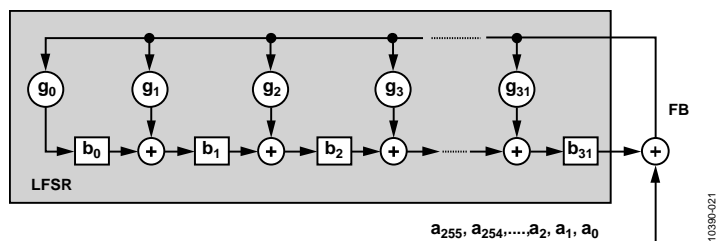


図 37.チェックサム・レジスタの計算で使用する LFSR ジェネレータ

## 出力

このセクションでは、[ADE7816](#)の出力について説明します。

### 割込み

[ADE7816](#)には、 $\overline{\text{IRQ0}}$ と $\overline{\text{IRQ1}}$ の2本の割込みピンがあります。各ピンは、それぞれ32ビット割込みマスク・レジスタMASK0とMASK1(アドレス0xE50Aとアドレス0xE50B)から制御されます。割込みをイネーブルするときは、MASKxレジスタのビットを1に設定します。ディスエーブルするときは、ビットを0クリアします。2個の32ビット・ステータス・レジスタSTATUS0とSTATUS1(それぞれアドレス0xE502とアドレス0xE503)が、割込みに対応しています。[ADE7816](#)で割込みイベントが発生すると、割込みステータス・レジスタの対応するフラグがロジック1に設定されます(表30と表31参照)。割込みマスク・レジスタのこの割込みのマスク・ビットがロジック1の場合、 $\overline{\text{IRQx}}$ ロジック出力がアクティブ・ローになります。割込みステータス・レジスタのフラグ・ビットは、マスク・ビットの状態に無関係にセットされます。割込み原因を調べるときは、マイクロコントローラは対応するSTATUSxレジスタに対して読出しを行い、1に設定されているビットを特定します。ステータス・レジスタのフラグを消去するときは、1に設定されているフラグを持つSTATUSxレジスタに書込みを行います。割込みピンがロー・レベルになった後、ステータス・レジスタを讀出しで、割込み原因を特定します。次に、読み込んだ値に何も変更を加えないでステータス・レジスタに書き戻して、そのステータス・フラグを0にクリアします。 $\overline{\text{IRQx}}$ ピンはステータス・フラグがクリアされるまでロー・レベルを維持します。

デフォルトでは、すべての割込みがディスエーブルされていますが、RSTDONE割込みは例外です。この割込みはマスク(ディスエーブル)不能であるため、MASK1レジスタのビット15(RSTDONE)は無効です。パワーアップまたはハードウェア/ソフトウェア・リセット・プロセスが終了すると、 $\overline{\text{IRQ1}}$ ピンは常にロー・レベルになり、STATUS1レジスタのビット15(RSTDONE)が1に設定されます。RSTDONEステータス・フラグをクリアするときは、ビット15(RSTDONE)を1に設定してSTATUS1レジスタに書込みを行います。

### 通信

#### シリアル・インターフェースの選択

リセット後、HSDCポートは常にディスエーブルされています。パワーアップまたはハードウェア・リセットの後に $\overline{\text{SS/HSA}}$ ピンを使って $\overline{\text{I}^2\text{C}}$ ポートまたはSPIポートを選択してください。 $\overline{\text{SS/HSA}}$ ピンをハイ・レベルにすると、新しいハードウェア・リセットが実行されるまで、[ADE7816](#)は $\overline{\text{I}^2\text{C}}$ ポートを使用します。パワーアップまたはハードウェア・リセットの後に、 $\overline{\text{SS/HSA}}$ ピンをハイ・レベルからロー・レベルへ3回トグルすると、[ADE7816](#)はSPIポートを使用し、新しいハードウェア・リセットが実行されるまでこの使用が続きます。 $\overline{\text{SS/HSA}}$ ピンのこの操作は、2通りの方法で行うことができます。1つ目は、マスター・デバイス(すなわちマイクロコントローラ)の $\overline{\text{SS/HSA}}$ ピンを通常のI/Oピンとして使い、このピンを3回トグルさせます。2つ目のオプションでは、特定の[ADE7816](#)レジスタが割り当てられていないアドレス空間のロケーション(例えば、8ビット書込みを実行できるアドレス0xEBFF)へSPI書込み動作を3回実行します。

これらの書込みにより、 $\overline{\text{SS/HSA}}$ ピンが3回トグルされます。関係する書込プロトコルについては、SPIの書込動作のセクションを参照してください。

シリアル・ポートを選択した後、それをロックする必要があります。 $\overline{\text{I}^2\text{C}}$ がアクティブ・シリアル・ポートの場合、CONFIG2レジスタのビット1(I2C\_LOCK)に1を設定してポートをロックする必要があります。その後、[ADE7816](#)は $\overline{\text{SS/HSA}}$ ピンの余分なトグルを無視するため、SPIポートへの切り替えができなくなります。SPIがアクティブ・シリアル・ポートの場合、CONFIG2レジスタへの任意の書込みでポートがロックされます。この時点から、 $\overline{\text{I}^2\text{C}}$ ポートへの切り替えができなくなります。

[ADE7816](#)の機能は、複数の内蔵レジスタを使ってアクセスすることができます。これらのレジスタ値は、 $\overline{\text{I}^2\text{C}}$ またはSPIインターフェースを使って更新または読出しすることができます。HSDCポートは、電圧チャンネルと電流チャンネルの瞬時値を提供します。

#### $\overline{\text{I}^2\text{C}}$ 互換インターフェース

[ADE7816](#)は、ライセンスを取得した $\overline{\text{I}^2\text{C}}$ インターフェースをフルサポートしています。 $\overline{\text{I}^2\text{C}}$ インターフェースは、フル・ハードウェア・スレーブとして組み込まれています。SDAはデータI/Oピンで、SCLはシリアル・クロックです。これらの2本のピンは、内蔵SPIインターフェースのそれぞれMOSIピンとSCLKピンにより共有されています。このインターフェースでサポートしている最大シリアル・クロック周波数は400kHzです。

データ転送に使用する2本のピン(SDAとSCL)は、マルチマスター・システムで調停を可能にするワイヤーAND接続のフォーマットで構成されています。

$\overline{\text{I}^2\text{C}}$ システムの転送シーケンスは、バスのアイドル時にスタート条件を発生して転送を開始させるマスター・デバイスにより構成されています。マスターは、初期アドレス転送でスレーブ・デバイスのアドレスとデータ転送方向を送信します。スレーブがアクノリッジすると、データ転送が開始されます。転送はマスターがストップ条件を発行するまで続いて、バスがアイドル状態になります。

#### $\overline{\text{I}^2\text{C}}$ の書込み動作

[ADE7816](#)の $\overline{\text{I}^2\text{C}}$ インターフェースを使用する書込み動作は、マスターがスタート条件を発生したときに開始され、[ADE7816](#)のアドレスを表す1バイトと、それに続くターゲット・レジスタの16ビット・アドレスとレジスタ値から構成されています。

アドレス・バイトの上位7ビットは、[ADE7816](#)のアドレスを構成し、値は0111000bです。アドレス・バイトのビット0はread/writeビットです。これは書込み動作であるため、このビットは0にクリアされています。したがって書込み動作の先頭バイトは0x70になります。各バイトを受信した後、[ADE7816](#)はアクノリッジを発生します。レジスタ長は、8、16、または32ビットが可能です。レジスタの最終ビットが送信され、[ADE7816](#)が転送をアクノリッジした後、マスターはストップ条件を発生します。アドレスとレジスタ値はMSBファーストで送信されます。 $\overline{\text{I}^2\text{C}}$ 書込み動作の詳細については、図39を参照してください。

### I<sup>2</sup>C の読み出し動作

ADE7816 の I<sup>2</sup>C インターフェースを使用する読み出し動作は 2 ステージで実行されます。最初のステージでは、レジスタ・アドレスに対するポインタを設定します。次のステージではレジスタ値を読み出します(図 40 参照)。

マスターがスタート条件を発生したとき、最初のステージが開始されます。スタート条件は、ADE7816 のアドレスを表す 1 バイトと、それに続くターゲット・レジスタの 16 ビット・アドレスから構成されています。ADE7816 は各バイトを受信するごとにアクノリッジします。アドレス・バイトは書き込み動作のアドレス・バイトと同じで、値は 0x70 です(詳細については、I<sup>2</sup>C の書き込み動作のセクションを参照してください)。レジスタ・アドレスの最終バイトを送信して、ADE7816 がアクノリッジした後、マスターが新しいスタート条件を発生することにより 2 つ目のステージが、その後ろにアドレス・バイトが続きます。アドレス・バイトの上位 7 ビットは、ADE7816 のアドレスを構成し、値は 0111000b です。アドレス・バイトのビット 0 は read/write ビットです。これは読み出し動作であるため、このビットは 1 にされます。したがって読み出し動作の先頭バイトは 0x71 になります。このバイトを受信した後、ADE7816 はアクノリッジを発生します。次に ADE7816 はレジスタ値を送信し、各 8 ビットを受信した後、マスターはアクノリッジを発生します。すべてのバイトは MSB ファーストで送信されます。レジスタ長は、8、16、または 32 ビットが可能です。レジスタの最終ビットを受信した後、ADE7816 は転送をアクノリッジしませんが、マスターはストップ条件を発生します。

### SPI 互換インターフェース

ADE7816 の SPI は常に通信スレーブであり、4 本のピン(共用ピン) SCLK/SCL、MOSI/SDA、MISO/HSD、SS/HSA で構成されます。SPI 互換インターフェースで使用される機能は、SCLK、MOSI、MISO、SS です。データ転送のシリアル・クロックは SCLK ロジック入力に接続されます。このロジック入力にはシュミット・トリガ入力構造が用意されており、低速の立上がり(または立下がり)エッジでも使用可能です。すべてのデータ転送動作は、シリアル・クロックに同期化されます。データは SCLK の立下がりエッジで ADE7816 の MOSI ロジック入力にシフト入力され、ADE7816 は SCLK の立上がりエッジでサンプルします。データは、SCLK の立下がりエッジで ADE7816 の MISO ロジック出力からシフト出力され、マスター・デバイスは SCLK の立上がりエッジでサンプルすることができます。ワードの最上位ビットを先頭にして、シフト入出力されます。このインターフェースでサポートしている最大シリアル・クロック周波数は 2.5 MHz です。ADE7816 から送信データがないとき MISO は高インピーダンスになります。図 38 に、ADE7816 SPI と SPI インターフェースを内蔵するマスター・デバイスとの間の接続を示します。

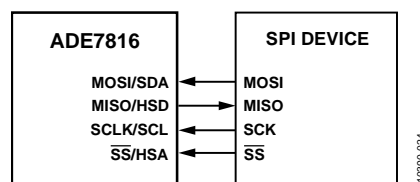


図 38. ADE7816 SPI と SPI デバイスとの接続

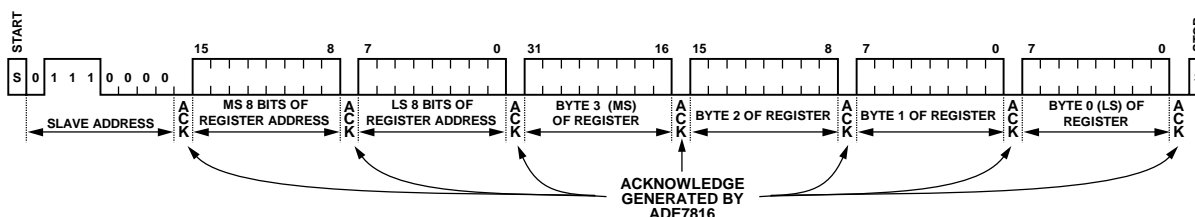


図 39. 32 ビット・レジスタへの I<sup>2</sup>C 書き込み動作

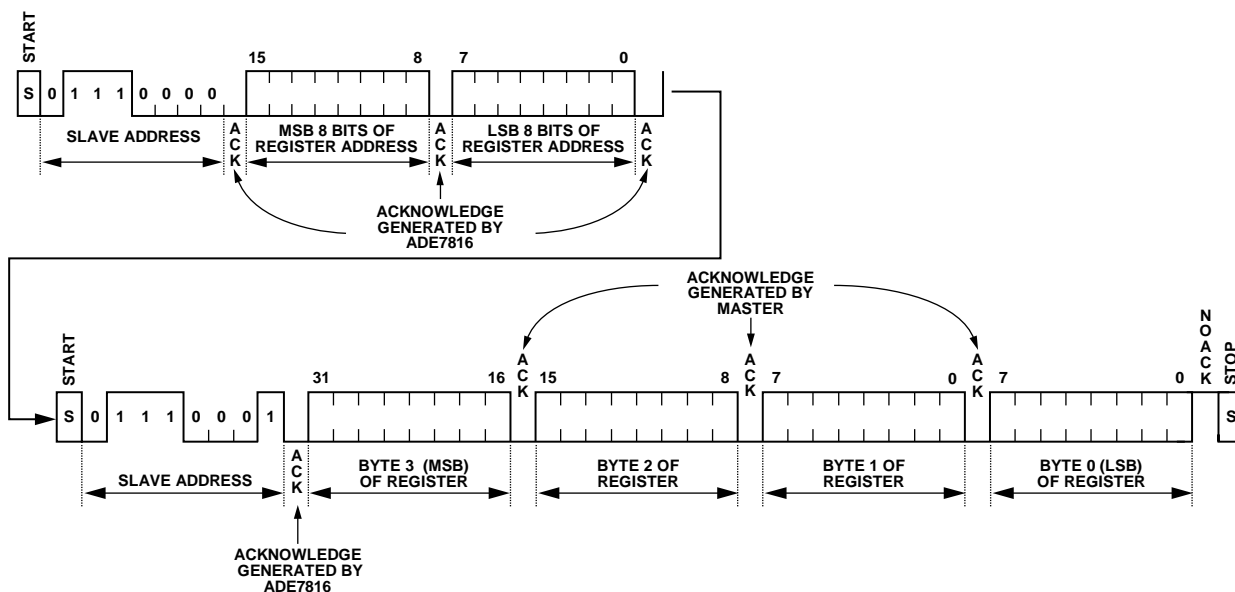


図 40. 32 ビット・レジスタに対する I<sup>2</sup>C 読み出し動作



SSロジック入力、チップ・セレクト入力です。この入力は、複数デバイスでシリアル・バスを共用する際に使います。データ転送動作が完了するまでSS入力をロー・レベルに駆動してください。データ転送動作中にSSをハイ・レベルにすると、転送が中止されて、シリアル・バスは高インピーダンス状態になります。SSロジック入力をロー・レベルに戻すと、新しい転送を開始することができますが、データ転送が完了する前に中止させると、アクセスされたレジスタの状態が保証されないため、レジスタに書込を行うごとに、値をリードバックして確認する必要があります。このプロトコルは、I<sup>2</sup>Cインターフェースで使用されるプロトコルと同じです。

### SPI 読み出し動作

SPIインターフェースを使用する読み出し動作は、マスターがSS/HSAピンをロー・レベルに設定したときに開始され、MOSIライン上にADE7816のアドレスを表す1バイトを送信します。マスターはMOSIライン上にデータを設定し、SCLKの最初のハイ・レベルからロー・レベルへの変化で開始されます。ADE7816のSPIは、SCLKのロー・レベルからハイ・レベルへの変化でデータをサンプルします。アドレス・バイトの上位7ビットは任意の値が可能ですが、一般的なプログラミング手法として、0111000b (I<sup>2</sup>Cプロトコルで使用される7ビット)と異なる値を採用します。アドレス・バイトのビット0 (read/write)は、読み出し動作に対して1に設定する必要があります。次に、マスターは読み出し対象レジスタの16ビット・アドレスを送信します。ADE7816がSCLKのロー・レベルからハイ・レベルへの変化で、

レジスタの最終アドレス・ビットを受信した後、SCLKの次のハイ・レベルからロー・レベルへの変化でMISOラインへ値の送信を開始します。このため、マスターはSCLKのロー・レベルからハイ・レベルへの変化でデータをサンプルすることができます。マスターが最終ビットを受信した後、SSラインとSCLKラインをハイ・レベルにして、通信を終了させます。データラインMOSIとMISOは、高インピーダンス状態になります。

### SPI 書き込み動作

SPIインターフェースを使用する書き込み動作は、マスターがSS/HSAピンをロー・レベルに設定したときに開始され、MOSIライン上にADE7816のアドレスを表す1バイトを送信します。マスターはMOSIライン上にデータを設定し、SCLKの最初のハイ・レベルからロー・レベルへの変化で開始されます。SPIは、SCLKのロー・レベルからハイ・レベルへの変化でデータをサンプルします。アドレス・バイトの上位7ビットは任意の値が可能ですが、一般的なプログラミング手法として、0111000b (I<sup>2</sup>Cプロトコルで使用される7ビット)と異なる値を採用します。アドレス・バイトのビット0 (read/write)は、書き込み動作に対して0に設定する必要があります。次に、マスターは書込対象レジスタの16ビット・アドレスと、そのレジスタの32ビット、16ビット、または8ビットの値をSCLKサイクルの欠落なしで送信します。最終ビットを送信した後、マスターはSCLKサイクルの終わりにSSラインとSCLKラインをハイ・レベルに設定して通信を終了させます。データラインMOSIとMISOは、高インピーダンス状態になります(図42参照)。

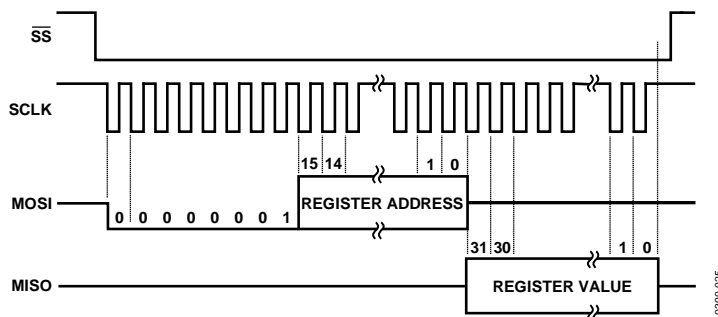


図 41. 32 ビット・レジスタに対する SPI 読み出し動作

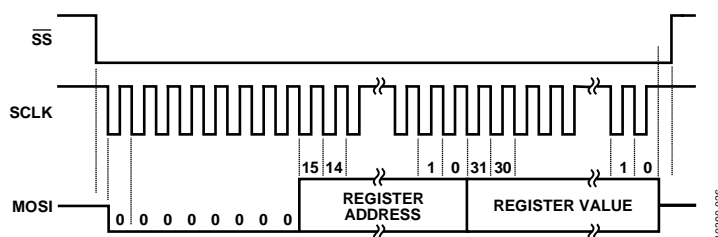


図 42. 32 ビット・レジスタに対する SPI 書き込み動作

## HSDC インターフェース

デフォルトで、高速データ・キャプチャ(HSDC)インターフェースはディセーブルされています。このインターフェースは、ADE7816 が I<sup>2</sup>C インターフェースに設定されている場合にのみ使用することができます。ADE7816 の SPI インターフェースは、HSDC ポートと同時に使用することはできません。

CONFIG レジスタ(アドレス 0xE618)のビット 6 (HSDCEN)が 1 に設定されると HSDC が起動されます。HSDCEN ビットが 0 (デフォルト値)にクリアされると、HSDC インターフェースがディセーブルされます。SPI の使用時に HSDCEN ビットに 1 を設定しても、無視されます。HSDC ポートは、最大 4 個の 32 ビット・ワードを外部デバイス(通常マイクロプロセッサまたは DSP)へ送信するためのインターフェースです。各ワードは、電流と電圧の瞬時値を表します。送信されるレジスタは、IAWV/IDWV、IBWV/IEWV、ICWV/IFWV、VWV です。これら全てのレジスタは、32 ビットに符号拡張された 24 ビット・レジスタです。

HSDC ポートは、SPI または同様のインターフェースにインターフェースすることができます。HSDC は常に通信マスターであり、HSA、HSD、HSCLK の 3 本のピンで構成されています。HSA はセレクト信号です。この信号はワードの送信中アクティブ・ローまたはハイを維持し、通常、スレーブのセレクト・ピンに接続されます。HSD はデータをスレーブへ送信し、通常、スレーブのデータ入力ピンに接続されます。HSCLK は、ADE7816 が発生するシリアル・クロック・ラインであり、通常スレーブのシリアル・クロック入力に接続されます。図 43 に、ADE7816 HSDC と SPI インターフェースを内蔵するスレーブ・デバイスとの間の接続を示します。

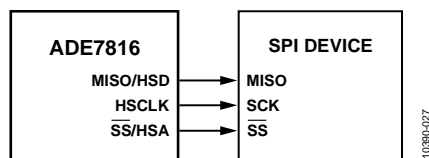


図 43. ADE7816 HSDC と SPI との接続

HSDC通信はHSDC\_CFGレジスタ(アドレス 0xE706)により制御されます(表 28 参照)。HSDC\_CFGレジスタに所望の値を設定した後、CONFIGレジスタのビット 6 (HSDCEN)を使ってポートをイネーブルすることが推奨されます。この方法では、HSDCポートに属する種々のピンの状態が所望のHSDC動作と矛盾するレベルになることはありません。ハードウェア・リセットまたはパワーアップ後に、MISO/HSDピンとSS/HSAピンがハイ・レベルに設定されます。

HSDC\_CFG レジスタのビット 0 (HCLK)が、HSDC 通信のシリアル・クロック周波数を決定します。HCLK に 0 (デフォルト値)を設定すると、クロック周波数は 8 MHz になります。HCLK に 1 を設定すると、クロック周波数は 4 MHz になります。データの各ビットは、HSCLK のハイ・レベルからロー・レベルへの各変化で送信されます。HSDC からのデータを受信するスレーブ・デバイスは、HSCLK のロー・レベルからハイ・レベルへの各変化で HSD ラインをサンプルします。

ワードは、32 ビット・パッケージまたは 8 ビット・パッケージとして送信することができます。HSDC\_CFG レジスタのビット 1 (HSIZE)が 0 (デフォルト値)のとき、ワードは 32 ビット・パッケージとして送信されます。ビット HSIZE が 1 のとき、各レジスタは 8 ビット・パッケージとして送信されます。HSDC インターフェースは、ワードを MSB ファーストで送信します。

ビット 2 (HGAP)を 1 に設定すると、パッケージ間に HSCLK で 7 サイクル分のギャップが挿入されます。HGAP ビットを 0 (デフォルト値)にクリアすると、パッケージ間にギャップが挿入されないため通信時間が短くなります。この場合、HSIZE は通信に影響を与えることなく、データビットは HSCLK のハイ・レベルからロー・レベルへの各変化で HSD ラインへ出力されます。

正常動作のためには、ビット[4:3] (HXFER[1:0])に値 01b を設定する必要があります。電流と電圧の瞬時値を表すワードは、IAWV/IDWV、VWV、IBWV/IEWV、VWV、ICWV/IFWV、VWV 順で送信され、その後ろに全ビット 0 の 32 ビット・ワードが 1 個続きます。電圧波形は 3 回送信されることに注意してください。COMPmode レジスタ(アドレス 0xE60E)のビット 14 (CHANNEL\_SEL)を使って、送信する電流チャンネルのグループを選択することができます(電流チャンネル・グループの選択のセクション参照)。

HSDC\_CFGレジスタのビット 5 (HSAPOL)は、通信時のSS/HSAピンのHSA機能の極性を指定します。HSAPOL=0 (デフォルト値)のとき、通信時にHSAはアクティブ・ローになります。これは、非通信時にHSAはハイ・レベルを維持することを意味します。通信が開始すると、HSAがロー・レベルになり通信が終わるまでロー・レベルが続きます。その後ハイ・レベルに戻ります。HSAPOL=1 のとき、SS/HSAピンのHSA機能は通信中アクティブ・ハイになります。これは、非通信時にHSAはロー・レベルを維持することを意味します。通信が開始すると、HSAがハイ・レベルになり通信が終わるまでハイ・レベルが続き、その後ロー・レベルに戻ります。

HSDC\_CFG レジスタのビット[7:6]は予約済みです。これらのビットに書込まれる値は、HSDC 動作に影響を与えることはありません。

図 44 に、HGAP = 0、HXFER[1:0] = 01、HSAPOL = 0 のときの HSDC 転送プロトコルを示します。HSDC インターフェースはデータビットを HSCLK のハイ・レベルからロー・レベルへの各変化で HSD ラインに出力し、ビット HSIZE の値には無関係であることに注意してください。

図 45 に、HSIZE = 0、HGAP = 1、HXFER[1:0] = 01、HSAPOL = 0 のときの HSDC 転送プロトコルを示します。HSDC インターフェースは HSCLK で 7 サイクル分のギャップを 32 ビット・ワード間に挿入することに注意してください。

図 46 に、HSIZE = 1、HGAP = 1、HXFER[1:0] = 01、HSAPOL = 0 のときの HSDC 転送プロトコルを示します。HSDC インターフェースは HSCLK で 7 サイクル分のギャップを 8 ビット・ワード間に挿入することに注意してください。

HSDC\_CFG レジスタの説明と HCLK、HSIZE、HGAP、HXFER[1:0]、HSAPOL の各ビットの説明については、表 28 を参照してください。

表 11 に、すべての HSDC\_CFG レジスタ・セット値に対する HSDC データ転送の実行時間を示します。

表 11. 様々な HSDC 設定に対する通信時間

HXFER[1:0]	HGAP	HSIZE <sup>1</sup>	HCLK	Communication Time (μs)
01	0	N/A	0	28
01	0	N/A	1	56
01	1	0	0	33.25
01	1	0	1	66.5
01	1	1	0	51.625
01	1	1	1	103.25

<sup>1</sup> N/A は該当なし。

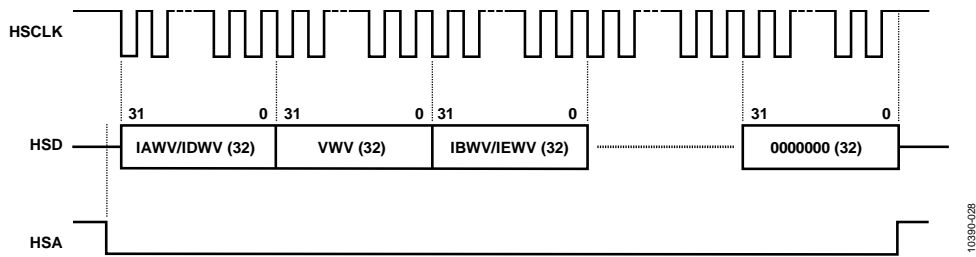


図 44. HGAP = 0、HXFER[1:0] = 01、HSAPOL = 0 のときの HSDC 通信、HSIZE は無関係

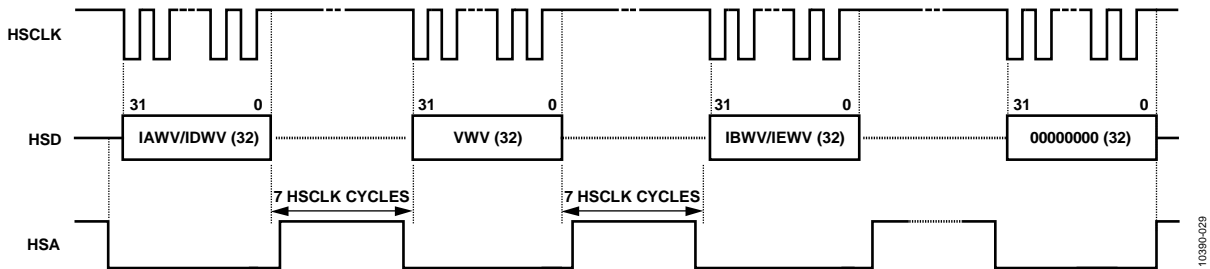


図 45. HSIZE = 0、HGAP = 1、HXFER[1:0] = 01、HSAPOL = 0 のときの HSDC 通信

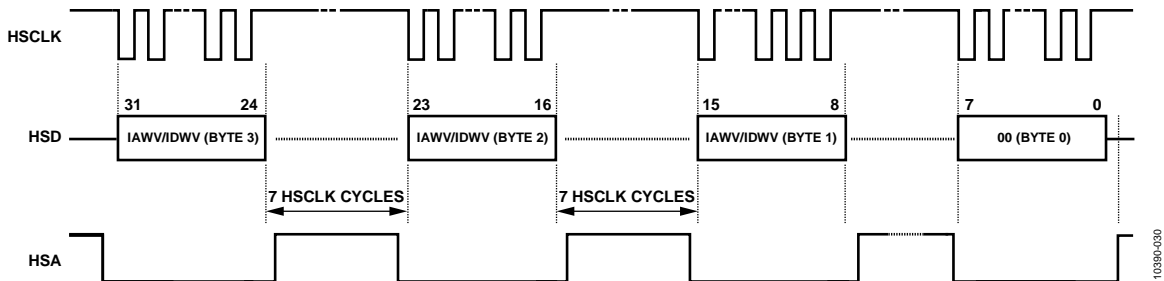


図 46. HSIZE = 1、HGAP = 1、HXFER[1:0] = 01、HSAPOL = 0 のときの HSDC 通信

## レジスタ

### レジスタ保護機能

データ・メモリ(アドレス 0x4380～アドレス 0x43BE)に格納されているデータのインテグリティを保護するため、書き込み保護メカニズムがあります。デフォルトではこの保護機能がディスエーブルされているため、アドレス 0x4380～0x43BE に配置されているレジスタは制約なく書き込むことができます。保護機能をイネーブルすると、これらのレジスタに対する書き込みはできなくなります。レジスタは常に制約なしで読出し可能であり、書き込み保護状態とは無関係です。

保護機能をイネーブルするときは、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込み、続いてアドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x80 を書き込みます。

書き込み保護機能をイネーブルした後に DSP をスタートさせることが推奨されます。この後にレジスタを変更する場合は、保護機能をディスエーブルして値を変更した後に、保護機能を再度イネーブルします。これらのレジスタを変更するために DSP を停止させる必要はありません。

保護機能をディスエーブルするときは、アドレス 0xE7FE にある内部 8 ビット・レジスタに 0xAD を書き込み、続いてアドレス 0xE7E3 にある内部 8 ビット・レジスタに 0x00 を書き込みます。

### レジスタのフォーマット

ADE7816 は、8 ビット、16 ビット、32 ビットの符号付きおよび符号なしレジスタを内蔵しています。すべての符号付きレジスタは 2 の補数フォーマットです。幾つかの内部測定値は 24 ビット長で、通信の前に 32 ビットに拡張されます。この拡張は、符号拡張(SE)、ゼロ詰め(ZP)、ゼロ詰めと符号拡張(ZPSE)の 3 つの方法で行われます。符号拡張を使う場合、通信の前に 2 の補数符号付き値の符号ビット(ビット 23)が上位バイトへ複製されます。ゼロ詰めは、送信の前に上位バイトに 0 を書き込むことにより実現されます。このフォーマットは、符号なし値に対してのみ使われます。ゼロ詰めと符号拡張フォーマットを図 47 に示します。上位ビットに 0 と符号拡張ビット[27:24]を詰めています。

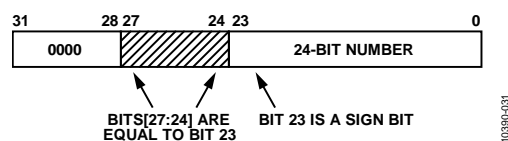


図 47.ZPSE 通信フォーマット

各レジスタの通信フォーマットをレジスタ・マップのセクションに定めます(表 12～表 15 参照)。

## レジスタ・マップ

表 12. 設定レジスタと電力品質のレジスタ

Address	Register Name	R/W <sup>1</sup>	Bit Length	Bit Length During Communication <sup>2</sup>	Type <sup>3</sup>	Default Value	Description
0x4380	VGAIN	R/W	24	32 ZPSE	S	0x000000	Voltage gain adjustment.
0x4381	IAGAIN	R/W	24	32 ZPSE	S	0x000000	Current Channel A current gain adjustment.
0x4382	IBGAIN	R/W	24	32 ZPSE	S	0x000000	Current Channel B current gain adjustment.
0x4383	ICGAIN	R/W	24	32 ZPSE	S	0x000000	Current Channel C current gain adjustment.
0x4384	IDGAIN	R/W	24	32 ZPSE	S	0x000000	Current Channel D current gain adjustment.
0x4385	IEGAIN	R/W	24	32 ZPSE	S	0x000000	Current Channel E current gain adjustment.
0x4386	IFGAIN	R/W	24	32 ZPSE	S	0x000000	Current Channel F current gain adjustment.
0x4387	Reserved	R/W	24	32 ZPSE	S	0x000000	This register should be ignored.
0x4388	DICOEFF	R/W	24	32 ZPSE	S	0x000000	Register used in the digital integrator algorithm. When the integrator is enabled, this register should be set to 0xFFFF8000.
0x4389	HPFDIS	R/W	24	32 ZPSE	S	0x000000	Disables the high-pass filter for all channels.
0x438A	VRMSOS	R/W	24	32 ZPSE	S	0x000000	Voltage rms offset.
0x438B	IARMSOS	R/W	24	32 ZPSE	S	0x000000	Current Channel A current rms offset.
0x438C	IBRMSOS	R/W	24	32 ZPSE	S	0x000000	Current Channel B current rms offset.
0x438D	ICRMSOS	R/W	24	32 ZPSE	S	0x000000	Current Channel C current rms offset.
0x438E	IDRMSOS	R/W	24	32 ZPSE	S	0x000000	Current Channel D current rms offset.
0x438F	IERMSOS	R/W	24	32 ZPSE	S	0x000000	Current Channel E current rms offset.
0x4390	IFRMSOS	R/W	24	32 ZPSE	S	0x000000	Current Channel F current rms offset.
0x4391	AWGAIN	R/W	24	32 ZPSE	S	0x000000	Channel A active power gain adjust.
0x4392	AWATTOS	R/W	24	32 ZPSE	S	0x000000	Channel A active power offset adjust.
0x4393	BWGAIN	R/W	24	32 ZPSE	S	0x000000	Channel B active power gain adjust.
0x4394	BWATTOS	R/W	24	32 ZPSE	S	0x000000	Channel B active power offset adjust.
0x4395	CWGAIN	R/W	24	32 ZPSE	S	0x000000	Channel C active power gain adjust.
0x4396	CWATTOS	R/W	24	32 ZPSE	S	0x000000	Channel C active power offset adjust.
0x4397	DWGAIN	R/W	24	32 ZPSE	S	0x000000	Channel D active power gain adjust.
0x4398	DWATTOS	R/W	24	32 ZPSE	S	0x000000	Channel D active power offset adjust.
0x4399	EWGAIN	R/W	24	32 ZPSE	S	0x000000	Channel E active power gain adjust.
0x439A	EWATTOS	R/W	24	32 ZPSE	S	0x000000	Channel E active power offset adjust.
0x439B	FWGAIN	R/W	24	32 ZPSE	S	0x000000	Channel F active power gain adjust.
0x439C	FWATTOS	R/W	24	32 ZPSE	S	0x000000	Channel F active power offset adjust.
0x439D	AVARGAIN	R/W	24	32 ZPSE	S	0x000000	Channel A reactive power gain adjust.
0x439E	AVAROS	R/W	24	32 ZPSE	S	0x000000	Channel A reactive power offset adjust.
0x439F	BVARGAIN	R/W	24	32 ZPSE	S	0x000000	Channel B reactive power gain adjust.
0x43A0	BVAROS	R/W	24	32 ZPSE	S	0x000000	Channel B reactive power offset adjust.
0x43A1	CVARGAIN	R/W	24	32 ZPSE	S	0x000000	Channel C reactive power gain adjust.
0x43A2	CVAROS	R/W	24	32 ZPSE	S	0x000000	Channel C reactive power offset adjust.
0x43A3	DVARGAIN	R/W	24	32 ZPSE	S	0x000000	Channel D reactive power gain adjust.
0x43A4	DVAROS	R/W	24	32 ZPSE	S	0x000000	Channel D reactive power offset adjust.
0x43A5	EVARGAIN	R/W	24	32 ZPSE	S	0x000000	Channel E reactive power gain adjust.
0x43A6	EVAROS	R/W	24	32 ZPSE	S	0x000000	Channel E reactive power offset adjust.
0x43A7	FVARGAIN	R/W	24	32 ZPSE	S	0x000000	Channel F reactive power gain adjust.
0x43A8	FVAROS	R/W	24	32 ZPSE	S	0x000000	Channel F reactive power offset adjust.
0x43A9	Reserved						This register should be ignored.
0x43AA	Reserved						This register should be ignored.
0x43AB	WTHR1	R/W	24	32 ZP	U	0x000000	Most significant 24 bits of the WTHR[47:0] threshold.
0x43AC	WTHR0	R/W	24	32 ZP	U	0x000000	Least significant 24 bits of the WTHR[47:0] threshold.
0x43AD	VARTHR1	R/W	24	32 ZP	U	0x000000	Most significant 24 bits of the VARTHR[47:0] threshold.
0x43AE	VARTHR0	R/W	24	32 ZP	U	0x000000	Least significant 24 bits of the VARTHR[47:0] threshold.
0x43AF	APNOLOAD	RW	24	32 ZP	U	0x000000	No load threshold in the active power datapath.

Address	Register Name	R/W <sup>1</sup>	Bit Length	Bit Length During Communication <sup>2</sup>	Type <sup>3</sup>	Default Value	Description
0x43B0	VARNLOAD	R/W	24	32 ZPSE	S	0x000000	No load threshold in the reactive power datapath.
0x43B1	PCF_A_COEFF	R/W	24	32 ZPSE	U	0x000000	Phase calibration coefficient for Channel A. Set to 0x400C4A for a 50 Hz system and 0x401235 for a 60 Hz system.
0x43B2	PCF_B_COEFF	R/W	24	32 ZPSE	U	0x000000	Phase calibration coefficient for Channel B. Set to 0x400C4A for a 50 Hz system and 0x401235 for a 60 Hz system.
0x43B3	PCF_C_COEFF	R/W	24	32 ZPSE	U	0x000000	Phase calibration coefficient for Channel C. Set to 0x400C4A for a 50 Hz system and 0x401235 for a 60 Hz system.
0x43B4	PCF_D_COEFF	R/W	24	32 ZPSE	U	0x000000	Phase calibration coefficient for Channel D. Set to 0x400C4A for a 50 Hz system and 0x401235 for a 60 Hz system.
0x43B5	PCF_E_COEFF	R/W	24	32 ZPSE	U	0x000000	Phase calibration coefficient for Channel E. Set to 0x400C4A for a 50 Hz system and 0x401235 for a 60 Hz system.
0x43B6	PCF_F_COEFF	R/W	24	32 ZPSE	U	0x000000	Phase calibration coefficient for Channel F. Set to 0x400C4A for a 50 Hz system and 0x401235 for a 60 Hz system.
0x43B7 to 0x43BF	Reserved	N/A	N/A	N/A	N/A	0x000000	These registers should be ignored.
0x43C0	VRMS	R	24	32 ZP	S	N/A	Voltage rms value.
0x43C1	IARMS	R	24	32 ZP	S	N/A	Current Channel A current rms value.
0x43C2	IBRMS	R	24	32 ZP	S	N/A	Current Channel B current rms value.
0x43C3	ICRMS	R	24	32 ZP	S	N/A	Current Channel C current rms value.
0x43C4	IDRMS	R	24	32 ZP	S	N/A	Current Channel D current rms value.
0x43C5	IERMS	R	24	32 ZP	S	N/A	Current Channel E current rms value.
0x43C6	IFRMS	R	24	32 ZP	S	N/A	Current Channel F current rms value.
0x43C7 to 0x43FF	Reserved						These registers should be ignored.

<sup>1</sup> R は読み出し、W は書き込み。

<sup>2</sup> 詳細については、レジスタ・フォーマットのセクションを参照してください。

<sup>3</sup> U は符号なしレジスタで、S は符号付きレジスタ (2 の補数フォーマット)。

表 13. ラン・レジスタ

Address	Register Name	R/W <sup>1</sup>	Bit Length	Bit Length During Communication	Type <sup>2</sup>	Default Value	Description
0xE228	Run	R/W	16	16	U	0x0000	This register starts and stops the DSP.

<sup>1</sup> R は読み出し、W は書き込み。

<sup>2</sup> U は符号なしレジスタです。

表 14. 課金レジスタ

Address	Register Name	R/W <sup>1</sup>	Bit Length	Bit Length During Communication	Type <sup>2</sup>	Default Value	Description
0xE400	AWATTHR	R	32	32	S	0x00000000	Channel A active energy accumulation.
0xE401	BWATTHR	R	32	32	S	0x00000000	Channel B active energy accumulation.
0xE402	CWATTHR	R	32	32	S	0x00000000	Channel C active energy accumulation.
0xE403	DWATTHR	R	32	32	S	0x00000000	Channel D active energy accumulation.
0xE404	EWATTHR	R	32	32	S	0x00000000	Channel E active energy accumulation.
0xE405	FWATTHR	R	32	32	S	0x00000000	Channel F active energy accumulation.
0xE406	AVARHR	R	32	32	S	0x00000000	Channel A reactive energy accumulation.
0xE407	BVARHR	R	32	32	S	0x00000000	Channel B reactive energy accumulation.
0xE408	CVARHR	R	32	32	S	0x00000000	Channel C reactive energy accumulation.
0xE409	DVARHR	R	32	32	S	0x00000000	Channel D reactive energy accumulation.
0xE40A	EVARHR	R	32	32	S	0x00000000	Channel E reactive energy accumulation.
0xE40B	FVARHR	R	32	32	S	0x00000000	Channel F reactive energy accumulation.

<sup>1</sup> R は読出し、W は書込。

<sup>2</sup> S は符号付きレジスタで 2 の補数フォーマットです。

表 15. 設定レジスタと電力品質レジスタ

Address	Register Name	R/W <sup>1</sup>	Bit Length	Bit Length During Communication <sup>2</sup>	Type <sup>3</sup>	Default Value <sup>4</sup>	Description
0xE500	IPEAK	R	32	32	U	N/A	Current peak register.
0xE501	VPEAK	R	32	32	U	N/A	Voltage peak register.
0xE502	STATUS0	R/W	32	32	U	N/A	Interrupt Status Register 0.
0xE503	STATUS1	R/W	32	32	U	N/A	Interrupt Status Register 1.
0xE504	Reserved	R	20	32 ZP	U	N/A	This register should be ignored.
0xE505	Reserved	R	20	32 ZP	U	N/A	This register should be ignored.
0xE506	Reserved	R	20	32 ZP	U	N/A	This register should be ignored.
0xE507	OILVL	R/W	24	32 ZP	U	0xFFFFFFFF	Overcurrent threshold.
0xE508	OVLVL	R/W	24	32 ZP	U	0xFFFFFFFF	Overvoltage threshold.
0xE509	SAGLVL	R/W	24	32 ZP	U	0x00000000	Voltage sag level threshold.
0xE50A	MASK0	R/W	32	32	U	0x00000000	Interrupt Enable Register 0.
0xE50B	MASK1	R/W	32	32	U	0x00000000	Interrupt Enable Register 1.
0xE50C	IAWV/IDWV	R	24	32 SE	S	N/A	Instantaneous Current Channel A and Instantaneous Current Channel D.
0xE50D	IBWV/IEWV	R	24	32 SE	S	N/A	Instantaneous Current Channel B and Instantaneous Current Channel E.
0xE50E	ICWV/IFWV	R	24	32 SE	S	N/A	Instantaneous Current Channel C and Instantaneous Current Channel F.
0xE50F	Reserved	R	24	32 SE	S	N/A	This register should be ignored.
0xE510	VWV	R	24	32 SE	S	N/A	Instantaneous voltage.
0xE511 to 0xE51E	Reserved	R	24	32 SE	S	N/A	This register should be ignored.
0xE51F	Checksum	R	32	32	U	0x33666787	Checksum verification (see the Checksum section for details).
0xE520 to 0xE52E	Reserved						These registers should be ignored.
0xE600	CHSTATUS	R	16	16	U	N/A	Channel peak register.
0xE601	ANGLE0	R	16	16	U	N/A	Time Delay 0 (see the Angle Measurements section for details).
0xE602	ANGLE1	R	16	16	U	N/A	Time Delay 1 (see the Angle Measurements section for details).
0xE603	ANGLE2	R	16	16	U	N/A	Time Delay 2 (see the Angle Measurements section for details).
0xE604 to 0xE606	Reserved						These registers should be ignored.
0xE607	Period	R	16	16	U	N/A	Line period.
0xE608	CHNOLOAD	R	16	16	U	N/A	Channel no load register.

Address	Register Name	R/W <sup>1</sup>	Bit Length	Bit Length During Communication <sup>2</sup>	Type <sup>3</sup>	Default Value <sup>4</sup>	Description
0xE609 to 0xE60B	Reserved						For proper operation, do not write to these addresses.
0xE60C	LINECYC	R/W	16	16	U	0xFFFF	Line cycle accumulation mode count.
0xE60D	ZXTOUT	R/W	16	16	U	0xFFFF	Zero-crossing timeout count.
0xE60E	COMPmode	R/W	16	16	U	0x01FF	Computation mode register.
0xE60F	Gain	R/W	16	16	U	0x0000	PGA gains at ADC inputs (see Table 22).
0xE610 to 0xE616	Reserved						This register should be ignored.
0xE617	CHSIGN	R	16	16	U	N/A	Power sign register.
0xE618	CONFIG	R/W	16	16	U	0x0000	Configuration register.
0xE700	Mmode	R/W	8	8	U	0x1C	Measurement mode register.
0xE701	ACCmode	R/W	8	8	U	0x00	Accumulation mode register.
0xE702	LCYCMODE	R/W	8	8	U	0x78	Line accumulation mode.
0xE703	PEAKCYC	R/W	8	8	U	0x00	Peak detection half line cycles.
0xE704	SAGCYC	R/W	8	8	U	0x00	Sag detection half line cycles.
0xE705	Reserved						This register should be ignored.
0xE706	HSDC_CFG	R/W	8	8	U	0x00	HSDC configuration register.
0xE707	Version	R/W	8	8	U		Version of die.
0xE7E3	Reserved	R/W	8	8	U	0x00	Register protection (see the Register Protection section).
0xE7FE	Reserved						Register protection key (see the Register Protection section).
0xEBFF	Reserved		8	8			This address can be used in manipulating the $\overline{SS}$ /HSA pin when SPI is chosen as the active port (see the Communication section for details).
0xEC00	Reserved						This register should be ignored.
0xEC01	CONFIG2	R/W	8	8	U	0x00	Configuration register (see Table 29).

<sup>1</sup> R は読み出し、W は書き込み。

<sup>2</sup> 32 ZP は、24 ビットまたは 20 ビットの符号付きまたは符号なしレジスタで、それぞれ 0 が詰められた上位 8 ビットまたは上位 12 ビットを持つ 32 ビット・ワードとして送信されます。32 SE は、24 ビット符号付きレジスタで、32 ビットに符号拡張された 32 ビット・ワードとして送信されます。

<sup>3</sup> U は符号なしレジスタで、S は符号付きレジスタ (2 の補数フォーマット)。

<sup>4</sup> N/A は該当なし。

## レジスタの説明

表 16.HPFDIS レジスタ(アドレス 0x4389)

Bits	Default Value	Description
[23:0]	0x000000	When HPFDIS = 0x000000, all high-pass filters in voltage and current channels are enabled. When the register is set to any nonzero value, all high-pass filters are disabled.

表 17.IPEAK レジスタ(アドレス 0xE500)

Bits	Bit Name	Default Value	Description
[31:27]	Reserved	0x00000	These bits should be ignored.
26	IPCHANNEL2	0x0	The C or F current channel generated the IPEAKVAL[23:0] value.
25	IPCHANNEL1	0x0	The B or E current channel generated the IPEAKVAL[23:0] value.
24	IPCHANNEL0	0x0	The A or D current channel generated the IPEAKVAL[23:0] value.
[23:0]	IPEAKVAL[23:0]	0x0	Current channel peak value

表 18.VPEAK レジスタ(アドレス 0xE501)

Bits	Bit Name	Default Value	Description
[31:24]	Reserved	0x00000	These bits should be ignored.
[23:0]	VPEAKVAL[23:0]	0x0	Voltage channel peak value.



アドレス 0xE502、アドレス 0xE503、アドレス 0xE50A、アドレス 0xE50B は、表 30 と表 31 に記載してあることに注意してください。

表 19.CHSTATUS レジスタ(アドレス 0xE600)

Bits	Bit Name	Default Value	Description
[15:6]	Reserved	0x000	These bits should be ignored.
5	OICHANNEL2	0x0	The C or F current channel generated the overcurrent event.
4	OICHANNEL1	0x0	The B or E current channel generated the overcurrent event.
3	OICHANNEL0	0x0	The A or D current channel generated the overcurrent event.
[2:0]	Reserved	0x000	Reserved. These bits are always 0.

表 20.CHNOLOAD レジスタ(アドレス 0xE608)

Bits	Bit Name	Default Value	Description
[15:6]	Reserved	0x0000000	These bits should be ignored.
5	NOLOADF	0x0	0: Channel F is out of the no load condition. 1: Channel F is in the no load condition.
4	NOLOADE	0x0	0: Channel E is out of the no load condition. 1: Channel E is in the no load condition.
3	NOLOADD	0x0	0: Channel D is out of the no load condition. 1: Channel D is in the no load condition.
2	NOLOADC	0x0	0: Channel C is out of the no load condition. 1: Channel C is in the no load condition.
1	NOLOADB	0x0	0: Channel B is out of the no load condition. 1: Channel B is in the no load condition.
0	NOLOADA	0x0	0: Channel A is out of the no load condition. 1: Channel A is in the no load condition.

表 21.COMPMODE レジスタ(アドレス 0xE60E)

Bits	Bit Name	Default Value	Description
15	Reserved	0x0	This bit should be ignored.
14	CHANNEL_SEL	0x0	0: the A, B, and C current channels are used for the peak, overcurrent, zero crossing, angle, and waveform measurements. 1: the D, E, and F current channels are used for the peak, overcurrent, zero crossing, angle, and waveform measurements.
[13:11]	Reserved	0x0	These bits should be ignored.
[10:9]	ANGLESEL	0x00	00: the time delays between the voltage and currents are measured. 01: reserved. 10: the angles between current channels are measured. 11: no angles are measured.
[8:0]	Reserved	0x1FF	These bits should be ignored and not modified.

表 22.ゲイン・レジスタ(アドレス 0xE60F)

Bits	Bit Name	Default Value	Description
[15:9]	Reserved	0x0000000	These bits should be ignored.
[8:6]	PGA3[2:0]	0x000	Gain selection for the D, E, and F current channels. 000: gain = 1. 001: gain = 2. 010: gain = 4. 011: gain = 8. 100: gain = 16. 101, 110, 111: reserved.
[5:3]	PGA2[2:0]	0x000	Voltage channel gain selection. 000: gain = 1. 001: gain = 2. 010: gain = 4. 011: gain = 8. 100: gain = 16. 101, 110, 111: reserved.

Bits	Bit Name	Default Value	Description
[2:0]	PGA1[2:0]	0x000	Gain selection for the A, B, and C current channels. 000: gain = 1. 001: gain = 2. 010: gain = 4. 011: gain = 8. 100: gain = 16. 101, 110, 111: reserved.

表 23.CHSIGN レジスタ(アドレス 0xE617)

Bits	Bit Name	Default Value	Description
[15:7]	Reserved	0x0000000	These bits should be ignored.
6	VAR3SIGN	0x0	0: the reactive power on the C or F channel is positive. 1: the reactive power on the C or F channel is negative.
5	VAR2SIGN	0x0	0: the reactive power on the B or E channel is positive. 1: the reactive power on the B or E channel is negative.
4	VAR1SIGN	0x0	0: the reactive power on the A or D channel is positive. 1: the reactive power on the A or D channel is negative.
3	Reserved	0x0	This bit should be ignored.
2	W3SIGN	0x0	0: the active power on the C or F channel is positive. 1: the active power on the C or F channel is negative.
1	W2SIGN	0x0	0: the active power on the B or E channel is positive. 1: the active power on the B or E channel is negative.
0	W1SIGN	0x0	0: the active power on the A or D channel is positive. 1: the active power on the A or D channel is negative.

表 24.CONFIG レジスタ(アドレス 0xE618)

Bits	Bit Name	Default Value	Description
[15:8]	Reserved	0x0	These bits should be ignored.
7	SWRST	0x0	Initiates a software reset.
6	HSDCEN	0x0	Enables the HSDC serial port.
[5:1]	Reserved	0x0	These bits should be ignored.
0	INTEN	0x0	Enables the digital integrator.

表 25.MMODE レジスタ(アドレス 0xE700)

Bits	Bit Name	Default Value	Description
[7:5]	Reserved	0x000	These bits should be ignored.
4	PEAKSEL2	0x1	The C or F current channel is selected for peak detection.
3	PEAKSEL1	0x1	The B or E current channel is selected for peak detection.
2	PEAKSEL0	0x1	The A or D current channel is selected for peak detection.
[1:0]	Reserved	0x00	These bits should be ignored.

表 26.ACCMODE レジスタ(アドレス 0xE701)

Bits	Bit Name	Default Value	Description
7	REVRPSEL	0x0	0: the sign of the reactive power is monitored on the A, B, and C channels. 1: the sign of the reactive power is monitored on the D, E, and F channels.
6	REVAPSEL	0x0	0: the sign of the active power is monitored on the A, B, and C channels. 1: the sign of the active power is monitored on the D, E, and F channels.
[5:4]	Reserved	0x00	These bits should be ignored and not modified.
[3:2]	VARACC[1:0]	0x00	00: signed accumulation for all reactive power measurements. 01: reserved. 10: reserved. 11: reserved.
[1:0]	WATTACC[1:0]	0x00	00: signed accumulation for all active power measurements. 01: reserved. 10: reserved. 11: reserved.

表 27.LCYCMODE レジスタ(アドレス 0xE702)

Bits	Bit Name	Default Value	Description
7	Reserved	0x0	Reserved. This bit does not control any functionality.
6	RSTREAD	0x1	Enables read-with-reset for all energy registers. Note that this bit has no function in line cycle accumulation mode and should be set to 0 when this mode is in use.
[5:4]	Reserved	0x0	These bits should be ignored.
3	ZX_SEL	0x0	Enables the voltage channel zero-crossing counter for line cycle accumulation mode.
2	Reserved	0x0	These bits should be ignored.
1	LVAR	0x0	Enables the reactive energy line cycle accumulation mode.
0	LWATT	0x0	Enables the active energy line cycle accumulation mode.

表 28.HSDC\_CFG レジスタ(アドレス 0xE706)

Bits	Bit Name	Default Value	Description
[7:6]	Reserved	0x00	These bits should be ignored.
5	HSAPOL	0x0	0: SS/HSA output pin is active low (default). 1: SS/HSA output pin is active high.
[4:3]	HXFER[1:0]	0x00	00 = reserved. 01 = HSDC transmits current and voltage waveform data. 10 = reserved. 11 = reserved.
2	HGAP	0x0	0: no gap is introduced between packages (default). 1: a gap of seven HCLK cycles is introduced between packages.
1	HSIZE	0x0	0: HSDC transmits the 32-bit registers in 32-bit packages, most significant bit first (default). 1: HSDC transmits the 32-bit registers in 8-bit packages, most significant bit first.
0	HCLK	0x0	0: HSCLK = 8 MHz (default). 1: HSCLK = 4 MHz.

表 29.CONFIG2 レジスタ(アドレス 0xEC01)

Bits	Bit Name	Default Value	Description
[7:2]	Reserved	0x0	These bits should be ignored.
1	I2C_LOCK	0x0	Serial port lock.
0	EXTREFEN	0x0	Set to 1 to use with an external reference.

## 割込みイネーブル・レジスタと割込みステータス・レジスタ

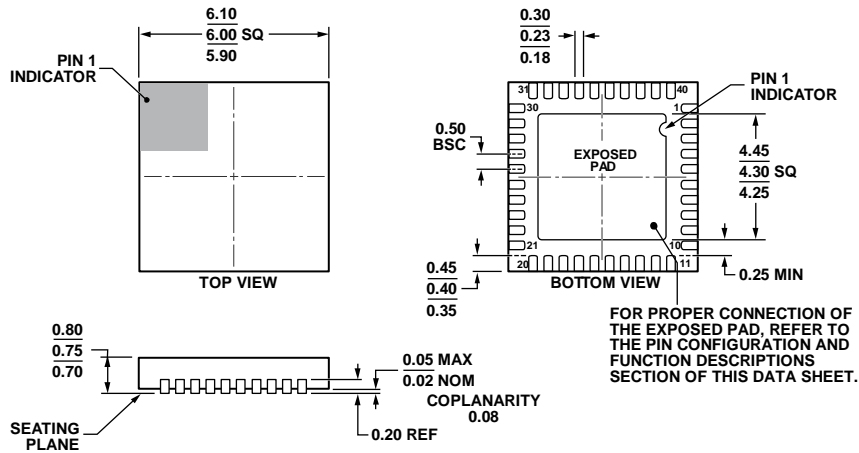
表 30.STATUS0 レジスタ(アドレス 0xE502)と MASK0 レジスタ(アドレス 0xE50A)

Bits	Bit Name	Default Value	Description
[31:18]	Reserved	0 0000 0000 0000	These bits should be ignored.
17	DREADY	0x0	New waveform data is ready.
16	Reserved	0x0	This bit should be ignored.
15	Reserved	0x0	This bit should be ignored.
14	Reserved	0x0	This bit should be ignored.
13	Reserved	0x0	This bit should be ignored.
12	REVRP3	0x0	The sign of the reactive power has changed (C or F channel).
11	REVRP2	0x0	The sign of the reactive power has changed (B or E channel).
10	REVRP1	0x0	The sign of the reactive power has changed (A or D channel).
9	Reserved	0x0	This bit should be ignored.
8	REVAP3	0x0	The sign of the active power has changed (C or F channel).
7	REVAP2	0x0	The sign of the active power has changed (B or E channel).
6	REVAP1	0x0	The sign of the active power has changed (A or D channel).
5	LENERGY	0x0	The end of a line cycle accumulation period.
4	Reserved	0x0	This bit should be ignored.
3	REHF2	0x0	The active energy register is half full (D, E, or F channel).
2	REHF1	0x0	The reactive energy register is half full (A, B, or C channel).
1	AEHF2	0x0	The active energy register is half full (D, E, or F channel).
0	AEHF1	0x0	The active energy register is half full (A, B, or C channel).

表 31.STATUS1 レジスタ(アドレス 0xE503)と MASK1 レジスタ(アドレス 0xE50B)

Bits	Bit Name	Default Value	Description
[31:25]	Reserved	0x00000000	These bits should be ignored.
24	PKV	0x0	The end of the voltage channel peak detection period.
23	PKI	0x0	The end of the current channel peak detection period.
22	Reserved	0x0	This bit should be ignored.
21	Reserved	0x1	This bit should be ignored.
20	Reserved	0x0	This bit should be ignored.
19	Reserved	0x0	This bit should be ignored.
18	OV	0x0	An overvoltage event has occurred.
17	OI	0x0	An overcurrent event has occurred.
16	Sag	0x0	A sag event has occurred.
15	RSTDONE	0x1	The end of a software or hardware reset.
14	ZXI3	0x0	C or F current channel zero crossing.
13	ZXI2	0x0	B or E current channel zero crossing.
12	ZXI1	0x0	A or D current channel zero crossing.
11	Reserved	0x0	This bit should be ignored.
10	Reserved	0x0	This bit should be ignored.
9	ZXV	0x0	Voltage channel zero crossing.
8	ZXTOI3	0x0	A zero crossing on the C or F current channel is missing.
7	ZXTOI2	0x0	A zero crossing on the B or E current channel is missing.
6	ZXTOI1	0x0	A zero crossing on the A or D current channel is missing.
5	Reserved	0x0	This bit should be ignored.
4	Reserved	0x0	This bit should be ignored.
3	ZXTOV	0x0	A zero crossing on the voltage channel is missing.
2	Reserved	0x0	This bit should be ignored.
1	NLOAD2	0x0	Active and reactive no load condition on the D, E, or F current channel.
0	NLOAD1	0x0	Active and reactive no load condition on the A, B, or C current channel.

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WJJD.

05-06-2011-A

図 48.40 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP\_WQ]  
6 mm x 6 mm ボディ、超極薄クワッド  
(CP-40-10)  
寸法: mm

オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADE7816ACPZ	-40°C to +85°C	40-Lead LFCSP_WQ	CP-40-10
ADE7816ACPZ-RL	-40°C to +85°C	40-Lead LFCSP_WQ	CP-40-10
EVAL-ADE7816EBZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。

I<sup>2</sup>C は、Philips Semiconductors 社(現在の NXP Semiconductors 社)が制定した通信プロトコルです。