

ADE7758

特長

IEC 60687、IEC 61036、IEC 61268、IEC 62053-21、IEC 62053-22、IEC 62053-23をサポートする高精度

3相/3線式、3相/4線式、その他の3相に対応

1000:1のダイナミック・レンジで0.1%以下の有効電力量誤差 (25°C)

有効/無効/皮相電力量、電圧実効値(rms)、電流実効値(rms)、サンプル波形データを提供

一方は有効電力用、他方はプログラマブルな周波数での無効電力用と皮相電力用が選択可能な、2つのパルス出力

電力、位相、rmsオフセットのデジタル・キャリブレーション

ライン電圧SAGと過電圧検出の閾値をプログラム可能

内蔵のデジタル積分器により、di/dt電流センサーの入力が可能
電流チャンネルのPGAにより、シャント抵抗およびCT(電流トランス)の入力が可能

SPI[®]互換のシリアル・インターフェース(IRQ付き)

環境条件と経時変動に対しても高精度を提供する、当社独自のADCとDSPを採用

外部オーバードライブ機能付きの2.4Vリファレンス電圧(ドリフト: 30ppm/°C、typ)

5V単電源、低消費電力(50mW、typ)

概要

ADE7758¹はシリアル・インターフェースと2つのパルス出力を内蔵した高精度3相電力量計ICです。ADE7758は、2次の $\Sigma\Delta$ A/Dコンバータ(ADC)、デジタル積分器、リファレンス回路、温度センサー、有効/無効/皮相電力量の測定とrms計算に必要なすべての信号処理機能を内蔵しています。

ADE7758は、3線または4線式のWYEやデルタ結線方式のような、さまざまな3相構成の有効/無効/皮相電力量の測定に適しています。ADE7758は、各相に対するシステム・キャリブレーション機能、すなわちrmsオフセット補正、位相キャリブレーション、電力キャリブレーションを提供します。APCFロジック出力は有効電力情報を、VARCFロジック出力は瞬時無効または皮相電力情報を提供します。(4ページへ続く)

¹ 特許申請中。

機能ブロック図

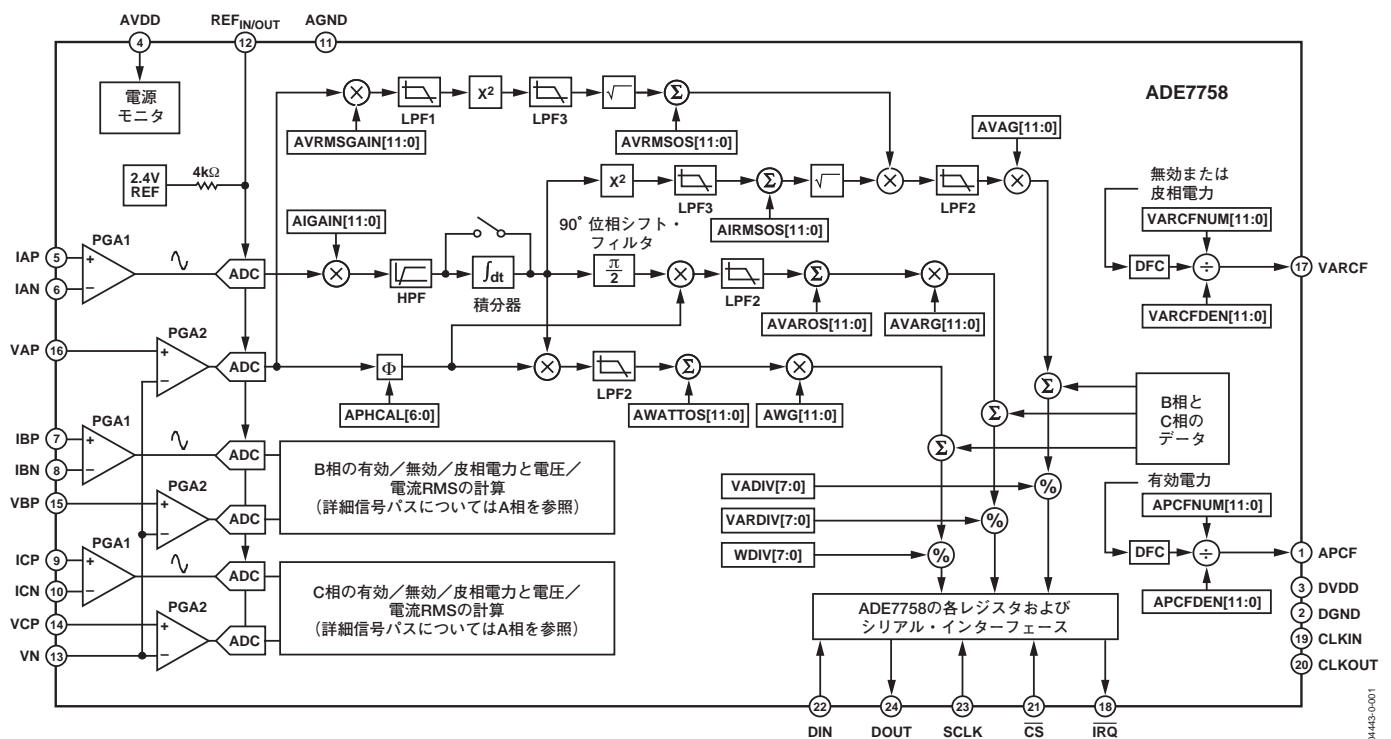


図1

アナログ・デバイス社が提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許や権利の侵害に関して、一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的にまた暗示的に許諾するものでもありません。記載の商標および登録商標は、各社の所有に属します。

* 日本語データシートは、REVISIONが古い場合があります。最新の内容については英語版をご参照ください。
©2004 Analog Devices, Inc. All rights reserved.

ADE7758

目次

仕様	5	有効電力計算	30
タイミング特性	7	無効電力計算	35
絶対最大定格	9	皮相電力計算	38
ESDの注意	9	電力量レジスタのスケールリング	41
ピン配置および機能の説明	10	波形サンプリング・モード	41
用語の説明	12	キャリブレーション	41
代表的な性能特性	13	CHECKSUMレジスタ	54
動作理論	19	ADE7758割込み	54
アンチエイリアシング（折返し誤差防止）フィルタ	19	ADE7758割込みのMCUでの使い方	54
アナログ入力	19	割込みタイミング	55
電流チャンネルADC	20	ADE7758のシリアル・インターフェース	55
di/dt電流センサーとデジタル積分器	21	ADE7758のシリアル書込み動作	56
ピーク電流検出	22	ADE7758のシリアル読み出し動作	57
過電流検出割込み	22	ADE7758 内蔵レジスタのアクセス方法	58
電圧チャンネルADC	22	コミュニケーション・レジスタ	58
ゼロ交差の検出	24	動作モード・レジスタ (0x13)	61
位相補償	24	測定モード・レジスタ (0x14)	62
周期測定	26	波形モード・レジスタ (0x15)	62
ライン電圧SAG検出	26	計算モード・レジスタ (0x16)	63
SAGレベルの設定	26	ライン・サイクル積算モード・レジスタ (0x17)	64
ピーク電圧の検出	26	割込みMASKレジスタ (0x18)	65
位相シーケンスの検出	27	割込みSTATUSレジスタ (0x19) /リセット割込み	
電源モニタ	27	STATUSレジスタ (0x1A)	66
リファレンス回路	28	外形寸法	67
温度測定	28	オーダー・ガイド	67
2乗平均 (rms) の測定	28		

改訂履歷

9/04—Changed from Rev. 0 to Rev. A

Changed Hexadecimal Notation.....	Universal
Changes to Features List.....	1
Changes to Specifications Table.....	5
Change to Figure 25.....	16
Additions to the Analog Inputs Section.....	19
Added Figures 36 and 37; Renumbered Subsequent Figures.....	19
Changes to Period Measurement Section	26
Change to Peak Voltage Detection Section.....	26
Added Figure 60	27
Change to the Current RMS Offset Compensation Section.....	29
Edits to Active Power Frequency Output Section.....	33

Added Figure 68; Renumbered Subsequent Figures	33
Changes to Reactive Power Frequency Output Section.....	37
Added Figure 73; Renumbered Subsequent Figures	38
Change to Gain Calibration Using Pulse Output Example.....	44
Changes to Equation 37.....	45
Changes to Example—Phase Calibration of Phase A Using Pulse Output.....	45
Changes to Equations 56 and 57	53
Addition to the ADE7758 Interrupts Section.....	54
Changes to Example—Calibration of RMS Offsets.....	54
Addition to Table 20.....	66

1/04—Revision 0: Initial Version

ADE7758

概要

(1ページより続く)

ADE7758は、ADC出力へのアクセスを可能にする波形サンプル・レジスタを内蔵しています。継続時間の短い低電圧変動または高電圧変動の検出回路も内蔵しています。電圧閾値レベルと変動継続時間(ラインの半サイクル数)は、ユーザ設定可能です。ゼロ交差の検出は、3相のうちのどれか1相のライン電圧のゼロ交差ポイントに同期します。この情報を使用し、3つのうちのいずれかの入力電圧周期を測定できます。また、チップ内部でライン・サイクル電力量積算モードでも使われます。このモードを使うと、整数のライン・サイクル数に電力量積算を同期させることにより、キャリブレーションをより迅速かつ正確に行うことができます。

データは、SPIシリアル・インターフェースを介してADE7758から読み出されます。割込み要求出力($\overline{\text{IRQ}}$)はオープン・ドレインのアクティブ・ロー・ロジック出力です。ADE7758で1つまたは複数の割込みイベントが発生すると、 $\overline{\text{IRQ}}$ 出力がアクティブ・ローになります。割込みの性格はSTATUSレジスタに表示されます。ADE7758は24ピンSOICパッケージを採用しています。

仕様^{1, 2}

AVDD=DVDD=5V±5%、AGND=DGND=0V、内蔵リファレンス使用、CLKIN=10MHz 水晶発振器、T_{MIN}~T_{MAX}=-40~+85℃

表1

パラメータ	仕様	単位	テスト条件/コメント
精度			
有効電力量測定誤差 (1相当あたり)	0.1	% (typ)	1000:1のダイナミック・レンジ
チャンネル間の位相誤差			ライン周波数=45~65Hz、HPF使用
(PF=0.8容量性)	±0.05	度 (max)	位相進み37°
(PF=0.5誘導性)	±0.05	度 (max)	位相遅れ60°
AC電源電圧変動除去 ¹			AVDD=DVDD=5V+175mV rms/120Hz
出力周波数変動	0.01	% (typ)	V1P=V2P=V3P=100mV rms
DC電源電圧変動除去 ¹			AVDD=DVDD=5V±250mV dc
出力周波数変動	0.01	% (typ)	V1P=V2P=V3P=100mV rms
有効電力測定帯域幅	14	kHz	
IRMS測定誤差	0.5	% (typ)	500:1のダイナミック・レンジ
IRMS測定帯域幅	14	kHz	
VRMS測定誤差	0.5	% (typ)	20:1のダイナミック・レンジ
VRMS測定帯域幅	260	Hz	
アナログ入力			「アナログ入力」を参照
最大信号レベル	±500	mV (max)	差動入力
入力インピーダンス (DC)	380	kΩ (min)	
ADCオフセット誤差 ³	30	mV (max)	未キャリブレーション誤差、「用語の説明」を参照
ゲイン誤差 ^{1, 3}	±6	% (typ)	外付け2.5Vリファレンス
波形サンプリング			サンプリングCLKIN/128、10MHz/128=78.1kSPS
電流チャンネル			「電流チャンネルADC」を参照
信号/ノイズ&歪み	62	dB (typ)	
帯域幅 (-3dB)	14	kHz	
電圧チャンネル			「電圧チャンネルADC」を参照
信号/ノイズ&歪み	62	dB (typ)	
帯域幅 (-3dB)	180	Hz	
リファレンス入力			
REF _{IN/OUT} の入力電圧範囲	2.7	V (max)	2.5V+8%
	2.3	V (min)	2.5V-8%
入力容量	10	pF (max)	
内蔵リファレンス			REF _{IN/OUT} ピンで公称2.4V
リファレンス誤差	±200	mV (max)	
電流源	6	μA (max)	
出力インピーダンス	4	kΩ (min)	
温度係数	30	ppm/°C (typ)	
CLKIN			すべての仕様でCLKINは10MHz
入力クロック周波数	15	MHz (max)	
	5	MHz (min)	
ロジック入力			
DIN、SCLK、CLKIN、 \overline{CS}			
V _{INH} (入力ハイレベル電圧)	2.4	V (min)	DVDD=5V±5%
V _{INL} (入力ローレベル電圧)	0.8	V (max)	DVDD=5V±5%
I _{IN} (入力電流)	±3	μA (max)	10nA (typ)、V _{IN} =0V~DVDD
C _{IN} (入力容量)	10	pF (max)	

ADE7758

パラメータ	仕様	単位	テスト条件/コメント
ロジック出力			DVDD=5V±5%
$\overline{\text{IRQ}}$ 、DOUT、CLKOUT			IRQはオープン・ドレイン、10kΩプルアップ抵抗
V _{OH} (出力ハイレベル電圧)	4	V (min)	I _{SOURCE} =5mA
V _{OL} (出力ローレベル電圧)	0.4	V (max)	I _{SINK} =1mA
APCFおよびVARCF			
V _{OH} (出力ハイレベル電圧)	4	V (min)	I _{SOURCE} =8mA
V _{OL} (出力ローレベル電圧)	1	V (max)	I _{SINK} =5mA
電源			仕様性能に対して
AVDD	4.75	V (min)	5V-5%
	5.25	V (max)	5V+5%
DVDD	4.75	V (min)	5V-5%
	5.25	V (max)	5V+5%
AIDD	8	mA (max)	5mA (typ)
DI _{DD}	13	mA (max)	9mA (typ)

¹ パラメータの定義は「用語の説明」を参照してください。

² 「代表的な性能特性」を参照してください。

³ 「アナログ入力」を参照してください。

タイミング特性^{1,2}

AVDD=DVDD=5V±5%、AGND=DGND=0V、内蔵リファレンス使用、CLKIN=10MHz 水晶発振器、T_{MIN}~T_{MAX}=-40~+85℃

表2

パラメータ	仕様	単位	テスト条件/コメント
書込みタイミング			
t ₁	50	ns (min)	\overline{CS} 立下がりエッジから最初のSCLK立下がりエッジまで
t ₂	50	ns (min)	SCLKのロジック・ハイ・パルス幅
t ₃	50	ns (min)	SCLKのロジック・ロー・パルス幅
t ₄	10	ns (min)	SCLK立下がりエッジ前の有効データのセットアップ時間
t ₅	5	ns (min)	SCLKの立下がりエッジからのデータ・ホールド時間
t ₆	900	ns (min)	データ・バイト転送の最終ビット間の最小時間
t ₇	50	ns (min)	シリアル書込み時のバイト転送間の最小時間
t ₈	100	ns (min)	SCLK立下がりエッジ後の \overline{CS} ホールド時間
読出しタイミング			
t ₉	1.1	μs (min)	読出しコマンド(コミュニケーション・レジスタへの書込み)とデータ読出しの間の最小時間
t ₁₀	50	ns (min)	複数バイト読出し時のデータ・バイト転送間の最小時間
t ₁₁ ³	30	ns (min)	コミュニケーション・レジスタへの書込みに続く、SCLK立上がりエッジ後のデータ・アクセス時間
t ₁₂ ⁴	100	ns (max)	SCLK立下がりエッジ後のバス開放時間
	10	ns (min)	
t ₁₃ ⁴	100	ns (max)	\overline{CS} 立上がりエッジ後のバス開放時間
	10	ns (min)	

¹ 量産開始時、再設計後、またはパラメータに影響を及ぼす可能性のある製造プロセスの変更があった場合に抜き取り検査を実施。すべての入力信号は、tr=tf=5ns (10%から90%)で規定され、1.6Vの電圧レベルからの時間で規定されます。

² 図3、図4のタイミング図および本データシートの「ADE7758シリアル・インターフェース」を参照してください。

³ 図2に示す負荷回路で測定。出力が0.8Vまたは2.4Vと交差するのに必要な時間と定義されます。

⁴ 図2の負荷回路でデータ出力が0.5V変化するとき要する時間の測定値から導出。この値は、50pFコンデンサの充放電の影響を受けない値として推測されているため、タイミング特性で使用する時間はデバイスの真のバス開放時間であり、外部バスの負荷容量とは無関係です。

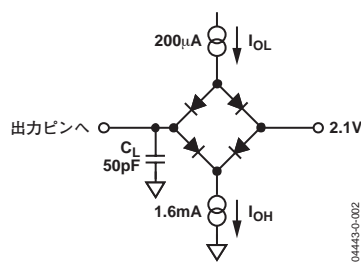


図2. タイミング仕様の負荷回路

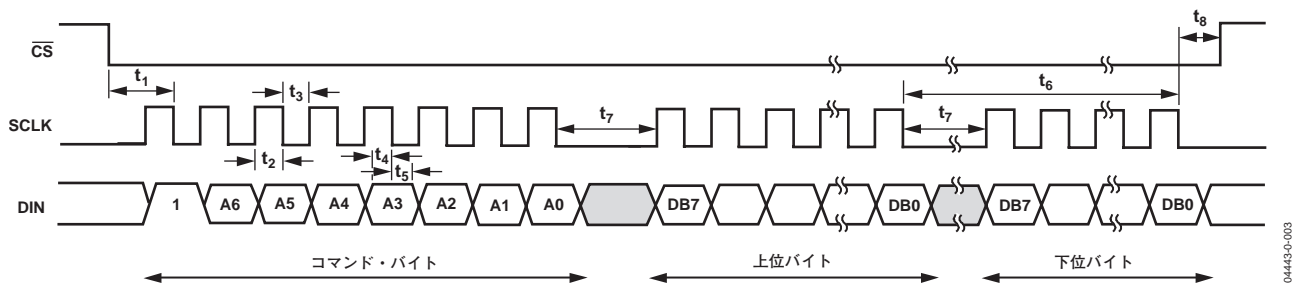


図3. シリアル書込みタイミング

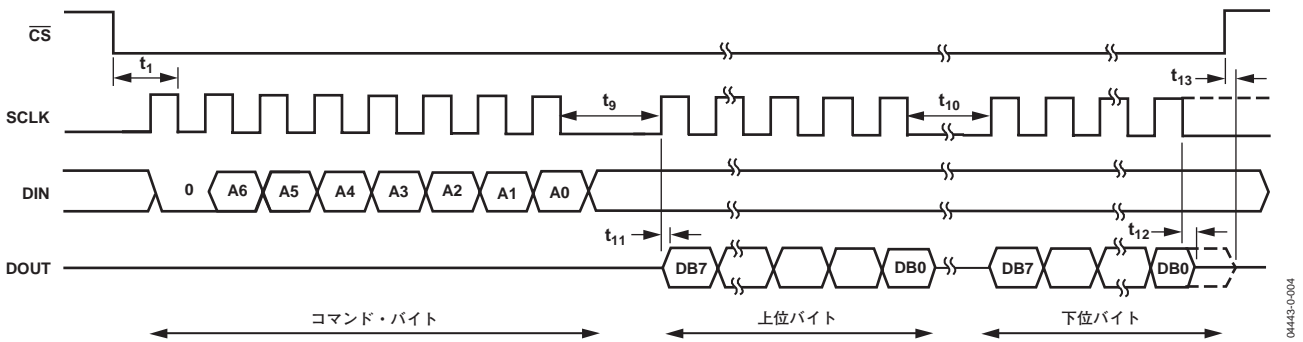


図4. シリアル読出しタイミング

絶対最大定格

特に指定のない限り、TA=25℃

表3

AGNDに対するAVDD	-0.3~+7V
DGNDに対するDVDD	-0.3~+7V
AVDDに対するDVDD	-0.3~+0.3V
AGND、IAP、IAN、IBP、IBN、ICP、ICN、 VAP、VBP、VCP、VNに対するアナログ 入力電圧	-6~+6V
AGNDに対する基準入力電圧	-0.3V~AVDD+0.3V
DGNDに対するデジタル入力電圧	-0.3V~DVDD+0.3V
DGNDに対するデジタル出力電圧	-0.3V~DVDD+0.3V
動作温度範囲	
工業用	-40~+85℃
保存温度範囲	-65~+150℃
ジャンクション温度	150℃
24ピンSOIC、消費電力	88mW
θ_{JA} 熱インピーダンス	53℃/W
ピン温度、ハンダ処理	
蒸着(60秒)	215℃
赤外線(15秒)	220℃

絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定は、ストレス定格のみを指定するものであり、この仕様の動作に関するセクションに記載されている規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

注意

ESD(静電放電)の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣下や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



ADE7758

ピン配置および機能の説明

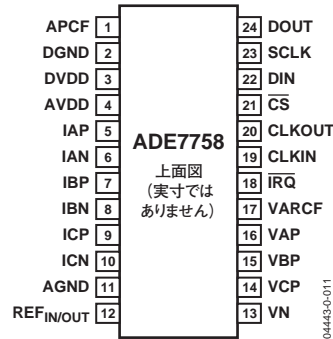


図5. ピン配置

表4. ピン機能の説明

ピン番号	記号	説明
1	APCF	有効電力キャリブレーション用周波数 (APCF) ロジック出力。有効電力情報を出力します。この出力は、動作およびキャリブレーションの目的に使用します。フルスケール出力周波数は、APCFNUMレジスタとAPCFDENレジスタに対する書き込みで設定されます (「有効電力のパルス周波数出力」を参照)。
2	DGND	このピンは、ADE7758のデジタル回路 (乗算器、フィルタ、デジタル/周波数コンバータ) にグラウンド・リファレンスを提供します。ADE7758内のデジタル・リターン電流は小さいので、このピンをシステム全体のアナログ・グラウンド・プレーンに接続できます。ただし、DOUTピンのバス容量が大きいと、ノイズの多いデジタル電流を発生し、性能に影響を与えることがあります。
3	DVDD	デジタル電源。このピンはADE7758のデジタル回路へ電源電圧を提供します。仕様の動作では、電源電圧を5V±5%に維持する必要があります。このピンとDGNDの間に10μFコンデンサと100nFのセラミック・コンデンサを並列接続して、デカップリングします。
4	AVDD	アナログ電源。このピンはADE7758のアナログ回路へ電源電圧を提供します。仕様の動作では、電源電圧を5V±5%に維持する必要があります。適切なデカップリングを使用し、このピンでの電源リップルとノイズを最小に抑える必要があります。本データシートに、電源電圧変動除去性能の代表的な性能特性を記載してあります。このピンとAGNDの間に10μFコンデンサと100nFのセラミック・コンデンサを並列接続して、デカップリングします。
5、6 7、8 9、10	IAP、IAN IBP、IBN ICP、ICN	電流チャンネルに対するアナログ入力。このチャンネルは電流トランスデューサで使用され、本書では電流チャンネルと呼んでいます。これらの入力はフル差動電圧入力であり、内部PGAのゲイン選択に応じて、最大差動入力信号レベル±0.5V、±0.25V、±0.125Vが可能です (「アナログ入力」を参照)。 すべての入力は内部にESD保護回路を持ち、永久的な損傷のおそれなしに±6Vの過電圧まで入力することができます。
11	AGND	このピンは、ADE7758のアナログ回路 (ADC、温度センサー、リファレンス) にグラウンド・リファレンスを提供します。このピンは、アナログ・グラウンド・プレーンまたはシステムで最もノイズの少ないグラウンド・リファレンスに接続してください。このグラウンド・リファレンスは、すべてのアナログ回路 (たとえば、アンチエイリアシング・フィルタ、電流トランスデューサ、電圧トランスデューサ) に使います。ADE7758周辺のグラウンド・ノイズを最小にするため、ノイズの少ないグラウンド・プレーンをデジタル・グラウンド・プレーンと一点で接続する必要があります。こうすることによりデバイス全体をアナログ・グラウンド・プレーン上に配置することができます。
12	REF_{IN/OUT}	内蔵電圧リファレンスピン。内蔵リファレンスの公称値は2.5V±8%で、温度係数は30ppm/°C (typ) です。外付けリファレンス源もこのピンに接続できます。いずれの場合でも、このピンは1μFのセラミック・コンデンサでAGNDへデカップリングしてください。

ピン番号	記号	説明
13、14、 15、16	VN、VCP、 VBP、VAP	電圧チャンネルに対するアナログ入力。このチャンネルは電圧トランスデューサで使用され、本書では電圧チャンネルと呼んでいます。これらの入力はシングルエンド電圧入力で、仕様動作ではVNを基準として±0.5Vまでの最大信号レベルを受け付けます。これらの入力は電圧入力で、内部PGAのゲイン選択に応じて、最大入力信号レベル±0.5V、±0.25V、±0.125Vが可能です（「アナログ入力」を参照）。 すべての入力は内部にESD保護回路を持ち、永久的な損傷のおそれなしに±6Vの過電圧まで入力することができます。
17	VARCF	無効電力キャリブレーション周波数ロジック出力。WAVMODEレジスタのVACFビットの設定に応じて、無効電力または皮相電力の情報を出力します。この出力は、動作およびキャリブレーションの目的に使用します。フルスケール出力周波数は、VARCFNUMレジスタとVARCFDENレジスタへの書込みで設定されます（「無効電力のパルス周波数出力」を参照）。
18	$\overline{\text{IRQ}}$	割込み要求出力。このピンはアクティブ・ローのオープン・ドレイン・ロジック出力です。マスク可能割込みには、ハーフ・レベルでの有効電力量レジスタ、ハーフ・レベルでの皮相電力量レジスタ、最大26kSPSの波形サンプリング（「ADE7758割込み」を参照）などがあります。
19	CLKIN	ADCとデジタル信号処理用のマスター・クロック。このロジック入力には、外部クロックを接続できます。あるいは、並列共振ATクリスタルをCLKINとCLKOUTの間に接続し、ADE7758にクロック源を提供できます。仕様動作でのクロック周波数は10MHzです。ゲート発振回路には数十pFのセラミック負荷コンデンサを使う必要があります。負荷容量条件については、水晶発振器メーカーのデータシートを参照してください。
20	CLKOUT	上述のように、クリスタルをこのピンとCLKINの間に接続して、ADE7758にクロック源を与えることができます。CLKINに外部クロックを接続する場合またはクリスタルを使用した場合は、CLKOUTピンは1つのCMOS負荷を駆動することができます。
21	$\overline{\text{CS}}$	チップ・セレクト。4線式シリアル・インターフェースの一部。このピンをアクティブ・ロー・ロジックにすることにより、ADE7758が他のデバイスとシリアル・バスを共用できるようになります（「ADE7758シリアル・インターフェース」を参照）。
22	DIN	シリアル・インターフェースのデータ入力。データはこのピンからSCLKの立下がりエッジで入力されます（「ADE7758シリアル・インターフェース」を参照）。
23	SCLK	同期シリアル・インターフェースのシリアル・クロック入力。すべてのシリアル・データ転送はこのクロックに同期します（「ADE7758シリアル・インターフェース」を参照）。SCLKには、スロー・エッジ遷移時間（たとえば、光アイソレータ出力）を持つクロック源で使用できるように、入力部にシュミット・トリガが内蔵されています。
24	DOUT	シリアル・インターフェースのデータ出力。データはSCLKの立上がりエッジでこのピンから出力されます。このロジック出力は、データをシリアル・データ・バスへ出力しないときは通常、ハイ・インピーダンス状態です（「ADE7758シリアル・インターフェース」を参照）。

ADE7758

用語の説明

測定誤差

ADE7758が行う電力量測定に関連する誤差は、次式で定義されます。

$$\text{測定誤差} = \frac{(\text{ADE7758で測定された電力量} - \text{真の電力量})}{\text{真の電力量}} \times 100\%$$

チャンネル間位相誤差

ハイパス・フィルタとデジタル積分器は一般的に、電流チャンネルと電圧チャンネルの間でわずかに位相不一致を発生させます。オール・デジタルの設計により、3相すべての電流チャンネルと電圧チャンネルの間の位相一致を、45～65Hzでは±0.1°以内に、40Hz～1kHzでは±0.2°以内に収めています。外部位相誤差（電流センサーや部品のバラツキに起因）は、内部位相不一致を含めた形で、位相キャリブレーション・レジスタで校正することができます。

電源電圧変動除去比

電源電圧が変動したときのADE7758の測定誤差を測定値のパーセント値で表します。ACのPSR測定の場合は、最初に公称電源（5V）での測定値を読み出します。次に、この5VにAC信号（175mVrms/100Hz）を重畳させて、同じ入力信号レベルでの出力を読み出します。このAC信号によって導入されるすべての誤差が、測定値のパーセント値で表されます（「測定誤差」の定義を参照）。

DCのPSR測定の場合、最初に公称電源（5V）での測定値を読み出します。次に、5Vの電源を±5%変化させて、同じ入力信号レベルで出力を読み出します。この場合も導入されたすべての誤差が、測定値のパーセント値で表されます。

ADCオフセット誤差

これは、ADCのアナログ入力に関連するDCオフセットを意味します。アナログ入力にAGNDに接続されていても、ADC出力にはあたかもDCアナログ入力信号が存在するような結果が得られます。オフセットの大きさは、ゲインと入力範囲の選択に依存します（「代表的な性能特性」を参照）。ただし、HPFをオンにすると、オフセットが電流チャンネルから除去され、電力計算はこのオフセットの影響を受けません。

ゲイン誤差

ADE7758のADC内でのゲイン誤差は、ADC出力コードの測定値（オフセットは除去）と理論出力コードの差として定義されます（「電流チャンネルADC」および「電圧チャンネルADC」を参照）。この差は、理論コードのパーセント値として表されます。

ゲイン誤差のマッチング

ゲイン誤差のマッチングは、ゲインを1、2、または4の間で切り替えたときに取得したゲイン誤差（オフセットは除去）として定義されます。ゲイン1で取得された出力ADCコードのパーセント値として表されます。

代表的な性能特性

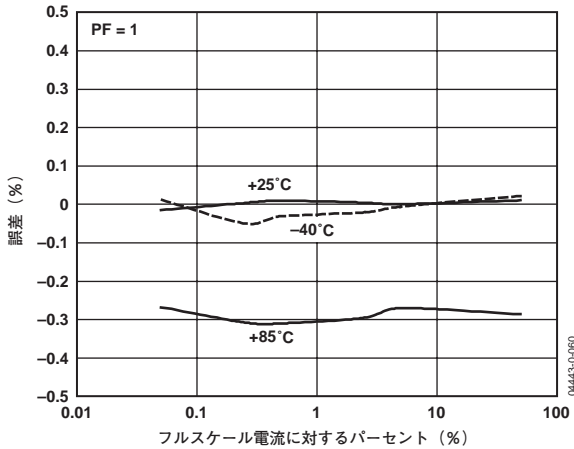


図6. 各温度に対する有効電力量誤差
(ゲイン = +1、内部リファレンス使用、積分器オフ)

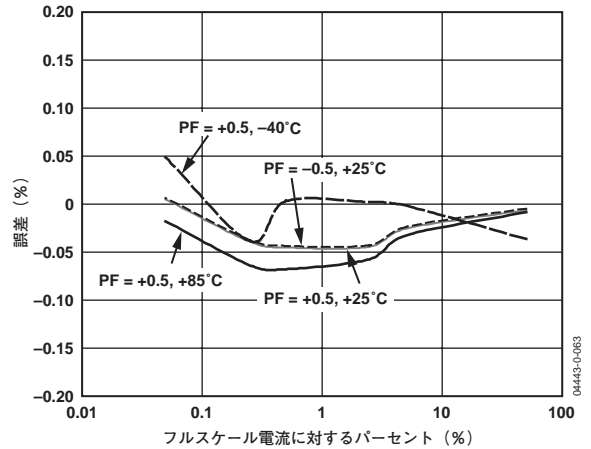


図9. 各力率 (PF) に対する有効電力量誤差
(ゲイン = +1、外付けリファレンス使用、積分器オフ)

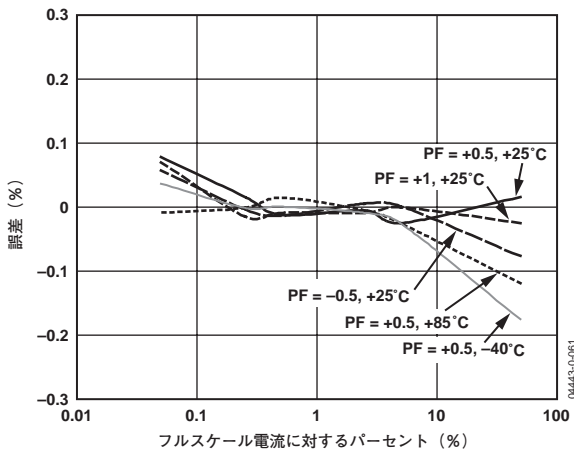


図7. 各力率 (PF) に対する有効電力量誤差
(ゲイン = +1、内部リファレンス使用、積分器オフ)

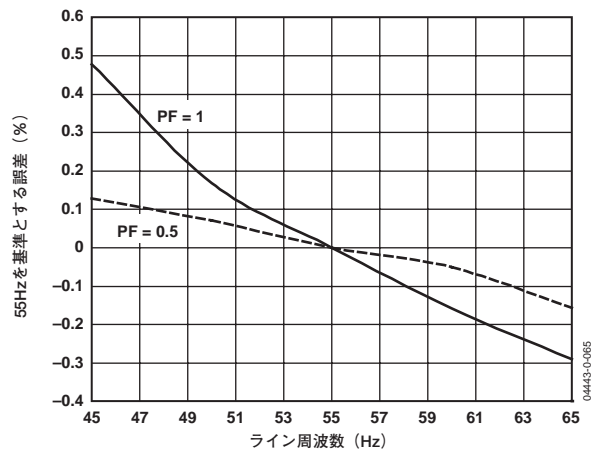


図10. 各周波数に対する有効電力量誤差
(ゲイン = +1、内部リファレンス使用、積分器オフ)

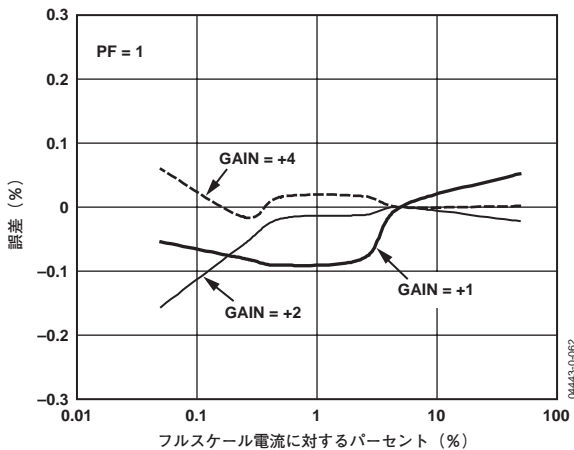


図8. 各ゲインに対する有効電力量誤差
(内部リファレンス使用、積分器オフ)

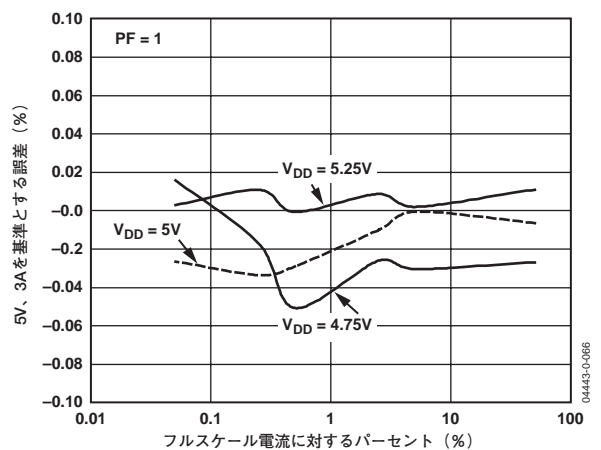


図11. 各電源電圧に対する有効電力量誤差
(ゲイン = +1、内部リファレンス使用、積分器オフ)

ADE7758

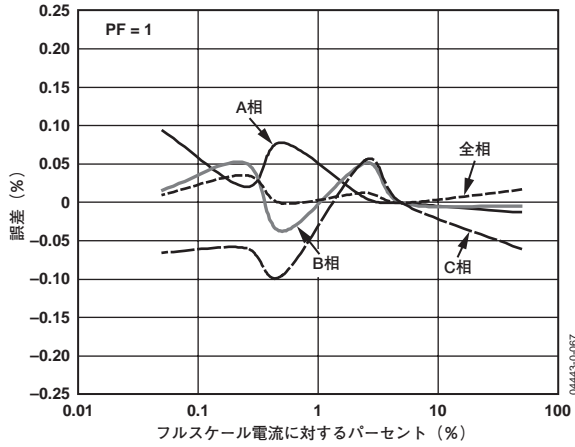


図12. APCF誤差
(ゲイン = +1、内部リファレンス使用、積分器オフ)

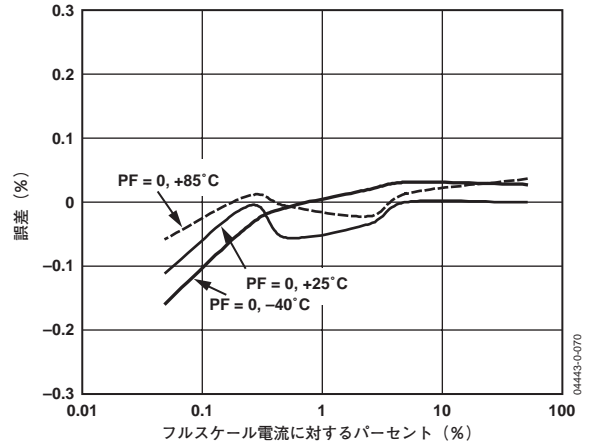


図15. 各温度に対する無効電力量誤差
(ゲイン = +1、外付けリファレンス使用、積分器オフ)

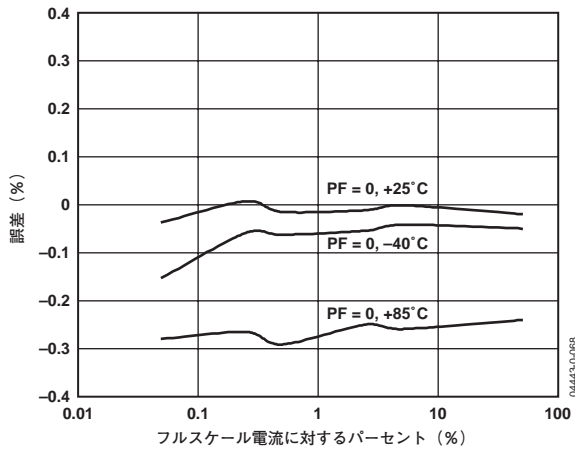


図13. 各温度に対する無効電力量誤差
(ゲイン = +1、内部リファレンス使用、積分器オフ)

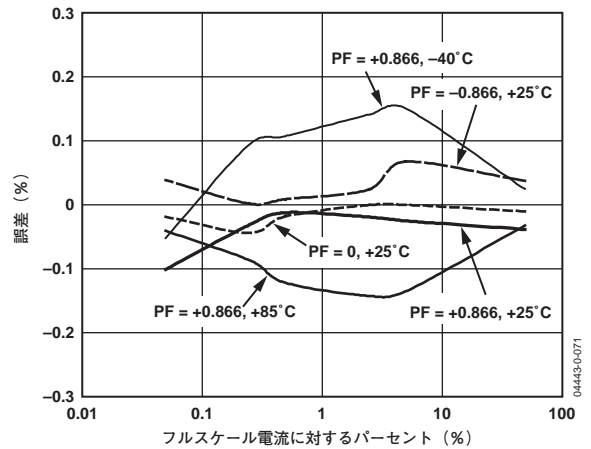


図16. 各力率 (PF) に対する無効電力量誤差
(ゲイン = +1、外付けリファレンス使用、積分器オフ)

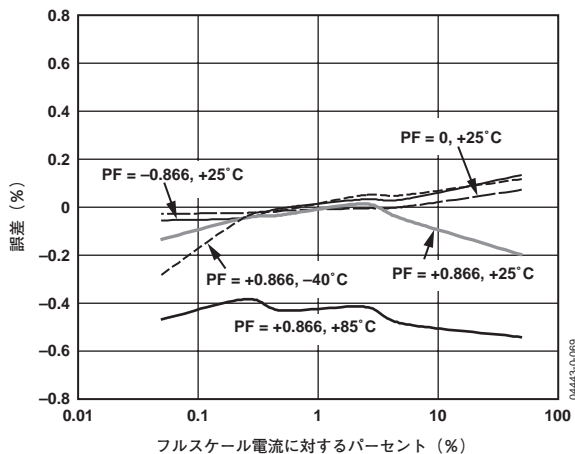


図14. 各力率 (PF) に対する無効電力量誤差
(ゲイン = +1、内部リファレンス使用、積分器オフ)

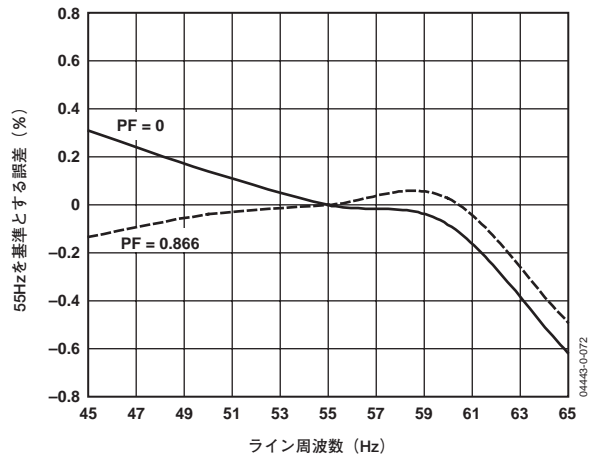


図17. 各周波数に対する無効電力量誤差
(ゲイン = +1、内部リファレンス使用、積分器オフ)

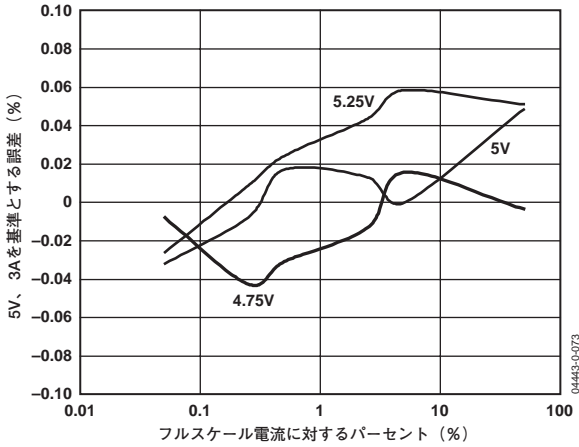


図18. 各電源電圧に対する無効電力量誤差
(ゲイン = +1、内部リファレンス使用、積分器オフ)

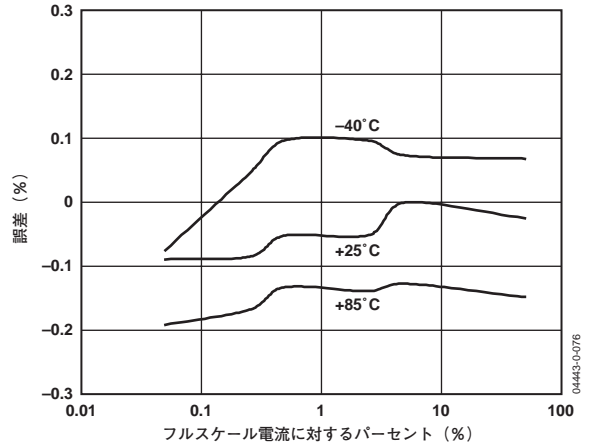


図21. 各温度に対する有効電力量誤差
(ゲイン = +4、内部リファレンス使用、積分器オン)

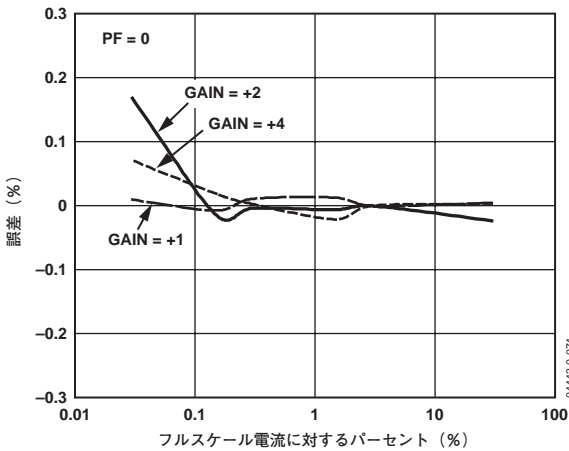


図19. 各ゲインに対する無効電力量誤差
(内部リファレンス使用、積分器オフ)

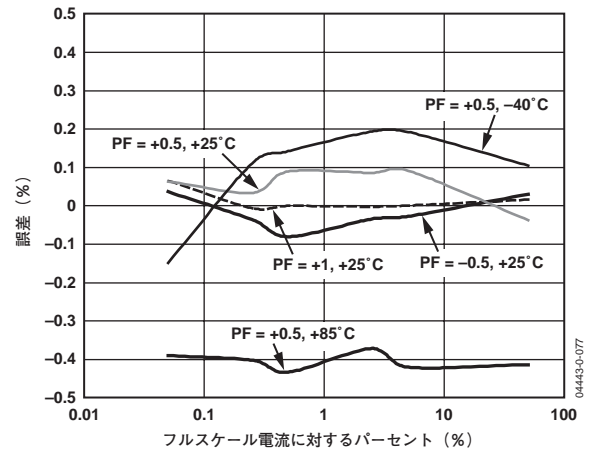


図22. 力率 (PF) に対する有効電力量誤差
(ゲイン = +4、内部リファレンス使用、積分器オン)

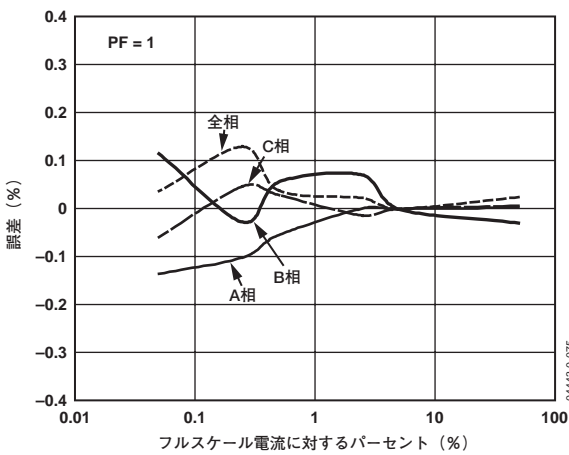


図20. VARCF誤差
(ゲイン = +1、内部リファレンス使用、積分器オフ)

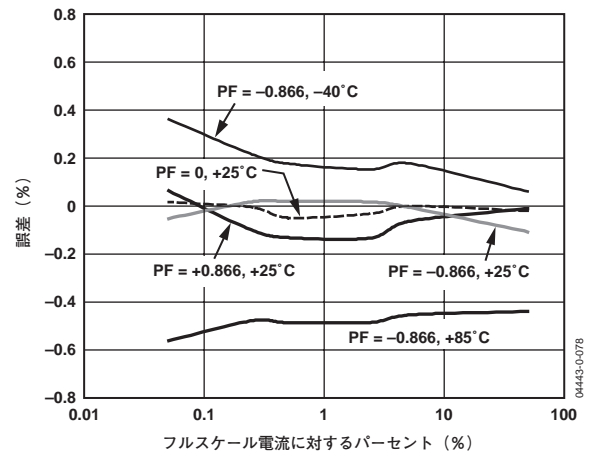


図23. 力率 (PF) に対する有効電力量誤差
(ゲイン = +4、内部リファレンス使用、積分器オン)

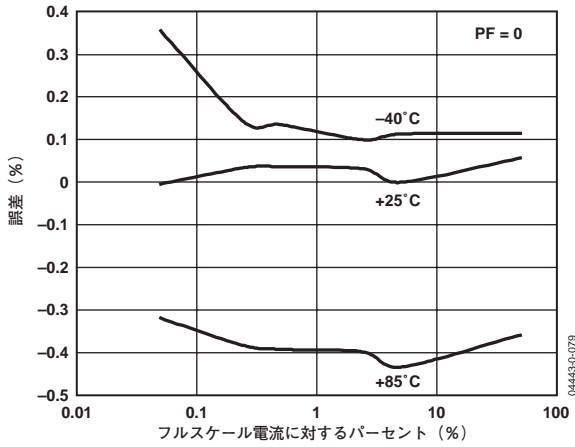


図24 各温度に対する無効電力量誤差
(ゲイン = +4、内部リファレンス使用、積分器オン)

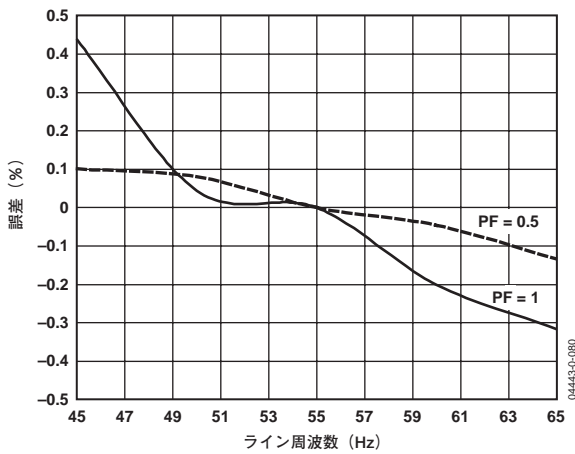


図25. 各周波数に対する有効電力量誤差
(ゲイン = +4、内部リファレンス使用、積分器オン)

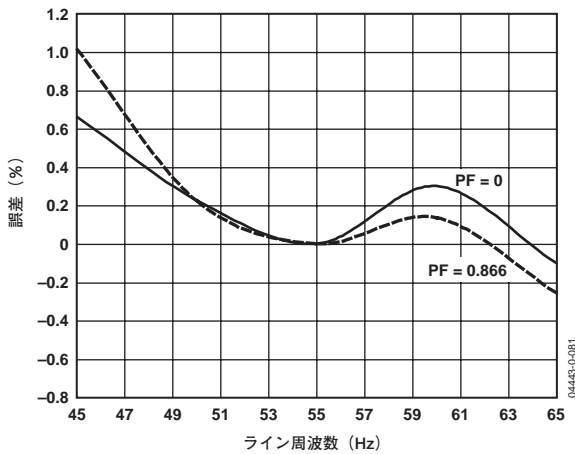


図26. 各周波数に対する無効電力量誤差
(ゲイン = +4、内部リファレンス使用、積分器オン)

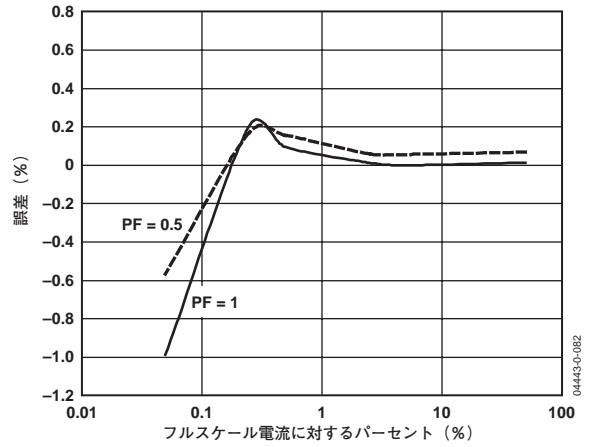


図27. IRMS誤差
(ゲイン = +1、内部リファレンス使用、積分器オフ)

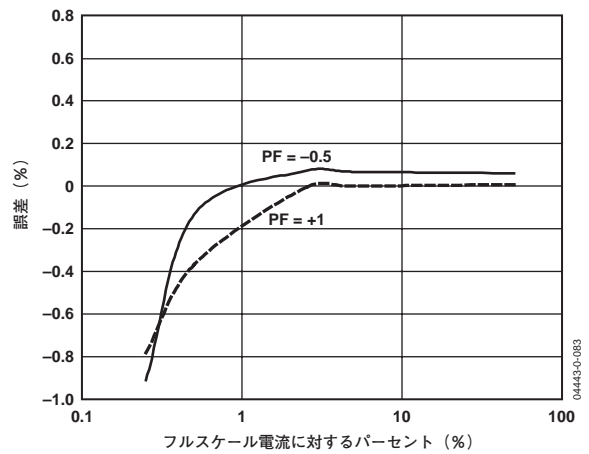


図28. IRMS誤差
(ゲイン = +4、内部リファレンス使用、積分器オン)

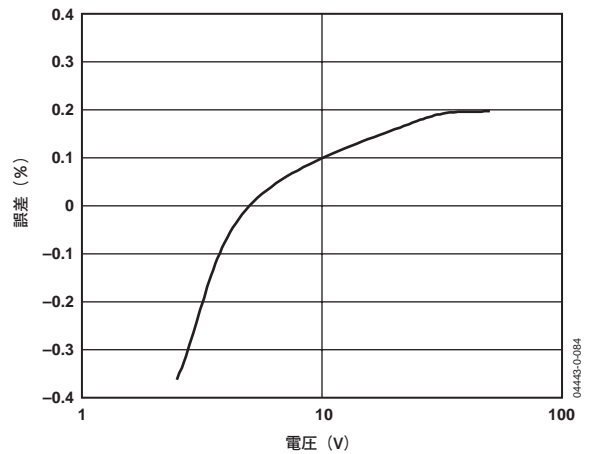


図29. VRMS誤差
(ゲイン = +1、内部リファレンス使用)

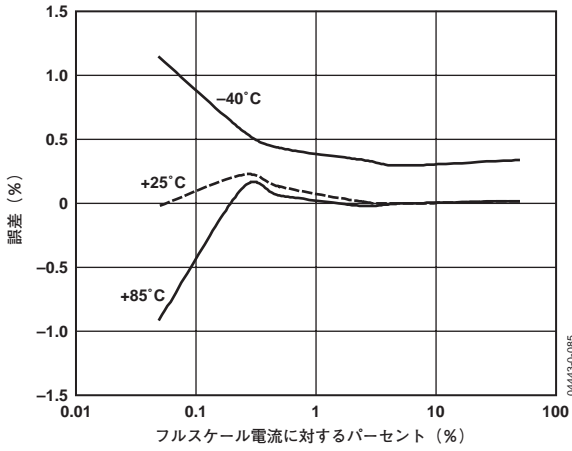


図30. 各温度に対する皮相電力量誤差 (ゲイン = +1、内部リファレンス使用、積分器オフ)

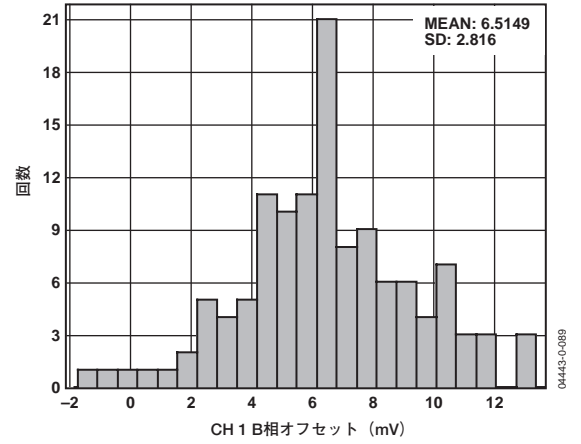


図32. B相チャンネル1オフセットの分布

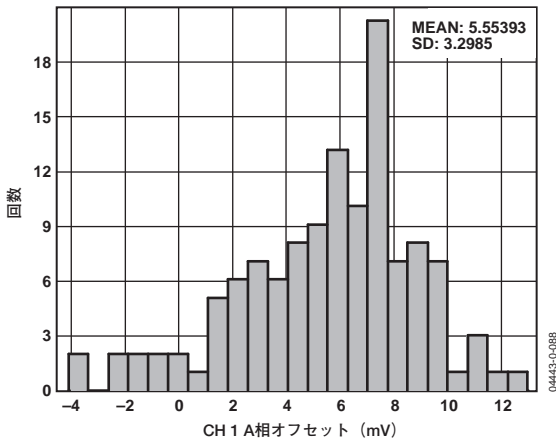


図31. A相チャンネル1オフセットの分布

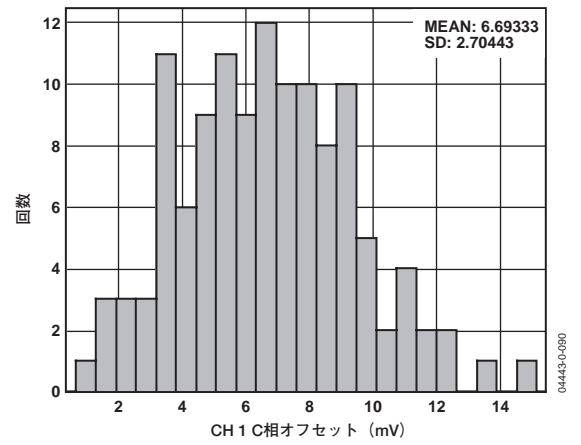
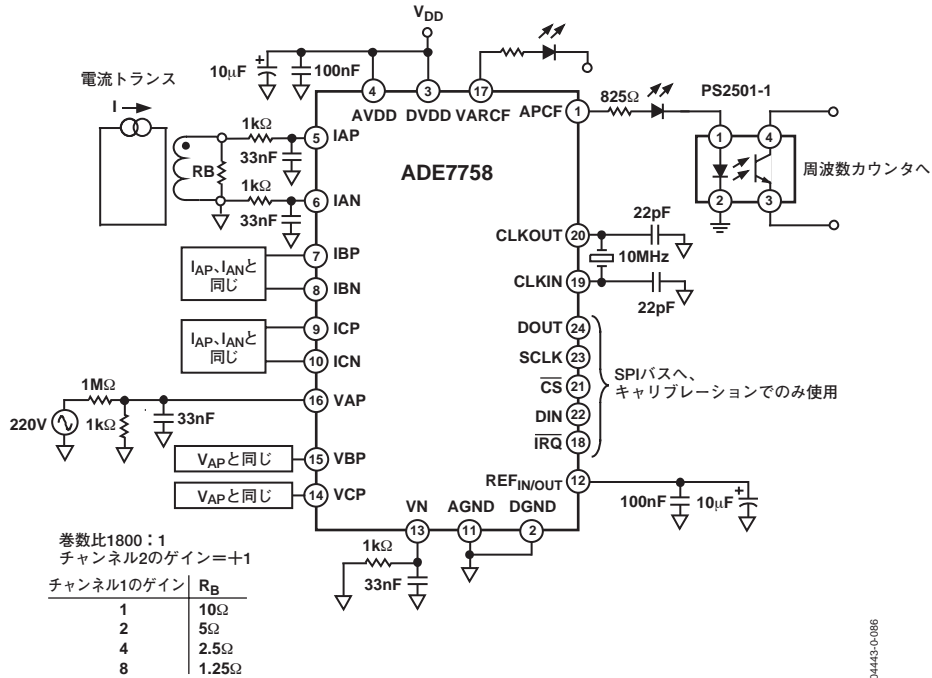


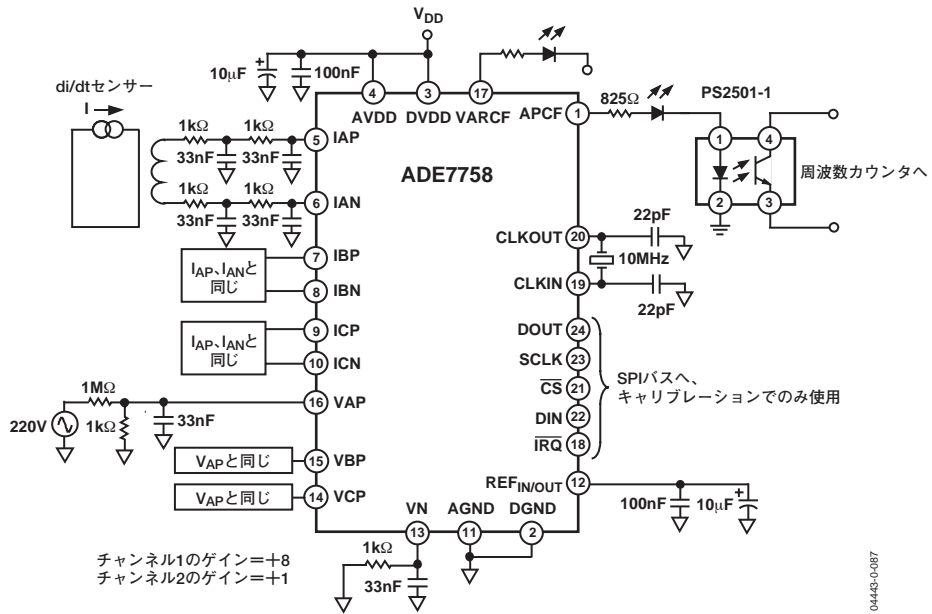
図33. C相チャンネル1オフセットの分布

ADE7758



04443-0-086

図34. 積分器オフ時のテスト回路



04443-0-087

図35. 積分器オン時のテスト回路

動作理論

アンチエイリアシング(折返し誤差防止)フィルタ

このフィルタは、折返し誤差を防止するために設けてあります。折返し誤差は、すべてのサンプル・システムで発生します。ADCのサンプリング・レートの1/2より高い周波数成分を持つ入力信号により、サンプリング・レートの1/2より低い周波数でサンプルされた信号が歪みを受けます。これは、アーキテクチャに関係なく、すべてのADCで発生します。ADE7758で使われている高サンプリング・レートのΣΔ ADCと電力量計の比較的狭い帯域幅との組み合わせでは、折返し防止フィルタとして非常にシンプルなローパス・フィルタ(LPF)を使うことができます。コーナー周波数10kHzの簡単なRCフィルタ(単極)により、833kHzで約40dBの減衰が得られます。これで、折返し誤差の影響を十分除去できます。

アナログ入力

ADE7758にはアナログ入力が6つあり、2つのチャンネル(電流と電圧)に分割されています。電流チャンネルは、IAPとIAN、IBPとIBN、ICPとICNの3組のフル差動電圧入力力で構成されています。このフル差動電圧入力対は、±0.5Vの最大差動信号を持っています。電流チャンネルにはプログラマブル・ゲイン・アンプ(PGA)があり、1、2、4のゲインを選択できます。PGAのほかに、チャンネル1にはADCのフルスケール入力範囲の選択もあります。ADCアナログ入力範囲の選択は、ゲイン・レジスタを使っても行えます(図39を参照)。前述の通り、最大差動入力電圧は±0.5Vです。ただし、ゲイン・レジスタのビット3とビット4を使うと、ADCの最大入力電圧を±0.5V、±0.25Vまたは±0.125Vに設定できます。これは、ADCのリファレンス電圧の調整によって行います(「リファレンス回路」を参照)。

図36に電流チャンネル入力の最大信号レベルを示します。最大同相信号は図36に示すように±25mVです。

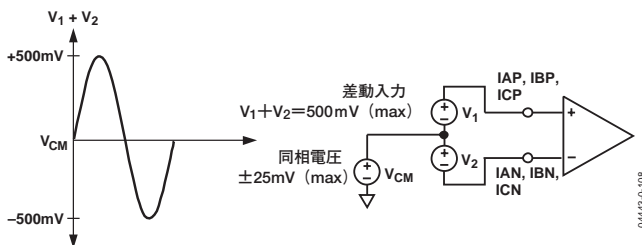


図36. 最大信号レベル(電流チャンネル、ゲイン = 1)

電圧チャンネルには、VAP、VBP、VCPの3つのシングルエンド電圧入力があります。このシングルエンド電圧入力は、VNを基準として±0.5Vまでの最大入力電圧を持っています。電流チャンネルと電圧チャンネルは両方ともPGAを持ち、1、2、4のゲインを選択できます。各チャンネルの入力にはすべて同じゲインが適用されます。

図37に電圧チャンネル入力の最大信号レベルを示します。最大同相信号は図37に示すように±25mVです。

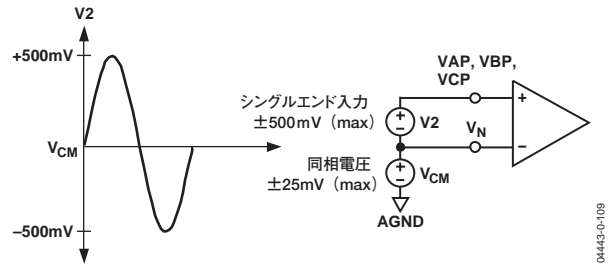


図37. 最大信号レベル(電圧チャンネル、ゲイン = 1)

ゲインの選択は、ゲイン・レジスタへの書き込みにより行われます。ビット0とビット1を使って、フル差動電流チャンネル内のPGAのゲインを選択します。シングルエンド電圧チャンネル内のPGAのゲインの選択は、ビット5とビット6を使って行います。図38に、ゲイン・レジスタを使用して電流チャンネルのゲインの選択を行う方法を示します。

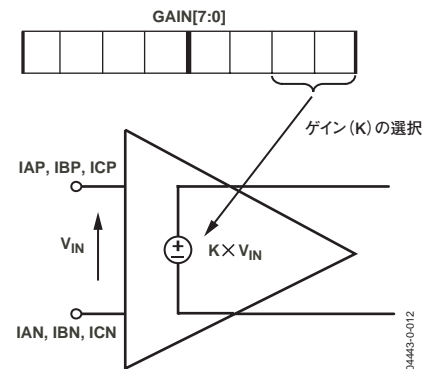


図38. 電流チャンネルのPGA

図39に、ゲイン・レジスタの各ビットを使って、PGA 1(電流チャンネル)とPGA 2(電圧チャンネル)のゲイン設定を選択する方法を示します。

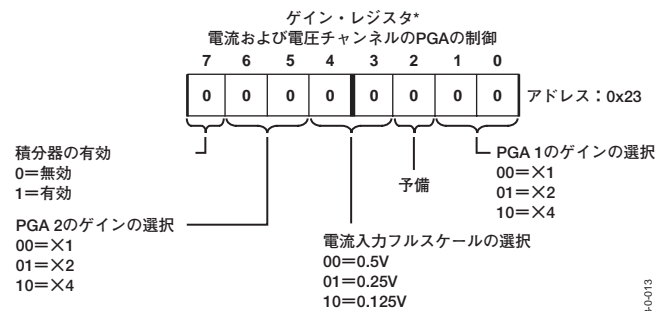


図39. ADE7758のアナログ・ゲイン・レジスタ

ゲイン・レジスタのビット7は、電流信号パス内のデジタル積分器を有効にするときに使います。このビットをセットすると、デジタル積分器が起動します(「di/dt電流センサーとデジタル積分器」を参照)。

電流チャンネルADC

図41に、電流チャンネルの入力IAに対するADCと信号処理パスを示します (IBとICも同様)。波形サンプリング・モードでは、ADC出力は最大26.0kSPSの符号付き2の補数の24ビット・データワードになります。ADCは、規定の±0.5Vフルスケール・アナログ入力信号で最大出力コード値を発生します (図41)。この図は、差動入力IAPとIANに入力されるフルスケール電圧信号を示しています。ADC出力振幅は、0xD7AE14 (−2,642,412) ~ 0x2851EC (+2,642,412) の範囲です。

電流波形ゲイン・レジスタ

各相の電流チャンネル内の信号パスには乗算器があります。12ビットの符号付き電流波形ゲイン・レジスタ (AIGAIN[11:0]、BIGAIN[11:0]、CIGAIN[11:0]) に2の補数値を書き込むことにより、電流波形を±50%変化させることができます。たとえば、これらのレジスタに0x7FFFを書き込むと、ADC出力は50%スケールアップします。一方、0x8000を書き込むと、出力は50%スケールダウンします。次式は、電流波形ゲイン・レジスタの機能を表しています。

電流波形 =

$$ADC出力 \times \left(1 + \frac{\text{電流ゲイン・レジスタの値}}{2^{12}} \right)$$

AIGAIN[11:0]、BIGAIN[11:0]、またはCIGAIN[11:0]の値を変更すると、電流に基づくすべての計算、すなわち、各相の有効/無効/皮相電力量および電流rmsの計算が影響を受けます。さらに、波形サンプルもスケールされます。

電流チャンネルのサンプリング

WAVMODEレジスタのWAVSEL[2:0]ビットに000 (バイナリ)を設定することで、電流チャンネルの波形サンプルは、固定サンプリング・レートでWFORMレジスタに転送できます。サンプルを転送する相は、WAVMODEレジスタのPHSEL[1:0]ビットをセットすることで指定します。波形サンプリング中は、電力量計算への割込みが禁止されます。

波形サンプル・モードでは、WAVMODEレジスタのビット5とビット6 (DTRT[1:0])を使用して、4種類の出力サンプル・レートから選択できます。出力サンプル・レートとしては、26.0kSPS、13.0kSPS、6.5kSPS、3.3kSPSが可能です (表16を参照)。割込みMASKレジスタのWSMPビットにロジック1を設定すると、サンプルが存在するとき、割込み要求出力 \overline{IRQ} がアクティブ・ローになります。図40にタイミング図を示します。24ビットの波形サンプルは、MSBファーストで、1バイト (8ビット) ずつADE7758から転送されます。

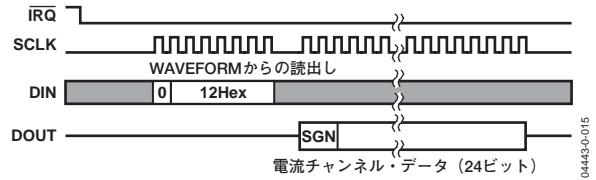


図40. 電流チャンネルの波形サンプリング

割込み要求出力 \overline{IRQ} は、割込みルーチンがリセットSTATUSレジスタを読み出すまでローレベルを維持します (「ADE7758割込み」を参照)。

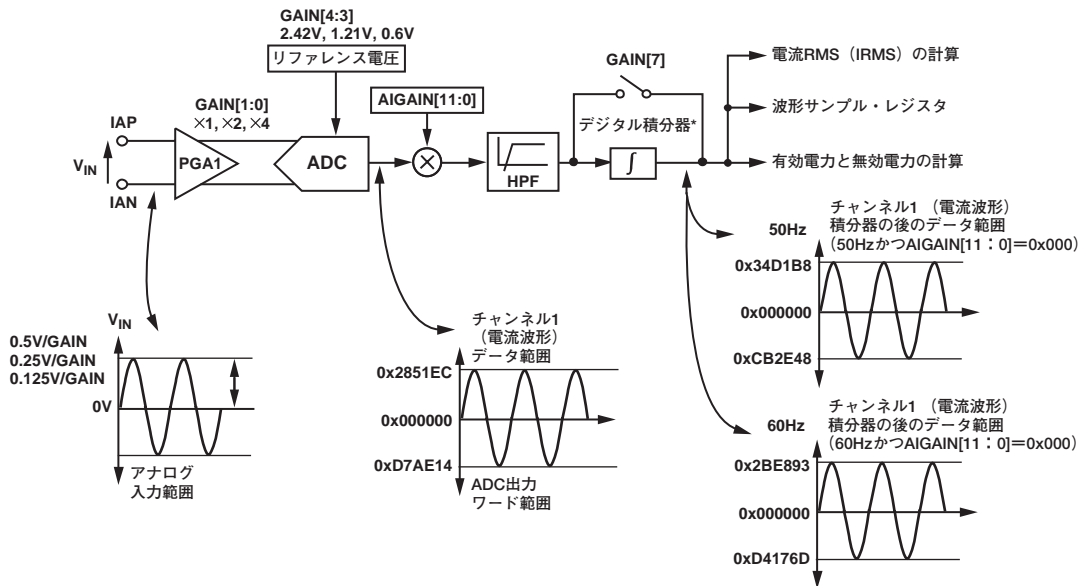


図41. 電流チャンネルの信号パス

di/dt電流センサーとデジタル積分器

di/dtセンサーは、AC電流に起因する磁界の変化を検出します。図42に、di/dt電流センサーの原理を示します。

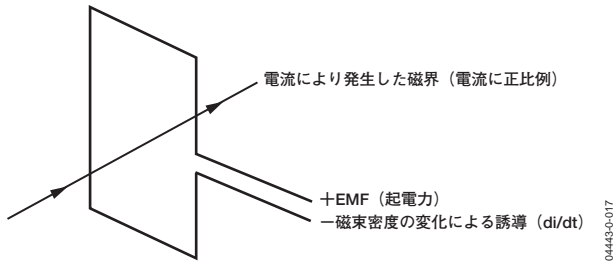


図42. di/dt電流センサーの原理

電流により発生する磁束密度は、電流の大きさに正比例します。導体のループを通過する磁束密度の変化は、ループの両端の間に起電力 (EMF) を発生させます。このEMFは電圧信号であり、電流のdi/dtに比例します。di/dt電流センサーからの電圧出力は、電流が流れる導体とdi/dtセンサーとの間の相互インダクタンスにより決定されます。

電流信号は、使用される前にdi/dt信号から再生される必要があります。このために信号を元の形式に戻す積分器が必要となります。ADE7758は、di/dtセンサーから電流信号を再生するためにデジタル積分器を内蔵しています。チャンネル1のデジタル積分器は、ADE7758のパワーアップ時にデフォルトでオンになります。GAIN [7:0]レジスタのMSBを設定すると、積分器がオンになります。図43～46に、デジタル積分器の振幅と位相の応答を示します。

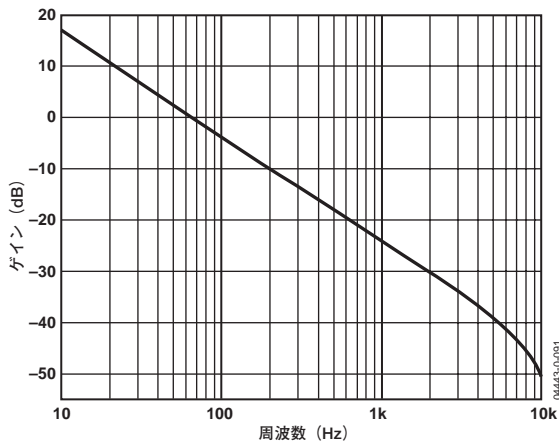


図43. デジタル積分器と位相補償器の合成ゲイン応答

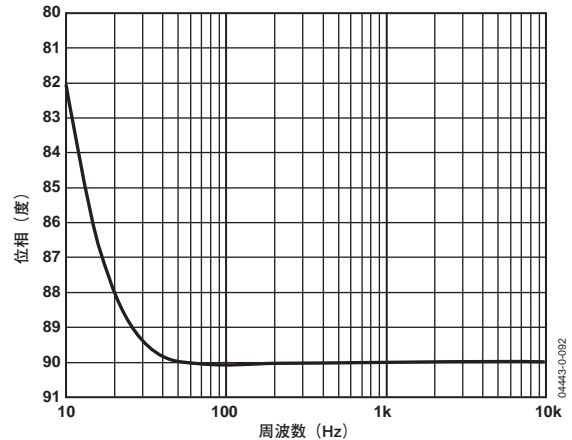


図44. デジタル積分器と位相補償器の合成位相応答

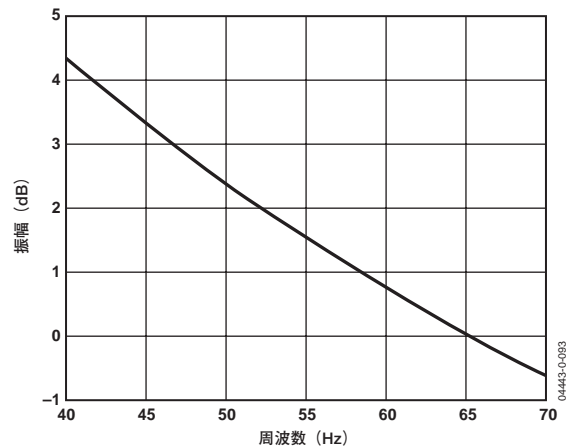


図45. デジタル積分器と位相補償器の合成ゲイン応答(40 ~ 70Hz)

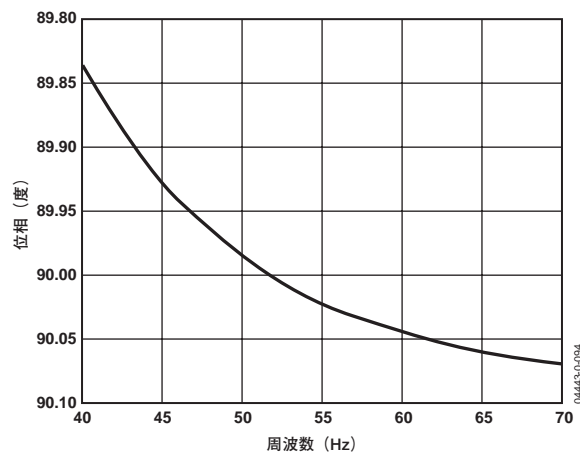


図46. デジタル積分器と位相補償器の合成位相応答(40 ~ 70Hz)

ADE7758

積分器は -20dB/dec の減衰と約 -90° の位相シフトを持つことに注意してください。di/dtセンサーと組み合わせると、振幅と位相の応答は使用する周波数帯でゲインが平坦になります。ただし、di/dtセンサーは 20dB/dec のゲインを持ち、大きな高周波ノイズを発生します。折返しによるノイズを防止するために、より強力なアンチエイリアシング・フィルタを使用する必要があります(「動作理論」を参照)。

デジタル積分器をオフにすると、ADE7758に電流トランス(CT)や低抵抗値の電流シャントのような従来型の電流センサーを直接接続することができます。

ピーク電流の検出

電流波形のピーク値を記録し、電流が予め設定した制限値を超えた場合に割込みを発生させるように、ADE7758を設定できます。

IPEAKレジスタを使用したピーク電流の検出

ラインの半サイクル数で表した固定値以内の電流波形のピーク絶対値がIPEAKレジスタに格納されます。図47に、ピーク電流検出の動作タイミングを示します。

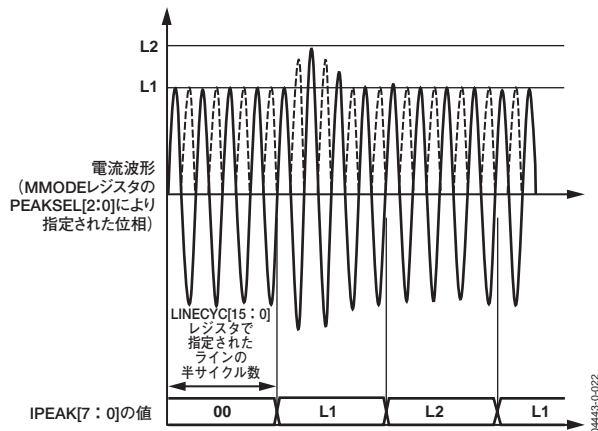


図47. IPEAKレジスタを使用したピーク電流の検出

IPEAKレジスタの値は、電流波形サンプルのビット14~21と等価です。フルスケール・アナログ入力で、電流波形サンプルは $0x2851\text{EC}$ になります。したがって、フルスケール入力でのIPEAKは $0xA1$ になります。

さらに、MMODEレジスタのPEAKSEL[2:4]ビットで複数のビットにロジック・ハイを設定することにより、複数の相を動作させてピーク検出を同時に行うことができます。これらのビットは、電圧と電流の両方のピーク測定の対象となる相を選択します。なお、複数のビットが設定された場合、VPEAKレジスタとIPEAKレジスタは2つの異なる相の値を保存できます。すなわち、電圧と電流のピークが独立して処理されます(「ピーク電流検出」を参照)。

ラインの半サイクル数は、電圧チャンネルのゼロ交差のカウントに基づいています。LCYCMODEレジスタのZXSEL[2:0]ビットは、ゼロ交差検出に使う電圧チャンネルを指定します。ライン・サイクル電力量積算モードがアクティブの場合も、同じ信号を使います(「ライン・サイクル積算モード・レジスタ(0x17)」を参照)。

過電流検出割込み

図48に、過電流検出の動作を示します。

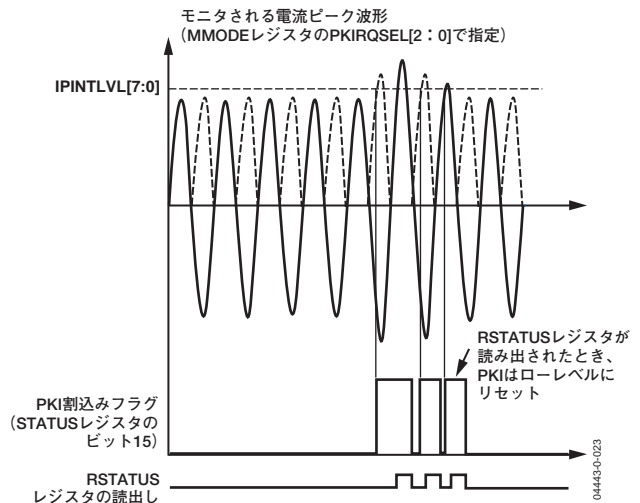


図48. ADE7758の過電流検出

IPINTLVL[7:0]レジスタの値は、電流波形サンプルのビット14~21と等価です。したがって、このレジスタをA1(16進)に設定すると、フルスケール・アナログ入力でのピーク検出が行われます。図48に、閾値を超える電流を示します。割込みSTATUSレジスタのPKIフラグ(ビット15)がセットされ、過電流イベントが記録されます。割込みMASKレジスタのPKI有効ビットをロジック1に設定すると、 $\overline{\text{IRQ}}$ ロジック出力がアクティブ・ローになります(「ADE7758割込み」を参照)。

ピーク・レベル検出と同様に、複数の相を動作させてピーク検出を行うことができます。動作している任意の相で閾値を超える波形サンプルが発生すると、割込みSTATUSレジスタのPKIフラグがセットされます。過電流をモニターする相は、MMODEレジスタのPKIRQSEL[2:0]ビットで設定します(表15を参照)。

電圧チャンネルADC

図49に、電圧チャンネルの入力VAに対するADCと信号処理チェーンを示します(VBとVCも同様)。

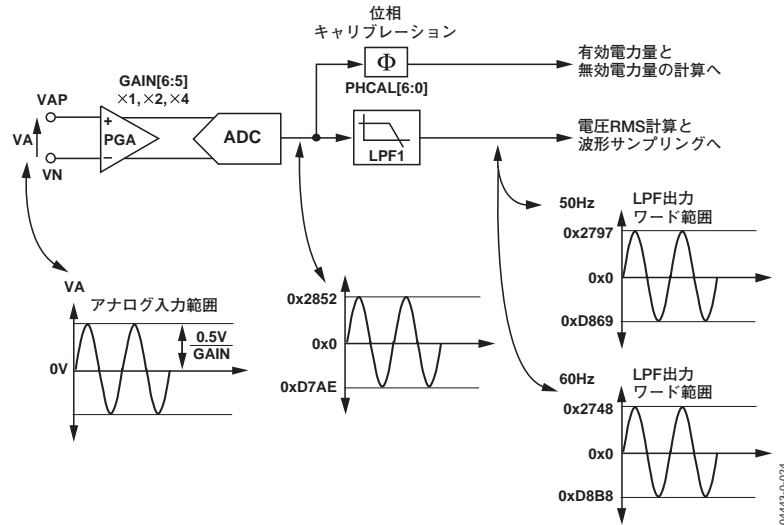


図49. 電圧チャンネルのADCと信号処理

有効電力量と無効電力量の測定の場合、ADCの出力は直接乗算器に渡され、フィルタを通りません。このソリューションは、大きなマルチビット乗算器を使用しなくてもすみ、測定精度に影響を与えることもありません。DCオフセットを除去するためのHPFは電圧チャンネルにはありません。電力計算でADCオフセットに起因する誤差を除去するには、電流チャンネルにHPFを使用するだけで十分だからです。ただし、電圧チャンネルのADCオフセットは電圧rms計算で大きな誤差を発生させ、皮相電力量計算の精度に影響を与えます。

電圧チャンネルのサンプリング

電圧チャンネルの波形サンプルもWFORMレジスタへ転送できます。ただし、WFORMレジスタに渡す前に、ADC出力はカットオフ周波数260Hzで単極ローパス・フィルタ(LPF1)を通過します。図50に、LPF1の振幅と位相応答を示します。このフィルタは、信号を少し減衰させます。たとえば、ライン周波数が60Hzの場合、LPF1出力で信号は3.575%減衰します。波形サンプルは16ビットの2の補数データで、0x2748(+10,056d)～0xD8B8(-10,056d)の範囲です。データは、WFORMレジスタで符号付きの24ビットに拡張されます。

$$H(f) = \frac{1}{\sqrt{1 + \left(\frac{60 \text{ Hz}}{260 \text{ Hz}}\right)^2}} = 0.974 = -0.225\text{dB}$$

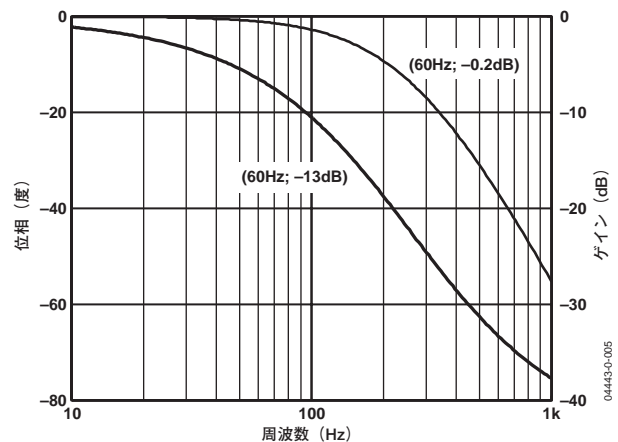


図50. LPF1の振幅と位相応答

LPF1は波形サンプリング信号パスでのみ使用されているため、有効電力量と無効電力量の計算に影響を与えません。ただし、波形サンプルは、電圧rms計算と後続の皮相電力量積算に使用します。

電圧波形サンプリングを開始するときは、WAVMODEレジスタのWAVSEL[2:0]ビットを001 (バイナリ)に設定します。PHSEL[1:0]ビットが、サンプルを転送する相を指定します。波形サンプル・モードの場合、WAVMODEレジスタのビット5とビット6を変更することで、4種類の出力サンプル・レートから選択できます(表16を参照)。出力サンプル・レートとしては、26.0kSPS、13.5kSPS、6.5kSPS、3.3kSPSが可能です。割込みMASKレジスタのWSMPビットにロジック1を設定すると、サンプルが存在するとき、割込み要求出力 $\overline{\text{IRQ}}$ がアクティブ・ローになります。図40にタイミング図を示します。24ビットの波形サンプルは、MSBファーストで、1バイト(8ビット)ずつADE7758から転送されます。レジスタの符号は上位8ビットに拡張されます。タイミングは電流チャンネルの場合と同じです(図40を参照)。

ゼロ交差の検出

ADE7758は各電圧チャンネル(VAN、VBN、VCN)のゼロ交差検出回路を内蔵しています。図51に、電圧チャンネルのADC出力からゼロ交差信号を発生させる方法を示します。

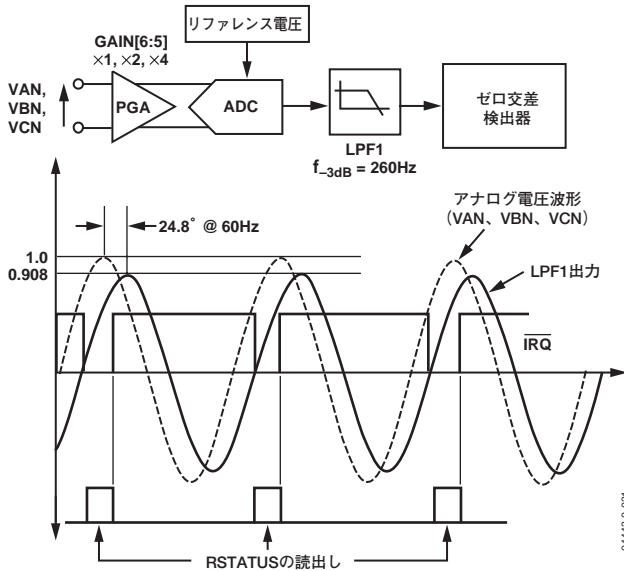


図51. 電圧チャンネルでのゼロ交差検出

ゼロ交差割込みは、LPF1出力から発生します。LPF1は260Hzに単極を持っています(CLKIN=10MHz)。このため、電圧チャンネルのアナログ入力信号とLPF1出力の間に位相遅れが発生します。このフィルタの位相応答は「電圧チャンネルのサンプリング」の項に示してあります。LPF1の位相遅れ応答により、ゼロ交差信号の両電圧入力上のゼロ交差信号間で約1.1ms (@60Hz)の時間遅延が発生します。なお、ゼロ交差信号は、ライン・サイクル積算モード、ゼロ交差割込み、ライン周期/周波数の測定にも使用します。

1つの相が負から正にゼロ交差すると、割込みSTATUSレジスタの対応するフラグ(ビット9~11)がロジック1に設定されます。割込みMASKレジスタの対応するZXビットがロジック1に設定されていると、 \overline{IRQ} 出力もアクティブ・ローになります。負から正へのゼロ交差だけが、割込みを発生します。

リセット(RSTATUS)を持つ割込みSTATUSレジスタが読み出されると、割込みSTATUSレジスタのフラグが0にリセットされます。各相は、割込みレジスタに固有の割込みフラグとマスク・ビットを持っています。

ゼロ交差タイムアウト

各ゼロ交差検出は、対応する内部タイムアウト・レジスタを持っています(ユーザはアクセスできません)。この符号なし16ビット・レジスタは384/CLKIN秒ごとに1だけデクリメントされます。このレジスタは、対応する入力でゼロ交差が検出されるたびに、共通のユーザ設定値、すなわ

ちゼロ交差タイムアウト・レジスタ(ZXTOUT[15:0]、アドレス0x1B)にリセットされます。ZXTOUTのデフォルト値は0xFFFFです。対応する入力のゼロ交差が検出される前に内部レジスタが0にデクリメントされると、ZXTOUT[15:0]で指定された時間内にゼロ交差が発生しなかったことを表します。その後、割込みSTATUSレジスタ内の対応する相のZXTOX検出ビットは、オンに切り替わります(ビット9~11)。割込みMASKレジスタ内の対応する相のZXTOXマスク・ビットがロジック1に設定されている場合、 \overline{IRQ} 出力もアクティブ・ローになります。図52に、ライン電圧AがCLKIN/384×ZXTOUT[15:0]秒以上、固定DCレベルに留まるときの、ゼロ交差タイムアウト検出機能のメカニズムを示します。

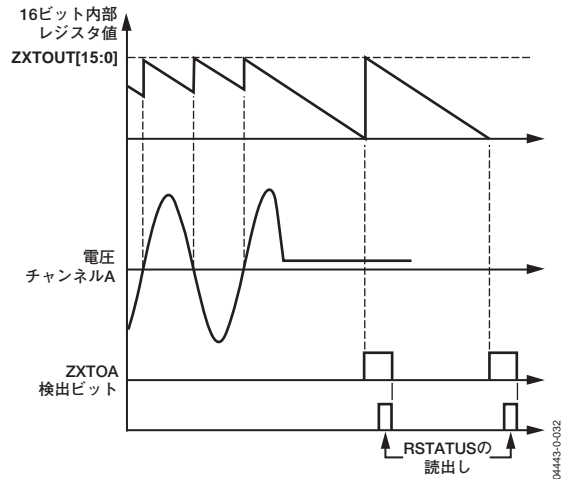


図52. ゼロ交差タイムアウト検出

位相補償

電流チャンネルのHPFが無効の場合は、電流チャンネル(IA、IB、IC)と対応する電圧チャンネル(VA、VB、VC)との間の位相誤差は無視できます。HPFが有効の場合、電流チャンネルは位相応答を持ちます(図53と54を参照)。図55に、フィルタの振幅応答を示します。位相応答は50Hz~1kHzで、ほぼ0です。周波数帯域は、一般的な電力量測定アプリケーションには十分です。

ただし、ADE7758は内部で位相補償を行っているにもかかわらず、固有な位相誤差を持つトランスデューサが接続されることがあります。たとえば、電流トランス(CT)には0.1~0.3°の位相誤差が普通に存在します。これらの位相誤差は個体ごとに変動するため、正確な電力計算を行うには補正が必要です。位相の不一致に関連する誤差は、特に低い力率で目立ちます。ADE7758は、これらの小さな位相誤差をデジタル的にキャリブレーションする方法を提供します。ADE7758では、小さな位相誤差を補正するため、シグナル・チェーンに小さい時間遅れまたは時間進みが導入されます。

位相キャリブレーション・レジスタ (APHCAL、BPHCAL、CPHCAL) は、2の補数の7ビット符号付きレジスタであり、電圧チャンネル信号パス内の時間進み/遅れを $-151.2 \sim +75.6 \mu\text{s}$ ($\text{CLKIN} = 10\text{MHz}$) の範囲で変更できます。1LSBは、 $1.2 \mu\text{s}$ の時間遅れまたは $2.4 \mu\text{s}$ の時間進みに等価です。これは、ライン周波数が 60Hz の場合、基本波で 0.026° の位相分解能になり、正方向では $360^\circ \times 1.2 \mu\text{s} \times 60\text{Hz}$ に、負方向では 0.052° になります。これは 50Hz で $-2.72 \sim +1.36^\circ$ の合計補正範囲に対応します。

図56に、位相補償機能を使って、外部電流トランスデューサから入力された電流チャンネルIAにおける 0.1° の位相進みを除去する方法を示します。A相の電流チャンネルでの進み (0.1°) を相殺させるため、対応する電圧チャンネルに位相進みを導入する必要があります。位相調整の分解能は、 0.104° の位相進みを可能にします。位相進みは、VAに時間進みを導入することによって実現します。 $-4.8 \mu\text{s}$ の時間進みは、時間遅延ブロック (APHCAL[7:0]) に $-2(0x7E)$ を書き込むことで実現します。これにより、時間遅れの大きさが $4.8 \mu\text{s}$ だけ小さくなります。これは、 60Hz で $360^\circ \times 4.8 \mu\text{s} \times 60\text{Hz} = 0.104^\circ$ と等価です。

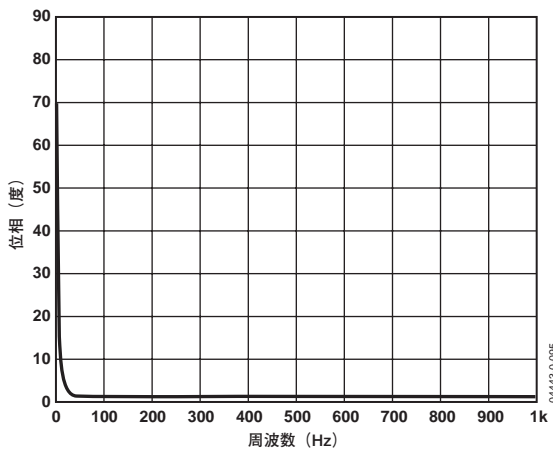


図53. HPFと位相補償の位相応答 (10Hz ~ 1kHz)

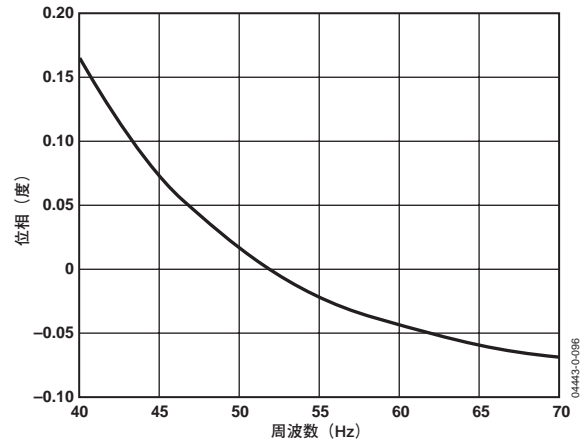


図54. HPFと位相補償の位相応答 (40 ~ 70Hz)

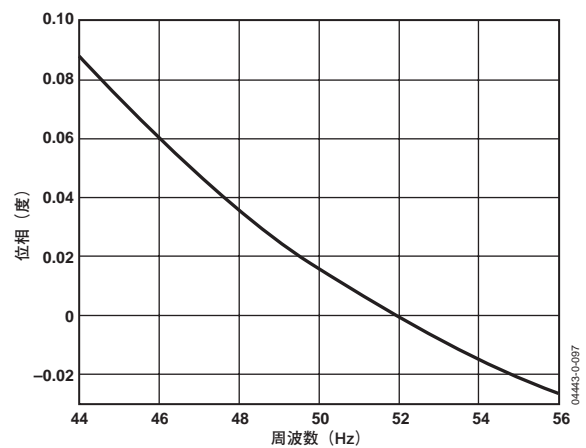


図55. HPFと位相補償のゲイン応答 (44 ~ 56Hz)

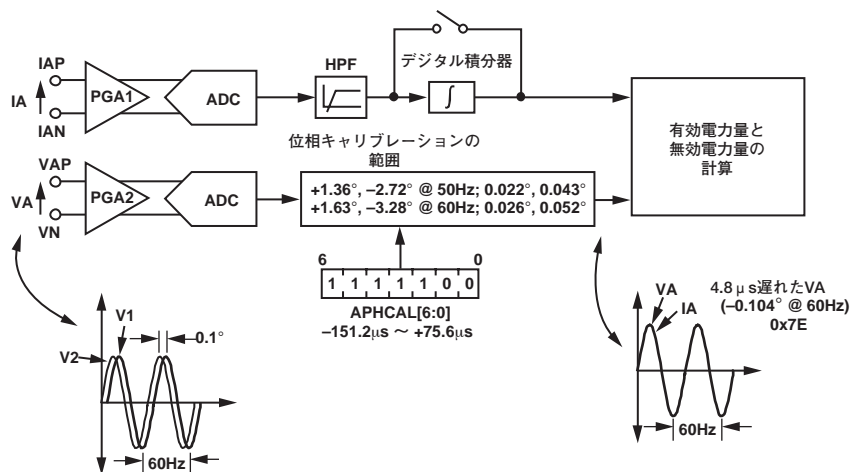


図56. 電圧チャンネルでの位相キャリブレーション

ADE7758

周期測定

ADE7758はライン電圧の周期または周波数の測定機能を提供します。周期は、MMODEレジスタのビット0とビット1で指定された相で測定されます。周期レジスタは符号なしの12ビットFREQレジスタで、選択した相の4周期ごとに更新されます。

LCYCMODEのビット7は、周期レジスタに周波数または周期のどちらを表示するかを指定します。このビットをロジック・ハイに設定すると、レジスタは周期を表示します。デフォルト設定はロジック・ローで、レジスタは周波数を表示します。

周期測定に設定すると、このレジスタの分解能は1LSB当たり96/CLKIN (CLKIN=10MHzのとき9.6 μ s/LSB)で、ライン周波数が60Hzのとき0.06%に相当します。ライン周波数が60Hzときは、周期レジスタ値は約1737dになります。50Hzのとき、周期レジスタ値は2084dになります。周波数測定に設定すると、周期レジスタ値は60Hzで960d、50Hzで800dになります。これは、1LSB当たり0.0625Hzに相当します。

ライン電圧SAGの検出

ADE7758は、任意の相のライン電圧絶対値が、ある半サイクル数の間、一定のピーク値以下になったときに検出するように設定できます。電圧チャンネルの各相は同時に制御されます。この状態を図57に示します。

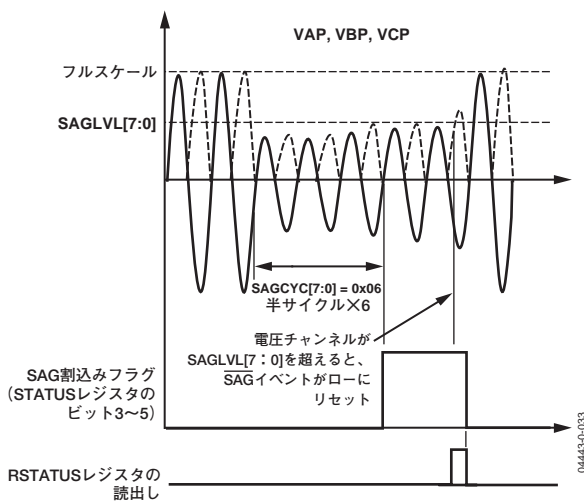


図57. ADE7758のSAG検出

図57に、ライン電圧がSAGレベル・レジスタ (SAGLVL[7:0]) に設定された閾値を、9半サイクルの間、下回るときを示します。SAGサイクル・レジスタが6半サイクル閾値 (SAGCYC[7:0]=0x06) を示しているの、割込みSTATUSレジスタの対応する相のSAGフラグをセットすることにより (割込みSTATUSレジスタのビット1~3)、SAG イベントが6番目の半サイクルの終わりに記録されます。この相でSAG有効ビットをロジック1に設定すると (割込みMASKレジスタのビット1~3)、 $\overline{\text{IRQ}}$ ロジック出力がアクティブ・ローになります (「ADE7758割込み」を参照)。位相は、SAGLVLレジスタとSAGCYCレジスタで定義された同じパラメータと比較されます。

SAGレベルの設定

1バイトのSAGレベル・レジスタSAGLVL[0:7]の値は、電圧波形サンプルのビット6~13の絶対値と比較されます。たとえば、60Hzのフルスケール信号入力での電圧チャンネル波形サンプルの公称最大コードは0x249Cです (「電圧チャンネル・サンプリング」を参照)。ビット13~6は0x92です。したがって、SAGレベル・レジスタに0x92を書き込むと、SAG検出レベルはフルスケールになり、SAG検出機能は最も感度の高い値に設定されます。

SAGLVL[7:0]レジスタ値が受信サンプルより大きくなると、検出が行われます。0x00を書き込むと、SAG検出レベルが0になります。この場合、入力電圧の低下の検出は無効になります。

ピーク電圧の検出

ADE7758は、電圧波形のピーク値を記録し、電圧が予め設定した制限値を超えた場合に割込みを発生させます。

VPEAKレジスタを使用したピーク電圧検出

指定のラインの半サイクル数以内の電圧波形のピーク絶対値はVPEAKレジスタに保存されます。図58に、ピーク電圧検出の動作タイミングを示します。

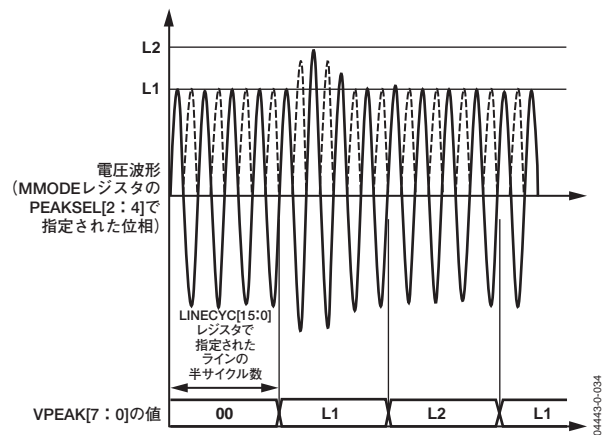


図58. VPEAKレジスタを使用したピーク電圧の検出

VPEAKレジスタの値は、16ビットの電圧波形サンプルのビット6~13と等価です。フルスケール・アナログ入力では、電圧波形サンプルは60Hzで0x249Cになります。したがって、フルスケール入力でのVPEAKは0x92になります。

さらに、MMODEレジスタのPEAKSEL[2:4]ビットで複数のビットをロジック・ハイに設定することにより、複数の相を動作させて同時にピーク検出できます。これらのビットは、電圧と電流の両方のピーク測定を行う相を選択します。なお、複数のビットが設定された場合、VPEAKレジスタとIPEAKレジスタは2つの異なる相の値を保存できます。すなわち、電圧と電流のピークが独立して処理されます (「ピーク電流の検出」を参照)。

ラインの半サイクル数は、電圧チャンネルのゼロ交差のカウントに基づいています。LCYCMODEレジスタのZXSEL[2:0]ビットが、ゼロ交差検出に使う電圧チャンネルを指定します。ライン・サイクル電力量積算モードがアクティブの場合も、同じ信号を使います(「ライン・サイクル積算モード・レジスタ(0x17)」を参照)。

過電圧検出割込み

図59に、過電圧検出の動作を示します。

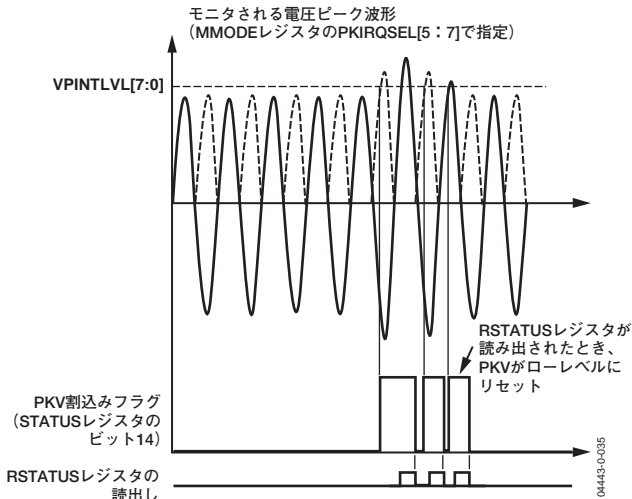


図59. ADE7758の過電圧検出

VPINTLVL[7:0]レジスタの値は、16ビットの電圧波形サンプルのビット6~13と等価です。したがって、このレジスタを0x92に設定すると、フルスケール・アナログ入力でのピーク検出が行われます。図59に、閾値を超える電圧を示します。割込みSTATUSレジスタのPKVフラグ(ビット14)をセットすると、過電圧イベントが記録されます。割込みMASKレジスタのPKV有効ビットをロジック1に設定すると、 \overline{IRQ} ロジック出力がアクティブ・ローになります(「ADE7758割込み」を参照)。

複数の相を動作させてピーク検出を行うことができます。動作している任意の相で閾値を超える波形サンプルが発生すると、割込みSTATUSレジスタのPKVフラグがセットされます。過電圧をモニタする相は、MMODEレジスタのPKIRQSEL[5:7]ビットで指定します(表15を参照)。

位相シーケンスの検出

ADE7758は、位相シーケンス誤差検出割込み機能を内蔵しています。A相のゼロ交差の後にB相が続かずC相が続くと、STATUSレジスタのSEQERRビット(ビット19)がセットされます。MASKレジスタでSEQERR(ビット19)がセットされると、 \overline{IRQ} ロジック出力はアクティブ・ローになります(「ADE7758割込み」を参照)。次の図は、2つの異なる設定での割込みの発生方法について示しています。A相の後にC相ではなくB相が続くときに割込みを発生させたい場合、B相とC相へのアナログ入力をスワップする必要があります。この場合、B相の電圧入力はVCPピンに接続し、C相の電圧入力はVBPピンに接続します。

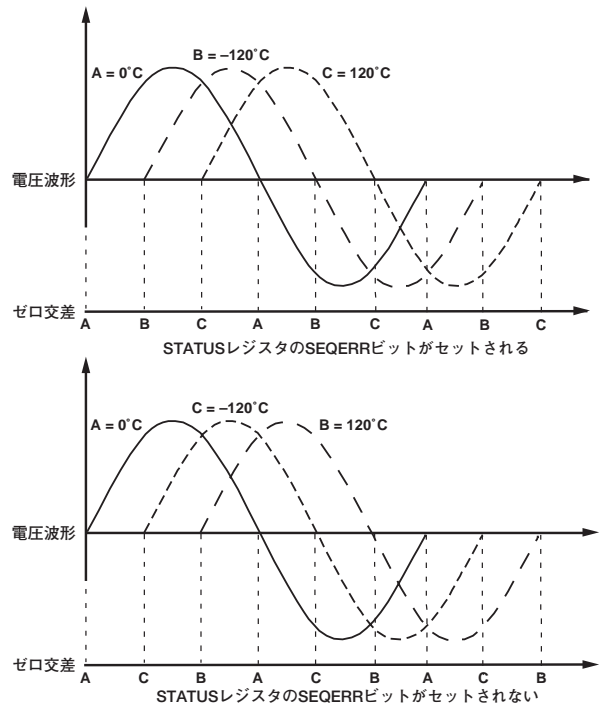


図60. 位相シーケンスの検出

電源モニタ

ADE7758には、電源モニタ機能も内蔵されています。ADE7758はアナログ電源(AVDD)を連続的に監視しています。電源が $4V \pm 5\%$ を下回ると、ADE7758は非アクティブ状態になります。すなわち、電源電圧が4Vを下回ると電力量の積算を行いません。この機能は、パワーアップ時とパワーダウン時にデバイスの正常動作を保証するのに役立ちます。電源モニタには内蔵のヒステリシスとフィルタがあります。この機能により、電源ノイズで発生する擬似トリガに対する耐性が著しく向上します。図61に、AVDDの電圧が電源モニタ閾値を下回るときの、ADE7758の動作を示します。このデバイスに対する電源とデカップリングは、AVDDのリプルが通常動作仕様の $5V \pm 5\%$ を超えないように設計してください。

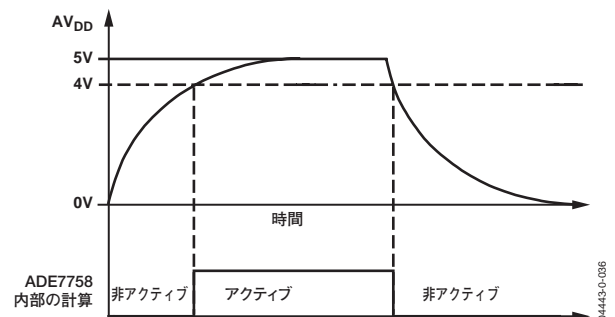


図61. 内蔵の電源モニタ機能

ADE7758

リファレンス回路

REF_{IN/OUT}ピンでの公称リファレンス電圧は2.42Vです。これは、ADE7758内のADCに使用するリファレンス電圧です。ただし、電流チャンネルでは3種類の入力範囲を選択できます(フルスケールは0.5V、0.25V、0.125Vから選択可能)。これは、リファレンス電圧を内部的に1、1/2、1/4倍することにより実行されます。リファレンス電圧値は電流チャンネルのADCで使われます。フルスケールの選択は電流入力でのみ可能です。

REF_{IN/OUT}ピンは、外部電源(たとえば外付けの2.5Vリファレンス)でオーバードライブできます。ADCに対する公称リファレンス値は2.42Vではなく2.5Vです。これは公称アナログ入力信号範囲が2.5/2.42×100%=3%、すなわち0.5Vから0.5165Vへ大きくなる効果を持ちます。

ADE7758のリファレンス電圧は温度によって多少ドリフトが生じます(温度係数仕様(ppm/°C)については、「仕様」を参照)。温度ドリフト値は製品ごとに変ります。このリファレンス電圧はすべてのADCに使用されているため、リファレンス電圧がx%ドリフトすれば、測定精度が2x%変化します。温度変化に起因するリファレンス電圧のドリフトは一般に非常に小さく、測定器の他の部分のドリフトよりはるかに小さくなっています。代わりに、複数の温度点で測定器をキャリブレーションすることも可能です。

温度測定

ADE7758は温度センサーも内蔵しています。温度測定は4/CLKIN秒ごとに行います。温度センシング回路の出力は、デジタル化のためにADCに接続されています。出力コードは処理されてから、温度レジスタ(TEMP[7:0])に格納されます。このレジスタは読出し可能で、アドレス0x11となっています(「ADE7758シリアル・インターフェース」を参照)。温度レジスタ値は、分解能3°C/LSBの符号付き(2の補数)です。このレジスタのオフセットは部品ごとに大幅に変わります。レジスタを校正するときは、公称値を測定し、それに基づいて式を調整する必要があります。たとえば、周囲温度が約70°Cのときに、温度レジスタがコード0x00を発生する場合、レジスタ値は次のようになります。

$$\text{温度レジスタ} = \text{温度}(\text{°C}) - 70$$

レジスタの公称値に応じて、ある有限温度値でレジスタがロールオーバーします。これはMCU内で補正する必要があります。

ADE7758温度レジスタは電源電圧によって変動します。温度レジスタは、固定の安定した電源を使うアプリケーションでのみ使用することを推奨します。電源電圧変動にともなう誤差の代表値を表5に示します。

表5. 電源電圧変動にともなう温度レジスタ誤差

	4.5V	4.75V	5V	5.25V	5.5V
レジスタ値	219	216	214	211	208
%誤差	2.34	0.93	0	-1.40	-2.80

2乗平均(rms)の測定

2乗平均(rms)は、AC信号の大きさの基本的な測定単位です。実用的な定義と数学的な定義があります。実用的な定義では、AC信号のrms値は、負荷に等価な電力を供給するために必要なDCの大きさです。数学的には、連続信号*f(t)*のrms値は次のように定義されます。

$$FRMS = \sqrt{\frac{1}{T} \int_0^T f^2(t) dt} \quad (1)$$

時間サンプリング信号に対しては、rms計算には信号の2乗処理、平均処理、平方根処理が含まれます。

$$FRMS = \sqrt{\frac{1}{N} \sum_{n=1}^N f^2[n]} \quad (2)$$

ADE7758のrms値の計算に使われている方法では、入力信号の2乗をローパス・フィルタ(LPF3)を通過させ、その結果の平方根をとります(図62)。

$$i(t) = \sqrt{2} \times IRMS \times \sin(\omega t) \quad \text{に対して}$$
$$i^2(t) = IRMS^2 + IRMS^2 \times \cos(2\omega t)$$

rms計算は、6つのアナログ入力チャンネルで同時に処理されます。各結果は、別々のレジスタに格納されます。

ADE7758は非正弦波信号を測定しますが、電圧rmsの測定、したがって皮相電力量は帯域幅が260Hzに制限されていることに注意してください。電流rmsおよび有効電力の帯域幅は14kHzです。

電流RMSの計算

図62に、電流チャンネルの1相について、rms計算を行う場合の信号処理チェーンの詳細を示します。電流チャンネルのrms値は、電流チャンネル波形サンプリング・モードで使用するサンプルから算出されます。電流rms値は、符号なしの24ビット・レジスタ(AIRMS、BIRMS、CIRMS)に格納されます。電流rmsレジスタの1LSBは、電流波形サンプルの1LSBに等価です。電流rms測定の更新レートはCLKIN/12です。

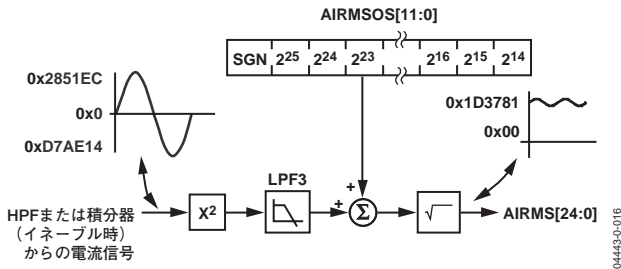


図62. 電流RMSの信号処理

仕様のフルスケール・アナログ入力信号0.5Vで、ADCは約±2,642,412dの出力コードを発生します（「電流チャンネルADC」を参照）。60Hzでのフルスケール正弦波信号の等価rms値は1,914,753（0x1D3781）です。

電流rmsの精度は、フルスケール入力からフルスケール入力の1/500の間で誤差0.2% (typ)です。さらに、この測定の帯域幅は14kHzです。

電流RMSオフセットの補償

ADE7758は、各相に対する電流rmsオフセット補償を内蔵しています（AIRMSOS、BIRMSOS、CIRMSOS）。これらは12ビットの符号付きレジスタであり、電流rms計算でオフセットを除去するのに使用できます。rms計算には、 $I^2(t)$ のDC成分に積分される入力ノイズに起因するオフセットが存在します。オフセット・キャリブレーション機能を使うと、電流が消費されないとき、IRMSレジスタ値を0に保持できます。電流rmsオフセット・レジスタの1LSBは、電流rmsレジスタの2乗である16,384（10進数）に等価です。フルスケールAC入力での電流rms計算の最大値が1,868,467dとすると、電流rmsオフセットの1LSBは、フルスケールから-60dBの点での測定誤差0.94%を表します。電流rms測定のキャリブレーションの詳細は、「キャリブレーション」を参照してください。

$$IRMS = \sqrt{IRM_0^2 + 16,384 \times IRMSOS}$$

ここで、 $IRMS_0$ はオフセット補正なしのrms測定です。

電圧チャンネルRMS計算

図63に、A相電圧チャンネルのrms計算用信号パスの詳細を示します。電圧チャンネルrms値は、ローパス・フィルタLPF1後の波形サンプルから処理されます。rms電圧全体のキャリブレーションを実行するために、VRMSGAIN[11:0]レジスタを変更し、電圧チャンネルADCの出力を±50%でスケールできます。VRMSGAINレジスタはrms計算および皮相電力量計算をスケールします。これは、皮相電力が電圧rms値と電流rms値との積になるからです。電圧rms値は、符号なしの24ビット・レジスタ（AVRMS、BVRMS、CVRMS）に格納されます。電圧rmsレジスタの256LSBは、電圧波形サンプルの1LSBとはほぼ等価です。電圧rms測定の更新レートは $CLKIN/12$ です。

仕様のフルスケールACアナログ入力信号0.5Vで、LPF1はフルスケール値の約63%の出力コードを発生し、これは60Hzで±9,372dに相当します（「電圧チャンネルADC」を参照）。フルスケールAC信号の等価rms値は、VRMSレジスタ内で約1,639,101（0x1902BD）になります。

電圧rms測定の精度は、フルスケール入力からフルスケール入力の1/20の間で誤差0.5% (typ)です。さらに、この測定の帯域幅は260Hzです。

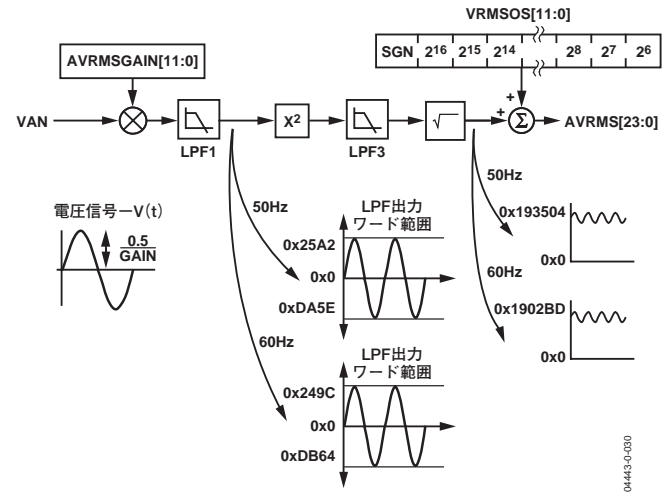


図63. 電圧RMSの信号処理

電圧RMSオフセットの補償

ADE7758は、各相に対する電圧rmsオフセット補償を内蔵しています（AVRMSOS、BVRMSOS、CVRMSOS）。これらは12ビットの符号付きレジスタであり、電圧rms計算でオフセットを除去するのに使用できます。rms計算には入力ノイズと入力サンプルのオフセットに起因するオフセットが存在します。オフセット・キャリブレーションは、電圧が加えられないとき、VRMSレジスタ値を0に保持できません。これは電圧rms計算内のノイズに起因し、使用可能な範囲をフルスケールからフルスケールの1/50までに制限します。電圧rmsオフセットの1LSBは、電圧rmsレジスタの64LSBに等価です。

フルスケールAC入力での電圧rms計算の最大値が1,639,101dであるとすると、電圧rmsオフセットの1LSBはフルスケールの1/10の点での測定誤差0.042%を表します。

$$VRMS = VRMS_0 + VRMSOS \times 64$$

ここで、 $VRMS_0$ はオフセット補正なしのrms測定です。

ADE7758

電圧RMSゲインの調整

電圧rmsゲイン・レジスタ(AVRMSGAIN, BVRMSGAIN, CVRMSGAIN)を使用すると、電圧チャンネルの各相のADCゲインをrms計算用に調整できます。LPF1の前の電圧波形のゲインは、電圧rmsゲイン・レジスタに2の補数の12ビット・ワードを書き込むことで調整できます。次式は、ゲイン調整と電圧ゲイン・レジスタ値との関係を示しています。

VRMSレジスタ値＝

$$\text{ゲインなしの公称RMS値} \times \left(1 + \frac{\text{VRMSGAIN}}{2^{12}}\right)$$

たとえば、0x7FFを電圧ゲイン・レジスタに書き込むと、ADC出力は50%スケールアップされます。

$$0x7FF = 2047d, 2047/2^{12} = 0.5$$

同様に、0x800＝－2047d（符号付き2の補数）では、ADC出力は－50%スケールされます。

有効電力計算

電力は、電源から負荷へのエネルギーの流れのレートとして定義され、電圧波形および電流波形の積で得られます。こうして得られた波形は瞬時電力信号と呼ばれ、各瞬間のエネルギーの流れのレートに等しくなります。電力の単位はワット(W)すなわちジュール/秒です。式5は、ACシステム内の瞬時電力信号の式を表します。

$$v(t) = \sqrt{2} \times \text{VRMS} \times \sin(\omega t) \quad (3)$$

$$i(t) = \sqrt{2} \times \text{IRMS} \times \sin(\omega t) \quad (4)$$

ここで、VRMS＝rms電圧、IRMS＝rms電流です。

$$p(t) = v(t) \times i(t)$$

$$p(t) = \text{IRMS} \times \text{VRMS} - \text{IRMS} \times \text{VRMS} \times \cos(2\omega t) \quad (5)$$

ライン・サイクル数(n)の間の平均電力は、式6で得られます。

$$p = \frac{1}{nT} \int_0^{nT} p(t) dt = \text{VRMS} \times \text{IRMS} \quad (6)$$

ここで、tはライン・サイクル周期です。

Pは、有効電力または実電力と呼ばれます。有効電力は、式5の瞬時電力信号p(t)のDC成分、すなわちVRMS×IRMSに等しくなります。この関係は、ADE7758の各相の有効電力を計算する際に使います。瞬時

電力信号p(t)は、各相の電流および電圧信号の積として得られます。次に、各相(A、B、C)の瞬時電力信号のDC成分をLPF2(ローパス・フィルタ)で取り出し、各相の平均有効電力情報を得ます。図64に、このプロセスを示します。各相の有効電力は、対応する16ビット・ワット時レジスタ(AWATTHR, BWATTHR, CWATTHR)に累積されます。各有効電力量レジスタに対する入力、積算モードの設定に応じて変更できます(表17を参照)。

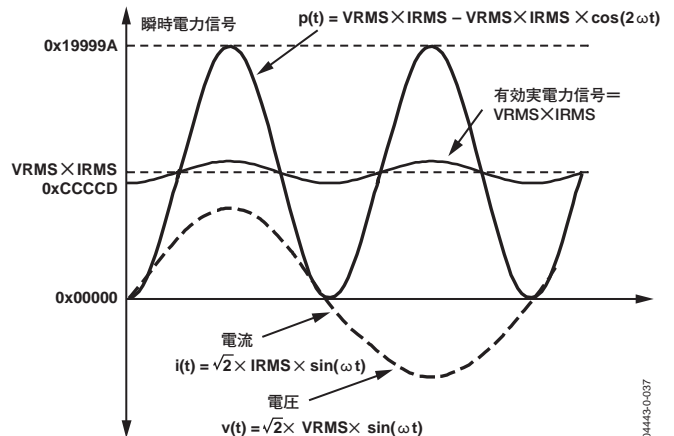


図64. 有効電力の計算

LPF2は理想的な「阻止」周波数応答を持たないので(図65)、有効電力信号は瞬時電力信号に起因するリップルを持っています。このリップルは正弦波であり、周波数はライン周波数の2倍です。リップルは本質的に正弦波なので、有効電力信号を時間積分して電力量を算出する際に除去されます。

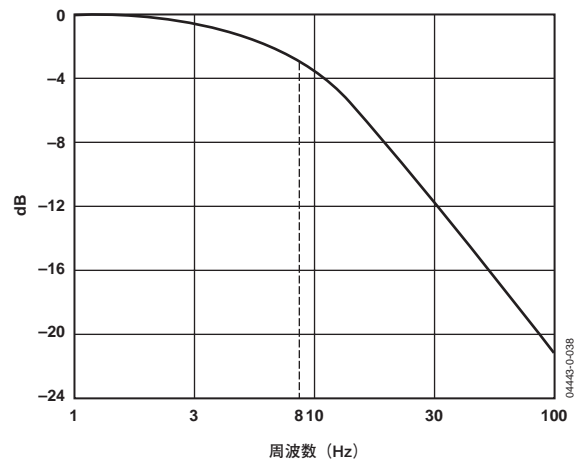


図65. 各相で瞬時電力のフィルタに使用されるLPF2の周波数応答

有効電力ゲインのキャリブレーション

各相のLPF出力から得られた平均有効電力は、その相のワット・ゲイン・レジスタ(AWG、BWG、CWG)に書き込みを行うことで、±50%でスケールできます。ワット・ゲイン・レジスタは2の補数の符号付きレジスタで、分解能は0.024%/LSBです。次式により、ワット・ゲイン・レジスタの機能が数学的に表されます。

$$\text{平均電力データ} = \text{LPF2出力} \times \left(1 + \frac{\text{ワット・ゲイン・レジスタ}}{2^{12}} \right)$$

ワット・ゲイン・レジスタ値に0x800が設定されると、出力は−50%スケールされ、ワット・ゲイン・レジスタに0x7FFを書き込むと、出力が+50%大きくなります。このレジスタは、ADE7758の各相の有効電力(または電力量)計算を校正するのに使用できます。

有効電力オフセットのキャリブレーション

ADE7758は、各相のワット・オフセット・レジスタ(AWATTOS、BWATTOS、CWATTOS)も内蔵しています。これらは2の補数の12ビット符号付きレジスタで、有効電力計算でオフセットを除去するのに使用します。電力計算には、PCボード上のチャンネル間のクロストークまたはチップ自体の内部のクロストークに起因するオフセットが存在します。オフセット・キャリブレーション機能を使うと、電力が消費されていないとき、有効電力量レジスタ値を0に保持できます。有効電力オフセット・レジスタの1LSBは、有効電力乗算器出力の1/16LSBと等価です。フルスケール入力で、乗算器出力が0xCCCCD(838,861d)の場合、LPF2出力の1LSBは電流チャンネルのフルスケールから−60dBの点での測定誤差0.0075%と等価です。フルスケールから−60dBの点(入力信号レベルはフルスケール信号入力の1/1000)で、LPF2からの平均ワード値は838.861(838,861/1,000)になります。1LSBは、1/838.861/16×100%=測定値の0.0075%に等価です。有効電力オフセット・レジスタは、−60dBで0.0075%に等しい補正分解能を持っています。

有効電力計算の符号

平均有効電力は符号付き計算です。電流波形と電圧波形の位相差が90°を超えると、平均電力は負になります。負電力は、グリッド上でエネルギーが戻されていることを表します。ADE7758は、有効電力計算用に符号検出回路を内蔵しています。任意の相の平均電力の符号が変わると、割込みSTATUSレジスタのREVPAPビット(ビット17)がセットされます。モニタする相は、COMPMODEレジスタのTERMSELビットで選択します(表17を参照)。TERMSELビットは、APCFパルス出力とVARCFパルス出力に含まれる相の選択にも使います。MASKレジスタでREVPAPビットがセットされていると、 $\overline{\text{IRQ}}$ ロジック出力はアクティブ・ローになります(「ADE7758割込み」を参照)。このビットは符号が変化するたびにセットされます。すなわち、符号ビットが正から負または負から正へ変化すると、REVPAPビットがセットされます。APCFNUM[15:13]は、各相の逆向き電力を表します。A相電力の符号が負の場合はビット15がセットされ、B相ではビット14、C相ではビット13がセットされます。

無負荷閾値

ADE7758は、各相に無負荷閾値を内蔵しています。COMPMODEレジスタのNOLOADビット(ビット7)をセットすると、無負荷閾値を有効にできます。有効電力がフルスケール入力の0.005%を下回ると、その相の電力量は積算されません。前述のように、フルスケール入力での平均乗算器出力は0xCCCCDになります。したがって、平均乗算器出力が0x2Aを下回ると、電力量計のクリープを回避するため、電力の積算は行われません。無負荷閾値は、有効電力量積算でのみ使用されます。無効電力と皮相電力には、無負荷閾値オプションはありません。

有効電力量計算

前述のように、電力はエネルギーの流れのレートとして定義されます。この関係は、数学的に式7で表されます。

$$\text{電力} = \frac{d\text{Energy}}{dt} \quad (7)$$

これに対して、電力量は電力の積分として得られます。

$$\text{電力量} = \int p(t) dt \quad (8)$$

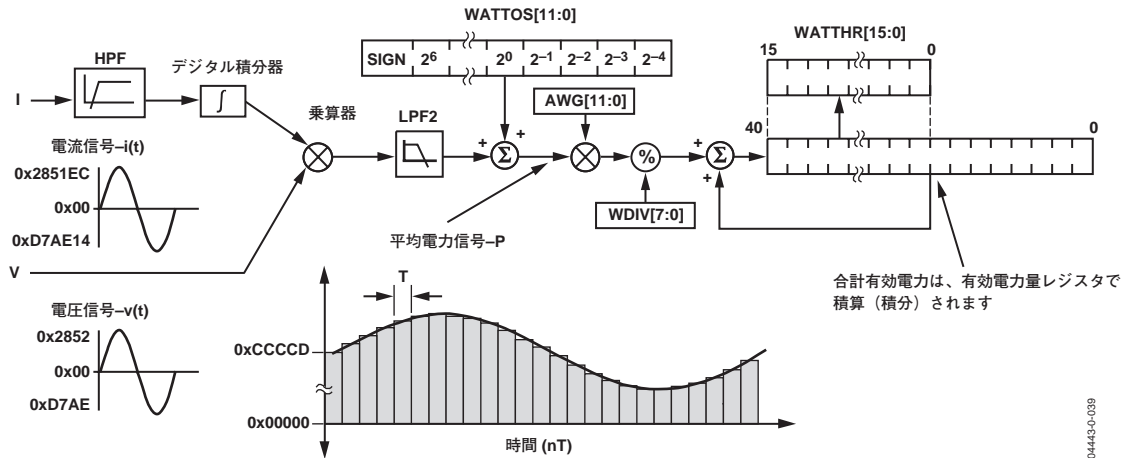


図66. ADE7758有効電力量の積算

ADE7758は、内部41ビット電力量レジスタの有効電力信号を連続的に積算することで有効電力信号の積分を行います。ワット時レジスタ (AWATTHR, BWATTHR, CWATTHR)は、これらの内部レジスタの上位16ビットを表します。このディスクリット時間の累積すなわち加算は、連続時間での積分と等価です。式9は、この関係を表しています。

$$\text{電力量} = \int p(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} p(nT) \times T \right\} \quad (9)$$

ここで、 n はディスクリット時間サンプル数、 T はサンプル周期です。

図66に、この電力量積算の信号パスを示します。平均有効電力信号は、連続的に内部有効電力量レジスタに加算されます。この加算は、符号付き演算です。負電力量は、有効電力量レジスタから減算されます。図65に示した値は公称フルスケール値、すなわち対応する相の電圧入力と電流入力がフルスケール入力レベルです。平均有効電力は、ワット除数レジスタ(WDIV)の値で除算されてから、対応するワット時積算レジスタに加算されます。WDIV[7:0]レジスタ値が0または1のとき、有効電力は除算なしで加算されます。WDIVは8ビット符号なしレジスタであり、ワット時積算レジスタがオーバーフローに要する時間を延長するのに役立ちます。

図67に、アナログ入力上のフルスケール信号(正弦波)に対する電力量積算を示します。3本の線は、対応する相のワット・ゲイン・レジスタ値が0x7FF、0x000、0x800に等しいときにワット時積算レジスタがオーバーフローに要する最小時間を表しています。ワット・ゲイン・レジスタは、ADE7758で電力キャリブレーションを実行するときに使います。図のように、ワット・ゲイン・レジスタが最大フルスケール(0x7FF)に設定されると、積分時間が最も短くなります。これは、WDIVレジスタへの書込みによってオーバーフローをスケールできるようにする前に要する時間であり、最大255まで大きくできます。

有効電力量レジスタ値は負側フルスケール(0x8000)へロールオーバーでき、有効電力が正のとき、値の増加が続きます(図66を参照)。逆に、

有効電力が負の場合、電力量レジスタは正側フルスケール(0x7FFF)にロールオーバーし、値の減少が続きます。

割込みMASKレジスタのAEHFビット(ビット0)をセットすると、3つのワット時積算レジスタのいずれかのビット14が変化して積算レジスタがフル(正側または負側)の半分になったことを表示したときに、割込み(IRQ)を発生するようにADE7758を設定できます。

LCYMODEレジスタのRSTREADビット(ビット6)をセットすると、ワット時積算レジスタのリセット読出しが可能になります。すなわち、レジスタは読出し動作後、0にリセットされます。

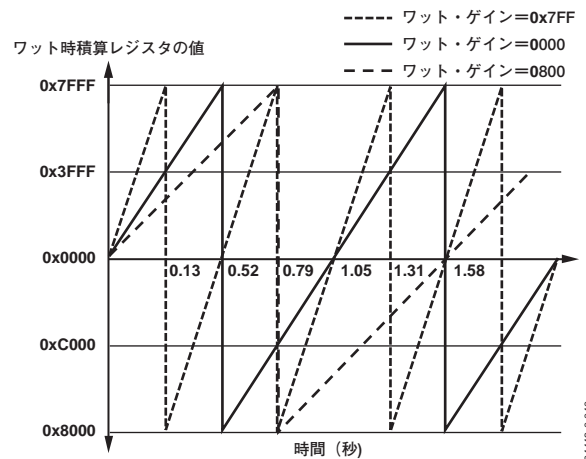


図67. フルスケール電力(最小および最大の電力ゲイン)に対する電力量レジスタのロールオーバー時間

定常負荷での積分時間

積算レジスタのディスクリット時間サンプル周期(T)は $0.4\mu s$ (4/CLKIN)です。アナログ入力が入力スケール正弦波信号で、かつワット・ゲイン・レジスタが0x000に設定されていると、各LPF2からの平均ワード値は0xCCCCDになります(図64と66を参照)。オーバーフローしないでワット時積算レジスタに格納できる最大値は、 $2^{15}-1$ すなわち0x7FFFです。平均ワード値が内部レジスタ(オーバーフローなしで格納できる値は $2^{40}-1$ すなわち0xFF, FFFF, FFFF)に加算されるため、この条件でWDIV=0のときの積分時間は、次のように計算されます。

$$\text{時間} = \frac{0xFF, FFFF, FFFF}{0xCCCCD} \times 0.4\mu s = 0.524\text{秒}$$

WDIVが0以外の値に設定されると、オーバーフローまでの時間は式10に従ってスケールされます。

$$\text{時間} = \text{時間 (WDIV=0)} \times \text{WDIV}[7:0] \quad (10)$$

電力量積算モード

各ワット時積算レジスタ(AWATTHR, BWATTHR, CWATTHR)で積算された有効電力は、COMPmodeレジスタのCONSELビット(ビット0とビット1)の設定に依存します。さまざまな設定を表6に示します。

表6. ワット時積算レジスタに対する入力

CONSEL[1:0]	AWATTHR	BWATTHR	CWATTHR
00	VA×IA	VB×IB	VC×IC
01	VA×(IA-IB)	0	VC×(IC-IB)
10	VA×(IA-IB)	0	VC×IC
11	予備	予備	予備

ワット時積算レジスタ値は、対応する相の電流ゲイン・レジスタ(IGAIN)およびワット・ゲイン・レジスタの影響を受けます。CONSELのモード0 (COMPmode[0:1]) 使用時は、IGAINを使うことはできません。

多相電力量計方式で有効電力量を計算するときは、該当する公式を選択する必要があります。米国のANSI C12.10標準は、さまざまな電力量計構成を規定しています。

表7に、各種の構成に応じて選択すべきモードを示します。

表7. 電力量計方式

ANSI電力量計方式	CONSEL (d)	TERMSEL (d)
5S/13S 3線式デルタ	0	3、5、6
6S/14S 4線式Wye	1	7
8S/15S 4線式デルタ	2	7
9S/16S 4線式Wye	0	7

さまざまな構成の電力量計のキャリブレーションに対応するため、ADE7758ではさまざまなゲイン・キャリブレーション・パラメータを提供しています。CONSELモード0dでは、IGAINレジスタとWGAINレジスタが最終結果に同じ影響を与えることに注意してください。ただし、IGAINを変えると、電流波形を使う他のすべての計算も変わります。言い換えれば、IGAINが変わると、有効/無効/皮相電力量およびRMS電流計算の結果が変わります。

有効電力のパルス周波数出力

ADE7758のピン1 (APCF)は、合計有効電力のパルス周波数出力を提供します。出荷時の初期キャリブレーションの後で、メーカーまたは最終顧客が電力量計のキャリブレーションを検証することがあります。電力量計のキャリブレーションを検証する便利な方法は、定常負荷条件下で電力量または有効電力量に比例するパルス周波数出力を提供することです。この出力周波数を使うと、外部キャリブレーション装置に対するシンプルな1線式の光アイソレーション・インターフェースを提供できます。図68に、ADE7758の電力量/周波数変換を示します。

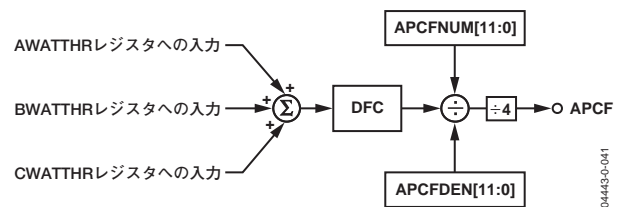


図68. ADE7758の有効電力のパルス周波数出力

デジタル/周波数コンバータ(DFC)を使用し、合計有効電力からAPCFパルス出力を発生させます。COMPmodeレジスタのTERMSELビット(ビット2~4)を使い、合計電力計算に含める相を選択できます。ビット2、ビット3、ビット4をセットすると、AWATTHRレジスタ、BWATTHRレジスタ、CWATTHRレジスタへの入力が合計有効電力計算に含まれます。合計有効電力は、符号付き加算です。ただし、COMPmodeレジスタのABSビット(ビット5)をセットすると、絶対専用モードが有効になります。すなわち、有効電力の絶対値だけが考慮されます。

DFCからの出力は1対の周波数分周レジスタで分周された後に、APCFパルス出力に送られます。すなわち、APCFピンがパルスを出力する前に、DFC出力でAPCFDEN/APCFNUMパルスが必要とされます。定常負荷条件下で、パルス出力周波数は合計有効電力に正比例します。APCFのパルス幅は、APCFNUMとAPCFDENが等しい場合、 $64 \times \text{CLKIN}$ となります。APCFNUMがAPCFDENより大きい場合、パルス幅はAPCFDENに応じて異なり、 $T \times (\text{APCFDEN}/2)$ となります。ここで、TはAPCFパルスの周期で、APCFDEN/2は最も近い整数に丸められます。この例外は周期が180msより大きい場合で、この場合、パルス幅は固定の90msになります。

ADE7758

フルスケールAC信号での1つの相の最大出力周波数 (APCFNUM=0x00かつAPCFDEN=0x00)は、約16kHzです。

ADE7758は、APCF (APCFNUM[11:0]とAPCFDEN[11:0]) のパルス周波数を設定する2個のレジスタを内蔵しています。これは、符号なしの12ビット・レジスタで、APCFのパルス周波数を1/2¹²ステップで1/2¹²~1の範囲で調整するのに使用できます。たとえば、出力周波数が1.562kHzで、かつCFDIV値が0 (0x000) の場合、CFDENレジスタに0xFFを書き込み、出力周波数を6.103Hzに設定できます。

0を任意の周波数分周レジスタに書き込むと、周波数分周で分周比1が使われます。さらに、正常動作を確保するには、APCFNUM/APCFDEN比は1より大きい設定はできません。言い換えれば、APCF出力周波数はDFC出力の周波数より大きくなることはできません。

出力周波数には、ライン周波数の2倍に等しい周波数で、小さいリップルがあります。これは、有効電力信号を発生するための瞬時電力信号のフィルタ処理が不完全であるために発生します (「有効電力計算」を参照)。式5で瞬時電力信号が得られます。これは、式11で得た振幅応答を持つLPF2でフィルタ処理されます。

$$H(f) = \frac{1}{\sqrt{1 + \frac{f^2}{8^2}}} \quad (11)$$

有効電力信号 (LPF2の出力)は、次のように表すことができます。

$$p(t) = VRMS \times IRMS \left[\frac{VRMS \times IRMS}{\sqrt{1 + \frac{(2f_1)^2}{8^2}}} \right] \times \cos(4\pi f_1 t) \quad (12)$$

ここで、 f_1 はライン周波数 (たとえば60Hz) です。

式12から、

$$E(t) = VRMS \times IRMS \times t - \left[\frac{VRMS \times IRMS}{4\pi f_1 t \sqrt{1 + \frac{(2f_1)^2}{8^2}}} \right] \times \cos(4\pi f_1 t) \quad (13)$$

電力量計算内に $\sin(2\omega t)$ 成分に起因する小さいリップルが存在することが、式13からわかります。図69にこれを示します。リップルは負荷が大きくなると大きくなります。キャリアレーション時に、大きなAPCFDEN値を使ってAPCFに低い出力周波数を選択し、さらにAPCFNUMを比較的小さくすると、大幅にリップルを減らせます。また、出力周波数の平均を長時間でとつても、同じ結果が得られます。

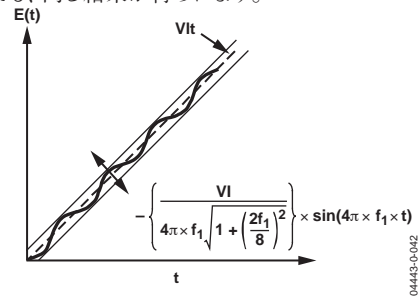


図69. 出力周波数のリップル

ライン・サイクル有効電力量積算モード

ADE7758は、キャリアレーション・プロセスを簡素化する特別な電力量積算モードで設計されています。内蔵のゼロ交差検出機能を使用して、ADE7758は整数回のゼロ交差後にワット時積算レジスタを更新します (図70)。LCYCMODEレジスタのLWATTビット (ビット0) をセットすると、ワット時積算のライン有効電力量積算モードが開始されます。LINECYC数回のゼロ交差が検出された後、ラインの半サイクル整数倍の間の合計電力量がワット時積算レジスタに書き込まれます。ライン・サイクル積算モードを使用するときは、LCYCMODEレジスタのRSTREADビット (ビット6) にロジック0を設定する必要があります。

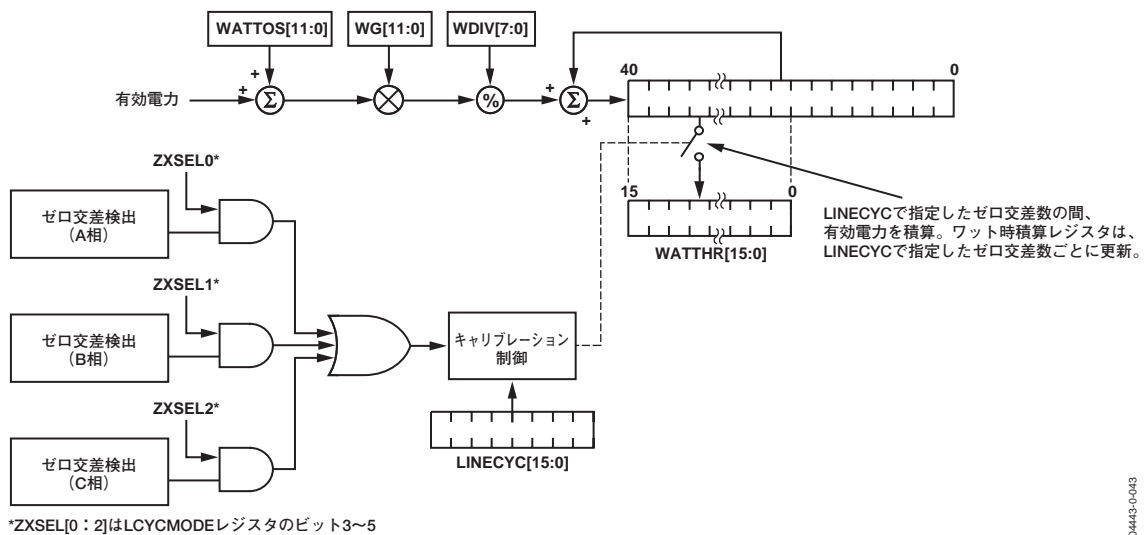


図70. ADE7758のライン・サイクル有効電力量積算モード

LCYCMODEレジスタのZXSEL[0:2]ビット(ビット3~5)をセットすると、ラインの半サイクル数をカウントするとき、A相、B相、C相のゼロ交差がそれぞれ含まれます。ゼロ交差のカウントには、3相すべてのゼロ交差の任意の組み合わせを使用できます。キャリブレーション時に、ゼロ交差カウントに含めるには、一度に1相だけを選択する必要があります(「キャリブレーション」を参照)。

ゼロ交差の数はLINECYCレジスタで指定します。LINECYCは符号なしの16ビットレジスタです。ADE7758は、最大65535の組み合わせのゼロ交差に対して有効電力を積算できます。内部ゼロ交差カウンタは常に動作していることに注意してください。このため、LWATTビットをセットすると、最初の電力量積算結果は正しくありません。LWATTビットが設定されているときにLINECYCレジスタに書き込みを行うと、ゼロ交差カウンタがリセットされるため、最初の電力量積算結果は常に正確になります。

電力量キャリブレーション・サイクルが終わると、STATUSレジスタのLENERGYビット(ビット12)がセットされます。割込みMASKレジスタの対応するマスク・ビットが有効であると、 \overline{IRQ} 出力もアクティブ・ローになるため、キャリブレーションの終了を通知するのに \overline{IRQ} も使用できます。

このモードでは、ラインの半サイクル整数倍の有効電力が積分されるため、正弦波成分は0に減少します。これにより、電力量計算内のすべてのリップルが解消されます。したがって、ライン・サイクル積算モードを使用して積算された合計電力量は、次のようになります。

$$E(t) = VRMS \times IRMS \times t \quad (14)$$

ここで、 t は積算時間です。

ライン・サイクル有効電力量積算では、有効電力量積算と同じ信号バスを使います。2つの方法のLSBサイズは等価です。kWh/LSB定数の計算にライン・サイクル積算を使うと、ライン積算モードを選択していないときに、WATTHRレジスタに適用できる値が得られます(「キャリブレーション」を参照)。

無効電力計算

リアクタンス成分(インダクタまたはコンデンサ)を含む負荷は、加えたAC電圧と生じた電流の間で位相差を発生させます。リアクタンス成分に対応する電力は無効電力と呼ばれ、単位はVARを使用します。無効電力は、電圧と電流のどちらか一方の信号の位相を90°シフトして乗算することにより得られます。式17は、電流チャンネルの位相が+90°シフトしている場合のACシステムの瞬时无効電力信号を表しています。

$$v(t) = \sqrt{2} V \sin(\omega t - \theta) \quad (15)$$

$$i(t) = \sqrt{2} I \sin(\omega t)$$

$$i'(t) = \sqrt{2} I \sin\left(\omega t + \frac{\pi}{2}\right) \quad (16)$$

ここで、 V =rms電圧、 I =rms電流、 θ =負荷のリアクタンス成分に起因する合計位相シフトです。したがって、瞬时无効電力 $q(t)$ は次のように表されます。

$$q(t) = v(t) \times i'(t)$$

$$q(t) = VI \cos\left(-\theta - \frac{\pi}{2}\right) - VI \cos\left(2\omega t - \theta - \frac{\pi}{2}\right)$$

ここで、 $i'(t)$ は90°シフトした電流波形位相です。 $q(t)$ は次のように書くことができることに注意してください。

$$q(t) = VI \sin(\theta) + VI \sin(2\omega t - \theta) \quad (17)$$

ライン・サイクル数(n)間の平均無効電力は、式18で与えられます。

$$Q = \frac{1}{nT} \int_0^{nT} q(t) dt = V \times I \times \sin(\theta) \quad (18)$$

ここで、 T はライン・サイクル周期です。

Q は、平均無効電力と呼ばれます。瞬时无効電力信号 $q(t)$ は、各相の電圧信号と90°位相シフトした電流の積として得られます。

次に、各相(A、B、C)の瞬时无効電力信号のDC成分をローパス・フィルタ使って取り出し、各相の平均無効電力情報を得ます。このプロセスを図71に示します。各相の無効電力は、対応する16ビットVARレジスタ(AVARHR、BVARHR、CVARHR)で積算されます。各有効電力量レジスタに対する入力、積算モードの設定に応じて変更できます(表17を参照)。

無効電力信号バス内のLPFの周波数応答は、平均有効電力計算で使うLPF2と同じです(図65)。

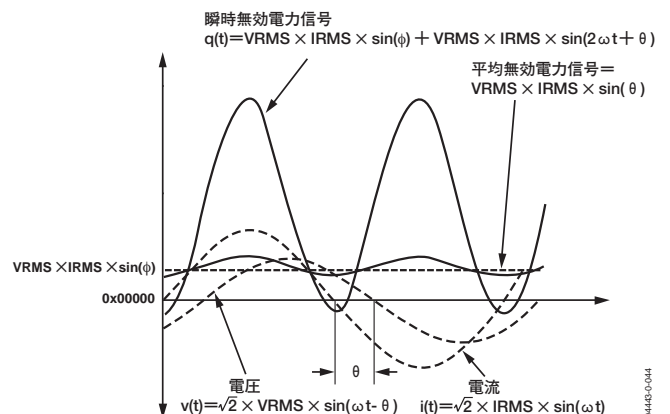


図71. 無効電力の計算

ローパス・フィルタは理想的ではないため、無効電力信号にはリップルがあります。このリップルは正弦波であり、周波数はライン周波数の2倍です。リップルは本質的に正弦波であることから、無効電力信号を時間積分して無効電力量を算出する際には除去されます。

ADE7758

積分器を有効にすると、位相シフト・フィルタは -90° の位相シフトを発生させ、積分器を無効にすると、 $+90^\circ$ の位相シフトを発生させます。さらに、このフィルタの振幅応答はゲイン1ではありません。位相シフト・フィルタは高周波で大きな減衰を持つため、無効電力は主にライン周波数での計算に使用します。高調波の影響は、無効電力計算ではほぼ無視されます。なお、位相シフト・フィルタの振幅特性のため、無効電力計算のLSBの重さは有効電力計算と少し異なります（「電力量レジスタのスケールリング」を参照）。

無効電力ゲインのキャリブレーション

各相のLPF出力からの平均無効電力は、各相のVARゲイン・レジスタ（AVARG、BVARG、CVARG）に書き込みを行うことにより、 $\pm 50\%$ でスケールできます。VARゲイン・レジスタは2の補数の符号付きレジスタで、分解能は $0.024\%/LSB$ です。VARゲイン・レジスタの機能を、以下に説明します。

平均無効電力＝

$$LPF2 \text{ 出力} \times \left(1 + \frac{\text{VARゲイン・レジスタ}}{2^{12}} \right)$$

VARゲイン・レジスタ値に $0x800$ を設定すると、出力は -50% スケールされ、VARゲイン・レジスタに $0x7FF$ を書き込むと、出力が $+50\%$ 大きくなります。このレジスタは、ADE7758の各相の無効電力（または電力量）計算を校正するのに使用できます。

無効電力オフセットのキャリブレーション

ADE7758は、各相のVARオフセット・レジスタ（AVAROS、BVAROS、CVAROS）を内蔵しています。これらは2の補数の12ビットの符号付きレジスタで、無効電力計算でオフセットを除去するのに使用します。電力計算には、PCボード上のチャンネル間のクロストークまたはチップ自体のクロストークに起因するオフセットが存在します。オフセット・キャリブレーション機能を使うと、無効電力が消費されていないとき、無効電力量レジスタ値を0に保持できます。オフセット・レジスタの分解能は有効電力オフセット・レジスタと同じです（「有効電力オフセットのキャリブレーション」を参照）。

無効電力計算の符号

平均無効電力は符号付き計算です。前述のように、位相シフト・フィルタは積分器を有効にすると -90° の位相シフトを発生させ、積分器を無効にすると $+90^\circ$ の位相シフトを発生させます。表8に、電圧と電流の間の位相差の関係および、VAR計算結果の符号についてまとめています。

ADE7758は、無効電力計算用に符号検出回路を内蔵しています。任意の相の平均無効電力の符号が変わると、割込みSTATUSレジスタのREVPRPビット（ビット18）がセットされます。モニタする相は、COMPmodeレジスタのTERMSELビットで選択します（表17を参照）。

MASKレジスタでREVPRPビットがセットされている場合、 \overline{IRQ} ロジック出力はアクティブ・ローになります（「ADE7758割込み」を参照）。このビットは符号が変化するたびにセットされます。すなわち、符号ビットが正から負または負から正へ変化すると、このビットがセットされます。

表8. 無効電力計算の符号

ϕ^1	積分器	無効電力の符号
$0 \sim +90$	オフ	正
$-90 \sim 0$	オフ	負
$0 \sim +90$	オン	正
$-90 \sim 0$	オン	負

¹ ϕ は、電圧信号から電流信号を減算したときの位相角度として定義されます。すなわち、負荷が誘導性の場合 ϕ は正で、容量性の場合 ϕ は負になります。

無効電力量計算

無効電力量は、無効電力の積分と定義されます。

$$\text{無効電力量} = \int q(t) dt \quad (19)$$

有効電力量と同じく、ADE7758は内部41ビット積算レジスタ内で無効電力信号を連続的に積算することで無効電力信号の積分を行います。VAR時レジスタ（AVARHR、BVARHR、CVARHR）は、これらの内部レジスタの上位16ビットを表します。このディスクリット時間積算すなわち加算は、連続時間での積分と等価です。式20は、この関係を表しています。

$$\text{無効電力量} = \int q(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} q(nT) \times T \right\} \quad (20)$$

ここで、 n はディスクリット時間サンプル番号、 T はサンプル周期です。

図72に、無効電力量積算の信号パスを示します。平均無効電力信号は、連続的に内部無効電力量レジスタに加算されます。この加算は、符号付き演算です。負電力は、無効電力量レジスタから減算されます。平均無効電力は、VAR除数レジスタ値で除算されてから、対応するVAR時積算レジスタに加算されます。VARDIV[7:0]レジスタ値が0または1のとき、無効電力は除算なしで加算されます。VARDIVは8ビット符号なしレジスタであり、VAR時積算レジスタがオーバーフローに要する時間を延長するのに役立ちます。

有効電力と同様に、VARゲイン・レジスタが最大フルスケール（ $0x7FF$ ）に設定されると、積分時間が最も短くなります。これは、VARDIVレジスタへの書き込みによってオーバーフローをスケールできるようにする前に要する時間であり、最大255まで大きくできます。

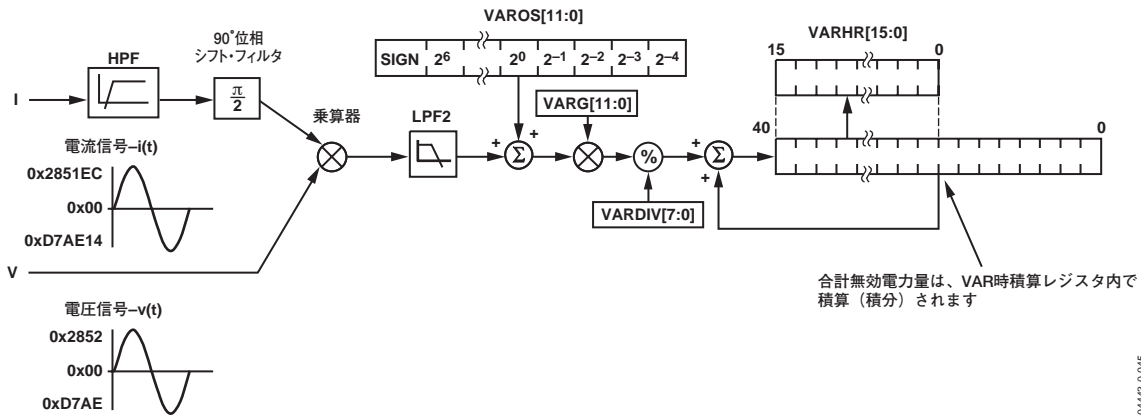


図72. ADE7758無効電力量の積算

オーバーフローすると、VAR時積算レジスタ値は負側フルスケール(0x8000)へロールオーバーし、無効電力が正のとき、値の増加が続きます。逆に、無効電力が負の場合、VAR時積算レジスタ値は正側フルスケール(0x7FFF)にロールオーバーでき、値の減少が続きます。

割込みMASKレジスタのREHFビット(ビット1)をセットすると、3つのVAR時積算レジスタのいずれかのビット14が変化して、積算レジスタがフル(正側または負側)の半分になったことを表示したときに、割込み(\overline{IRQ})を発生するようにADE7758を設定できます。

LCYMODEレジスタのRSTREADビット(ビット6)をセットすると、VAR時積算レジスタに対するリセット読出しが可能になります。すなわち、レジスタは読出し動作後、0にリセットされます。

定常負荷での積分時間

積算レジスタのディスクリート時間サンプル周期(T)は $0.4\mu s$ ($4/CLKIN$)です。アナログ入力がフルスケール正弦波信号、電圧信号と電流信号との間の位相差が 90° (可能な最大無効電力)で、かつVARゲイン・レジスタが0x000の場合、各LPF2からの平均ワード値は0xCCCCDになります。オーバーフローしないで無効電力量レジスタに格納できる最大値は、 $2^{15}-1$ すなわち0x7FFFです。平均ワード値が内部レジスタ(オーバーフローなしで格納できる値は $2^{40}-1$ すなわち0xFF, FFFF, FFFF)に最初に加算されるため、これらの条件でのVARDIV=0のときの積分時間は、次のように計算されます。

$$\text{時間} = \frac{0xFF, FFFF, FFFF}{0xCCCCD} \times 0.4\mu s = 0.5243\text{秒}$$

VARDIVが0以外の値に設定されると、オーバーフローまでの時間は、式21に従ってスケールされます。

$$\text{時間} = \text{時間} (VARDIV = 0) \times VARDIV \quad (21)$$

電力量積算モード

各VAR時積算レジスタ(AVARHR, BVARHR, またはCVARHR)で積算される無効電力は、COMPmodeレジスタのCONSELビット(ビット0とビット1)の設定に応じます。さまざまな設定を表9に示します。

表9. VAR時積算レジスタへの入力

CONSEL[1:0]	AVARHR	BVARHR	CVARHR
00	VA×IA'	VB×IB	VC×IC'
01	VA (IA'-IB')	0	VC (IC'-IB')
10	VA (IA'-IB')	0	VC×IC'
11	予備	予備	予備

注: IA'/IB'/IC'は電流波形をシフトさせた電流位相。

VAR時積算レジスタ値は、対応する相の電流ゲイン・レジスタ(IGAIN)とVARゲイン・レジスタの両方の影響を受けます。

無効電力のパルス周波数出力

ADE7758のピン17 (VARCF)は、合計無効電力のパルス周波数出力を提供します。APCFと同様に、このピンは合計無効電力に正比例する出力周波数を提供します。VARCFのパルス幅は、VARCFNUMとVARCFDENが等しい場合、 $64 \times CLKIN$ となります。VARCFNUMがVARCFDENより大きい場合、パルス幅はVARCFDENに応じて異なり、 $T \times (VARCFDEN/2)$ となります。ここで、 T はVARCFパルスの周期で、VARCFDEN/2は最も近い整数に丸められます。この例外は周期が180msより大きい場合で、この場合、パルス幅は固定の90msとなります。

デジタル/周波数コンバータ(DFC)を使用し、合計無効電力からVARCFパルス出力を発生させます。COMPmodeレジスタのTERMSELビット(ビット2~4)を使い、合計無効電力計算に含める相を選択できます。ビット2、ビット3、ビット4をセットすると、AVARHR、BVARHR、CVARHRの各レジスタへの入力が合計無効電力計算に含まれます。合

ADE7758

計無効電力は、符号付き加算です。ただし、COMPMODEレジスタのSAVARビット(ビット6)をセットすると、絶対値計算が有効になります。その相の有効電力が正の場合、無効電力の符号は変更されません。ただし、その相の有効電力の符号が負の場合は、無効電力の符号が反転された後に、VARCFパルスの加算と生成が行われます。このモードは、APCFパルスの有効電力に対しては絶対値モード(COMPMODEレジスタのビット5)と組み合わせて使う必要があります。以下に、COMPMODEレジスタのABSビットとSAVARビットを1に設定したときの影響を示します。

ワット>0の場合

APCF=ワット

VARCF=VAR

ワット<0の場合

APCF= |ワット|

VARCF= -VAR

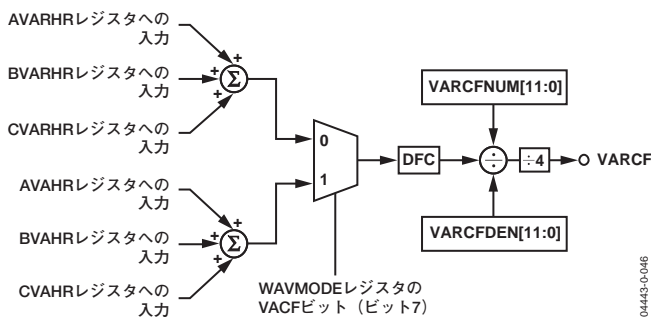


図73. ADE7758無効電力のパルス周波数出力

DFCからの出力は1対の周波数分周レジスタで分周されてから、VARCFパルス出力に送られます。すなわち、VARCFピンがパルスを出力する前に、DFC出力でVARCFDEN/VARCFNUMパルスが必要とされます。定常負荷状態では、パルス出力周波数は合計無効電力に比例します。

図68に、ADE7758の電力量/周波数変換機能を示します。DFCの入力として、合計無効電力と合計皮相電力を選択できます。したがって、VARCFピンは合計無効電力または合計皮相電力に比例するパルス周波数を出力できます。この選択は、WAVMODEレジスタのVACFビット(ビット7)の設定で行います。このビットをロジック・ハイに設定すると、合計皮相電力が入力されます。このビットのデフォルト値はロジック・ローです。したがって、VARCFピンのデフォルト出力は合計無効電力です。

このパルス周波数出力の他のすべての動作は、有効電力のパルス周波数出力と同じです(「有効電力のパルス周波数出力」を参照)。

ライン・サイクル無効電力量積算モード

LCYCMODEレジスタのLVARビット(ビット1)をセットすると、ライン・サイクル無効電力量積算モードが開始されます。LINECYCで指定されたゼロ交差数が検出された後、整数回のゼロ交差の間に積算された合計無効電力がVAR時積算レジスタに書き込まれます。このモードの動作はワット時積算と同じです(「ライン・サイクル有効電力量積算モード」を参照)。ライン・サイクル積算モードを使用するときは、LCYCMODEレジスタのRSTREADビット(ビット6)にロジック0を設定する必要があります。

皮相電力計算

皮相電力は、有効電力と無効電力のベクトル和の大きさとして定義されます。図74に、典型的な電力ベクトルを示します。

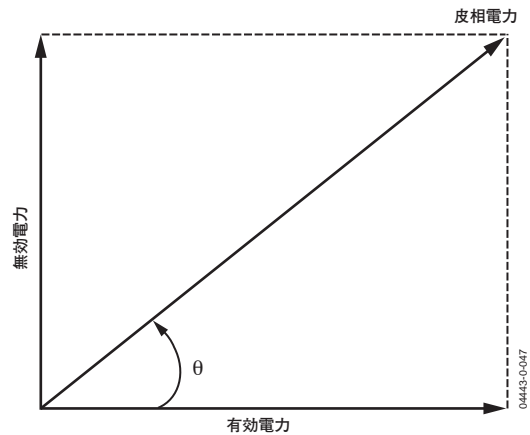


図74. 電力ベクトル

皮相電力には2通りの計算方法、すなわち数学的方法とベクトルを使う方法があります。数学的方法では、電圧rms値と電流rms値の積で皮相電力を計算します。式22に数学的方法を示します。

$$S = V_{RMS} \times I_{RMS} \quad (22)$$

ここで、Sは皮相電力、VRMSとIRMSはrms電圧とrms電流です。

ベクトル法では、有効電力の2乗と無効電力の2乗の和の平方根をとり、式23に、ベクトル法で使う計算を示します。

$$S = \sqrt{P^2 + Q^2} \quad (23)$$

ここで、Sは皮相電力、Pは有効電力、Qは無効電力です。

正弦波システムの場合、2つの方法は同じ結果になります。ADE7758の皮相電力量計算では数学的方法を使います。ただし、ADE7758のライン・サイクル電力量積算モードでは、同期した期間での有効電力量と無効電力量との間で電力量積算が可能のため、外付けMCUでベクトル法を容易に実現できます（「ライン・サイクル有効電力量積算モード」を参照）。

皮相電力は、有効電力または無効電力の流れの向きには関係なく、常に正となります。各相の電流と電圧のrms値が乗算され、対応する相の皮相電力が計算されます。乗算器の出力は、ローパス・フィルタを通過して平均皮相電力になります。皮相電力信号パス内のLPFの周波数応答は、平均有効電力計算で使用するLPF2の応答と同じです（図65）。

皮相電力ゲインのキャリブレーション

各相のLPF出力から得られた平均皮相電力は、その相のxVAGAINレジスタ（AVAG、BVAG、CVAG）に書き込みを行うことで、±50%スケールできることに注意してください。xVAGAINレジスタは2の補数の符号付きレジスタで、分解能は0.024%/LSBです。xVAGAINレジスタの機能を、次に数学的に説明します。

平均皮相電力＝

$$\text{LPF2 出力} \times \left(1 + \frac{\text{xVAGAINレジスタ}}{2^{12}} \right)$$

xVAGAINレジスタ値に0x800を設定すると出力は−50%スケールされ、ワット・ゲイン・レジスタに0x7FFを書き込むと出力が+50%大きくなります。このレジスタは、ADE7758の各相の皮相電力（または電力量）計算を校正するのに使用できます。

皮相電力オフセットのキャリブレーション

各rms測定計には、rms値内のDC成分を校正して除去するオフセット補償レジスタが含まれています（「電流RMS計算」および「電圧チャンネルRMS計算」を参照）。その後、電圧rms値と電流rms値は皮相電力信号処理部と一緒に乗算されます。rms値の乗算では追加のオフセットが発生しないため、皮相電力信号処理内には特別なオフセット補償はありません。各相の皮相電力測定のオフセット補償は、個々のrms測定での校正によって行う必要があります（「キャリブレーション」を参照）。

皮相電力量計算

皮相電力量は、皮相電力の積分として定義されます。

$$\text{皮相電力量} = \int S(t) dt \quad (24)$$

有効および無効電力量の場合と同様に、ADE7758は内部41ビット符号なし積算レジスタ内で皮相電力信号を連続的に積算することで皮相電力信号の積分を行います。VA時レジスタ（VAHR、

BVAHR、CVAHR）は、これらの内部レジスタの上位16ビットを表します。このディスクリット時間での積算すなわち加算は、連続時間での積分と等価です。式25は、この関係を表しています。

$$\text{皮相電力量} = \int S(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} S(nT) \times T \right\} \quad (25)$$

ここで、nはディスクリット時間サンプル番号、Tはサンプル周期です。

図75に、皮相電力量積算の信号パスを示します。皮相電力信号は、連続的に内部皮相電力量レジスタに加算されます。平均皮相電力は、VA除数レジスタ値で除算された後、対応するVA時積算レジスタに加算されます。VADIV[7:0]レジスタ値が0または1のとき、皮相電力は除算なしで加算されます。VADIVは8ビット符号なしレジスタで、VA時積算レジスタがオーバーフローに要する時間を延長するのに役立ちます。

有効および無効電力積算と同様に、xVAGAINレジスタが最大フルスケール（0x7FF）に設定されると、積分時間が最も短くなります。オーバーフローすると、VA時積算レジスタ値は0へロールオーバーでき、値の増加が続きます。MASKレジスタのVAEHFビット（ビット2）をセットすると、3つのVA時積算レジスタのいずれかのMSBが変化し、積算レジスタがハーフフルになったことを表示したときに、割込み（IRQ）を発生するようにADE7758を設定できます。

LCYMODEレジスタのRSTREADビット（ビット6）をセットすると、VA時積算レジスタに対するリセット読出しが可能になります。すなわち、レジスタは読出し動作後、0にリセットされます。

定常負荷での積分時間

積算レジスタのディスクリット時間サンプル周期（T）は0.4 μs（4/CLKIN）です。アナログ入力が60Hzのフルスケール正弦波信号で、かつxVAGAINレジスタが0x000に設定されている場合、各LPF2からの平均ワード値は0xB9954になります。オーバーフローしないで皮相電力量レジスタに格納できる最大値は、2¹⁶−1すなわち0xFFFFです。平均ワード値が内部レジスタ（オーバーフローなしで格納できる値は2⁴¹−1すなわち0x1FF, FFFF, FFFF）に最初に加算されるため、これらの条件でのVADIV=0の積分時間は、次のように計算されます。

$$\text{時間} = \frac{0x1FF, FFFF, FFFF}{0xB9954} \times 0.4 \mu s = 1.157 \text{秒}$$

VADIVが0以外の値に設定されると、オーバーフローまでの時間は式26に従ってスケールされます。

$$\text{時間} = \text{時間} (\text{VADIV} = 0) \times \text{VADIV} \quad (26)$$

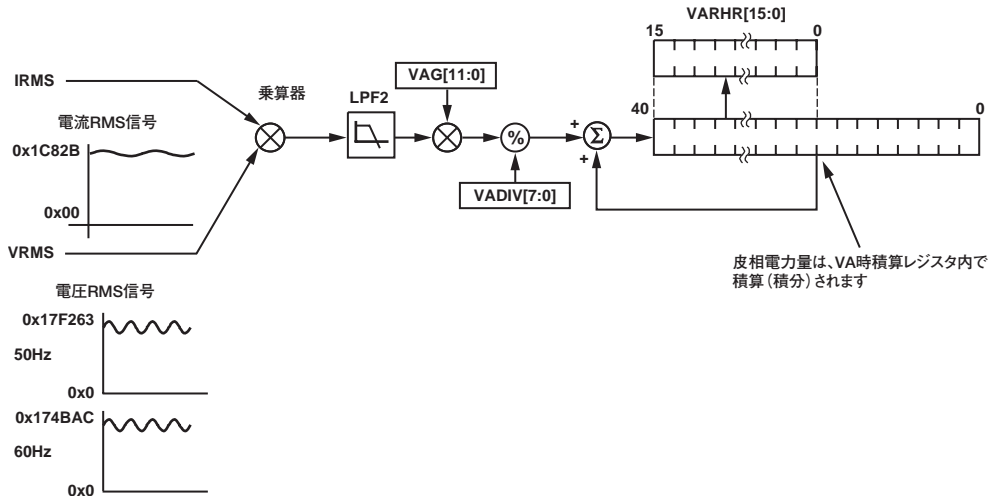


図75. ADE7758皮相電力量の積算

表10. VA時積算レジスタへの入力

CONSEL[1:0]	AVAHR	BVAHR	CVAHR
00	VARMS × IARMS	VBRMS × IBRMS	VCRMS × ICRMS
01	VARMS × IARMS	$\frac{VARMS + VCRMS}{2} \times IBRMS$	VCRMS × ICRMS
10	VARMS × IARMS	VBRMS × IBRMS	VCRMS × ICRMS
11	予備	予備	予備

注: VARMS/VBRMS/VCRMSはrms電圧波形、IARMS/IBRMS/ICRMSは電流波形のrms値です。

電力量積算モード

COMPMODEレジスタのCONSELビット(ビット0とビット1)の設定に応じて、皮相電力は各VA時積算レジスタ(AVAHR, BVAHR, CVAHR)で積算されます。さまざまな設定を表10に示します。

VA時積算レジスタ値は、電流ゲイン・レジスタ(IGAIN)とrms電圧ゲイン・レジスタ(VRMSGAIN)の両方、対応する相のxVAGAINレジスタの影響を受けます。CONSELのモード0(COMPMODE[0:1])の使用中は、IGAINを使うことはできません。

皮相電力のパルス周波数出力

ADE7758のピン17 (VARCF)は、合計皮相電力のパルス周波数出力を提供します。WAVMODEレジスタのVACFビット(ビット7)をセットすると、このピンは合計皮相電力に正比例するパルス周波数を出力します。

デジタル/周波数コンバータ(DFC)を使用し、合計皮相電力からパルス出力を発生させます。COMPMODEレジスタのTERMSELビット(ビット2~4)を使い、合計電力計算に含める相を選択できます。ビット2、ビット3、ビット4をセットすると、AVAHR、BVAHR、CVAHRの各レジスタへの入力が合計有効電力計算に含まれます。1対の周波数分周レジス

タ(VARCFDENとVARCFNUM)を使用し、このピンの出力周波数をスケールできます。この周波数出力には、同時にVAR電力または皮相電力の一方しか選択できません(「無効電力のパルス周波数出力」を参照)

ライン・サイクル皮相電力量積算モード

LCYCMODEレジスタのLVAビット(ビット2)をセットすると、ライン・サイクル皮相電力量積算モードが開始されます。LINECYCで指定された数のゼロ交差が検出された後、整数回のゼロ交差の間に積算された合計皮相電力量がVA時積算レジスタに書き込まれます。このモードの動作はワット時積算と同じです(「ライン・サイクル有効電力量積算モード」を参照)。ライン・サイクル積算モードを使用するときは、LCYCMODEレジスタのRSTREADビット(ビット6)にロジック0を設定する必要があります。

このモードは、ベクトル法を使って皮相電力量を計算する場合に、特に便利です。LCYCMODEレジスタのLWATTビットとLVARビット(ビット0とビット1)をセットすると、有効電力量と無効電力量が同じ期間、積算されます。したがって、MCUを使って、2つの項を2乗して和をとり、その和の平方根をとることにより、同じ期間の皮相電力量を求めることができます。

電力量レジスタのスケールリング

ADE7758は別々の信号パスと計算用フィルタを使用し、有効電力、無効電力、皮相電力の各測定を行います。データ・パスの差により、有効、無効、皮相の各電力量レジスタ間にLSBの重さの小さい差が発生します。これらの測定値は内部で補償され、ほぼ1対1になるようにスケールリングされます。各レジスタ間の関係を表11に示します。

表11. 電力量レジスタのスケールリング

60Hzの周波数	50Hzの周波数
積分器オフ	
VAR=1.004×ワット	VAR=1.0054×ワット
VA=1.00058×ワット	VA=1.0085×ワット
積分器オン	
VAR=1.0059×ワット	VAR=1.0064×ワット
VA=1.00058×ワット	VA=1.00845×ワット

波形サンプリング・モード

電流波形と電圧波形、さらに有効、無効、皮相の各電力乗算器出力の波形サンプルはすべて、WAVMODEレジスタのWAVSEL[2:0]ビット(ビット2~4)をセットすることにより、WAVEFORMレジスタに転送できます。サンプルを転送する相は、WAVMODEレジスタのPHSEL[1:0]ビット(ビット0と1)の設定で指定します。波形サンプリング中は、すべての電力量計算への割込みが禁止されます。4つの出力サンプル・レートは、WAVMODEレジスタ(DTRT[1:0])のビット5とビット6を使用して選択できます。出力サンプル・レートとしては、26.0kSPS、13.0kSPS、6.5kSPS、3.3kSPSが可能です(表16を参照)。

割込みMASKレジスタのWSMPビットにロジック1を設定すると、サンプルが存在するとき、割込み要求出力 \overline{IRQ} がアクティブ・ローになります。24ビットの波形サンプルは、MSBファーストで、1バイト(8ビット)ずつADE7758から転送されます。

割込み要求出力 \overline{IRQ} は、割込みルーチンがリセットSTATUSレジスタを読み出すまでローレベルを維持します(「ADE7758割込み」を参照)。

キャリブレーション

ADE7758電力量計を校正するには、基準電力量計または正確な信号源が必要です。基準電力量計を使用する場合、ADE7758キャリブレーション出力周波数(APCFとVARCF)は、同じ負荷条件の基準電力量計の周波数出力に一致するように調節します。この場合、各相は個別に校正する必要があります。キャリブレーションに正確な信号源を使う場合は、ライン・サイクル積算モードを利用して3相を同時に校正できます。

電力量計の校正には、パルス出力の正しいインパルス/kW時定数の決定と、電力量レジスタおよびrmsレジスタのLSBをワット/VA/VAR時、アンペア、またはボルトに関係付ける定数の決定という、2つの目的があります。さらに、キャリブレーションは、電力量計設計の種々の部品の変動、位相シフト、電流センサーおよび/または入力回路に起因するオフセットも補償します。

パルス出力を使用したキャリブレーション

ADE7758では、3相すべての積算された有効電力に比例するパルス出力(APCF)を提供しています。さらに、VARCF出力は3相すべての積算された無効または皮相電力量に比例します。以下では、パルス出力情報を使用してゲイン、オフセット、位相角度を校正する方法を説明します。各式は、ADE7758のパルス出力(APCFまたはVARCF)および基準電力量計のパルス出力($CF_{EXPECTED}$)に基づいています。

図76は、パルス出力を使用したADE7758のキャリブレーション方法のフローチャートです。パルス出力は3相すべての合計電力量に比例するため、各相は個別に校正する必要があります。そのために、各相のキャリブレーションのたびにデバイスの設定を実行することから、レジスタへの書き込みは高速となっています。図76は、テスト条件を変更する前に、与えられたテスト条件で全相を校正する方法です。

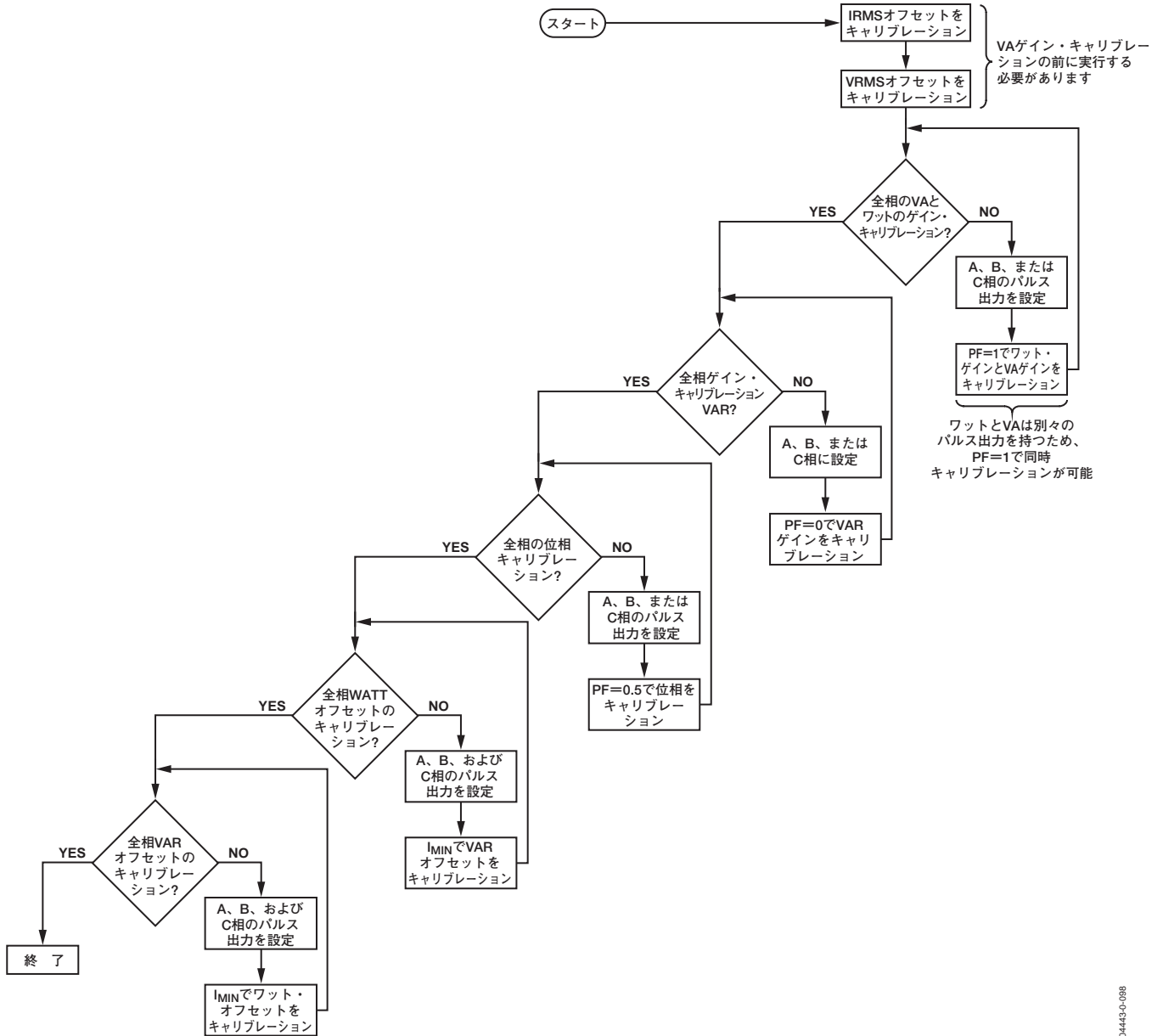


図76. パルス出力を使用したキャリブレーション

パルス出力を使用したゲイン・キャリブレーション

ゲイン・キャリブレーションは、複数の電力量計間のゲイン調節、APCF出力レートまたはVARCF出力レートのキャリブレーション、Wh/LSB、VARh/LSB、VAh/LSB定数の決定に使用します。ワット・ゲイン・キャリブレーションに使うレジスタは、CFNUM (0x45)、CFDEN (0x46)、xWG (0x2A~0x2C)です。式32~34に、これらのレジスタのWh/LSB定数とAPCFパルスへの影響を示します。

VARゲイン・キャリブレーションでは、式32~34のレジスタを、VARCFNUM (0x47)、VARCFDEN (0x48)、xVARG (0x2D~0x2F)に置き換える必要があります。VAゲインでは、VARCFNUM (0x47)、VARCFDEN (0x48)、xVAG (0x30~0x32)に置き換える必要があります。

図77に、パルス出力を用いたワット、VA、VARゲインのキャリブレーションについて各ステップで示します。

ADE7758

APCFNUM/APCFDENとVARCFNUM/VARCFDENに対する値を計算するときは、次式を使います。

$$APCF_{NOMINAL} = 16kHz \times \frac{V_{NOM}}{V_{FULLSCALE}} \times \frac{I_{TEST}}{I_{FULLSCALE}} \quad (27)$$

$$APCF_{EXPECTED} = \frac{MC \times I_{TEST} \times V_{NOM}}{1,000 \times 3,600} \times \cos(\theta) \quad (28)$$

$$APCFDEN = INT \left(\frac{APCF_{NOMINAL}}{APCF_{EXPECTED}} \right) \quad (29)$$

ここで、MCは電力量計定数、I_{TEST}はテスト電流、V_{NOM}は電力量計テスト時の公称電圧、V_{FULLSCALE}とI_{FULLSCALE}は(ADE7758のフルスケールADC入力に対応)電流と電圧の値。θは電流チャンネルと電圧チャンネルの間の角度、APCF_{EXPECTED}値はテスト条件下で基準電力量計出力と等価です。

VARキャリブレーション時にVARCFNUMとVARCFDENを計算する式は同じですが、例外が1つあります。

$$VARCF_{EXPECTED} = \frac{MC \times I_{TEST} \times V_{NOM}}{1,000 \times 3,600} \times \sin(\theta) \quad (30)$$

CFNUM値とCFDEN値は電力量計の設計から計算できるため、出荷時のキャリブレーションで自動的にデバイスに値を書き込むことができます。

ステップ5: テスト・システムにI_{TEST}、V_{NOM}、力率=1を設定。VARキャリブレーションでは、このステップで力率を0に設定します。ワットとVAに対しては、力率=1を使います。VAゲインは力率=1でキャリブレーションできるので、VAゲインはWGAINと同時にキャリブレーションが可能です。両パルス出力は同時に測定できます。ただし、VAゲインをWGAINと同時にキャリブレーションするときは、rmsオフセットを先にキャリブレーションする必要があります(「IRMSおよびVRMSオフセットのキャリブレーション」を参照)。

ステップ6: 基準電力量計からのパルス出力(APCFおよび/またはVARCF)のパーセント誤差を測定します。

$$\% \text{ 誤差} = \frac{APCF - CF_{REF}}{CF_{REF}} \times 100\% \quad (31)$$

ここで、CF_{REF}=APCF_{EXPECTED}=基準電力量計のパルス出力です。

ステップ7: xWG調整を計算します。xWG (12ビット)で1LSB変化すると、WATTHRレジスタが0.0244%変化するので、APCFは0.0244%変化します。VARCFでも同じ関係が成立します。

$$APCF_{EXPECTED} = APCF_{NOMINAL} \times \frac{APCFNUM[11:0]}{APCFDEN[11:0]} \times \left(1 + \frac{xWG[11:0]}{2^{12}} \right) \quad (32)$$

$$xWG = - \frac{\% \text{ 誤差}}{0.0244\%} \quad (33)$$

APCFのキャリブレーションでは、電力量計定数とAPCFNUM/APCFDEN比が同じであれば、xWATTHRレジスタは電力量計間で同じWh/LSB値を持ちます。Wh/LSB定数は、

$$\frac{Wh}{LSB} = \frac{1}{4 \times \frac{MC}{1,000} \times \frac{APCFDEN}{APCFNUM} \times \frac{1}{WDIV}} \quad (34)$$

ステップ8: ステップ2に戻り、B相とC相のゲインを校正します。

例—パルス出力を使用したA相のワット・ゲイン・キャリブレーション

この例の場合、I_{TEST}=10A、V_{NOM}=220V、V_{FULLSCALE}=500V、I_{FULLSCALE}=130A、MC=3,200インパルス/kWh、力率=1、周波数=50Hzです。

APCFNUM (0x45)とAPCFDEN (0x46)を計算値に設定し、imp/kWh比の粗調整を行います。

式27~29を使用。

$$APCF_{NOMINAL} = 16kHz \times \frac{220}{500} \times \frac{10}{130} = 0.542kHz$$

$$APCF_{EXPECTED} = \frac{3,200 \times 10 \times 220}{1,000 \times 3,600} \times \cos(\theta) = 1.96Hz$$

$$APCFDEN = INT \left(\frac{542Hz}{1.96Hz} \right) = 277$$

I_{TEST}、V_{NOM}、力率=1で、この例のADE7758電力量計は、1.92Hzのパルスを出力します。これは、式31を使った基準電力量計値の2.04%誤差と等価です。

$$\% \text{ 誤差} = \frac{1.92Hz - 1.96Hz}{1.96Hz} \times 100\% = 2.04\%$$

AWG値は式33を使って計算すると84dとなるので、AWGに値0x3Fを書き込む必要があります。

$$xWG = \frac{2.04\%}{0.0244\%} = 84$$

パルス出力を使用した位相キャリブレーション

ADE7758には、小さい位相誤差を補償する位相キャリブレーション・レジスタを各相に内蔵しています。大きな位相誤差は、アンチエイリアシング・フィルタを調節して補償する必要があります。ADE7758の位相キャリブレーションは、正方向と負方向でさまざまな重さを持つ時間遅延です（「位相補償」を参照）。電流トランス（CT）は位相誤差を発生するため、パワーアップ時にxPHCALレジスタにロードする固定の公称値を決定できます。キャリブレーション時には、CT間誤差に対してこの値を調節できます。図78に、パルス出力を使った位相キャリブレーションの各ステップを示します。

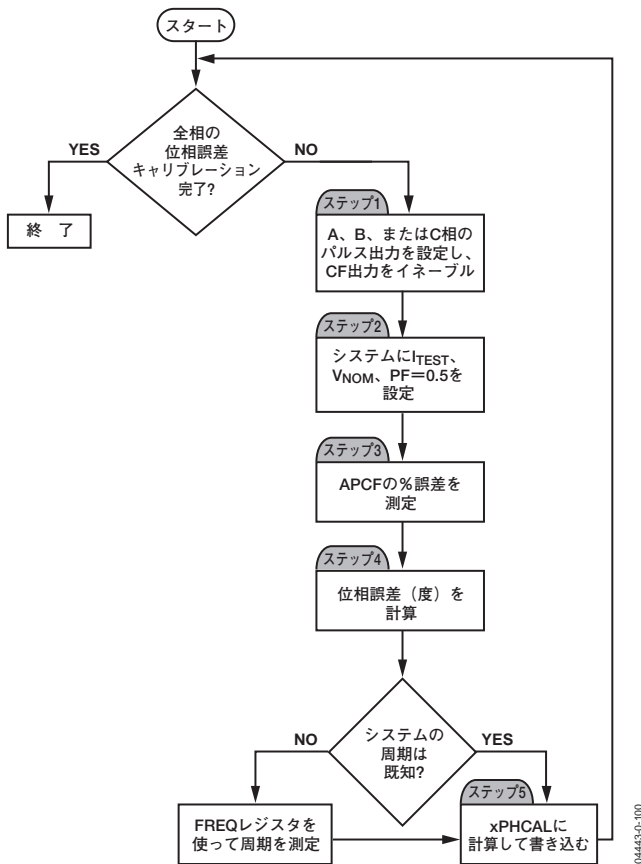


図78. パルス出力を使用した位相キャリブレーション

ステップ1: ゲイン・キャリブレーションのステップ1とステップ3を繰り返して、ADE7758のパルス出力を設定します。

ステップ2: テスト・システムにITEST、VNOM、力率=0.5を設定します。

ステップ3: 式31を使い、基準電力量計からのパルス出力（APCF）のパーセント誤差を測定します。

ステップ4: 次式を使い、位相誤差（度）を計算します。

$$\text{位相誤差} (^\circ) = - \text{Arcsin} \left(\frac{CF_{ERROR}}{\sqrt{3}} \right) \quad (35)$$

ステップ5: xPHCALを計算します。

$$xPHCAL = \frac{1}{\text{位相誤差} (^\circ)} \times 1.2 \mu s \times 360^\circ \times \frac{1}{\text{周期}(s)} \quad (36)$$

周期が既知でない場合、ADE7758の周波数レジスタFREQ（0x10）の値を使います。式37に、周期レジスタの測定値を使ってxPHCALに書き込む値を決定する方法を示します。式37の2.4μsは負の位相誤差用です。正の位相誤差には、2.4μsを4.8μsに置き換えます（「位相補償」を参照）。

$$xPHCAL = \text{Arcsin} \left(\frac{\text{誤差}}{\sqrt{3}} \right) \times \frac{9.6 \mu s}{1.2 \mu s} \times \frac{FREQ[11:0]}{360^\circ} \quad (37)$$

例一パルス出力を使用したA相の位相キャリブレーション

この例の場合、ITEST = 10A、VNOM = 220V、VFULLSCALE = 500V、IFULLSCALE = 130A、MC = 3200インパルス/kWh、力率 = 0.5（誘導性）、周波数 = 50Hzです。

ITEST、VNOM、0.5の誘導性力率で、この例のADE7758電力量計は0.9821Hzのパルスを出力します。これは、式31を使った基準電力量計値の0.215%誤差と等価です。

式35を使うと、位相誤差（度）は-0.07°になります。

$$\text{位相誤差} (^\circ) = - \text{Arcsin} \left(\frac{0.00215}{\sqrt{3}} \right) = -0.07^\circ$$

50HzでFREQレジスタ=2083dの場合、APHCAL（0x15）に書き込む値は式37を使って計算すると0x15となります。

$$APHCAL = 0.07 \times \frac{9.6 \mu s}{1.2 \mu s} \times \frac{2083}{360^\circ} = 3$$

パルス出力を使用した電力オフセット・キャリブレーション

電力オフセット・キャリブレーションは、広いダイナミック・レンジ（1,000:1）で優れた性能を得るために使います。電力オフセットのキャリブレーションは、最小電流またはこれに近い値で行われます。ADE7758には、ワットとVARの電力オフセット・レジスタが内蔵されています（xWATTOSとxVAROS）。VA測定でのオフセットは、rmsオフセット・レジスタを調節して補償されます（「IRMSおよびVRMSオフセットのキャリブレーション」を参照）。図79に、パルス出力を使った電力オフセット・キャリブレーションの各ステップを示します。

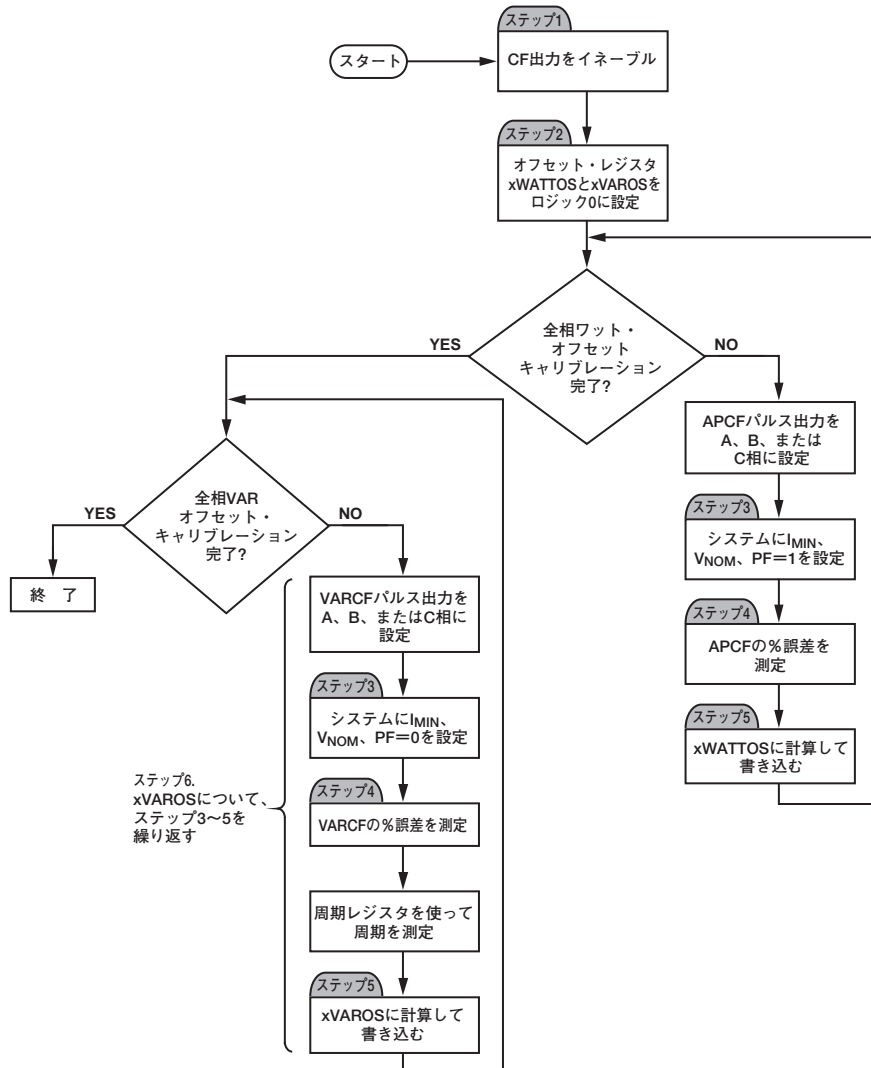


図79. パルス出力を使用したオフセット・キャリブレーション

ステップ1: ゲイン・キャリブレーションのステップ1とステップ3を繰り返し、ADE7758のパルス出力を設定します。

ステップ2: xWATTOSレジスタとxVAROSレジスタをロジック0に設定します。

ステップ3: テスト・システムに $I_{TEST}=I_{MIN}$ 、 V_{NOM} 、力率=1を設定します。ステップ6では、テスト・システムに $I_{TEST}=I_{MIN}$ 、 V_{NOM} 、力率=0を設定します。

ステップ4: 式31を使い、基準電力量計からのパルス出力 (APCFまたはVARCF) のパーセント誤差を測定します。

ステップ5: 式38を使ってxWATTOSを計算します (xVAROSの場合は式39を使用)。

$$xWATTOS = -(\%APCF_{ERROR} \times APCF_{EXPECTED}) \times \frac{2^4}{Q} \times \frac{APCFDEN}{APCFNUM} \quad (38)$$

$$xVAROS = -(\%VARCF_{ERROR} \times VARCF_{EXPECTED}) \times \frac{2^4}{Q} \times \frac{VARCFDEN}{VARCFNUM} \quad (39)$$

ここで、Qは式40と式41で定義されます。

xWATTOSの場合

$$Q = \frac{CLKIN}{4} \times \frac{1}{2^{25}} \times \frac{1}{4} \quad (40)$$

xVAROSの場合

$$Q = \frac{CLKIN}{4} \times \frac{1}{2^{24}} \times \left(\frac{\text{周期}}{4}\right) \times \frac{1}{4} \quad (41)$$

ここで、周期はFREQ (0x10) レジスタから測定されます。

ステップ6: xVAROSキャリブレーションについて、ステップ3~5を繰り返します。

例—パルス出力を使用したA相のオフセット・キャリブレーション

この例の場合、 $I_{TEST}=50\text{mA}$ 、 $V_{NOM}=220\text{V}$ 、 $V_{FULLSCALE}=500\text{V}$ 、 $I_{FULLSCALE}=130\text{A}$ 、 $MC=3200$ インパルス/kWh、力率=1、周波数=50Hz、 $CLKIN=10\text{MHz}$ です。

I_{TEST} 、 V_{NOM} 、力率=1で、この例のADE7758電力量計は、0.009773HzのパルスをAPCFに出力し、0.009773HzのパルスをVARCFに出力します。これは、ワット測定の場合もVAR測定の場合も0.24%と等価です。式38~41を使い、0xFFBと0xFFAをそれぞれAWATTOS (0x39)とVAROS (0x3C)に書き込みます。

AWATTOSの場合

$$Q = \frac{10E6}{4} \times \frac{1}{2^{25}} \times \frac{1}{4} = 0.0186$$

AVAROSの場合

$$Q = \frac{10E6}{4} \times \frac{1}{2^{24}} \times \frac{202}{2083} \times \frac{1}{4} = 0.014$$

$$AWATTOS = -(0.0024 \times 0.00975) \times \frac{2^4}{0.0186} \times \frac{227}{1} = -4.5$$

$$AVAROS = -(0.0024 \times 0.00975) \times \frac{2^4}{0.014} \times \frac{227}{1} = -6$$

ライン積算を使用したキャリブレーション

ライン・サイクル積算モードは9個の電力量レジスタを設定し、LINECYC割込みの後に、ラインの半サイクル整数倍の間積算された電力量がレジスタに表示されます。このモードを使う利点は、有効電力の正弦波成分が除去されることです。

図80は、ライン積算モードを使ったADE7758のキャリブレーション方法についてのフローチャートです。このモードを使うと、すべての位相と電力量のキャリブレーションを同時に行い、キャリブレーション時間を節約できます。

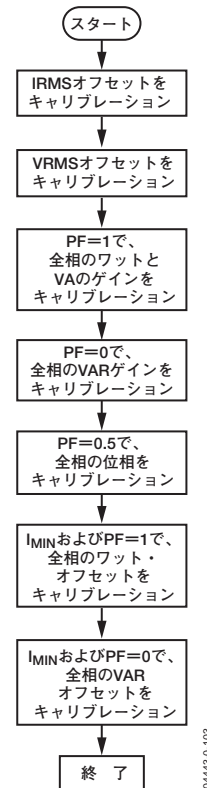


図80. ライン積算を使用したキャリブレーション

ライン積算を使用したゲイン・キャリブレーション

ゲイン・キャリブレーションは、複数の電力量計間のゲイン調節、APCF出力レートまたはVARCF出力レートのキャリブレーション、Wh/LSB、VARh/LSB、VAh/LSB定数の決定に使用します。

ステップ0:ゲイン・キャリブレーションを行う前に、「パルス出力を使用したゲイン・キャリブレーション」のステップ4で説明した方法と同じ方法を使用し、正しいインパルス数/kWh、インパルス数/kVAh、インパルス数/kVARhを得るように、CFNUM/CFDEN (0x45/0x46)とVARCFNUM/VARCFDEN (0x47/0x48)の値を設定できます。xWG/xVARG/xVAG (0x2A~0x32)のキャリブレーションは、ライン積算モードを使って行います。図81に、ライン積算モードを使ったゲイン・レジスタ・キャリブレーションの各ステップを示します。

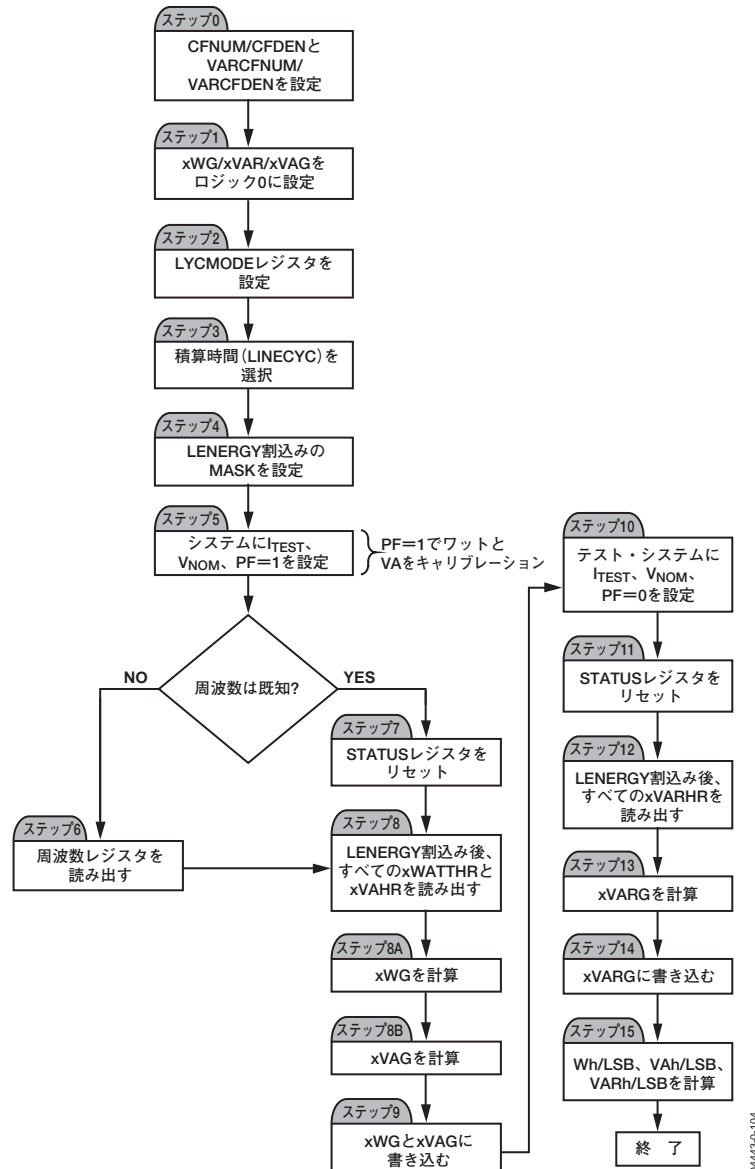


図81. ライン積算を使用したゲイン・キャリブレーション

ステップ1: xWG、xVARG、xVAGをロジック0に設定します。

ステップ2: 0x3FをLYCMODEに書き込み、ADE7758をライン積算に設定します。これにより、LWATTビット、LVARビット、LVAビット、LYCMODE[0:2] (0x17) がロジック1に設定され、xWATTHR、xVAHR、xVARHR (0x01~0x03) の各レジスタ上でライン積算モードが有効になります。また、LYCMODE[3:5]のZXSELビットもロジック1に設定され、全相でライン積算用にゼロ交差検出が有効になります。さらに、LYCMODE[7]のFREQSELビットがロジック0に設定され、FREQ (0x10) がライン周波数を格納します。ライン積算モードを使う場合、LYCMODEのRSTREADビットを0に設定し、リセット読出しモードを無効にする必要があります。

ステップ3: LINECYC (0x1C)に書き込みを行い、ライン積算のラインの半サイクル数を設定します。

ステップ4: MASK[12] (0x18)のLENERGYビットをロジック1に設定し、ライン・サイクル積算の終了を通知する割込みを有効にします。

ステップ5: テスト・システムにITEST、VNOM、力率=1を設定します(ワットとVAを同時に、先にキャリブレーション)。

ステップ6: 周波数が不明の場合、FREQ (0x10)レジスタを読み出します。

ステップ7: RSTATUS (0x1A)を読み出し、割込みSTATUSレジスタをリセットします。

ステップ8: LENERGY割込みが発生した後、xWATTHR (0x01~0x03)とxVAHR (0x07~0x09)の全6個の電力量レジスタを読み出し、値を保存します。

ステップ8a: 次式を使って、xWGレジスタに書き込む値を計算します。

$$\frac{xWG}{2^{12}} = \frac{4 \times MC \times I_{TEST} \times V_{TEST} \times \cos(\theta)}{1,000 \times 3,600} \times \frac{\text{積算時間}}{xWATTHR[15:0]} \times WDIV \quad (42)$$

ここで、積算時間は、

$$\text{積算時間} = \frac{LINECYC[15:0]}{2 \times \text{ライン周波数} \times \text{選択した相の数}} \quad (43)$$

MCは電力量計定数、 θ は電流と電圧の間の角度、ライン周波数はFREQレジスタから読み出した値または既知の値、選択した相の数はLCYCMODE (0x17)でロジック1に設定したZXSELビット数です。

ステップ8b: 次式を使って、xVAGレジスタに書き込む値を計算します。

$$\frac{xVAG}{2^{12}} = \frac{4 \times MC \times I_{TEST} \times V_{TEST} \times \cos(\theta)}{1,000 \times 3,600} \times \frac{\text{積算時間}}{xVAHR[15:0]} \times VADIV \quad (44)$$

ステップ9: xWGとxVAGへ書き込みます。

ステップ10: テスト・システムに I_{TEST} 、 V_{NOM} 、力率=0を設定します (VARゲインをキャリブレーション)。

ステップ11: ステップ7を繰り返します。

ステップ12: LENERGY割込み発生後、xVARHR (0x04~0x06)を読み出し、値を保存します。

ステップ13: xVARGレジスタに書き込む値を計算します (VARCFを予測値に調節)。

$$\frac{xVARG}{2^{12}} = \frac{4 \times MC \times I_{TEST} \times V_{TEST} \times \sin(\theta)}{1,000 \times 3,600} \times \frac{\text{積算時間}}{xVARHR[15:0]} \times VADIV \quad (45)$$

ステップ14: xVARGに書き込みます。

ステップ15: Wh/LSB、VARh/LSB、VAh/LSBの各定数を計算します。

$$\frac{Wh}{LSB} = \frac{I_{TEST} \times V_{NOM} \times \text{積算時間}}{3,600 \times xWATTHR} \quad (46)$$

$$\frac{VAh}{LSB} = \frac{I_{TEST} \times V_{NOM} \times \text{積算時間}}{3,600 \times xVAHR} \quad (47)$$

$$\frac{VARh}{LSB} = \frac{I_{TEST} \times V_{NOM} \times \text{積算時間}}{3,600 \times xVARHR} \quad (48)$$

例—ライン積算を使用したワット・ゲイン・キャリブレーション

この例では、A相のワット・キャリブレーションのみを示します。「ライン積算を使用したゲイン・キャリブレーション」で説明した各ステップで、ワット、VA、VARの計算方法を示しています。電力量レジスタが9個用意されているため、3相すべてを同時に校正できます。

この例の場合、 $I_{TEST}=10A$ 、 $V_{NOM}=220V$ 、力率=1、周波数=50Hz、LINECYC (0x1C)=1FF、MC=3,200インパルス/kWh時です。

インパルス/kWh時比の粗調整を行うためにAPCFNUM (0x45)とAPCFDEN (0x46)を計算した値に設定する場合、式27~29を使います。

$$APCF_{NOMINAL} = 16kHz \times \frac{220}{500} \times \frac{10}{130} = 541Hz$$

$$APCF_{EXPECTED} = \frac{3,200 \times 10 \times 220}{1,000 \times 3,600} \times \cos(\theta) = 1.95Hz$$

$$APCFDEN = INT \frac{541Hz}{1.95Hz} = 227$$

上記テスト条件では、LENERGY割込みの後、AWATTHRレジスタ値は24008dになります。式42と43を使うと、AWGに書き込む値は02dになります。

$$\text{積算時間} = \frac{0x1FF}{2 \times 50 \times 3} = 1.7s$$

$$xWG = 2^{12} \times \frac{4 \times 3,200 \times 10 \times 220 \times 1}{1,000 \times 3,600} \times \frac{1.7s}{24,008} \times 1 = 2.268$$

式46を使うと、Wh/LSB定数は、

$$\frac{Wh}{LSB} = \frac{10 \times 220 \times 1.7}{3,600 \times 24,008} = 4.33 \times 10^{-5}$$

ライン積算を使用した位相キャリブレーション

ADE7758は、小さい位相誤差を補償する位相キャリブレーション・レジスタを各相に内蔵しています。大きな位相誤差は、アンチエイリアシング・フィルタを調節して補償する必要があります。ADE7758の位相キャリブレーションは、正方向と負方向でさまざまな重さを持つ時間遅延です (「位相補償」を参照)。電流トランス (CT)は位相誤差を発生するため、パワーアップ時にxPHCAL (0x3F~0x41)レジスタにロードする固定の公称値を決定できます。キャリブレーション時には、CT間誤差に対して、この値を調節できます。

図82に、ライン積算モードを使った位相キャリブレーションの各ステップを示します。

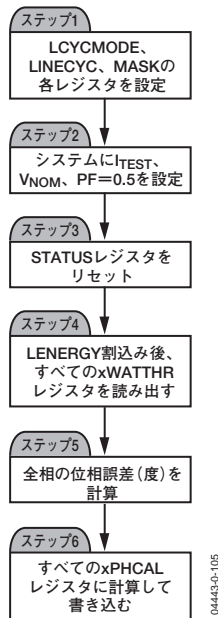


図82. ライン積算を使用した位相キャリブレーション

ステップ1: ゲイン・キャリブレーション後に値を変更した場合、ゲイン・キャリブレーションのステップ1、ステップ3、ステップ4を繰り返し、LCYCMODEレジスタとLINECYCレジスタを設定する必要があります。

ステップ2: テスト・システムに I_{TEST} 、 V_{NOM} 、力率=0.5を設定します。

ステップ3: RSTATUS (0x1A)を読み出し、割込みSTATUSレジスタをリセットします。

ステップ4: LINECYC割込み後、xWATTHRレジスタを読み出します。式49を使い、力率=1での電力量レジスタ読出し値(ゲイン・キャリブレーション後)に対する電力量レジスタ読出し値(AWATTHR、BWATTHR、CWATTHR)のパーセント誤差を測定します。ゲイン・キャリブレーションの後、力率=1での読出し値を繰り返し、位相キャリブレーション・ルーチンに使うために保存します。

$$\text{誤差} = \frac{xWATTHR_{PF=0.5} - \frac{xWATTHR_{PF=1}}{2}}{\frac{xWATTHR_{PF=1}}{2}} \quad (49)$$

ステップ5: 次式を使い、位相誤差(度)を計算します。

$$\text{位相誤差}(\text{度}) = -\text{Arcsin}\left(\frac{\text{誤差}}{\sqrt{3}}\right) \quad (50)$$

ステップ6: xPHCALを計算し、xPHCALレジスタ(0x3F~0x41)に書き込みます。

$$\frac{1}{xPHCAL} = \frac{-1.2\mu s \times 360^\circ \times \frac{1}{\text{周期}(s)}}{\text{位相誤差}(\text{度})} \quad (51)$$

周期が既知でない場合、ADE7758周波数レジスタの値を使います。周期レジスタ測定値を使ってxPHCALに書き込む値を決定する方法を式37で示します(「パルス出力を使用した位相キャリブレーション」を参照)。式37の $1.2\mu s$ は負の位相誤差用です。正の位相誤差では、 $1.2\mu s$ を $2.4\mu s$ に置き換えます(「位相補償」を参照)。

例—ライン積算を使用した位相キャリブレーション

この例では、A相の位相キャリブレーションのみを示します。同じ方法を使用し、全3個のPHCALレジスタを同時に校正できます。

この例の場合、 $I_{TEST}=10A$ 、 $V_{NOM}=220V$ 、力率=0.5(誘導性)、周波数=50Hzです。

I_{TEST} 、 V_{NOM} 、0.5の誘導性力率で、この例のADE7758電力量計はAWATTHR (0x01)レジスタに12036dを出力します。力率=1(ゲイン・キャリブレーション後)では、この電力量計はAWATTHRレジスタに24020dを出力します。この値は、26LSBの誤差に等価です。

位相誤差(度)は式50を使って計算すると、 -0.07° になります。

$$\text{位相誤差}(\text{度}) = -\text{Arcsin}\left(\frac{0.00215}{\sqrt{3}}\right) = -0.07^\circ$$

式37を使い、50HzでFREQ (0x10)レジスタ=2083dの場合、APHCAL (0x3F)に書き込む値は3dになります。

$$APHCAL = 0.07 \times \frac{9.6\mu s}{1.2\mu s} \times \frac{2083}{360^\circ} = 3$$

ライン積算を使用した電力オフセット・キャリブレーション

電力オフセット・キャリブレーションは、広いダイナミック・レンジ(1,000:1)で優れた性能を得るために使います。電力オフセットのキャリブレーションは、最小電流またはこれに近い値で行われます。ADE7758には、ワットとVARに対する電力オフセット・レジスタ(xWATTOS (0x39~0x3B)とxVAROS (0x3C~0x3E))が内蔵されています。VA測定でのオフセットは、rmsオフセット・レジスタを調節して補償されます(「IRMSおよびVRMSオフセットのキャリブレーション」を参照)。図83に、ライン積算モードを使用した電力オフセット・キャリブレーションの各ステップを示します。

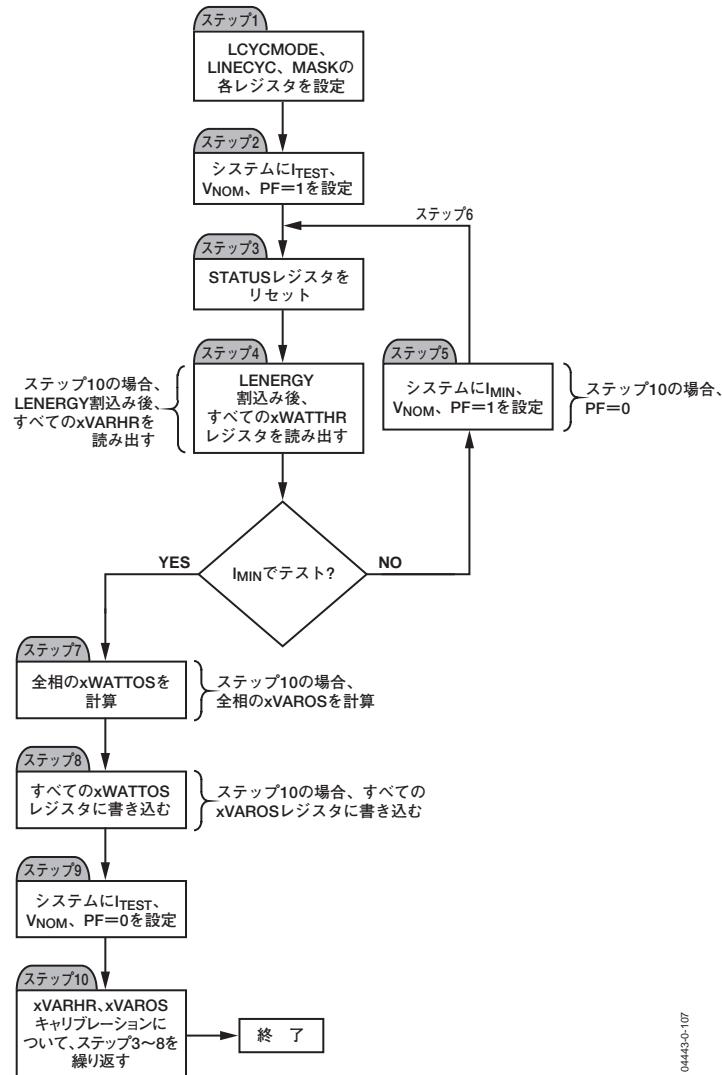


図83. ライン積算を使用した電力オフセット・キャリブレーション

ステップ1: ゲイン・キャリブレーション後に値を変更した場合、ゲイン・キャリブレーションのステップ1、ステップ3、ステップ4を繰り返し、LCYCMODEレジスタ、LINECYCレジスタ、MASKレジスタを設定する必要があります。

ステップ2: テスト・システムにITEST、VNOM、力率=1を設定します。

ステップ3: RSTATUS (0x1A)を読み出し、割込みSTATUSレジスタをリセットします。

ステップ4: LENERGY割込み後、すべてのxWATTHR電力量レジスタ(0x01~0x03)を読み出し、値を保存します。

ステップ4a: 周波数が既知でない場合、FREQ (0x10)レジスタを読み出します。

ステップ5: テスト・システムにIMIN、VNOM、力率=1を設定します。

ステップ6: ステップ3とステップ4を繰り返します。

ステップ7: 次式を使い、xWATTOSレジスタに書き込む値を計算します。

$$\text{オフセット} = \frac{xWATTHR_{IMIN} \times I_{TEST} - xWATTHR_{ITEST} \times I_{MIN}}{I_{MIN} - I_{TEST}} \quad (52)$$

$$xWATTOS [11:0] = \frac{\text{オフセット} \times 4}{\text{積算時間} \times CLKIN} \times 2^{29} \quad (53)$$

ここで、積算時間は式43で決定され、xWATTHRITESTはITESTでの電力量レジスタ値、xWATTHRIMINはIMINでの電力量レジスタ値です。

ステップ8: すべてのxWATTOSレジスタ(0x39~0x3B)に書き込みます。

ステップ9: テスト・システムにITEST、VNOM、力率=0を設定します(VARゲインをキャリブレーション)。

ステップ10: ステップ3、4、5を繰り返します。

ADE7758

ステップ11: 次式を使い、xVAROSレジスタに書き込む値を計算します。

$$\text{オフセット} = \frac{x\text{VARHR} \times I_{\text{TEST}} - x\text{VARHR} \times I_{\text{MIN}}}{I_{\text{MIN}} - I_{\text{TEST}}} \quad (54)$$

$$x\text{VAROS} [11:0] = \frac{\text{オフセット} \times 4}{\text{積算時間} \times \text{CLKIN}} \times 2^{29} \quad (55)$$

例—ライン積算を使用した電力オフセット・キャリブレーション

この例では、A相の位相有効電力オフセット・キャリブレーションのみを示します。「ライン積算を使用した電力オフセット・キャリブレーション」で説明した方法を使い、全相の有効電力オフセットと無効電力オフセットを同時に校正できます。

この例の場合、 $I_{\text{TEST}}=10\text{A}$ 、 $I_{\text{MIN}}=100\text{mA}$ 、 $V_{\text{NOM}}=220\text{V}$ 、力率=1、周波数=50Hz、LINECYC=0xFFFです。

I_{TEST} で、この例のADE7758電力量計は0xFFF数のライン・サイクル数でゲイン・キャリブレーションを行った後、AWATTHR (0x01)レジスタに19,248dを出力します。 I_{MIN} では、電力量計はAWATTHRレジスタに187dを出力します。式52を使うと、この値は6LSBのオフセットと等価になり、したがって、式53を使うと、AWATTOSに書き込む値は94dになります。

$$\text{オフセット} = \frac{187 \times 10 - 19,248 \times 0.1}{0.1 - 10} = 5.54$$

$$\text{AWATTOS} = \frac{6 \times 4}{13.65 \times 10\text{MHz}} \times 2^{29} = 94.39$$

IRMSおよびVRMSオフセットのキャリブレーション

入力でのノイズとオフセットの成分を相殺させるとき、IRMSOSとVRMSOSを使います。キャリブレーションの方法は、パルス出力を使ってもライン積算を使っても同じです。rmsパルス出力がないので、このキャリブレーションではレジスタの読出しが必要です。rmsオフセット・キャリブレーションは、VAゲイン・キャリブレーションの前に行います。rmsオフセット・キャリブレーションも、VA計算からオフセットを除去します。このため、ADE7758にはVAオフセット・レジスタがありません。

rms測定値を得るために使われるローパス・フィルタは理想的でないため、読出しを電圧波形のゼロ交差に同期させ、かつrmsレジスタを読み出すとき数回の測定の平均をとることを推奨します。

ADE7758のIRMS測定は500:1の範囲で直線であり、VRMS測定は20:1の範囲で直線です。電圧VRMSオフセット(xVRMSOS)を測定するときは、2点の非ゼロ電流レベル(たとえば V_{NOM} と $V_{\text{NOM}}/20$)でrms値を測定します。電流rmsオフセット(IRMSOS)を測定するときは、2点の非ゼロ電流レベル(たとえば I_{TEST} と $I_{\text{MAX}}/500$)でrms値を測定します。したがって、各相の I_{TEST} と V_{NOM} 、 $I_{\text{MAX}}/500$ と V_{NOM} 、 I_{TEST} と $V_{\text{NOM}}/20$ の3つのテスト条件でキャリブレーションを実行できます。図84に、rms測定をキャリブレーションするフローチャートを示します。

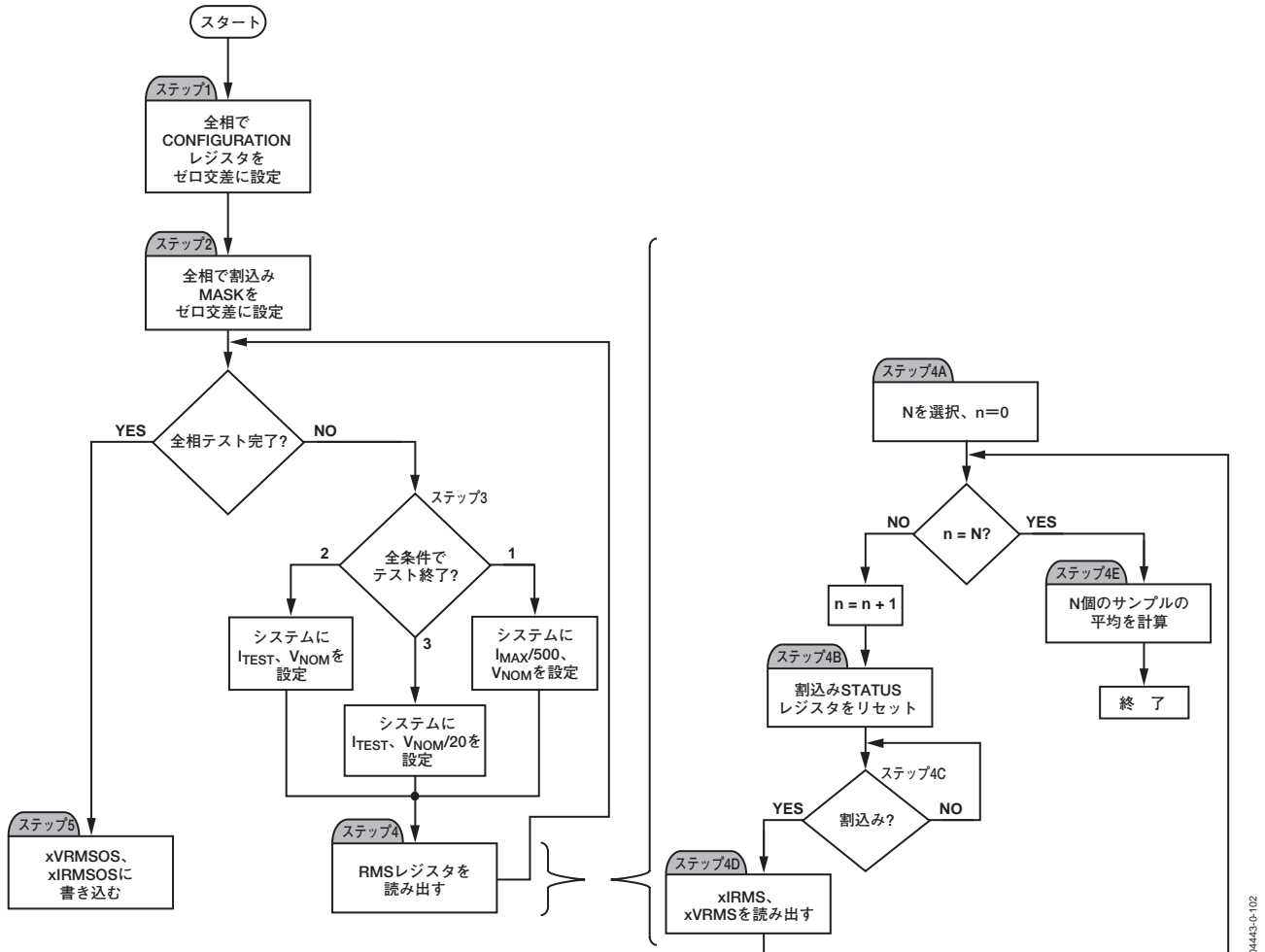


図84. RMSキャリブレーション・ルーチン

ステップ1: 値0x38をLCYCMODEレジスタ(0x17)に書き込み、全相でCONFIGURATIONレジスタをゼロ交差に設定します。これにより、すべてのZXSELビットがロジック1に設定されます。

ステップ2: 0xE00をMASK[0:24]レジスタ(0x18)に書き込み、全相で割込みMASKレジスタをゼロ交差検出に設定します。これにより、すべてのZXビットがロジック1に設定されます。

ステップ3: キャリブレーション・システムに I_{TEST} と V_{NOM} 、 $I_{MAX}/500$ と V_{NOM} 、 I_{TEST} と $V_{NOM}/20$ の3つのテスト条件のいずれかを設定します。

ステップ4: ゼロ交差割込み後にrmsレジスタを読み出し、N個のサンプルの平均をとります。最も安定したrms測定値を得るために、この処理を推奨します。この手順の詳細を図84のステップ4a~4eに示します。

ステップ4a: 平均をとるサンプル数Nを選択します。

ステップ4b: RSTATUS (0x1A)に書き込みを行い、割込みSTATUSレジスタをリセットします。

ステップ4c: ゼロ交差割込みを待ちます。ゼロ交差割込みが発生したら、ステップ4dに進みます。

ステップ4d: xIRMS (0x0A)レジスタとxVRMS (0x0C)レジスタを読み出します。ステップ4eでこれらの値の平均をとります。

ステップ4e: xIRMSとxVRMSのN個のサンプルの平均をとります。この平均値はステップ5で使います。

ステップ5: 次式に従って、xVRMSOS (0x36~0x38)レジスタとxIRMSOS (0x33~0x35)レジスタに書き込みます。

$$IRMSOS = -\frac{1}{16,384} \times \frac{(I_{TEST}^2 \times I_{MAXX-RMS}^2) - (I_{MAXX}^2 \times I_{TEST-RMS}^2)}{I_{MAXX}^2 - I_{TEST}^2} \quad (56)$$

ここで、 $I_{TEST-RMS}$ と $I_{MAXX-RMS}$ は I_{TEST} 入力と I_{MAXX} 入力に対するオフセット補正なしのrmsレジスタ値です。

$$VRMSOS = \frac{1}{64} \times \frac{V_{NOM} \times V_{NOM/20-RMS} - V_{NOM/20} \times V_{NOM-RMS}}{V_{NOM/20} - V_{NOM}} \quad (57)$$

ここで、 $V_{NOM-RMS}$ と $V_{NOM/20-RMS}$ は V_{NOM} 入力と $V_{NOM/20-RMS}$ 入力に対するオフセット補正なしのrmsレジスタ値です。

ADE7758

例—RMSオフセットのキャリブレーション

この例の場合、 $I_{TEST}=10A$ 、 $I_{MAX}=100A$ 、 $V_{NOM}=220V$ 、 $V_{FULLSCALE}=500V$ 、力率=1、周波数=50Hzです。

I_{TEST} と V_{NOM} では、この例のADE7758電力量計はAIRMS (0x0A)レジスタに0x34266を、AVRMS (0x0D)レジスタに0x10B0A3を出力します。 $I_{MAX/500}$ では、この例の電力量計はAIRMSに0x19Fを出力します。 $V_{NOM/20}$ では、この例の電力量計はAVRMSレジスタに0xD65Bを出力します。これらは、全3相のゼロ交差に同期した20サンプルの平均値です。このデータを使って、式56と式57に従って、-3dをAVRMSOS (0x33)レジスタに、-1004dをAIRMSOS (0x36)レジスタに書き込みます。

$$xIRMSOS = \frac{-1}{16,384} \times \frac{(10^2 \times 415^2) - (0.2^2 \times 213,606^2)}{(0.2 - 10^2)} = -1103.88 = -1104$$

$$xVRMSOS = \frac{1}{64} \times \frac{(220 \times 54875) - (11 \times 1,093,795)}{(11 - 220)} = -3.047 = -3$$

この例では、A相の計算と測定のみを示します。ただし、3相すべてのxIRMSレジスタとxVRMSレジスタを同時に読み出し、xIRMSOSレジスタとxVRMSOSレジスタの値を計算できます。

CHECKSUMレジスタ

ADE7758はチェックサム・レジスタCHECKSUM[7:0] (0x7E)を内蔵しており、これを使って、直前のシリアル読み出し動作で受信したデータ・ビットが壊れていないことを確認します。先頭ビット(読み出されるレジスタのMSB)がDOUTピンに出力される前に、8ビットのCHECKSUMレジスタはリセットされます。シリアル読み出し動作時、SCLKの立上がりエッジで各データビットが得られるようになると、ビットはCHECKSUMレジスタに加算されます。シリアル読み出し動作の終わりに、CHECKSUMレジスタ値が、それまでに読み出されたレジスタ内のすべての「1」の和に等しくなります。CHECKSUMレジスタを使うと、直前の読み出し動作でエラーが発生したか否かがわかります。CHECKSUMレジスタを読み出すと、CHECKSUMレジスタ自体のチェックサムも発生します。

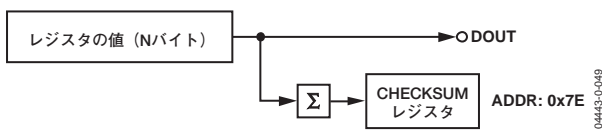


図85. シリアル・インターフェース読み出しに対するCHECKSUMレジスタ

ADE7758割込み

ADE7758の割込みは、割込みSTATUSレジスタ(STATUS[23:0]、アドレス0x19)と割込みMASKレジスタ(MASK[23:0]、アドレス0x18)によって管理されています。ADE7758で割込みイベントが発生すると、割込みSTATUSレジスタの対応するフラグがロジック1に設定されます(表20)。割込みMASKレジスタ内のこの割込み用マスク・ビットがロジック1の場合、 \overline{IRQ} ロジック出力がアクティブ・ローになります。割込みSTATUSレジスタのフラグ・ビットは、マスク・ビットの状態とは無関係にセットされます。割込みの原因を特定するため、システム・マスター(MCU)は、リセット割込みSTATUSレジスタを読み出してリセットする必要があります。このリセットは、RSTATUS(アドレス0x1A)レジスタを読み出して実行します。割込みSTATUSレジスタ読み出しコマンドが完了すると、 \overline{IRQ} 出力はロジック・ハイになります(「割込みタイミング」を参照)。読み出してリセットするとき、ADE7758は割込みイベントを見落とさないように設計されています。割込みSTATUSレジスタの読み出し中に割込みイベントが発生しても、イベントは失われず、 \overline{IRQ} ロジック出力は割込みSTATUSレジスタのデータ転送中は確実にハイレベルを維持した後で、再度ロジック・ローになって割込みが待ち状態であることを表示します。なお、STATUSレジスタのリセット割込みビットは1クロック・サイクルのみハイレベルで、その後0に戻ります。

ADE7758割込みのMCUでの使い方

図88は、MCUを使ったADE7758割込み管理についてのタイミング図です。時間 t_1 で \overline{IRQ} ラインがアクティブ・ローになり、ADE7758内で1個または複数の割込みイベントが発生したことを示します。 \overline{IRQ} ロジック出力は、MCUの立下がりエッジ・トリガの外部割込みに接続する必要があります。MCUは、立下がりエッジを検出したら割込みサービス・ルーチン(ISR)の実行を開始するように設定します。ISRに入ったら、グローバル割込みマスク・ビットを使用し、すべての割込みを無効にします。この時点で、実行中のISRで発生する割込みイベントを検出できるように、MCU外部割込みフラグをクリアできます。MCU割込みフラグがクリアされると、リセット割込みSTATUSレジスタの読み出しとリセットが実行されます。(この動作により、 \overline{IRQ} ラインはロジック・ハイにリセットされます(t_2)。[「割込みタイミング」を参照])。リセット割込みSTATUSレジスタ値を使って割込み原因を特定し、該当する動作を実行します。ISRの実行中(t_3)に後続の割込みイベントが発生すると、MCUの外部割込みフラグが再度セットされ、そのイベントが記録されます。ISRから戻ると、グローバル割込みマスク・ビットがクリアされ(同じ命令サイクルで)、外部割込みフラグによりMCUは再度ISRにジャンプします。この機能により、MCUは外部割込みを見落とすことはありません。これに対する例外はSTATUSレジスタのリセット・ビットで、リセット・イベント後1クロック・サイクルのみハイレベルにあります。

割込みタイミング

ADE7758シリアル・インターフェース部を先に検討し、その後で割込みタイミングについて検討します。前述のように、 $\overline{\text{IRQ}}$ 出力がローになると、MCUのISRは必ず割込みSTATUSレジスタを読み出し、割込み原因を突き止める必要があります。割込みSTATUSレジスタ値を読み出すときは、先頭バイト転送(割込みSTATUSレジスタ読出しコマンド)のSCLKの最後の立下がりエッジで、 $\overline{\text{IRQ}}$ 出力はハイレベルに設定されます。次の8ビット転送(割込みSTATUSレジスタ値)がシフト出力される最終ビットまで、 $\overline{\text{IRQ}}$ 出力はハイに維持されます(図87)。この時点で待ち状態の割込みが存在すると、 $\overline{\text{IRQ}}$ 出力は再度ローレベルになります。待ち状態の割込みが存在しない場合は、 $\overline{\text{IRQ}}$ 出力はハイレベルを維持します。

ADE7758のシリアル・インターフェース

ADE7758はSPIインターフェースを内蔵しています。ADE7758のシリアル・インターフェースは、SCLK、DIN、DOUT、 $\overline{\text{CS}}$ の4つの信号で構成されています。データ転送のシリアル・クロックは、SCLKロジック入力に入力されます。このロジック入力にはシュミット・トリガ入力となっており、低速の立上がり(または立下がり)エッジも使用可能です。すべてのデータ転送動作は、シリアル・クロックに同期化されます。データは、SCLKの立下がりエッジで、ADE7758のDINロジック入力にシフト入力されます。データは、SCLKの立上がりエッジで、ADE7758のDOUTロジック出力からシフト出力されます。 $\overline{\text{CS}}$ ロジック入力、チップ・セレクト入力です。この入力は、複数のデバイスがシリアル・バスを共用する際に使います。また、 $\overline{\text{CS}}$ の立下がりエッジでは、シリアル・インターフェースがリセットされ、ADE7758は通信モードになります。 $\overline{\text{CS}}$ 入力は、データ転送動作中はローレベルに維持する必要があります。データ転送動作中に $\overline{\text{CS}}$ をハイレベルにすると転送は中止され、シリアル・バスは高インピーダンス状態になります。ADE7758がシリアル・バス上の唯一のデバイスである場合には、 $\overline{\text{CS}}$ ロジック入力をローレベルに固定できますが、 $\overline{\text{CS}}$ がローレベルに固定されると、起動されたすべてのデータ転送動作が完了する

必要があります。デバイス全体をリセットする以外に、ADE7758を通信モードに戻す方法がないため、各レジスタのLSBを転送する必要があります。すなわち、OPMODE[7:0]レジスタ(アドレス0x13)のビット6を使ってソフトウェア・リセットを実行する必要があります。ADE7758の機能は、複数の内蔵レジスタを使ってアクセスできます(図86)。これらのレジスタ値は、内蔵シリアル・インターフェースを使って更新または読出しができます。 $\overline{\text{CS}}$ の立下がりエッジで、ADE7758は通信モードになります。通信モードでは、ADE7758は最初の通信が内部コミュニケーション・レジスタに書き込まれます。コミュニケーション・レジスタに書き込まれたデータからアドレスがわかり、次のデータ転送動作が読出しコマンドか書込みコマンドかもわかります。そのため、ADE7758とのすべてのデータ転送動作は、読出し/書込みを問わず、コミュニケーション・レジスタに対する書込みから開始される必要があります。

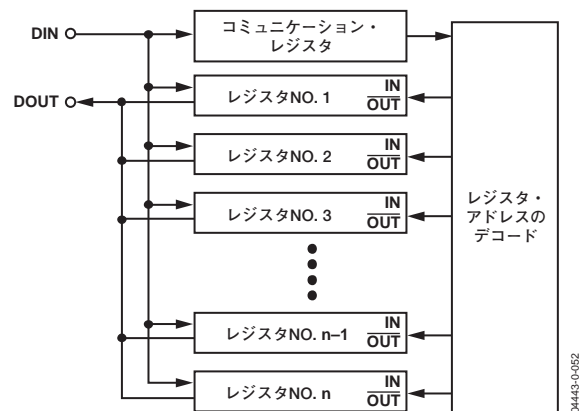


図86. コミュニケーション・レジスタを介する ADE7758レジスタのアレンジング

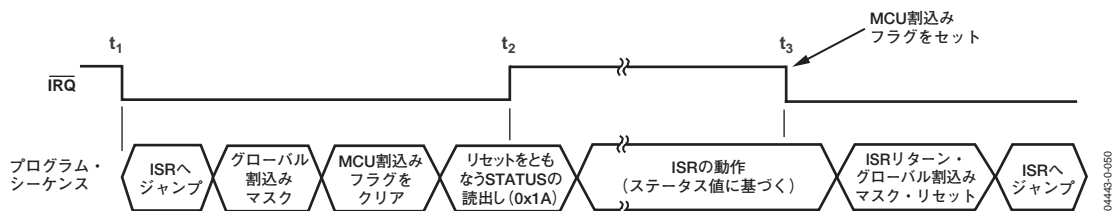


図87. ADE7758の割込み管理

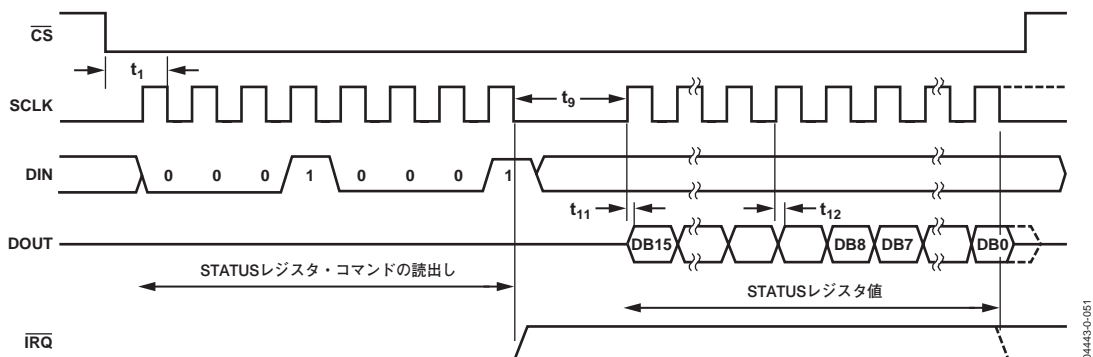


図88. ADE7758割込みタイミング

ADE7758

コミュニケーション・レジスタは8ビットの書き込み専用レジスタです。MSBが次のデータ転送動作の読出し／書き込みを指定します。下位7ビットには、アクセス対象のレジスタのアドレスが配置されています。詳細については、表12を参照してください。

図89と図90に、読出し動作と書き込み動作のデータ転送シーケンスを示します。

データ転送（読出しまたは書き込み）が終わると、ADE7758は通信モードに戻ります。すなわち、次の命令は、コミュニケーション・レジスタへの書き込みでなければなりません。

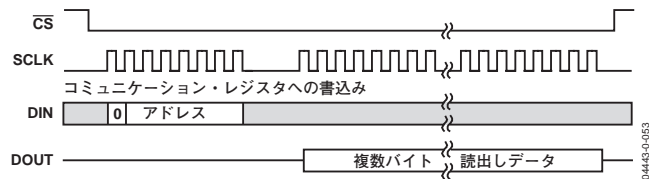


図89. シリアル・インターフェースを経由した ADE7758からのデータ読出し

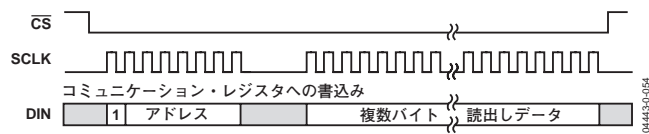


図90. シリアル・インターフェースを経由した ADE7758へのデータの書き込み

ADE7758のアドレス指定された（書き込みまたは読出し対象）レジスタの LSBがADE7758との間で転送されたとき、1つのデータ転送が完了します。

ADE7758のシリアル書き込み動作

シリアルの書き込みシーケンスは次のように実行されます。ADE7758が通信モード（すなわち \overline{CS} 入力ロジックがローレベル）の状態では、まずコミュニケーション・レジスタへの書き込みが行われます。このバイト転送のMSBは1に設定される必要があり、次のデータ転送動作がレジスタに対する書き込みであることを表します。このバイトの下位7ビットに、書き込み対象のレジスタ・アドレスを指定します。ADE7758は、次のSCLKの立下がりエッジでレジスタ・データのシフト入力を開始します。レジスタ・データの残りの全ビットは、後続SCLKパルスの立下がりエッジでシフト入力されます（図91）。

前述のように、データの書き込みはコミュニケーション・レジスタに対する書き込みで開始され、その後データが続きます。ADE7758に対するデータ書き込み動作中は、データはすべての内蔵レジスタに対して1バイトずつ転送されます。バイトがシリアル・ポートに転送されてから、シリアル・ポート・バッファの値がADE7758の内蔵レジスタの1つに転送されるまで、所定の時間がかかります。目的のレジスタに対するバイトの転送中にシリアル・ポートに対する次のバイト転送を開始できませんが、この2番目のバイト転送は、前のバイト転送終了後少なくとも900ns後でなければ完了できません。この機能はタイミング仕様 t_6 で表されます（図91）。バイト転送中に書き込み動作を中断すると（ \overline{CS} をハイレベルにする）、そのバイトは目的のレジスタに書き込まれません。

目的のレジスタは3バイト幅まで可能です（「ADE7758内蔵レジスタのアクセス方法」を参照）。このため、DINでシリアル・ポートにシフト入力された先頭バイトは、目的のレジスタの上位バイトに転送されます。たとえば、目的のレジスタが12ビット幅の場合、2バイト・データ転送が必要です。データは常に右詰めを想定しているため、この場合は、先頭バイトの上位4ビットは無視され、先頭バイトの下位4ビットは、12ビットワードの上位4ビットになります。この例を図92に示します。

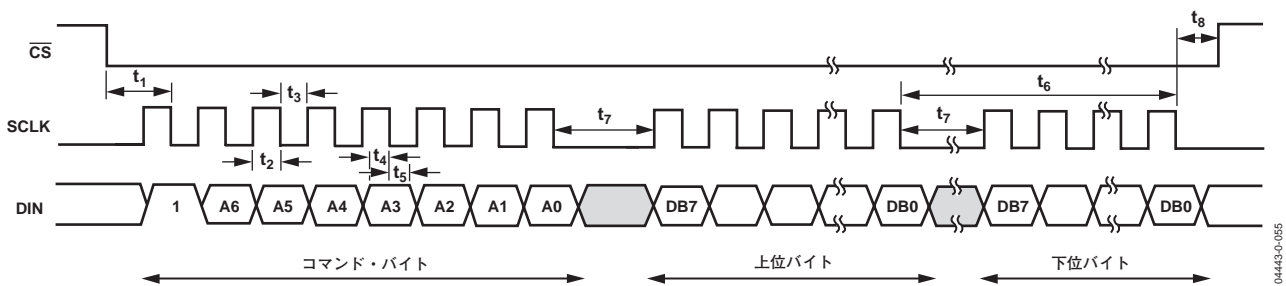


図91. シリアル・インターフェースの書き込みタイミング図

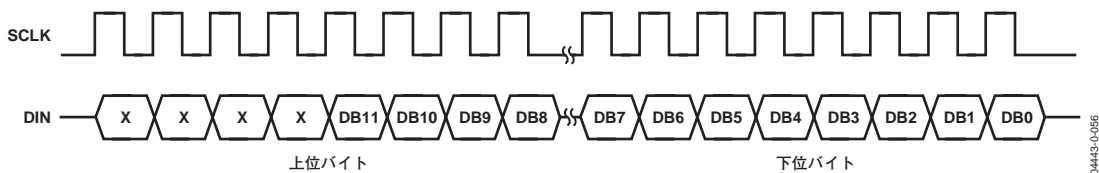


図92. 12ビットのシリアル書き込み動作

ADE7758のシリアル読出し動作

ADE7758からのデータ読出し動作では、データはSCLKの立上がりエッジでDOUTロジック出力からシフト出力されます。データ書き込み動作の場合と同様に、データ読出しはコミュニケーション・レジスタに対する書き込みから開始する必要があります。

ADE7758が通信モードで、 \overline{CS} ロジックがローレベルのとき、コミュニケーション・レジスタに対する8ビットの書き込みが最初に実行されます。このバイト転送のMSBは必ず0になり、次のデータ転送動作が読出しであることを表します。このバイトの下位7ビットに、読出し対象レジスタのアドレスを指定します。ADE7758は、次のSCLKの立上がりエッジでレジスタ・データのシフトを開始します(図93)。この時点で、DOUTロジック出力が高インピーダンス状態から切り替わり、データバスの駆動が開始されます。レジスタ・データの残りの全ビットは後続のSCLKの立上がりエッジでシフトされます。読出しが完了すると、シリアル・インターフェースは直

ちに通信モードに戻ります。最後のSCLKの立下がりエッジで、DOUTピンは高インピーダンス状態に戻ります。データ転送が完了する前に \overline{CS} ロジック入力をハイレベルにすると、読出し動作を中断できます。DOUT出力は \overline{CS} の立上がりエッジで高インピーダンス状態になります。

ADE7758レジスタが読出し動作にアドレス指定されると、レジスタ値全体がシリアル・ポートに転送されます。この機能により、ADE7758は複数バイトの転送中にデータを破壊することなく、内蔵レジスタ値を変更できます。

書き込み動作の後に読出し動作が続く場合、読出しコマンド(コミュニケーション・レジスタへの書き込み)は書き込み動作の完了から少なくとも $1.1\mu\text{s}$ が経過するまで送信できません。読出しコマンドが書き込み動作から $1.1\mu\text{s}$ 以内に送信されると、書き込み動作の最終バイトが失われます。

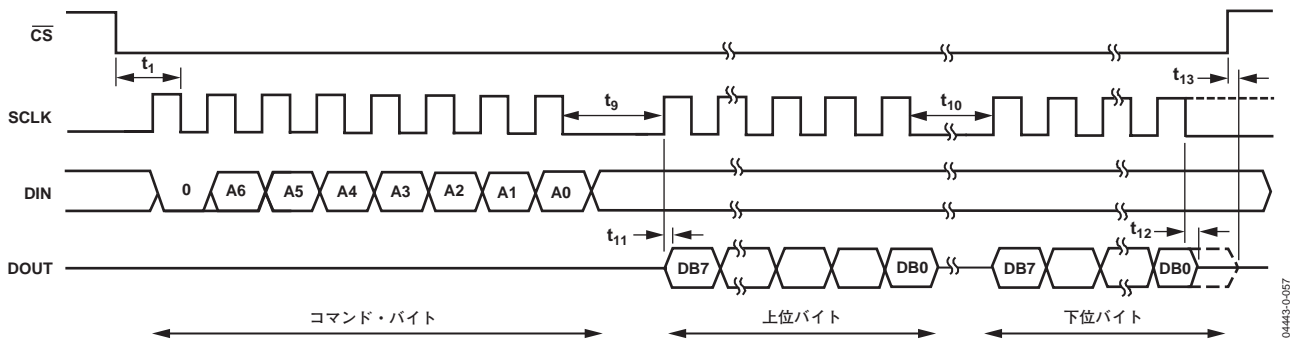


図93. シリアル・インターフェースの読出しタイミング図

ADE7758

ADE7758内蔵レジスタのアクセス方法

ADE7758のすべての機能は、内蔵レジスタを使ってアクセスできます。各レジスタは、先にコミュニケーション・レジスタに書込みを行ってアクセスしてから、レジスタ・データを転送します。シリアル・インターフェース・プロトコルの詳細については、このデータシートの「ADE7758シリアル・インターフェース」を参照してください。

コミュニケーション・レジスタ

コミュニケーション・レジスタは8ビットの書込み専用レジスタで、ADE7758とホスト・プロセッサとの間のシリアル・データ転送を制御します。すべてのデータ転送動作は、コミュニケーション・レジスタへの書込みから開始する必要があります。コミュニケーション・レジスタに書き込まれたデータにより、次の動作が読み出しか書込みかが指定され、対象となるレジスタも指定されます。表12に、コミュニケーション・レジスタのビット配置を示します。

表12. コミュニケーション・レジスタ

ビット位置	ビット記号	説明
0~6	A0~A6	コミュニケーション・レジスタの下位7ビットで、データ転送動作のレジスタを指定します。表13に、ADE7758の各内蔵レジスタのアドレスを示します。
7	W/R	このビットがロジック1のとき、コミュニケーション・レジスタへの書込み直後のデータ転送動作はADE7758への書込みであると解釈されます。このビットがロジック0のとき、コミュニケーション・レジスタへの書込み直後のデータ転送動作は読み出し動作であると解釈されます。

DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
W/R	A6	A5	A4	A3	A2	A1	A0

表13. ADE7758のレジスタのリスト

アドレス [A6 : A0]	名 前	R/W ¹	ビット数	デフォルト値	説 明
0x00	予備	—			予備
0x01	AWATTHR	R	16	0	A相のワット時積算レジスタ。この読み出し専用レジスタ内で有効電力が積算されます。AWATTHRレジスタは、オーバーフローなしで、フルスケール・アナログ入力に対して最大0.52秒間の有効電力量情報を保持できます（「有効電力量計算」を参照）。COMPMODEレジスタのビット0とビット1により、6個のアナログ入力からの有効電力量の処理方法を指定します。
0x02	BWATTHR	R	16	0	B相のワット時積算レジスタ
0x03	CWATTHR	R	16	0	C相のワット時積算レジスタ
0x04	AVARHR	R	16	0	A相のVAR時積算レジスタ。この読み出し専用レジスタ内で無効電力が積算されます。AVARHRレジスタは、オーバーフローなしで、フルスケール・アナログ入力に対して最大0.52秒間の無効電力量情報を保持できます（「無効電力量計算」を参照）。COMPMODEレジスタのビット0とビット1により、6個のアナログ入力からの無効電力量の処理方法を指定します。
0x05	BVARHR	R	16	0	B相のVAR時積算レジスタ
0x06	CVARHR	R	16	0	C相のVAR時積算レジスタ
0x07	AVAHR	R	16	0	A相のVA時積算レジスタ。この読み出し専用レジスタ内で皮相電力が積算されます。AVAHRレジスタは、オーバーフローなしで、フルスケール・アナログ入力に対して最大1.15秒間の皮相電力量情報を保持できます（「皮相電力量計算」を参照）。COMPMODEレジスタのビット0とビット1により、6個のアナログ入力からの皮相電力量の処理方法を指定します。
0x08	BVAHR	R	16	0	B相のVA時積算レジスタ
0x09	CVAHR	R	16	0	C相のVA時積算レジスタ
0x0A	AIRMS	R	24	0	A相の電流チャンネルRMSレジスタ。このレジスタは、電流チャンネルのA相入力のrms成分を保持します。モード・レジスタのデータビットで信号源を選択します。
0x0B	BIRMS	R	24	0	B相の電流チャンネルRMSレジスタ
0x0C	CIRMS	R	24	0	C相の電流チャンネルRMSレジスタ
0x0D	AVRMS	R	24	0	A相の電圧チャンネルRMSレジスタ
0x0E	BVRMS	R	24	0	B相の電圧チャンネルRMSレジスタ

アドレス [A6 : AO]	名 前	R/W ¹	ビット数	デフォルト値	説 明
0x0F	CVRMS	R	24	0	C相の電圧チャンネルRMSレジスタ
0x10	FREQ	R	12	0	ゼロ交差処理で計算されたライン入力周波数。ライン入力の周期も表示できます。周波数または周期のどちらで読み出すかは、LCYCMODEレジスタのビット7で指定します。デフォルトは周波数です。周波数または周期の計算に使う電圧チャンネルは、MMODEレジスタのデータビット0と1を使って指定します。
0x11	TEMP	R	8	0	温度レジスタ。このレジスタは、直前の温度変換結果を保持します。このレジスタ値の解釈については、このデータシートの「温度測定」を参照してください。
0x12	WFORM	R	24	0	波形レジスタ。このレジスタには、各相の電流、電圧、有効電力、無効電力のうちの1つのデジタル・データが格納されます。データの指定はWAVMODEレジスタのデータビット0~4を使って選択します。
0x13	OPMODE	R/W	8	4	動作モード・レジスタ。このレジスタは、ADE7758の全体的な設定を定めます(表14を参照)。
0x14	MMODE	R/W	8	0xFC	測定モード・レジスタ。このレジスタは、周期およびピーク検出の測定に使うチャンネルを指定します(表15を参照)。
0x15	WAVMODE	R/W	8	0	波形モード・レジスタ。このレジスタは、波形サンプリング・モードで使用するチャンネルとサンプリング周波数を指定します(表16を参照)。
0x16	COMPmode	R/W	8	0x1C	このレジスタは、電力量とライン有効電力量の測定に適用する公式を設定します(表17を参照)。
0x17	LCYCMODE	R/W	8	0x78	このレジスタは、ワット時、VAR時、VA時のライン・サイクル積算モードを設定します(表18を参照)。
0x18	MASK	R/W	24	0	IRQ MASKレジスタ。割込みイベントでIRQピンにアクティブ・ローを出力するか否かを指定します(「ADE7758割込み」を参照)。
0x19	STATUS	R	24	0	IRQ STATUSレジスタ。このレジスタは、ADE7758の割込みの原因に関する情報を保持します(「ADE7758割込み」を参照)。
0x1A	RSTATUS	R	24	0	STATUSレジスタと同じ。ただし、読みし動作の後に値が0にリセット(全フラグがクリア)される点が異なります。
0x1B	ZXTOUT	R/W	16	0xFFFF	ゼロ交差タイムアウト・レジスタ。このレジスタで指定された期間内にゼロ交差が検出されない場合、対応するライン電圧の割込み要求ライン(IRQ)がアクティブ・ローになります。最大タイムアウト周期は2.3秒です(「ゼロ交差検出」を参照)。
0x1C	LINECYC	R/W	16	0xFFFF	ライン・サイクル・レジスタ。このレジスタ値が、ライン積算モードで有効/無効/皮相電力量が積算されるラインの半サイクル数を指定します。
0x1D	SAGCYC	R/W	8	0xFF	SAGライン・サイクル・レジスタ。このレジスタは、電圧チャンネル入力が閾値レベルを下回る、連続するラインの半サイクル数を指定します。このレジスタは、3相のすべてのライン電圧SAG検出機能で共通に使われます。検出閾値はSAGLVLレジスタで指定します(「ライン電圧SAG検出」を参照)。
0x1E	SAGLVL	R/W	8	0	SAG電圧レベル。このレジスタは、SAGイベントの検出閾値を指定します。このレジスタは、3相のすべてのライン電圧SAG検出機能で共通に使われます。詳細については、SAGCYCレジスタの説明を参照してください。
0x1F	VPINTLVL	R/W	8	0xFF	電圧ピーク・レベル割込み閾値レジスタ。このレジスタは、電圧ピーク検出のレベルを指定します。MMODEレジスタのビット5~7が、モニタする位相を指定します。選択された電圧位相がこのレベルを超えると、IRQ STATUSレジスタのPKVフラグがセットされます。
0x20	IPINTLVL	R/W	8	0xFF	電流ピーク・レベル割込み閾値レジスタ。このレジスタは、電流ピーク検出のレベルを指定します。MMODEレジスタのビット5~7が、モニタする位相を指定します。選択された電流位相がこのレベルを超えると、IRQ STATUSレジスタのPKIフラグがセットされます。
0x21	VPEAK	R	8	0	電圧ピーク・レジスタ。このレジスタは、指定されたラインの半サイクル数の内で発生したピーク電圧波形の値を保持します。ラインの半サイクル数は、LINECYCレジスタによって指定します。
0x22	IPEAK	R	8	0	電流ピーク・レジスタ。このレジスタは、指定されたラインの半サイクル数の内で発生したピーク電流波形の値を保持します。ラインの半サイクル数は、LINECYCレジスタによって指定します。

ADE7758

アドレス [A6 : A0]	名 前	R/W ¹	ビット数	デフォルト値	説 明
0x23	GAIN	R/W	8	0	PGAゲイン・レジスタ。このレジスタは、電流チャンネルと電圧チャンネルにあるPGAのゲイン選択を調節するときに使います(「アナログ入力」を参照)。
0x24	AVRMSGAIN	R/W	12	0	A相VRMSゲイン・レジスタ。このレジスタに書き込みを行い、電圧rms計算の範囲を調節できます。分解能0.0244%/LSBで、調整範囲は±50%です。
0x25	BVRMSGAIN	R/W	12	0	B相VRMSゲイン・レジスタ
0x26	CVRMSGAIN	R/W	12	0	C相VRMSゲイン・レジスタ
0x27	AIGAIN	R/W	12	0	A相電流ゲイン・レジスタ。このレジスタに書き込みを行い、電流rms計算の範囲を調節できます。分解能0.0244%/LSBで、調整範囲は±50%です。このレジスタを調節すると、ワットとVARの計算もスケールされます。COMPmode[0:1]のCONSELのモード0では使えません。
0x28	BIGAIN	R/W	12	0	B相電流ゲイン・レジスタ
0x29	CIGAIN	R/W	12	0	C相電流ゲイン・レジスタ
0x2A	AWG	R/W	12	0	A相ワット・ゲイン・レジスタ。このレジスタに書き込みを行い、ワット計算の範囲を調節できます。分解能0.0244%/LSBで、調整範囲は±50%です。
0x2B	BWG	R/W	12	0	B相ワット・ゲイン・レジスタ
0x2C	CWG	R/W	12	0	C相ワット・ゲイン・レジスタ
0x2D	AVARG	R/W	12	0	A相VARゲイン・レジスタ。このレジスタに書き込みを行い、VAR計算の範囲を調節できます。分解能0.0244%/LSBで、調整範囲は±50%です。
0x2E	BVARG	R/W	12	0	B相VARゲイン・レジスタ
0x2F	CVARG	R/W	12	0	C相VARゲイン・レジスタ
0x30	AVAG	R/W	12	0	A相VAゲイン・レジスタ。このレジスタに書き込みを行い、VA計算の範囲を調節できます。分解能0.0244%/LSBで、調整範囲は±50%です。
0x31	BVAG	R/W	12	0	B相VAゲイン・レジスタ
0x32	CVAG	R/W	12	0	C相VAゲイン・レジスタ
0x33	AVRMSOS	R/W	12	0	A相電圧RMSオフセット補正レジスタ
0x34	BVRMSOS	R/W	12	0	B相電圧RMSオフセット補正レジスタ
0x35	CVRMSOS	R/W	12	0	C相電圧RMSオフセット補正レジスタ
0x36	AIRMSOS	R/W	12	0	A相電流RMSオフセット補正レジスタ
0x37	BIRMSOS	R/W	12	0	B相電流RMSオフセット補正レジスタ
0x38	CIRMSOS	R/W	12	0	C相電流RMSオフセット補正レジスタ
0x39	AWATTOS	R/W	12	0	A相ワット・オフセット・キャリブレーション・レジスタ
0x3A	BWATTOS	R/W	12	0	B相ワット・オフセット・キャリブレーション・レジスタ
0x3B	CWATTOS	R/W	12	0	C相ワット・オフセット・キャリブレーション・レジスタ
0x3C	AVAROS	R/W	12	0	A相VARオフセット・キャリブレーション・レジスタ
0x3D	BVAROS	R/W	12	0	B相VARオフセット・キャリブレーション・レジスタ
0x3E	CVAROS	R/W	12	0	C相VARオフセット・キャリブレーション・レジスタ
0x3F	APHCAL	R/W	7	0	A相位相キャリブレーション・レジスタ。この符号付き7ビット・レジスタに書き込みを行い、電流チャンネルと電圧チャンネルとの間の位相関係を調節できます(「位相補償」を参照)。
0x40	BPHCAL	R/W	7	0	B相位相キャリブレーション・レジスタ
0x41	CPHCAL	R/W	7	0	C相位相キャリブレーション・レジスタ
0x42	WDIV	R/W	8	0	有効電力量レジスタ除数
0x43	VARDIV	R/W	8	0	無効電力量レジスタ除数
0x44	VADIV	R/W	8	0	皮相電力量レジスタ除数
0x45	APCFNUM	R/W	16	0	有効電力CFスケール値レジスタ。このレジスタ値は、APCF出力のスケールリングで分子として使われます。ビット[15:13]は、A相、B相、C相の順で逆極性有効電力測定値を表します(すなわち、ビット15はA相、ビット14はB相、ビット13はC相)。
0x46	APCFDEN	R/W	12	0x3F	有効電力CFスケールリング分母レジスタ。このレジスタ値は、APCF出力のスケールリングで分母として使われます。

アドレス [A6 : A0]	名 前	R/W ¹	ビット数	デフォルト値	説 明
0x47	VARCFNUM	R/W	16	0	無効電力CFスケール値レジスタ。このレジスタ値は、VARCF出力のスケールリングで分子として使われます。ビット[15:13]は、A相、B相、C相の順で逆極性無効電力測定値を表します(すなわち、ビット15はA相、ビット14はB相、ビット13はC相)。
0x48	VARCFDEN	R/W	12	0x3F	無効電力CFスケールリング分母レジスタ。このレジスタ値は、VARCF出力のスケールリングで分母として使われます。
0x49~0x7D	予備	—	—	—	予備
0x7E	CHKSUM	R	8	—	CHECKSUMレジスタ。このレジスタ値は、SPIポートから読み出された直前のレジスタ内のすべての「1」の和を表します。
0x7F	VERSION	R	8	—	チップのバージョン

¹ R/W: レジスタの読み出し/書き込み機能。R: 読み出し専用レジスタ。R/W: 読み書き可能なレジスタ。

動作モード・レジスタ(0x13)

ADE7758の全体的な設定は、OPMODEレジスタへの書き込みによって行います。表14に、OPMODEレジスタの各ビットの機能をまとめています。

表14. OPMODEレジスタ

ビット位置	ビット記号	デフォルト値	説 明
0	DISHPF	0	このビットがセットされると、全電流チャンネル入力のHPF (ハイパス・フィルタ)が無効になります。
1	DISLPF	0	このビットがセットされると、全電流チャンネル入力のLPF (ローパス・フィルタ)が無効になります。
2	DISCF	1	このビットがセットされると、周波数出力APCFとVARCFが無効になります。
3~5	DISMOD	0	これらのビットがセットされると、ADE7758のADCがオフになります。通常動作では、これらのビットはロジック0にしておく必要があります。
			DISMOD[2:0]
			説明
			0 0 0 通常動作
			1 0 0 電圧入力を電流チャンネルの信号バスに、電流入力を電圧チャンネルの信号バスに切り替えます。
			0 0 1 電流チャンネルADCのみをオフにします。
			1 0 1 電流チャンネルADCをオフにし、電流入力信号を電圧チャンネル信号バスに切り替えます。
			0 1 0 電圧チャンネルADCのみをオフにします。
			1 1 0 電圧チャンネルADCをオフにし、電圧入力信号を電流チャンネル信号バスに切り替えます。
			0 1 1 ADE7758をスリープ・モードにします。
			1 1 1 ADE7758をパワーダウン・モードにします。
6	SWRST	0	ソフトウェア・チップ・リセット。ソフトウェア・リセット後、少なくとも18μs間、ADE7758に対するデータ転送を禁止します。
7	予備	0	このビットは0に設定しておく必要があります。

ADE7758

測定モード・レジスタ(0x14)

MMODEレジスタに書き込みを行うことにより、PERIODの設定とADE7758が行うピーク測定を指定します。表15に、MMODEレジスタの各ビットの機能をまとめます。

表15. MMODEレジスタ

ビット位置	ビット記号	デフォルト値	説明		
0~1	FREQSEL	0	これらのビットを使用し、電圧ライン周波数測定の実験源を選択します。		
			FREQSEL1	FREQSELO	信号源
			0	0	A相
			0	1	B相
			1	0	C相
1	1	予備			
2~4	PEAKSEL	7	これらのビットを使用し、電圧と電流の各ピーク・レジスタで使う相を選択します。ビット2をセットすると、IPEAKレジスタとVPEAKレジスタはA相の最大電流波形と最大電圧波形(指定されたラインの半サイクル数の間)の絶対値を保持するように切り替えられます。ラインの半サイクル数はLINECYCレジスタ値で指定します。LINECYC値で指定されたラインの半サイクル数の終わりで、レジスタ値は新しいピーク値で更新されます。同様に、ビット3をセットするとB相のピーク検出、ビット4をセットするとC相のピーク検出を実行します。複数のビットをセットすると、VPEAKレジスタとIPEAKレジスタは異なる2相の値を保持できます。すなわち、電圧ピークと電流ピークは独立して処理されます(「ピーク電流検出」を参照)。		
5~7	PKIRQSEL	7	これらのビットを使って、ピーク割込み検出に使う相を選択します。ビット5をセットすると、A相の絶対電流波形と絶対電圧波形のモニタリングを行います。同様に、ビット6をセットするとB相の波形検出、ビット7をセットするとC相の波形検出を行います。複数のビットをセットすると、複数相の検出を行います。選択した相の電圧波形または電流波形のサンプルの絶対値がPKVLVLまたはPKILVLレジスタで指定したレベルを超えると、STATUSレジスタの対応するビットがセットされます(「ピーク電流検出」を参照)。		

波形モード・レジスタ(0x15)

ADE7758の波形サンプリング・モードは、WAVMODEレジスタへの書き込みによって指定します。表16に、WAVMODEレジスタの各ビットの機能をまとめます。

表16. WAVMODEレジスタ

ビット位置	ビット記号	デフォルト値	説明			
0~1	PHSEL	0	これらのビットを使用し、波形サンプルの相を選択します。			
			PHSEL[1:0]		信号源	
			0	0	A相	
			0	1	B相	
			1	0	C相	
1	1	予備				
2~4	WAVSEL	0	これらのビットを使用し、波形のタイプを選択します。			
			WAVSEL[2:0]		信号源	
			0	0	0	電流
			0	0	1	電圧
			0	1	0	有効電力乗算器出力
			0	1	1	無効電力乗算器出力
			1	0	0	VA乗算器出力
その他		予備				
5~6	DTRT	0	これらのビットを使用し、データレートを指定します。			
			DTRT[1:0]		更新レート	
			0	0	26.0 kSPS (CLKIN/3/128)	
			0	1	13.0 kSPS (CLKIN/3/256)	
			1	0	6.5 kSPS (CLKIN/3/512)	
1	1	3.3 kSPS (CLKIN/3/1024)				
7	VACF	0	このビットをロジック1に設定すると、合計皮相電力(VA)に比例する周波数をもったパルスがVARCFピンに出力されます。デフォルト状態のロジック0では、VARCFピンに合計無効電力(VAR)に比例する周波数をもったパルスが出力されます。			

計算モード・レジスタ(0x16)

ADE7758の計算方法は、COMPmodeレジスタに書き込みを行うことで指定します。表17に、COMPmodeレジスタの各ビットの機能をまとめています。

表17. COMPmodeレジスタ

ビット位置	ビット記号	デフォルト値	説明																																								
0~1	CONSEL	0	<p>これらのビットを使用し、電力量積算レジスタへの入力を選択します。</p> <table border="1"> <thead> <tr> <th>レジスタ</th> <th>CONSEL[1:0]=00</th> <th>CONSEL[1:0]=01</th> <th>CONSEL[1:0]=10</th> </tr> </thead> <tbody> <tr> <td>AWATTHR</td> <td>$VA \times IA$</td> <td>$VA \times (IA - IB)$</td> <td>$VA \times (IA - IB)$</td> </tr> <tr> <td>BWATTHR</td> <td>$VB \times IB$</td> <td>0</td> <td>0</td> </tr> <tr> <td>CWATTHR</td> <td>$VC \times IC$</td> <td>$VC \times (IC - IB)$</td> <td>$VC \times IC$</td> </tr> <tr> <td>AVARHR</td> <td>$VA \times \overline{IA}$</td> <td>$VA \times (\overline{IA} - \overline{IB})$</td> <td>$VA \times (IA - IB)$</td> </tr> <tr> <td>BVARHR</td> <td>$VB \times \overline{IB}$</td> <td>0</td> <td>0</td> </tr> <tr> <td>CVARHR</td> <td>$VC \times \overline{IC}$</td> <td>$VC \times (\overline{IC} - \overline{IB})$</td> <td>$VC \times IC$</td> </tr> <tr> <td>AVAHR</td> <td>$V_{ARMS} \times I_{ARMS}$</td> <td>$V_{ARMS} \times I_{ARMS}$</td> <td>$V_{ARMS} \times A_{RMS}$</td> </tr> <tr> <td>BVAHR</td> <td>$V_{BRMS} \times I_{BRMS}$</td> <td>$(V_{ARMS} + V_{CRMS}) / 2 \times I_{BRMS}$</td> <td>$V_{ARMS} \times I_{BRMS}$</td> </tr> <tr> <td>CVAHR</td> <td>$V_{CRMS} \times I_{CRMS}$</td> <td>$V_{CRMS} \times I_{CRMS}$</td> <td>$V_{CRMS} \times I_{CRMS}$</td> </tr> </tbody> </table> <p>CONSEL[11:0]は予備。 注: *\overline{IA}、\overline{IB}、\overline{IC} はそれぞれIA、IB、ICの位相を-90°シフトしたもの。</p>	レジスタ	CONSEL[1:0]=00	CONSEL[1:0]=01	CONSEL[1:0]=10	AWATTHR	$VA \times IA$	$VA \times (IA - IB)$	$VA \times (IA - IB)$	BWATTHR	$VB \times IB$	0	0	CWATTHR	$VC \times IC$	$VC \times (IC - IB)$	$VC \times IC$	AVARHR	$VA \times \overline{IA}$	$VA \times (\overline{IA} - \overline{IB})$	$VA \times (IA - IB)$	BVARHR	$VB \times \overline{IB}$	0	0	CVARHR	$VC \times \overline{IC}$	$VC \times (\overline{IC} - \overline{IB})$	$VC \times IC$	AVAHR	$V_{ARMS} \times I_{ARMS}$	$V_{ARMS} \times I_{ARMS}$	$V_{ARMS} \times A_{RMS}$	BVAHR	$V_{BRMS} \times I_{BRMS}$	$(V_{ARMS} + V_{CRMS}) / 2 \times I_{BRMS}$	$V_{ARMS} \times I_{BRMS}$	CVAHR	$V_{CRMS} \times I_{CRMS}$	$V_{CRMS} \times I_{CRMS}$	$V_{CRMS} \times I_{CRMS}$
レジスタ	CONSEL[1:0]=00	CONSEL[1:0]=01	CONSEL[1:0]=10																																								
AWATTHR	$VA \times IA$	$VA \times (IA - IB)$	$VA \times (IA - IB)$																																								
BWATTHR	$VB \times IB$	0	0																																								
CWATTHR	$VC \times IC$	$VC \times (IC - IB)$	$VC \times IC$																																								
AVARHR	$VA \times \overline{IA}$	$VA \times (\overline{IA} - \overline{IB})$	$VA \times (IA - IB)$																																								
BVARHR	$VB \times \overline{IB}$	0	0																																								
CVARHR	$VC \times \overline{IC}$	$VC \times (\overline{IC} - \overline{IB})$	$VC \times IC$																																								
AVAHR	$V_{ARMS} \times I_{ARMS}$	$V_{ARMS} \times I_{ARMS}$	$V_{ARMS} \times A_{RMS}$																																								
BVAHR	$V_{BRMS} \times I_{BRMS}$	$(V_{ARMS} + V_{CRMS}) / 2 \times I_{BRMS}$	$V_{ARMS} \times I_{BRMS}$																																								
CVAHR	$V_{CRMS} \times I_{CRMS}$	$V_{CRMS} \times I_{CRMS}$	$V_{CRMS} \times I_{CRMS}$																																								
2~4	TERMSEL	7	<p>これらのビットを使用し、APCFピンとVARCFピンにどの相のパルスを入力するかを選択します。ビット2をセットすると、A相(AWATTHRレジスタとAVARHRレジスタへの入力)となります。ビット3をセットするとB相、ビット4をセットするとC相となります。3ビットすべてをセットすると、3相すべての和に対応する周波数をもったパルスが出力されます(「有効電力のパルス周波数出力」および「無効電力のパルス周波数出力」を参照)。</p>																																								
5	ABS	0	<p>このビットをセットすると、APCF出力ピンが絶対値専用モードになります。すなわち、APCF出力周波数はワット時積算レジスタ(AWATTHR、BWATTHR、CWATTHR)の絶対値の和に比例します。このビットはAPCFピンにのみ影響し、対応するレジスタ値には影響を与えません。</p>																																								
6	SAVAR	0	<p>このビットをセットすると、VARCF出力ピンは符号調節モードになります。すなわち、VARCF出力周波数はVAR時積算レジスタ(AVARHR、BVARHR、CVARHR)の符号調節された和に比例します。VARの符号は対応する相のワット計算の符号によって決定されます。すなわち、ワットの符号が負のときはVARの符号が反転され、ワットが正のときはVARの符号は変更されません。このビットはVARCFピンにのみ影響し、対応するレジスタ値には影響を与えません。</p>																																								
7	NOLOAD	0	<p>このビットをセットすると、ADE7758の無負荷閾値が有効になります。</p>																																								

ADE7758

ライン・サイクル積算モード・レジスタ(0x17)

LCYCMODEレジスタに書き込みを行うことにより、ADE7758のライン・サイクル積算モードに関する機能を指定します。表18に、LCYCMODEレジスタの各ビットの機能をまとめています。

表18. LCYCMODEレジスタ

ビット位置	ビット記号	デフォルト値	説明
0	LWATT	0	このビットをセットすると、ワット時積算レジスタ(AWATTHR、BWATTHR、CWATTHRの各レジスタ)がライン・サイクル積算モードになります。
1	LVAR	0	このビットをセットすると、VAR時積算レジスタ(AVARHR、BVARHR、CVARHRの各レジスタ)がライン・サイクル積算モードになります。
2	LVA	0	このビットをセットすると、VA時積算レジスタ(AVAHR、BVAHR、CVAHRの各レジスタ)がライン・サイクル積算モードになります。
3~5	ZXSEL	7	これらのビットを使用し、ライン・サイクル積算モードでゼロ交差数をカウントする相を指定します。ビット3、ビット4、ビット5はそれぞれA相、B相、C相を選択します。ゼロ交差検出では複数相の選択が可能です、その場合、積算時間は短くなります。
6	RSTREAD	1	このビットをセットすると、3相すべてのWATTHRレジスタ、VARHRレジスタ、VAHRレジスタに対してリセット読出しが可能になります。すなわち、これらのレジスタを読み出すと、レジスタ値を読み出した後にレジスタが0にリセットされます。LWATTビット、LVARビット、またはLVAビットがロジック1に設定されているときは、このビットをロジック0に設定する必要があります。
7	FREQSEL	0	このビットをセットすると、FREQ (0x10)レジスタはライン入力の周波数ではなく、周期を表示します。

割込みMASKレジスタ(Ox18)

ADE7758で割込みイベントが発生すると、MASKレジスタ内にある、このイベントのマスク・ビットがロジック1の場合、 $\overline{\text{IRQ}}$ ロジック出力がアクティブ・ローになります。RSTATUSレジスタが読み出されたとき、 $\overline{\text{IRQ}}$ ロジック出力はデフォルトのオープン・コレクタ状態にリセットされます。表19に、割込みMASKレジスタの各ビットの機能を示します。

表19. 割込みMASKレジスタの各ビットの機能

ビット位置	割込みフラグ	デフォルト値	説明
0	AEHF	0	3個のWATTHRレジスタのいずれかでビット14が変化するとき(すなわち、WATTHRレジスタがハーフ・フルになると)、割込みが有効になります。
1	REHF	0	3個のVARHRレジスタのいずれかでビット14が変化するとき(すなわち、VARHRレジスタがハーフ・フルになると)、割込みが有効になります。
2	VAEHF	0	3個のVAHRレジスタのいずれかでMSBが0から1へ変化するとき(すなわち、VAHRレジスタがハーフ・フルになると)、割込みが有効になります。
3	SAGA	0	A相ライン電圧で $\overline{\text{SAG}}$ が発生したとき、割込みが有効になります。
4	SAGB	0	B相ライン電圧で $\overline{\text{SAG}}$ が発生したとき、割込みが有効になります。
5	SAGC	0	C相ライン電圧で $\overline{\text{SAG}}$ が発生したとき、割込みが有効になります。
6	ZXTOA	0	A相でゼロ交差タイムアウトが検出されたとき、割込みが有効になります。
7	ZXTOB	0	B相でゼロ交差タイムアウトが検出されたとき、割込みが有効になります。
8	ZXTOC	0	C相でゼロ交差タイムアウトが検出されたとき、割込みが有効になります。
9	ZXA	0	A相電圧チャンネルでゼロ交差が発生したとき、割込みが有効になります(「ゼロ交差検出」を参照)。
10	ZXB	0	B相電圧チャンネルでゼロ交差が発生したとき、割込みが有効になります(「ゼロ交差検出」を参照)。
11	ZXC	0	C相電圧チャンネルでゼロ交差が発生したとき、割込みが有効になります(「ゼロ交差検出」を参照)。
12	LENERGY	0	LINECYCの電力量積算が完了したとき、割込みが有効になります。
13	予備	0	予備
14	PKV	0	MMODEレジスタで選択された電圧入力値がPKVLVLレジスタ値を超えたとき、割込みが有効になります。
15	PKI	0	MMODEレジスタで選択された電流入力値がPKILVLレジスタ値を超えたとき、割込みが有効になります。
16	WFSM	0	データがWAVEMODEレジスタに存在するとき、割込みが有効になります。
17	REVPAP	0	COMPMODEレジスタのTERMSELビットで指定された相のいずれかのワット計算で符号が変化したとき、割込みが有効になります。
18	REVPRP	0	COMPMODEレジスタのTERMSELビットで指定された相のいずれかのVAR計算で符号が変化したとき、割込みが有効になります。
19	SEQERR	0	A相のゼロ交差の後ろに、C相のゼロ交差ではなくB相のゼロ交差が続いたとき、割込みが有効になります。

ADE7758

割込みSTATUSレジスタ(0x19)/リセット割込みSTATUSレジスタ(0x1A)

割込みSTATUSレジスタは、割込みイベントの原因を特定するときに使います。ADE7758で割込みイベントが発生すると、割込みSTATUSレジスタの対応するフラグがロジック・ハイに設定されます。割込みMASKレジスタ内の対応するビットがロジック・ハイに設定されていると、 \overline{IRQ} ピンはアクティブ・ローになります。MCUが割込みサービスを実行するとき、先に割込みSTATUSレジスタに対して読出しを実行し、割込みの原因を調べる必要があります。割込みSTATUSレジスタ内のすべての割込みは、イベントが発生すると、ロジック・ハイ状態になります。割込みSTATUSレジスタ内の割込みビットの状態は、リセット割込みSTATUSレジスタが読み出されると、デフォルト値にリセットされます。

表20. 割込みSTATUSレジスタ

ビット位置	割込みフラグ	デフォルト値	説明
0	AEHF	0	3個のWATTHRレジスタのいずれかでビット14が変化した(すなわち、WATTHRレジスタがハーフ・フルになった)ために、割込みが発生したことを示します。
1	REHF	0	3個のVARHRレジスタのいずれかでビット14が変化した(すなわち、VARHRレジスタがハーフ・フルになった)ために、割込みが発生したことを示します。
2	VAEHF	0	3個のVAHRレジスタのいずれかでビット15が0から1へ遷移した(すなわち、VAHRレジスタがハーフ・フルになった)ために、割込みが発生したことを示します。
3	SAGA	0	A相ライン電圧でSAGが発生したために割込みが発生したことを示します。
4	SAGB	0	B相ライン電圧でSAGが発生したために割込みが発生したことを示します。
5	SAGC	0	C相ライン電圧でSAGが発生したために割込みが発生したことを示します。
6	ZXTOA	0	A相ライン電圧でゼロ交差が検出されないために割込みが発生したことを示します。
7	ZXTOB	0	B相ライン電圧でゼロ交差が検出されないために割込みが発生したことを示します。
8	ZXTOC	0	C相ライン電圧でゼロ交差が検出されないために割込みが発生したことを示します。
9	ZXA	0	A相電圧チャンネルで立上がりエッジ・ゼロ交差が検出されたことを示します。
10	ZXB	0	B相電圧チャンネルで立上がりエッジ・ゼロ交差が検出されたことを示します。
11	ZXC	0	C相電圧チャンネルで立上がりエッジ・ゼロ交差が検出されたことを示します。
12	LEENERGY	0	ライン電力量積算で、LINECYCで指定したラインの半サイクル数の間の積分が終了したことを示します。「キャリブレーション」を参照。
13	RESET	1	5V電源が4Vを下回ったことを示します。ADE7758のソフトウェア・リセットを有効にし、レジスタをデフォルトに戻します。STATUSレジスタまたはRSTATUSレジスタのこのビットはリセット・イベント後1クロック・サイクルのみロジック・ハイとなります。
14	PKV	0	選択した電圧入力値がPKVLVLレジスタ値を超えたために割込みが発生したことを示します。
15	PKI	0	選択した電流入力値がPKILVLレジスタ値を超えたために割込みが発生したことを示します。
16	WFSM	0	新しいデータが波形レジスタに存在することを示します。
17	REVPAP	0	COMPmodeレジスタのTERMSELビットで指定された相のいずれかのワット計算で符号が変化したとき、割込みが有効になります。
18	REVPRP	0	COMPmodeレジスタのTERMSELビットで指定された相のいずれかのVAR計算で符号が変化したとき、割込みが有効になります。
19	SEQERR	0	A相のゼロ交差の後ろに、C相のゼロ交差ではなくB相のゼロ交差が続いたとき、割込みが有効になります。

外形寸法

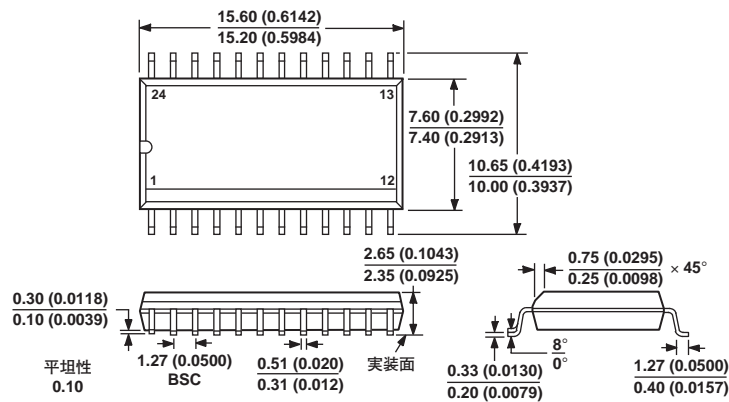


図94. 24ピン・ワイド・ボディSOIC
(RW-24)
寸法単位：mm（インチ）

オーダー・ガイド

モデル	温度範囲	説明	パッケージ・オプション
ADE7758ARW	-40~+85°C	24ピン・ワイド・ボディSOIC	RW-24
ADE7758ARWRL	-40~+85°C	24ピン・ワイド・ボディSOIC	RW-24 (13インチ・リール)
ADE7758ARWZ ¹	-40~+85°C	24ピン・ワイド・ボディSOIC	RW-24
ADE7758ARWZRL ¹	-40~+85°C	24ピン・ワイド・ボディSOIC	RW-24 (13インチ・リール)
EVAL-ADE7758EB		評価用ボード	ADE7758評価用ボード

¹Z = 鉛フリー製品