

## ADE7756\*

### 特長

- 高精度、IEC 687/1036をサポート
- 1000:1のダイナミックレンジで誤差0.1%未満
- ライン電圧SAG検出用とPSU監視用のユーザー設定可能なスレシールド内蔵
- ADE7756電源サンプル波形データ精度:20ビット、アクティブ・エネルギー精度:40ビット
- 電力、位相、入力オフセットのデジタル・キャリブレーション可能
- 温度センサー(キャリブレーション後は $\pm 3$  typ精度)内蔵
- SPI互換のシリアル・インターフェース
- 設定可能な周波数によるパルス出力
- 割り込み要求ピン(IRQ)およびステータス・レジスタ
- レジスタのオーバーフローおよびその他の状態の事前警告機能を装備
- 環境条件と時間の大きな変動に対しても高精度を提供する当社独自のADCとDSP採用
- 2.4V  $\pm 8\%$ (typ値20ppm/)リファレンス(外部入力優先)内蔵
- 5V単電源動作で低消費電力(typ値25mW)

### 概要

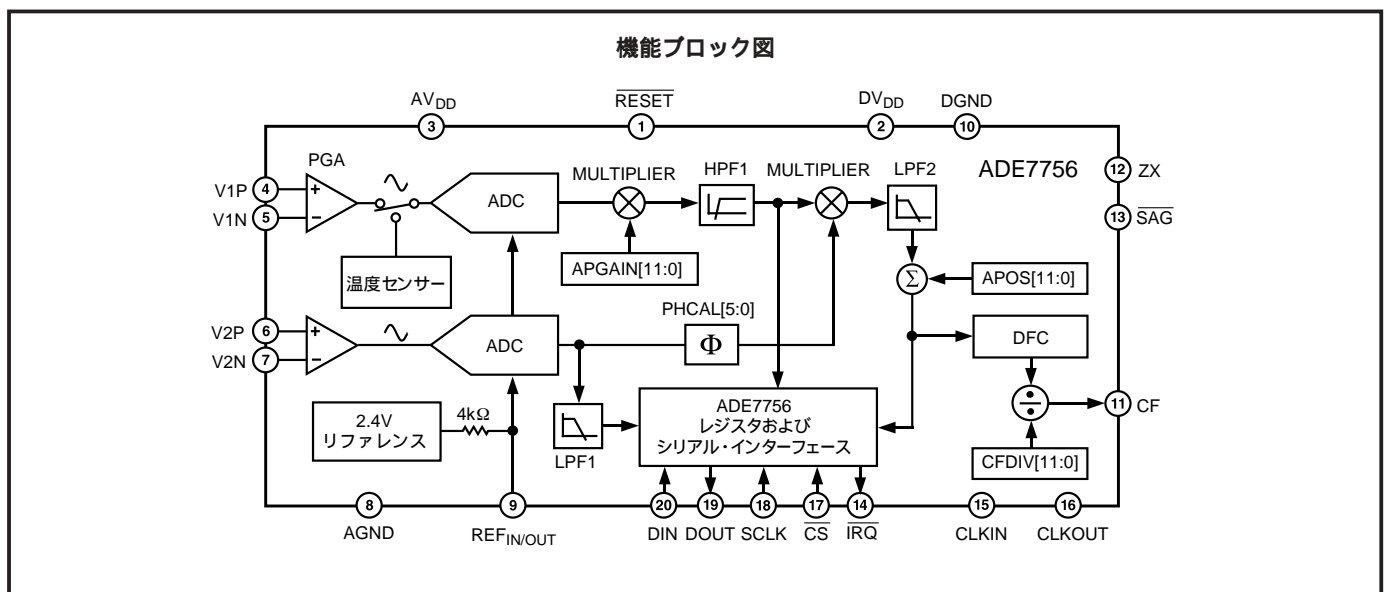
ADE7756はシリアル・インターフェースとパルス出力を内蔵した、高精度電力量計ICです。2個の2次 ADC、リファレンス回路、温度センサーなど、アクティブ電力とエネルギーの計測の実行に必要なすべての信号処理機能を内蔵しています。

ADE7756には、サンプル済みWAVEFORMレジスタと、最大負荷での累積電力を少なくとも5秒間保持できるアクティブ・エネルギー・レジスタがあります。データは、シリアル・インターフェースを介してADE7756から読み出せます。ADE7756は、アクティブ電力に比例する周波数のパルス出力 CF 光提供します。

ADE7756は、実効電力情報の他に、システム・キャリブレーション機能(チャンネル・オフセット補正、位相キャリブレーション、電力キャリブレーション)光提供します。また、短時間での低電圧変動またはSAG検出回路も内蔵しています。電圧スレシールド・レベルと変動の継続時間(ラインの半サイクル数)は、ユーザー設定可能です。SAGが発生すると、オープン・ドレイン・ロジック出力(SAG)がアクティブ・ローになります。

ゼロ交叉出力(ZX)は、ライン電圧のゼロ交叉ポイントに同期する出力を発生します。この出力を使って、ラインからタイミングや周波数情報を取り出せます。この出力は、キャリブレーション・モードでチップ内部でも使います。この機能により、実効電力量計算のキャリブレーションが高速かつ正確になります。この信号は、リレー・スイッチングを電圧ゼロ交叉に同期させる際にも役立ち、放電発生リスクを減少させてリレー寿命を延ばします。

割り込み要求出力はオープン・ドレインのアクティブ・ロー・ロジック出力です。累積実効電力レジスタが許容最大量の半分になったとき、およびレジスタ・オーバーフローが発生したときに、TRQ出力がアクティブになります。割り込みの状態はステータス・レジスタに表示されます。ADE7756は、20ピンDIPパッケージまたは20ピンSSOPパッケージを採用しています。



\*米国特許5,745,323、5,760,617、5,862,069、5,872,469、その他申請中。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

# ADE7756

## 目次

特長	1	チャンネル1ADC	18
概要	1	チャンネル1ADCのゲイン調整	18
機能ブロック図	1	チャンネル1のサンプリング	18
ADE7756の仕様	3	チャンネル2ADC	19
時間特性	5	チャンネル2のサンプリング	19
絶対最大定格	6	位相補償	20
オーダー・ガイド	6	アクティブ電力の計算	21
ピン配置	6	エネルギー計算	22
ピン機能の説明	6	定常負荷での積分時間	23
用語	8	電力オフセット・キャリブレーション	23
計測誤差	8	エネルギー/周波数変換	23
チャンネル間の位相誤差	8	エネルギーのキャリブレーション	24
電源変動除去	8	エネルギー・メーターのキャリブレーション	24
ADCオフセット誤差	8	平均アクティブ電力の計算	24
ゲイン誤差	8	CFでの周波数キャリブレーション	24
ゲイン誤差マッチ	8	エネルギー・メーターの表示	25
アナログ入力	12	CLKIN周波数	25
ゼロ交叉検出	13	アプリケーション情報	25
ライン電圧SAG検出	14	ADE7756機能の停止	26
SAGレベルの設定	14	シリアル・インターフェース	26
電源監視	14	シリアルの書き込み動作	27
割り込み	15	シリアル読み出し動作	27
MCUでのADE7756割り込みの使用	15	レジスタ説明	29
割り込みのタイミング	15	コミュニケーション・レジスタ	29
温度計測	16	モード・レジスタ(06H)	30
アナログ/デジタル変換	16	割り込みステータス・レジスタ(04H)/リセット割り込み	
アンチエイリアス・フィルタ	17	ステータス・レジスタ(05H)	31
ADCの伝達関数	17	外形寸法	32
リファレンス回路	17		

**仕様**<sup>1</sup> (特に指定のない限り、 $AV_{DD} = DV_{DD} = 5V \pm 5\%$ 、 $AGND = DGND = 0V$ 、内部リファレンス、 $CLKIN = 3.579545MHz$   
 $XTAL$ 、 $T_{MIN} \sim T_{MAX} = -40 \sim +85$  )

パラメータ	Aバージョン	Bバージョン	単位	テスト条件/コメント
エネルギー計測精度				
測定帯域幅	14	14	kHz	$CLKIN = 3.579545MHz$
チャンネル1の計測誤差 <sup>1</sup>				チャンネル2 = 300mV rms/60Hz、ゲイン = 2
チャンネル1範囲 = 1Vフルスケール				
ゲイン = 1	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 2	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 4	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 8	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 16	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
チャンネル1範囲 = 0.5Vフルスケール				
ゲイン = 1	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 2	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 4	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 8	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 16	0.2	0.2	% typ	ダイナミックレンジ1000 ~ 1範囲
チャンネル1範囲 = 0.25Vフルスケール				
ゲイン = 1	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 2	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 4	0.1	0.1	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 8	0.2	0.2	% typ	ダイナミックレンジ1000 ~ 1範囲
ゲイン = 16	0.2	0.2	% typ	ダイナミックレンジ1000 ~ 1範囲
チャンネル間位相誤差 <sup>1</sup>	$\pm 0.05$	$\pm 0.05$	度max	ライン周波数 = 45 ~ 65Hz、HPF使用
AC電源除去 <sup>1</sup>				$AV_{DD} = DV_{DD} = 5V + 175mV$ rms/120Hz
出力周波数変動( CF )	0.2	0.2	% typ	チャンネル1 = 20mV rms/60Hz、ゲイン = 16、 範囲 = 0.5V、チャンネル2 = 175mV rms/60Hz、 ゲイン = 4
DC電源除去 <sup>1</sup>				$AV_{DD} = DV_{DD} = 5V \pm 250mV$ dc
出力周波数変動( CF )	$\pm 0.3$	$\pm 0.3$	% typ	チャンネル1 = 20mV rms/60Hz、ゲイン = 16、 範囲 = 0.5V、チャンネル2 = 175mV rms/60Hz、 ゲイン = 4
アナログ入力				アナログ入力の節を参照
最大信号レベル	$\pm 1$	$\pm 1$	V max	AGNDを基準とするV1P、V1N、V2N、V2P
入力インピーダンス( dc )	390	390	k min	
帯域幅	14	14	kHz	$CLKIN/256$ 、 $CLKIN = 3.579545MHz$
ゲイン誤差 <sup>1, 2</sup>				外付2.5Vリファレンス、チャンネル1と2でゲイン = 1
チャンネル1				
範囲 = 1Vフルスケール	$\pm 4$	$\pm 4$	% typ	V1 = 1V dc
範囲 = 0.5Vフルスケール	$\pm 4$	$\pm 4$	% typ	V1 = 0.5V dc
範囲 = 0.25Vフルスケール	$\pm 4$	$\pm 4$	% typ	V1 = 0.25V dc
チャンネル2	$\pm 4$	$\pm 4$	% typ	V2 = 1V dc
ゲイン誤差マッチ <sup>1</sup>				外部2.5Vリファレンス
チャンネル1				
範囲 = 1Vフルスケール	$\pm 0.3$	$\pm 0.3$	% typ	ゲイン = 1、2、4、8、16
範囲 = 0.5Vフルスケール	$\pm 0.3$	$\pm 0.3$	% typ	ゲイン = 1、2、4、8、16
範囲 = 0.25Vフルスケール	$\pm 0.3$	$\pm 0.3$	% typ	ゲイン = 1、2、4、8、16
チャンネル2	$\pm 0.3$	$\pm 0.3$	% typ	ゲイン = 1、2、4、8、16
オフセット誤差 <sup>1</sup>				
チャンネル1	$\pm 20$	$\pm 20$	mV max	範囲 = 1V、ゲイン = 1
チャンネル2	$\pm 20$	$\pm 20$	mV max	ゲイン = 1
波形サンプリング				サンプリング $CLKIN/128$ 、 $3.579545MHz/128 = 27.9kSPS$
チャンネル1				チャンネル1サンプリングを参照
信号対ノイズ + 歪み	62	62	dB typ	700mV rms/60Hz、範囲 = 1V、ゲイン = 1
帯域幅( - 3dB )	14	14	kHz	$CLKIN = 3.579545MHz$
チャンネル2				チャンネル2のサンプリングを参照
信号対ノイズ + 歪み	52	52	dB typ	300mV rms/60Hz、ゲイン = 2
帯域幅( - 3dB )	156	156	Hz	$CLKIN = 3.579545MHz$

# ADE7756 仕様

パラメータ	Aバージョン	Bバージョン	単位	テスト条件 / コメント
リファレンス入力 REF <sub>IN/OUT</sub> 入力電圧範囲	2.6 2.2	2.6 2.2	V max V min	2.4V + 8% 2.4V - 8%
入力容量	10	10	pF max	
内部リファレンス リファレンス誤差 負荷電流 出カインピーダンス 温度係数	± 200 10 4 ± 20	± 200 10 4 ± 20 ± 80	mV max μ A max k min ppm/ typ ppm/ max	REF <sub>IN/OUT</sub> ピンで公称2.4V
CLKIN 入力クロック周波数	10 1	10 1	MHz max MHz min	注：すべてのCLKIN仕様は3.579545MHz
ロジック入力 RESET、DIN、SCLK、CLKIN、 $\overline{CS}$ 入力ハイ電圧、V <sub>INH</sub> 入力ロー電圧、V <sub>INL</sub> 入力電流、I <sub>IN</sub> 入力容量、C <sub>IN</sub>	2.4 0.8 ± 3 10	2.4 0.8 ± 3 10	V min V max μ A max pF max	DV <sub>DD</sub> = 5V ± 5% DV <sub>DD</sub> = 5V ± 5% 10 nA (typ), V <sub>IN</sub> = 0V ~ DV <sub>DD</sub>
ロジック出力 SAGおよびIRQ 出力ハイ電圧、V <sub>OH</sub> 出力ロー電圧、V <sub>OL</sub> ZXおよびDOUT 出力ハイ電圧、V <sub>OH</sub> 出力ロー電圧、V <sub>OL</sub> CF 出力ハイ電圧、V <sub>OH</sub> 出力ロー電圧、V <sub>OL</sub>	4 0.4 4 0.4 4 0.4	4 0.4 4 0.4	V min V max V min V max V min V max	オープン・ドレイン出力、10k プルアップ抵抗 I <sub>SOURCE</sub> = 5mA I <sub>SINK</sub> = 0.8mA I <sub>SOURCE</sub> = 5mA I <sub>SINK</sub> = 0.8mA I <sub>SOURCE</sub> = 5mA I <sub>SINK</sub> = 7mA
電源 AV <sub>DD</sub> DV <sub>DD</sub> AI <sub>DD</sub> DI <sub>DD</sub>	4.75 5.25 4.75 5.25 3 4	4.75 5.25 4.75 5.25 3 4	V min V max V min V max mA max mA max	仕様性能に対して 5V - 5% 5V + 5% 5V - 5% 5V + 5% 2.0mA (typ) 3.0mA (typ)

## 注

- 仕様の説明については用語の節を参照してください。
- 代表的な性能特性曲線を参照してください。
- アナログ入力の節を参照してください。

仕様は予告なく変更されることがあります。

## 時間特性<sup>1, 2</sup> (特に指定のない限り、 $V_{DD} = DV_{DD} = 5V \pm 5\%$ 、 $AGND = DGND = 0V$ 、内部リファレンス、 $CLKIN = 3.579545MHz$ XTAL、 $T_{MIN} \sim T_{MAX} = -40 \sim +85$ )

パラメータ	A、Bバージョン	単位	テスト条件/コメント
<b>書き込みタイミング</b>			
$t_1$	20	ns (min)	$\overline{CS}$ 立ち下がりエッジから最初のSCLK立ち上がりエッジまで
$t_2$	150	ns (min)	SCLKロジック・ハイ・パルス幅
$t_3$	150	ns (min)	SCLKロジック・ロー・パルス幅
$t_4$	10	ns (min)	SCLK立ち下がりエッジ前の有効データのセットアップ時間
$t_5$	5	ns (min)	SCLK立ち下がりエッジ後のデータ・ホールド時間
$t_6$	6.4	$\mu s$ (min)	データ・バイト転送終了間の最小時間
$t_7$	4	$\mu s$ (min)	シリアル書き込み時のバイト転送間の最小時間
$t_8$	100	ns (min)	SCLK立ち下がりエッジ後の $\overline{CS}$ ホールド時間
<b>読み出しタイミング</b>			
$t_9$	4	$\mu s$ (min)	読み出しコマンド(コミュニケーション・レジスタへの書き込み)とデータ読み出しの間の最小時間
$t_{10}$	4	$\mu s$ (min)	複数バイト読み出し時のデータ・バイト転送間の最小時間
$t_{11}^3$	30	ns (min)	コミュニケーション・レジスタへの書き込み後のSCLK立ち上がりエッジの後のデータ・アクセス時間
$t_{12}^4$	100	ns (max)	SCLK立ち下がりエッジ後のバス開放時間
	10	ns (min)	
$t_{13}^4$	100	ns (max)	$\overline{CS}$ 立ち上がりエッジ後のバス開放時間
	10	ns (min)	

### 注

- 初期リリース時にサンプル・テストを実施。設計または製造プロセス変更の後、このパラメータが影響を受けることがあります。すべての入力信号は、 $t_r = t_f = 5ns$  (10~90%)および電圧レベル1.6Vからの時間として規定します。
- 本データシートのシリアル・インターフェースのタイミング図を参照してください。
- 時間特性用負荷回路内の負荷を接続して測定し、出力が0.8Vまたは2.4Vを横切るときに要する時間として規定します。
- タイミング仕様用負荷回路の負荷を接続して、データ出力が0.5V変化するときに必要な時間の測定値から導出。この測定値に外挿を行い、50pFコンデンサの充電の影響を除去します。つまり、時間特性で使用する時間はデバイスの真のバス開放時間であることを意味し、バスの負荷には無関係です。仕様は予告なく変更されることがあります。

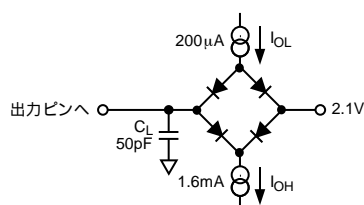


図1 時間特性の負荷回路

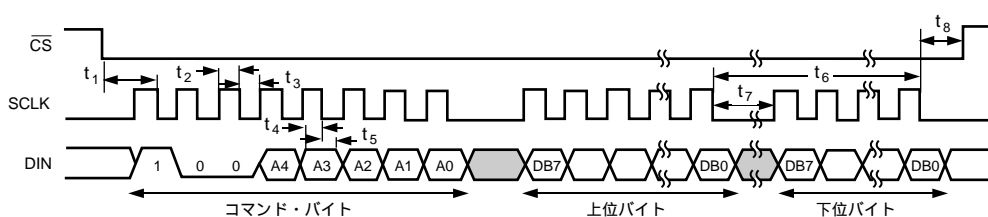


図2 シリアル書き込みのタイミング

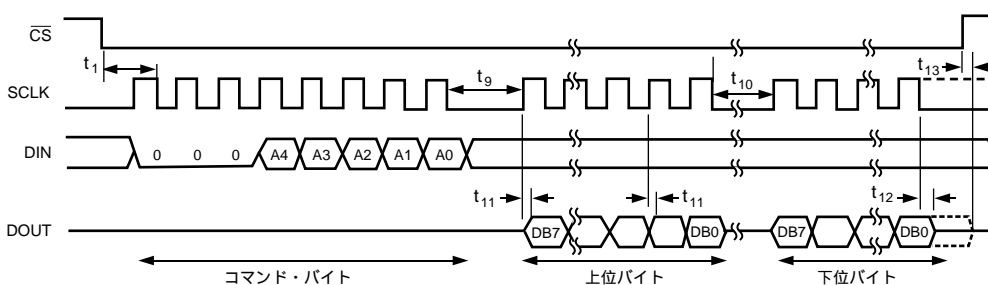


図3 シリアル読み出しのタイミング

# ADE7756

## 絶対最大定格\*

(特に指定のない限り、 $T_A = 25$  )

$AV_{DD} \sim AGND$  ..... - 0.3 ~ + 7V

$DV_{DD} \sim DGND$  ..... - 0.3 ~ + 7V

$DV_{DD} \sim AV_{DD}$  ..... - 0.3 ~ + 0.3V

アナログ入力電圧 ~ AGND

$V_{1P}$ 、 $V_{1N}$ 、 $V_{2P}$ 、 $V_{2N}$  ..... - 6 ~ + 6V

リファレンス入力電圧 ~ AGND ..... - 0.3V ~  $AV_{DD} + 0.3V$

デジタル入力電圧 ~ DGND ..... - 0.3V ~  $DV_{DD} + 0.3V$

デジタル出力電圧 ~ DGND ..... - 0.3V ~  $DV_{DD} + 0.3V$

動作温度範囲

工業用 (A、Bバージョン) ..... - 40 ~ + 85

保管温度範囲 ..... - 65 ~ + 150

接合部温度 ..... 150

20ピン・プラスチックDIP、ワット損 ..... 450mW

JA熱インピーダンス ..... 105 /W

ピン温度 (ハンダ処理、10秒) ..... 260

20ピンSSOP、ワット損 ..... 450mW

JA熱インピーダンス ..... 112 /W

ピン温度、ハンダ処理

蒸着 (60秒) ..... 215

赤外線 (15秒) ..... 220

\*上記の絶対最大定格を超えるストレスを加えると、デバイスに永久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定メーカーものではありません。デバイスを長時間絶対最大定格条件に置くとデバイスの信頼度に影響を与えることがあります。

## 注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

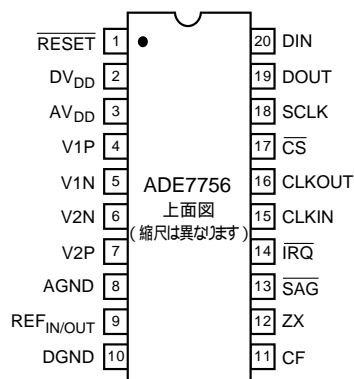


## オーダー・ガイド

モデル	パッケージ	パッケージ・オプション
ADE7756AN	プラスチックDIP	N-20
ADE7756BN	プラスチックDIP	N-20
ADE7756ARS	シュリンク・スモール・アウトライン・パッケージ (チューブ使用)	RS-20
ADE7756ARSRL	シュリンク・スモール・アウトライン・パッケージ (チューブ使用)	RS-20
ADE7756BRS	シュリンク・スモール・アウトライン・パッケージ (チューブ使用)	RS-20
ADE7756BRSRL	シュリンク・スモール・アウトライン・パッケージ (リール使用)	RS-20
EVAL-ADE7756EB	ADE7756評価ボード	
ADE7756AN-REF	ADE7756リファレンス・デザイン	

## ピン配置

### DIPおよびSSOPパッケージ



## ピン機能の説明

ピン番号	記号	説明
1	RESET	ADE7756のリセット・ピン。このピンがロジック・ローになると、ADCとデジタル回路（シリアル・インターフェースを含む）をリセット状態に維持します。
2	DV <sub>DD</sub>	デジタル電源。このピンはADE7756内のデジタル回路の電源電圧を提供します。規定の動作を得るには5V ± 5%の電源電圧を維持してください。このピンとDGNDの間に10 μFコンデンサと100nFのセラミック・コンデンサを並列接続してデカップリングします。
3	AV <sub>DD</sub>	アナログ電源。このピンはADE7756内のアナログ回路の電源電圧を提供します。規定の動作を得るには5V ± 5%の電源電圧を維持してください。適切なデカップリングにより、このピンでの電源リップルとノイズを最小に抑えてください。本データシートに、電源除去性能の代表的な性能グラフを記載してあります。このピンとAGNDの間に10 μFコンデンサと100nFのセラミック・コンデンサを並列接続してデカップリングします。
4、5	V1P、V1N	チャンネル1に対するアナログ入力。このチャンネルは電流トランスデューサを対象とします。これらの差動電圧入力は、フルスケールの選択に応じて最大差動入力信号レベル±1V、±0.5V、±0.25Vを選べます。アナログ入力の節を参照してください。チャンネル1は、ゲイン1、2、4、8、16を選択できるPGAも内蔵しています。AGNDを基準とする、これらのピンの最大信号レベルは±1Vです。両入力には内部ESD保護回路を持つため、これらの入力は損傷なしに±6Vの過電圧に耐えられます。
6、7	V2N、V2P	チャンネル2に対するアナログ入力。このチャンネルは電圧トランスデューサを対象とします。これらの入力は最大±1Vの差動電圧入力です。チャンネル2は、ゲイン1、2、4、8、16を選択できるPGAも内蔵しています。AGNDを基準とする、これらのピンの最大信号レベルは±1Vです。両入力には内部ESD保護回路を持つため、これらの入力は損傷なしに±6Vの過電圧に耐えられます。
8	AGND	このピンは、ADE7756内のアナログ回路（ADCとリファレンス）にグラウンド・リファレンスを提供します。このピンは、アナログ・グラウンド・プレーンまたはシステムの最も安定したグラウンド・リファレンスに接続してください。すべてのアナログ回路（アンチエイリアス・フィルタ、電流トランスデューサ、電圧トランスデューサなど）は、安定したグラウンド・リファレンスに接続してください。ADE7756の周囲のグラウンド・ノイズを最小に維持するために、安定したグラウンド・プレーンをデジタル・グラウンド・プレーンに1箇所接続してください。アナログ・グラウンド・プレーン上にデバイス全体を配置することは許容できません（アプリケーション情報の節を参照）。
9	REF <sub>IN/OUT</sub>	このピンから、内部電圧リファレンスを使用します。内部リファレンスの公称値は2.4V ± 8%で、温度係数は20ppm/（typ）です。外部リファレンス源もこのピンに接続できます。いずれの場合でも、このピンは1 μFのセラミック・コンデンサでAGNDからデカップリングしてください。
10	DGND	このピンは、ADE7756内のデジタル回路（乗算器、フィルタ、デジタル/周波数コンバータ）にグラウンド・リファレンスを提供します。ADE7756内のデジタル帰還電流は小さいので、システムのピンをアナログ・グラウンド・プレーンに接続できます（アプリケーション情報の節を参照）。ただし、DOUTのハイパス容量はノイズの多いデジタル電流を発生して性能に影響を与えることがあります。
11	CF	キャリブレーション周波数ロジック出力。このCFロジック出力はアクティブ電力情報を与えます。この出力は、動作上とキャリブレーションの目的に使用します。フルスケール出力周波数は、CFDIVレジスタに書き込みを行うことにより調整できます（エネルギー/周波数変換の節を参照）。
12	ZX	電圧波形（チャンネル2）ゼロ交叉出力。この出力は、チャンネル2上の差動信号のゼロ交叉でロジック・ハイとローの間をトグルします（ゼロ交叉検出の節を参照）。
13	SAG	このオープン・ドレイン・ロジック出力は、ゼロ交叉が検出されないとき、またはロー電圧スレシールド（チャンネル2）を規定の時間で横切るとき、アクティブ・ローになります。ライン電圧SAG検出の節を参照してください。
14	TRQ	割り込み要求出力。このピンはアクティブ・ローのオープン・ドレイン・ロジック出力です。マスク可能な割り込みには、アクティブ・エネルギー・レジスタのロールオーバー、アクティブ・エネルギー・レジスタの半レベル、新しい波形サンプルの到着が含まれます。割り込みの節を参照してください。
15	CLKIN	ADCのマスター・クロックおよびデジタル信号処理。このロジック入力には、外部クロックを接続できます。代わりに、並列共振AT水晶をCLKINとCLKOUTの間に接続して、ADE7756のクロック・ソースを提供することもできます。規定動作を得るためのクロック周波数は3.579545MHzです。ゲート発振器回路には22 ~ 33pFのセラミック負荷コンデンサを使う必要があります。負荷容量条件については、水晶メーカーのデータシートを参照してください。
16	CLKOUT	上述のように、水晶をこのピンとCLKINの間に接続して、ADE7756にクロック・ソースを与えることができます。CLKINに外部クロックを接続する場合または水晶を使用する場合、CLKOUTピンは、1個のCMOS負荷を駆動できます。

# ADE7756

ピン番号	記号	説明
17	CS	チップ・セレクト。4線式SPIシリアル・インターフェースのポート。このアクティブ・ロー・ロジック入力 は、ADE7756が他のデバイスとシリアル・バスを共用することを可能にします（シリアル・インターフェ ースの節を参照）。
18	SCLK	同期シリアル・インターフェースに対するシリアル・クロック入力。すべてのシリアル・データ転送がこの クロックに同期化されます。シリアル・インターフェースの節を参照してください。SCLKには、ロー・エ ッジ変化時間（例えば、光アイソレータ出力）を持つクロック・ソースに対して使用するシュミット・トリガ ー入力があります。
19	DOUT	シリアル・インターフェースのデータ出力。SCLKの立ち上がりエッジでこのピンからデータがシフト出力さ れます。このロジック出力は、データをシリアル・データ・バスへ出力しないとき通常ハイ・インピーダン ス状態です（シリアル・インターフェースの節を参照）。
20	DIN	シリアル・インターフェースのデータ入力。データはこのピンからSCLKの立ち下がりエッジで入力されます （シリアル・インターフェースの節を参照）。

## 用語解説

### 計測誤差

ADE7756が行うエネルギー計測に対応する誤差は、次式で定  
義されます。

パーセント値誤差 =

$$\left( \frac{\text{ADE7756により記録されるエネルギー} - \text{真のエネルギー}}{\text{真のエネルギー}} \right) \times 100\%$$

### チャンネル間位相誤差

チャンネル1のHPF（ハイパス・フィルタ）は位相進み応答  
を持っています。また、この位相応答を相殺して、チャン  
ネル間の位相応答を均等にするために、チャンネル1内に位  
相補償回路を持っています。この位相補償回路は、チャン  
ネル1（電流）とチャンネル2（電圧）の間の位相一致を、  
45 ~ 65Hzの範囲では  $\pm 0.1^\circ$  で、40 ~ 1kHzの範囲では  
 $\pm 0.2^\circ$  でそれぞれ補償します。

### 電源変動除去

ADE7756計測誤差を電源変動時の測定値をパーセントで数  
値化します。AC PSR計測の場合、公称電源（5V）での測定  
値を採用します。AC信号（175mV rms/120Hz）が電源に導  
入されたときは、2回目の測定値が同じ入力信号レベルで取  
得されます。このAC信号で導入されるすべての誤差は、測  
定値のパーセント値として表されます（上記の計測誤差の  
定義を参照）。

DC PSR計測の場合、公称電源（5V）での測定値を採用しま  
す。電源が  $\pm 5\%$  変化したときは、2回目の読み出しでも同  
じ入力信号レベルが返されます。導入されたすべての誤差  
はこの場合も測定値のパーセント値として表されます。

### ADCのオフセット誤差

これは、ADCのアナログ入力に対応するDCオフセットを意  
味します。アナログ入力にAGNDに接続されていても、  
ADCにはDCアナログ入力信号が存在することを意味しま  
す。オフセットの大きさは、ゲインと入力範囲の選択に依  
存します（代表的な性能特性を参照）。ただし、HPF1が接  
続されると、オフセットがチャンネル1（電流）から除かれ  
るため、電力量計算はこのオフセットから影響を受けませ  
ん。オフセットは、オフセット・キャリブレーションによ  
り除去できます（アナログ入力の節を参照）。

### ゲイン誤差

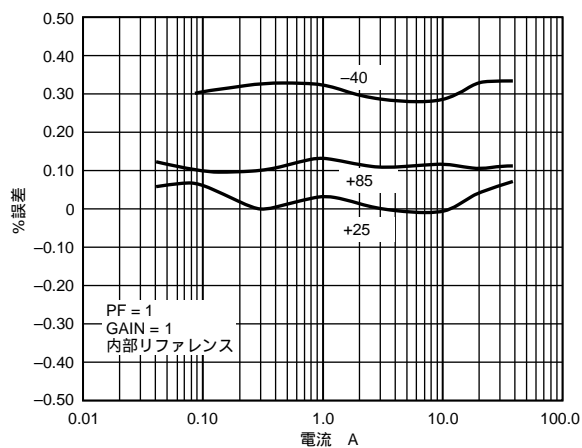
ADE7756ADC内でのゲイン誤差は、測定値のADC出力コー  
ド（オフセットは除去）と理論出力コード間との差として  
定義されます（チャンネル1ADCとチャンネル2ADCの節を  
参照）。チャンネル1上の各入力範囲（1V、0.5V、0.25V）に  
対して測定されます。この差は、理論コードのパーセント  
値として表されます。

### ゲイン誤差マッチ

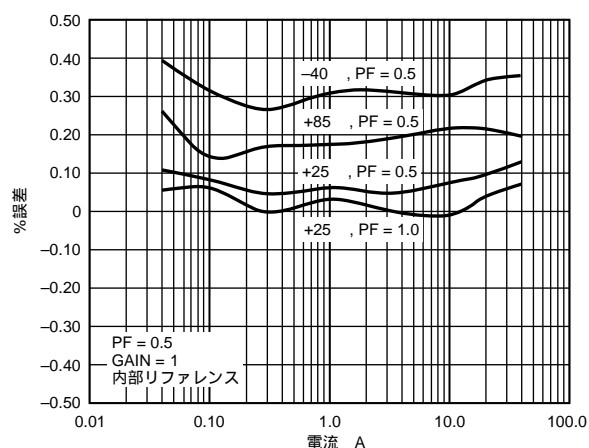
ゲイン誤差マッチは、ゲイン1（各入力範囲に対する）とゲ  
イン2、4、8、16との間の切り替え時に得られたゲイン誤差  
（オフセットを除く）として、定義されます。ゲイン1で取  
得された出力ADCコードのパーセント値として表されます。  
これは、ゲインの選択がゲイン1からゲイン2、4、8、16へ  
切り替えられたときに観測されるゲイン誤差となります。



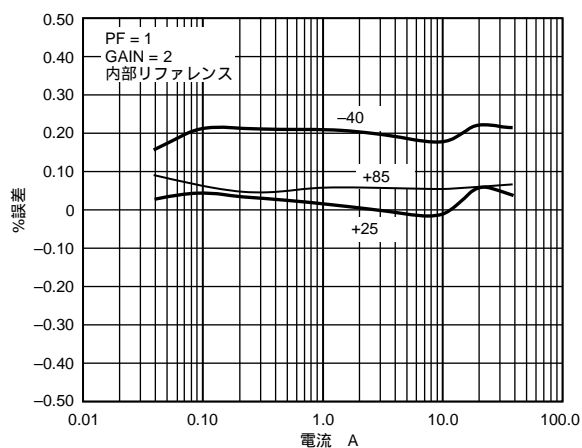
# 代表的な性能特性 ADE7756



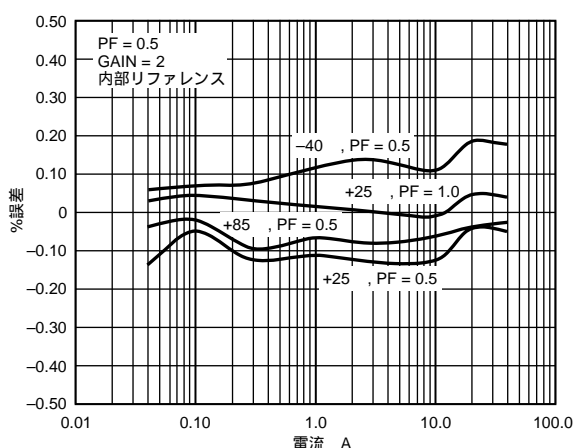
特性1 測定値の%としての誤差  
(力率=1、内部リファレンス、ゲイン=1)



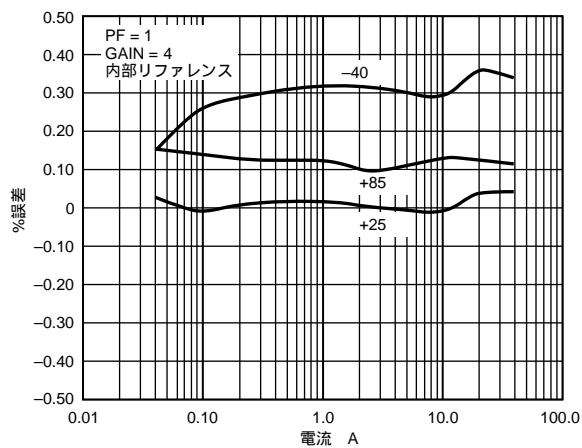
特性4 測定値の%としての誤差  
(力率=0.5、内部リファレンス、ゲイン=1)



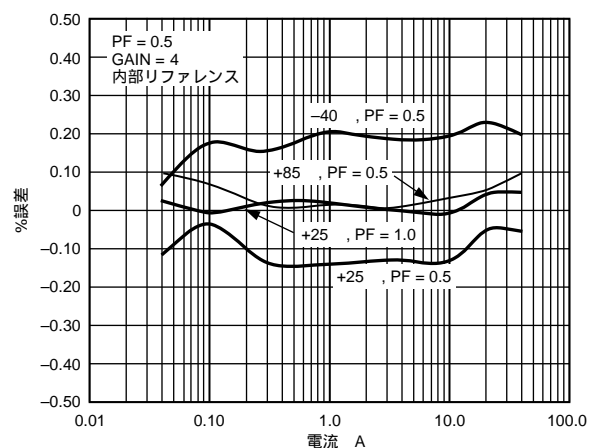
特性2 測定値の%としての誤差  
(力率=1、内部リファレンス、ゲイン=2)



特性5 測定値の%としての誤差  
(力率=0.5、内部リファレンス、ゲイン=2)

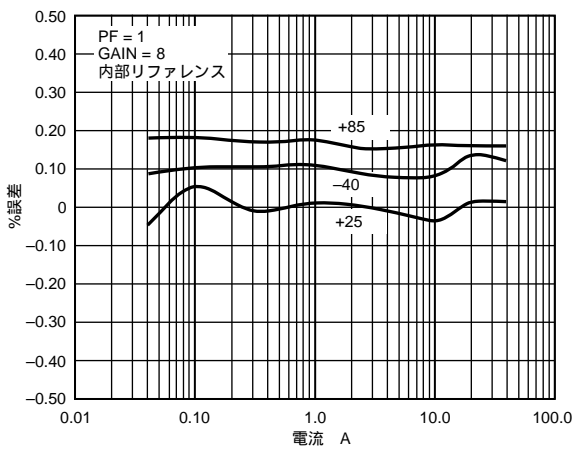


特性3 測定値の%としての誤差  
(力率=1、内部リファレンス、ゲイン=4)

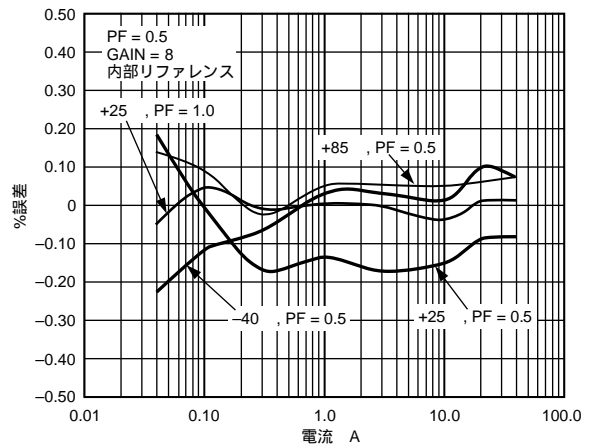


特性6 測定値の%としての誤差  
(力率=0.5、内部リファレンス、ゲイン=4)

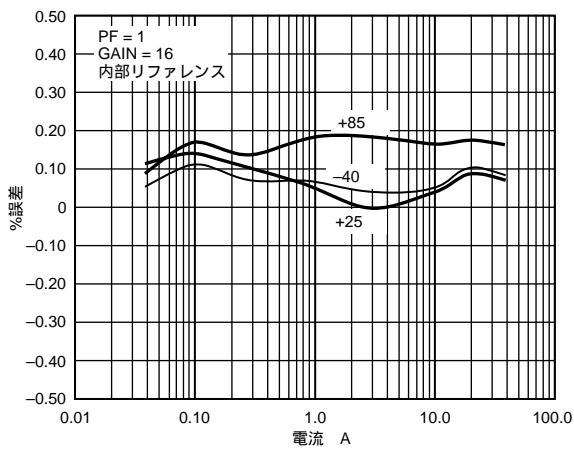
# ADE7756



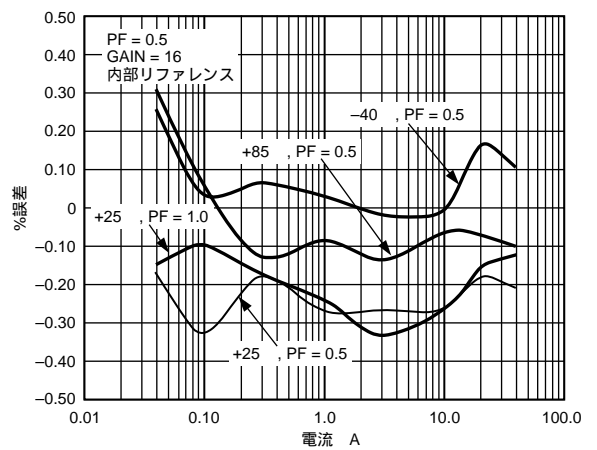
特性7 測定値の%としての誤差  
(力率=1、内部リファレンス、ゲイン=1)



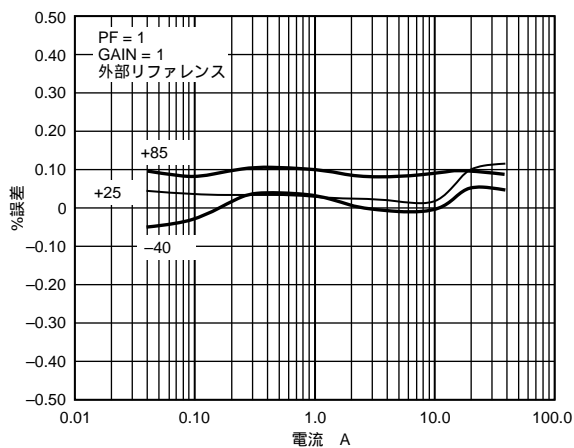
特性10 測定値の%としての誤差  
(力率=0.5、内部リファレンス、ゲイン=1)



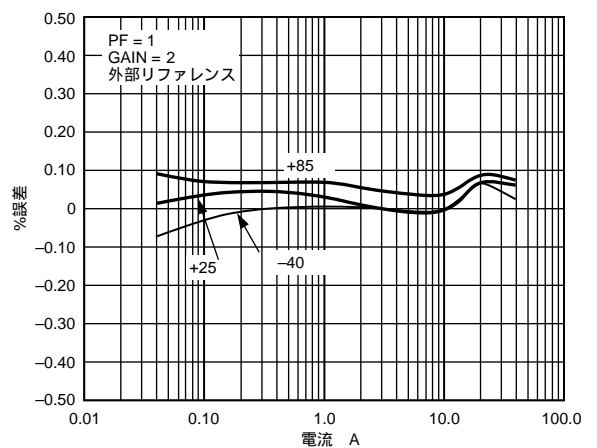
特性8 測定値の%としての誤差  
(力率=1、内部リファレンス、ゲイン=2)



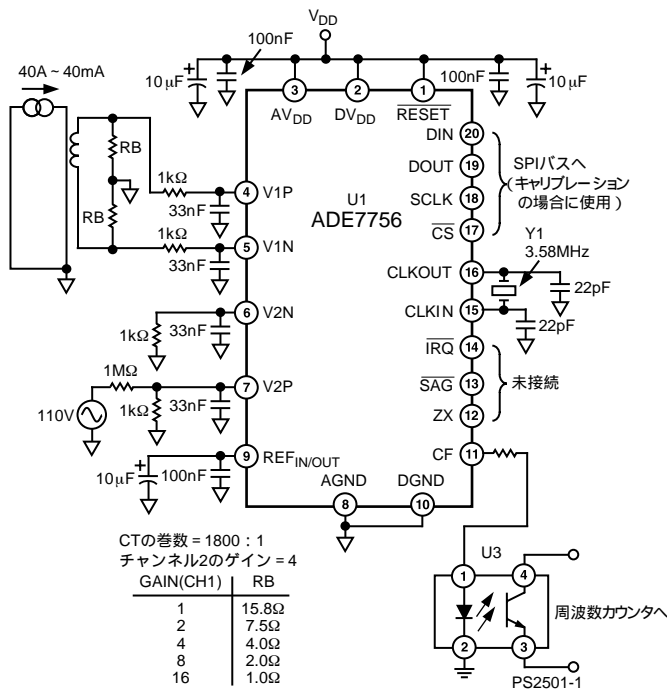
特性11 測定値の%としての誤差  
(力率=0.5、内部リファレンス、ゲイン=2)



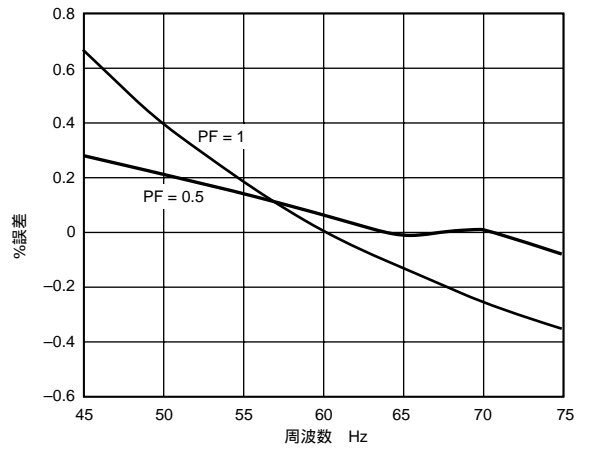
特性9 測定値の%としての誤差  
(力率=1、内部リファレンス、ゲイン=4)



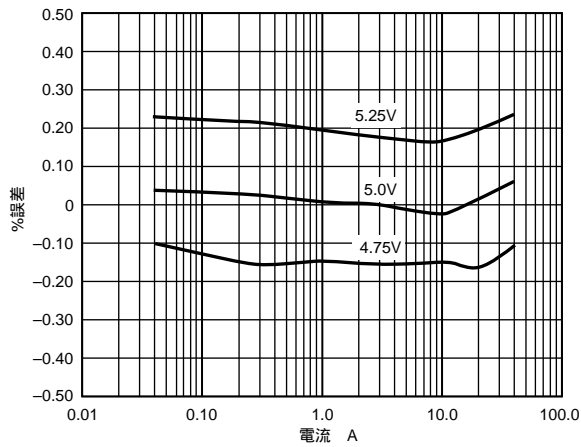
特性12 測定値の%としての誤差  
(力率=0.5、内部リファレンス、ゲイン=4)



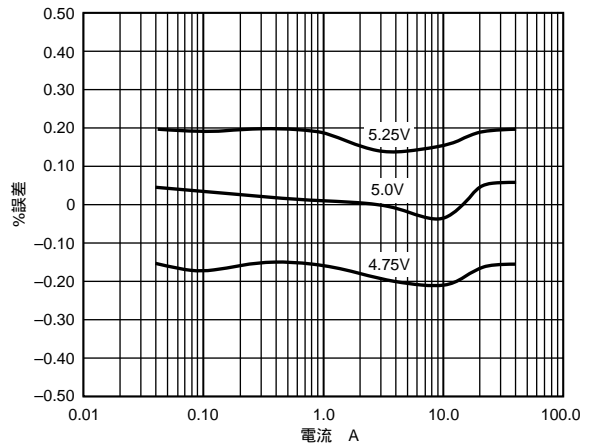
特性13 性能曲線のテスト回路



特性15 測定値の%としての誤差の周波数特性



特性14 内部リファレンス使用時の電源除去 (PSR)



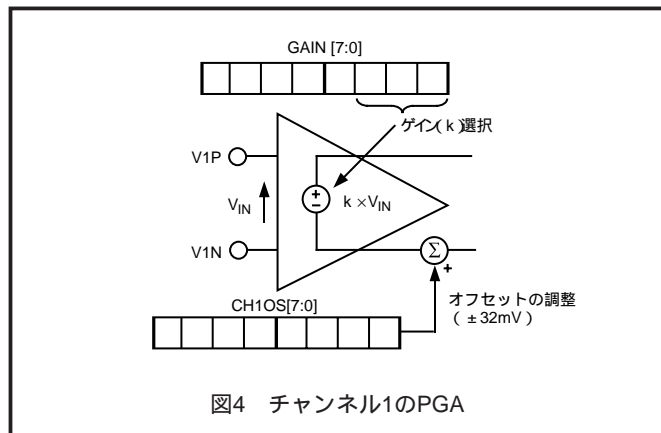
特性16 外部リファレンス使用時のPSR

# ADE7756

## アナログ入力

ADE7756は2つの差動電圧入力チャンネルを内蔵しています。

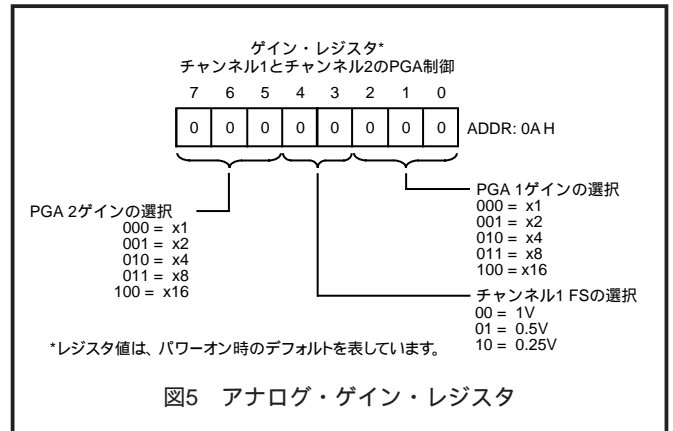
各入力対 (V1P/V1NとV2P/V2N) に対する最大差動入力電圧は±1Vです。さらに、各アナログ入力 (V1P、V1N、V2P、V2N) の最大信号レベルも、AGNDを基準として±1Vです。各アナログ入力チャンネルには1、2、4、8、16のゲイン選択が可能なPGA (プログラマブル・ゲイン・アンプ) があります。このゲイン選択はゲイン・レジスタに書き込みを行うことにより行います (チャンネル1のPGAゲインについては図5のビット0~2により、チャンネル2のPGAについては図5のビット5~7により、それぞれゲインを選択します)。図4に、チャンネル1のゲイン選択を行う際のゲイン・レジスタの使い方を示します。



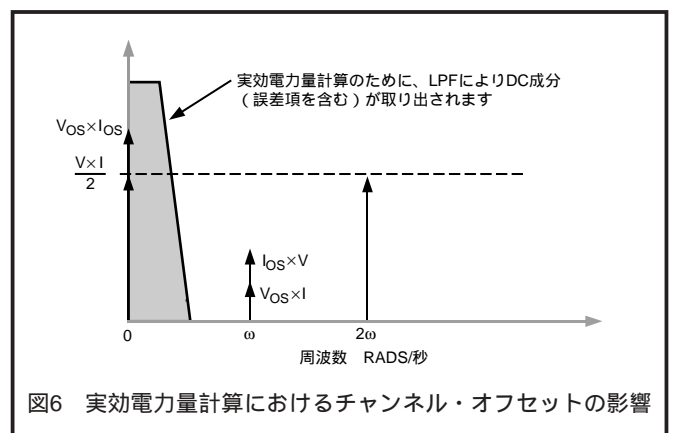
PGAの他に、チャンネル1にはADCのフルスケール入力範囲の選択もあります。ADCアナログ入力範囲の選択も、ゲイン・レジスタを使って行います (図5)。前述のように、最大差動入力電圧は±1Vですが、ゲイン・レジスタのビット3とビット4を使って、最大ADC入力電圧を1V、0.5V、0.25Vに設定できます。これは、ADCリファレンスを調整して行います (リファレンス回路の節を参照)。表1に、種々のADC範囲とゲインの選択に対するチャンネル1の最大差動入力信号レベルをまとめます。

表1 チャンネル1の最大入力信号レベル

チャンネル1の 最大信号	ADC入力範囲の選択		
	1V	0.5V	0.25V
1V	ゲイン = 1		
0.5V	ゲイン = 2	ゲイン = 1	
0.25V	ゲイン = 4	ゲイン = 2	ゲイン = 1
0.125V	ゲイン = 8	ゲイン = 4	ゲイン = 2
0.0625V	ゲイン = 16	ゲイン = 8	ゲイン = 4
0.0313V		ゲイン = 16	ゲイン = 8
0.0156V			ゲイン = 16



オフセット補正レジスタ (それぞれCH1OSとCH2OS) に書き込みを行うことにより、チャンネル1とチャンネル2のオフセット誤差を調整することもできます。これらのレジスタは、±20~±60mV (ゲイン設定に依存) 範囲のチャンネル・オフセットを除去できます。チャンネル1のHPF1をオンにしている場合には、エネルギー計測アプリケーションでオフセット補正が不要であることに注意してください。図6に、実効電力量計算に対するオフセットの効果を示します。図6から分かるように、チャンネル1とチャンネル2のオフセットは、乗算後のDC成分に影響します。アクティブ (実効) 電力情報を発生させる、このDC成分をLPF2が取り出すため、オフセットはアクティブ電力計算の誤差に影響を与えます。この問題は、チャンネル1のHPF1をイネーブルにすると、容易に回避できます。少なくとも1つのチャンネルからオフセットを除去することにより、乗算で、DCの誤差成分を抑えられます。アクティブ・エネルギー・レジスタ (AENERGY[39:0]) 内のアクティブ電力信号の積分により、 $\cos(t)$  の誤差項がLPF2で除去されされます。エネルギー計算の節を参照してください。



オフセット補正レジスタの値は6ビットで、符号と振幅がコード化されています。LSBサイズの重みは、ゲイン設定、(1、2、4、8、16)に依存します。表IIに、各ゲイン設定の補正可能なオフセット範囲とオフセット補正レジスタに対するLSBの重み (mV) を示します。オフセット補正レジスタに書き込み可能な最大値は±31 (10進数) です (図7)。

表 II オフセット補正範囲

ゲイン	補正可能範囲	LSBのサイズ
1	±60 mV	1.88 mV/LSB
2	±40 mV	1.25 mV/LSB
4	±25 mV	0.78 mV/LSB
8	±23 mV	0.72 mV/LSB
16	±20 mV	0.63 mV/LSB

図7に、オフセット補正レジスタ値とそのゲイン設定に対するアナログ入力上のオフセット (mV) の関係を示します。オフセット調整を行うためには、まずアナログ入力をAGNDに接続してください。チャンネル1またはチャンネル2には信号がないものと仮定します。WAVEFORMレジスタを使ってチャンネル1またはチャンネル2を読み出すと、チャンネル内のオフセットの存在が表示されます。該当するオフセット・レジスタに符号が互いに反対の等しいオフセット値を書き込むことにより、このオフセットを相殺させることができます。オフセット補正はもう一度読み込むことにより確認できます。チャンネル1のオフセットを調整する際、モード・レジスタ内でHPFがディスエーブルにされていることを確認してください。

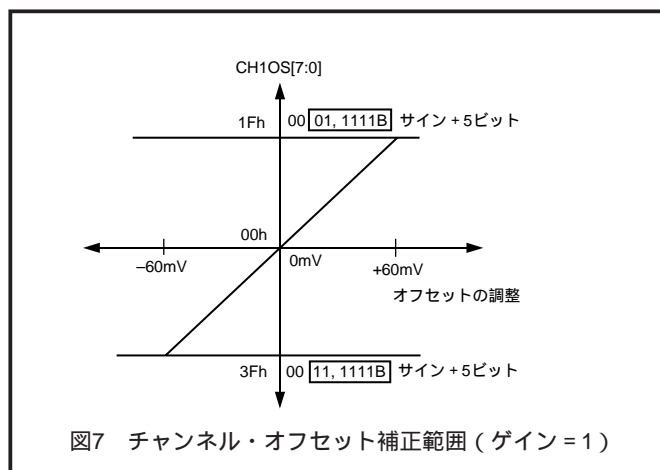


図7 チャンネル・オフセット補正範囲 (ゲイン=1)

## ゼロ交叉の検出

ADE7756には、チャンネル2にゼロ交叉検出回路があります。このゼロ交叉検出を使って、信号 (ZX) に外部ゼロを発生します。また、キャリブレーション・モードでもこれを使います (エネルギー・キャリブレーションの節を参照)。ゼロ交叉信号は、ADE7756上で温度計測を開始するときも使います (温度計測の節を参照)。

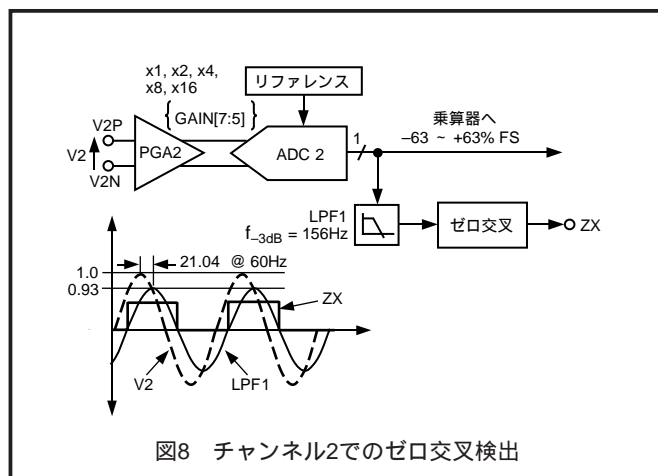


図8 チャンネル2でのゼロ交叉検出

ZX信号は、チャンネル2で上向きにゼロ交叉するときロジック・ハイを、下向きにゼロ交叉するときロジック・ローを、それぞれ発生します。ゼロ交叉信号ZXは、LPF1の出力から発生されます。LPF1は、156Hz (CLKIN = 3.579545MHz) に1つの極を持ちます。このため、アナログ入力信号V2とLPF1出力の間に位相送れが発生します。このフィルタの位相応答を本データシートのチャンネル2サンプリングの節に示します。LPF1の位相遅れ応答から、チャンネル2でのアナログ入力のゼロ交叉とZXの立ち上がりエッジまたは立ち下がりエッジとの間で約0.97ms (@ 60Hz) の時間遅延が発生します。

このゼロ交叉検出機能は、対応するタイムアウト・レジスタZXTOUTを持っています。符号なしの12ビット・レジスタは、各128/CLKINsec毎にデクリメント (1 LSB) されます。ゼロ交叉がチャンネル2で検出される毎に、このレジスタはユーザー設定のフルスケール値にリセットされます。このレジスタのパワーオン時のデフォルト値はFFFhです。ゼロ交叉が検出する前にレジスタがゼロにデクリメントして、かつモード・レジスタのDISSAGビットがロジック0の場合、SAGピンはアクティブ・ローになります。割り込みイネーブル・レジスタ内のSAGイネーブル・ビットがロジック1に設定されている場合、ゼロ交叉が発生していないことがIRQ出力にも表示されます。ZXTOUTレジスタがゼロにデクリメントすると、イネーブル・ビットの設定に関係なく、割り込みステータス・レジスタ内のSAGフラグは常にセットされます (ADE7756割り込みの節を参照)。

ゼロ交叉タイムアウト・レジスタはユーザーから読み書き可能で、アドレス0Ehに配置されています (シリアル・インターフェースの節を参照)。レジスタの分解能は、1LSB当たり128/CLKINsecです。したがって、割り込みの最大遅延は0.15秒 (128/CLKIN × 2<sup>12</sup>) です。

# ADE7756

## ライン電圧SAGの検出

ライン電圧信号切断の検出（ゼロ交叉検出）の他に、ADE7756では所定のピーク値を半サイクル間下回るライン電圧絶対値の低下を検出するように設定できます。この状態を図9に示します。

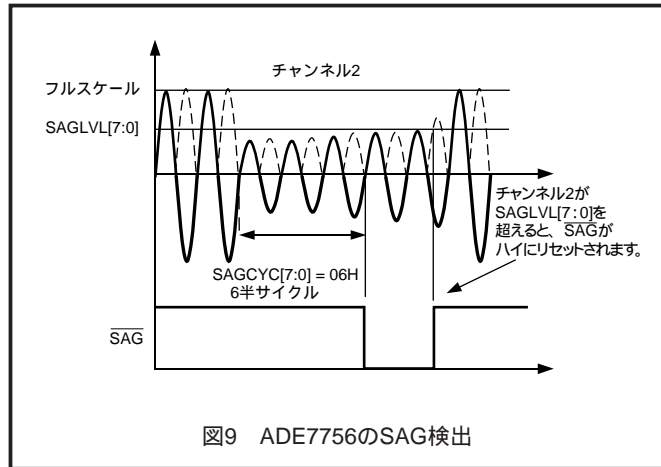


図9に、 $\overline{\text{SAG}}$ レベル・レジスタ（SAGLVL[7:0]）に設定されたスレシヨルドを9半サイクル間下回るときのライン電圧を示します。モード・レジスタ内のDISSAGがロジック0の場合、 $\overline{\text{SAG}}$ サイクル数レジスタ（SAGCYC[7:0]）値が06hであるため、ライン電圧がスレシヨルドを下回る6半サイクル間経過後に、 $\overline{\text{SAG}}$ ピンがアクティブ・ローになります。ゼロ交叉が検出されなくなる場合のように、割り込みステータス・レジスタ内の $\overline{\text{SAG}}$ フラグを設定することにより、 $\overline{\text{SAG}}$ イベントも記録できます。 $\overline{\text{SAG}}$ イネーブル・ビットをロジック1に設定すると、 $\overline{\text{TRQ}}$ ロジック出力はアクティブ・ローになります（ADE7756割り込みの節を参照）。チャンネル2上で信号の絶対値が $\overline{\text{SAG}}$ レベル・レジスタ内に設定された $\overline{\text{SAG}}$ レベルを超えると、 $\overline{\text{SAG}}$ ピンは再度ロジック・ハイになります。図9に、チャンネル2上で信号が最初にスレシヨルド・レベルを下回ったときから10半サイクル間に $\overline{\text{SAG}}$ ピンがハイになるタイミングを示します。

## SAGレベルの設定

SAGレベル・レジスタ値（1バイト）は、LPF1からの上位バイト出力を1ビット左シフトした後の絶対値と比較されます。例えば、チャンネル2上のフルスケール信号のLPF1からの出力は、公称最大コード1C396hすなわち（0001、1100、0011、1001、0110b）を持ちます（チャンネル2サンプリ

ングの節を参照）。1ビット左シフトすると、0011、1000、0111、0010、1100b、3872Chになります。したがって、38hをSAGレベル・レジスタに書き込むと、SAG検出レベルはフルスケールになります。00hを書き込むと、SAG検出レベルはゼロになります。SAGレベル・レジスタは、波形サンプルの上位バイトを1ビット左シフトした後の値と比較され、SAGレベル・レジスタ値の方が大きい場合に、検出が行われます。

## 電源監視

ADE7756は、電源監視機能も内蔵されています。ADE7756はアナログ電源（ $\text{AV}_{\text{DD}}$ ）を連続的に監視しています。電源が $4\text{V} \pm 5\%$ を下回ると、ADE7756は非アクティブになり、チャンネル1とチャンネル2の入力信号に無関係にエネルギーの累積を行いません。この機能は、パワーアップ時とパワーダウン時にデバイスの正常動作を保証するために役立ちます。電源監視にはヒステリシスとフィルタがあります。この機能により、電源ノイズによって発生する偽トリガーに対する耐性が著しく向上します。

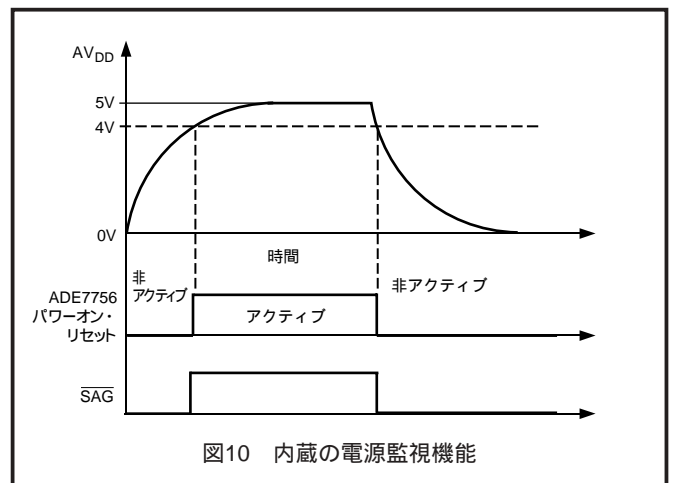


図10から分かるように、トリガー・レベルは公称値4Vに設定されています。このトリガー・レベルの許容偏差は約 $\pm 5\%$ です。 $\overline{\text{SAG}}$ ピンは、MCUに対する電源監視入力として使うこともできます。ADE7756がリセットされると、 $\overline{\text{SAG}}$ ピンはロジック・ローになります。このデバイスに対する電源とデカップリングについては、通常動作用に規定された $5\text{V} \pm 5\%$ を超過しないように $\text{AV}_{\text{DD}}$ のリプルを選択してください。

## 割り込み

割り込みは、割り込みステータス・レジスタ (STATUS[7:0]) と割り込みイネーブル・レジスタ (IRQEN[7:0]) を使って管理します。ADE7756内で割り込みイベントが発生すると、ステータス・レジスタ内の対応するフラグがロジック1にセットされます (割り込みステータス・レジスタの節を参照)。割り込みイネーブル・レジスタ内のこの割り込みに対するイネーブル・ビットがロジック1のとき、 $\overline{\text{IRQ}}$ ロジック出力はアクティブ・ローになります。ステータス・レジスタ内の各フラグ・ビットは、イネーブル・ビットの状態に無関係に設定されます。

割り込みの原因を探すため、システム・マスター (MCU) は、ステータス・レジスタを読み出してリセット (RSTATUS[7:0]) する必要があります。アドレス05hに対する読み出しを行うと、これが実行されます。割り込みステータス・レジスタの読み出しコマンドが完了すると、 $\overline{\text{IRQ}}$ 出力はロジック・ハイになります (割り込みタイミングの節を参照)。ADE7756でのこの読み出しとリセットは、割り込みイベントを見落とさないように設計されています。ステータス・レジスタの読み出し中に割り込みイベントが発生しても、イベントは失われず、 $\overline{\text{IRQ}}$ ロジック出力は割り込みステータス・レジスタ・データの転送中に確実にハイを維持した後に、再度ロジック・ローになって待ち状態の割り込みを表示します。詳しい説明については、次の節を参照してください。

### ADE7756割り込みのMCUでの使い方

図11に、MCUを使った推奨されるADE7756割り込み管理のタイミング図を示します。時間 $t_1$ で $\overline{\text{IRQ}}$ ラインがアクティブ・ローになり、ADE7756内で1個または複数の割り込みイベントが発生したことを表示します。 $\overline{\text{IRQ}}$ ロジック出力は、MCUの立ち下がりエッジ・トリガー外部割り込みに接続してください。MCUは立ち下がりエッジを検出したら、割り込みサービス・ルーチ

ン (ISR) の実行を開始するように設定してください。ISRに入ったら、グローバル割り込みイネーブル・ビットを使ってすべての割り込みをディスエーブルにします。この時点で、現在のISRの実行中に発生する割り込みイベントを検出できるように、MCU外部割り込みフラグをクリアできます。MCU割り込みフラグがクリアされるとき、ステータス・レジスタの読み出しとリセットが実行されます。この動作により、 $\overline{\text{IRQ}}$ ラインはロジック・ハイにリセットされます ( $t_2$ )。割り込みタイミングの節を参照してください。ステータス・レジスタ値を使って割り込み原因を探して、該当する動作を実行します。ISRの実行中に後続の割り込みイベントが発生すると、MCUの外部割り込みフラグが再度設定されて、そのイベントが記録されます ( $t_3$ )。ISRから戻ると、グローバル割り込みマスクがクリアされ (同じインストラクション・サイクルで)、外部割り込みフラグにより、MCUは再度ISRに分岐します。この機能のために、MCUは外部割り込みを見落してしまうことはありません。

### 割り込みタイミング

シリアル・インターフェース部分を先に説明して、その後で割り込みタイミングについて説明します。前述のように、 $\overline{\text{IRQ}}$ 出力がローになると、MCUのISRは割り込みステータス・レジスタを読み出して、割り込み原因を突き止めます。ステータス・レジスタ値を読み出すときは、先頭バイト転送 (割り込みステータス・レジスタ・コマンドの読み出し) のSCLKの最後の立ち下がりエッジで、 $\overline{\text{IRQ}}$ 出力がハイに設定されます。次の8ビット転送 (割り込みステータス・レジスタ値) がシフト出力される最終ビットまで、 $\overline{\text{IRQ}}$ 出力はハイに維持されます。図12を参照してください。この時点で待ち状態の割り込みが存在すると、 $\overline{\text{IRQ}}$ 出力は再度ローになります。待ち状態の割り込みが存在しない場合は、 $\overline{\text{IRQ}}$ 出力はハイを維持します。

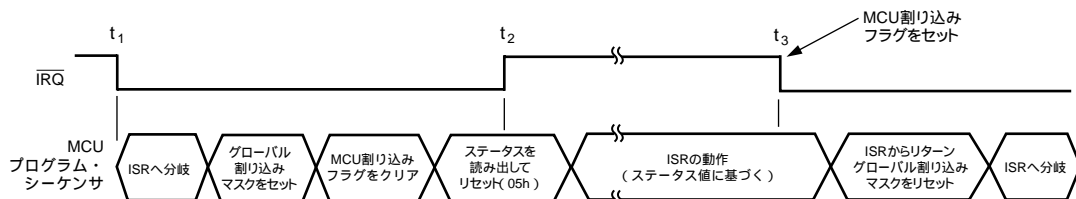


図11 割り込み管理

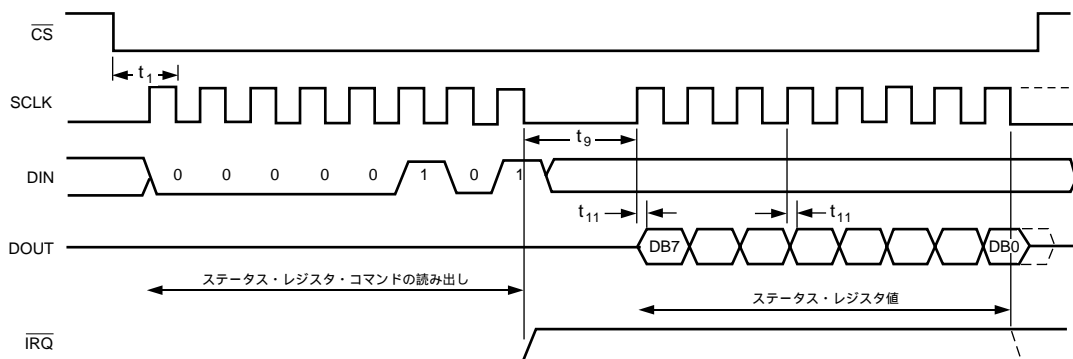


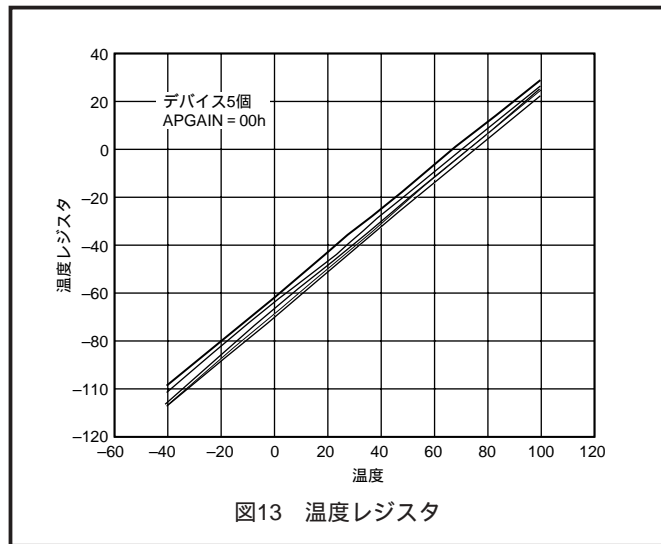
図12 割り込みタイミング

# ADE7756

## 温度計測

ADE7756は温度センサーも内蔵しています。モードレジスタ内のビット5を設定すると、温度計測が可能になります。モードレジスタ内のビット5がロジック・ハイに設定されると、ADE7756は次のゼロ交叉で温度計測を開始します。チャンネル2でゼロ交叉が検出されると、温度検出回路の電圧出力がADC1(チャンネル1)に接続されて、デジタル化されます。出力コードは処理された後、約26  $\mu$ s(24 CLKINサイクル)後に温度レジスタ(TEMP[7:0])に格納されます。割り込みイネーブルレジスタ(ビット5)内でイネーブルにされると、温度変換が完了したときにTRQ出力はアクティブ・ローになります。温度変換によって、エネルギー計算に少量のノイズが引き込まれることに注意してください。温度変換を頻繁に行う場合は(例えば複数回/秒)、目立つ誤差誤差が時間とともにエネルギー計算内に累積されます。

温度レジスタ値は、分解能約1LSB/ の符号付き(2の補数)です。温度レジスタは、周囲温度が約70 のとき、コード00hを発生します(図13)。温度計測はADE7756内でキャリブレーションされないため、 $\pm 20$  もの大きなオフセット許容偏差を持っています。



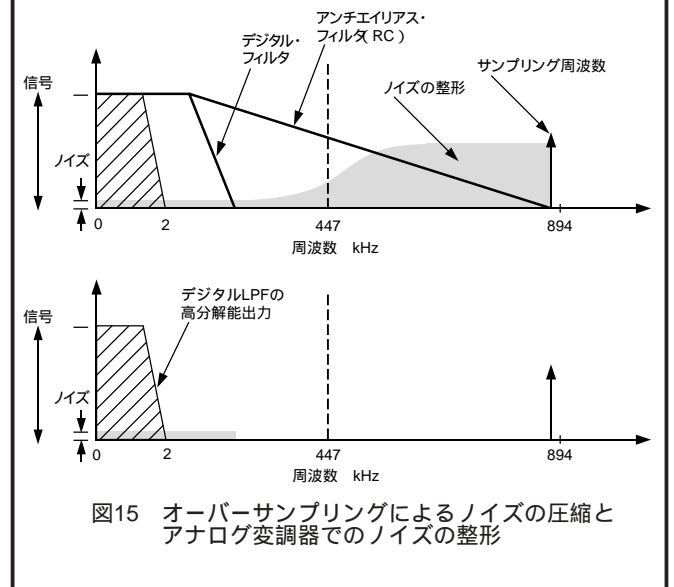
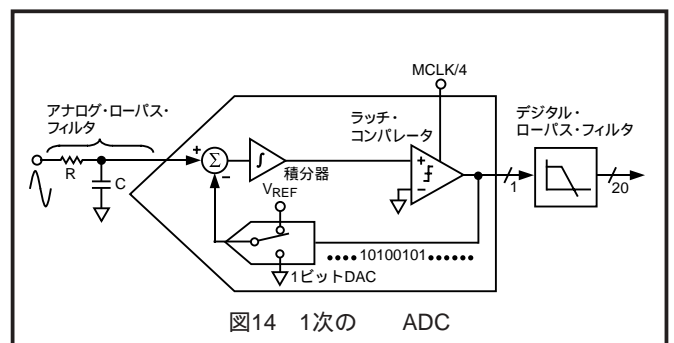
## アナログ/デジタル変換

ADE7756のアナログ/デジタル変換は、2つの2次ADCを使って行われます。図14に、1次(分かり易くするため簡単化)のADCのブロック図を示します。このコンバータは2つの部分から構成されており、最初の部分は変調器で、2つ目の部分はデジタル・ローパス・フィルタです。

変調器は、入力信号をサンプリング・クロックで決定されるレートを持つ“1”と“0”の連続なシリアル・ストリームに変換します。ADE7756のサンプリング・クロックは、CLKIN/4です。帰還ループ内の1ビットDACには、シリアル・データ・ストリームが入力されます。DAC出力は入力信号から減算されます。ループ・ゲインが十分大きいと、DAC出力の平均値(したがって、ビット・ストリーム)は、入力信号レベルの平均値に近づきます。信号サンプリング間隔内の与えられた入力値に対して、1ビットADCの出力データは実質的な意味を持ちません。多数のサ

ンプルが平均されて、始めて意味ある結果が得られます。この平均化処理は、ADCの2つ目の部分であるデジタル・ローパス・フィルタにより実行されます。変調器から出力される複数のビットを平均することにより、ローパス・フィルタは入力信号レベルに比例する20ビットのデータ・ワードを発生できます。

コンバータでは、1ビット変換技術では不可欠な、高分解能を達成する2つの技術を使います。1つ目はオーバーサンプリングです。オーバーサンプリングという用語は、信号帯域幅の何倍もある高いレート(周波数)で信号をサンプルすることを意味します。例えば、ADE7756のサンプリング・レートはCLKIN/4(894kHz)であり、信号帯域は40Hz~2kHzです。オーバーサンプリングは、量子化ノイズ(サンプリングに起因するノイズ)を広い帯域幅にわたって分散させる効果を持っています。広い帯域幅に小さいノイズが分散されるため、信号帯域内の量子化ノイズは小さくなります(図15)が、信号帯域内のS/N比を改善するためには、オーバーサンプリング技術だけでは不十分です。例えば、S/N比を6dB(1ビット)改善するためには、オーバーサンプリング比4が必要です。オーバーサンプリング比を適切なレベルにするには、ノイズの主要部分が高い周波数に分布するように量子化ノイズを整形できます。これは変調器で行われ、ノイズは量子化ノイズに対してハイパス型の応答を持つ積分器により整形されます。その結果、ノイズの大部分は高い周波数域に存在するようになり、これはデジタル・ローパス・フィルタで除去できます。このノイズの整形を図15に示します。

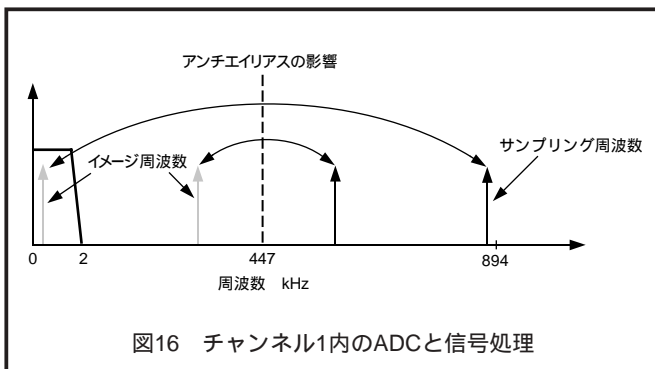




## アンチエイリアス・フィルタ

図21に、変調器の入力にあるアナログ・ローパス・フィルタ(RC)を示します。このフィルタは、エイリアス(折り返しノイズ)を防止するために設けてあります。折り返しは、すべてのサンプル・システムで発生します。

図16に、サンプリング周波数(実線の矢印)の1/2より上にある周波数成分(ナイキスト周波数とも呼ばれ、この場合は447kHz)がイメージになり、すなわち447kHzより下に折り返される様子(アミの矢印)を示します。これは、アーキテクチャに無関係にすべてのADCで発生します。示した例では、サンプリング周波数(894kHz)の近くの周波数だけが、信号帯域(40Hz~2kHz)内に移動するように見えます。従って、非常に簡単なLPF(ローパス・フィルタ)を使って、これらの高い周波数(900kHz付近)を減衰でき、信号帯域の歪みを最小に抑えられます。コーナ周波数10kHzの簡単なRCフィルタ(1軸)により、894kHzで約40dBの減衰を得られます(図15)。これにより、アンチエイリアスの影響を十分除去できます。



## ADCの伝達関数

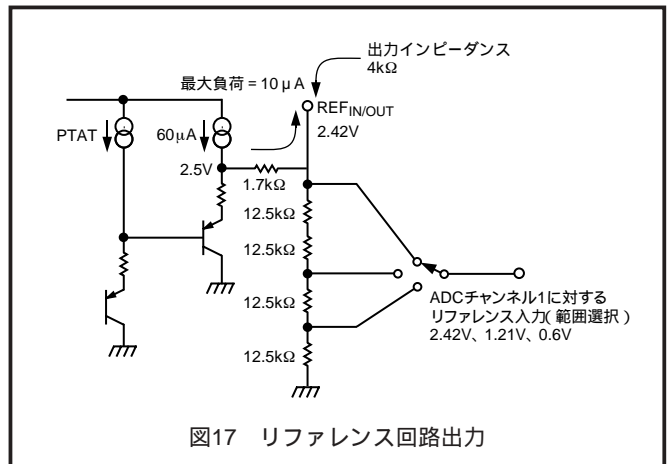
アナログ入力信号レベルから ADC内のLPF出力までの伝達関数を次に示します。ADE7756内の両ADCは、同じ入力信号レベルに対して同じ出力コードを発生するように設計されています。

$$\text{コード (ADC)} = 1.512 \times \frac{V_{IN}}{V_{REF}} \times 262,144$$

このため、入力1Vのフルスケール信号と内部リファレンス=2.4Vに対して、ADC出力コードは公称165,151(2851Fh)です。ADC出力の最大コードは±262,144であり、これは入力信号レベル±1.6Vに対応しますが、規定の性能のフルスケール入力信号レベル±1を超えることはお薦めできません。

## リファレンス回路

リファレンス出力回路を単純化した図を図17に示します。REF<sub>IN/OUT</sub>ピンでの公称リファレンスは2.42Vです。これは、ADE7756内のADCに対して使用するリファレンスです。ただし、チャンネル1には3種類の入力範囲があり、チャンネル1内のADCに対して使用するリファレンス値を分割して選択します。この、チャンネル1に対して使用するリファレンス値は、図17に示す内部抵抗分割器を使って公称値の1/2と1/4に分割します。



REF<sub>IN/OUT</sub>ピンは、外部電源(例えば2.5V外部リファレンス)により、上書きできます。ADCに入力される公称リファレンス値は、2.42Vではなく、2.5Vになることに注意してください。これは、公称アナログ入力信号範囲を2.5/2.42×100%=3%だけ広げること、すなわち1Vから1.03Vにすることに相当します。ADE7756のリファレンスは温度により少し変化します。温度係数仕様(ppm/ )については、ADE7756仕様を参照してください。温度ドリフト値は各製品毎に異なります。Aグレードの製品では、最大温度ドリフトを保証していません。このリファレンスはチャンネル1と2の両方のADCに対して使用するため、リファレンスのx%ドリフトは、測定精度2x%の変化に対応します。温度変化に起因するリファレンスのドリフトは一般に非常に小さく、計測部分の他の部品のドリフトよりはるかに低い値です。ただし、温度性能の保証が必要な場合は、外部の電圧リファレンスまたはBグレードの製品を使う必要があります。また、複数の温度点でメーターを校正することもできます。内蔵温度センサーを使うと、リアルタイムの補償を容易に行えます。

# ADE7756

## チャンネル1ADC

図18に、チャンネル1のADCとシグナル・チェーンを示します。波形サンプリング・モードでは、ADCは符号付き2の補数の20ビット・データ・ワードを最大27.9kSPS( CLKIN/128 )で出力します。ADC出力を±50%でスケールして、全体電力またはADC出力のキャリブレーションを行えます。ADCは20ビット2の補数値を出力しますが、ADCの正側の最大フルスケール値は40000h ( 10進数で + 262,144 ) に制限されています。負側の最大フルスケール値はC0000h ( 10進数で - 262,144 ) に制限されています。アナログ入力がこの範囲を超えると、ADC出力コードはこれらの値にクランプされます。規定のフルスケール・アナログ入力信号1V ( すなわち、アナログ入力選択では0.5Vまたは0.25V ) に対して、このADCはフルスケール値の約63%に対応する出力コードを発生します。これを図18に示します。図15には、差動入力V1PとV1Nに入力されるフルスケール電圧信号を示します。ADC出力振幅は、D7AE1h( - 165,151 ) ~ 2851Fh( + 165,151 ) の範囲です。これは、フルスケール値40000h ( 262,144 ) の約63%に対応します。アナログ入力が増加すると、ADC出力はフルスケール値に向かって増加します。ただし、規定の動作を得るためには、アナログ入力の差動信号は1.0Vの値を超えないようにすることを推奨します。

## チャンネル1ADCゲインの調整

チャンネル1のADCゲインは、乗算器とアクティブ電力ゲイン・レジスタ ( APGAIN[11:0] ) を使って調整できます。ADCのゲインの調整は、2の補数の12ビット・ワードをアクティブ電力ゲイン・レジスタに書き込むことにより行い

ます。ゲイン調整とアクティブ電力ゲイン・レジスタ値の関係は、次式で表されます。

$$\text{コード} = \left( \text{ADC} \times \left\{ 1 + \frac{\text{APGAIN}}{2^{12}} \right\} \right)$$

例えば、7FFhをアクティブ電力ゲイン・レジスタに書き込むと、ADC出力は50%でスケールされます。7FFh = 2047 ( 10進数 )、2047/2<sup>12</sup> = 0.5です。同様に、801h = - 2047 ( 10進数 ) の符号付き2の補数では、ADC出力は - 50%でスケールされます。これら2つの例を図18に示します。

## チャンネル1のサンプリング

波形サンプルはWAVEFORMレジスタ ( MODE[14:13] = 1, 0 ) にも入力されて、システム・マスター ( MCU ) から読み出せます。波形サンプリング・モードでは、割り込みイネーブル・レジスタ内のWSMPビット ( ビット3 ) もロジック1に設定してください。アクティブ電力とエネルギー計算では、波形サンプリング時に割り込みを受け付けません。波形サンプル・モードでは、モード・レジスタ ( WAVSEL 1, 0 ) 内のビット11とビット12を使って、4種類の出力サンプル・レートを選択できます。出力サンプル・レートとしては、27.9kSPS、14kSPS、7kSPSまたは3.5kSPSを選択できます ( モード・レジスタの節を参照 )。割り込み要求出力IRQがアクティブ・ローになって、新しいサンプルが存在することを知らせます。図19にタイミング図を示します。20ビットの波形サンプルは、MSB ( 最上位バイト ) 先頭で、1バイト ( 8ビット ) ずつADE7756から転送されます。20ビットのデータ・ワードは、右詰め符号拡張した24ビット ( 3バイト ) です ( シリアル・インターフェースの節を参照 )。

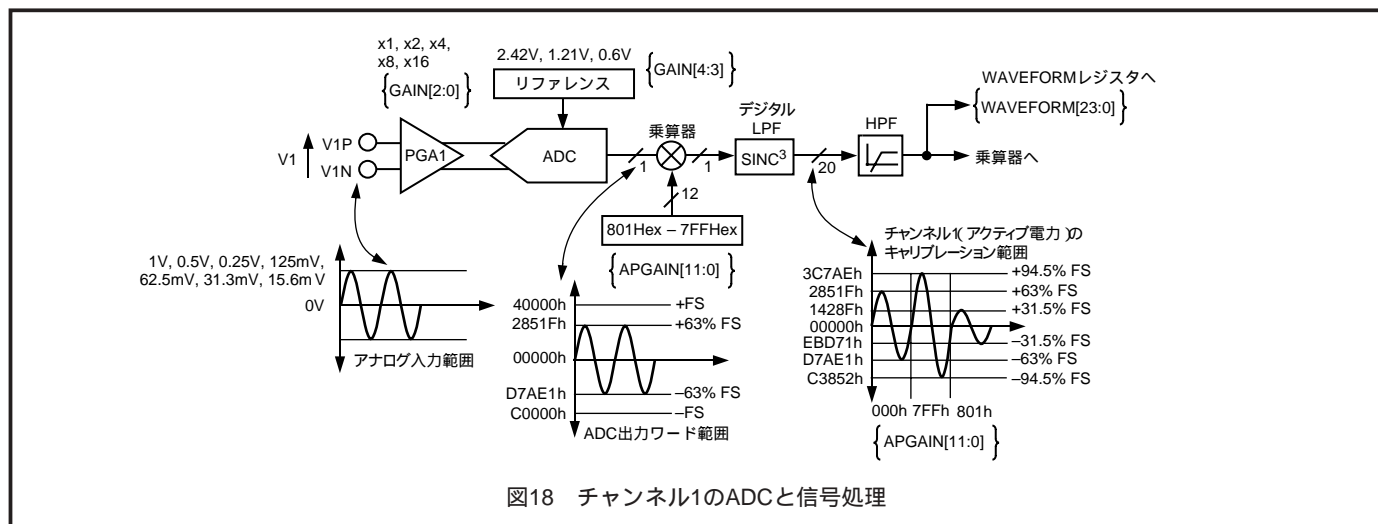
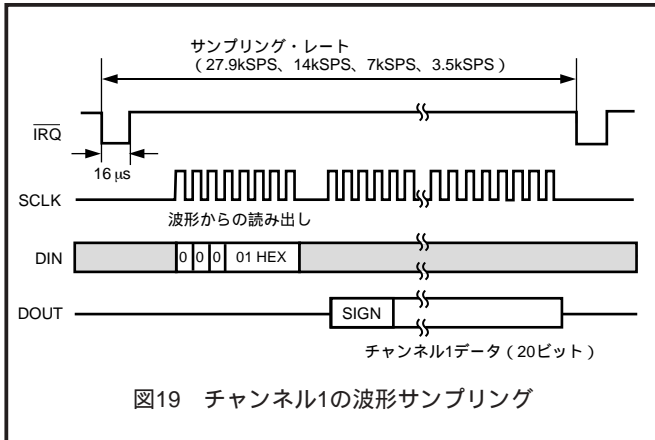


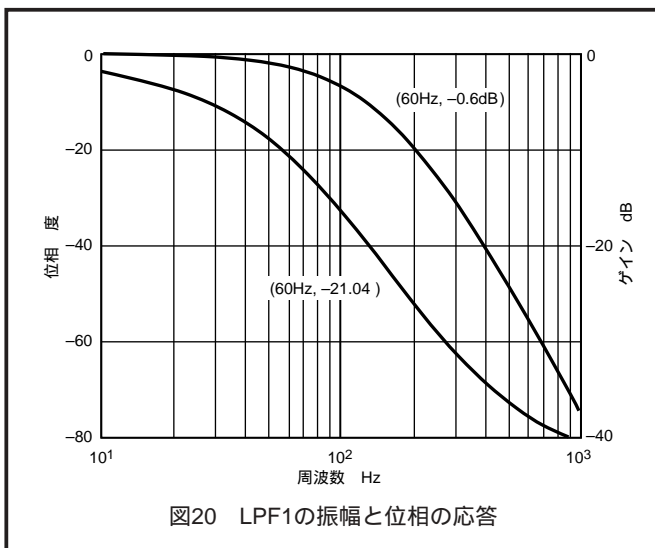
図18 チャンネル1のADCと信号処理



## チャンネル2ADC

### チャンネル2のサンプリング

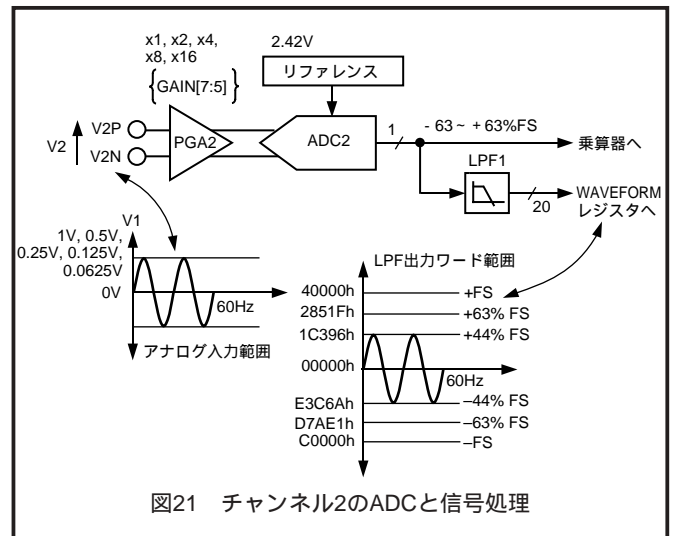
チャンネル2の波形サンプリング・モード (MODE[14:13] = 1,1かつWSMP = 1) では、チャンネル2のADC出力コード・スケージングはチャンネル1と同じで、D7AE1h (-165,151) ~ 2851Fh (+165,151) の出力振幅です (ADCチャンネル1の節を参照)。ただし、WAVEFORMレジスタに渡す前に、ADC出力はカットオフ周波数156Hzを持つ1軸のローパス・フィルタを通過します。図20に、このフィルタの振幅と位相の応答を示します。



このフィルタは、信号を減衰させる効果を持ちます。例えば、ライン周波数が60Hzの場合、LPF1出力での信号は30%減衰します。

$$|H(f)| = \frac{1}{\sqrt{1 + \left(\frac{60 \text{ Hz}}{156 \text{ Hz}}\right)^2}} = 0.93 = -0.6 \text{ dB}$$

LPF1は電力量計算に影響しないことに注意してください。図21に、チャンネル2のシグナル・チェーンを示します。チャンネル1とは異なり、チャンネル2には1種類のアナログ入力範囲 (1V差動) しかありません。ただし、チャンネル1と同様に、チャンネル2には1、2、4、8、16のゲインを選択できるPGAがあります。エネルギー計測に対しては、ADC出力がフィルタを通さずに乗算器に直接入力されます。HPFは、1つのチャンネルからオフセットを除去して、電力量計算でのオフセットに起因する誤差を除く場合にのみ必要なので、DCオフセットの除去には不要です。波形サンプル・モードでは、モード・レジスタ内のビット11とビット12を使って、4種類の出力サンプル・レートを選択できます。出力サンプル・レートとしては、27.9kSPS、14kSPS、7kSPS、3.5kSPSを選択できます (モード・レジスタの節を参照)。割り込み要求出力IRQがアクティブ・ローになって、新しいサンプルが存在することを知らせます。タイミングはチャンネル1と同じで、図19に示します。



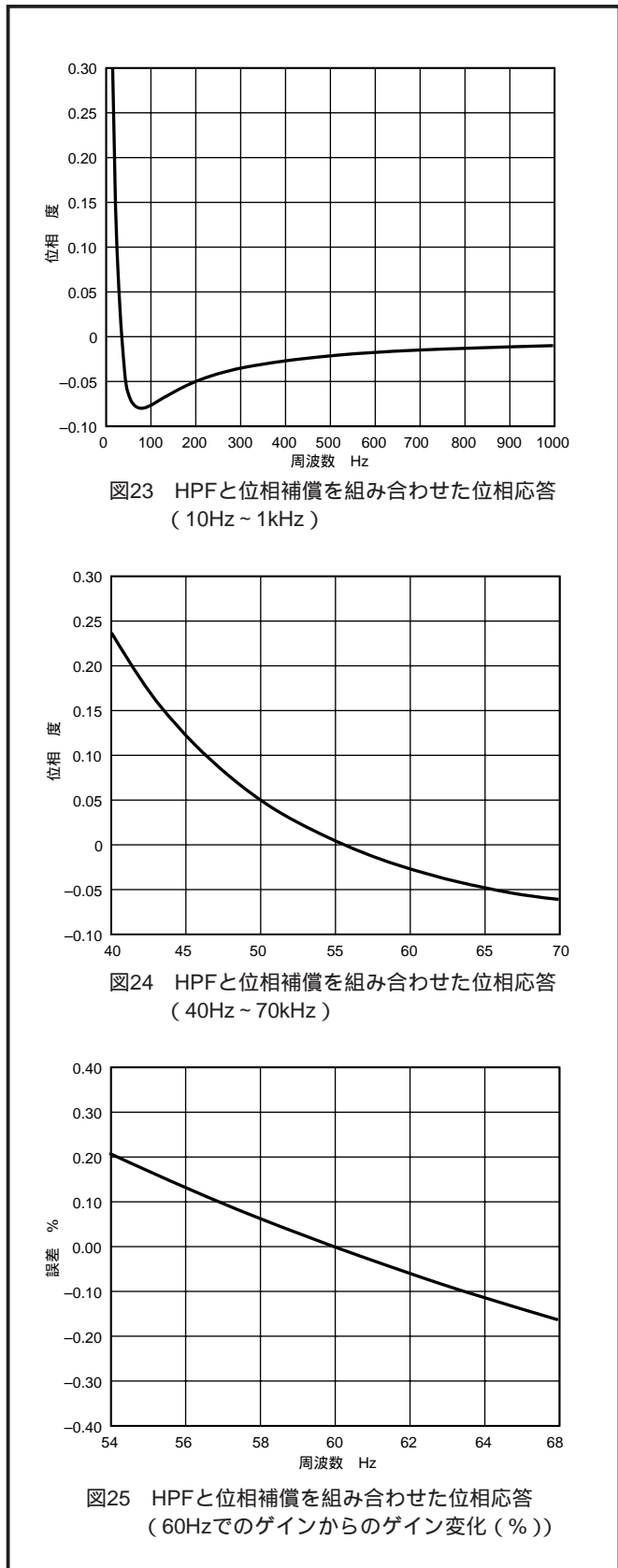
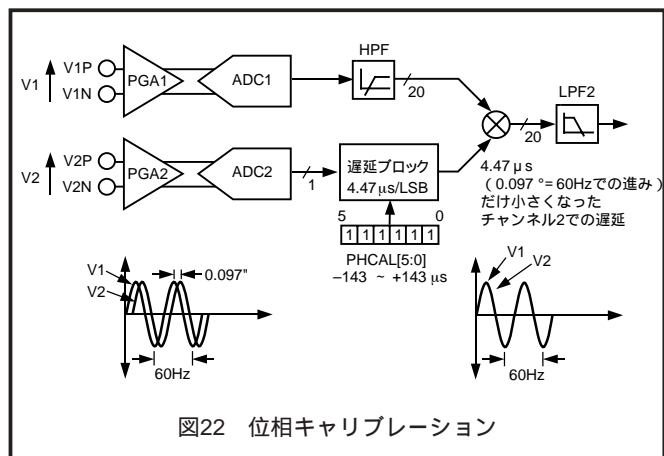
# ADE7756

## 位相補償

HPFをディスエーブルにすると、チャンネル1とチャンネル2の間の位相誤差は、DC ~ 3.5kHzでゼロになります。HPF1をイネーブルにすると、チャンネル1は図23と図24に示す位相応答を持ちます。図25に、フィルタの振幅応答を示します。曲線から分かるように、45Hz ~ 1kHzで位相応答はほぼゼロになります。一般的なエネルギー計測アプリケーションでは、これが必要とされます。

ただし、ADE7756では内部で位相補償を行ってはいませんが、固有な位相誤差を持つトランスデューサを接続する必要がある場合があります。例えば、CT（電流変成器）には0.1 ~ 0.3°の位相誤差が普通に存在します。これらの位相誤差は各製品毎に変動するため、正確な電力量計算を行うために補正が必要です。位相の不一致に対応する誤差は、特に低い力率で目立ちます。ADE7756は、これらの小さな位相誤差をデジタル的にキャリブレーションする方法を提供します。ADE7756では、小さな位相誤差を補正するため、シグナル・チェーン内に小さい時間遅延または時間進みが導入されます。補償は時間で行うため、この技術は0.1 ~ 0.5°の範囲の小さな位相誤差に対してのみ使います。時間シフト技術を使う大きな位相誤差の補正は、高い高調波で大きな位相誤差を導入します。

位相キャリブレーション・レジスタ（PHCAL[5:0]）は、2の補数の6ビット符号付きレジスタであり、チャンネル2信号パス内の時間遅延を  $-143 \sim +143 \mu\text{s}$ （CLKIN = 3.579545MHz）の範囲で変えられます。1LSBは4.47  $\mu\text{s}$ に相当します。ライン周波数が60Hzの場合、基本波での位相分解能は0.097°（ $= 360^\circ \times 4.47 \mu\text{s} \times 60\text{Hz}$ ）です。図22に、この位相補償を使って、外部トランスデューサに起因するチャンネル1での0.097°の位相進みを除去する方法を示します。チャンネル1での進み（0.097°）を相殺させるために、位相進みをチャンネル2に導入します。この位相調整の分解能では、0.097°の位相進みの導入が可能です。この位相進みは、チャンネル2に時間進みを導入することにより実現します。時間遅延ブロックに  $-1$ （3Fh）を書き込むことにより、4.47  $\mu\text{s}$ の時間進みを行います。これにより、時間遅延の大きさが4.47  $\mu\text{s}$ だけ小さくなります。



## アクティブ電力の計算

電力は、電源から負荷へのエネルギーの流れのレートとして定義されます。これは、電圧と電流波形の積で得られます。このようにして得られた波形は瞬時電力信号と呼ばれ、各瞬間のエネルギー流のレートに等しくなります。電力の単位はワット (w) すなわちジュール / 秒です。式3は、ACシステム内の瞬時電力信号の式です。

$$v(t) = \sqrt{2} V \sin(\omega t) \quad (1)$$

$$i(t) = \sqrt{2} I \sin(\omega t) \quad (2)$$

ここで、

V = rms電圧、

I = rms電流

$$p(t) = v(t) \times i(t)$$

$$p(t) = VI - VI \cos(2\omega t) \quad (3)$$

(n) ライン・サイクル間の平均電力は式4で得られます。

$$P = \frac{1}{nT} \int_0^{nT} p(t) dt = VI \quad (4)$$

ここで、

Tはライン・サイクル周期

さらに

Pは、アクティブ電力または実効電力と呼ばれます。

アクティブ電力は、式3の瞬時電力信号 $p(t)$ のDC成分すなわちVIに等しくなることに注意してください。この式で表される関係は、ADE7756内でアクティブ電力を計算する際に使います。瞬時電力信号 $p(t)$ は、電流と電圧信号の積として得られます。次に、瞬時電力信号のDC成分をLPF2(ローパス・フィルタ)を使って取り出して、アクティブ電力情報を得ます。図26に、この過程を示します。LPF2は理想的な“障壁”を持つ周波数応答でないため(図27)、アクティブ電力信号には瞬時電力信号に起因してある程度のリップル電流があります。このリップルはサイン波であり、周波数はライン周波数の2倍です。リップルはサイン波であるため、アクティブ電力信号を積分してエネルギーを算出する際に除去されます(エネルギー計算の節を参照)。

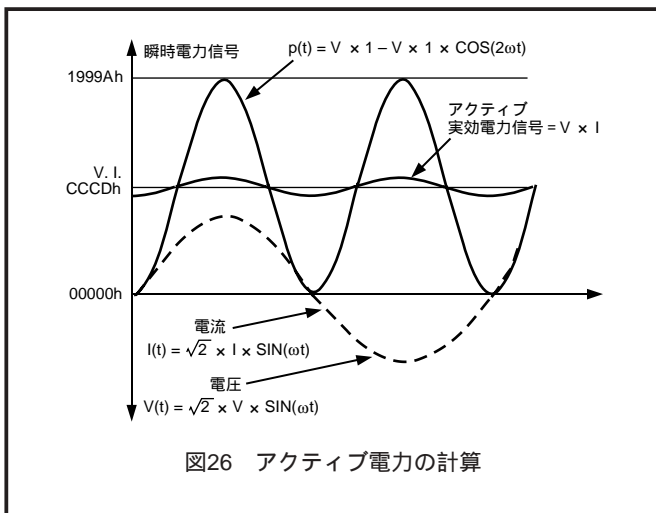


図28に、ADE7756内のアクティブ電力量計算のシグナル・チェーンを示します。先述の通り、アクティブ電力は瞬時電力信号をローパス・フィルタ処理することにより計算されます。

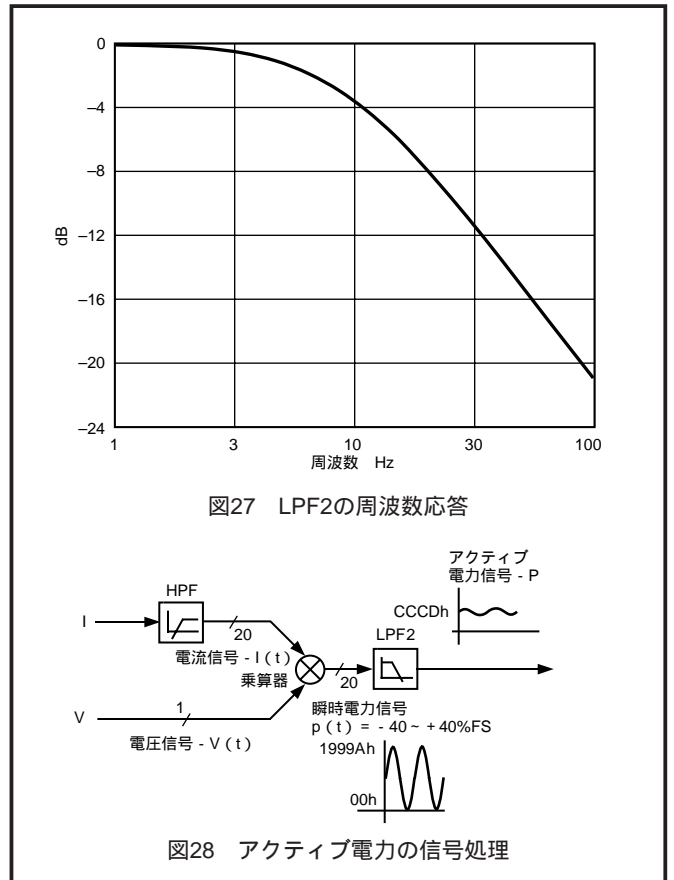
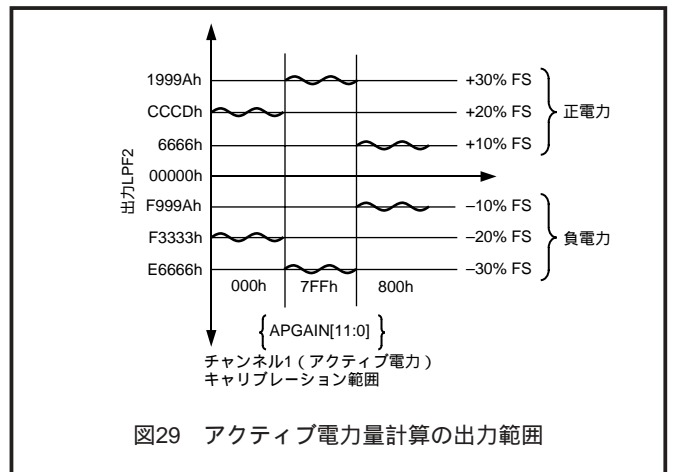


図29に、アクティブ電力信号(LPF2)の最大コード出力(16進数)の範囲を示します。出力範囲はアクティブ電力ゲイン・レジスタの値に応じて変化することに注意してください(チャンネル1ADCの節を参照)。アクティブ電力ゲイン・レジスタ値が800hのとき、最小出力範囲が得られ、アクティブ電力ゲイン・レジスタに7FFhを書き込むと、最大範囲が得られます。これは、ADE7756内のアクティブ電力(すなわちエネルギー)計算をキャリブレーションする際に使用できます。



# ADE7756

## エネルギーの計算

前述のように、電力はエネルギー流のレートとして定義されます。この関係は、数学的に式5で表されます。

$$P = \frac{dE}{dt} \quad (5)$$

ここで、

P = 電力、さらに

E = エネルギー

これに対して、エネルギーは電力の積分として得られます。

$$E = \int P dt \quad (6)$$

ADE7756では、40ビットのアクティブ・エネルギー・レジスタ (AENERGY[39 : 0]) にアクティブ電力信号を連続して加算することにより、アクティブ電力信号の積分を行っています。この離散的な時間での累積すなわち加算は、連続時間での積分と等価です。式7は、この関係を表しています。

$$E = \int p(t) dt = \lim_{T \rightarrow 0} \left\{ \sum_{n=0}^{\infty} p(nT) \times T \right\} \quad (7)$$

ここで、

nは離散的な時間でのサンプル数です。

さらに

Tはサンプル周期です。

ADE7756内の累積レジスタの離散的な時間サンプル周期 (T) は1.1 μs (4/CLKIN) です。エネルギーの計算でも、この積分によりアクティブ電力信号に含まれているサイン波成分が除かれます。

図30に、離散的な時間での積分すなわち累積を示します。WAVEFORMレジスタ内のアクティブ電力信号は、アクティブ・エネルギー・レジスタに連続的に加算されます。この加算は符号付き加算であるため、負エネルギーはアクティブ・エネルギー値から減算されます。

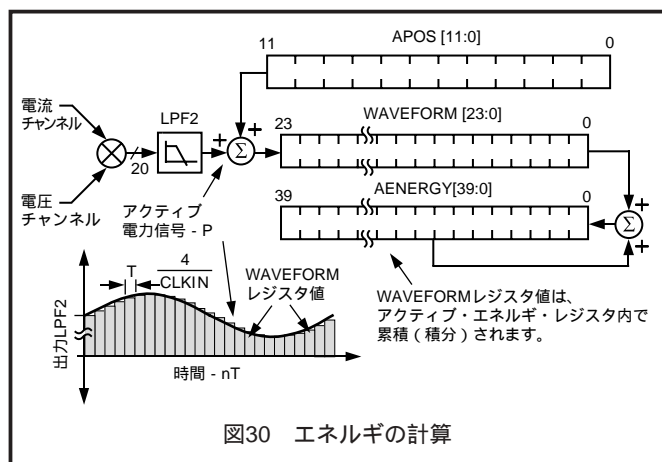


図30 エネルギーの計算

図30に示すように、アクティブ電力信号は、40ビットの符号付きレジスタ (AENERGY[39 : 0]) 内で累積されます。アクティブ電力信号は、MODE[14 : 13] = 0,0、かつ割り込みイネーブル・レジスタ内のWSMPビット (ビット3) を“1”に設定すると、WAVEFORMレジスタから読み出すことができ、チャンネル1とチャンネル2の波形サンプリ

ング・モードと同様に、波形データはサンプル・レート 27.9kSPS、14kSPS、7kSPS、3.5kSPSで取得できます (図19)。図31に、アナログ入力上のフルスケール信号 (サイン波) に対するこのエネルギー累積を示します。3本の曲線は、アクティブ電力ゲイン・レジスタ値が3FFh、000h、800hのときに、エネルギー・レジスタがロールオーバーするために要する最小時間を説明しています。アクティブ電力ゲイン・レジスタは、ADE7756内で電力キャリブレーションを行う際に使用します。図から分かるように、最高速の積分時間は、アクティブ電力ゲイン・レジスタが最大フルスケール (3FFh) に設定されているときに発生します。

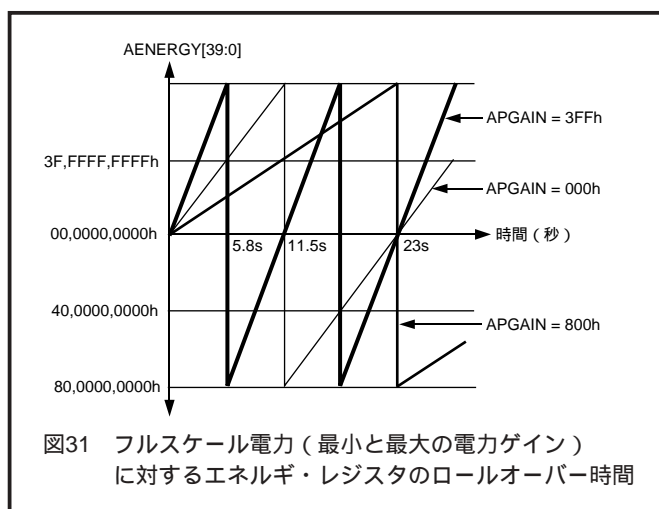


図31 フルスケール電力 (最小と最大の電力ゲイン) に対するエネルギー・レジスタのロールオーバー時間

電力すなわちエネルギー流が正の場合は、エネルギー・レジスタ値は負側フルスケール (80,0000,0000h) にロールオーバーして、さらに値の増加が続きます (図31)。これに対して、電力が負の場合は、エネルギー・レジスタは正側フルスケール (7F, FFFF, FFFFh) にアンダーフローして、さらに値の減少が続きます。

割り込みイネーブル・レジスタを使うと、アクティブ・エネルギー・レジスタがフルスケール (正または負) の1/2になったとき、またはオーバーフロー/アンダフローが発生したとき、割り込み (IRQ) が発生するようにADE7756を設定できます。

### 定常負荷での積分時間

前の節で説明したように、累積レジスタに対する離散的な時間サンプル周期 (T) は1.1 μs (4/CLKIN) です。アナログ入力にフルスケール・サイン波信号が接続され、かつアクティブ電力ゲイン・レジスタが000hに設定されているとき、LPF2から出力される平均ワード値はCCCDhになります (図34)。アクティブ・エネルギー・レジスタでオーバーフローが発生しないで格納できる最大値は、2<sup>39</sup>すなわち7F, FFFF, FFFFhです。このため、これらの条件での積分時間は次のように計算されます。

$$\text{時間} = \frac{7F, FFFF, FFFFh}{CCCDh} \times 1.1 \mu s = 11.53 \text{ 秒}$$

## 電力オフセットのキャリブレーション

ADE7756には、アクティブ電力オフセット・レジスタ APOS[11:0] が内蔵されています。これは、符号付きの2の補数、12ビット・レジスタであり、アクティブ電力の計算でオフセットを除去する際に使用できます (図30)。PCB上のチャンネル間またはIC自体の内部でのクロストークに起因して、電力量計算内にオフセットが生じることがあります。電力が消費されないとき、オフセット・キャリブレーション機能がアクティブ電力レジスタ値をゼロに維持します。

アクティブ電力オフセット・レジスタに書き込まれたLSB (APOS = 010h) × 16の値は、波形サンプル・レジスタの1LSBに対応します。チャンネル1とチャンネル2に対する入力がかもにフルスケールのときに、LPF2から出力されてWAVEFORMレジスタに格納される平均値出力がCCCDh (10進数で52,429) であるとします。チャンネル1で -60dB フルスケール入力の1/1000)に下がると、LPF2からの平均ワード値出力は52.429 (52,429/1,000) になります。WAVEFORMレジスタでの1LSBは、平均値の計測誤差で1/52.429 × 100% = 1.9% に対応します。アクティブ電力オフセット・レジスタはWAVEFORMレジスタの1/16LSBに等しい分解能を持つため、電力オフセット補正の分解能は -60dBで0.12% (1.9%/16) になります。

## エネルギー / 周波数変換

ADE7756には、キャリブレーション用にエネルギー / 周波数変換機能も内蔵されています。出荷時の初期キャリブレーション後、メーカーまたは顧客がエネルギー・メーターのキャリブレーションを検証することができます。メーカーがメーターのキャリブレーションを行う便利な方法は、定常負荷条件でのエネルギーまたはアクティブ電力に比例する出力周波数を提供することです。この出力周波数を使うと、外部キャリブレーション装置に対する簡素な1線式の光アイソレーション・インターフェースを提供できます。図32に、ADE7756のエネルギー / 周波数変換機能を示します。

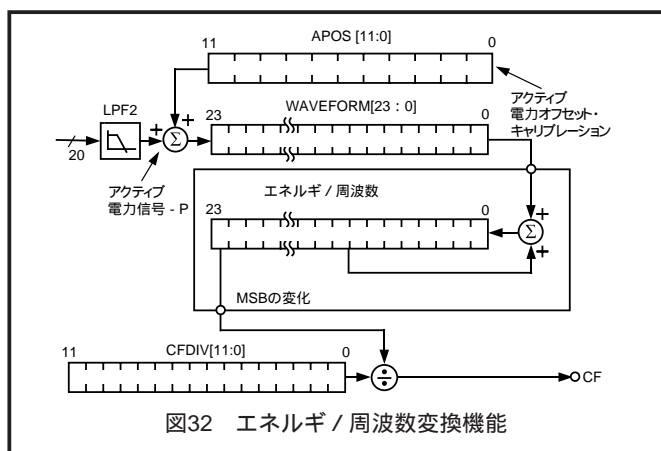


図32 エネルギー / 周波数変換機能

エネルギー / 周波数変換は、24ビットレジスタでアクティブ電力信号を累積することにより実現されます。レジスタのMSB (最上位ビット) が '0' から '1' に変化すると、出力パルスが発生されます。定常負荷条件で、出力周波数はアクティブ電力に比例します。

チャンネル1とチャンネル2でフルスケールAC信号、かつCFDIV = 000hおよびAPGAIN = 000hのとき、CFでの出力周波数は約5.593kHzになります。これは次のように計算されます。アクティブ電力ゲイン・レジスタが000hに設定されたとき、瞬時電力信号 (LPF2の出力) の平均値はCCCDh (10進数で52,429) になります。デジタル / 周波数レジスタ 24ビットのMSBがトグルするとき、すなわちレジスタの累

積値が $2^{23}$ に等しくなったとき、出力周波数がCF上で発生されます。これは、レジスタが $2^{23}/\text{CCCDh}$ 回 (すなわち159.999回) 更新されたことを意味します。更新レートは $4/\text{CLKIN}$ すなわち $1.1175 \mu\text{s}$ であるため、MSBトグル (CFパルス) 間の時間は次式で得られます。

$$159.999 \times 1.1175 \mu\text{s} = 1.78799 \times 10^{-4} \text{s} = 5592.86\text{Hz}$$

式8は、CFDIVレジスタ = 0のときのCFにおける出力周波数に対する式です。

$$\text{CF (Hz)} = \frac{\text{平均LPF2出力} \times \text{CLKIN}}{2^{25}} \quad (8)$$

この出力周波数は、キャリブレーション周波数分周レジスタ (CFDIV[11:0]) を使って容易にスケールリングできます。この周波数スケールリング・レジスタは、12ビット・レジスタであり、 $1 \sim 2^{12}$ で出力周波数をスケールします。出力周波数は式9で得られます。

$$\text{周波数} = \frac{\text{周波数 CFDIV} = 0)}{(\text{CFDIV} + 1)} \quad (9)$$

例えば、出力周波数が5.59286kHzで、CFDIV値がゼロ (000h) の場合、出力周波数は3FFh Hex (10進数1023) をCFDIVレジスタに書き込むことにより、5.4618Hzに設定できます。CFDIVのパワーアップ時のデフォルト値は3Fhです。

出力周波数には、ライン周波数の2倍に等しい周波数で小さいリップルがあります。これは、アクティブ電力信号を発生するための瞬時電力信号フィルタが不完全であるために発生します (アクティブ電力量計算の節を参照)。式3は、瞬時電力信号を得る式です。これは、式10の振幅応答を持つLPF2でフィルタ処理されます。

$$H(f) = \frac{1}{1 + f / 8.9 \text{ Hz}} \quad (10)$$

アクティブ電力信号 (LPF2出力) は次のように表されます。

$$p(t) = V_I \cdot \left( \frac{V_I}{1 + 2f / 8.9 \text{ Hz}} \right) \cos(4 \times \pi \times f_l \times t) \quad (11)$$

ここで、 $f_l$ はライン周波数 (例えば60Hz) です。

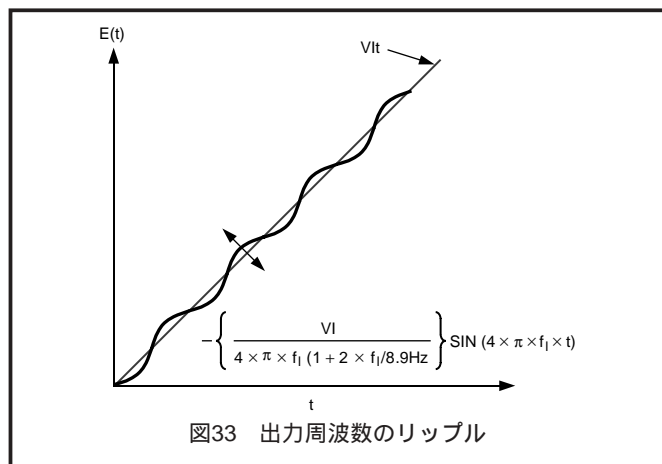
式6から

$$E(t) = V_I t \cdot \left( \frac{V_I}{4 \times \pi \times f_l (1 + 2f / 8.9 \text{ Hz})} \right) \sin(4 \times \pi \times f_l \times t) \quad (12)$$

エネルギー計算内に $\sin(2 \times t)$ 成分に起因する小さいリップルが存在することが、式12から分かります。図33に、これを示します。点線で表すアクティブ・エネルギー計算は、 $V \times I \times t$ に等しくなります。アクティブ・エネルギー計算内のサイン波リップルを示してあります。サイン波の平均値はゼロなので、このリップルは長い時間に対するエネルギー計算に対して影響を与えません。ただし、特に高い出力周波数では、周波数出力内にリップルが観測されます。負荷が大きくなる程、また出力周波数が高くなる程、このリップルは周波数のパーセント値として大きくなります。この理由は単純で、出力周波数が高くなると、エネルギー/周波数変換処理内で積分時間または平均をとる時間が短くなるためです。そのために、サイン波リップルが周波数出力に現れるようになります。キャリブレーション用にCFで低い出力周波数を選択すると、リップルは大幅に小さくなります。

# ADE7756

また、カウンタに対して長いゲート時間を使って出力周波数の平均をとっても、同じ結果が得られます。



## エネルギー・キャリブレーション

チャンネル2に対する内蔵のゼロ交叉検出を使うことにより、エネルギー・キャリブレーションが大幅に簡便化されるため、メーターのキャリブレーションに必要な時間は大幅に短縮されます。ゼロ交叉検出を使うときは、モードレジスタ内のビット7 (CMODE) を設定して、ADE7756をキャリブレーション・モードにします。キャリブレーション・モードでは、ADE7756はアクティブ電力信号を半サイクルの整数倍時間の間アクティブ・エネルギーレジスタ内で累積します(図34)。半ライン・サイクルの数は、SAGCYCレジスタで指定します。ADE7756はアクティブ電力を最大255半サイクル間累積できます。アクティブ電力はライン・サイクルの整数倍の時間積分されるため、サイン波成分はゼロに減少します。これにより、エネルギー計算内のリップルが除去されます。積分時間を短くすることができるため、さらに正確かつ短い時間でエネルギーを計算できます。エネルギー・キャリブレーション・サイクルの終わりで、割り込みステータスレジスタ内のSAGフラグがセットされます。これにより、SAG出力がアクティブ・ローになります。割り込みイネーブルレジスタ内のSAGイネーブルビットがイネーブルにされている場合、TRQ出力もアクティブ・ローになります。このため、TRQラインを使ってキャリブレーションの終わりを知らせることができます。モードレジスタ内のCMODEビットがセットされている限り、次のキャリブレーション・サイクルが開始されます。最初のキャリブレーションの結果は無効であり、無視する必要があることに注意してください。後続のすべてのキャリブレーション・サイクル結果は正しくなります。

式5と式11から

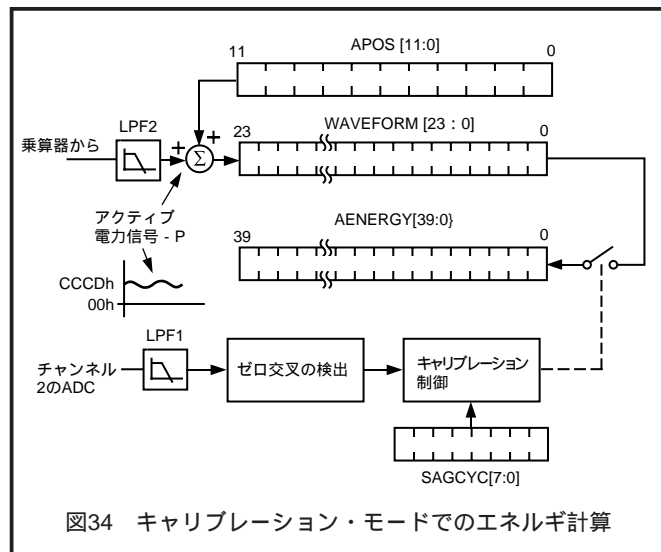
$$E(t) \int_0^{nT} V I dt - \left( \frac{V I}{1 + 2 f_l / 8.9 \text{ Hz}} \right) \int_0^{nT} \cos(2 \omega t) dt \quad (13)$$

ここで、nは整数、Tはライン・サイクル周期です。サイン波成分はライン・サイクルの整数倍間積分されるため、その値は常にゼロになります。

したがって、

$$E(t) \int_0^{nT} V I dt \quad (14)$$

$$E(t) = V I n T \quad (15)$$



## エネルギー・メーターのキャリブレーション

平均アクティブ電力の計算

ADE7756をキャリブレーションする際、最初のステップはCF上の周波数のある所定のメーター定数(例えば3200 imp/kWh)にキャリブレーションすることです。

CF上の出力周波数を決めるために、アクティブ電力信号(LPF2出力)の平均値をまず求める必要があります。これを行う1つの便利な方法は、キャリブレーション・モードを使う方法です。モードレジスタ内のCMODE(ビット7)ビットがロジック1に設定されると、前の節で説明したように、エネルギーは半ラインサイクルの正数倍の間累積されます。ライン周波数が固定されているため(例えば60Hz)、積分時間の半サイクル数を指定することができ、合計積分時間は次のようになります。

$$\frac{1}{2 \times 60 \text{ Hz}} \times \text{半サイクル数}$$

255半サイクルに対して、合計積分時間は2.125秒になります。これは、エネルギーレジスタが2.125/1.1175 μs (4/CLKIN) 回更新されたことを意味します。LPF2の平均出力値は次式で得られます。

$$\frac{\text{AENERGY}[39:0] \text{ の最終値}}{\text{AENERGY}[39:0] \text{ の更新回数}}$$

この式を種々のADE7756レジスタ値、CLKIN、ライン周波数 f<sub>l</sub> を使って表すと、

$$\text{平均ワート(LPF2)} = \frac{\text{AENERGY}[39:0] \times 8 \times f_l}{\text{SAGCYC}[7:0] \times \text{CLKIN}} \quad (16)$$

ここで、f<sub>l</sub>はライン周波数です。

## CFの周波数のキャリブレーション

平均アクティブ電力信号が計算されたら、これを使ってキャリブレーション前のCFの周波数を定めることができます。キャリブレーション前の周波数が既知の場合は、キャリブレーション周波数分周レジスタ(CFDIV)とアクティブ電力ゲインレジスタ(APGAIN)を調整して、CFで必要な周波数を発生できます。この例では、メーター定数3200imp/kWhが選択されています。これは、定常負荷1k の条件で、CFの出力周波数は次のようになることを意味します。

$$\text{周波数(CF)} = \frac{3200 \text{ imp/kWh}}{60 \text{ 分} \times \text{秒}} = \frac{3200}{3600} = 0.8888 \text{ Hz} \quad (16)$$



キャリブレーション用に、テスト電流 (基本電流) = 20A、かつライン電圧 = 220Vとしてメーターが設定されているとすると、負荷は220V × 20A = 4.4k として計算されます。したがって、この定常負荷条件での期待されるCFの出力周波数は、4.4 × 0.8888Hz = 3.9111Hzになります。

これらの負荷条件で、電圧チャンネルの信号が約半スケールになり、かつ電流チャンネルの信号がフルスケールの約1/8 (最大電流80Aの場合) になるように、チャンネル1とチャンネル2のトランスデューサを選択してください。LPF2からの平均値は、前述のようにキャリブレーション・モードを使って、3,276.81 (10進数) と計算されます。次に、式8 (エネルギー/周波数変換) を使って、この負荷での周波数は次のように計算されます。

$$\text{周波数 (CF)} = \frac{3276.81 \times 3.579545 \text{ MHz}}{2^{25}} = 349.566 \text{ Hz}$$

ただし、これはCFDIVレジスタとAPGAINレジスタの値がともに000hのときの周波数です。必要とされる周波数出力は3.9111Hzです。したがって、CF周波数を349.566/3.9111Hz (10進数で89.378) で除算してください。これは、CF分周レジスタに89 (すなわち58h) を書き込むことにより実行されます (CF周波数はCFDIV値 + 1で除算されていることに注意)。

出力周波数の細かい調整は、アクティブ電力ゲイン・レジスタを使って行います。このレジスタは、0.0244%/LSBのゲイン微調整機能を持っています。CF分周レジスタ値 = 58hのとき、出力周波数は349.566Hz/89 = 3.9276Hzとなります。この設定では、誤差は0.42%になります。この誤差は、-(0.21/0.0244) すなわち -17をAPGAIN[11:0] すなわちFEFhに書き込むことにより、さらに小さくできます。

CFのキャリブレーションは、ADE7756のキャリブレーション・モードを使うと、簡単になります。このセットアップで唯一重要なところは、ライン周波数を正確に知っておくことです。これが不可能な場合は、ADE7756のZX出力を使うと、測定できます。

## エネルギー・メーターの表示

キャリブレーションを検証するために使うパルス出力の他に、エネルギー・メーターでのソリッドステートの表示機能が必要になることがあります。この表示機能は、消費されるエネルギー量をkWh (キロワット時) で表示してください。ADE7756を、ディスプレイまたはエネルギー・レジスタ (例えば不揮発性メモリを持つMCU) にインターフェースさせる便利で簡単な方法は、CFを使う方法です。例えば、CF周波数は1,000imp/kWhにキャリブレーションできます。MCUはCFからのパルス数をカウントします。各パルスは1ワット時に対応します。さらに高い分解能が要求される場合は、CF周波数を例えば10,000imp/kWhに設定できます。

エネルギー利用率を監視する際にさらに柔軟性が要求される場合は、アクティブ・エネルギー・レジスタ AENERGY を使ってエネルギーを計算できます。このレジスタの詳しい説明については、エネルギー計算の節を参照してください。このエネルギー・レジスタは、エネルギー消費についての符号と振幅情報を提供します。CF周波数出力キャリブレーションが完了したら、すなわちアクティブ電力ゲイン (APGAIN) レジスタの調整が済んだら、2回目の周波数キャリブレーション・シーケンスを開始できます。この2回目のキャリブレーション・ルーティンは、エネルギー・

レジスタのkWh/LSB係数を求めるために実行します。係数の計算が済んだら、MCUは何時でもエネルギー消費を計算できます。エネルギー定数を読み出して、係数を乗算してkWhを求めることができます。

## CLKIN周波数

本データシートでは、ADE7756の特性をCLKIN周波数 = 3.579545MHzで示してあります。ただし、ADE7756は規定範囲内の任意のCLKIN周波数で同じ精度を持つように設計されています。CLKIN周波数が3.579545MHzでない場合は、種々のタイミング特性およびフィルタ特性を新しいCLKIN周波数を使って再定義してください。例えば、すべてのデジタル・フィルタ (LPF1、LPF2、HPF1など) のカットオフ周波数は、次式に従ってCLKIN周波数の変化に比例してシフトします。

$$\text{新しい周波数} = \text{元の周波数} \times \frac{\text{CLKIN周波数}}{3.579545 \text{ MHz}} \quad (17)$$

CLKIN周波数の変化は、データ転送はシリアル・クロック信号 (SCLK) を使って同期化されているため、シリアル・インターフェースのタイミング特性に影響を与えることはありません。ただし、シリアル・データ転送の読み出し / 書き込みタイミングは守る必要があります (タイミング特性を参照)。表IIIに、CLKIN周波数により影響を受ける種々のタイミング変化を示します。

## アプリケーション情報

アプリケーション・ノートAN-564には、ADE7756を使用するANSIクラス100ワット時メーターの設計方法について詳細情報が記載してあります。ADE7756製品のホームページのアプリケーション・ノート・リンクから入手できます。図35に、AN-564の中で構成したADE7756リファレンスメーターのブロック図を示します。

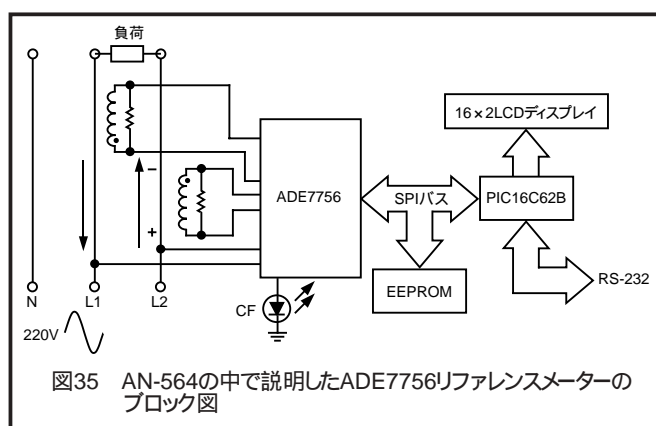


表 III ADE7756パラメータの周波数依存性

パラメータ	CLKINに 対する依存性
CH1 ADCとCH2 ADCのナイキスト周波数	CLKIN/8
PHCALの分解能 (秒/LSB)	16/CLKIN
アクティブ・エネルギー・レジスタの更新レート (Hz)	CLKIN/4
波形サンプリング・レート (サンプル数/Sec)	
WAVSEL 1, 0 = 0 0	CLKIN/128
0 1	CLKIN/256
1 0	CLKIN/512
1 1	CLKIN/1024
ZXTOUTの最大周期	524,288/CLKIN

# ADE7756

## ADE7756機能の停止(サスペンド)

アナログ回路とデジタル回路は別々に停止(サスペンド)させることができます。ADE7756のアナログ部分は、モードレジスタ内のASUSPENDビット(ビット4)にロジック・ハイを書き込むことにより停止できます(モードレジスタの節を参照)。停止モードでは、ADCからのすべての波形サンプルはゼロに設定されます。デジタル回路は、CLKIN入力を“0”または“1”に維持することにより、停止させることができます。ADE7756は、CLKIN入力を回復して、ASUSPENDビットをロジック・ローに設定することにより動作を再開させることができます。

## シリアル・インターフェース

すべてのADE7756機能は、複数の内蔵レジスタを使ってアクセスします(図36)。これらのレジスタ値は、内蔵のシリアル・インターフェースを使って、変更または読み出すことができます。パワーオン後、またはRESETピンをローにトグルすると、CSの立ち下がりエッジで、ADE7756は通信モードになります。通信モードでは、ADE7756はコミュニケーション・レジスタに対する書き込みを待ちます。コミュニケーション・レジスタに書き込まれたデータから、次のデータ転送動作が読み出し/書き込みのどちらかと、その対象となるレジスタを判断します。そのため、ADE7756に対するすべてのデータ転送動作は、読み出し/書き込みのどちらでも、コミュニケーション・レジスタに対する書き込みから開始される必要があります。

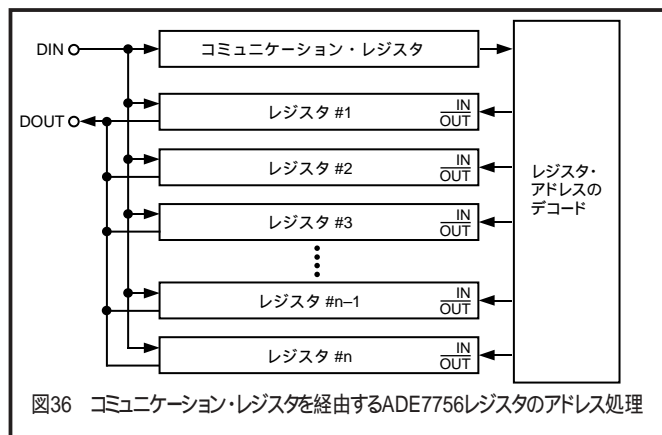


図36 コミュニケーション・レジスタを経由するADE7756レジスタのアドレス処理

コミュニケーション・レジスタは8ビット幅のレジスタです。MSBにより、次のデータ転送動作の読み出し/書き込みが指定されます。下位5ビットには、アクセス対象のレジスタのアドレスが配置されています。詳しい説明については、コミュニケーション・レジスタの節を参照してください。

図37と図37bに、それぞれ読み出し動作と書き込み動作でのデータ転送シーケンスを示します。

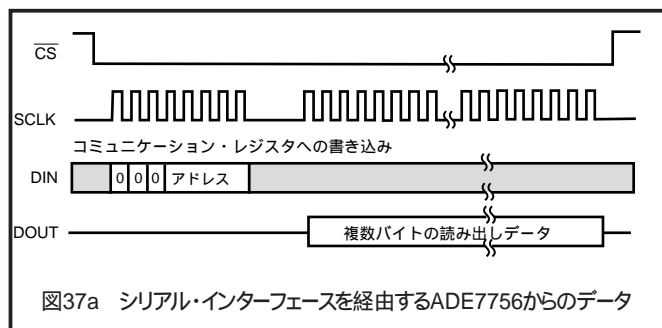


図37a シリアル・インターフェースを経由するADE7756からのデータ

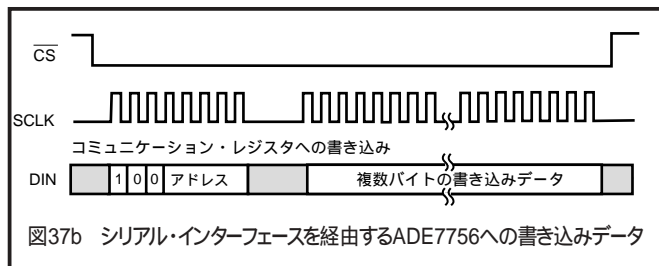


図37b シリアル・インターフェースを経由するADE7756への書き込みデータ

データ転送(読み出しまたは書き込み)が完了すると、ADE7756は通信モードに戻ります。

アドレス指定されたADE7756のレジスタ(書き込みまたは読み出し用に)のLSBがADE7756との間で転送されたとき、1つのデータ転送が完了します。

ADE7756のシリアル・インターフェースは、SCLK、DIN、DOUT、CSの4つの信号から構成されています。データ転送のシリアル・クロックは、SCLKロジック入力に入力されます。このロジック入力にはシュミット・トリガー入力構造が用意されており、低速の立ち上がり(または立ち下がり)エッジでも使用可能にします。すべてのデータ転送動作は、シリアル・クロックに同期化されます。データは、SCLKの立ち下がりエッジで、ADE7756のDINロジック入力にシフト入力されます。データは、SCLKの立ち上がりエッジで、ADE7756のDOUTロジック出力からシフト出力されます。CSロジック入力、チップ・セレクト入力です。この入力は、複数のデバイスがシリアル・バスを共用する際に使います。CSの立ち下がりエッジでは、シリアル・インターフェースがリセットされて、ADE7756は通信モードになります。CS入力は、データ転送動作中ローレベルに維持してください。データ転送動作中にCSをハイレベルにすると、転送はアポート(断念)されて、シリアル・バスは高インピーダンス状態になります。シリアル・バス上にADE7756以外のデバイスが存在しない場合は、CSロジック入力をローレベルに接続しておくことができますが、CSをローに接続した状態では、開始されたすべてのデータ転送動作は完全に終了させておく必要があります。すなわち、デバイス全体をリセット(RESETの使用)しないでADE7756を通信モードに戻す方法がないので、各レジスタのLSBを転送してください。

## シリアルの書き込み動作

シリアルの書き込みシーケンスは次のように実行されます。ADE7756が通信モード(すなわちCS入力ロジックがロー)にある状態で、まずコミュニケーション・レジスタへの書き込みが行われます。このバイト転送のMSBは“1”で、データ転送動作が書き込みであることを表示します。このバイトのLSBでは、書き込まれるレジスタのアドレスが転送されます。ADE7756は、SCLKの次の立ち下がりエッジでレジスタ・データのシフト入力を開始します。レジスタ・データの残りの全ビットは、後続SCLKパルスの立ち下がりエッジでシフト入力されます(図38)。前述のように、データの書き込みはコミュニケーション・レジスタに対する書き込みで開始され、その後データが続きます。ADE7756に対するデータ書き込み動作中に、データはすべての内蔵レジスタに対して1バイトずつ転送されます。1バイトがシリアル・ポートに転送された後、ADE7756の内蔵レジスタの1つに転送されまで、所定の時間がかかります。1つの内蔵レジスタに

対する前のバイトの転送中にシリアル・ポートに対する次のバイト転送を開始できませんが、この2番目のバイト転送は前のバイト転送の終了後少なくとも4  $\mu$ s後でなければ、完了することができません。この機能はタイミング仕様で $t_6$ を使って示してあります(図38)。書き込み動作がバイト転送中にアポートされると $\overline{CS}$ にハイ・レベルを入力し、バイトはディスティネーション・レジスタに書き込まれません。

ディスティネーション・レジスタは最大2バイト幅まで可能です(レジスタ説明の節を参照)。このため、DINでシリアル・ポートにシフト入力された先頭バイトは、ディスティネーション・レジスタのMSB(上位バイト)に転送されます。アドレス・レジスタが12ビット幅の場合、例えば、2バイト・データ転送が行われます。データは常に右詰めを想定しているため、この場合は、先頭バイトの4MSBは無視されて、ADE7756に書き込まれる先頭バイトの4LSBは、12ビット・ワードの4MSBになります。図39に、この例を示します。

### シリアルの読み出し動作

ADE7756からのデータ読み出し動作では、データはSCLKの立ち上がりエッジでDOUTロジック出力からシフト出力されます。データ書き込み動作の場合と同様に、データ読み出しはコミュニケーション・レジスタに対する書き込みから開始されます。

ADE7756が通信モード( $\overline{CS}$ ロジックがロー・レベル)のとき、コミュニケーション・レジスタに対する8ビットの書き込みが最初に実行されます。このバイト転送のMSBは“0”で、次のデータ転送動作は読み出しであることを表示します。このバイトのLSBでは、

読み出し対象のレジスタ・アドレスが転送されます。ADE7756は、SCLKの次の立ち上がりエッジでレジスタ・データのシフト出力を開始します(図40)。この時点で、DOUTロジック出力は高インピーダンス状態から抜け出して、データ・バスへの出力を開始します。

レジスタ・データの残りの全ビットが、SCLKの後続立ち上がりエッジでシフト出力されます。

読み出し動作が完了すると、直ちにシリアル・インターフェースも通信モードに戻ります。この時点で、DOUTロジック出力は、最後のSCLKパルスの立ち下がりエッジで高インピーダンス状態になります。 $\overline{CS}$ ロジック入力をハイ・レベルにすると、読み出し動作をアポートすることができ、データ転送は終了します。 $\overline{CS}$ の立ち上がりエッジで、DOUT出力は高インピーダンス状態になります。

ADE7756レジスタが読み出し動作のためにアドレス指定されると、そのレジスタの全内容がシリアル・ポートへ転送されます。この機能のために、ADE7756は複数バイト転送時にデータを破壊することなく、内蔵レジスタの内容を変更することが可能になります。書き込み動作の後に読み出し動作が続くとき、読み出しコマンド(コミュニケーション・レジスタへの書き込み)が実行されるまでに、書き込み動作の完了から少なくとも4  $\mu$ sの経過が必要です。書き込み動作後の4  $\mu$ s以内に読み出しコマンドが送信されると、書き込み動作の最終バイトが失われてしまう可能性があることに注意してください。この時間は、タイミング仕様で $t_9$ として規定されています。

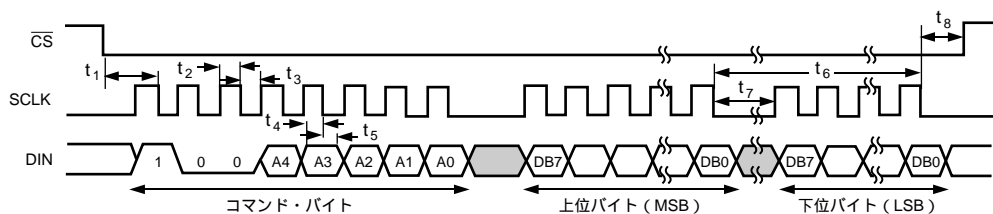


図38 シリアル・インターフェース書き込みのタイミング図

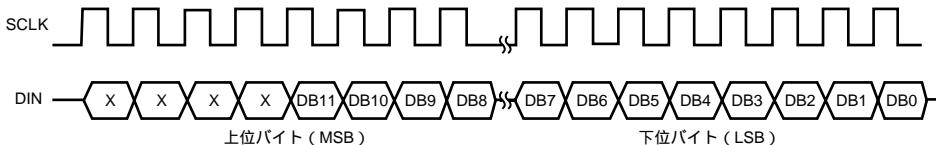


図39 12ビットのシリアル書き込み動作

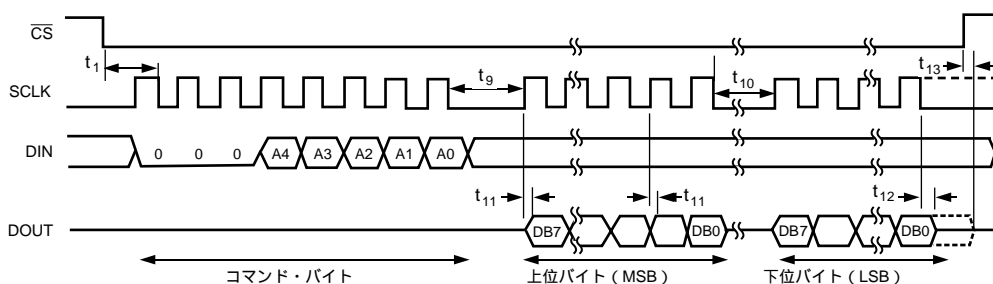


図40 シリアル・インターフェース読み出しのタイミング図

表 IV レジスタの一覧

アドレス	名前	R/W	ビット数	デフォルト値	説明
00h	未使用				動作なし。
01h	WAVEFORM	R	24	0h	WAVEFORMレジスタは24ビットの読み出し専用レジスタです。このレジスタには、チャンネル1、チャンネル2またはアクティブ電力信号からのサンプルされた波形データが格納されます。データ・ソースは、モード・レジスタ内のデータ・ビット14と13により選択されます(チャンネル1およびチャンネル2のサンプリング節を参照)。
02h	AENERGY	R	40	0h	アクティブ・エネルギー・レジスタ。アクティブ電力が、この40ビットの読み出し専用レジスタ内で累積(時間積分)されます。エネルギー・レジスタは、フルスケール・アナログ入力を持つ最小6秒間のアクティブ・エネルギー情報をオーバーフローなしで保持できます(エネルギー計算の節を参照)。
03h	RSTENERGY	R	40	0h	アクティブ・エネルギー・レジスタと同じですが、読み出し動作の後にレジスタがゼロにリセットされる点が異なります。
04h	STATUS	R	8	0h	割り込みステータス・レジスタ。これは8ビットの読み出し専用レジスタです。このステータス・レジスタは、ADE7756割り込み原因に関する情報を保持します(割り込みの節を参照)。
05h	RSTSTATUS	R	8	0h	割り込みステータス・レジスタと同じですが、読み出し動作の後に、レジスタ値がゼロ(全フラグ・クリア)にリセットされる点が異なります。
06h	MODE	R/W	16	000Ch	モード・レジスタ。16ビットのレジスタであり、大部分のADE7756機能はこのレジスタを経由してアクセスされます。信号サンプル・レート、フィルタのインテグレーション・モードは、このレジスタに対する書き込みにより、選択されます。内容は何時でも読み出すことができます(モード・レジスタの節を参照)。
07h	CFDIV	R/W	12	3Fh	周波数分周レジスタ。これは12ビットの読み出し / 書き込みレジスタです。このレジスタに書き込みを行うと、CFピンの出力周波数を変更できます(エネルギー / 周波数変換の節を参照)。
08h	CH1OS	R/W	6	0h	チャンネル1オフセット調整。この6ビット・レジスタに書き込みを行うと、チャンネル1のオフセットを除去できます(アナログ入力の節を参照)。
09h	CH2OS	R/W	6	0h	チャンネル2オフセット調整。この6ビット・レジスタに書き込みを行うと、チャンネル2のオフセットを除去できます(アナログ入力の節を参照)。
0Ah	GAIN	R/W	8	0h	PGA ゲイン誤差。この8ビット・レジスタを使って、チャンネル1とチャンネル2のPGAに対するゲイン選択を調整します(アナログ入力の節を参照)。
0Bh	APGAIN	R/W	12	0h	アクティブ電力ゲイン調整。これは12ビットのレジスタです。このレジスタに対する書き込みにより、アクティブ電力量計算をキャリブレーションできます。キャリブレーション範囲は、公称フルスケール・アクティブ電力の±50%です。ゲイン調整の分解能は0.0244%/LSBです(チャンネル1 ADCゲイン調整の節を参照)。
0Ch	PHCAL	R/W	6	0h	位相キャリブレーション・レジスタ。この6ビット・レジスタに対する書き込みにより、チャンネル1とチャンネル2の間の位相関係を調整できます。調整範囲は60Hzで約±3.1°であり、0.097°ステップ単位で可能です(位相補償の節を参照)。
0Dh	APOS	R/W	12	8h	アクティブ電力オフセット補正。この12ビット・レジスタを使うと、アクティブ電力量計算内で小さいオフセットを除去できます(アクティブ電力量計算の節を参照)。
0Eh	ZXTOUT	R/W	12	FFFFh	ゼロ交叉タイムアウト。この12ビット・レジスタで指定された時間内にチャンネル2でゼロ交叉が検出されないと、割り込み要求ライン(IRQ)がアクティブになります。最大タイムアウト時間は0.15秒です(ゼロ交叉検出の節を参照)。
0Fh	SAGCYC	R/W	8	FFh	SAGライン・サイクル数レジスタ。SAG出力がアクティブになるためには、チャンネル2の信号が所定の半ライン・サイクル数間SAGLVLを下回る必要があります。この8ビット・レジスタは、この半ライン・サイクル数を指定します(電圧SAG検出の節を参照)。キャリブレーション・モードでも、エネルギー・キャリブレーションのためにアクティブ電力を累積するライン・サイクル数を設定する際に使います(エネルギー・キャリブレーションの節を参照)。

表 IV レジスタの一覧 (続き)

アドレス	名前	R/W	ビット数	デフォルト値	説明
10H	IRQEN	R/W	8	0h	割り込みイネーブル・レジスタ。この8ビット・イネーブル・レジスタ内の対応するビットにロジック0を設定すると、いつでもADE7756の割り込みをディスエーブルにできます。このステータス・レジスタはディスエーブルにされていても、割り込みイベントを保持し続けますが、IRQ出力はアクティブになりません(割り込みの節を参照)。
11H	SAGLVL	R/W	8	0h	SAG電圧レベル。このレジスタに8ビットを書き込むことにより、SAGピンがアクティブになるチャンネル2上のピーク信号レベルを決定できます。SAGピンがアクティブになるためには、SAGCYCレジスタで指定されたサイクル数間、信号がロー・レベルを維持してください(ライン電圧SAG検出の節を参照)。
12H	TEMP	R	8	0h	温度レジスタ。これは、直前の温度変換結果を格納する8ビット・レジスタです。このレジスタ値の詳しい説明は、本データシートの温度計測の節に記載してあります。

### レジスタの説明

すべてのADE7756機能は、内蔵レジスタを経由してアクセスします。各レジスタは、最初にコミュニケーション・レジスタに書き込みを行うことでアクセスし、次にレジスタ・データを転送します。シリアル・インターフェース・プロトコルの詳しい説明は、本データシートのシリアル・インターフェースの節に記載してあります。

### コミュニケーション・レジスタ

コミュニケーション・レジスタは8ビットの書き込み専用レ

ジスタであり、ADE7756とホスト・プロセッサの間のシリアル・データ転送を制御します。すべてのデータ転送動作は、コミュニケーション・レジスタに対する書き込みにより開始されます。コミュニケーション・レジスタに書き込まれたデータから、次のデータ転送動作が読み出し/書き込みのどちらかを判断し、対象となるレジスタも判断します。表Vに、コミュニケーション・レジスタ内の各ビットの概要を示します。

表 V コミュニケーション・レジスタ

DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
W/R	0	0	A4	A3	A2	A1	A0

ビット位置	ビットの記号	説明
0~4	A0~A4	コミュニケーション・レジスタの下位5ビットは、データ転送動作の対象となるレジスタを指定します。表IVに、ADE7756の各内蔵レジスタのアドレスを示します。
5~6	予約済み	これらのビットは未使用で、ゼロに設定されています。
7	W/R	このビットがロジック1のとき、コミュニケーション・レジスタに対する書き込みの直後のデータ転送動作は、ADE7756に対する書き込みであると判断されます。このビットがロジック0のとき、コミュニケーション・レジスタに対する書き込みの直後のデータ転送動作は、ADE7756からの読み出し動作であると判断されます。

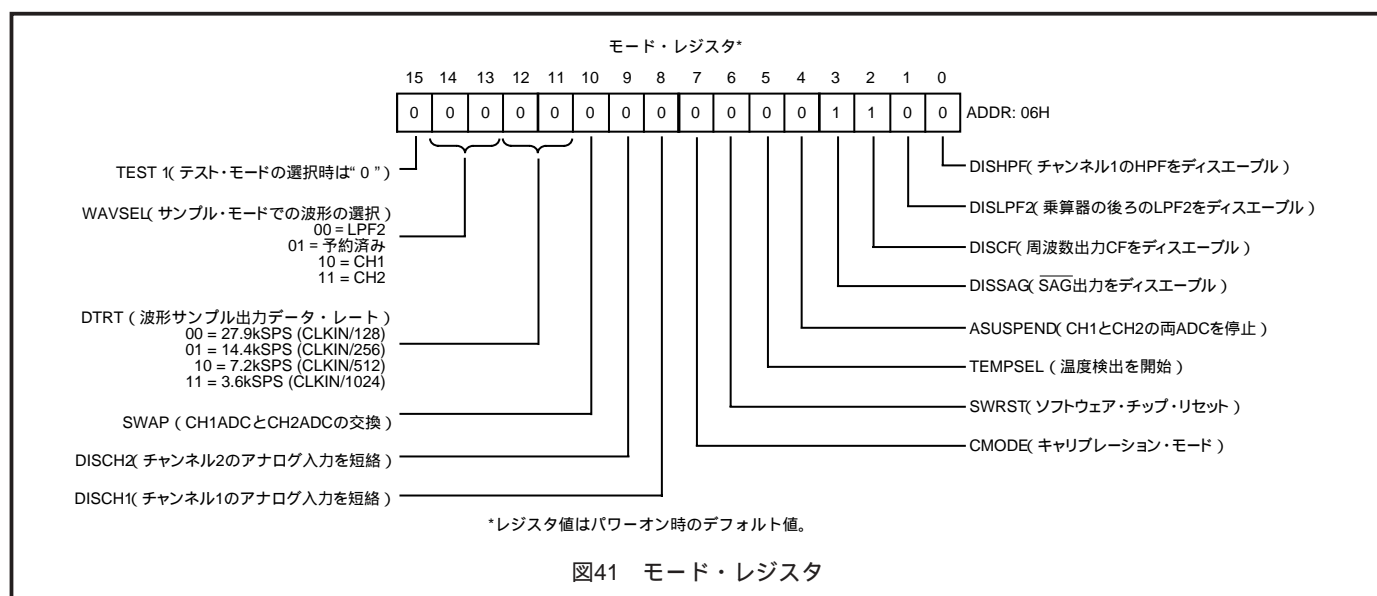
# ADE7756

## モード・レジスタ (06H)

ADE7756の機能は、このモード・レジスタに対する書き込みにより設定されます。表VIに、モード・レジスタ内の各ビットの機能をまとめます。

表 VI モード・レジスタ

ビット位置	ビットの記号	説明
0	DISHPF	このビットがセットされると、チャンネル1のHPF (ハイパス・フィルタ)がディスエーブルにされます。
1	DISLPF2	このビットがセットされると、乗算器(LPF2)の後ろのLPF(ローパス・フィルタ)がディスエーブルにされます。
2	DISCF	このビットがセットされると、周波数出力CFがディスエーブルにされます。
3	DISSAG	このビットがセットされると、ライン電圧SAG検出がディスエーブルにされます。
4	ASUSPEND	このビットをロジック1に設定することにより、ADE7756の両A/Dコンバータをオフにできます。通常の動作では、このビットをロジック0にしておきます。CLKINピンでクロック信号を停止(サスペンド)することにより、すべてのデジタル機能を停止できます。
5	TEMPSEL	このビットを“1”に設定すると、温度変換が開始されます。温度変換が完了すると、このビットは自動的に“0”にリセットされます。
6	SWRST	ソフトウェア・チップ・リセット。ソフトウェア・リセット後、少なくとも18μs間は、ADE7756に対するデータ転送を実行できません。
7	CMODE	このビットをロジック1に設定すると、デバイスはキャリブレーション・モードになります。
8	DISCH1	ADC 1(チャンネル1)の各入力は内部で短絡されます。
9	DISCH2	ADC 2(チャンネル2)の各入力は内部で短絡されます。
10	SWAP	このビットをロジック1に設定すると、アナログ入力V2PとV2NIはADC 1に、アナログ入力V1PとV1NIはADC 2に、それぞれ接続されます。
12、11	DTRT1、0	これらのビットを使って、WAVEFORMレジスタ更新レートを選択します。 DTRT 1    DTRT0    更新レート。 0            0            27.9kSPS( CLKIN/128 ) 0            1            14kSPS( CLKIN/256 ) 1            0            7kSPS( CLKIN/512 ) 1            1            3.5kSPS( CLKIN/1024 )
14、13	WAVSEL1、0	これらのビットを使って、WAVEFORMレジスタに対するサンプル・データ源を選択します。 WAVSEL1    WAVSEL0    データ源 0            0            アクティブ電力信号( LPF2出力 ) 0            1            予約済み 1            0            チャンネル1 1            1            チャンネル2
15	TEST1	このビット位置にロジック1を書き込むと、ADE7756はテスト・モードになります。この機能は工場出荷テスト専用であり、常時“0”です。

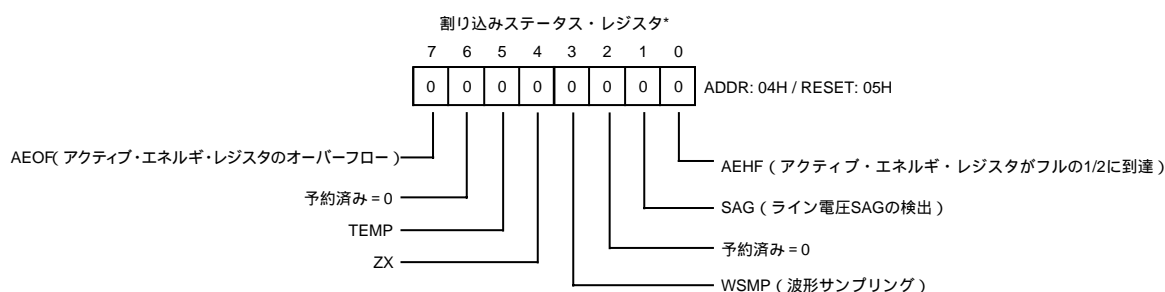


割り込みステータス・レジスタ(04H)/リセット割り込みステータス・レジスタ(05H)  
ステータス・レジスタは、割り込み要求 (TRQ) の原因を調べるときにMCUが使います。ADE7756内で割り込みイベントが発生すると、割り込みステータス・レジスタ内の対応するフラグがロジック・ハイに設定されます。割り込みイ

ネーブル・レジスタ内のこのフラグに対するイネーブル・ビットがロジック1の場合、TRQロジック出力がアクティブ・ローになります。MCUが割り込みサービスを実行するとき、まず割り込みステータス・レジスタを読み出して、割り込み原因を探する必要があります。

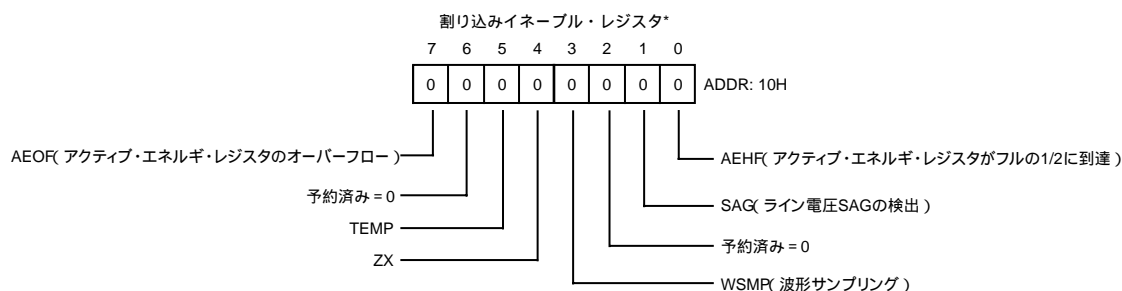
表 VII 割り込みステータス・レジスタ、リセット割り込みステータス・レジスタ、割り込みイネーブル・レジスタ

ビット位置	割り込みフラグ	説明
0	AEHF	アクティブ・エネルギー・レジスタのMSBの“0”から“1”への変化により、割り込みが発生したことを表示します。
1	SAG	ライン電圧のSAGまたはゼロ交叉の非検出により、割り込みが発生したことを表示します。キャリアレーション・モードでは、半ライン・サイクルの整数倍間の積分が終了したことを表示するためにも、このフラグを使います(エネルギー・キャリアレーションの節を参照)。
3	WSMP	新しいデータがWAVEFORMレジスタに存在することを表示します。
4	ZX	このステータ・スピットはZXロジック出力のステータスを表示します(ゼロ交叉検出の節を参照)。
5	TEMP	温度変換結果が温度レジスタ内で使用可能になったことを表示します。
7	AEOF	アクティブ・エネルギー・レジスタがオーバーフローしたことを表示します。



\*レジスタ値はパワーオン時のデフォルト値。

図42 割り込みステータス・レジスタ



\*レジスタ値はパワーオン時のデフォルト値。

図43 割り込みイネーブル・レジスタ

# ADE7756

## 外形寸法

サイズはインチと (mm) で示します。

### 20ピン・プラスチックDIP (N-20)

