

ADCMP606/ADCMP607

特長

VCCI = 2.5 V~5.5 V でレール to レールをフル規定
 入力同相モード電圧: $-0.2\text{ V} \sim V_{CCI} + 0.2\text{ V}$
 CML 互換の出カステージ
 伝搬遅延: 1.25 ns
 2.5 V 電源で 50 mW
 シャットダウン・ピンを装備
 1本のピンでプログラマブルなヒステリシスとラッチを制御
 (ADCMP607 の場合)
 電源除去比: $> 60\text{ dB}$
 動作温度範囲: $-40 \sim +125^\circ\text{C}$

アプリケーション

高速計装機器
 クロックとデータの信号再生
 ロジック・レベルのシフトまたは変換
 パルス分光学
 高速ライン・レーザパ
 スレッシュホールド検出
 ピークおよびゼロ交差検出器
 高速トリガ回路
 パルス幅変調器
 電流/電圧制御発振器
 自動テスト装置(ATE)

概要

ADCMP606 と ADCMP607 は、アナログ・デバイセズの独自のプロセスである XFCB2 で製造された非常に高速なコンパレータです。これらのコンパレータは、非常に融通性があり、使い易くデザインされています。 $V_{EE} - 0.5\text{ V} \sim V_{CCI} + 0.2\text{ V}$ の入力レンジ、低ノイズ、CML 互換の出カドライバ、調整可能なヒステリシスおよび/またはシャットダウン入力付きの TTL/CMOS 互換のラッチ入力などを持っています。

これらのデバイスは、2.5 ps の rms ランダム・ジッタ(RJ)で 1.25 ns の伝搬遅延を提供します。オーバードライブとスルー・レート分散は、50 ps (typ)以下です。

柔軟な電源方式を採用しているため、これらのデバイスは+2.5 V の正単電源では $-0.5\text{ V} \sim +2.7\text{ V}$ の入力信号レンジで、最大+5.5 V までの正電源では $-0.5\text{ V} \sim +5.7\text{ V}$ の入力信号レンジで、それぞれ動作することができます。ADCMP607 は、広範囲な入力信号レンジをサポートするための電源シーケンスの制約をなくするために入力電源と出力電源を別々にすることができるので、出力振幅の独立な制御と省電力が可能です。

CML 互換の出カステージは、優れた性能を得るためにバック・マッチングされています。コンパレータ入力ステージでは、大きな入力過駆動に対して強力な保護機能を提供し、有効な入力信号レンジを超えても出力は位相反転しません。ADCMP607 では、独自の 1本のピンによる制御オプションとして、ラッチ機能とプログラマブル・ヒステリシス機能も提供しています。

ADCMP606 は 6 ピンの SC70 パッケージを、ADCMP607 は 12 ピンの LFCSP パッケージを、それぞれ採用しています。

機能ブロック図

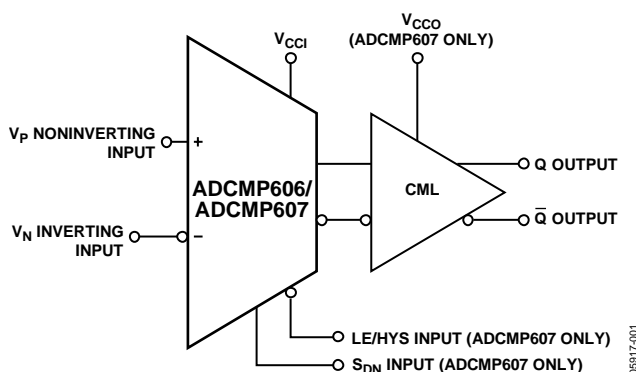


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
 ※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
 ©2007 Analog Devices, Inc. All rights reserved.

Rev. A

目次

特長.....	1	アプリケーション情報.....	10
アプリケーション.....	1	電源/グラウンドのレイアウトとバイパス.....	10
概要.....	1	CML 互換出力ステージ.....	10
機能ブロック図.....	1	ラッチ機能のイネーブル/ディスエーブル.....	10
改定履歴.....	2	性能の最適化.....	10
仕様.....	3	コンパレータ伝搬遅延の分散.....	11
電気的特性.....	3	コンパレータのヒステリシス.....	11
タイミング情報.....	5	クロスオーバーのバイアス・ポイント.....	11
絶対最大定格.....	6	最小入力スルーレート条件.....	12
熱抵抗.....	6	代表的なアプリケーション回路.....	13
ESD の注意.....	6	外形寸法.....	14
ピン配置および機能説明.....	7	オーダー・ガイド.....	14
代表的な性能特性.....	8		

改定履歴

8/07—Rev. 0 to Rev. A

Changes to Specifications Section.....	3
Changes to Table 3.....	6
Changes to Ordering Guide.....	14

10/06—Revision 0: Initial Version

仕様

電気的特性

特に指定のない限り、 $V_{CCI} = V_{CCO} = 2.5\text{ V}$ 、 $T_A = -40^\circ\text{C} \sim +125^\circ\text{C}$ 、typ 値は $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
DC INPUT CHARACTERISTICS						
Voltage Range	V_P, V_N	$V_{CCI} = 2.5\text{ V to } 5.5\text{ V}$	-0.5		$V_{CCI} + 0.2$	V
Common-Mode Range		$V_{CCI} = 2.5\text{ V to } 5.5\text{ V}$	-0.2		$V_{CCI} + 0.2$	V
Differential Voltage		$V_{CCI} = 2.5\text{ V to } 5.5\text{ V}$			V_{CCI}	V
Offset Voltage	V_{OS}		-5.0		+5.0	mV
Bias Current	I_P, I_N		-5.0	± 2	+5.0	μA
Offset Current			-2.0		2.0	μA
Capacitance	C_P, C_N			1		pF
Resistance, Differential Mode		-0.1 V to V_{CCI}	200	700		k Ω
Resistance, Common Mode		-0.5 V to $V_{CCI} + 0.5\text{ V}$	100	350		k Ω
Active Gain	A_V			85		dB
Common-Mode Rejection Ratio	CMRR	$V_{CCI} = 2.5\text{ V}, V_{CCO} = 2.5\text{ V},$ $V_{CM} = -0.2\text{ V to } +2.7\text{ V}$	50			dB
		$V_{CCI} = 2.5\text{ V}, V_{CCO} = 5.5\text{ V}$	50			dB
Hysteresis		$R_{HYS} = \infty$		<0.1		mV
LATCH ENABLE PIN CHARACTERISTICS (ADCMP607 Only)						
V_{IH}		Hysteresis is shut off	2.0		V_{CCO}	V
V_{IL}		Latch mode guaranteed	-0.2	+0.4	+0.8	V
I_{IH}		$V_{IH} = V_{CCO}$	-6		+6	μA
I_{IL}		$V_{IL} = 0.4\text{ V}$	-0.1		+0.1	mA
HYSTERESIS MODE AND TIMING						
Hysteresis Mode Bias Voltage		Current sink 0 μA	1.145	1.25	1.35	V
Minimum Resistor Value		Hysteresis = 120 mV	55	75	110	k Ω
Latch Setup Time	t_S	$V_{OD} = 50\text{ mV}$		-1.5		ns
Latch Hold Time	t_H	$V_{OD} = 50\text{ mV}$		2.3		ns
Latch-to-Output Delay	t_{PLOH}, t_{PLOL}	$V_{OD} = 50\text{ mV}$		30		ns
Latch Minimum Pulse Width	t_{PL}	$V_{OD} = 50\text{ mV}$		25		ns
SHUTDOWN PIN CHARACTERISTICS (ADCMP607 Only)						
V_{IH}		Comparator is operating	2.0		V_{CCO}	V
V_{IL}		Shutdown guaranteed	-0.2	+0.4	+0.6	V
I_{IH}		$V_{IH} = V_{CCO}$	-6		+6	μA
I_{IL}		$V_{IL} = 0\text{ V}$			-0.1	mA
Sleep Time	t_{SD}	10% output swing		<1		ns
Wake-Up Time	t_H	$V_{OD} = 100\text{ mV}$, output valid		35		ns
DC OUTPUT CHARACTERISTICS						
Output Voltage High Level	V_{OH}	$V_{CCO} = 2.5\text{ V to } 5.5\text{ V}$ 50 Ω terminate to V_{CCO}	$V_{CCO} - 0.1$	$V_{CCO} - 0.05$	V_{CCO}	V
Output Voltage Low Level	V_{OL}	50 Ω terminate to V_{CCO}	$V_{CCO} - 0.6$	$V_{CCO} - 0.45$	$V_{CCO} - 0.3$	V
Output Voltage Differential		50 Ω terminate to V_{CCO}	300	400	500	mV
AC PERFORMANCE¹						
Rise Time/Fall time	t_R/t_F	10% to 90%, $V_{CCI} = V_{CCO} = 2.5\text{ V to } 5.5\text{ V}$		160		ps
Propagation Delay	t_{PD}	$V_{CCI} = V_{CCO} = 2.5\text{ V to } 5.5\text{ V},$ $V_{OD} = 50\text{ mV}$		1.2		ns
		$V_{CCI} = V_{CCO} = 2.5\text{ V},$ $V_{OD} = 10\text{ mV}$		2.1		ns
Propagation Delay Skew—Rising to Falling Transition	$T_{PINSKEW}$	$V_{OD} = 50\text{ mV}$		40		ps
Overdrive Dispersion		10 mV < V_{OD} < 125 mV		2.3		ns
Common-Mode Dispersion		-0.2 V < V_{CM} < $V_{CC} + 0.2\text{ V}$		150		ps
Input Stage Bandwidth				750		MHz

ADCMP606/ADCMP607

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
RMS Random Jitter	RJ	$V_{OD} = 200 \text{ mV}$, 0.5 V/ns		2		ps
Minimum Pulse Width	PW_{MIN}	$V_{CCI} = V_{CCO} = 5.5 \text{ V}$, $PW_{OUT} = 90\% \text{ of } PW_{IN}$		1.1		ns
Output Skew Q to \bar{Q}	$T_{DIFFSKEW}$	50%		20		ps
POWER SUPPLY						
Input Supply Voltage Range	V_{CCI}		2.5		5.5	V
Output Supply Voltage Range	V_{CCO}		2.5		5.5	V
Positive Supply Differential (ADCMP607)	$V_{CCI} - V_{CCO}$	Operating	-3.0		+3.0	V
	$V_{CCI} - V_{CCO}$	Nonoperating	-6		+6	V
Positive Supply Current (ADCMP606)	$I_{VCCI/VCCO}$	$V_{CCI} = V_{CCO} = 2.5 \text{ V}$	11	17.5	21	mA
		$V_{CCI} = V_{CCO} = 5.5 \text{ V}$	16	20.5	26	mA
Input Section Supply Current (ADCMP607)	I_{VCCI}	$V_{CCI} = 2.5 \text{ V}$	0.5	1.1	1.5	mA
Output Section Supply Current (ADCMP607)	I_{VCCO}	$V_{CCO} = 2.5 \text{ V}$	10	15.8	18	mA
	I_{VCCO}	$V_{CCO} = 5.5 \text{ V}$	16	18	25	mA
Power Dissipation	P_D	$V_{CCI} = V_{CCO} = 2.5 \text{ V}$	30	46	55	mW
		$V_{CCI} = V_{CCO} = 5.5 \text{ V}$	90	110	150	mW
Power Supply Rejection Ratio	PSRR	$V_{CCI} = 2.5 \text{ V to } 5 \text{ V}$	-50			dB
Shutdown Mode I_{CCI}		$V_{CCI} = V_{CCO} = 2.5 \text{ V to } 5 \text{ V}$	200	240	800	μA
Shutdown Mode I_{CCO}		$V_{CCI} = V_{CCO} = 2.5 \text{ V to } 5 \text{ V}$	-30		30	μA

¹ 特に指定のない限り、 $V_{CM} = 2.5 \text{ V}$ 、 $V_{CCI} = V_{CCO} = 2.5 \text{ V}$ 、50 MHz の $V_{IN} = 100 \text{ mV}$ 方形波入力。

タイミング情報

図 2 に、ADCMP606/ADCMP607 のラッチ・タイミング関係を示します。表 2 に、図 2 に示す用語の定義を示します。

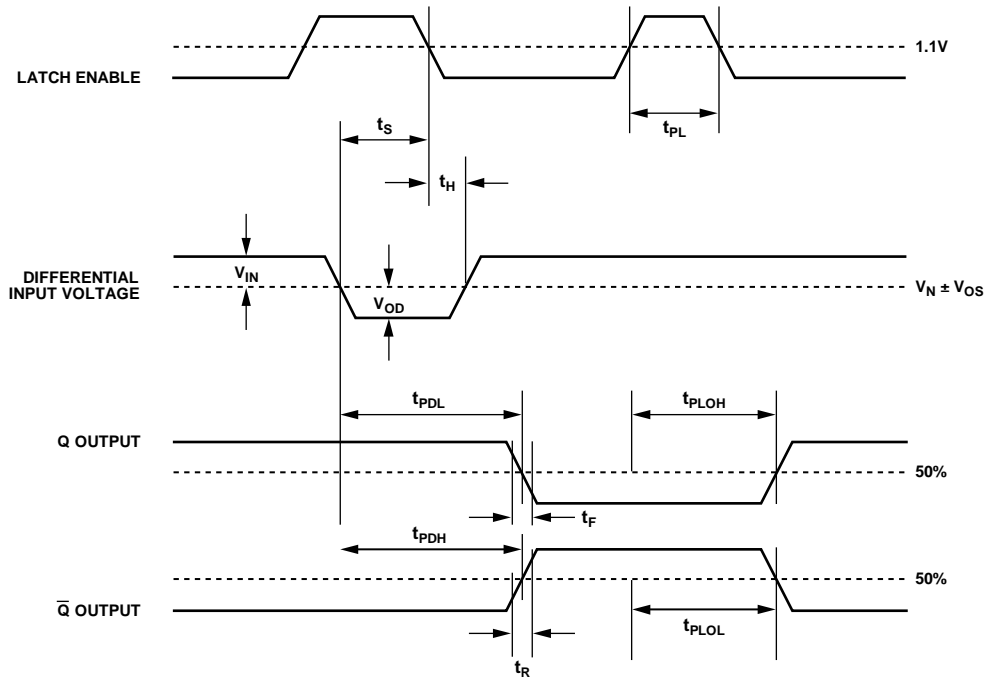


図 2. システム・タイミング図

表 2. タイミング説明

Symbol	Timing	Description
t_F	Output fall time	Amount of time required to transition from a high to a low output as measured at the 20% and 80% points.
t_H	Minimum hold time	Minimum time after the negative transition of the latch enable signal that the input signal must remain unchanged to be acquired and held at the outputs.
t_{PDH}	Input to output high delay	Propagation delay measured from the time the input signal crosses the reference (\pm the input offset voltage) to the 50% point of an output low-to-high transition.
t_{PDL}	Input to output low delay	Propagation delay measured from the time the input signal crosses the reference (\pm the input offset voltage) to the 50% point of an output high-to-low transition.
t_{PL}	Minimum latch enable pulse width	Minimum time that the latch enable signal must be high to acquire an input signal change.
t_{PLOH}	Latch enable to output high delay	Propagation delay measured from the 50% point of the latch enable signal low-to-high transition to the 50% point of an output low-to-high transition.
t_{PLOL}	Latch enable to output low delay	Propagation delay measured from the 50% point of the latch enable signal low-to-high transition to the 50% point of an output high-to-low transition.
t_R	Output rise time	Amount of time required to transition from a low to a high output as measured at the 20% and 80% points.
t_S	Minimum setup time	Minimum time before the negative transition of the latch enable signal occurs that an input signal change must be present to be acquired and held at the outputs.
V_{OD}	Voltage overdrive	Difference between the input voltages V_A and V_B .

絶対最大定格

表 3.

Parameter	Rating
Supply Voltages	
Input Supply Voltage (V_{CC1} to GND)	-0.5 V to +6.0 V
Output Supply Voltage (V_{CC0} to GND)	-0.5 V to +6.0 V
Positive Supply Differential ($V_{CC1} - V_{CC0}$)	-6.0 V to +6.0 V
Input Voltages	
Input Voltage	-0.5 V to $V_{CC1} + 0.5$ V
Differential Input Voltage	$\pm(V_{CC1} + 0.5$ V)
Maximum Input/Output Current	± 50 mA
Shutdown Control Pin	
Applied Voltage (S_{DN} to GND)	-0.5 V to $V_{CC0} + 0.5$ V
Maximum Input/Output Current	± 50 mA
Latch/Hysteresis Control Pin	
Applied Voltage (HYS to GND)	-0.5 V to $V_{CC0} + 0.5$ V
Maximum Input/Output Current	± 50 mA
Output Current	
Output Current	± 50 mA
Temperature	
Operating Temperature, Ambient	-40°C to +125°C
Operating Temperature, Junction	150°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で規定。

表 4. 熱抵抗

Package Type	θ_{JA} ¹	Unit
ADCMP606 6-Lead SC70	426	°C/W
ADCMP607 12-Lead LFCSP	62	°C/W

¹自然空冷で測定。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置および機能説明

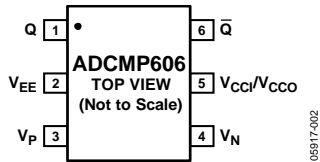


図 3. ADCMP606ピン配置

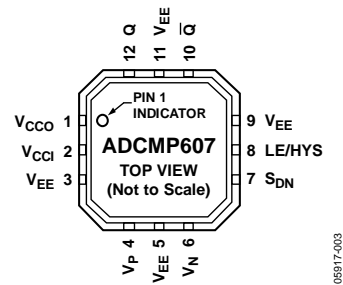


図 4. ADCMP607ピン配置

表 5. ADCMP606 (6ピン SC70)ピン機能の説明

ピン番号	記号	説明
1	Q	非反転出力。非反転入力 V_P のアナログ電圧が反転入力 V_N のアナログ電圧より大きい場合、Q はハイ・レベル。
2	VEE	負電源電圧。
3	V_P	非反転アナログ入力。
4	V_N	反転アナログ入力。
5	V_{CCI}/V_{CCO}	入力セクションの電源/出力セクションの電源。共用ピン。
6	\bar{Q}	反転出力。非反転入力 V_P のアナログ電圧が反転入力 V_{IN} のアナログ電圧より大きい場合、 \bar{Q} はロー・レベル。

表 6. ADCMP607 (12ピン LFCSP)ピンの機能説明

ピン番号	記号	説明
1	V_{CCO}	出力セクションの電源。
2	V_{CCI}	入力セクションの電源。
3	VEE	負電源電圧。
4	V_P	非反転アナログ入力。
5	VEE	負電源電圧。
6	V_N	反転アナログ入力。
7	S_{DN}	シャットダウン。このピンをロー・レベルにすると、デバイスがシャットダウンします。
8	LE/HYS	ラッチ/ヒステリシス制御。抵抗によるバイアスまたは電流でヒステリシスを調整します。ラッチのときは、ロー・レベルにします。
9	VEE	負電源電圧。
10	\bar{Q}	反転出力。コンパレータが比較モードで、かつ非反転入力 V_P のアナログ電圧が反転入力 V_{IN} のアナログ電圧より大きい場合、 \bar{Q} はロー・レベル。
11	VEE	負電源電圧。
12	Q	非反転出力。コンパレータが比較モードで、かつ非反転入力 V_P のアナログ電圧が反転入力 V_{IN} のアナログ電圧より大きい場合、Q はハイ・レベル。
ヒート・シンク・パドル	VEE	パッケージの金属裏面は、VEE に電氣的に接続されています。ピン 3、ピン 5、ピン 9、ピン 11 が十分な電氣的接続を提供するため、フローティングにしておくことができます。熱的および/または機動的な安定性が必要な場合には、アプリケーション・ボードにハンダ接続することもできます。

代表的な性能特性

特に指定のない限り、 $V_{CC1} = V_{CC0} = 2.5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

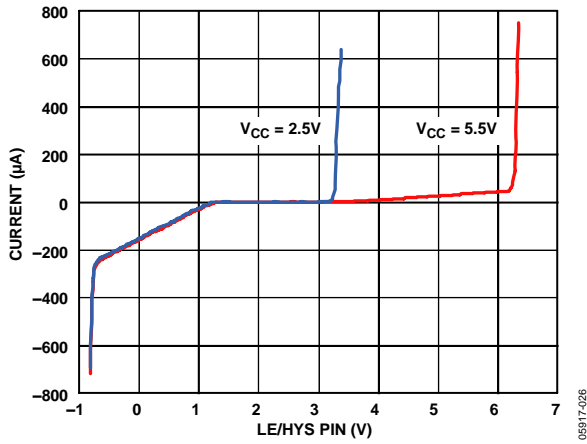


図 5. LE/HYSピンの電流対電圧

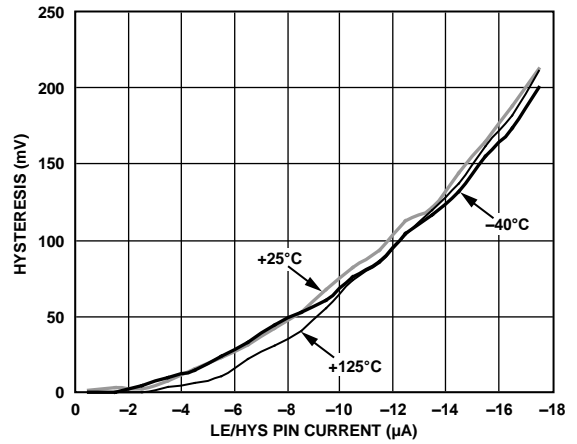


図 8. ヒステリシス対LE/HYSピン電流

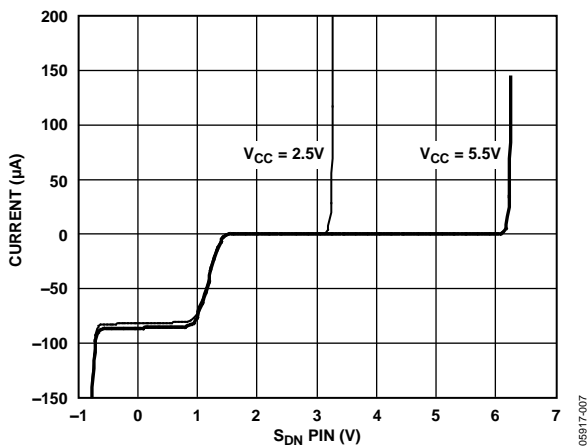


図 6. S_{DN} ピンの電流対電圧

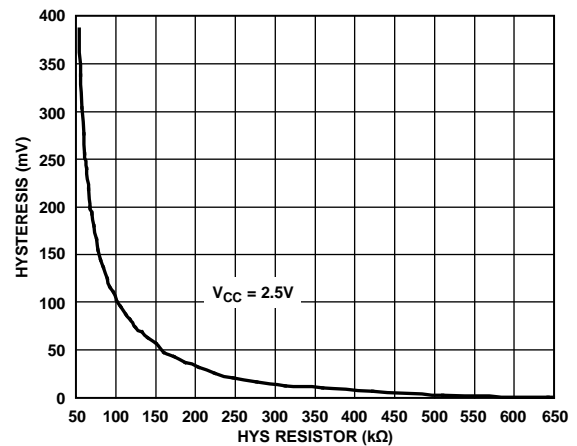


図 9. ヒステリシス対ヒステリシス抵抗

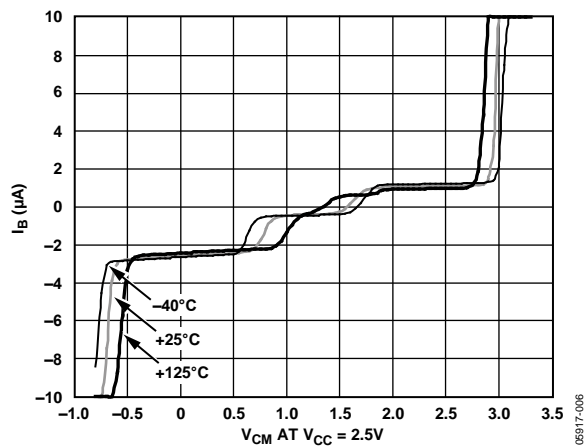


図 7. 入力バイアス電流対入力同相モード電圧

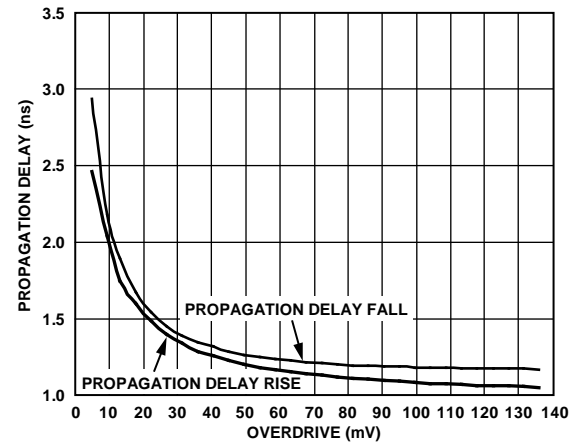


図 10. 伝搬遅延対入力オーバードライブ

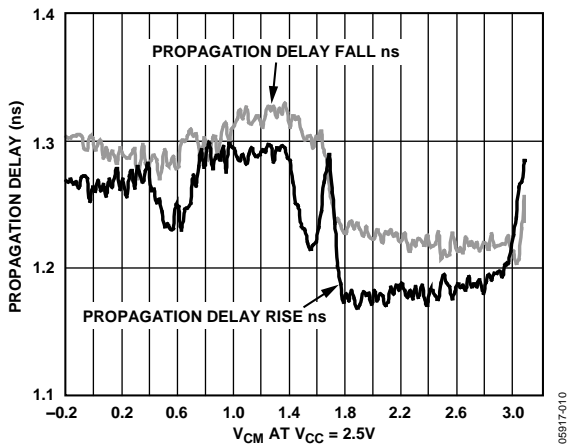


図 11. 伝搬遅延対入力同相モード電圧

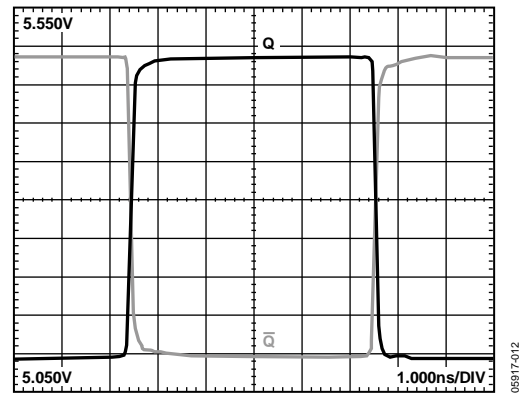


図 13. $V_{CC} = 5.5V$ での出力波形

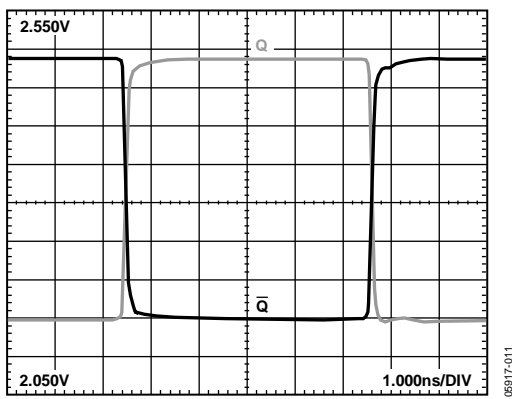


図 12. $V_{CC} = 2.5V$ での出力波形

アプリケーション情報

電源/グラウンドのレイアウトとバイパス

ADCMP606/ADCMP607 コンパレータは非常に高速なデバイスです。このデバイスでは、出力ステージは低ノイズですが、規定の性能を実現するためには適切な高速デザイン技術を使うことが不可欠です。コンパレータは補償を行っていないアンプであるため、任意の位相の帰還があると、発振または不要なヒステリシスが発生することがあります。非常に重要なことは、低インピーダンスの電源プレーンを使うことです。特に出力電源プレーン(V_{CCO})とグラウンド・プレーン(GND)が重要です。個々の電源プレーンには、多層ボードの一部を使うことが推奨されます。スイッチング電流に対して低いインダクタンスのリターン・パスを用意すると、対象アプリケーションで可能な最適性能が得られます。

入力電源と出力電源を適切にバイパスすることも重要です。複数の高品質 $0.01 \mu\text{F}$ バイパス・コンデンサを V_{CCI} と V_{CCO} の各電源ピンのできるだけ近くに接続して、十分な数のビアを使って GND プレーンへ接続する必要があります。これらの内の少なくとも 1 つは出力電流のリターン・パスを短くするように配置して、電流がグラウンドから V_{CCI} と V_{CCO} の各ピンへ戻るようにする必要があります。高周波バイパス・コンデンサは、インダクタンスと ESR が最小であるものを注意深く選択する必要があります。寄生レイアウト・インダクタンスも厳しく制御して、高周波でのバイパス効果を大きくする必要があります。

CML 互換出力ステージ

規定の伝搬遅延分散性能は、適切な伝送線終端を使用することで実現されます。ADCMP606 と ADCMP607 の出力は、 50Ω のケーブルを、または V_{CCO} に対して 50Ω のマイクロストリップまたはストリップ・ライン技術を使って終端した伝送線を、直接 400 mV で駆動するようにデザインされています。CML 出力ステージの簡略化した回路図を図 14 に示します。各出力は、 50Ω の伝送線に最適なマッチングを得るようにバック・ターミネーションを行っています。

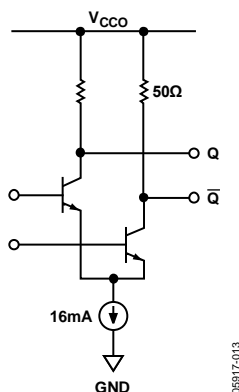


図 14. CML 互換出力ステージの簡略化回路図

これらの高速信号パスが 1 cm を超えるときは、適切な伝送時間の確保と、大きな出力リングが発生することとパルス幅に依存する伝搬遅延分散を防止するために、マイクロストリップまたはストリップ・ライン技術の使用が必要です。

大きな出力振幅が必要な場合には、内部終端のみを使って出力を動作させることも可能です。この機能は、フル振幅の ECL と PECL の CMOS デバイス入力、または疑似 PECL レベルを発生する CMOS デバイス入力を駆動する際に便利です。出力が深く飽和してパルス分散が発生しないように、 V_{CCO} が規定の最小出力ロー・レベルを下回らないようにする必要があります(電気的特性のセクション参照)。駆動するライン長はできるだけ短くする必要があります。

ラッチ機能のイネーブル/ディスエーブル

ラッチ入力は融通性の高いデザインになっています。このピンは、フローティングのままにしておくか、または任意の標準 TTL/CMOS デバイスによりロー・レベルに駆動して高速ラッチとして使用することができます。

さらに、このピンは、公称 1.25 V のバイアス電圧または約 $70 \text{ k}\Omega$ の入力抵抗を使ってヒステリシスを制御したピンとして使うこともできます。この機能を使うと、抵抗または安価な CMOS DAC を使って、コンパレータ・ヒステリシスを容易に制御することができます。このピンをハイ・レベルに駆動した場合、またはこのピンをフローティングにした場合、すべてのヒステリシスが除去されます。

オープン・ドレイン、オープン・コレクタ、またはスリー・ステート・ドライバをヒステリシス制御抵抗または電流源に並列接続すると、ヒステリシス制御およびラッチ・モードを一緒に使うことができます。

このプログラマブルなヒステリシス機能のため、ラッチ・ピンのロジック・スレッショールドは、 V_{CCO} に無関係に約 1.1 V になります。

性能の最適化

すべての高速コンパレータと同様に、規定の性能を実現するためには、適切なデザインとレイアウト技術が不可欠です。漂遊容量、インダクタンス、電源とグラウンドの誘導性インピーダンス、またはその他のレイアウト問題は、規定性能に深刻な影響を与えることがあり、発振が生ずることもあります。入力と出力の伝送線の大きな不連続性は、規定のパルス幅分散性能に制約を与えることがあります。ソース・インピーダンスは可能な限り小さくする必要があります。高いソース・インピーダンスとコンパレータの寄生入力容量との組み合わせにより、入力の帯域幅が低下して、全体の応答性能が低下することがあります。大きな抵抗からの熱雑音により、スルー・レートが小さい入力信号で容易にジッタが発生し、インピーダンスが高いと、不要な混入が発生しやすくなります。

コンパレータ伝搬遅延の分散

ADCMP606/ADCMP607 コンパレータは、 $5\text{ mV} \sim V_{CC1} - 1\text{ V}$ の広範囲な入力過駆動レンジで伝搬遅延分散を小さくするようにデザインされています。伝搬遅延分散は、過駆動またはスレー・レートの大きさの変化(すなわち入力信号がスイッチング・スレッシュホールドを超える程度と速度)から発生する伝搬遅延の変動です。

伝搬遅延分散は、データ通信、自動テスト/計測、計測機器などの高速で時間に厳しいアプリケーションで重要になる仕様です。また、パルス分光学、原子力計測機器、医用画像などのイベント駆動型アプリケーションでも重要になります。分散は、入力過駆動状態が変化したときの伝搬遅延の変動として定義されます(図 15 および図 16)。

デバイスの分散は、過駆動が 10 mV から 125 mV へ変化したとき 2.3 ns (typ)です。この仕様は正と負の信号に適用されます。これは、立ち上がり入力、立ち下がり入力、非常に小さい出力スキューに対して各デバイスの遅延を非常に厳密に一致させているためです。

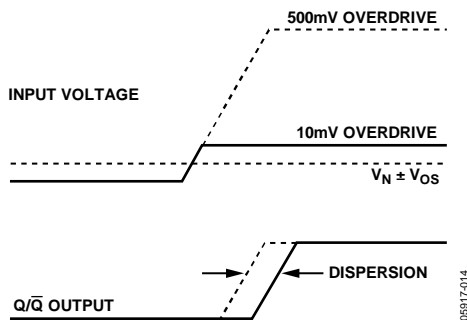


図 15. 伝搬遅延-オーバードライブ分散

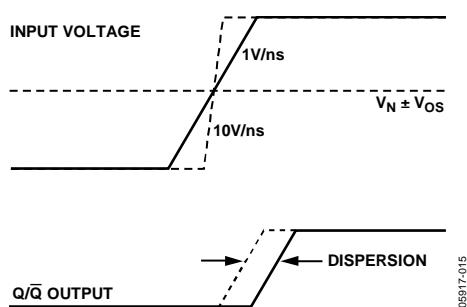


図 16. 伝搬遅延-スレーレート分散

コンパレータのヒステリシス

コンパレータをヒステリシスに追加することは、ノイズの多い環境の場合に、または差動入力振幅が比較的小さいか、または低速変化する場合に必要となることがあります。図 17 に、ヒステリシスを持つコンパレータの伝達関数を示します。入力電圧がスレッシュホールドの下の領域から正の方向へスレッシュホールド(この例では 0 V)に近づき、入力が $+V_H/2$ を通過するときコンパレータがロー・レベルからハイ・レベルへ変化し、新しいスイッチング・スレッシュホールドは $-V_H/2$ になります。入力がスレッシュホールドの下の領域で負方向へ新しいスレッシュホールド $-V_H/2$ を通過するまで、コンパレータはそのハイ・レベル状態を維持します。この方法では、 0 V 入力を中心とするノイズまたは帰還出力信号は $\pm V_H/2$ で挟まれた領域を超えない限り、コンパレータの状態を変えることはありません。

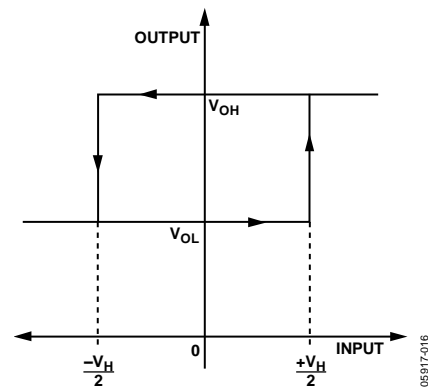


図 17. コンパレータ・ヒステリシスの伝達関数

ヒステリシスをコンパレータへ導入する通常の技術では、出力から入力へ正の帰還を行います。この方法での 1 つの制約は、出力ロジック・レベルに応じてヒステリシス量が変わり、ヒステリシスがスレッシュホールドを中心として対称にならないことです。外付け帰還回路も大きな寄生を導入して、高速性能を低下させ、発振を生ずることもあります。

この ADCMP607 コンパレータは、精度と安定性を大幅に向上させるプログラマブルなヒステリシス機能を提供します。LE/HYS ピンと GND ピンに外付けプルダウン抵抗または電流源を接続すると、予測可能かつ安定した方法でヒステリシス量を変えることができます。LE/HYS ピンを未接続またはハイ・レベルにすると、ヒステリシスがなくなります。このピンを使って可能な最大ヒステリシスは約 160 mV です。図 18 に外付け抵抗値の関数として与えたヒステリシスを、図 7 に電流の関数として与えたヒステリシスを、それぞれ示します。

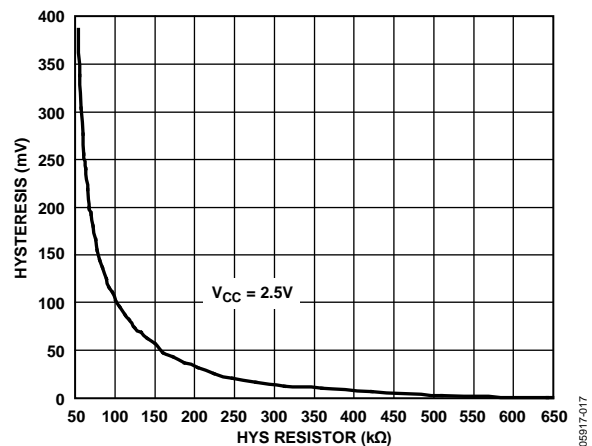


図 18. ヒステリシス対 R_{HYS} 制御抵抗

ヒステリシス・コントロール・ピンには、全ヒステリシス制御範囲で $70\text{ k}\Omega \pm 20\%$ の直列抵抗を介して 1.25 V のバイアス電圧が加わります。この方法でヒステリシスを加える利点は、精度と安定性を向上させ、部品数を削減し、融通性を大きくすることです。LE/HYS ピンに外付けのバイパス・コンデンサを使用することは推奨しません。これは、ラッチ機能を損ない、デバイスのジッタ性能を低下させることがあるためです。ラッチ機能のイネーブル/ディスエーブルのセクションに説明したように、ヒステリシス制御とラッチ機能は両立します。

クロスオーバーのバイアス・ポイント

オペアンプとコンパレータでは、このタイプのレール to レール入力は 2 つのフロントエンドを持っています。あるデバイス

V_{CC1} レールの近くで動作し、他のデバイスは V_{EE} レール近くで動作します。同相モード・レンジ内のある既定のポイントでクロスオーバーが発生します。このポイントは通常 $V_{CC1}/2$ であり、バイアス電流の方向が反転するためオフセット電圧と電流の測定値が変化します。

ADCMP606/ADCMP607 コンパレータでは、この方式を少し工夫しています。クロスオーバー・ポイントは、約 0.6 V と 1.6 V 同相モードです。

最小入力スルーレート条件

定格の負荷容量と通常の優れた PCB デザインでは、性能の最適化のセクションで説明したように、これらのコンパレータは任

意の入力スルーレートで安定し、ヒステリシスがありません。入力ステージからの広帯域ノイズは、他の多くの高速コンパレータで発生する大きなチャタリングがあるときに観測されます。容量負荷が接続されたとき、またはバイパスが不十分なときに、発振が観測されます。この発振は、コンパレータの広いゲイン帯域幅とパッケージおよび PC ボードの帰還寄生との組み合わせに起因します。多くのアプリケーションでは、チャタリングは害になりません。

代表的なアプリケーション回路

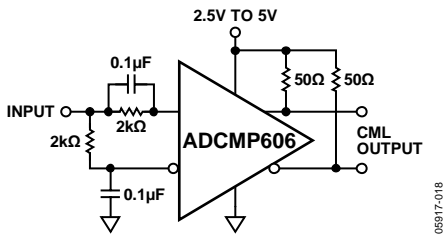


図 19. セルフバイアス、50%スライサ

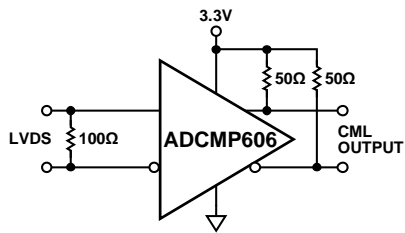


図 20. LVDS- CML変換

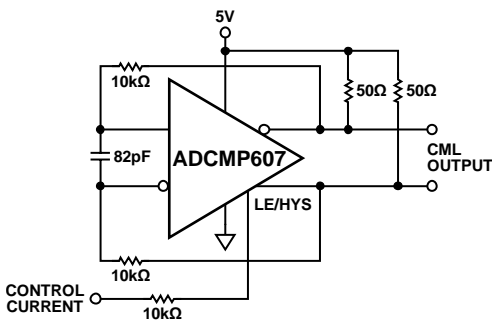


図 21. 電流制御発振器

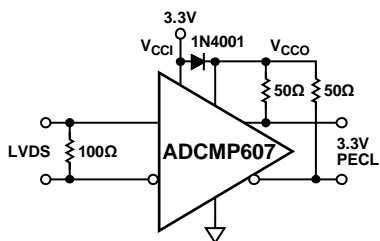


図 22. 直列ダイオードを使用した疑似PECLレベル

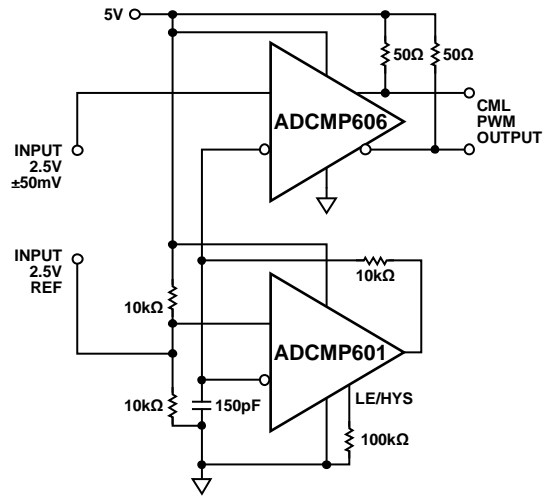


図 23. 発振器とパルス幅変調器

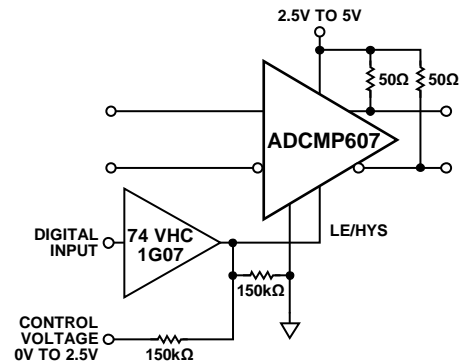


図 24. ラッチによるヒステリシス調整

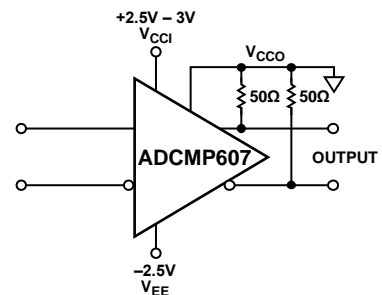


図 25. ±3 V入力レンジのグラウンド基準CML

外形寸法

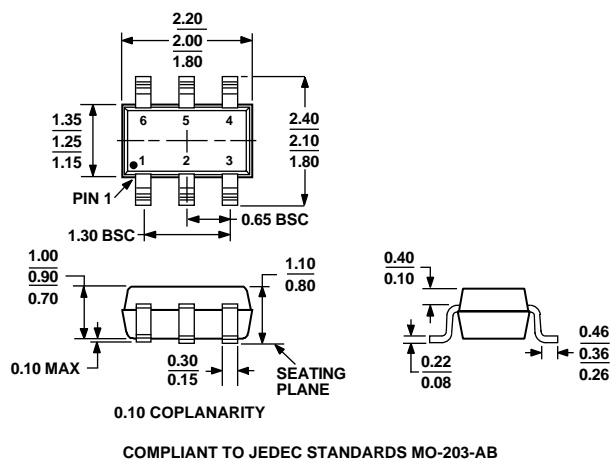


図 26. 6ピン薄型シュリンク・スモール・アウトライン・トランジスタ・パッケージ [SC70]
(KS-6)
寸法: mm

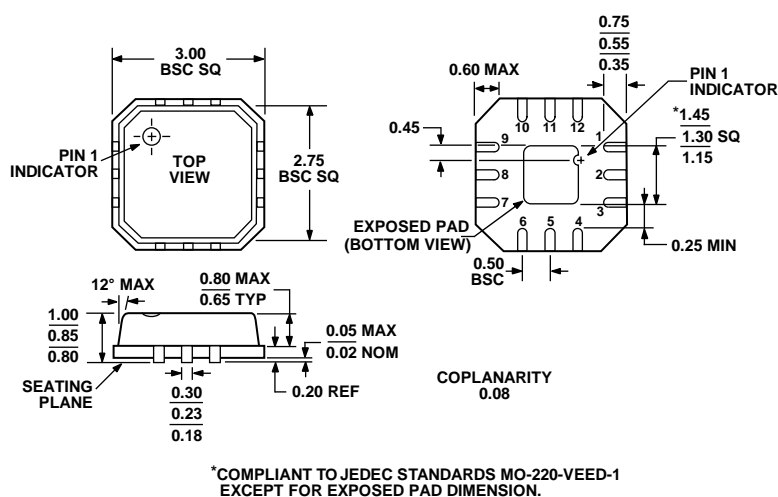


図 27. 12ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ]
3 mm × 3 mmボディ、極薄クワッド
(CP-12-1)
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
ADCMP606BKSZ-R2 ¹	-40°C to +125°C	6-Lead Thin Shrink Small Outline Transistor Package [SC70]	KS-6	G0S
ADCMP606BKSZ-RL ¹	-40°C to +125°C	6-Lead Thin Shrink Small Outline Transistor Package [SC70]	KS-6	G0S
ADCMP606BKSZ-REEL7 ¹	-40°C to +125°C	6-Lead Thin Shrink Small Outline Transistor Package [SC70]	KS-6	G0S
ADCMP607BCPZ-R2 ¹	-40°C to +125°C	12-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-12-1	G0H
ADCMP607BCPZ-R7 ¹	-40°C to +125°C	12-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-12-1	G0H
ADCMP607BCPZ-WP ¹	-40°C to +125°C	12-Lead Lead Frame Chip Scale Package [LFCSP_VQ]	CP-12-1	G0H

¹Z = RoHS 準拠製品