

ADCLK905/ADCLK907/ADCLK925

特長

95 ps の伝播遅延
7.5 GHz のトグル・レート
60 ps (typ) の出力立上がり／立下がり
60 fs のランダム・ジッタ (RJ)
両入力ピンのオンチップ終端
拡張工業用温度範囲: $-40\sim+125^{\circ}\text{C}$
2.5 ~ 3.3 V 電源 ($V_{CC} - V_{EE}$)

アプリケーション

クロック／データ信号の再生とレベル・シフト
自動試験装置 (ATE)
高速計測機器
高速ライン・レシーバ
スレッショールド検出
コンバータのクロッキング

概要

ADCLK905 (1 入力 1 出力)、ADCLK907 (2 個の 1 入力 1 出力)、ADCLK925 (1 入力 2 出力) は、アナログ・デバイセズ独自の XFCB3 シリコン・ゲルマニウム (SiGe) バイポーラ・プロセスで製造された超高速のクロック／データ・バッファです。

ADCLK905/ADCLK907/ADCLK925 は、フルスイング ECL (エミッタ結合ロジック) 出力ドライバを備えています。PECL (正の ECL) 動作では、 V_{CC} を正側電源、 V_{EE} をグラウンドにバイアスします。NECL (負の ECL) 動作は、 V_{CC} をグラウンド、 V_{EE} を負側電源にバイアスします。

バッファは、伝播遅延が 95 ps、トグル・レートが 7.5 GHz、データレートが 10 Gbps、ランダム・ジッタ (RJ) が 60 fs です。

入力には、センタータップ型の $100\ \Omega$ 終端抵抗を備えています。また、AC 結合入力をバイアスするために V_{REF} ピンを用意しています。

ECL 出力段は $V_{CC} - 2\text{ V}$ に終端した $50\ \Omega$ に 800 mV を直接駆動する設計で、全差動出力振幅は 1.6 V になります。

ADCLK905/ADCLK907/ADCLK925 は、16 ピン LFCSP パッケージを採用しています。

機能ブロック図

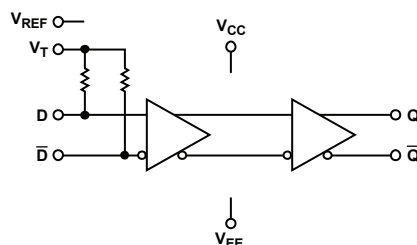


図 1. ADCLK905 ECL 1:1 クロック／データ・バッファ

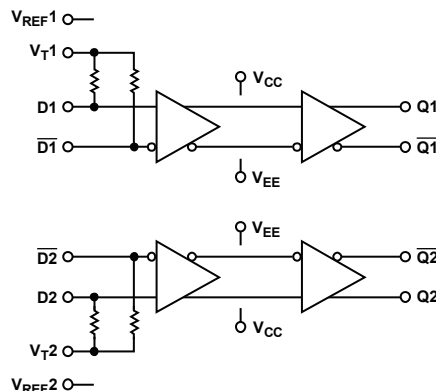


図 2. ADCLK907 ECL デュアル 1:1 クロック／データ・バッファ

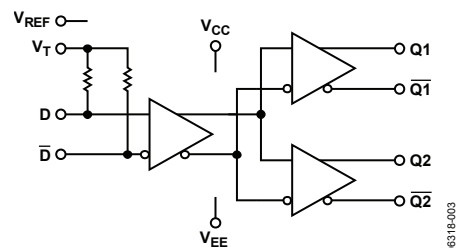


図 3. ADCLK925 ECL 1:2 クロック／データ・ファンアウト・バッファ

目次

特長.....	1	代表的な性能特性.....	8
アプリケーション.....	1	アプリケーション情報.....	11
概要.....	1	電源/グラウンドのレイアウトとバイパス.....	11
機能ブロック図.....	1	出力段.....	11
改定履歴.....	2	高速性能の最適化.....	11
仕様.....	3	バッファのランダム・ジッタ.....	11
電気的特性.....	3	代表的なアプリケーション回路.....	12
絶対最大定格.....	5	評価用ボードの回路図.....	13
熱抵抗.....	5	外形寸法.....	14
ESDに関する注意.....	5	オーダー・ガイド.....	14
ピン配置と機能の説明.....	6		

改定履歴

8/07—Revision 0: Initial Version

仕様

電気的特性

特に指定のない限り、代表値 (Typ) は $V_{CC} - V_{EE} = 3.3 \text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。また、特に指定のない限り、最小値 (Min) および最大値 (Max) は $V_{CC} - V_{EE} = 3.3 \text{ V} \pm 10\%$ 、 $T_A = -40 \sim +125^\circ\text{C}$ の全範囲における値です。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Conditions	
DC INPUT CHARACTERISTICS							
Input Voltage High Level	V_{IH}	$V_{EE} + 1.6$		V_{CC}	V	-40°C to $+85^\circ\text{C}$ ($\pm 1.7 \text{ V}$ between input pins) 85°C to 125°C ($\pm 1.4 \text{ V}$ between input pins) Open V_T	
Input Voltage Low Level	V_{IL}	V_{EE}		$V_{CC} - 0.7$	V		
Input Differential Range	V_{ID}	0.2		3.4	V p-p		
		V_{ID}	0.2		2.8		V p-p
Input Capacitance	C_{IN}		0.4		pF		
Input Resistance, Single-Ended Mode			50		Ω		
Input Resistance, Differential Mode			100		Ω		
Input Resistance, Common Mode			50		k Ω		
Input Bias Current			20		μA		
DC OUTPUT CHARACTERISTICS							
Output Voltage High Level	V_{OH}	$V_{CC} - 1.26$		$V_{CC} - 0.76$	V	50Ω to $(V_{CC} - 2.0 \text{ V})$	
Output Voltage Low Level	V_{OL}	$V_{CC} - 1.99$		$V_{CC} - 1.54$	V	50Ω to $(V_{CC} - 2.0 \text{ V})$	
Output Voltage Differential	V_{OD}	610		1040	mV	50Ω to $(V_{CC} - 2.0 \text{ V})$	
Reference Voltage	V_{REF}						
Output Voltage			$(V_{CC} + 1)/2$		V	$-500 \mu\text{A}$ to $+500 \mu\text{A}$	
Output Resistance			250		Ω		
AC PERFORMANCE							
Propagation Delay	t_{PD}	70	95	125	ps	$V_{CC} = 3.3 \text{ V} \pm 10\%$, $V_{ICM} = V_{REF}$, $V_{ID} = 0.5 \text{ V p-p}$	
		70	95	125	ps		$V_{CC} = 2.5 \text{ V} \pm 5\%$, $V_{ICM} = V_{REF}$, $V_{ID} = 0.5 \text{ V p-p}$
Propagation Delay Temperature Coefficient			50		fs/ $^\circ\text{C}$		
Propagation Delay Skew (Output to Output) ADCLK907				15	ps	$V_{ID} = 0.5 \text{ V}$	
Propagation Delay Skew (Output to Output) ADCLK925				10	ps	$V_{ID} = 0.5 \text{ V}$	
Propagation Delay Skew (Device to Device) Toggle Rate		6	7.5	35	ps	$V_{ID} = 0.5 \text{ V}$	
			6.5		GHz	$>0.8 \text{ V}$ differential output swing, $V_{CC} = 3.3 \text{ V} \pm 10\%$	
			6.5		GHz	$>0.8 \text{ V}$ differential output swing, $V_{CC} = 2.5 \text{ V} \pm 5\%$	
Random Jitter	RJ		60		fs rms	$V_{ID} = 1600 \text{ mV}$, 8 V/ns , $V_{ICM} = 1.85 \text{ V}$	
Rise/Fall Time	t_R/t_F	30		85	ps	20%/80%	
Additive Phase Noise 622.08 MHz			-138		dBc/Hz	@10 Hz offset	
			-144		dBc/Hz	@100 Hz offset	
			-152		dBc/Hz	@1 kHz offset	
			-159		dBc/Hz	@10 kHz offset	
			-161		dBc/Hz	@100 kHz offset	
			-161		dBc/Hz	>1 MHz offset	
	122.88 MHz			-135		dBc/Hz	@10 Hz offset
				-145		dBc/Hz	@100 Hz offset
				-153		dBc/Hz	@1 kHz offset
				-160		dBc/Hz	@10 kHz offset
			-161		dBc/Hz	@100 kHz offset	
			-161		dBc/Hz	>1 MHz offset	

ADCLK905/ADCLK907/ADCLK925

Parameter	Symbol	Min	Typ	Max	Unit	Conditions
POWER SUPPLY						
Supply Voltage Requirement	$V_{CC} - V_{EE}$	2.375		3.63	V	2.5 V - 5% to 3.3 V + 10%
Power Supply Current						Static
ADCLK905						
Negative Supply Current	I_{VEE}		24		mA	$V_{CC} - V_{EE} = 2.5\text{ V}$
			25	40	mA	$V_{CC} - V_{EE} = 3.3\text{ V} \pm 10\%$
Positive Supply Current	I_{VCC}		47		mA	$V_{CC} - V_{EE} = 2.5\text{ V}$
			48	63	mA	$V_{CC} - V_{EE} = 3.3\text{ V} \pm 10\%$
ADCLK907						
Negative Supply Current	I_{VEE}		48		mA	$V_{CC} - V_{EE} = 2.5\text{ V}$
			50	80	mA	$V_{CC} - V_{EE} = 3.3\text{ V} \pm 10\%$
Positive Supply Current	I_{VCC}		94		mA	$V_{CC} - V_{EE} = 2.5\text{ V}$
			96	126	mA	$V_{CC} - V_{EE} = 3.3\text{ V} \pm 10\%$
ADCLK925						
Negative Supply Current	I_{VEE}		29		mA	$V_{CC} - V_{EE} = 2.5\text{ V}$
			31	51	mA	$V_{CC} - V_{EE} = 3.3\text{ V} \pm 10\%$
Positive Supply Current	I_{VCC}		76		mA	$V_{CC} - V_{EE} = 2.5\text{ V}$
			77	97	mA	$V_{CC} - V_{EE} = 3.3\text{ V} \pm 10\%$
Power Supply Rejection ¹	PSR_{VCC}		3		ps/V	$V_{CC} - V_{EE} = 3.0\text{ V} \pm 20\%$
Output Swing Supply Rejection ²	PSR_{VCC}		26		dB	$V_{CC} - V_{EE} = 3.0\text{ V} \pm 20\%$

¹ V_{CC} 電圧変化当たりの T_{PD} 温度変化

² V_{CC} 電圧変化当たりの出力振幅変化

絶対最大定格

表 2.

Parameter	Rating
Supply Voltage $V_{CC} - V_{EE}$	6.0 V
Input Voltage D (D1, D2), \overline{D} ($\overline{D1}$, $\overline{D2}$)	$V_{EE} - 0.5$ V to $V_{CC} + 0.5$ V
D1, D2, $\overline{D1}$, $\overline{D2}$ to V_T Pin (CML or PECL Termination)	± 40 mA
D (D1, D2) to \overline{D} ($\overline{D1}$, $\overline{D2}$)	± 1.8 V
Maximum Voltage on Output Pins	$V_{CC} + 0.5$ V
Maximum Output Current	35 mA
Input Termination, V_T to D (D1, D2), \overline{D} ($\overline{D1}$, $\overline{D2}$)	± 2 V
Voltage Reference, V_{REF}	$V_{CC} - V_{EE}$
Temperature	
Operating Temperature Range, Ambient	-40°C to $+125^\circ\text{C}$
Operating Temperature, Junction	150°C
Storage Temperature Range	-65°C to $+150^\circ\text{C}$

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。

表 3. 熱抵抗

Package Type	θ_{JA}	Unit
16-lead LFCSP	70	$^\circ\text{C}/\text{W}$

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

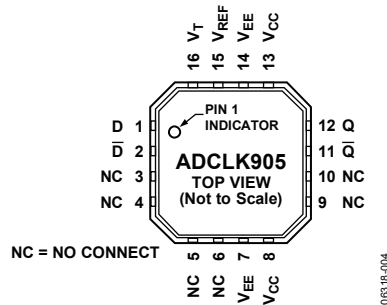


図 4. ADCLK905 のピン配置

表 4. 1:1 ADCLK905 バッファのピン機能の説明

ピン番号	記号	説明
1	D	非反転入力
2	\overline{D}	反転入力
3, 4, 5, 6, 9, 10	NC	無接続。ダイへの物理的な接続なし
7, 14	V_{EE}	負側電源電圧
8, 13	V_{CC}	正側電源電圧
11	\overline{Q}	反転出力
12	Q	非反転出力
15	V_{REF}	リファレンス電圧。AC 結合入力をバイアスするためのリファレンス電圧
16	V_T	センター・タップ。100 Ω 入力抵抗のセンター・タップ
ヒートシンク	NC	無接続。パッケージの金属裏面は、回路のどの部分にも電氣的に接続されていません。これを開放しておく、パッケージ・ハンドルとダイのサブストレートの間の電氣的分離が最適になります。熱的/機械的な安定性を改善したい場合は、アプリケーション・ボードにハンダ付けしてください。パッケージの隅の露出金属は、この裏面に接続しています。ビアその他のコンポーネントに対して十分なクリアランスを設ける必要があります。

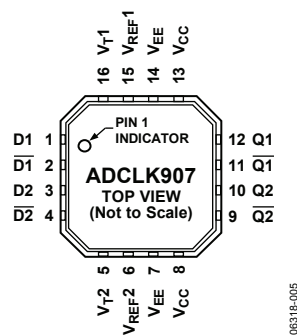


図 5. ADCLK907 のピン配置

表 5. デュアル 1:1 ADCLK907 バッファのピン機能の説明

ピン番号	記号	説明
1	D1	非反転入力 1
2	$\overline{D1}$	反転入力 1
3	D2	非反転入力 2
4	$\overline{D2}$	反転入力 2
5	V_{T2}	センター・タップ 2。100 Ω 入力抵抗のセンター・タップ、チャンネル 2
6	V_{REF2}	リファレンス電圧 2。AC 結合入力をバイアスするためのリファレンス電圧、チャンネル 2
7, 14	V_{EE}	負側電源電圧
8, 13	V_{CC}	正側電源電圧。ピン 8 とピン 13 は内部的に接続されてはなりません。
9	$\overline{Q2}$	反転出力 2

ADCLK905/ADCLK907/ADCLK925

ピン番号	記号	説明
10	Q2	非反転出力 2
11	$\overline{Q1}$	反転出力 1
12	Q1	非反転出力 1
15	V _{REF1}	リファレンス電圧 1。AC 結合入力をバイアスするためのリファレンス電圧、チャンネル 1
16	V _{T1}	センター・タップ 1。100 Ω 入力抵抗のセンター・タップ、チャンネル 1
ヒートシンク	NC	無接続。パッケージの金属裏面は、回路のどの部分にも電氣的に接続されていません。これを開放しておく、パッケージ・ハンドルとダイのサブストレートの間の電氣的分離が最適になります。熱的／機械的な安定性を改善したい場合は、アプリケーション・ボードにハンダ付けしてください。パッケージの隅の露出金属は、この裏面に接続しています。ビアその他のコンポーネントに対して十分なクリアランスを設ける必要があります。

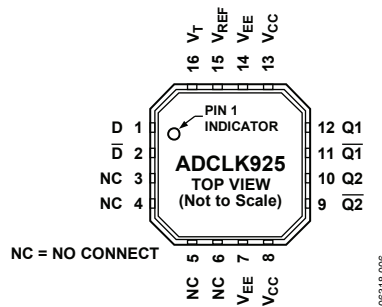


図 6. ADCLK925 のピン配置

表 6. 1:2 ADCLK925 バッファのピン機能の説明

ピン番号	記号	説明
1	D	非反転入力
2	\overline{D}	反転入力
3, 4, 5, 6	NC	無接続。ダイへの物理的な接続なし
7, 14	V _{EE}	負側電源電圧
8, 13	V _{CC}	正側電源電圧
9	$\overline{Q2}$	反転出力 2
10	Q2	非反転出力 2
11	$\overline{Q1}$	反転出力 1
12	Q1	非反転出力 1
15	V _{REF}	リファレンス電圧。AC 結合入力をバイアスするためのリファレンス電圧
16	V _T	センター・タップ。100 Ω 入力抵抗のセンター・タップ
ヒートシンク	NC	無接続。パッケージの金属裏面は、回路のどの部分にも電氣的に接続されていません。これを開放しておく、パッケージ・ハンドルとダイのサブストレートの間の電氣的分離が最適になります。熱的／機械的な安定性を改善したい場合は、アプリケーション・ボードにハンダ付けしてください。パッケージの隅の露出金属は、この裏面に接続しています。ビアその他のコンポーネントに対して十分なクリアランスを設ける必要があります。

代表的な性能特性

特に指定のない限り、 $V_{CC} = 3.3\text{ V}$ 、 $V_{EE} = 0.0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、出力 = $50\ \Omega$ で $V_{CC} - 2\text{ V}$ に終端。

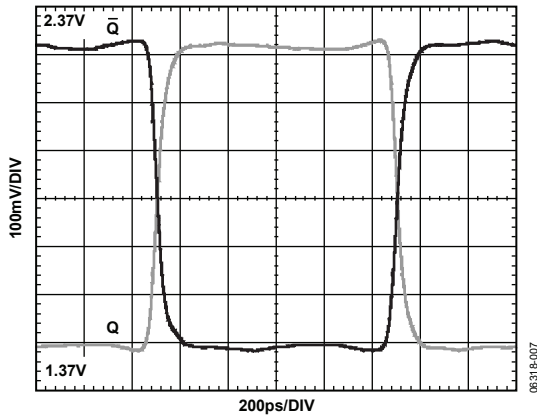


図 7. 出力波形 ($V_{CC} = 3.3\text{ V}$)

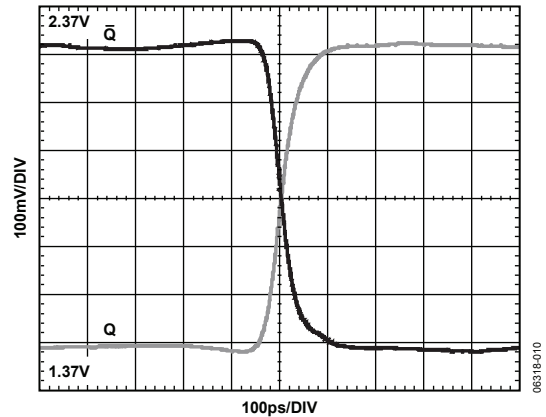


図 10. 出力波形 ($V_{CC} = 3.3\text{ V}$)

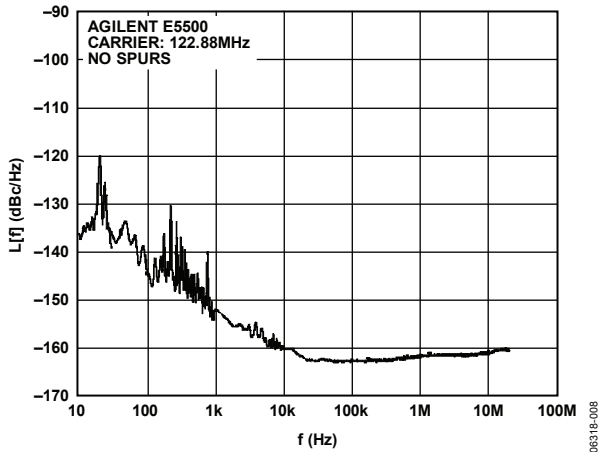


図 8. 122.88 MHz の位相ノイズ

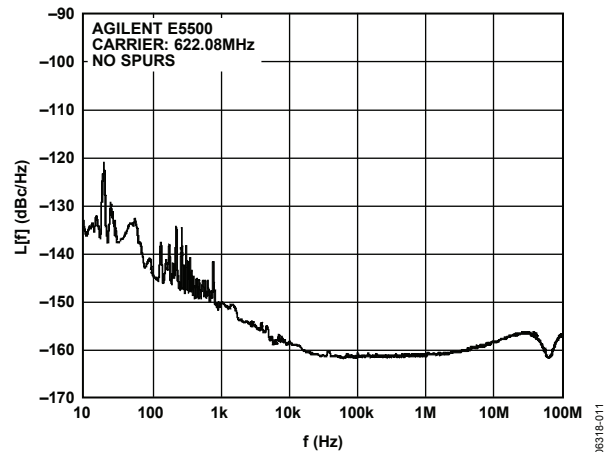


図 11. 622.08 MHz の位相ノイズ

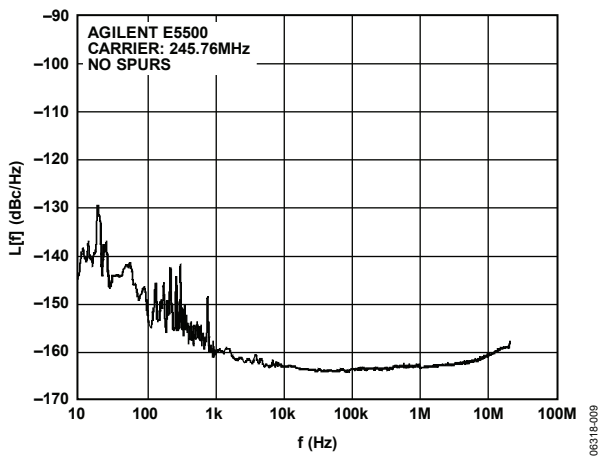


図 9. 245.76 MHz の位相ノイズ

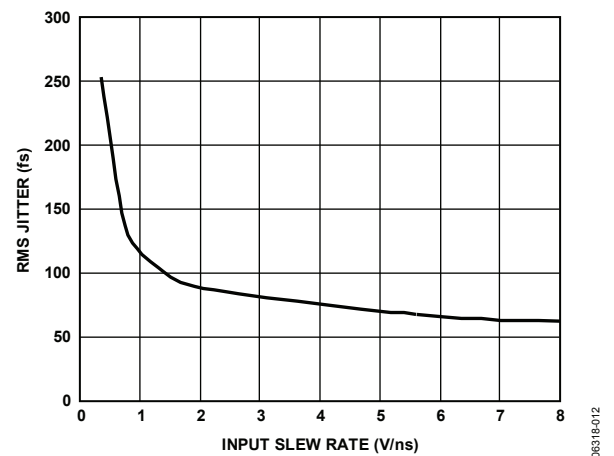


図 12. 入力スルーレート 対 RMS ジッタ

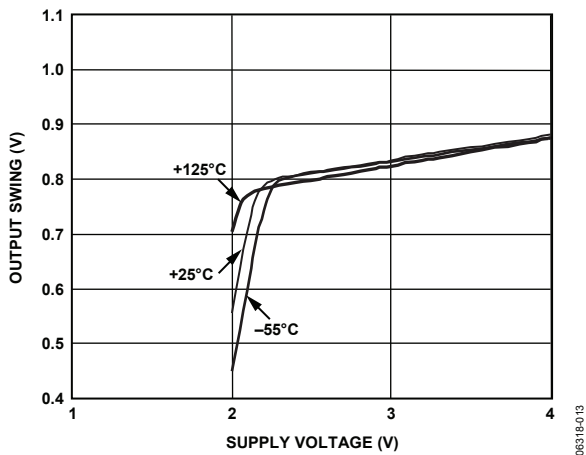


図 13. 電源電圧 対 V_{OD}

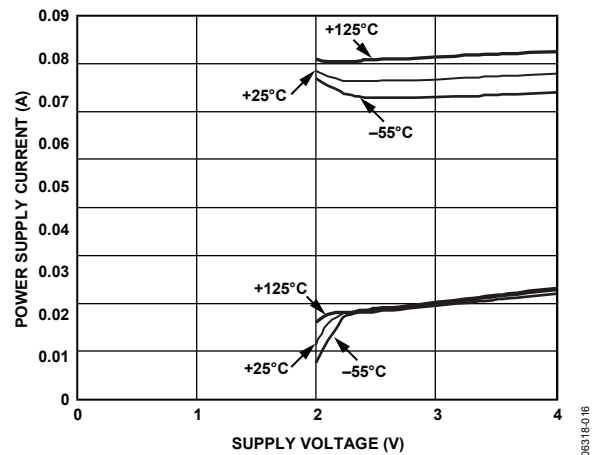


図 16. 電源電圧 対 電源電流 (ADCLK925)

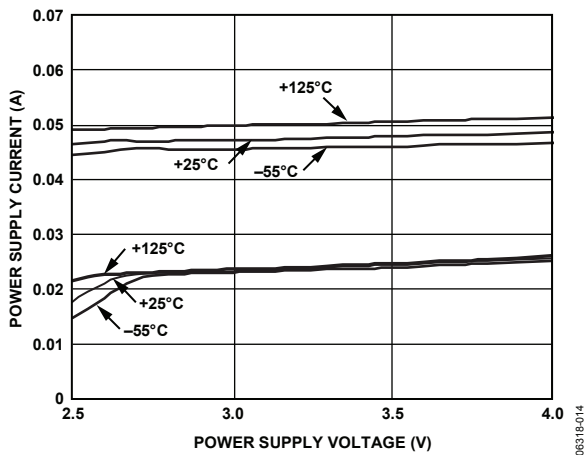


図 14. 電源電圧 対 電源電流 (ADCLK905)

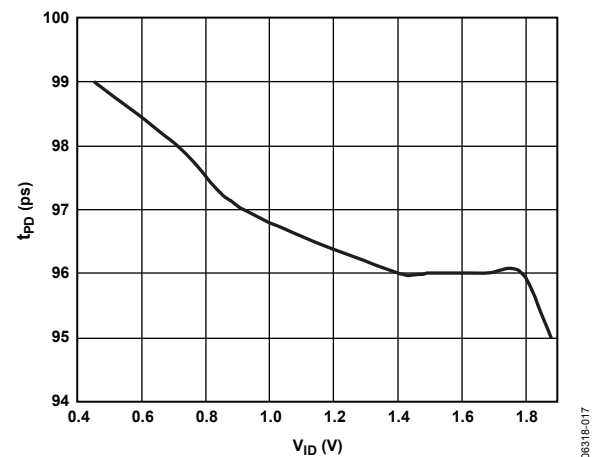


図 17. V_{ID} 対 伝播遅延

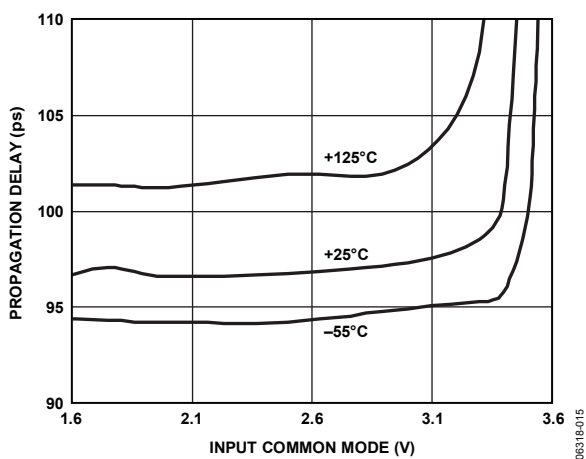


図 15. V_{ICM} 対 伝播遅延 (入力振幅 = 200 mV)

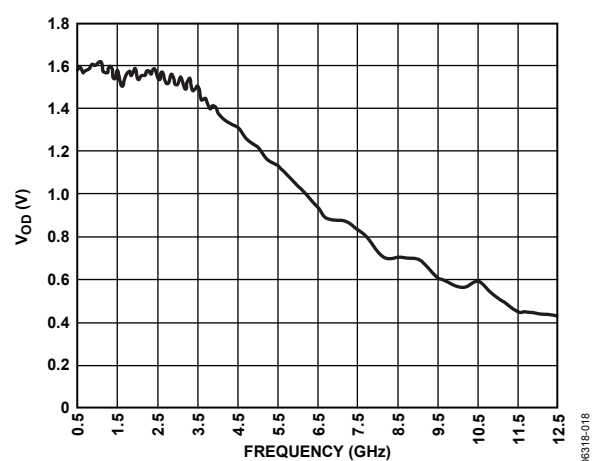


図 18. トグル・レート、差動出力振幅の周波数特性

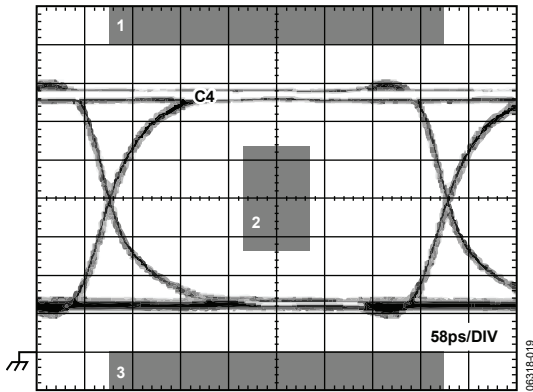


図 19. 2.488 Gbps PRBS $2^{23} - 1$ 、OC-48/STM-16 マスク、測定 p-p ジッタ 8.1 ps、ソース p-p ジッタ 3.5 ps

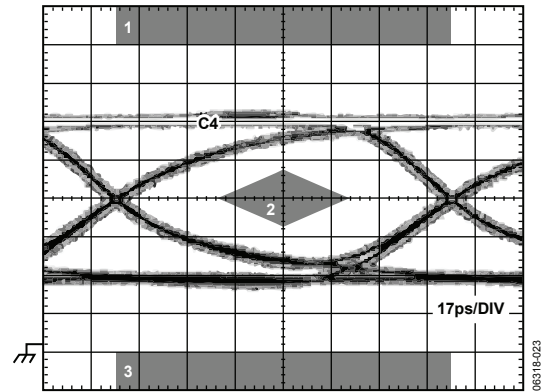


図 22. 8.50 Gbps PRBS $2^{23} - 1$ 、FC8500E ABS Beta Rx マスク、測定 p-p ジッタ 10.9 ps、ソース p-p ジッタ 4.4 ps

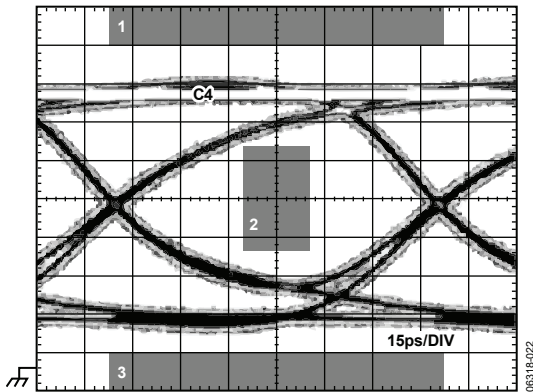


図 20. 9.95 Gbps PRBS $2^{23} - 1$ 、OC-193/STM-64 マスク、測定 p-p ジッタ 10.5 ps、ソース p-p ジッタ 6.0 ps

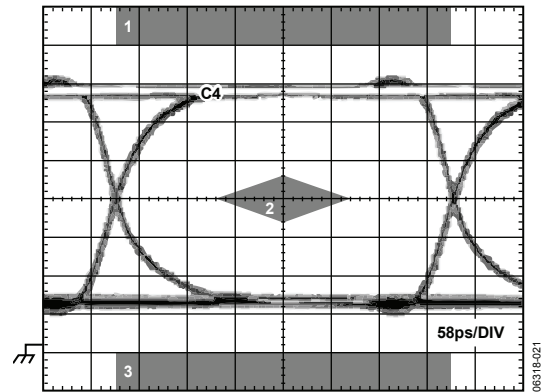


図 23. 2.5 Gbps PRBS $2^{23} - 1$ 、PCI Express 2.5 Rx マスク、測定 p-p ジッタ 8.1 ps、ソース p-p ジッタ 3.5 ps

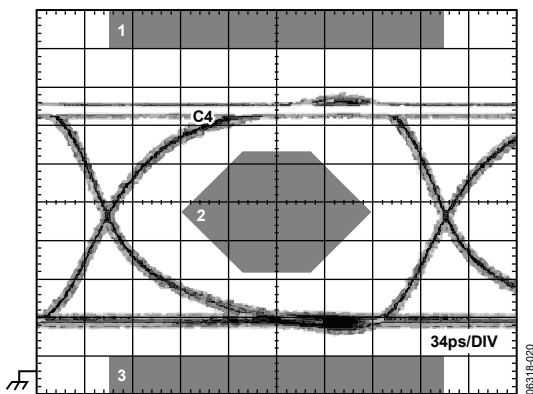


図 21. 4.25 Gbps PRBS $2^{23} - 1$ 、FC4250 (光) マスク、測定 p-p ジッタ 8.2 ps、ソース p-p ジッタ 3.4 ps

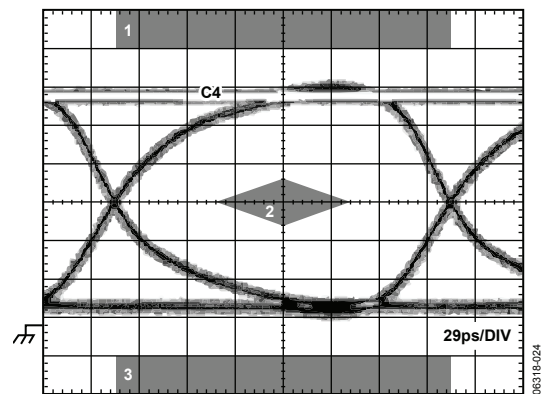


図 24. 5.0 Gbps PRBS $2^{23} - 1$ 、PCI Express 5.0 Rx マスク、測定 p-p ジッタ 8.7 ps、ソース p-p ジッタ 3.5 ps

アプリケーション情報

電源/グラウンドのレイアウトとバイパス

ADCLK905/ADCLK907/ADCLK925 バッファは、きわめて高速のアプリケーション向けに設計されています。したがって、仕様の性能を達成するには高速設計方法を採用する必要があります。負側電源 (V_{EE}) と正側電源 (V_{CC}) のプレーンには、多層ボードの一部として低インピーダンスの電源プレーンを使用することが非常に重要です。スイッチング電流に最小インダクタンスのリターン・パスを設けることにより、目的のアプリケーションで最高の性能が得られます。

入出力電源を十分にバイパスすることも重要です。1 μF の電解型バイパス・コンデンサを各電源ピンから数インチ以内に配置してグラウンドと接続します。さらに、高品質の複数の 0.001 μF バイパス・コンデンサを V_{EE} 、 V_{CC} の各電源ピンのできるだけ近くに配置し、複数のビアを使って GND プレーンに接続します。高周波バイパス・コンデンサは、最小のインダクタンスと ESR が得られるように慎重に選択してください。高周波で最大のバイパス効率を達成するには、寄生レイアウト・インダクタンスが絶対に生じないようにします。

出力段

仕様の性能を実現するには、伝送ラインを正しく終端する必要があります。ADCLK905/ADCLK907/ADCLK925 バッファの出力は、 $V_{CC} - 2\text{V}$ を基準にして 50 Ω で終端したマイクロストリップ/ストリップライン伝送ラインまたは 50 Ω ケーブルに 800 mV を直接駆動するように設計されています。図 25 に、PECL 出力段を示します。各出力は最高の伝送ライン・マッチングが得られるように設計されています。高速信号を 1 cm 以上ルーティングする必要がある場合は、マイクロストリップまたはストリップライン設計により、適切な遷移時間を確保し、過度の出力リングングやパルス幅に依存する伝搬遅延ディスペーションを防止します。

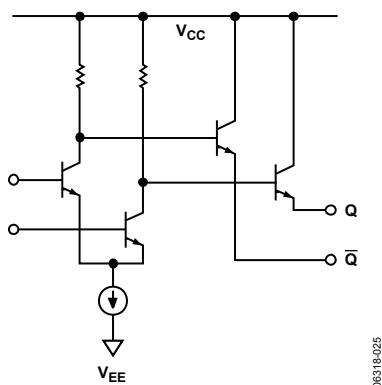


図 25. ADCLK905/ADCLK907/ADCLK925 PECL 出力段の簡略回路図

高速性能の最適化

どの高速回路でもそうですが、仕様の性能を確実に引き出すには正しい設計とレイアウト方法を採用する必要があります。浮遊容量、インダクタンス、誘導電力、グラウンド・インピーダンス、その他のレイアウト上の問題があると、性能が著しく制限され、発振を生じることがあります。入出力伝送ラインに沿って切れ目がある場合も、有効な入力スルーレートが低下して、仕様のジッタ性能が大きく制限されることがあります。

50 Ω 環境では、入出力のマッチングが性能に大きな影響を与えます。このバッファには、D 入力と \bar{D} 入力の両方に 50 Ω の終端抵抗があります。終端のリターン側は、通常はリファレンス・ピンに接続してください。終端リターン・パスでの寄生インダクタンスによって入力信号に望ましくない逸脱が発生しないようにするには、セラミック・コンデンサを使用して終端電位を慎重にバイパスしてください。入力がソースに直接結合している場合は、ピンが定格の入力差動/同相電圧範囲を出ないように注意します。

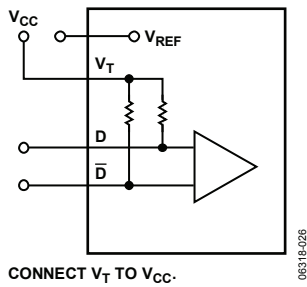
リターンを開放しておくと、デバイスは 100 Ω のクロス終端になりますが、その場合はソースによって同相電圧を制御して入力バイアス電流を供給する必要があります。

入力トランジスタの過剰なオフセットを防ぐために、入力ピン間には ESD/クランプ・ダイオードがあります。ESD ダイオードは最適な AC 性能を達成するように最適化されていません。クランプが必要な場合は、適切な外付けダイオードの使用を推奨します。

バッファのランダム・ジッタ

ADCLK905/ADCLK907/ADCLK925 は、広い入力スルーレート範囲でランダム・ジッタの増加を最小限にするように設計されています。電圧振幅が十分に大きければ、ランダム・ジッタは入力信号のスルーレートによって最も大きな影響を受けます。スルーレートは減衰器で低減されるため、可能であれば、高速ショットキ・ダイオードで大きすぎる入力信号をクランプしてください。数センチ以上の入力信号配線には、優れた高周波特性を持つ低損失の誘導体/ケーブルを利用します。

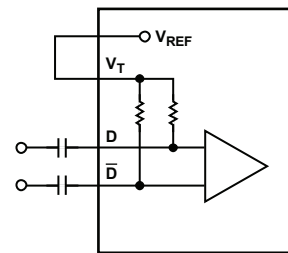
代表的なアプリケーション回路



CONNECT V_T TO V_{CC} .

06318-026

図 26. CML 入力とのインターフェース

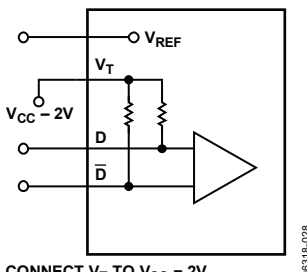


CONNECT V_T TO V_{REF} .

NOTES
1. PLACING A BYPASS CAPACITOR FROM V_T TO GROUND CAN IMPROVE THE NOISE PERFORMANCE.

06318-029

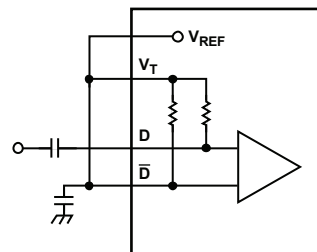
図 28. AC 結合差動信号



CONNECT V_T TO $V_{CC} - 2V$.

06318-028

図 27. PECL とのインターフェース



CONNECT V_T , V_{REF} , AND \bar{D} . PLACE A BYPASS CAPACITOR FROM V_T TO GROUND.
ALTERNATIVELY, V_T , V_{REF} , AND D CAN BE CONNECTED, GIVING A CLEANER LAYOUT AND A 180° PHASE SHIFT.

06318-030

図 29. AC 結合シングルエンド入力とのインターフェース

評価用ボードの回路図

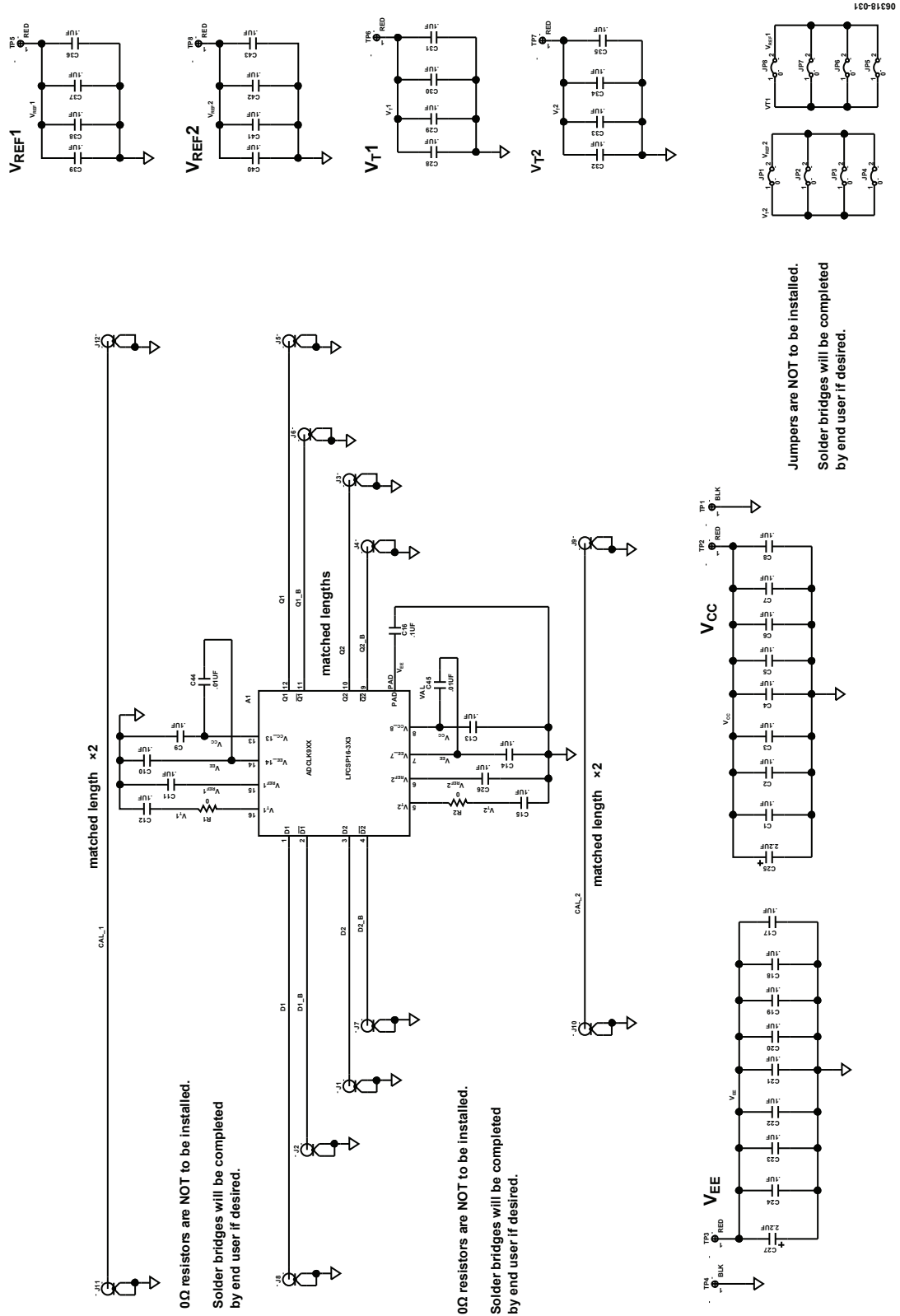


図 30. 評価用ボードの回路図

外形寸法

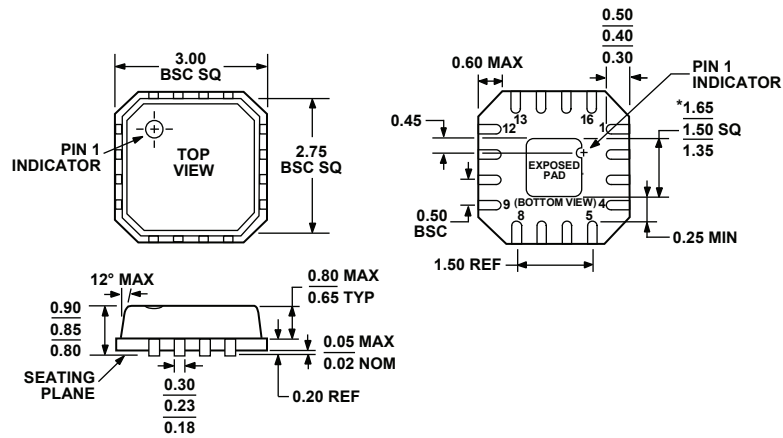


図 31. 16 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
 3 mm × 3 mm ボディ、極薄クワッド
 (CP-16-3)
 寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Branding
ADCLK905BCPZ-WP ¹	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-3	Y03
ADCLK905BCPZ-R7 ¹	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-3	Y03
ADCLK905BCPZ-R2 ¹	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-3	Y03
ADCLK907BCPZ-WP ¹	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-3	Y06
ADCLK907BCPZ-R7 ¹	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-3	Y06
ADCLK907BCPZ-R2 ¹	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-3	Y06
ADCLK925BCPZ-WP ¹	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-3	Y08
ADCLK925BCPZ-R7 ¹	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-3	Y08
ADCLK925BCPZ-R2 ¹	-40°C to +125°C	16-Lead LFCSP_VQ	CP-16-3	Y08
ADCLK905/PCBZ ¹		Evaluation Board		
ADCLK907/PCBZ ¹		Evaluation Board		
ADCLK925/PCBZ ¹		Evaluation Board		

¹ Z = RoHS 準拠製品