



8チャンネル、 PDM - I²S/TDMコンバータ

データシート

ADAU7118

特長

- デジタル・マイクロフォンからの8チャンネルのPDMオーディオ入力
- PDMからPCMオーディオ・データへのデシメーション・レシオ：16倍、32倍、または64倍
- 音圧レベル（SPL）の高いマイクロフォンをサポートする24ビット分解能
- A重み付けS/N比：126dB
- 出力サンプリング・レート：4kHz～192kHz
- ビット・クロック・レート：出力サンプリング・レートの64倍、128倍、192倍、256倍、384倍、または512倍
- デュアル出力のPDMクロック
- PDMクロックの自動生成
- BCLK遮断時の自動パワーダウン
- I²C制御動作とハードウェア・モード動作を選択可能
- 8チャンネルのDVDD動作電流：1.2mA（サンプリング・レートの周波数が48kHzで電源電圧が1.8Vのとき）
- スレーブのI²SまたはTDM出カインターフェース
- 最大でTDM-16をサポート
- TDMスロットの経路とサイズを設定可能
- I/O電源電圧範囲：1.70V～3.63V
- DVDD電源電圧：1.10V～1.98V
- DVDDシャットダウン電流：5μA未満（代表値）
- 16ピン、3mm×3mm、0.40mmピッチのLFCSP
- パワーオン・リセット

アプリケーション

- マイクロフォン・アレイ
- モバイル・コンピューティング
- ポータブル機器
- 民生機器
- 業務用機器

機能ブロック図

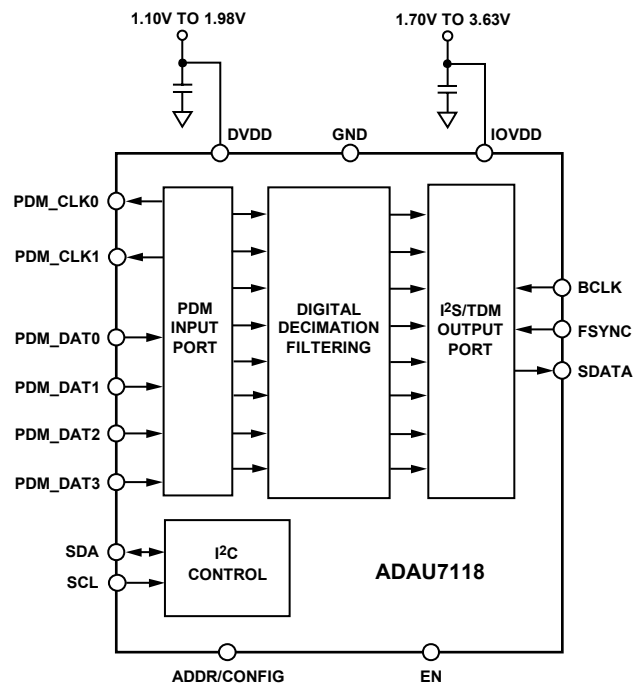


図 1.

概要

ADAU7118 は、4つのステレオ・パルス密度変調（PDM）ビット・ストリーム信号を1つのパルス・コード変調（PCM）出力ストリーム信号に変換します。PDMデータの信号源は、8つのマイクロフォンでも他のPDM信号源でもかまいません。PCMオーディオ・データは、IC間シリアル（I²S）フォーマットまたは時間領域多重（TDM）フォーマットで、シリアルのオーディオ・インターフェース・ポートに出力されます。ADAU7118 は、商用温度範囲（-40 °C～+85 °C）で仕様規定されています。ADAU7118 は、16ピン、3mm×3mm、

0.40mmピッチのリード・フレーム・チップ・スケール・パッケージ（LFCSP）で供給可能です。このデータシート全体を通じて、ADDR/CONFIGなどの多機能ピンは、完全なピン名で引用します。1つの機能だけに関係する場合は、そのピンの該当機能（例：ADDR）で引用します。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長	1	リビジョン・コード・レジスタ	21
アプリケーション	1	チャンネル対とクロックのイネーブル・レジスタ	22
機能ブロック図	1	デシメーション・レシオと PDM クロックのマッピング・コントロール・レジスタ	23
概要	1	ハイパス・フィルタ・コントロール・レジスタ	24
改訂履歴	2	シリアル・ポート制御 1 レジスタ	25
仕様	3	シリアル・ポート制御 2 レジスタ	25
絶対最大定格	7	シリアル・ポートの経路指定と駆動イネーブルのチャンネル 0 レジスタ	26
熱抵抗	7	シリアル・ポートの経路指定と駆動イネーブルのチャンネル 1 レジスタ	27
ESD に関する注意	7	シリアル・ポートの経路指定と駆動イネーブルのチャンネル 2 レジスタ	28
ピン配置およびピン機能の説明	8	シリアル・ポートの経路指定と駆動イネーブルのチャンネル 3 レジスタ	29
代表的な性能特性	9	シリアル・ポートの経路指定と駆動イネーブルのチャンネル 4 レジスタ	30
動作原理	11	シリアル・ポートの経路指定と駆動イネーブルのチャンネル 5 レジスタ	31
電源の投入と初期化	11	シリアル・ポートの経路指定と駆動イネーブルのチャンネル 6 レジスタ	32
クロッキング	11	シリアル・ポートの経路指定と駆動イネーブルのチャンネル 7 レジスタ	33
パワーダウン状態	12	出力パッドの駆動強度制御レジスタ	34
スタンドアロン・ハードウェア・モード	12	ソフトウェア・リセット・レジスタ	34
シリアル・オーディオ出力インターフェース	13	外形寸法	35
I ² C 制御インターフェース	17	オーダー・ガイド	35
出力ピンの駆動強度	18		
ハイパス・フィルタ	18		
アプリケーション情報	19		
レジスタの一覧	20		
レジスタの詳細	21		
ADI ベンダ ID レジスタ	21		
デバイス ID 1 レジスタ	21		
デバイス ID 2 レジスタ	21		

改訂履歴

5/2019–Revision 0: 初版

仕様

特に指定のない限り、DVDD = 1.10V~1.98V、IOVDD = 1.70V~3.63V、T_A = 25°C、ピンはロー・ドライブに設定。
表 1.

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
DIGITAL INPUT					
Input Voltage					
High Level (V _{IH})	0.7 × IOVDD			V	
Low Level (V _{IL})			0.3 × IOVDD	V	
Input Leakage					
High Level (I _{IH})			2.5	μA	Digital input pins with pull-down resistor
Low Level (I _{IL}) at 0 V			1	μA	Digital input pins with pull-down resistor
Input Capacitance (C _I)		2		pF	Guaranteed by design
DIGITAL OUTPUT					
Output Voltage					
High Level (V _{OH})	0.85 × IOVDD			V	Source current when output is high (I _{OH}) = 1 mA
Low Level (V _{OL})			0.1 × IOVDD	V	Source current when output is low (I _{OL}) = 1 mA
Digital Output Pins, Output Drive					Digital output pins drive low impedance PCB traces to a high impedance digital input buffer
IOVDD = 1.8 V					
Nominal					
Drive Strength Setting					
2.5 mA	0.7			mA	
5 mA	1.4			mA	
10 mA	2.8			mA	
15 mA	4.2			mA	
IOVDD = 3.3 V					
Nominal					
Drive Strength Setting					
2.5 mA	2.5			mA	
5 mA	5			mA	
10 mA	10			mA	
15 mA	15			mA	
PERFORMANCE					
Dynamic Range		126		dB	20 Hz to 20 kHz, -60 dB input, A-weighted filter (rms), relative to 0 dBFS output
Signal-to-Noise-Ratio (SNR)		126		dB	A-weighted filter, fifth-order input, relative to 0 dBFS output
Decimation Ratio	16×	64×	64×		
Frequency Response	-0.1		+0.01	dB	DC to 0.45 × output sampling rate (f _s)
Stop Band		0.566 × f _s		Hz	
Stop Band Attenuation	75			dB	
Group Delay	4.47	4.47	4.47	FSYNC cycles	0.02 f _s input signal, 64× decimation
	5.02	5.02	5.02	FSYNC cycles	0.02 f _s input signal, 32× decimation
	5.83	5.83	5.83	FSYNC cycles	0.02 f _s input signal, 16× decimation

Parameter	Min	Typ	Max	Unit	Test Conditions/Comments
Gain	0	0	0	dB	PDM to PCM
Start-Up Time	63	64	64	FSYNC cycles	After power-up reset and initialization code runs
Bit Resolution		24		Bits	Internal and output
Interchannel Phase	0	0	0	Degrees	
High-Pass Filter – 3 dB Point	0.23328	0.9312	242.4	Hz	$f_s = 48$ kHz, cutoff frequency set using the HPF_FC bits located in the HPF_CONTROL register, typical value is default setting
CLOCKING					
Output Sampling Rate (f_s)	4	48	192	kHz	FSYNC pulse rate
Bit Clock Frequency (f_{BCLK})	0.256	12.288	24.576	MHz	
PDM_CLKx Frequency (f_{PDM_CLK})	0.256	3.072	6.144	MHz	
POWER					
Supply Voltage					
Digital Voltage (DVDD Pin)	1.10		1.98	V	Supply for digital circuitry
I/O Supply Voltage (IOVDD Pin)	1.70		3.63	V	Supply for input/output (I/O) circuitry, including pads and level shifters
Supply Current					
I/O Current (IOVDD Pin)					Dependent on the clock rates and characteristics of external loads
Operation State		2		mA	IOVDD = 3.3 V, 48 kHz f_s , TDM-8 format, all channels driven, default drive strength, 25 pF capacitance, only one PDM_CLKx pin used
		0.86		mA	IOVDD = 1.8 V, 48 kHz f_s , TDM-8 format, all channels driven, default drive strength, 25 pF capacitance, only one PDM_CLKx pin used
Shutdown Current		16		μ A	Power applied, frame and bit clocks applied, and then device placed into power-down state using the procedure in Table 10
		3		μ A	Power applied, frame and bit clocks applied, and then device placed into power-down state using the procedure in Table 9
Digital Current (DVDD Pin)					
Operation State		1.4		mA	Over all temperatures, full voltage range and silicon skews, 8 channels, 48 kHz f_s
		1.2		mA	DVDD = 1.8 V, 8 channels, 48 kHz f_s
		0.8		mA	DVDD = 1.2 V, 8 channels, 48 kHz f_s
		0.7		mA	DVDD = 1.8 V, 4 channels, 48 kHz f_s
		0.4		mA	DVDD = 1.2 V, 4 channels, 48 kHz f_s
		0.4		mA	DVDD = 1.8 V, 8 channels, 16 kHz f_s
		0.27		mA	DVDD = 1.2 V, 8 channels, 16 kHz f_s
		0.22		mA	DVDD = 1.8 V, 4 channels, 16 kHz f_s
		0.14		mA	DVDD = 1.2 V, 4 channels, 16 kHz f_s
Shutdown Current		4		μ A	Power-down mode using either method in Table 9 or method in Table 10

シリアル・ポート

特に指定のない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $\text{DVDD} = 1.10\text{V} \sim 1.98\text{V}$ 、 $\text{IOVDD} = 1.70\text{V} \sim 3.63\text{V}$ 。

表 2.

Parameter	Min	Max	Unit	Description
SERIAL PORT				
f_{FSYNC}		192	kHz	FSYNC frequency, $1/t_{\text{FSYNC}}$
t_{FSYNC}	5.21		μs	FSYNC period
f_{BCLK}		24.576	MHz	BCLK frequency, sample rate ranging from 4 kHz to 192 kHz, $1/t_{\text{BCLK}}$
t_{BCLK}	40.7		ns	BCLK period
t_{BIL}	18		ns	BCLK low pulse width, slave mode, BCLK frequency = 24.576 MHz, BCLK period = 40.6 ns
t_{BIH}	18		ns	BCLK high pulse width, slave mode, BCLK frequency = 24.576 MHz, BCLK period = 40.6 ns
t_{LIS}	10		ns	FSYNC setup to BCLK input rising edge, slave mode, FSYNC frequency = 192 kHz
t_{LIH}	10		ns	FSYNC hold from BCLK input rising edge, slave mode, FSYNC frequency = 192 kHz
t_{SOD}		20.63	ns	SDATA delay from BCLK output falling edge, 25 pf load over entire range of IOVDD, all temperatures and skews, default drive strength of 10 mA
		11.71	ns	IOVDD = 3.3 V \pm 10%, drive strength set to 0b00, with 25 pf load
		10.37	ns	IOVDD = 3.3 V \pm 10%, drive strength set to 0b01, with 25 pf load
		9.03	ns	IOVDD = 3.3 V \pm 10%, drive strength set to 0b10, with 25 pf load
		8.72	ns	IOVDD = 3.3 V \pm 10%, drive strength set to 0b11, with 25 pf load
		31.02	ns	IOVDD = 1.7 V to 1.89 V, drive strength set to 0b00, with 25 pf load
		25.83	ns	IOVDD = 1.7 V to 1.89 V, drive strength set to 0b01, with 25 pf load
		20.63	ns	IOVDD = 1.7 V to 1.89 V, drive strength set to 0b10, with 25 pf load
		20.33	ns	IOVDD = 1.7 V to 1.89 V, drive strength set to 0b11, with 25 pf load

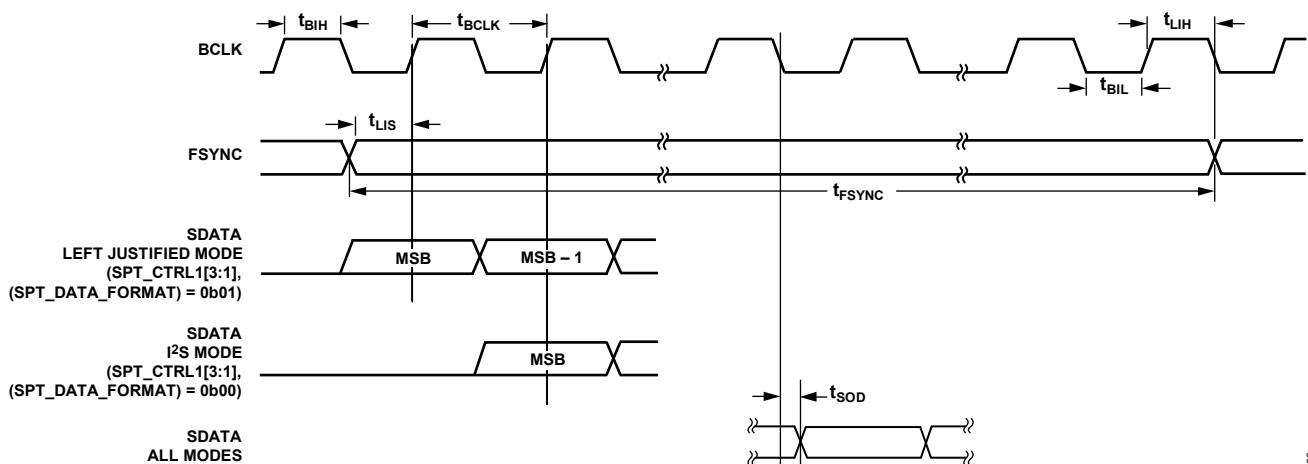


図 2. シリアル・ポートのタイミング仕様

17230-002

I²C インターフェース-スレーブ

特に指定のない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $\text{DVDD} = 1.10\text{V} \sim 1.98\text{V}$ 、 $\text{IOVDD} = 1.70\text{V} \sim 3.63\text{V}$ 。

表 3.

Parameter	Min	Max	Unit	Description
I²C SLAVE PORT				
f_{SCL}		1000	kHz	SCL clock frequency, not shown in Figure 3
t_{SCLH}	0.26		μs	SCL pulse width high
t_{SCLL}	0.5		μs	SCL pulse width low
t_{SCS}	0.26		μs	Start and repeated start condition setup time
t_{SCH}	0.26		μs	Start condition hold time
t_{DS}	50		ns	Data setup time
t_{DH}		0.45	μs	Data hold time
t_{SCLR}		120	ns	SCL rise time
t_{SCLF}		120	ns	SCL fall time
t_{SDR}		120	ns	SDA rise time
t_{SDF}		120	ns	SDA fall time
t_{BFT}	0.5		μs	Bus-free time between stop and start
t_{SUSTO}	0.26		μs	Stop condition setup time

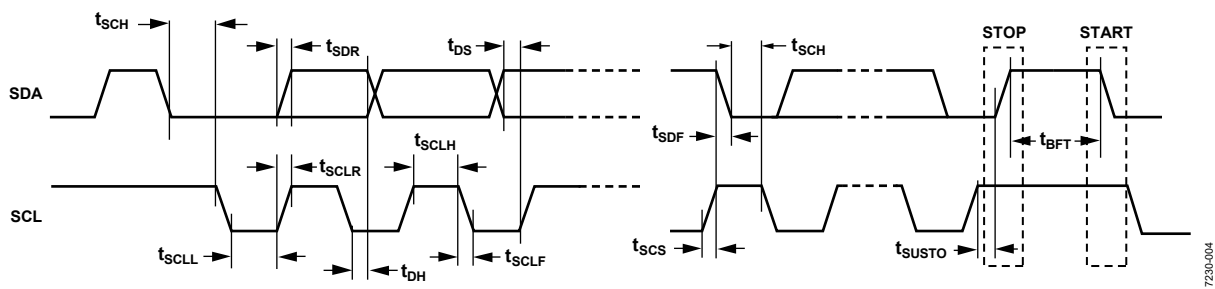


図 3. I²C スレーブ・ポートのタイミング仕様

PDM 入力

特に指定のない限り、 $T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$ 、 $\text{DVDD} = 1.10\text{V} \sim 1.98\text{V}$ 、 $\text{IOVDD} = 1.70\text{V} \sim 3.63\text{V}$ 、PDM データはクロックの両端でラッチされる (図 4 参照)。

表 4.

Parameter	t_{MIN}	t_{MAX}	Unit	Description
Timing Requirements				
t_{SETUP}	9		ns	Data setup time
t_{HOLD}	3		ns	Data hold time

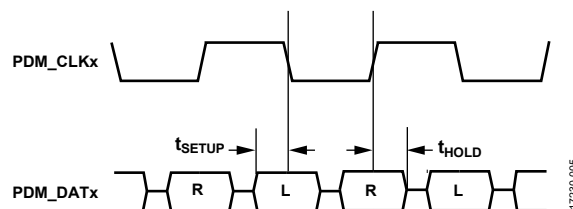


図 4. PDM のタイミング図

絶対最大定格

表 5.

Parameter	Rating
DVDD to Ground	1.98V
IOVDD to Ground	3.63V
Digital Inputs	GND - 0.3V to IOVDD + 0.3V
Maximum Operating Ambient Temperature Range	-40°C to +85°C
Junction Temperature Range	-65°C to +165°C
Storage Temperature Range	-65°C to +150°C
Soldering (60 sec)	300°C
Electrostatic Discharge (ESD) Susceptibility	4.5kV

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板（PCB）の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

表 6. 熱抵抗

Package Type	θ_{JA}^1	θ_{JC}^2	Unit
CP-16-22	57	15	°C/W

¹ 熱抵抗のシミュレーション値は、JEDEC 1S0P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

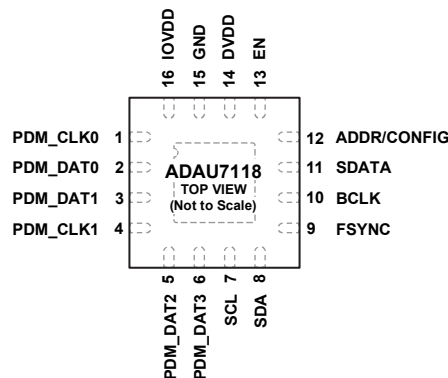
² 熱抵抗のシミュレーション値は、4 つのサーマル・ビアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 を参照してください。

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



注
露出パッドは、PCB 上にある同じサイズの接地された銅パッドにハンダ処理することによって接地する必要があります。サーマル・ビアは必要ありません。

17230-016

図 5. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	PDM_CLK0	PDM 出力クロック 0。
2	PDM_DAT0	PDM 入力データ 0。
3	PDM_DAT1	PDM 入力データ 1。
4	PDM_CLK1	PDM 出力クロック 1。
5	PDM_DAT2	PDM 入力データ 2。
6	PDM_DAT3	PDM 入力データ 3。
7	SCL	I ² C シリアル・クロック入力。
8	SDA	I ² C データ。
9	FSYNC	I ² S/TDM フレーム同期クロックまたは L/R クロック。
10	BCLK	I ² S/TDM ビット・クロック。
11	SDATA	I ² S/TDM シリアル・データ出力。
12	ADDR/CONFIG	I ² C アドレス選択または独立した設定選択。
13	EN	チップ・イネーブル。 デバイスをディスエーブルして低消費電力モードにするには、このピンを接地します。 通常動作を有効にするには、このピンに IOVDD を印加します。デバイスがディスエーブルされているとき、全てのレジスタ設定は保持されます。ただし、ビット・クロック・カウンタとオーディオ・データはリセットされます。これはソフト・リセットの実行時と同じです。
14	DVDD	内部コアのデジタル電源。
15	GND	グラウンド。
16	IOVDD	デジタル入出力の電源。
EP	EPAD	露出パッド。露出パッドは、PCB 上にある同じサイズの接地された銅パッドにハンダ処理することによって接地する必要があります。サーマル・ビアは必要ありません。

代表的な性能特性

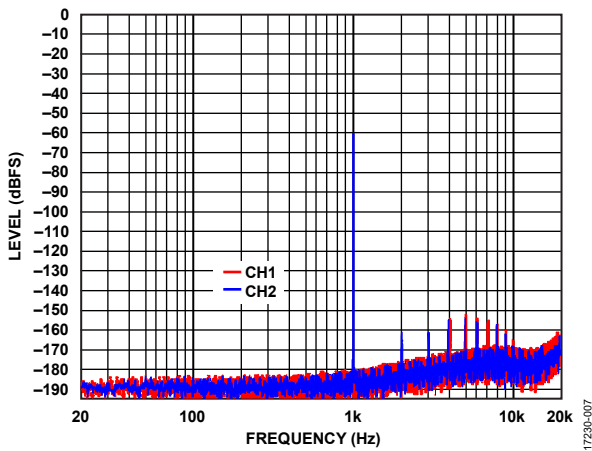


図 6. FFT、 $f_s = 48\text{kHz}$ 、 -60dBFS 入力、64 倍のデシメーション、5 次

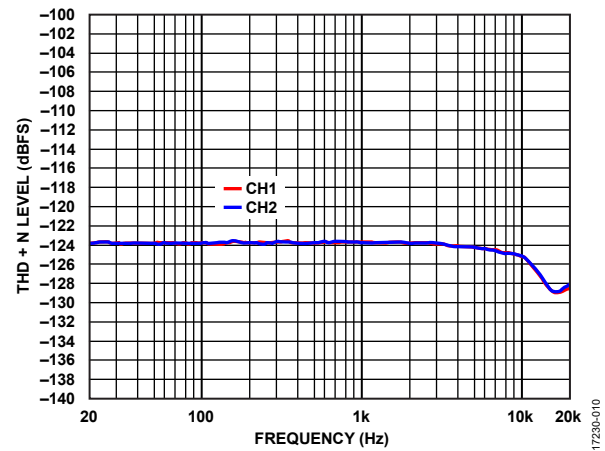


図 9. 全高調波歪み+ノイズ (THD + N)と周波数、 -10dBFS での重み付けなし、 $f_s = 48\text{kHz}$ 、64 倍のデシメーション、5 次

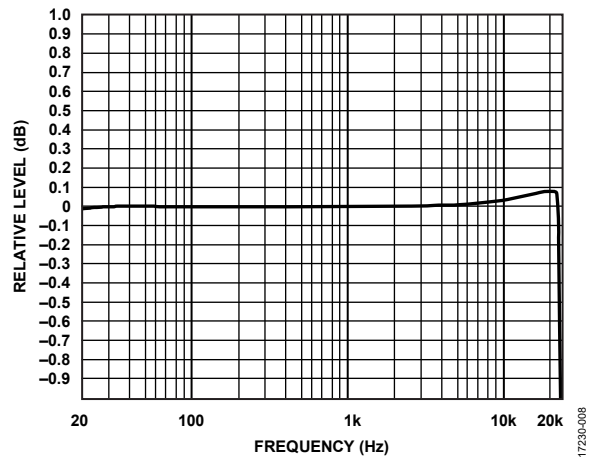


図 7. 相対レベルと周波数、 -10dBFS で正規化、64 倍のデシメーション、 $f_s = 48\text{kHz}$

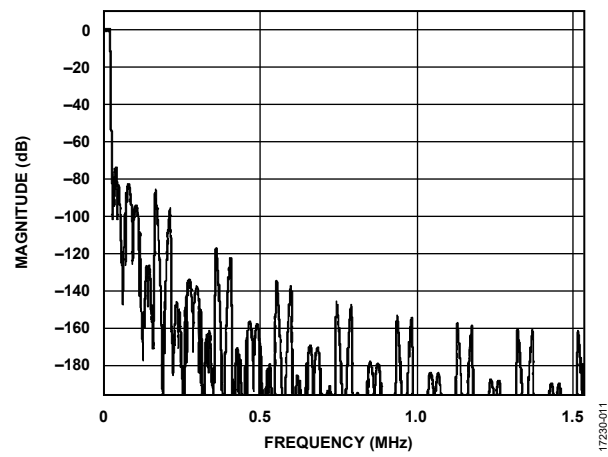


図 10. 振幅と周波数、 48kHz 出力、64 倍のデシメーション

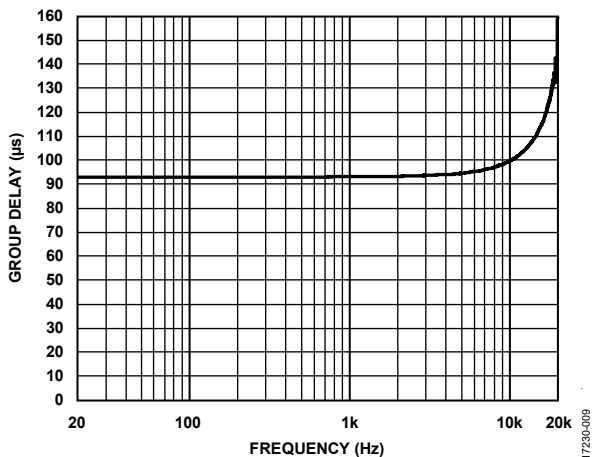


図 8. 群遅延と周波数、 $f_s = 48\text{kHz}$ 、64 倍のデシメーション

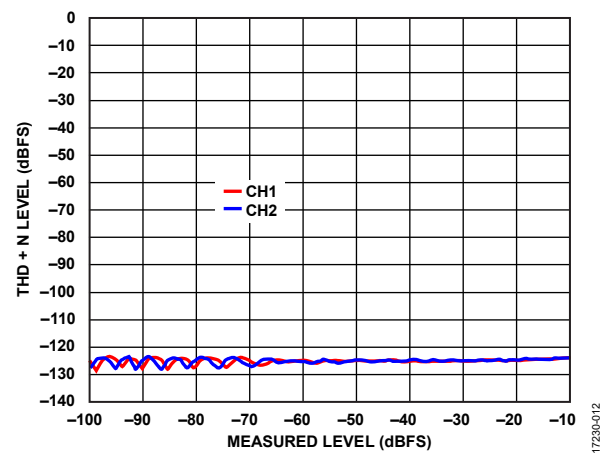


図 11. THD + N レベルと測定レベル、 1kHz 、重み付けなし、64 倍のデシメーション、5 次、 $f_s = 48\text{kHz}$

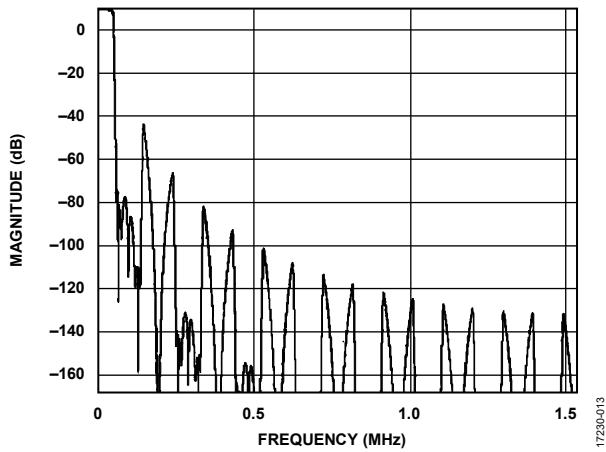


図 12. 振幅と周波数、48kHz 出力、32 倍のデシメーション

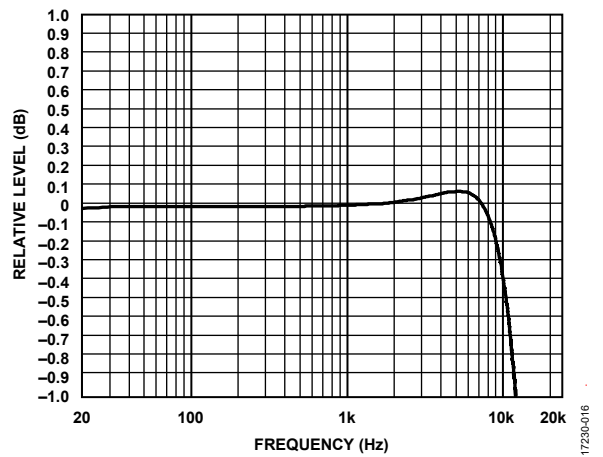


図 15. 相対レベルと周波数、-10dBFS で正規化、16 倍のデシメーション、 $f_s = 48\text{kHz}$

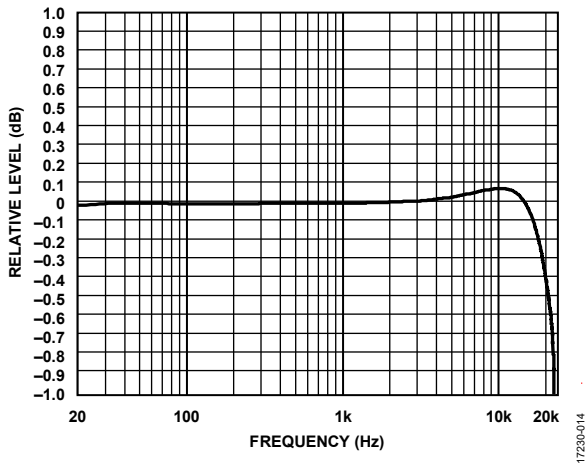


図 13. 相対レベルと周波数、-10dBFS で正規化、32 倍のデシメーション、 $f_s = 48\text{kHz}$

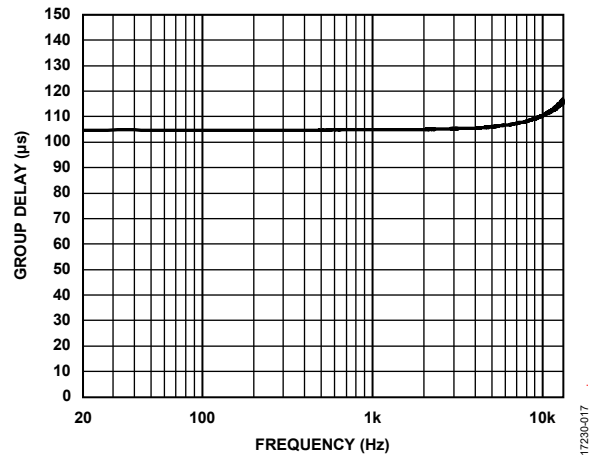


図 16. 群遅延と周波数、 $f_s = 48\text{kHz}$ 、32 倍のデシメーション

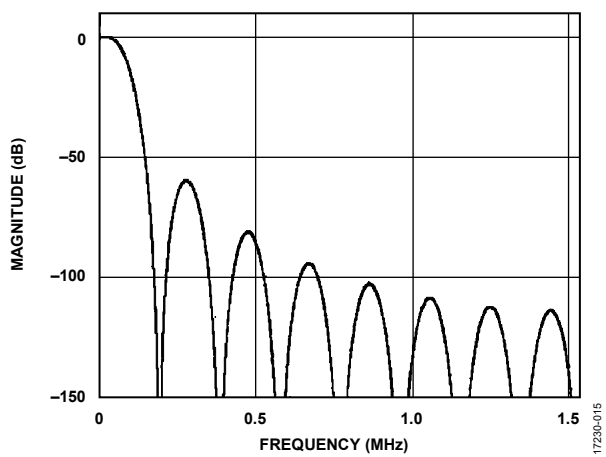


図 14. 振幅と周波数、48kHz 出力、16 倍のデシメーション

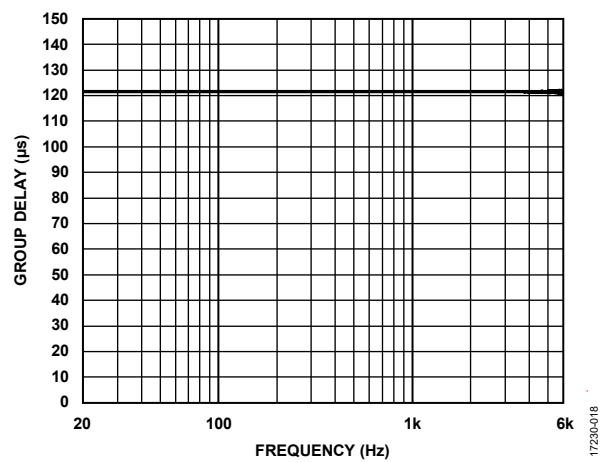


図 17. 群遅延と周波数、 $f_s = 48\text{kHz}$ 、16 倍のデシメーション

動作原理

ADAU7118 は、1 ビットの PDM 信号源から 24 ビットの PCM オーディオ信号へのデシメーションを最大 8 チャンネルについて行います。ダウンサンプリング比の代表値は $64 \times f_s$ ですが (f_s を PCM 出力サンプリング・レートとした場合)、ダウンサンプリング比を $32 \times f_s$ または $16 \times f_s$ に設定すれば、出力サンプリング・レートは容易に高くなります。全てのチャンネルは同じ比率でデシメーションを実行します。24 ビットのダウンサンプリング PCM オーディオ信号は、標準の I²S フォーマットまたは TDM フォーマットで出力されます。

ADAU7118 の入力信号源は、デジタル・マイクロフォンなど、スレーブ PDM 出力を備えたデバイスであれば何でもかまいません。これらのマイクロフォンの出力ピンは、ADAU7118 の入力ピンに直接接続できます。同じ信号の複製である 2 つの異なる PDM_CLKx 出力があるので、複数の信号源をより簡単に駆動できます。各 PDM_CLKx は個別にディスエーブルできます。

PDM_DATx 入力ピンは、PDM 信号源のデータ出力に接続されます。内部には、チャンネル 0 からチャンネル 7 まで 8 つのチャンネルがあります。PDM_DATx 入力から内部チャンネルへの割り当てを表 8 に詳しく示します。

表 8. PDM_DATx から内部チャンネルへの割り当て

入力ピン	PDM_CLK エッジ	内部チャンネル
PDM_DAT0	Falling	0
PDM_DAT0	Rising	1
PDM_DAT1	Falling	2
PDM_DAT1	Rising	3
PDM_DAT2	Falling	4
PDM_DAT2	Rising	5
PDM_DAT3	Falling	6
PDM_DAT3	Rising	7

各 PDM_DATx ピンに関連付けられた各内部チャンネル対を使用しない場合は、これらのチャンネル対をディスエーブルして電力を節減できます。

各 PDM データ・ピンを PDM_CLK0 または PDM_CLK1 のいずれかのクロック源に割り当て、デシメーション・レシオと PDM クロックのマッピング・コントロール・レジスタ (DEC_RATIO_CLK_MAP) を使用して、タイミング仕様への準拠性を確保する必要があります。PDM_CLKx の割り当ては、PDM マイクロフォンを駆動している実際の PDM クロックにする必要があります。デフォルトでは、PDM_DAT0 と PDM_DAT1 が PDM_CLK0 に割り当てられ、PDM_DAT2 と PDM_DAT3 が PDM_CLK1 に割り当てられます。この 2 つのクロック源の 4 つのデータ入力ピンへの割り当ては、PDM_DATx_CLK_MAP ビットで変更できます。

電源の投入と初期化

ADAU7118 は、動作するのに 2 つの電源 (IOVDD と DVDD) が必要です。これら 2 つの電源は同時に投入できます。これらの電源を別々に投入する場合は、先に IOVDD を投入する必要があり、その後任意の時間で DVDD を投入します。タイミングの制約はありません。電源が安定化すると、デバイスは初期化され、入力される I²S クロックまたは I²C コマンドを動作モードに基づいて受

け付ける準備が整います。

初期化完了後、I²S クロックが入力されると、デバイスは 16 サイクルのフル・フレーム同期サイクルが経過してから PDM クロックの送出を開始します。PDM クロックが始まり、新たな 48 サイクルのフレーム同期サイクルが経過した後、PDM データが SDATA ピンに現れます。これら 64 サイクルのフレーム同期サイクルを表 1 に示します。

ADAU7118 は、スタンドアロン・ハードウェアと I²C の 2 種類の動作モードで動作できます。詳細については、スタンドアロン・ハードウェア・モードのセクションまたは I²C 制御インターフェースのセクションを参照してください。

クロッキング

電源が投入されて起動初期化が完了すると、デバイスは I²S クロックを受け付ける準備が整います。その時点で、デバイスが完全に初期化してから PDM クロックの送信を開始するまでに 16 サイクルのフル・フレーム同期サイクルが経過します。通常動作時にビット・クロックまたはフレーム同期信号を遮断すると、ADAU7118 の PDM_CLKx 出力は即座に停止し、ADAU7118 は自動的に低消費電力状態に移行します。詳細については、パワーダウン状態のセクションを参照してください。クロックが再開すると、ADAU7118 はビット・クロック信号とフレーム同期信号に再ロックし、それに応じて PDM_CLKx 出力を調整します。PDM クロック出力が再開して入力信号にロックするまでの時間の長さは、4 フレーム±1 フレームです。クロック信号のフォーマットが変わると、ADAU7118 はフレームの最後にこの変化を検出して、PDM クロック出力を停止します。その後、デバイスは自動的に PDM クロックの送信を再設定して再開します。この場合も、PDM クロック出力が再開して入力信号にロックするまでにかかる時間は、通常 4 フレーム±1 フレームです。ADAU7118 は、フレーム同期 (FSYNC) サンプル・レートの 64 倍以上の BCLK レートが必要です。また、FSYNC レートの 128 倍、192 倍、256 倍、384 倍、および 512 倍の BCLK レートもサポートされています。ADAU7118 は BCLK と FSYNC の比率を自動的に検出して、デフォルトでは FSYNC の 64 倍のレートで PDM クロック出力を生成します。レジスタ 0x05 (DEC_RATIO_CLK_MAP) で低めのデシメーション・レシオを選択すると、PDM 出力のクロック・レートは DEC_RATIO ビットの設定値と一致します。最小サンプリング・レートは 4kHz であり、最大サンプリング・レートは 192kHz です。PDM クロック・レンジは 256kHz~6.144MHz です。デバイス内部では、全ての処理が PDM_CLK のレートで実行されます。

2 つの PDM クロック出力 (PDM_CLK0 および PDM_CLK1) は、同じクロックですが、バッファ処理出力が異なります。ただし、入力 PDM データは、実際のクロック・ピンに入力される信号を使用してクロックと同期し、このピンから出力される内部クロックは使用しません。この理由は、PDM データ信号と同様の方法で、クロックの立上がり時間を外部容量によって長くすることができるからです。入力 PDM データを PDM マイクロフォンに実際に接続されるクロック出力と関連付けることを推奨します。DEC_RATIO_CLK_MAP レジスタ (レジスタ 0x05) を使用して、2 つのクロックのいずれかを各 PDM データ入力に割り当てます。

パワーダウン状態

ADAU7118 は、使用できる 2 つの方法のいずれかを使用してパワーダウン状態にすることができます。推奨の方法は、レジスタ書き込みを使用して、デバイスを可能な最低限のパワーダウン状態にする方法です。ただし、ADAU7118 がスタンダアロン・モードで動作する場合は、イネーブル・ピン (EN) を使用する第 2 の方法を使用してください。

システム・コントローラを使用して低消費電力状態にする場合は、レジスタ 0x04 (ENABLES レジスタ) に 0 を書き込むことにより、PDM クロックをディスエーブルして、チャンネルの出力をディスエーブルします。その後、フレームとビット・クロックを遮断 (停止) して、デバイスをパワーダウン状態にすることができます。I²C の書き込みが完了してからクロックが停止するまでに十分な時間を見込んでください。I²C の書き込み後 1 サイクル以上のフル・フレームがあれば、待ち時間としては十分です。EN ピンの電圧を下げる必要はありません。電圧を下げて消費電力が更に減少することはありません。詳細については、表 9 を参照してください。

表 9. レジスタ書き込みを使用した ADAU7118 のパワーダウン状態への移行

手順	操作
1	レジスタ 0x04 に 0 を書き込む
2	1 フレーム以上の時間待つ
3	フレームとビット・クロックを停止する

ADAU7118 がスタンダアロン・モードである場合は、EN ピンにロー信号を加えてから 1 サイクル以上のフル・フレームだけ待てば、デバイスをパワーダウン状態にすることができます。詳細については、表 10 を参照してください。EN ピンにプルアップ抵抗を使用する場合は、このプルアップ抵抗を流れる付加的な電流を表 1 の値に加える必要があります。

表 10. ADAU7118 がスタンダアロン・モードで動作している場合のパワーダウン状態への移行

手順	操作
1	EN ピンに低電圧を印加する
2	1 フレーム以上の時間待つ
3	フレームとビット・クロックを停止する

パワーダウン・モードを終了するのに、クロックの再始動とデバイスのイネーブルの順序は関係ありません。デバイスをイネーブルするとは、EN ピンの電圧を高くするか、レジスタ 0x04 に書き込んでデバイスをイネーブルすることを指します。

スタンダアロン・ハードウェア・モード

全てのチャンネルはイネーブル状態になって出力するようデフォルトで設定されているので、デバイスは、I²C を使用しないデフォルトの制御設定と、ADDR/CONFIG ピンの任意の設定を組み合わせることで使用できます。ただし、ハードウェア・モードの場合は例外です。ADDR/CONFIG ピンをオープンのままにしている場合、デバイスはスタンダアロン・ハードウェア・モードになっており、I²C 通信ができません。ADDR/CONFIG ピン設定の詳細については、表 14 を参照してください。スタンダアロン・ハードウェア・モードでは、一部のレジスタの状態をデフォルトから変更することにより、I²C の SCL ピンと SDA ピンで異なる機能を選択できます。デフォルト設定との違いの詳細については、表 11 を参照してください。

BCLK を入力しているときにスタンダアロン・ハードウェア・モード動作で最小の消費電力を達成するため、EN ピンは引き続き機能しており、ロー・レベルにしてデバイスを低消費電力モードにすることができます。EN ピンはソフト・リセットも行いますが、レジスタの設定をリセットすることはありません。また、ビット・クロックとフレーム同期クロックを停止した場合も、デバイスは低消費電力状態になります。詳細については、クロッキングのセクションを参照してください。

表 11. スタンダアロン・ハードウェア・モードの設定：デフォルト設定からの変更点

SCL ピンの接続先	SDA ピンの接続先	動作設定	PDM クロックの設定：ENABLES、レジスタ 0x04	チャンネルのイネーブル：ENABLES、レジスタ 0x04	駆動強度
IOVDD	IOVDD	4-channel	PDM_CLK1_EN bit = 0, disabled	CHAN_45_EN bit = 0, CHAN_67_EN bit = 0	Default setting = 10
IOVDD	GND	8-channel high drive	Default settings	All channels enabled	SDATA_DS = 11, PDM_CLK0_DS = 11, PDM_CLK1_EN = 11
GND	IOVDD	6-channel	Default settings	CHAN_67_EN = 0	Default setting = 10
GND	GND	6-channel high drive	Default settings	CHAN_67_EN = 0	SDATA_DS = 11, PDM_CLK0_DS = 11, PDM_CLK1_EN = 11

シリアル・オーディオ出力インターフェース

ADAU7118 は、I²S および TDM シリアル出力フォーマットをサポートします。最大 16 の TDM スロットを使用できます。16 ビット、24 ビット、および 32 ビットの TDM スロット幅がサポートされます。内部チャンネルは、SPT_Cx_SLOT ビットを介して任意の出力スロットに通すことができます。デフォルトでは、各チャンネルは同じ番号のスロットに通されます。例えば、チャンネル 1 はスロット 1 に到達し、チャンネル 6 はスロット 6 に到達します。各チャンネルは、それぞれの SPT_Cx_DRV ビットを介して設定スロット時に駆動するように設定するか、駆動しない (3 ステートの高インピーダンス・モード) ように設定できます。I²S モードか TDM モードかの選択は、SPT_CTRL1 レジスタの SPT_SAI_MODE ビット (ビット 0) を介して行います。SDATA ピンは、デフォルトでは、ポートがシリアル・データを駆動している場合を除いて、3 ステートの高インピーダンス・モードになっています。2 つ以上のチャンネルを同じ TDM スロットに設定することが可能です。その場合には、最小のチャンネル番号が優先され、そのデータをスロットまで駆動します。もう一方のチャンネルのデータはどこにも現れません。この操作を防止するレジスタ設定のクロスチェックは存在しませんが、デバイスが損傷することではなく、データが出力から欠落するだけです。

SPT_CTRL1 レジスタの SPT_SAI_MODE ビット (ビット 0) は、シリアル・ポートのオーディオ・インターフェース・モードを設定します。2 つのモードはステレオと TDM です。これら 2 つのモードの主な違いは、予想されるフレーム同期クロックのフォーマットと、クロックのアクティブ・エッジの極性です。

SPT_SAI_MODE ビットを 0 に設定し、SPT_LRCLK_POL ビット (ビット 1、レジスタ SPT_CTRL2) を 0 に設定すると、シリアル・ポートはステレオ・モードになり、クロックの極性はノーマルに設定されます。このモードでは、2 チャンネルのデータのみが送信されると想定されます。フレームはフレーム同期クロックの立下がりエッジで始まり、期待デューティ・サイクルはハイとローが 50%ずつです。チャンネル 0 はクロックがローになるとそのデータを送出します。また、フレーム同期クロックがハイになるとすぐに、チャンネル 0 からのデータは停止し、チャンネル 1 が送信を開始します。フレーム同期クロックの両方のエッジが使用されます。デューティ・サイクルが 50/50 ではない場合は、得られたデータにエラーがある可能性があります。この動作モードでは、ADAU7118 は各チャンネルに 32 ビットのクロック遷移があることを想定しません。ビット・クロックとフレーム同期クロックとの全ての比がサポートされます。

SPT_SAI_MODE ビットを 1 に設定し、SPT_LRCLK_POL ビットを 0 に設定すると、シリアル・ポートは TDM モードになり、クロックの極性はノーマルに設定されます。このモードでは、送信されるのがわずか 1 チャンネルの場合もあれば、8 チャンネルが TDM-16 フォーマットの 16 データ・スロットにわたって広がる場合もあります。

ADAU7118 は、出力サンプリング・レートの 64 倍、128 倍、192 倍、256 倍、384 倍、または 512 倍という 6 種類のビット・クロック・レートをサポートできます。これらのビット・クロック・レートは、SPT_CTRL1 レジスタ、ビット [5:4] (SPT_SLOT_WIDTH) で選択した、3 種類の TDM

スロット・サイズ (16 ビット、24 ビット、または 32 ビットのスロット) と組み合わせることで、サポートされている 18 通りの組み合わせの TDM フォーマットが得られます。これらのフォーマットのいくつかには、偶数の全幅スロットがないことに注意してください (表 12 参照)。

次のフレーム同期エッジが検出されるとすぐに、ADAU7118 はスロット 0 から再開し、最後まで到達しなかったデータが直前のフレームにあっても、そのデータは失われます。この過程は、TDM-5 や TDM-10 のような特殊な TDM フォーマットを実現する方法です。更に、データを TDM スロットに置く場合は、TDM-16 以下のフォーマットのみがサポートされます。16 を超えるスロットにデータを置くことはできません。ADAU7118 は、全ての未使用 TDM スロットを 3 ステートにするよう設定できます。この対象となるのは、スロット数が 16 より多いモードの場合で、先頭の 16 スロットを超える全てのスロットです。

TDM モードでは、フレーム同期クロックが正極性パルスになることが予想されます。このパルスのクロック周期の幅は 1 ビット以上になります。立下がりエッジは重要ではなく、ローとして読み出されるタイミング仕様を満たすのに十分長い時間ローになってからハイに戻る限り、認識されません。フレームはこのパルスの立上がりエッジで始まります。データは、SPT_CTRL1 レジスタ、レジスタ 0x07 で指定されているスロット幅およびデータ・フォーマットに従ってクロックと同期して出力されます。ADAU7118 は、全てのアクティブ・チャンネルが送信されるまでデータを送信し続けます。その後、デバイスは次のフレーム同期クロック・エッジを待って、次の一連のフレーム・サンプルの送信を開始します。TDM-16 を使用する場合は、チャンネル 0 からチャンネル 7 までをスロット 0 からスロット 7 までに出力するよう ADAU7118 を設定すると、ADAU7118 はフレームの残りを 3 ステート化できるので、別の ADAU7118 がその 8 チャンネルをスロット 8 からスロット 15 に出力できます。これらのスロットが連続している必要はありません。これら 2 つのデバイスは、それぞれのデータを交互に出力できます (そうするよう正常に設定されている場合)。シリアル・ポートは、データ・スロットまで駆動するデータがある場合、駆動のみを目的に設定できます。8 チャンネルのうち 1 チャンネル以上を使用しない場合は、TDM データ・ストリームの該当データ・スロット時にスロットを駆動するか 3 ステートにするよう該当チャンネルを割り当てることができます。これは、SPT_Cx レジスタのビット 0 を使用して実行します。

SPT_LRCLK_POL ビット (L/R クロックの極性) は 1 に設定してかまいません。また、このビットにより、想定フレーム・クロックは反転します。ステレオ・モードでは、SPT_LRCLK_POL ビットを 1 に設定した場合、フレーム同期信号がハイのときチャンネル 0 が送出されるので、フレームの始点はローからハイへの遷移時になります。

TDM モードでは、SPT_LRCLK_POL ビットを 1 に設定した場合、予想されるフレーム同期パルスは負極性なので、フレームの始点はハイからローへの遷移時になります。

SPT_CTRL1 レジスタの SPT_DATA_FORMAT ビット (ビット [3:1]) では、32 ビットのデータ・スロットの範囲内でデータの両端揃えが可能です。24 ビット、20 ビット、および 16 ビットのデータ・ワード・サイズでは、左揃えモード、1 ビットのクロック周期だけ遅延、および右揃えモードが全てサポートされています。

表 12. サポートされている TDM ビット・クロック・レートでのスロット数とスロット・サイズの設定

ビット・クロック・レート	SPT_CTRL1, ビット[5:4]		
	0b01, 16 ビット・スロット	0b10, 24 ビット・スロット	0b00, 32 ビット・スロット
$64 \times f_s$	4	2 ¹	2
$128 \times f_s$	8	5 ¹	4
$192 \times f_s$	12	8	6
$256 \times f_s$	16	10 ¹	8
$384 \times f_s$	24	16	12
$512 \times f_s$	32	21 ¹	16

¹ この組み合わせでは、スロット数に含まれない部分的な最終 TDM スロットが発生します。その最終スロットのデータは無効です。表に示すスロット数は全幅スロットです。

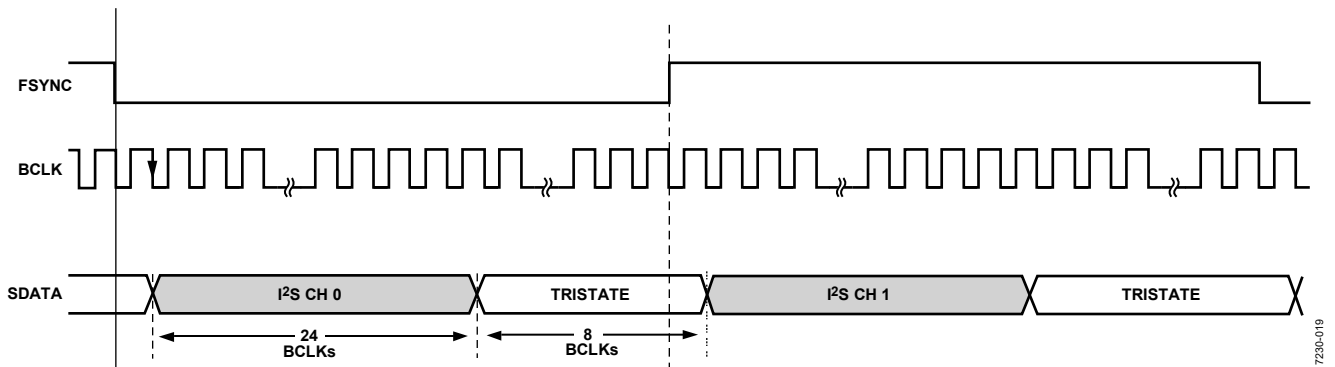


図 18. SPT_SIA_MODE = ステレオ・モード (I²S)、I²C 動作のみ

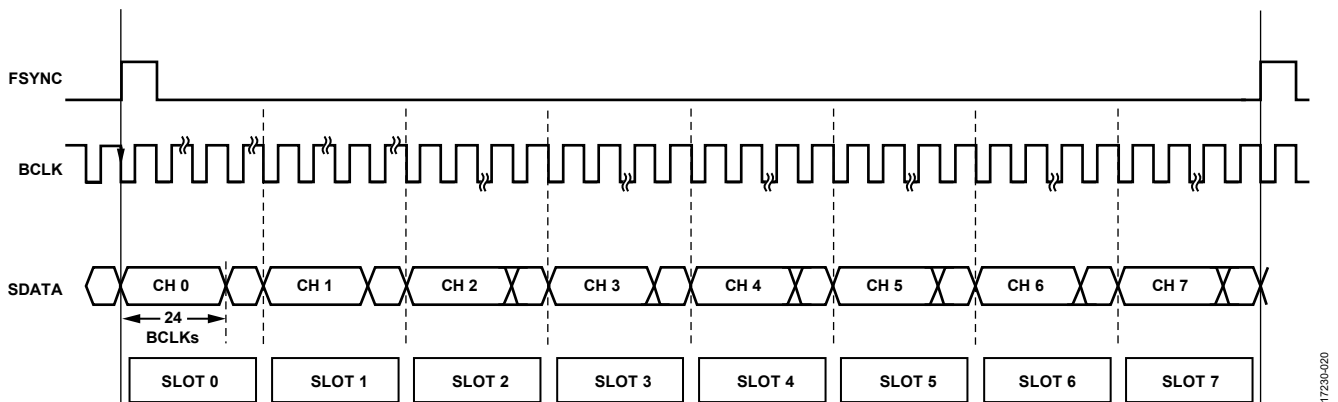


図 19. TDM-8、デフォルトのチャンネル割り当て、遅延なしの左揃え、24 ビット・データ、32 ビット・スロット、通常極性クロック

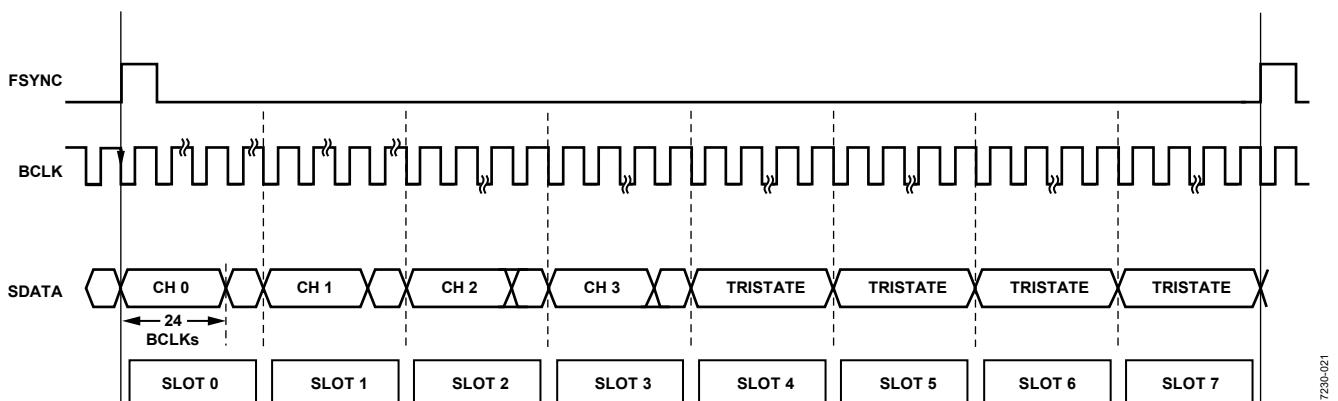


図 20. TDM-8、BCLK 遅延なしの左揃え、チャンネル 0 からチャンネル 3 までのみインネブル

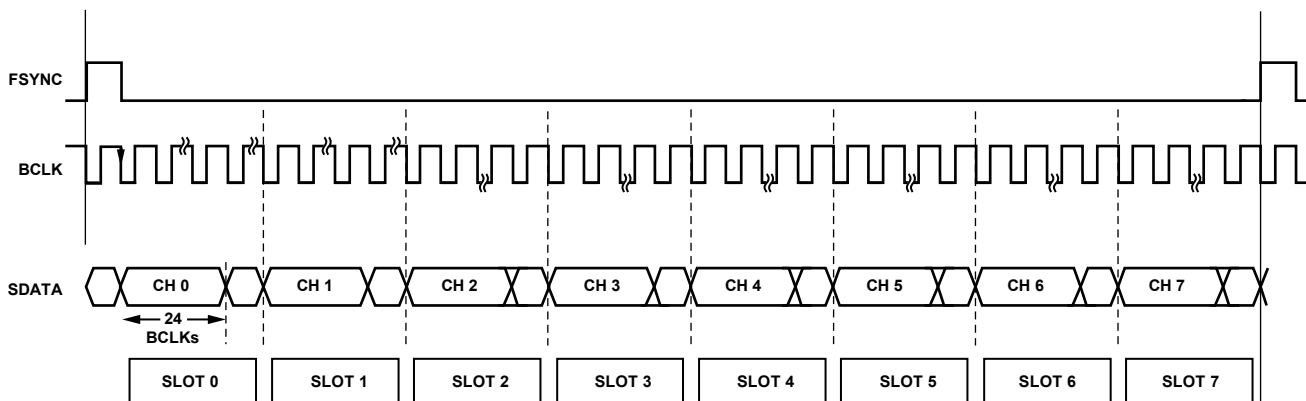


図 21. TDM-8、ハードウェア・モード、SCL = 1、SDA = 0、I²C モード、1 周期分の BCLK 遅延、通常のクロック極性、デフォルトのチャンネル割り当て

17230-022

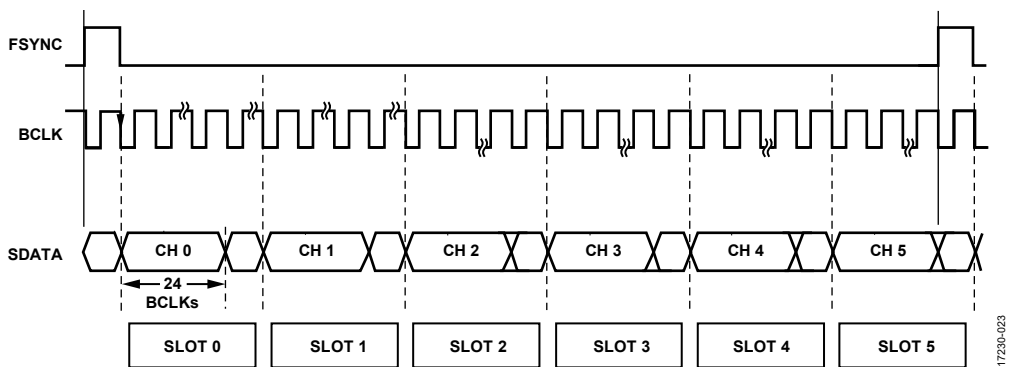


図 22. TDM-6、ハードウェア・モード、SCL = 0、SDA = x、I²C モード、1 周期分の BCLK 遅延、通常のクロック極性、デフォルトのチャンネル割り当て

17230-023

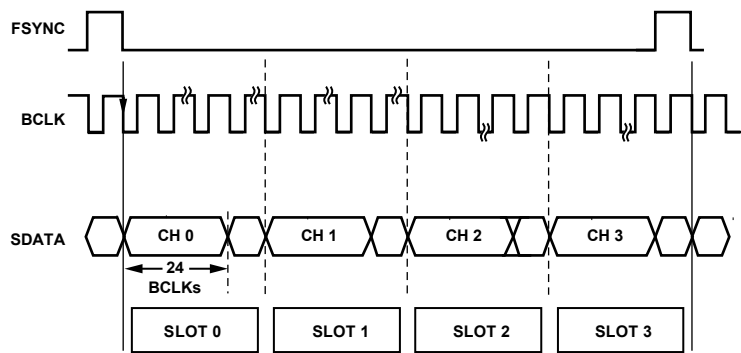


図 23. TDM-4、ハードウェア・モード、SCL = 1、SDA = 1、I²C モード、1 周期分の BCLK 遅延、通常のクロック極性、デフォルトのチャンネル割り当て

17230-024

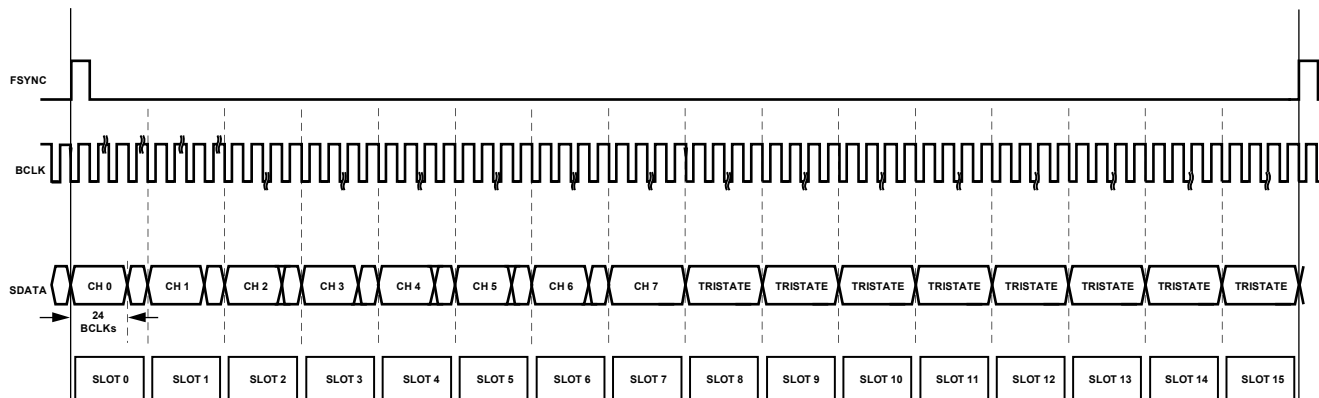


図 24. TDM-16、デフォルトのチャンネル割り当て、BCLK 遅延なしの左揃え、通常のクロック極性

17230-025

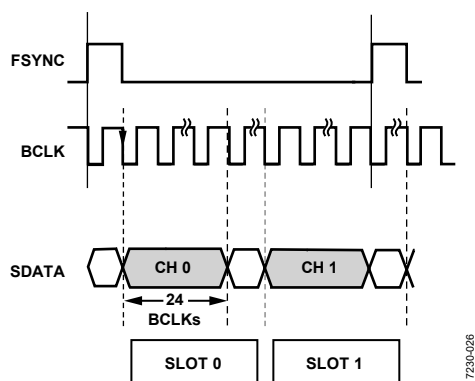


図 25. TDM-2、I²C モード、1 周期分の BCLK 遅延、通常のクロック極性、デフォルトのチャンネル割り当て

I²C 制御インターフェース

ADAU7118 は、複数の周辺機器間で共有される 2 線シリアル・バス (I²C 互換) をサポートしています。シリアル・データ (SDA) とシリアル・クロック (SCL) の 2 つの信号が ADAU7118 とシステムの I²C マスタ・コントローラの間で情報を伝達します。ADAU7118 はバス上では常にスレーブであり、データ転送を開始できません。各スレーブ・デバイスは、一意のアドレスによって識別されます。アドレスのバイト・フォーマットを表 13 に示します。アドレスの下位数ビットは ADDR/CONFIG ピンの状態によって決まり

ます (表 14 参照)。アドレスの場所は I²C 書き込みの上位 7 ビットです。このバイトの LSB は、読出しまたは書き込み動作のいずれかを設定します。ロジック・レベル 1 は読出し動作に対応し、ロジック・レベル 0 は書き込み動作に対応します。

SDA と SCL は両方ともオープンドレインであり、IOVDD の電圧へのプルアップ抵抗が必要です。ADAU7118 は、IOVDD の全範囲にわたって、I²C の電圧に応じて動作します。

表 13. I²C デバイス・アドレスのバイト・フォーマット

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	1	0	1	Bit 2	Bit 1	R/W

表 14. スタンドアロン・ハードウェア・モード：ADDR/CONFIG ピンのオプション

I ² C アドレス・ビット 2	I ² C アドレス・ビット 1	ADDR ピンの構成
1	1	IOVDD に接続
0	0	GND に接続
ハードウェア・モード 1	ハードウェア・モード 1	オープン
1	0	47kΩ の抵抗を介して IOVDD に接続
0	1	47kΩ の抵抗を介して GND に接続

出力ピンの駆動強度

全ての出力ピンは設定可能な出力駆動強度を備えており、それぞれのコントロール・レジスタを介して設定できます。3.3V の IOVDD では、2.5mA、5mA、10mA、15mA の駆動強度が設定可能です。シリアル・データ出力ピンは、スレーブ・モードでは有効な全てのサンプリング・レートで機能します。ただし、外部回路の設計が電気信号の完全性を十分に満たしていることが前提です。IOVDD = 1.8V（公称）で動作する場合は、12.288MHz を超える BCLK 周波数で十分なタイミング・マージンが得られるよう注意してください。PCB 上のビット・クロック信号線と SDATA 信号線の容量の他に、パターンの長さをこのタイミング・マージンの計算に盛り込みます。

ハイパス・フィルタ

信号経路には、1 次のハイパス・フィルタがあり、必要に応じてバイパスできます。ハイパス・フィルタはデフォルトではディスエーブルされており、HPF_EN（ビット 0、レジスタ HPF_CONTROL）= 1 を設定すればイネーブルできます。カットオフ周波数は HPF_CONTROL レジスタの HPF_FC ビット（ビット[7:4]）を使用して調整できます。この設定は出力サンプリング・レートが基準になっています。表 15 に、一般的なサンプリング・レートの設定とカットオフ周波数を示します。

表 15. HPF カットオフ周波数の選択

HPF_FC（ビット[7:4]）の設定	倍率	カットオフ周波数（Hz）	
		48kHz のサンプリング・レートの場合	32kHz のサンプリング・レートの場合
101	0.00505	242.4	161.6
110	0.00251	120.48	80.32
111	0.00125	60	40
1000	0.000623	29.904	19.936
1001	0.000311	14.928	9.952
1010	0.000155	7.44	4.96
1011	0.0000777	3.7296	2.4864
1100	0.0000389	1.8672	1.2448
1101	0.0000194	0.9312	0.6208
1110	0.00000971	0.46608	0.31072
1111	0.00000486	0.23328	0.15552

レジスタの一覧

表 16. ADAU7118 のレジスタの一覧

Reg	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
0x00	VENDOR_ID	[7:0]	VENDOR									0x41	R
0x01	DEVICE_ID1	[7:0]	DEVICE1									0x71	R
0x02	DEVICE_ID2	[7:0]	DEVICE2									0x18	R
0x03	REVISION_ID	[7:0]	REV									0x00	R
0x04	ENABLES	[7:0]	RESERVED			PDM_CLK1_EN	PDM_CLK0_EN	CHAN_67_EN	CHAN_45_EN	CHAN_23_EN	CHAN_01_EN	0x3F	R/W
0x05	DEC_RATIO_CLK_MAP	[7:0]	PDM_DAT3_CLK_MAP	PDM_DAT2_CLK_MAP	PDM_DAT1_CLK_MAP	PDM_DAT0_CLK_MAP	RESERVED		DEC_RATIO		0xC0	R/W	
0x06	HPF_CONTROL	[7:0]	HPF_FC				RESERVED			HPF_EN	0xD0	R/W	
0x07	SPT_CTRL1	[7:0]	RESERVED	SPT_TRL_STATE	SPT_SLOT_WIDTH	SPT_DATA_FORMAT			SPT_SAI_MODE	0x41	R/W		
0x08	SPT_CTRL2	[7:0]	RESERVED						SPT_LRCLK_POL	SPT_BCLK_POL	0x00	R/W	
0x09	SPT_C0	[7:0]	SPT_C0_SLOT				RESERVED			SPT_C0_DRV	0x01	R/W	
0x0A	SPT_C1	[7:0]	SPT_C1_SLOT				RESERVED			SPT_C1_DRV	0x11	R/W	
0x0B	SPT_C2	[7:0]	SPT_C2_SLOT				RESERVED			SPT_C2_DRV	0x21	R/W	
0x0C	SPT_C3	[7:0]	SPT_C3_SLOT				RESERVED			SPT_C3_DRV	0x31	R/W	
0x0D	SPT_C4	[7:0]	SPT_C4_SLOT				RESERVED			SPT_C4_DRV	0x41	R/W	
0x0E	SPT_C5	[7:0]	SPT_C5_SLOT				RESERVED			SPT_C5_DRV	0x51	R/W	
0x0F	SPT_C6	[7:0]	SPT_C6_SLOT				RESERVED			SPT_C6_DRV	0x61	R/W	
0x10	SPT_C7	[7:0]	SPT_C7_SLOT				RESERVED			SPT_C7_DRV	0x71	R/W	
0x11	DRIVE_STRENGTH	[7:0]	RESERVED			SDATA_DS	PDM_CLK1_DS	PDM_CLK0_DS			0x2A	R/W	
0x12	RESETS	[7:0]	RESERVED						SOFT_FULL_RESET	SOFT_RESET	0x00	W	

レジスタの詳細

ADI ベンダ ID レジスタ

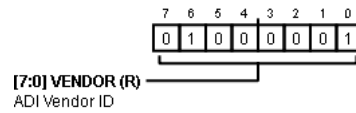
アドレス : 0x00、リセット : 0x41、レジスタ名 : **VENDOR_ID**

表 17. VENDOR_ID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	VENDOR	Not applicable	ADI Vendor ID	0x41	R

デバイス ID 1 レジスタ

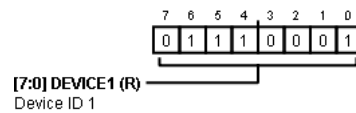
アドレス : 0x01、リセット : 0x71、レジスタ名 : **DEVICE_ID1**

表 18. DEVICE_ID1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVICE1	Not applicable	Device ID 1	0x71	R

デバイス ID 2 レジスタ

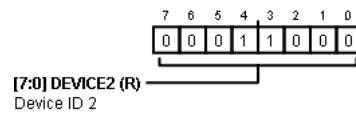
アドレス : 0x02、リセット : 0x18、レジスタ名 : **DEVICE_ID2**

表 19. DEVICE_ID2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DEVICE2	Not applicable	Device ID 2	0x18	R

リビジョン・コード・レジスタ

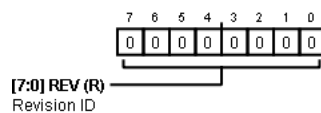
アドレス : 0x03、リセット : 0x00、レジスタ名 : **REVISION_ID**

表 20. REVISION_ID のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	REV	Not applicable	Revision ID	0x0	R

チャンネル対とクロックのイネーブル・レジスタ

アドレス：0x04、リセット：0x3F、レジスタ名：ENABLES

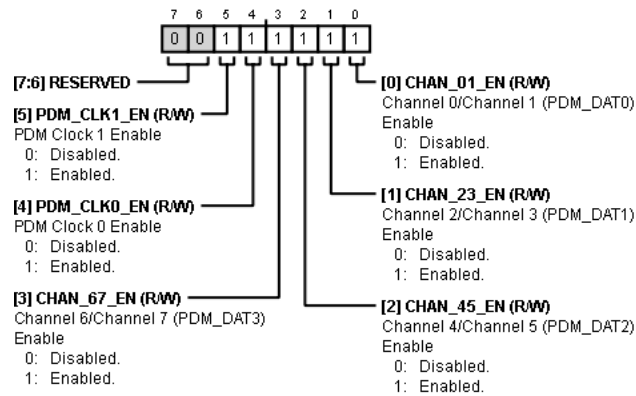


表 21. ENABLES のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備	0x0	R
5	PDM_CLK1_EN	0 1	PDM クロック 1 のイネーブル。 無効。 有効。	0x1	R/W
4	PDM_CLK0_EN	0 1	PDM クロック 0 のイネーブル。 無効。 有効。	0x1	R/W
3	CHAN_67_EN	0 1	チャンネル 6/チャンネル 7 (PDM_DAT3) のイネーブル。 無効。 有効。	0x1	R/W
2	CHAN_45_EN	0 1	チャンネル 4/チャンネル 5 (PDM_DAT2) のイネーブル。 無効。 有効。	0x1	R/W
1	CHAN_23_EN	0 1	チャンネル 2/チャンネル 3 (PDM_DAT1) のイネーブル。 無効。 有効。	0x1	R/W
0	CHAN_01_EN	0 1	チャンネル 0/チャンネル 1 (PDM_DAT0) のイネーブル。 無効。 有効。	0x1	R/W

デシメーション・レシオと PDM クロックのマッピング・コントロール・レジスタ

アドレス : 0x05、リセット : 0xC0、レジスタ名 : DEC_RATIO_CLK_MAP

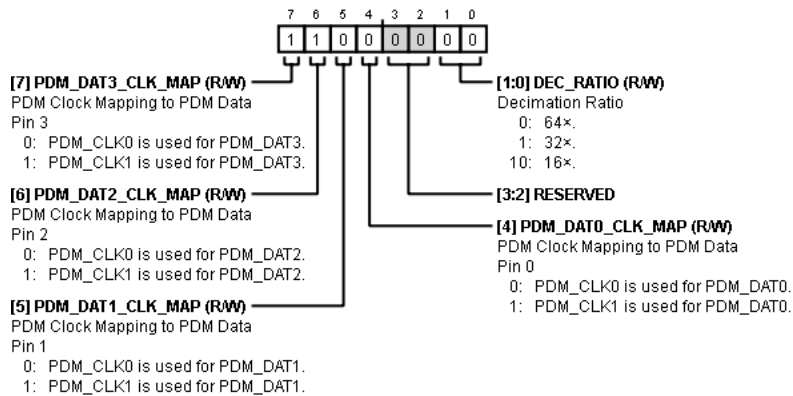


表 22. DEC_RATIO_CLK_MAP のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	PDM_DAT3_CLK_MAP	0 1	PDM データ・ピン 3 への PDM クロックのマッピング。 0 PDM_DAT3 に PDM_CLK0 を使用します。 1 PDM_DAT3 に PDM_CLK1 を使用します。	0x1	R/W
6	PDM_DAT2_CLK_MAP	0 1	PDM データ・ピン 2 への PDM クロックのマッピング。 0 PDM_DAT2 に PDM_CLK0 を使用します。 1 PDM_DAT2 に PDM_CLK1 を使用します。	0x1	R/W
5	PDM_DAT1_CLK_MAP	0 1	PDM データ・ピン 1 への PDM クロックのマッピング。 0 PDM_DAT1 に PDM_CLK0 を使用します。 1 PDM_DAT1 に PDM_CLK1 を使用します。	0x0	R/W
4	PDM_DAT0_CLK_MAP	0 1	PDM データ・ピン 0 への PDM クロックのマッピング。 0 PDM_DAT0 に PDM_CLK0 を使用します。 1 PDM_DAT0 に PDM_CLK1 を使用します。	0x0	R/W
[3:2]	RESERVED		予備	0x0	R
[1:0]	DEC_RATIO	0 1 10	デシメーション・レシオ。 0 64 倍。 1 32 倍。 10 16 倍。	0x0	R/W

ハイパス・フィルタ・コントロール・レジスタ

アドレス : 0x06、リセット : 0xD0、レジスタ名 : HPF_CONTROL

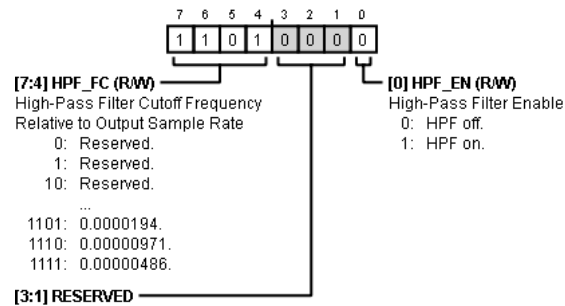


表 23. HPF_CONTROL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	HPF_FC		出力サンプリング・レートを基準にしたハイパス・フィルタのカットオフ周波数。	0xD	R/W
		0	予備		
		1	予備		
		10	予備		
		11	予備		
		100	予備		
		101	0.00505		
		110	0.00251		
		111	0.00125		
		1000	0.000623		
		1001	0.000311		
		1010	0.000155		
		1011	0.0000777		
		1100	0.0000389		
		1101	0.0000194		
		1110	0.00000971		
		1111	0.00000486		
[3:1]	RESERVED		予備	0x0	R
0	HPF_EN		ハイパス・フィルタのイネーブル。	0x0	R/W
		0	HPF オフ。		
		1	HPF オン。		

シリアル・ポート制御 1 レジスタ

アドレス : 0x07、リセット : 0x41、レジスタ名 : SPT_CTRL1

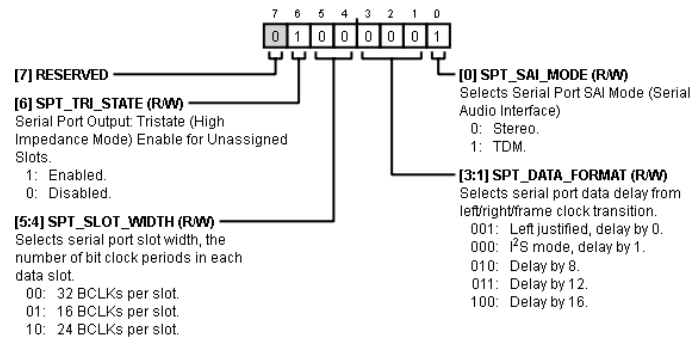


表 24. SPT_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備	0x0	R
6	SPT_TRI_STATE	1 0	シリアル・ポート出力 : 未割り当てスロットに対して 3 ステート (高インピーダンス・モード) を有効化。 有効。 無効。	0x1	R/W
[5:4]	SPT_SLOT_WIDTH	00 01 10	シリアル・ポートのスロット幅、各データ・スロットでのビット・クロック周期の数を選択。 スロットにつき 32 の BCLK。 スロットにつき 16 の BCLK。 スロットにつき 24 の BCLK。	0x0	R/W
[3:1]	SPT_DATA_FORMAT	001 000 010 011 100	シリアル・ポートのデータの L/R/フレーム・クロック遷移からの遅延を選択。 左揃え、遅延なし。 I ² S モード、1 周期だけ遅延。 8 周期だけ遅延。 12 周期だけ遅延。 16 周期だけ遅延。	0x0	R/W
0	SPT_SAI_MODE	0 1	シリアル・ポート SAI モード (シリアル・オーディオ・インターフェース) を選択。 ステレオ。 TDM。	0x1	R/W

シリアル・ポート制御 2 レジスタ

アドレス : 0x08、リセット : 0x00、レジスタ名 : SPT_CTRL2

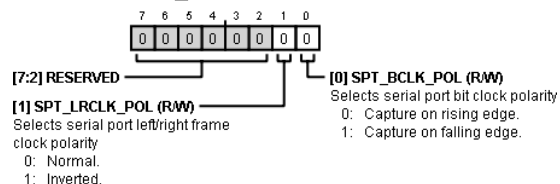


表 25. SPT_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	RESERVED		予備	0x0	R
1	SPT_LRCLK_POL	0 1	シリアル・ポートの L/R フレーム・クロックの極性を選択。 ノーマル。 反転。	0x0	R/W
0	SPT_BCLK_POL	0 1	シリアル・ポートのビット・クロックの極性を選択。 立上がりエッジで取り込む。 立下がりエッジで取り込む。	0x0	R/W

シリアル・ポートの経路指定と駆動イネーブルのチャンネル 0 レジスタ

アドレス : 0x09、リセット : 0x01、レジスタ名 : SPT_C0

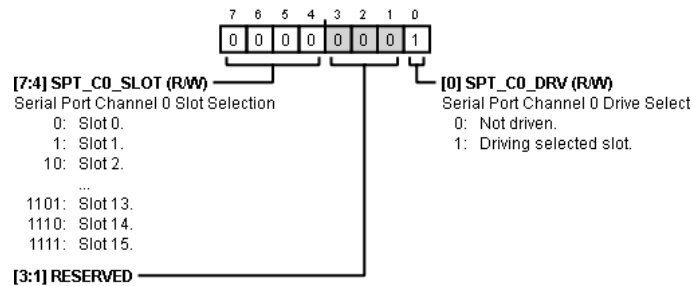


表 26. SPT_C0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	SPT_C0_SLOT	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	シリアル・ポートのチャンネル 0 スロットの選択。 スロット 0。 スロット 1。 スロット 2。 スロット 3。 スロット 4。 スロット 5。 スロット 6。 スロット 7。 スロット 8。 スロット 9。 スロット 10。 スロット 11。 スロット 12。 スロット 13。 スロット 14。 スロット 15。	0x0	R/W
[3:1]	RESERVED		予備	0x0	R
0	SPT_C0_DRV	0 1	シリアル・ポートのチャンネル 0 駆動の選択。このビットは、関連のチャンネルをその割り当てスロットで駆動するかどうか、または関連のチャンネルを割り当てスロット時に高インピーダンスのフローティング状態にするかどうかを決定します。 駆動しない。 選択したスロットを駆動する。	0x1	R/W

シリアル・ポートの経路指定と駆動イネーブルのチャンネル1レジスタ

アドレス：0x0A、リセット：0x11、レジスタ名：SPT_C1

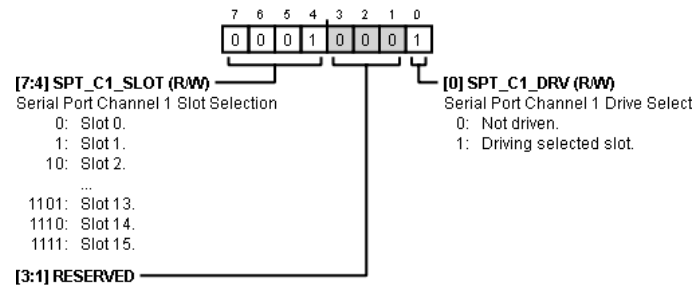


表 27. SPT_C1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	SPT_C1_SLOT	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	シリアル・ポートのチャンネル1スロットの選択。 スロット 0。 スロット 1。 スロット 2。 スロット 3。 スロット 4。 スロット 5。 スロット 6。 スロット 7。 スロット 8。 スロット 9。 スロット 10。 スロット 11。 スロット 12。 スロット 13。 スロット 14。 スロット 15。	0x1	R/W
[3:1]	RESERVED		予備	0x0	R
0	SPT_C1_DRV	0 1	シリアル・ポートのチャンネル1駆動の選択。このビットは、関連のチャンネルをその割り当てスロットで駆動するかどうか、または関連のチャンネルを割り当てスロット時に高インピーダンスのフローティング状態にするかどうかを決定します。 0 駆動しない。 1 選択したスロットを駆動する。	0x1	R/W

シリアル・ポートの経路指定と駆動イネーブルのチャンネル 2 レジスタ

アドレス：0x0B、リセット：0x21、レジスタ名：SPT_C2

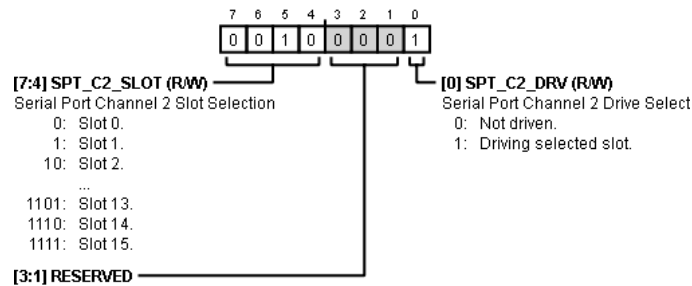


表 28. SPT_C2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	SPT_C2_SLOT	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	シリアル・ポートのチャンネル 2 スロットの選択。 スロット 0。 スロット 1。 スロット 2。 スロット 3。 スロット 4。 スロット 5。 スロット 6。 スロット 7。 スロット 8。 スロット 9。 スロット 10。 スロット 11。 スロット 12。 スロット 13。 スロット 14。 スロット 15。	0x2	R/W
[3:1]	RESERVED		予備	0x0	R
0	SPT_C2_DRV	0 1	シリアル・ポートのチャンネル 2 駆動の選択。このビットは、関連のチャンネルをその割り当てスロットで駆動するかどうか、または関連のチャンネルを割り当てスロット時に高インピーダンスのフローティング状態にするかどうかを決定します。 駆動しない。 選択したスロットを駆動する。	0x1	R/W

シリアル・ポートの経路指定と駆動イネーブルのチャンネル 3 レジスタ

アドレス : 0x0C、リセット : 0x31、レジスタ名 : SPT_C3

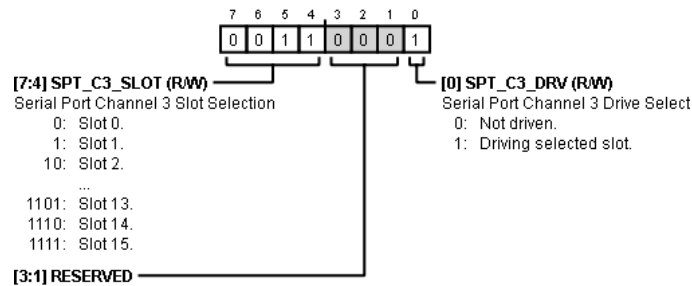


表 29. SPT_C3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	SPT_C3_SLOT	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	シリアル・ポートのチャンネル 3 スロットの選択。 スロット 0。 スロット 1。 スロット 2。 スロット 3。 スロット 4。 スロット 5。 スロット 6。 スロット 7。 スロット 8。 スロット 9。 スロット 10。 スロット 11。 スロット 12。 スロット 13。 スロット 14。 スロット 15。	0x3	R/W
[3:1]	RESERVED		予備	0x0	R
0	SPT_C3_DRV	0 1	シリアル・ポートのチャンネル 3 駆動の選択。このビットは、関連のチャンネルをその割り当てスロットで駆動するかどうか、または関連のチャンネルを割り当てスロット時に高インピーダンスのフローティング状態にするかどうかを決定します。 0 駆動しない。 1 選択したスロットを駆動する。	0x1	R/W

シリアル・ポートの経路指定と駆動イネーブルのチャンネル4レジスタ

アドレス：0x0D、リセット：0x41、レジスタ名：SPT_C4

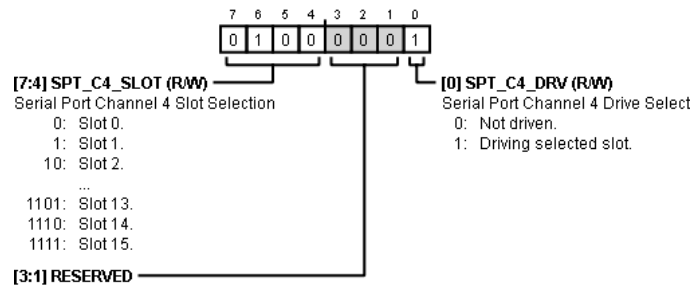


表 30. SPT_C4 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	SPT_C4_SLOT	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	シリアル・ポートのチャンネル4スロットの選択。 スロット0。 スロット1。 スロット2。 スロット3。 スロット4。 スロット5。 スロット6。 スロット7。 スロット8。 スロット9。 スロット10。 スロット11。 スロット12。 スロット13。 スロット14。 スロット15。	0x4	R/W
[3:1]	RESERVED		予備	0x0	R
0	SPT_C4_DRV	0 1	シリアル・ポートのチャンネル4駆動の選択。このビットは、関連のチャンネルをその割り当てスロットで駆動するかどうか、または関連のチャンネルを割り当てスロット時に高インピーダンスのフローティング状態にするかどうかを決定します。 駆動しない。 選択したスロットを駆動する。	0x1	R/W

シリアル・ポートの経路指定と駆動イネーブルのチャンネル 5 レジスタ

アドレス：0x0E、リセット：0x51、レジスタ名：SPT_C5

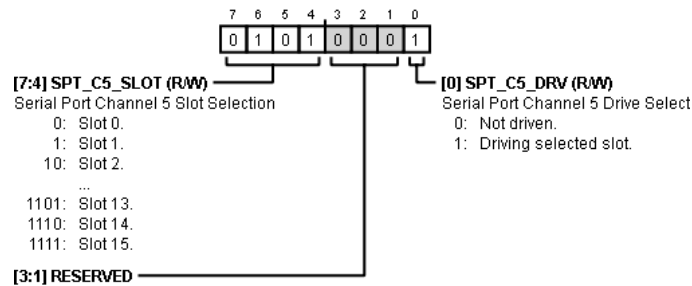


表 31. SPT_C5 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	SPT_C5_SLOT	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	シリアル・ポートのチャンネル 5 スロットの選択。 スロット 0。 スロット 1。 スロット 2。 スロット 3。 スロット 4。 スロット 5。 スロット 6。 スロット 7。 スロット 8。 スロット 9。 スロット 10。 スロット 11。 スロット 12。 スロット 13。 スロット 14。 スロット 15。	0x5	R/W
[3:1]	RESERVED		予備	0x0	R
0	SPT_C5_DRV	0 1	シリアル・ポートのチャンネル 5 駆動の選択。このビットは、関連のチャンネルをその割り当てスロットで駆動するかどうか、または関連のチャンネルを割り当てスロット時に高インピーダンスのフローティング状態にするかどうかを決定します。 0 駆動しない。 1 選択したスロットを駆動する。	0x1	R/W

シリアル・ポートの経路指定と駆動イネーブルのチャンネル 6 レジスタ

アドレス : 0x0F、リセット : 0x61、レジスタ名 : SPT_C6

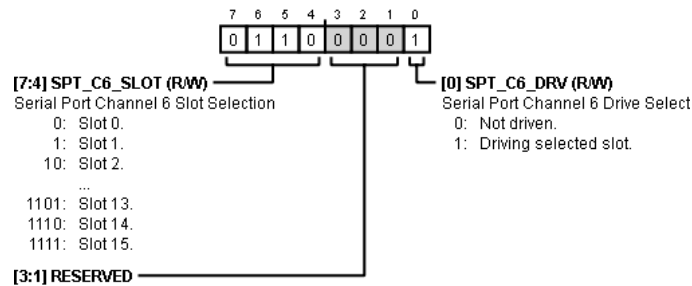


表 32. SPT_C6 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	SPT_C6_SLOT	0 スロット 0。 1 スロット 1。 10 スロット 2。 11 スロット 3。 100 スロット 4。 101 スロット 5。 110 スロット 6。 111 スロット 7。 1000 スロット 8。 1001 スロット 9。 1010 スロット 10。 1011 スロット 11。 1100 スロット 12。 1101 スロット 13。 1110 スロット 14。 1111 スロット 15。	シリアル・ポートのチャンネル 6 スロットの選択。	0x6	R/W
[3:1]	RESERVED		予備	0x0	R
0	SPT_C6_DRV	0 駆動しない。 1 選択したスロットを駆動する。	シリアル・ポートのチャンネル 6 駆動の選択。このビットは、関連のチャンネルをその割り当てスロットで駆動するかどうか、または関連のチャンネルを割り当てスロット時に高インピーダンスのフローティング状態にするかどうかを決定します。	0x1	R/W

シリアル・ポートの経路指定と駆動イネーブルのチャンネル7レジスタ

アドレス：0x10、リセット：0x71、レジスタ名：SPT_C7

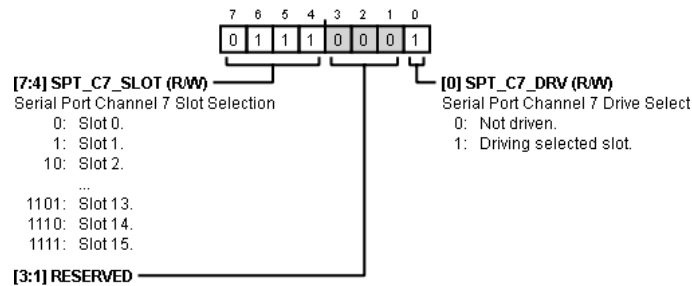


表 33. SPT_C7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	SPT_C7_SLOT	0 1 10 11 100 101 110 111 1000 1001 1010 1011 1100 1101 1110 1111	シリアル・ポートのチャンネル7スロットの選択。 スロット 0。 スロット 1。 スロット 2。 スロット 3。 スロット 4。 スロット 5。 スロット 6。 スロット 7。 スロット 8。 スロット 9。 スロット 10。 スロット 11。 スロット 12。 スロット 13。 スロット 14。 スロット 15。	0x7	R/W
[3:1]	RESERVED		予備	0x0	R
0	SPT_C7_DRV	0 1	シリアル・ポートのチャンネル7駆動の選択。このビットは、関連のチャンネルをその割り当てスロットで駆動するかどうか、または関連のチャンネルを割り当てスロット時に高インピーダンスのフローティング状態にするかどうかを決定します。 0 駆動しない。 1 選択したスロットを駆動する。	0x1	R/W

出力パッドの駆動強度制御レジスタ

アドレス : 0x11、リセット : 0x2A、レジスタ名 : DRIVE_STRENGTH

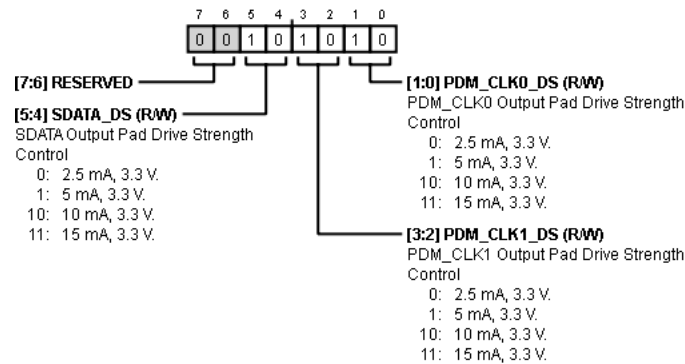


表 34. DRIVE_STRENGTH のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備	0x0	R
[5:4]	SDATA_DS	0 1 10 11	SDATA 出力パッドの駆動強度制御。 2.5mA、3.3V。 5mA、3.3V。 10mA、3.3V。 15mA、3.3V。	0x2	R/W
[3:2]	PDM_CLK1_DS	0 1 10 11	PDM_CLK1 出力パッドの駆動強度制御。 2.5mA、3.3V。 5mA、3.3V。 10mA、3.3V。 15mA、3.3V。	0x2	R/W
[1:0]	PDM_CLK0_DS	0 1 10 11	PDM_CLK0 出力パッドの駆動強度制御。 2.5mA、3.3V。 5mA、3.3V。 10mA、3.3V。 15mA、3.3V。	0x2	R/W

ソフトウェア・リセット・レジスタ

アドレス : 0x12、リセット : 0x00、レジスタ名 : RESETS

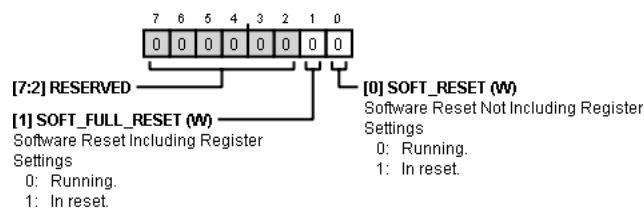


表 35. RESETS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	RESERVED		予備	0x0	R
1	SOFT_FULL_RESET	0 1	レジスタ設定を含むソフトウェア・リセット。 動作中。 リセット状態。	0x0	W
0	SOFT_RESET	0 1	レジスタ設定を含まないソフトウェア・リセット。 動作中。 リセット状態。	0x0	W

外形寸法

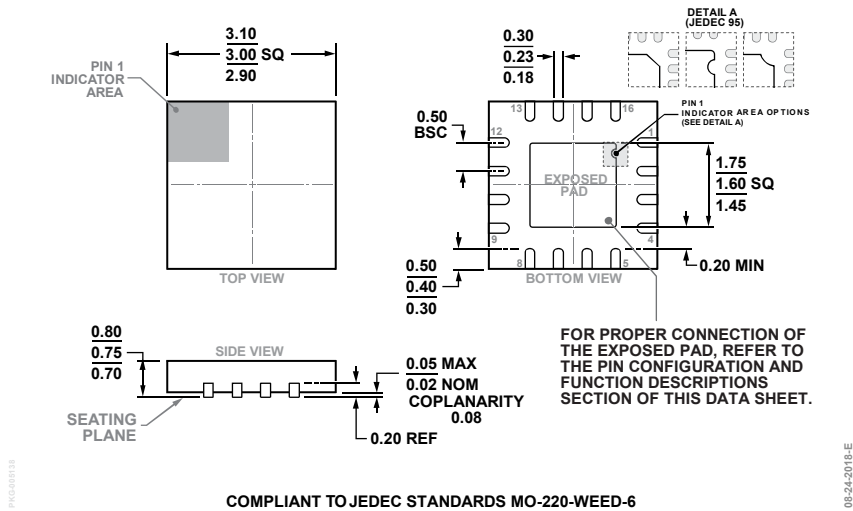


図 27.16 ピン・リードフレーム・チップスケール・パッケージ [LFCSP]
 ボディ：3mm×3mm、高さ：0.75mm
 (CP-16-22)
 寸法：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Marking Code	Package Option
ADAU7118ACPZRL	-40°C to +85°C	16-Lead LFCSP, 13" Tape and Reel	Y70	CP-16-22
EVAL-ADAU7118Z		Evaluation Board		

¹Z = RoHS 準拠製品

¹C は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。