



ステレオPDMからI²S/ TDMへの変換用IC

データシート

ADAU7002

特長

64倍ステレオ・パルス密度変調（PDM）のビット・ストリームをパルス・コード変調（PCM）オーディオ・データに変換

I²S または時間分割多重化（TDM）出力とのスレーブ・インターフェース

設定可能な TDM スロット

I/O 電源：1.62～3.6V

64倍の出力サンプル・レートの PDM クロック

64 / 128 / 192 / 256 / 384 / 512 倍の出力サンプル・レート BCLK

自動 BCLK 比の検出

出力サンプル・レート：4～96 kHz

自動 PDM CLK 駆動（64倍サンプル・レート時）

BCLK 停止で自動パワーダウン

IOVDD 電源時の動作電流：0.67mA（48kHz, IOVDD=1.8V 時）

シャットダウン電流：<1 μA

8ボール、1.56mm×0.76mm、0.4mmピッチ WLCSP

パワーオン・リセット

アプリケーション

モバイル・コンピューティング

携帯型電子機器

民生用電子機器

概要

ADAU7002 は、ステレオ PDM のビット・ストリームを PCM 出力に変換します。PDM データの信号源は、2つのマイクロフォンやその他の PDM 源です。PCM オーディオ・データは、I²S または TDM フォーマットのどちらかでシリアルオーディオ・インターフェース・ポートに出力されます。

ADAU7002 は、-40～+85°C の商用温度範囲で仕様規定されています。この製品は、ハロゲン化合物フリーの 8 ピン、1.56 mm × 0.76 mm ウェーハ・レベル・チップ・スケール・パッケージ (WLCSP) を採用しています。

機能ブロック図

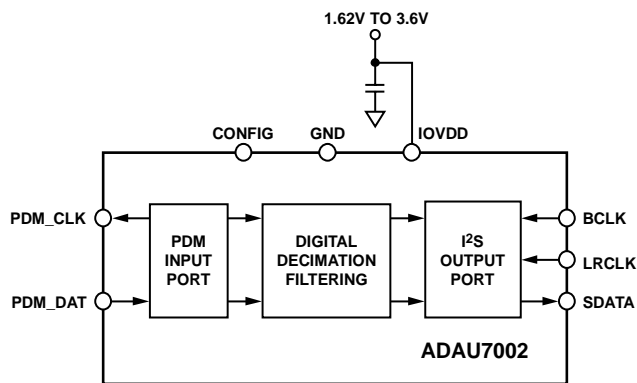


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2013 Analog Devices, Inc. All rights reserved.

Rev. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	ピン配置と機能の説明.....	5
アプリケーション.....	1	代表的な性能特性.....	6
概要.....	1	代表的なアプリケーション回路.....	8
機能ブロック図.....	1	アプリケーションの情報.....	9
改訂履歴.....	2	概要.....	9
仕様.....	3	クロッキング.....	9
絶対最大定格.....	4	シリアル・オーディオ出力インターフェース.....	9
熱抵抗.....	4	外形寸法.....	13
ESDに関する注意.....	4	オーダー・ガイド.....	13

改訂履歴

1/13—Revision 0: Initial Version

仕様

特に指定のない限り、IOVDD = 1.8 V、T_A = 25°C、BCLK = 3.072 MHz、出力 = 48 kHz、I²S フォーマット。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DIGITAL INPUT/OUTPUT					
High Level Input Voltage (V _{IH})			0.7 × IOVDD		V
Low Level Input Voltage (V _{IL})			0.3 × IOVDD		V
Input Leakage, High (I _{IH})	BCLK and LRCLK pins			1	μA
Input Leakage, Low (I _{IL})	BCLK and LRCLK pins			1	μA
Input Capacitance SDATA			4.5	5	pF
PDM_CLK			9		mA
PERFORMANCE					
Dynamic Range With A-Weighted Filter (RMS)	20 Hz to 20 kHz, -60 dB input		110		dB
Signal-to-Noise-Ratio	A-weighted, fourth-order input		110		dB
Decimation Ratio			64×		
Frequency Response	DC to 0.45 output f _s	-0.1		+0.01	dB
Stop Band			0.566		f _s
Stop-Band Attenuation		60			dB
Group Delay	0.02 f _s input signal		3.31		LRCLK cycles
Gain	PDM to PCM		0		dB
Start-Up Time			48		LRCLK cycles
Bit Width	Internal and output		20		Bits
Interchannel Phase			0		Degrees
CLOCKING					
Output Sampling Rate	f _s LRCLK pulse rate	4	48	96	kHz
BCLK Frequency	f _{BCLK}	0.256	3.072	24.576	MHz
POWER SUPPLIES					
Supply Voltage Range	IOVDD	1.62		3.6	V
Supply Current	IOVDD _{SY} = 1.8 V		0.67		mA
	IOVDD = 3.3 V		1.33		mA
	IOVDD = 1.8 V, 16 kHz output		0.21		mA
	IOVDD = 3.3 V, 16 kHz output		0.41		mA
Shutdown Current	IOVDD _{SD} , no input clocks		1		μA

絶対最大定格

特に指定のない限り、絶対最大定格は 25°C のときの値です。

表 2.

Parameter	Rating
IOVDD Supply Voltage	3.6 V
Input Voltage	3.6 V
ESD Susceptibility	4 kV
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +85°C
Junction Temperature Range	-65°C to +165°C
Lead Temperature (Soldering, 60 sec)	300°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} (接合部-大気間) は、最悪の条件、すなわち回路ボードに表面実装パッケージをハンダ付けした状態で規定しています。自然対流で冷却される 4 層 PC ボード (PCB) の θ_{JA} は JESD51-9 によって決まります。

表 3. 熱抵抗

Package Type	θ_{JA}	Unit
8-ball, 1.56 mm × 0.76 mm WLCSP	90	°C/W

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないうまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

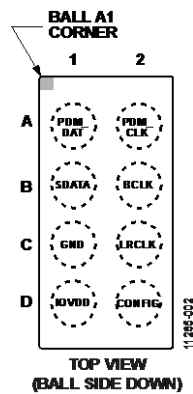


図 2. ピン配置 (上面図)

表 4. ピン機能の説明

ピン番号	記号	タイプ	説明
A1	PDM_DAT	入力	PDM データ入力
A2	PDM_CLK	出力	PDM クロック出力
B1	SDATA	出力	I ² S/TDM のシリアル・データ出力
B2	BCLK	入力	I ² S/TDM のビット・クロック
C1	GND	グラウンド	グラウンド
C2	LRCLK	入力	I ² S 用の L/R クロック / TDM 用のフレーム同期
D1	IOVDD	電源	入力 / 出力およびデジタル電源
D2	CONFIG	入力	機能設定ピン

代表的な性能特性

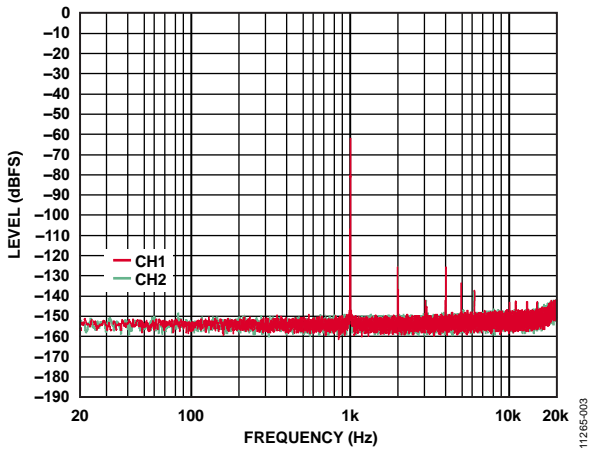


図 3. FFT、 $f_s = 48$ kHz、 -60 dBFS 入力

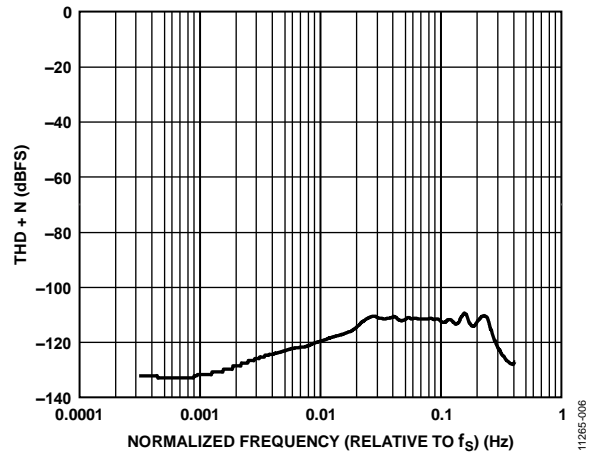


図 6. f_s で正規化した周波数 対 全高調波歪み+ノイズ (THD + N)

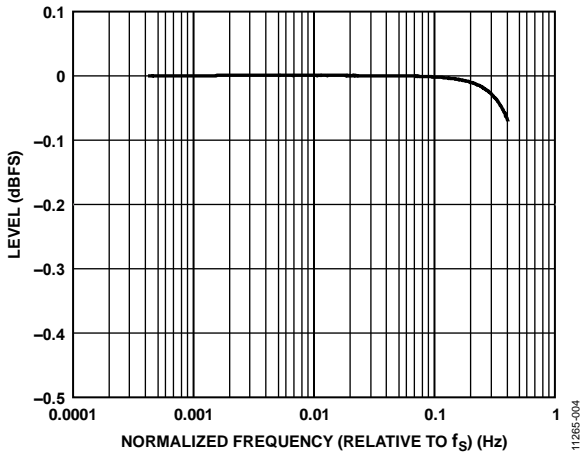


図 4. 周波数応答

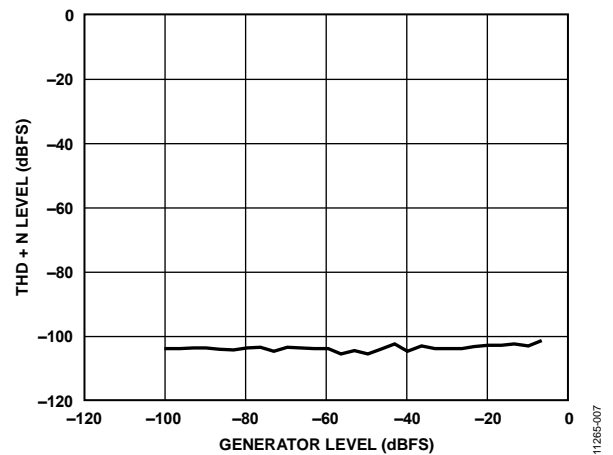


図 7. ジェネレータ・レベル 対 THD + N レベル

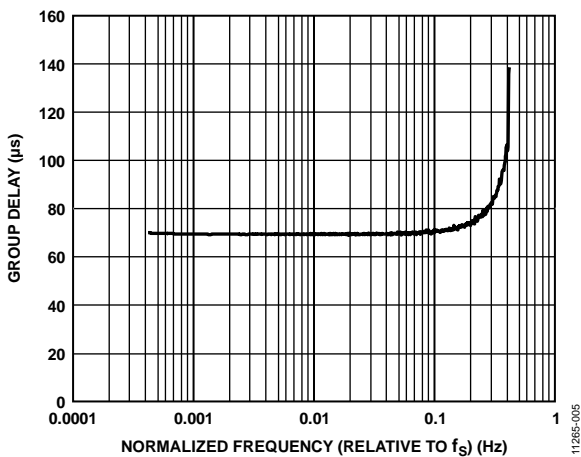


図 5. f_s で正規化した周波数 対 グループ遅延

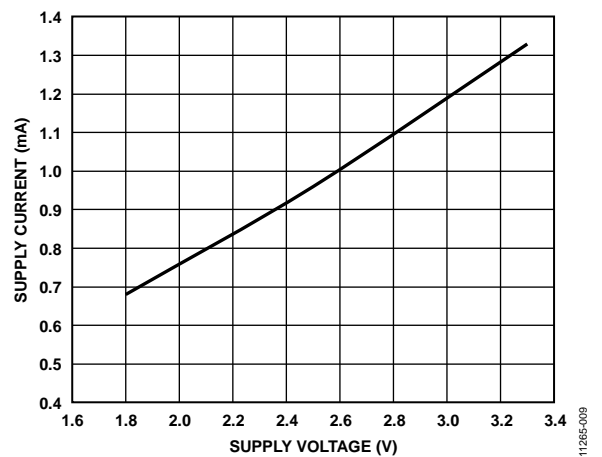


図 8. 電源電圧 対 電源電流

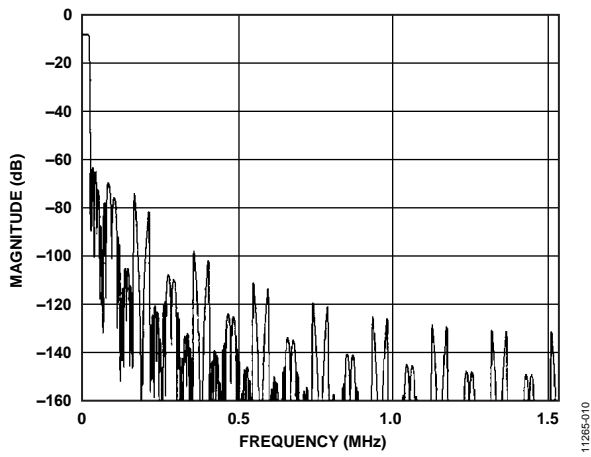


図 9. 帯域外周波数応答 (48 kHz 出力)

代表的なアプリケーション回路

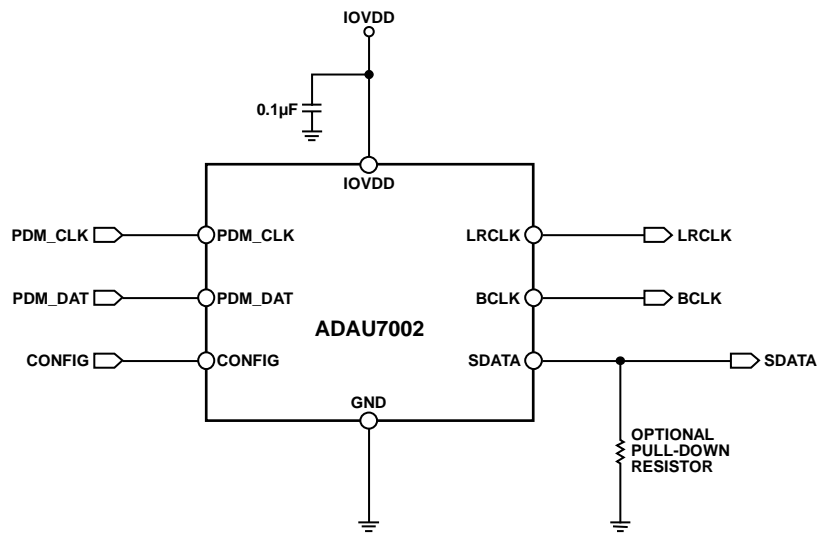


図 10. 代表的なアプリケーション回路

11285-011

アプリケーションの情報

概要

ADAU7002 は、1 ビット PDM 源からのステレオ入力を 20 ビットの PCM オーディオに変換します。ダウンサンプリング比は 64 倍に固定されています。ダウンサンプルした PCM オーディオ (20 ビット) を I²S または TDM フォーマットで出力します。

デジタル・マイクロフォン ADMP521 など、PDM 出力のデバイスであればどのような装置でも ADAU7002 の入力源に使用できます。マイクロフォンの出力ピンは、ADAU7002 の入力ピンに直接接続することができます。

クロッキング

ADAU7002 は、LRCLK サンプル・レートの最低 64 倍の BCLK レートが必要です。LRCLK レートの 128 倍、192 倍、256 倍、384 倍、512 倍の BCLK レートにも対応します。ADAU7002 は BCLK と LRCLK 間の比を自動的に検出して、LRCLK の 64 倍のレートの PDM クロック出力を生成します。サンプル・レートは最小 4 kHz、最大 96 kHz で、256 kHz~6.144 MHz の PDM クロック範囲に対応します。内部では、PDM_CLK レートですべての処理が実行されます。

BCLK が停止されると、ADAU7002 は自動的にパワーダウンします。BCLK が入力されないと、PDM_CLK 出力は停止します。

表 5. PDM タイミング・パラメータ

Parameter	t _{MIN}	t _{MAX}	Unit
Data Setup Time, t _{SETUP}	10		ns
Data Hold Time, t _{HOLD}	7		ns

PDM データはクロックの両エッジでラッチされます。

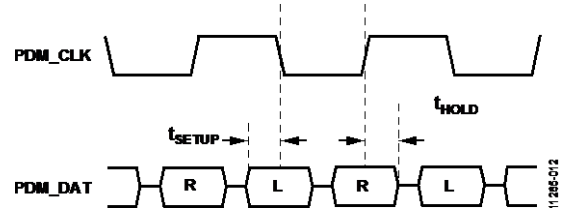


図 11. PDM タイミング図

シリアル・オーディオ出カインターフェース

ADAU7002 は I²S および TDM シリアル・出力フォーマットに対応しています。フォーマットの選択と TDM スロットの配置は CONFIG ピンで設定します。CONFIG ピンの設定に基づいてシリアル・データをポートで駆動するとき以外は、SDATA ピンはスリーステート・モードになります。

表 6. TDM スロットの選択

Device Setting	CONFIG Pin Configuration
I ² S Format	Tie to IOVDD
TDM Slot 1 to Slot 2 Used/Driven, 32-Bit Slots	Tie to GND
TDM Slot 3 to Slot 4 Used/Driven, 32-Bit Slots	Open
TDM Slot 5 to Slot 6 Used/Driven, 32-Bit Slots	Tie to IOVDD through a 47 kΩ resistor
TDM Slot 7 to Slot 8 Used/Driven, 32-Bit Slots	Tie to GND through a 47 kΩ resistor

シリアル・ポートのタイミング

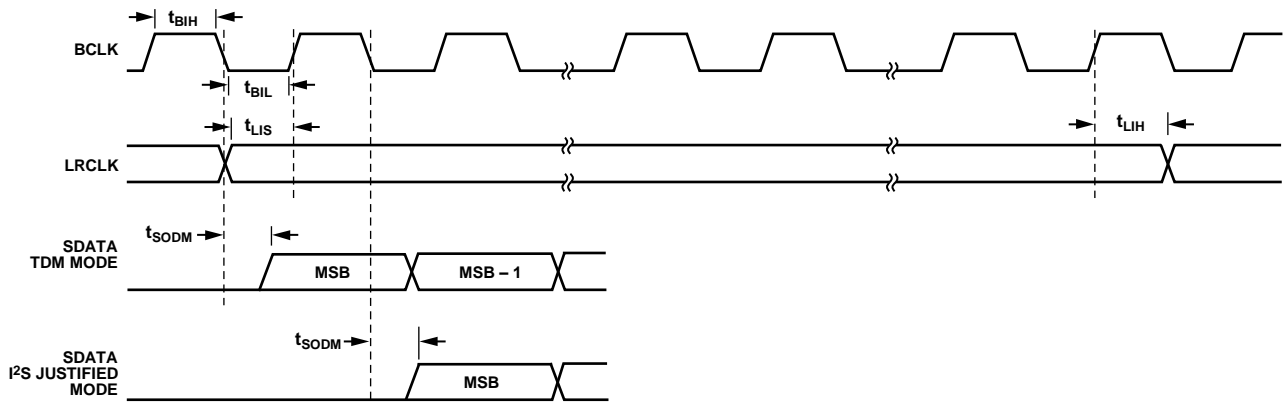


図 12. シリアル・ポートのタイミング図

表 7. I²S/TDM タイミング・パラメータ

Parameter	Symbol	t _{MIN}	t _{MAX}	Unit
BCLK Pulse Width High	t _{BIH}	10		ns
BCLK Pulse Width Low	t _{BIL}	10		ns
LRCLK Setup Time	t _{LIS}	10		ns
LRCLK Hold Time	t _{LIH}	10		ns
Time from BCLK Falling	t _{SODM}		10	ns

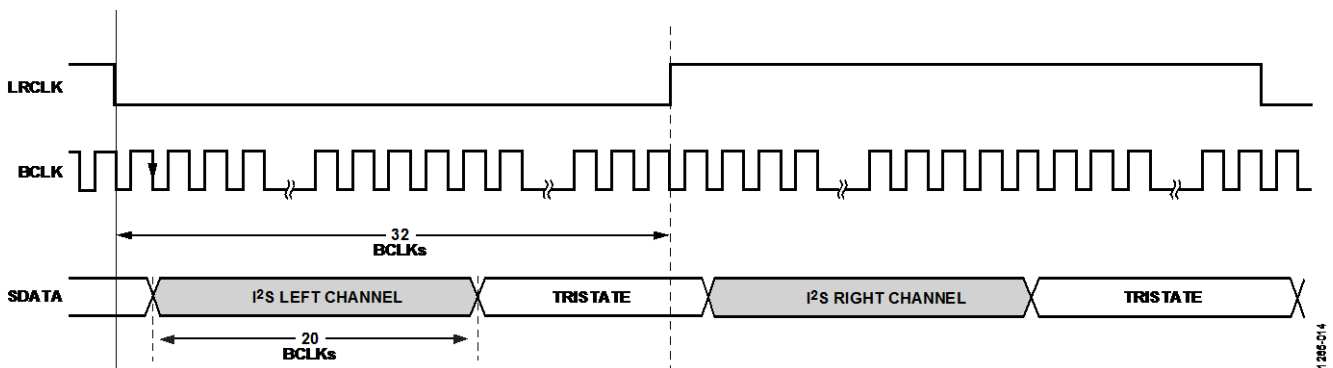


図 13. I²S、CONFIG ピンを IOVDD に接続

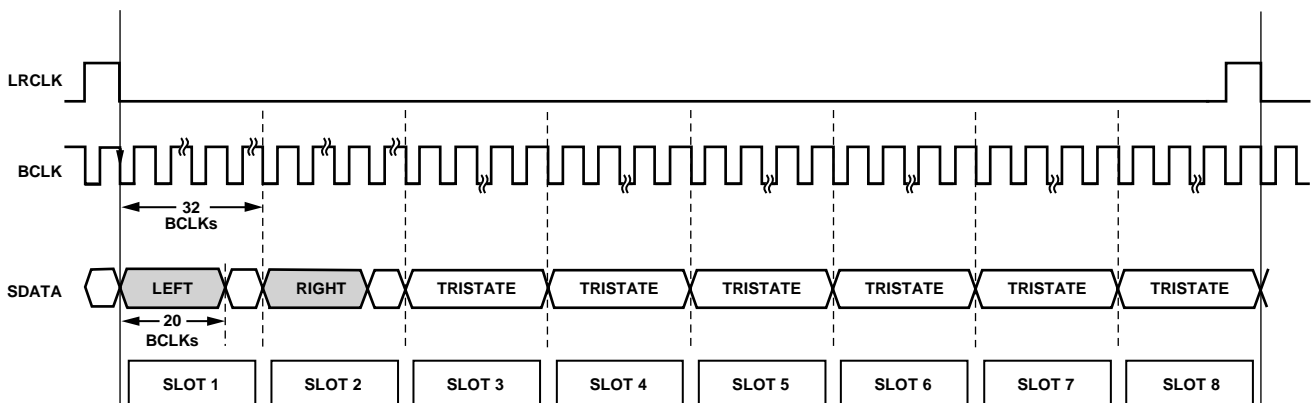


図 14. TDM8 チャンネル 1 およびチャンネル 2、CONFIG ピンを GND に接続

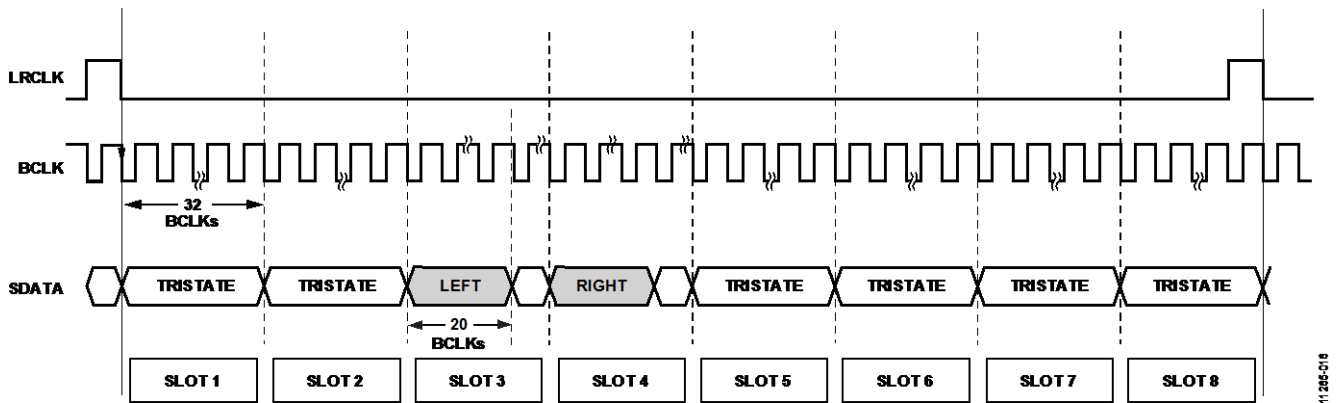


図 15. TDM8 チャンネル 3 およびチャンネル 4、CONFIG ピンはオープン

11285-016

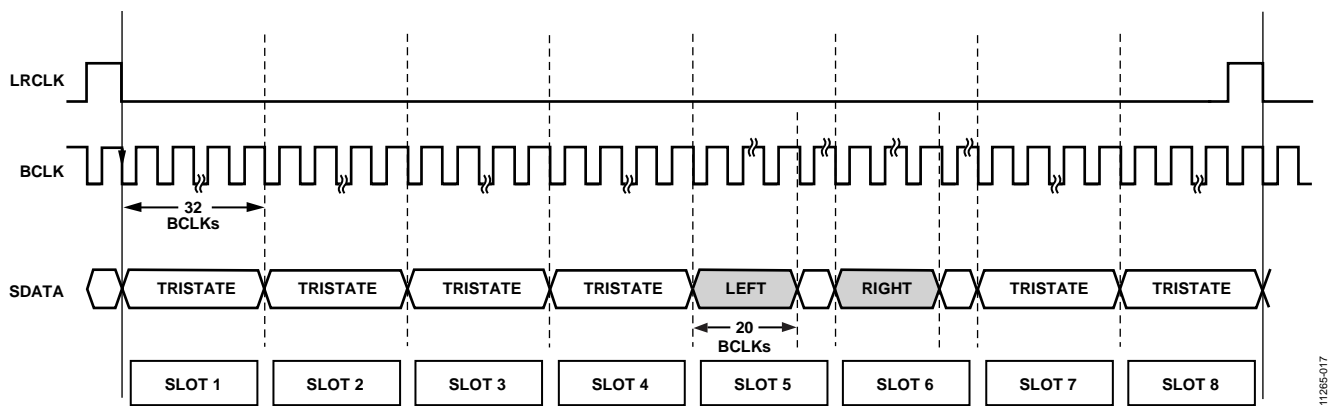


図 16. TDM8 チャンネル 5～チャンネル 6、CONFIG ピンは 47 kΩ 抵抗経由で IOVDD に接続

11285-017

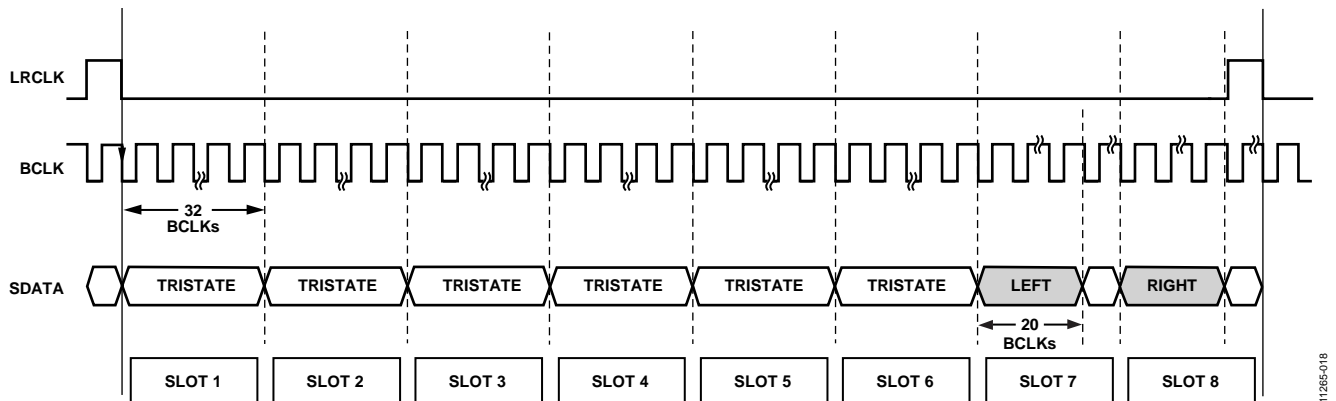


図 17. TDM8 チャンネル 7 およびチャンネル 8、CONFIG ピンは 47 kΩ 抵抗経由で GND に接続

11285-018

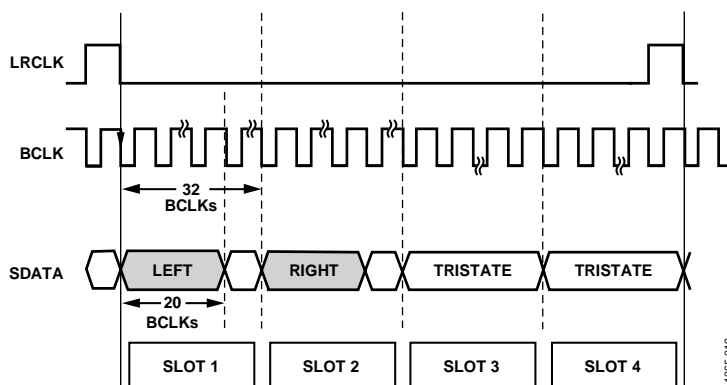


図 18. TDM4 チャンネル 1 およびチャンネル 2、CONFIG ピンは IOVDD に接続

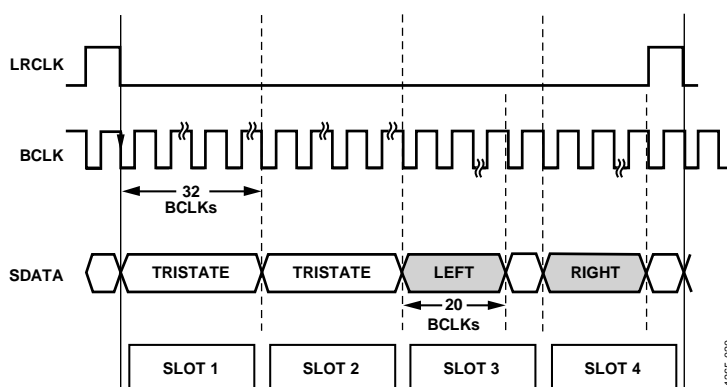


図 19. TDM4 チャンネル 3 およびチャンネル 4、CONFIG ピンはオープン

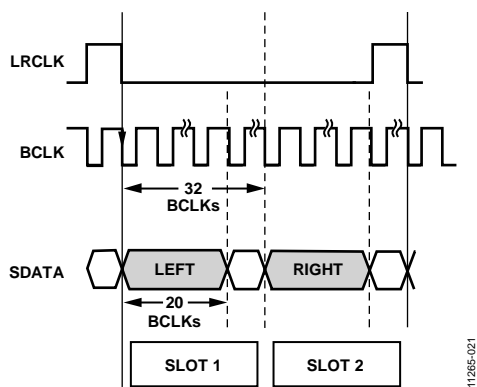


図 20. TDM2 チャンネル 1 およびチャンネル 2、CONFIG ピンを IOVDD に接続

外形寸法

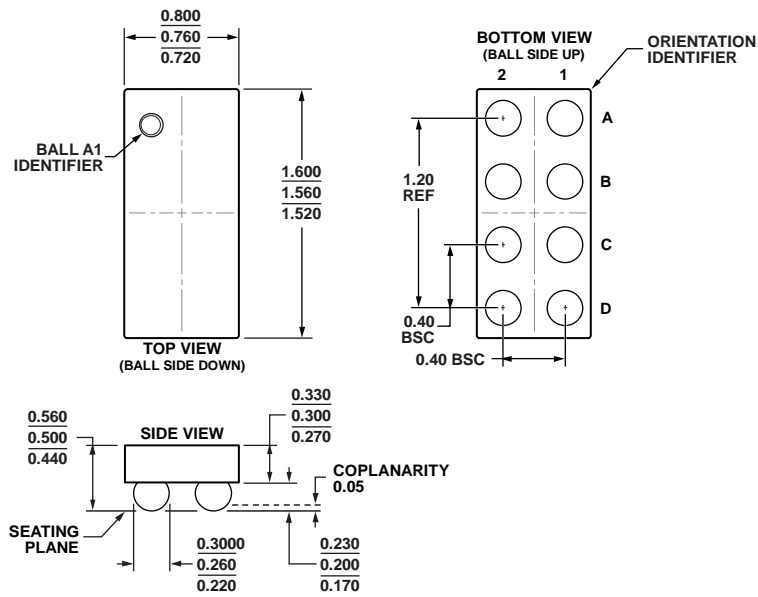


図 21. 8 ピンのウェーハ・レベル・チップ・スケール・パッケージ [WLCSP] (CB-8-6)
寸法単位：mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADAU7002ACBZ-R7	-40°C to +85°C	8-Ball Wafer Level Chip Scale Package [WLCSP], 7" Tape and Reel	CB-8-6	BE
ADAU7002ACBZ-RL	-40°C to +85°C	8-Ball Wafer Level Chip Scale Package [WLCSP], 13" Tape and Reel	CB-8-6	BE
EVAL-ADAU7002Z		Evaluation Board		

¹ Z = RoHS 準拠製品