



2 ADC、1 DACのオーディオDSP付き 低消費電力コーデック

データシート

ADAU1788

特長

プログラマブルな FastDSP オーディオ処理エンジン
最大 768kHz のサンプル・レート
バイクワッド・フィルタ、リミッタ、ボリューム制御、
ミキシング
28 ビット SigmaDSP オーディオ処理コア
SigmaStudio を利用して GUI 画面でプログラム可能
最大 50MIPS の性能
低遅延の 24 ビット ADC および DAC
96dB の S/N 比 (PGA および ADC を通した信号に A 加重
フィルタを適用した場合)
105dB の合計 S/N 比 (DAC およびヘッドフォンを通した
信号に A 加重フィルタを適用した場合)
シリアルポートの f_{SYNC} 周波数 : 8~768kHz
5μs の群遅延 ($f_s = 768\text{kHz}$) 、アナログ入力からアナログ
出力まで
2 つのシングルエンド・アナログ入力 : マイクロフォン入力
またはライン入力として設定可能
4 つのデジタル・マイクロフォン入力
1 つのアナログ差動オーディオ出力 : ライン出力または
ヘッドフォン・ドライバとして設定可能
PLL は 30kHz~27MHz の任意の入力クロック・レートに
対応
全二重、4 チャンネル非同期サンプル・レート・コンバータ
(ASRC)
16 チャンネル・シリアル・オーディオ・ポートは I²S、
左揃え、TDM16 までの TDM に対応
柔軟なルーティングが可能な 8 つのインターポレータと
8 つのデシメータ
電源
アナログ AVDD : 1.8V (代表値)
デジタル I/O IOVDD : 1.1~1.98V
デジタル DVDD : 0.9V (代表値)
低消費電力 (標準的な消費電力は 8.030mW)
I²C インターフェースおよび SPI 制御インターフェース
柔軟な GPIO
42 ポール、0.35mm ピッチ、2.695mm × 2.320mm WLCSP

アプリケーション

ノイズ・キャンセリング機能搭載のハンドセット、ヘッド
セット、ヘッドフォン
BlueTooth ANC 機能搭載のハンドセット、ヘッドセット、
ヘッドフォン
個人向けナビゲーション機器
デジタル・カメラおよびビデオ・カメラ
楽器用のエフェクト・プロセッサ
マルチメディア・スピーカ・システム
スマートフォン

概要

ADAU1788 は、2 つのデジタル・シグナル・プロセッサ
(DSP) を搭載する 2 入力、1 出力のコーデックです。アナ
ログ入力から DSP コアを経由してアナログ出力に至る経路
は、低遅延になるように最適化されており、ノイズ・キャン
セリング・ヘッドセットに最適です。少数の受動部品を追加
するだけで、ADAU1788 はノイズ・キャンセリング・ヘッ
ドフォン・ソリューションを提供します。
このデータシートでは、BCLK_0/MP1 などの多機能ピンに
ついてはすべてのピン名を表記しますが、特定の機能のみが
該当するような説明箇所では、BCLK_0 のように 1 つのピ
ン機能だけを表記しています。

目次

特長	1	フラグと条件付き実行	41
アプリケーション	1	入力ソース	41
概要	1	電源と実行の制御	42
改訂履歴	5	データ・メモリ	42
機能ブロック図	6	パラメータ	42
仕様	7	パラメータ・バンクの切替え	42
アナログ性能仕様	7	パラメータ・バンクのコピー	42
水晶発振器アンプの仕様	9	パラメータ・メモリの読み書き	43
デジタル入出力の仕様	9	FastDSP パラメータのセーフロード	43
電源の仕様	10	SigmaDSP コア	44
パワーダウン電流	10	信号処理の詳細	44
消費電力	11	読み出し/書き込みデータ・フォーマット	45
デジタル・フィルタ	12	ソフトウェア・セーフロード	46
デジタル・タイミング仕様	13	FastDSP のセーフロード	46
絶対最大定格	17	プログラム RAM、パラメータ RAM、およびデータ RAM	47
熱抵抗	17	プログラム RAM	47
ESD に関する注意	17	パラメータ RAM	47
ピン配置およびピン機能の説明	18	データ RAM	47
代表的な性能特性	21	低消費電力オプション	48
システムのブロック図	28	ADC バイアス電流制御	48
動作原理	29	DAC バイアス電流制御	48
システムのクロッキングとパワーアップ	30	DAC 低消費電力モード	48
パワーダウン動作およびオプション	30	PLL バイパス	48
ADC から DAC へのパワーアップ例	31	SigmaDSP のクロック周波数制御	49
DVDD LDO レギュレータ	31	非同期サンプル・レート・コンバータ (ASRC) の低消費電力モード	49
クロックの初期化	31	制御ポート	50
PLL	32	バースト・モード通信	50
マルチチップ位相同期	33	メモリの読み出しと書き込み	51
クロック出力	33	I ² C ポート	51
電源シーケンス	33	SPI ポート	54
信号ルーティング	34	多目的ピン	55
入力信号経路	35	シリアル・データ・ポート	56
アナログ入力	35	アプリケーション情報	58
デジタル・マイクロフォン入力	36	電源バイパス・コンデンサ	58
ADC	37	レイアウト	58
出力信号経路	38	グラウンド接続	58
アナログ出力	38	PCB の積層	58
DAC	38	レジスタの一覧	59
PDM 出力	39	レジスタの詳細	66
ASRC	39	アナログ・デバイセズ・ベンダ ID レジスタ	66
インターポレーション・ブロックと デシメーション・ブロック	40	デバイス ID レジスタ	66
信号レベル	40	リビジョン・コード・レジスタ	66
FastDSP コア	41	ADC、DAC、およびヘッドフォン・パワー・コントロール・レジスタ	67
命令	41		
フィルタ精度	41		

PLL、マイクロフォン・バイアス、およびPGAパワー・コントロール・レジスタ	67
デジタル・マイクロフォン・パワー・コントロール・レジスタ	68
シリアル・ポート、PDM出力、およびデジタル・マイクロフォン・クロック・パワー・コントロール・レジスタ	69
DSPパワー・コントロール・レジスタ	70
ASRCパワー・コントロール・レジスタ	70
インターポレータ・パワー・コントロール・レジスタ	72
デシメータ・パワー・コントロール・レジスタ	73
ステート保持期間コントロール・レジスタ	74
チップ・パワー・コントロール・レジスタ	75
クロック・コントロール・レジスタ	76
PLL入力分周器レジスタ	76
PLL整数帰還分周器(MSB)レジスタ	77
PLL整数帰還分周器 LSB)レジスタ	77
PLL分数分子(MSB)レジスタ	77
PLL分数分子 LSB)レジスタ	77
PLL分数分母(MSB)レジスタ	78
PLL分数分母 LSB)レジスタ	78
PLL更新レジスタ	78
ADCサンプル・レート・コントロール・レジスタ	79
ADC _{IBIAS} コントロール・レジスタ	79
ADCハイパス・フィルタ・コントロール・レジスタ	80
ADCミュートおよび補償コントロール・レジスタ	80
アナログ入力プリチャージ時間レジスタ	81
ADCチャンネル・ミュート・レジスタ	82
ADCチャンネル0ボリューム制御レジスタ	82
ADCチャンネル1ボリューム制御レジスタ	83
PGAチャンネル0ゲイン・コントロールMSB、ミュート、ブースト、およびスルーレジスタ	84
PGAチャンネル0ゲイン・コントロール LSB)レジスタ	84
PGAチャンネル1ゲイン・コントロールMSB、ミュート、ブースト、およびスルーレジスタ	85
PGAチャンネル1ゲイン・コントロール LSB)レジスタ	85
PGAスルーレートおよびゲイン・リンク・レジスタ	86
マイクロフォン・バイアス・レベルおよび電流レジスタ	86
DMICクロック・レート・コントロール・レジスタ	87
デジタル・マイクロフォン・チャンネル0およびチャンネル1レート、次数、マッピング、およびエッジ・コントロール・レジスタ	88
デジタル・マイクロフォン・チャンネル2およびチャンネル3レート、次数、マッピング、およびエッジ・コントロール・レジスタ	89
DMICボリューム・オプション・レジスタ	90

デジタル・マイクロフォン・チャンネル・ミュート・コントロール・レジスタ	90
デジタル・マイクロフォン・チャンネル0ボリューム制御レジスタ	91
デジタル・マイクロフォン・チャンネル1ボリューム制御レジスタ	92
デジタル・マイクロフォン・チャンネル2ボリューム制御レジスタ	93
デジタル・マイクロフォン・チャンネル3ボリューム制御レジスタ	94
DACサンプル・レート、フィルタリング、およびパワー・コントロール・レジスタ	95
DACボリューム・リンク、ハイパス・フィルタ、およびミュート・コントロール・レジスタ	96
DACチャンネル0ボリューム・レジスタ	97
DACチャンネル0ルーティング・レジスタ	98
ヘッドフォン・コントロール・レジスタ	99
高速から低速へのデシメータ・サンプル・レート・チャンネル0およびチャンネル1レジスタ	100
高速から低速へのデシメータ・サンプル・レート・チャンネル2およびチャンネル3レジスタ	101
高速から低速へのデシメータ・サンプル・レート・チャンネル4およびチャンネル5レジスタ	101
高速から低速へのデシメータ・サンプル・レート・チャンネル6およびチャンネル7レジスタ	102
高速から低速へのデシメータ・チャンネル0入力ルーティング・レジスタ	103
高速から低速へのデシメータ・チャンネル1入力ルーティング・レジスタ	104
高速から低速へのデシメータ・チャンネル2入力ルーティング・レジスタ	105
高速から低速へのデシメータ・チャンネル3入力ルーティング・レジスタ	106
高速から低速へのデシメータ・チャンネル4入力ルーティング・レジスタ	108
高速から低速へのデシメータ・チャンネル5入力ルーティング・レジスタ	109
高速から低速へのデシメータ・チャンネル6入力ルーティング・レジスタ	110
高速から低速へのデシメータ・チャンネル7入力ルーティング・レジスタ	112
低速から高速へのインターポレータ・サンプル・レート・チャンネル0/チャンネル1レジスタ	113
低速から高速へのインターポレータ・サンプル・レート・チャンネル2/チャンネル3レジスタ	114
低速から高速へのインターポレータ・サンプル・レート・チャンネル4/チャンネル5レジスタ	115
低速から高速へのインターポレータ・サンプル・レート・チャンネル6/チャンネル7レジスタ	116
低速から高速へのインターポレータ・チャンネル0入力ルーティング・レジスタ	117
低速から高速へのインターポレータ・チャンネル1入	

カルーティング・レジスタ	119
低速から高速へのインターポレータ・チャンネル2入力	
カルーティング・レジスタ	120
低速から高速へのインターポレータ・チャンネル3入力	
カルーティング・レジスタ	122
低速から高速へのインターポレータ・チャンネル4入力	
カルーティング・レジスタ	124
低速から高速へのインターポレータ・チャンネル5入力	
カルーティング・レジスタ	126
低速から高速へのインターポレータ・チャンネル6入力	
カルーティング・レジスタ	128
低速から高速へのインターポレータ・チャンネル7入力	
カルーティング・レジスタ	130
入力 ASRC コントロール、ソース、およびレート選択レジスタ	132
入力 ASRC チャンネル0およびチャンネル1入力カルーティング・レジスタ	133
入力 ASRC チャンネル2およびチャンネル3入力カルーティング・レジスタ	134
出力 ASRC コントロール・レジスタ	135
出力 ASRC チャンネル0入力カルーティング・レジスタ	136
出力 ASRC チャンネル1入力カルーティング・レジスタ	137
出力 ASRC チャンネル2入力カルーティング・レジスタ	139
出力 ASRC チャンネル3入力カルーティング・レジスタ	140
FastDSP 実行レジスタ	141
FastDSP 電流バンクおよびバンク・ランピング・コントロール・レジスタ	142
FastDSP バンク・ランプ停止ポイント・レジスタ	143
FastDSP バンク・コピー・レジスタ	144
FastDSP フレーム・レート・ソース・レジスタ	145
FastDSP 固定レート分周 MSB レジスタ	145
FastDSP 固定レート分周 LSB レジスタ	146
FastDSP 低レート条件付き実行用モジュロNカウタ・レジスタ	146
FastDSP 汎用条件付き実行レジスタ	147
FastDSP セーフロード・アドレス・レジスタ	148
FastDSP セーフロード・パラメータ0値レジスタ	148
FastDSP セーフロード・パラメータ1値レジスタ	149
FastDSP セーフロード・パラメータ2値レジスタ	150
FastDSP セーフロード・パラメータ3値レジスタ	151
FastDSP セーフロード・パラメータ4値レジスタ	152
FastDSP セーフロード更新レジスタ	153
SigmaDSP フレーム・レート・ソース選択レジスタ	153
SigmaDSP 実行レジスタ	154
SigmaDSP ウオッチドッグ・コントロール・レジスタ	154
SigmaDSP ウオッチドッグ値レジスタ	154
SigmaDSP モジュロ・データ・メモリ開始位置レジスタ	155
SigmaDSP 固定フレーム・レート分周レジスタ	156

SigmaDSP 割り込み設定レジスタ	156
多目的ピン0/ピン1モード選択レジスタ	157
多目的ピン2/ピン3モード選択レジスタ	158
多目的ピン4/ピン5モード選択レジスタ	159
多目的ピン6/ピン7モード選択レジスタ	160
多目的ピン8/ピン9モード選択レジスタ	161
多目的ピン10モード選択レジスタ	162
汎用入力バウンス防止制御およびマスタ・クロック出力レート選択レジスタ	162
汎用出力ピン0～ピン7コントロール・レジスタ	163
汎用出力ピン8～ピン10コントロール・レジスタ	164
FSYNC_0ピン・コントロール・レジスタ	165
BCLK_0ピン・コントロール・レジスタ	166
SDATAO_0ピン・コントロール・レジスタ	166
SDATAI_0ピン・コントロール・レジスタ	167
MP3ピン・コントロール・レジスタ	168
MP4ピン・コントロール・レジスタ	169
MP5ピン・コントロール・レジスタ	170
MP6ピン・コントロール・レジスタ	171
DMIC_CLK0ピン・コントロール・レジスタ	172
DMIC_CLK1ピン・コントロール・レジスタ	173
DMIC01ピン・コントロール・レジスタ	174
DMIC23ピン・コントロール・レジスタ	175
SDA/MISOピン・コントロール・レジスタ	175
IRQシグナルおよびクリア・レジスタ	176
IRQ1マスク・レジスタ	177
IRQ2マスク・レジスタ	180
チップ・リセット・レジスタ	182
FastDSP 電流ラムダ・レジスタ	183
チップ・ステータス1レジスタ	184
チップ・ステータス2レジスタ	184
汎用入力読出し0～入力読出し7レジスタ	185
汎用入力読出し8～入力読出し10レジスタ	186
DSPステータス・レジスタ	186
IRQ1ステータス1レジスタ	187
IRQ1ステータス2レジスタ	188
IRQ1ステータス3レジスタ	189
IRQ2ステータス1レジスタ	190
IRQ2ステータス2レジスタ	191
IRQ2ステータス3レジスタ	192
シリアル・ポート0制御1レジスタ	193
シリアル・ポート0制御2レジスタ	194
シリアル・ポート0出力カルーティング・スロット0(左)レジスタ	195
シリアル・ポート0出力カルーティング・スロット1(右)レジスタ	196
シリアル・ポート0出力カルーティング・スロット2レジスタ	198

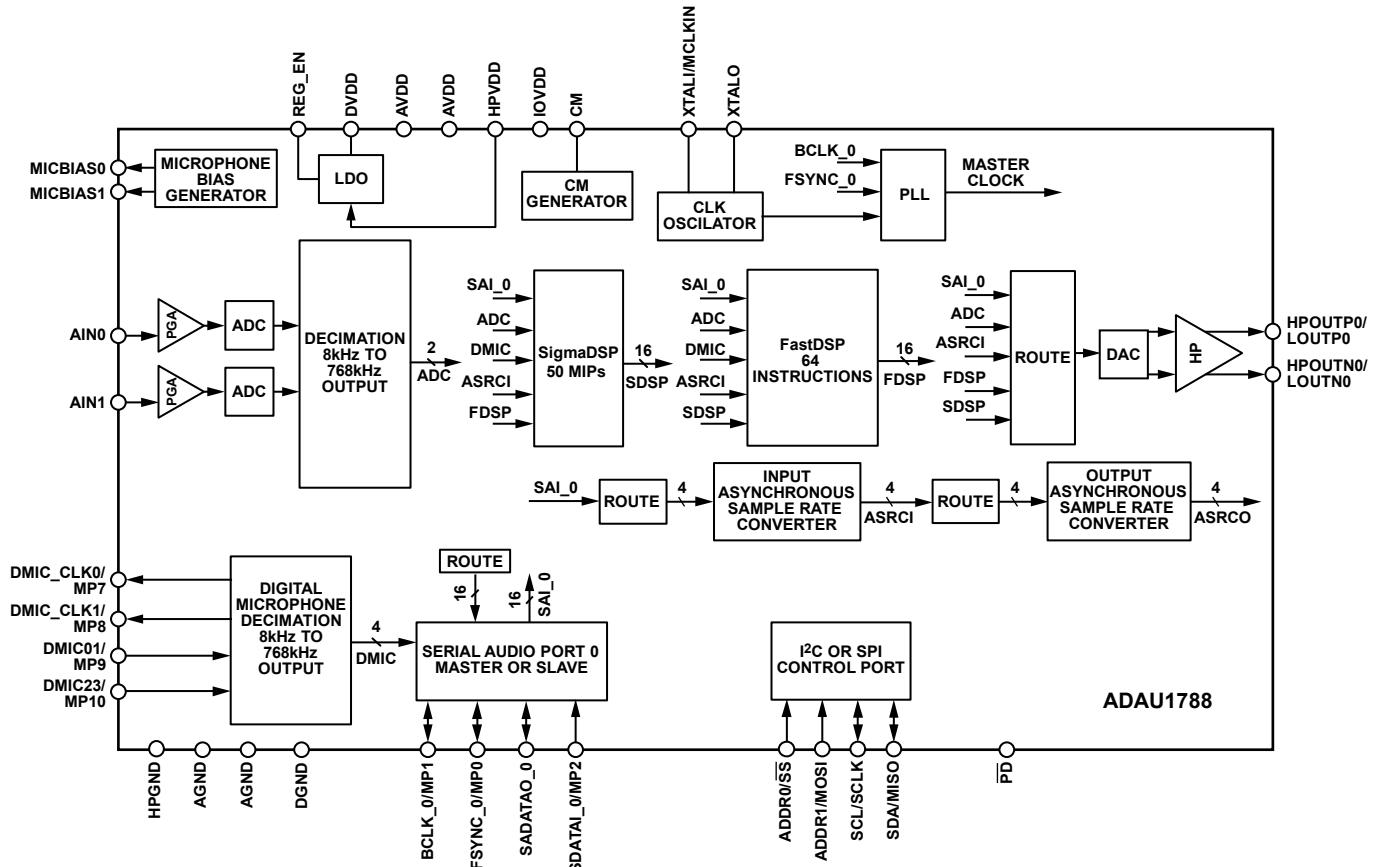
シリアル・ポート 0 出力ルーティング・スロット 3 レジスタ	199
シリアル・ポート 0 出力ルーティング・スロット 4 レジスタ	201
シリアル・ポート 0 出力ルーティング・スロット 5 レジスタ	202
シリアル・ポート 0 出力ルーティング・スロット 6 レジスタ	204
シリアル・ポート 0 出力ルーティング・スロット 7 レジスタ	205
シリアル・ポート 0 出力ルーティング・スロット 8 レジスタ	207
シリアル・ポート 0 出力ルーティング・スロット 9 レジスタ	208
シリアル・ポート 0 出力ルーティング・スロット 10 レジスタ	210
シリアル・ポート 0 出力ルーティング・スロット 11 レジスタ	211
シリアル・ポート 0 出力ルーティング・スロット 12 レジスタ	213

シリアル・ポート 0 出力ルーティング・スロット 13 レジスタ	214
シリアル・ポート 0 出力ルーティング・スロット 14 レジスタ	216
シリアル・ポート 0 出力ルーティング・スロット 15 レジスタ	217
PDM サンプル・レートおよびフィルタリング・コントロール・レジスタ	219
PDM ミュート、ハイパス、およびボリューム・オプション・レジスタ	220
PDM 出力チャンネル 0 ボリューム・レジスタ	221
PDM 出力チャンネル 1 ボリューム・レジスタ	222
PDM 出力チャンネル 0 ルーティング・レジスタ	222
PDM 出力チャンネル 1 ルーティング・レジスタ	224
外形寸法	226
オーダー・ガイド	226

改訂履歴

8/2019-Revision 0: 初版

機能ブロック図



NOTES

1. SAI_0 IS THE SERIAL AUDIO INTERFACE 0.
2. DMIC IS THE DIGITAL MICROPHONE.
3. ASRCI IS THE INPUT ASYNCHRONOUS SAMPLE RATE CONVERTER.
4. ASRCO IS THE OUTPUT ASYNCHRONOUS SAMPLE RATE CONVERTER.
5. FDSP IS FastDSP.
6. SDSP IS SigmaDSP.

20534-001

図 1.

仕様

特に指定のない限り、マスター・クロック入力 = 24.576MHz、シリアル入力サンプル・レート = 48kHz、測定帯域幅 = 20Hz~20kHz、ワード幅 = 24 ビット、周囲温度 (TA) = 25°C、ライン出力負荷 = 10kΩ。

アナログ性能仕様

特に指定のない限り、電源電圧 AVDD = IOVDD = 1.8V および DVDD = 0.9V。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ANALOG-TO-DIGITAL CONVERTERS (ADCs)					
ADC Resolution	All ADCs		24		Bits
Digital Gain Step			0.375		dB
Digital Gain Range		-71		+24	dB
INPUT RESISTANCE					
Single-Ended Line Input			14.3		kΩ
Programmable Gain Amplifier (PGA) Inputs	0 dB gain		20.26		kΩ
	32 dB gain		0.97		kΩ
SINGLE-ENDED LINE INPUT	PGAx_EN = 0, PGAx_BOOST = 0, PGAx_SLEW_DIS = 1				
Full-Scale Input Voltage	0 dBFS		0.49		V rms
	0 dBFS		1.38		V p-p
Dynamic Range ¹	20 Hz to 20 kHz, -60 dB input				
With A-Weighted Filter (RMS)			97		dB
With Flat 20 Hz to 20 kHz Filter			94		dB
Signal-to-Noise Ratio (SNR) ²					
With A-Weighted Filter (RMS)			98		dB
With Flat 20 Hz to 20 kHz Filter			96		dB
Interchannel Gain Mismatch			40		mdB
Total Harmonic Distortion + Noise (THD + N) Level	20 Hz to 20 kHz, -1 dB full-scale output				
Offset Error			-90		dBFS
Gain Error			±0.1		mV
Interchannel Isolation	CM capacitor = 10 μF		±0.2		dB
Power Supply Rejection Ratio (PSRR)	CM capacitor = 10 μF		100		dB
	100 mV p-p at 1 kHz				
	100 mV p-p at 10 kHz		60		dB
			40		dB
SINGLE-ENDED PGA INPUT	PGAx_EN = 1, PGA_x_BOOST = 0				
Full-Scale Input Voltage			0.49		V rms
	0 dBFS		1.38		V p-p
Dynamic Range ¹	20 Hz to 20 kHz, -60 dB input				
With A-Weighted Filter (RMS)			96		dB
With Flat 20 Hz to 20 kHz Filter			94		dB
THD + N Level	20 Hz to 20 kHz, -1 dBFS output		-88		dBFS
SNR ²					
With A-Weighted Filter (RMS)			96		dB
With Flat 20 Hz to 20 kHz Filter			94		dB
PGA Gain Variation	Standard deviation				
With 0 dB Setting			0.05		dB
With 35.25 dB Setting			0.15		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
PGA Boost	PGA_x_BOOST	10			dB
Interchannel Gain Mismatch		0.005			dB
Offset Error		0			mV
Gain Error		±0.2			dB
Interchannel Isolation		83			dB
PSRR	CM capacitor = 10 μ F, 100 mV p-p at 1 kHz 100 mV p-p at 1 kHz	70			dB
		49			dB
MICROPHONE BIAS	MBIASx_EN = 1, 1 μ F load				
Bias Voltage	MBIASx_LEVEL = 1	1.18			V
	MBIASx_LEVEL = 0	1.63			V
Bias Current Source			2		mA
Output Impedance		1			Ω
MICBIASx Isolation	MBIASx_LEVEL = 0	95			dB
	MBIASx_LEVEL = 1	99			dB
Noise ³	AVDD = 1.8 V, 20 Hz to 20 kHz, A-weighted				
	MBIASx_LEVEL = 0	3.5			μ V
	MBIASx_LEVEL = 1	3.5			μ V
CONVERTERS DIGITAL					
Internal Converter Resolution	All digital-to-analog converters (DAC)/ADCs	24			Bits
Digital Gain					
Step		0.375			dB
Range		-71	+24		dB
Ramp Rate		4.5			dB/ms
DAC DIFFERENTIAL OUTPUT	Differential operation				
Full-Scale Output Voltage	0 dBFS to DAC	1.0			V rms
Dynamic Range ¹	Line output mode, 20 Hz to 20 kHz, -60 dB input				
		105			dB
With A-Weighted Filter (RMS)		102			dB
With Flat 20 Hz to 20 kHz Filter					
SNR ²	Line output mode, 20 Hz to 20 kHz				
With A-Weighted Filter (RMS)		105			dB
With Flat 20 Hz to 20 kHz Filter		102			dB
THD + N Level	Line output mode, 20 Hz to 20 kHz, -1 dBFS	-93			dBV
Gain Error	Line output mode	±1.5			%
Dynamic Range ¹	Headphone mode, 20 Hz to 20 kHz, -60 dB input				
With A-Weighted Filter (RMS)		105			dB
With Flat 20 Hz to 20 kHz Filter		101			dB
SNR ²	Headphone mode, 20 Hz to 20 kHz				
With A-Weighted Filter (RMS)		105			dB
With Flat 20 Hz to 20 kHz Filter		101			dB
THD + N Level	Headphone mode				
32 Ω Load	-1 dBFS, output power (P _{OUT}) = 27 mW	-75			dBV
	P _{OUT} = 1 mW	-82			dBV
24 Ω Load	-2 dBFS, P _{OUT} = 28 mW	-75			dBV
16 Ω Load	-3 dBFS, P _{OUT} = 33 mW	-75			dBV
Headphone Output Power					
32 Ω Load	AVDD = 1.8 V, <0.1% THD + N	30			mW
24 Ω Load	AVDD = 1.8 V, <0.1% THD + N	40			mW
16 Ω Load	AVDD = 1.8 V, <0.1% THD + N	50			mW

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Gain Error	Headphone mode		±2.5		%
DC Offset			±0.2		mV
PSRR	CM capacitor = 10 μ F 100 mV p-p at 1 kHz 100 mV p-p at 10 kHz		70 70 1.5	70 70	dB dB V
AVDD Undervoltage Trip Point					
CM REFERENCE	CM pin		0.85		V
Output			5		k Ω
Source Impedance					
PHASED-LOCKED LOOP (PLL)					
Input Frequency	After input prescale	0.03		27	MHz
Output Frequency		32	49.152	50	MHz
Fractional Limits	Fractional mode, fraction part (N/M), see the PLL section	0.1		0.9	
Integer Limits	Fractional mode, integer part	2		1536	
Lock Time	48 kHz input 24.576 MHz input		2.03 0.46	0.55	ms ms
REGULATOR			1		mV/V
Line Regulation			0.5		mV/mA
Load Regulation					

¹ ダイナミック・レンジは、-60dBFS の信号を印加した状態でのフルスケール電力レベルに対する測定対象帯域のノイズ電力と高調波電力の合計の比率（デシベル単位）です。

² S/N 比は、信号を印加しない状態でのフルスケール電力レベルに対する測定対象帯域の全てのノイズ電力の合計の比率（デシベル単位）です。

³ これらの仕様は、このピンに 4.7 μ F のデカップリング・コンデンサと 5.0k Ω の負荷を使用した場合の値です。

水晶発振器アンプの仕様

特に指定のない限り、電源電圧 AVDD = IOVDD = 1.8V および DVDD = 0.9V。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
JITTER			270	500	ps
FREQUENCY RANGE		1		27	MHz
LOAD CAPACITANCE				20	pF

デジタル入出力の仕様

特に指定のない限り、-40°C < TA < +85°C、IOVDD = 1.1V~1.98V。

表 3.

Parameter	Symbols	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT VOLTAGE						
High	V _{IH}		0.7 × IOVDD			V
Low	V _{IL}	IOVDD = 1.8 V, input high current (I _{IH}) at V _{IH} = 1.1 V Input low current (I _{IL}) at V _{IL} = 0.45 V		0.3 × IOVDD 10	10	V μ A
OUTPUT VOLTAGE HIGH	V _{OH}					
Drive Strength		Output high current (I _{OH}) = 1 mA I _{OH} = 3 mA	0.71 × IOVDD 0.71 × IOVDD	0.83 × IOVDD 0.83 × IOVDD		V V
Low						
High						

Parameter	Symbols	Test Conditions/Comments	Min	Typ	Max	Unit
OUTPUT VOLTAGE LOW Drive Strength Low	V _{OL}	Output low current (I_{OL}) = 1 mA	0.1 × IOVDD	0.3 × IOVDD	0.3 × IOVDD	V
High		I_{OL} = 3 mA				
INPUT CAPACITANCE				5	pF	

電源の仕様

特に指定のない限り、電源電圧 $AVDD = IOVDD = 1.8V$ および $DVDD = 0.9V$ 。PLL ディスエーブル、マスタ・クロックを直接供給。デジタル入出力 (I/O) ラインに 25pF の負荷を使用。

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SUPPLIES					
AVDD Voltage		1.7	1.8	1.98	V
DVDD Voltage		0.85	0.9	0.99	V
IOVDD Voltage		1.1	1.8	1.98	V
Digital I/O Current with IOVDD = 1.8 V	Crystal oscillator (24.576 MHz) enabled, IOVDD = 1.8 V				
Slave Mode, Serial Audio Port 0 (SPT0) On	Sampling frequency (f_s) = 48 kHz, BCLK_0 = 3.072 MHz f_s = 192 kHz, BCLK_0 = 12.288 MHz	0.271			mA
Master Mode, SPT0 On	f_s = 48 kHz, BCLK_0 = 3.072 MHz f_s = 192 kHz, BCLK_0 = 12.288 MHz	0.280	0.477	1.077	mA

パワーダウン電流

電源電圧 $AVDD = IOVDD = 1.8V$ および $DVDD = 0.9V$ (外部電源)。PLL および水晶発振器ディスエーブル。

表 5.

Parameter	AVDD Current Min Typ Max	DVDD Current Min Typ Max	IOVDD Current Min Typ Max	Unit
PD PIN LOW (HARDWARE POWER-DOWN)	0.52	11	0.69	µA
POWER_EN = 0				
No Keep Alives	0.52	11	0.69	µA
CM_KEEP_ALIVE = 1, KEEP_FDSP and KEEP_SDSP = 0	62	11	6.0	µA
CM_KEEP_ALIVE = 1, KEEP_FDSP and KEEP_SDSP = 1	64	11	6.0	µA

消費電力

マスタ・クロック = 24.576MHz (水晶発振器イネーブル) で PLL イネーブル。DVDD = 0.9V、および AVDD = IOVDD = 1.8V (外部電源)。必要に応じて、ADC0 および ADC1 は 384kHz で動作。FastDSP™は 384kHz で動作 (精度 27 ビットのバイクワッド・フィルタ)、SigmaDSP®は 48kHz で動作。SDSP_SPEED = 0 では 24MIPS の測定値、SDSP_SPEED = 1 では 50MIPS の測定値。DAC0 は 384kHz で動作、DAC_LPM = 1。1 つのシリアル・ポート入出力 (スレーブとして設定)、32Ω のヘッドフォン負荷を使用。静止電流 (信号なし)。

表 6.

ADC Channel	DAC Channel	ASRCI/ASRCO Channel ¹	SigmaDSP MIPS	FastDSP Instruction	Digital Microphone Channels	Interpolator/Decimator Channel	DVDD Current (mA)	AVDD Current (mA)	IOVDD Current (mA)
0	1	0	0	0	0	0	0.395	1.188	0.283
2	0	0	24	0	0	0	1.213	1.652	0.293
2	0	0	50	0	0	0	2.081	1.652	0.293
2	0	0	0	32	0	0	1.876	1.652	0.293
2	0	0	0	64	0	0	3.289	1.652	0.293
2	1	2/2	24	32	0	0	3.020	2.531	0.293
2	1	2/2	24	32	0	2/2	3.060	2.531	0.293
2	1	2/2	24	32	4	2/2	3.131	2.531	0.415
2	1	2/2	50	64	4	4/4	5.477	2.531	0.415

¹ ASRCI は入力非同期サンプル・レート・コンバータで、ASRCO は出力非同期サンプル・レート・コンバータです。

標準的なアクティブ・ノイズ・キャンセリング (ANC) 設定。マスタ・クロック = 24.576MHz (水晶発振器ディスエーブル、PLL をバイパス)。DVDD = 0.9V、および AVDD = IOVDD = 1.8V (外部電源)。2 つの ADC (PGA イネーブル)。DAC を差動ヘッドフォン動作に設定。DAC 出力に 32Ω の負荷を使用し、DAC_LPM = 1。1 つのシリアル・ポート入出力 (スレーブとして設定)。2 つの入出力非同期サンプル・レート・コンバータ (ASRC)。2 つの低速から高速へのインターポレータをイネーブル。MICBIAS0 と MICBIAS1 の両方を 0.9 × AVDD でイネーブル。FastDSP は 32 個の命令 (精度 27 ビットのバイクワッド・フィルタ) を 384kHz で実行。SigmaDSP は 24MIPS を 48kHz で実行。静止電流 (信号なし)。

表 7.

Operating Voltage	Power Management Setting	Typical Current (mA)			Total Power Consumption (mW)	Typical ADC THD + N (dB)	Typical High Power Output THD + N (dB)
		AVDD	DVDD	IOVDD			
AVDD = IOVDD = 1.8 V	Normal (default)	2.828	3.216	0.025	8.030	-89.5	-78 at 24 mW output
DVDD = 0.9 V	Power saving	2.453	3.215	0.025	7.354	-80.5	-78 at 24 mW output
	Extreme power saving	2.306	3.213	0.025	7.088	-78	-77.5 at 24 mW output

デジタル・フィルタ

表 8.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ADC INPUT TO DAC OUTPUT PATH					
Pass-Band Ripple	DC to 20 kHz, $f_S = 192$ kHz (ADC01_FCOMP = 1, DAC_FCOMP = 1)			± 0.02	dB
Group Delay ¹	$f_S = 192$ kHz $f_S = 384$ kHz $f_S = 768$ kHz		12.9 7.5 5		μ s μ s μ s
SAMPLE RATE CONVERTER					
Pass Band	LRCLK < 63 kHz 63 kHz < LRCLK < 112 kHz LRCLK > 112 kHz			$0.475 \times f_S$ $0.4286 \times f_S$ $0.4286 \times f_S$	kHz
Audio Band Ripple	20 Hz to 20 kHz	-0.1		+0.1	dB
Input and Output Sample Frequency Range		7		224	kHz
Dynamic Range	$x_{LPM} = 0$ $x_{LPM} = 1$ $x_{LPM_II} = 1$		130 130 130		dB dB dB
THD + Noise	20 Hz to 20 kHz, input: typical at 1 kHz and maximum at 20 kHz $x_{LPM} = 0$ $x_{LPM} = 1$ $x_{LPM_II} = 1$		-130 -120 -115	-120 -110 -90	dBFS dBFS dBFS
Startup Time to Lock				25	ms
PULSE DENSITY MODULATION (PDM) OUTPUTS					
Dynamic Range	20 Hz to 20 kHz, with A-weighted filter		126		dBFS
THD + N	20 Hz to 20 kHz, -6 dBFS input		-125		dBFS
Group Delay from ADC	$f_S = 384$ kHz $f_S = 768$ kHz		7.5 4.9		μ s μ s

¹ 群遅延は、ゼロ命令を使用して高速デジタル・シグナル・プロセッサ (FDSP) で測定しています。

デジタル・タイミング仕様

特に指定のない限り、 $-40^{\circ}\text{C} < T_A < +85^{\circ}\text{C}$ 、 $\text{IOVDD} = 1.1\text{V} \sim 1.8\text{V}$ 、および $\text{DVDD} = 0.9\text{V} \sim 0.99\text{V}$ 。

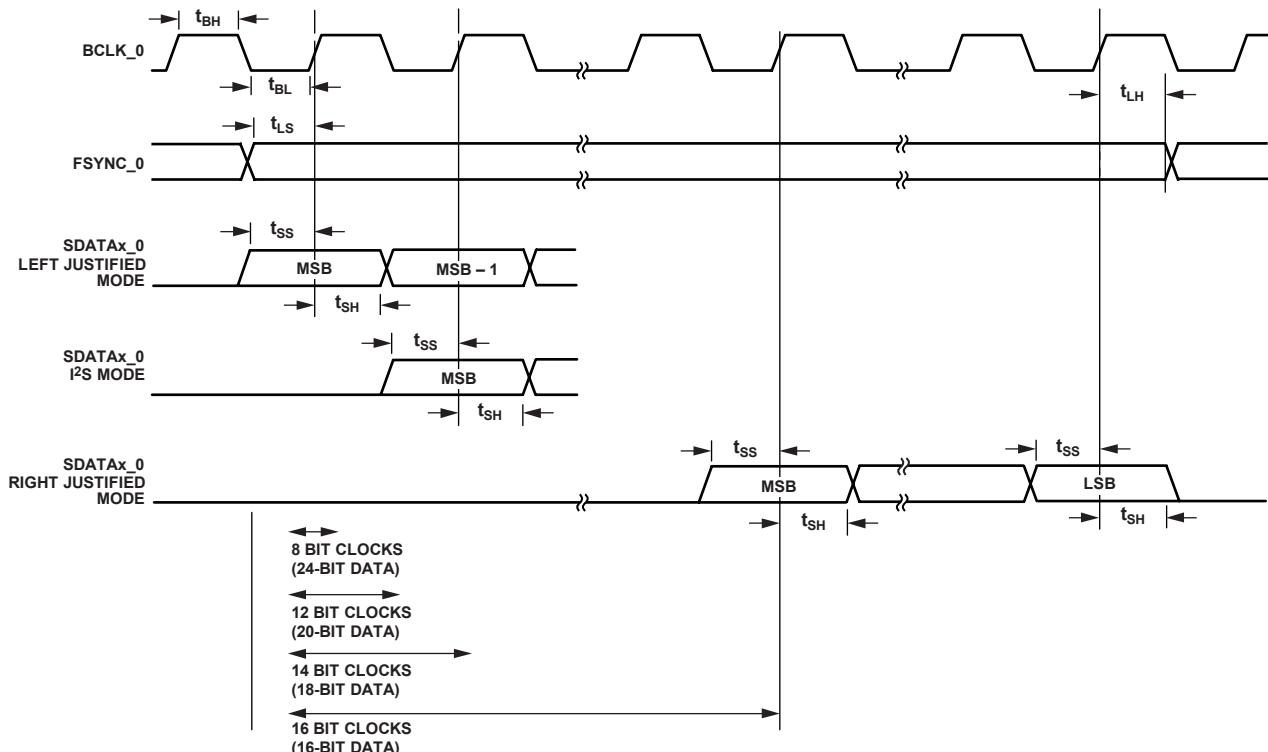
表 9.

パラメータ	限界値		単位	説明
	最小値	最大値		
MASTER CLOCK				MCLKIN の周期
t_{MPI}	0.037	33.3	μs	30kHz～27MHz の入力クロック (PLL をインテジャー・モードで使用)
t_{MPF}	0.037	1.0	μs	30kHz～27MHz の入力クロック (PLL をフラクショナル・モードで使用)
SERIAL PORT				
t_{BL}	18		ns	BCLK_0 のロー・パルス幅 (マスタ・モードおよびスレーブ・モード)
t_{BH}	18		ns	BCLK_0 のハイ・パルス幅 (マスタ・モードおよびスレーブ・モード)
f_{BCLK}	0.512	24.57	MHz	BCLK_0 の周波数
t_{LS}	3		ns	BCLK_0 の立上がりまでの FSYNC_0 のセットアップ時間 (スレーブ・モード)
t_{LH}	5		ns	BCLK_0 の立上がりからの FSYNC_0 のホールド時間 (スレーブ・モード)
f_{SYNC}	8	768	kHz	FSYNC_0 の周波数
t_{SS}	3		ns	BCLK_0 の立上がりまでの SDATAI_0 のセットアップ時間 (マスタ・モードおよびスレーブ・モード)
t_{SH}	10		ns	BCLK_0 の立上がりからの SDATAI_0 のホールド時間 (マスタ・モードおよびスレーブ・モード)
t_{TS}		6	ns	BCLK_0 の立下がりから FSYNC_0 へのタイミング・スキー (マスタ・モード)
t_{SOD}	0	16	ns	BCLK_0 の立下がりからの SDATAO_0 の遅延時間 (マスタ・モードおよびスレーブ・モード)、IOVDD は最小 1.62V
	0	32	ns	BCLK_0 の立下がりからの SDATAO_0 の遅延時間 (マスタ・モードおよびスレーブ・モード)、IOVDD は最小 1.1V
t_{SOTD}	0	16	ns	BCLK_0 の立下がりから SDATAO_0 がトライステート・モードで駆動されるまでの時間
t_{SOTX}	0	16	ns	BCLK_0 の立下がりから SDATAO_0 がトライステート・モードでトライステートになるまでの時間
SERIAL PERIPHERAL INTERFACE (SPI) PORT				
f_{SCLK}		10	MHz	SCLK の周波数
t_{CCPL}	35		ns	SCLK のパルス幅ロー
t_{CCPH}	35		ns	SCLK のパルス幅ハイ
t_{CLS}	5		ns	SCLK の立上がりまでの $\overline{\text{SS}}$ のセットアップ時間
t_{CLH}	40		ns	SCLK の立上がりからの $\overline{\text{SS}}$ のホールド時間
t_{CLPH}	10		ns	$\overline{\text{SS}}$ のパルス幅ハイ
t_{CDS}	10		ns	SCLK の立上がりまでの MOSI のセットアップ時間
t_{CDH}	10		ns	SCLK の立上がりからの MOSI のホールド時間
t_{COD}		30	ns	SCLK の立下がりからの MISO の遅延時間
t_{COTS}		30	ns	$\overline{\text{SS}}$ の立上がりからの MISO の高インピーダンス時間
I ² C PORT				
f_{SCL}		1	MHz	SCL の周波数
t_{SCLH}	0.26		μs	SCL ハイ
t_{SCLL}	0.5		μs	SCL ロー
t_{SCS}	0.26		μs	(SDA の立下がりまでの) SCL の立上がりセットアップ時間、反復開始条件に関連
t_{SCR}		120	ns	SCL と SDA の立上がり時間、 $C_{\text{LOAD}} = 400\text{pF}$
t_{SCH}	0.26		μs	(SDA の立下がりからの) SCL の立下がりホールド時間、開始条件に関連
t_{DS}	50		ns	(SCL の立上がりまでの) SDA のセットアップ時間
t_{SCF}		120	ns	SCL と SDA の立下がり時間、 $C_{\text{LOAD}} = 400\text{pF}$
t_{BFT}	0.5		μs	(SDA の立上がりまでの) SCL の立上がりセットアップ時間、停止条件に関連

パラメータ	限界値			
	最小値	最大値	単位	説明
GENERAL-PURPOSE INPUT/OUTPUT (GPIO) PINS				
t_{GIL}		$1.5 \times 1/f_S$	μs	コアがハイまたはローの値を読み出すまでの MPx の入力遅延時間
t_{RLPW}	20		ns	\overline{PD} のロー・パルス幅
DIGITAL MICROPHONE				
t_{CF^1}		12	ns	デジタル・マイクロフォン・クロックの立下がり時間
t_{CR^1}		14	ns	デジタル・マイクロフォン・クロックの立上がり時間
t_{SETUP}	10		ns	デジタル・マイクロフォン・データのセットアップ時間
t_{HOLD}	3		ns	デジタル・マイクロフォン・データのホールド時間
PDM OUTPUT				
f_{PDM_CLK}		3.072 6.144	MHz	PDM のクロック周波数 3MHz の設定値 6MHz の設定値
t_{CF^1}	12	ns		デジタル PDM クロック出力の立下がり時間
t_{CR^1}	14	ns		デジタル PDM クロック出力の立上がり時間
t_{HOLD}	35	46	ns	PDM データのホールド時間

¹ デジタル・マイクロフォン・クロックの立上がり時間と立下がり時間は、25pF の負荷と 2mA のドライブ強度で測定されます。

デジタル・タイミング図



20534-02

図 2. シリアル入力ポートのタイミング図

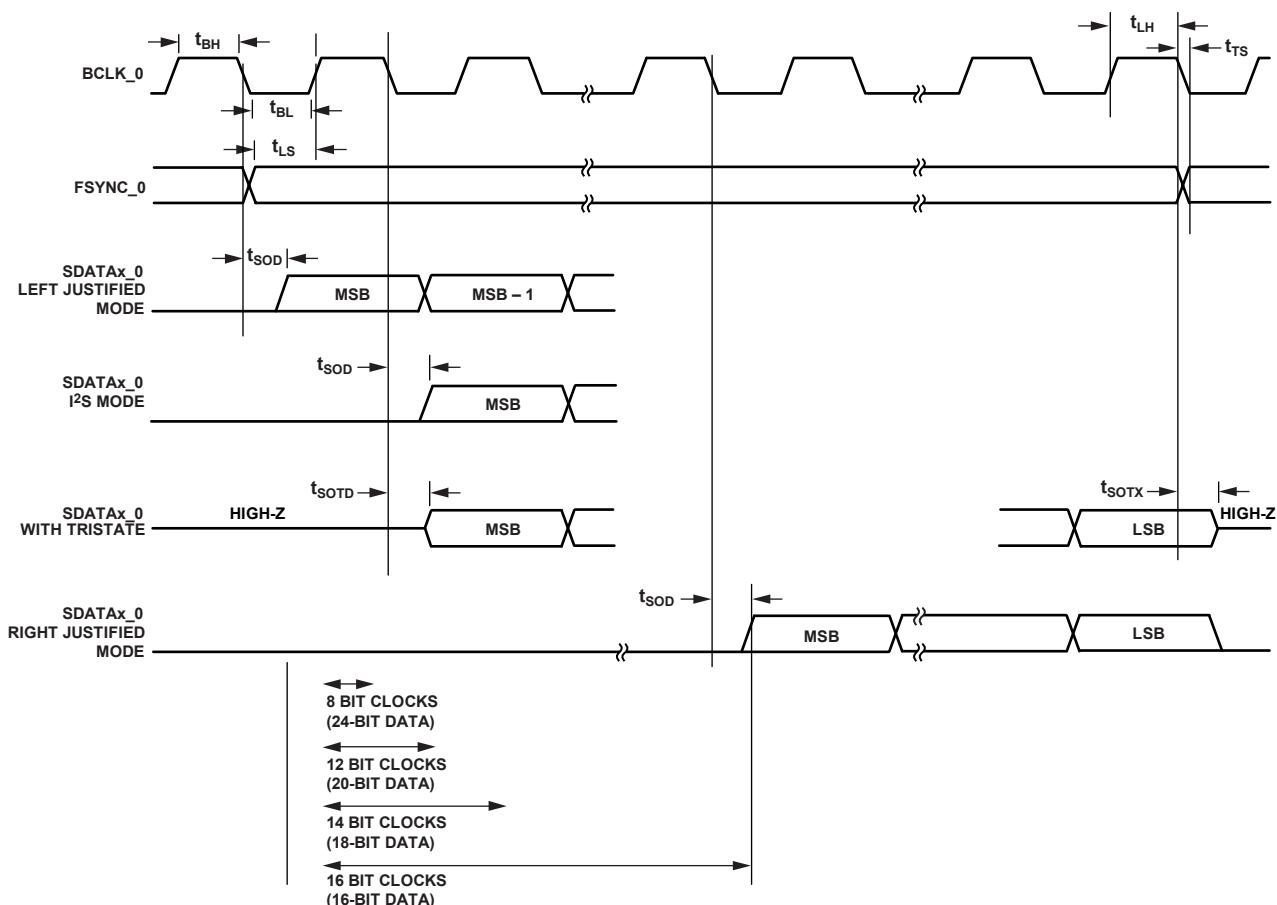


図3. シリアル出力ポートのタイミング図

20534-003

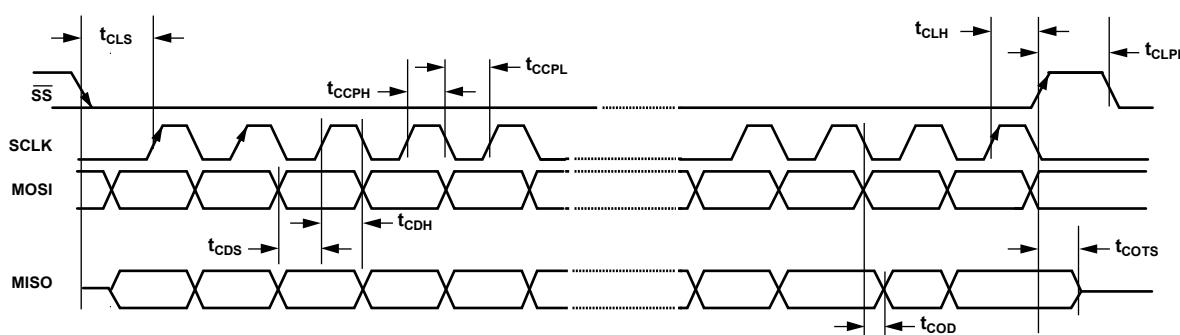


図 4. SPI ポートのタイミング図

0534-004

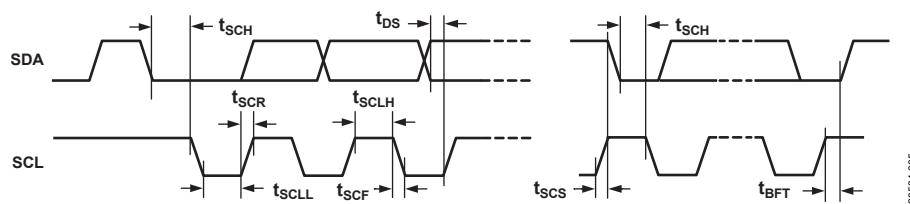


図 5. I²C ポートのタイミング図

20E31 00E

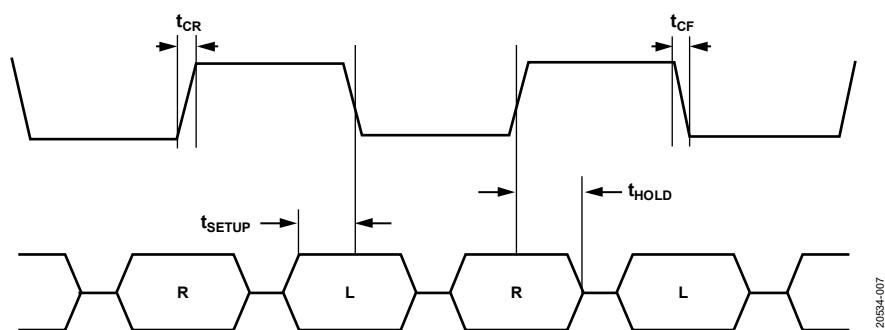


図 6. デジタル・マイクロフォンのタイミング図

20534-007

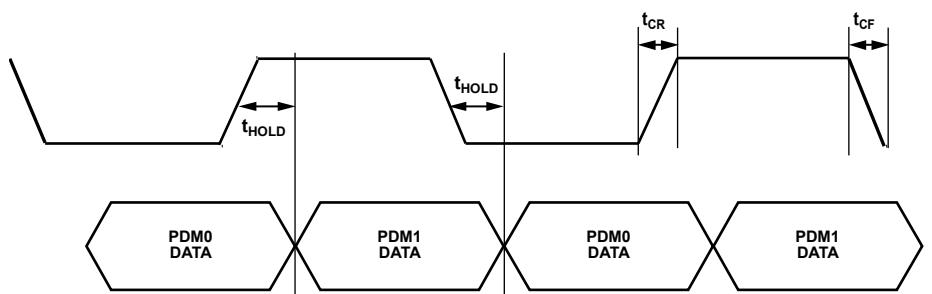


図 7. PDM 出力のタイミング図

20534-008

絶対最大定格

表 10.

Parameter	Rating
Power Supply (AVDD, IOVDD)	-0.3 V to +1.98 V
Digital Supply (DVDD)	-0.3 V to +1.21 V
Input Current (Except Supply Pins)	±20 mA
Analog Input Voltage (Signal Pins)	-0.3 V to AVDD + 0.3 V
Digital Input Voltage (Signal Pins)	-0.3 to IOVDD + 0.3 V
Operating Temperature Range (Case)	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には細心の注意を払う必要があります。

θ_{JA} および θ_{JC} は、自然対流冷却下にある 4 層 PCB に関する JESD51-9 に従って決定されます。

表 11. 热抵抗

Package Type	θ_{JA}^1	θ_{JC}^1	Unit
CB-42-2	46.7	0.3	°C/W

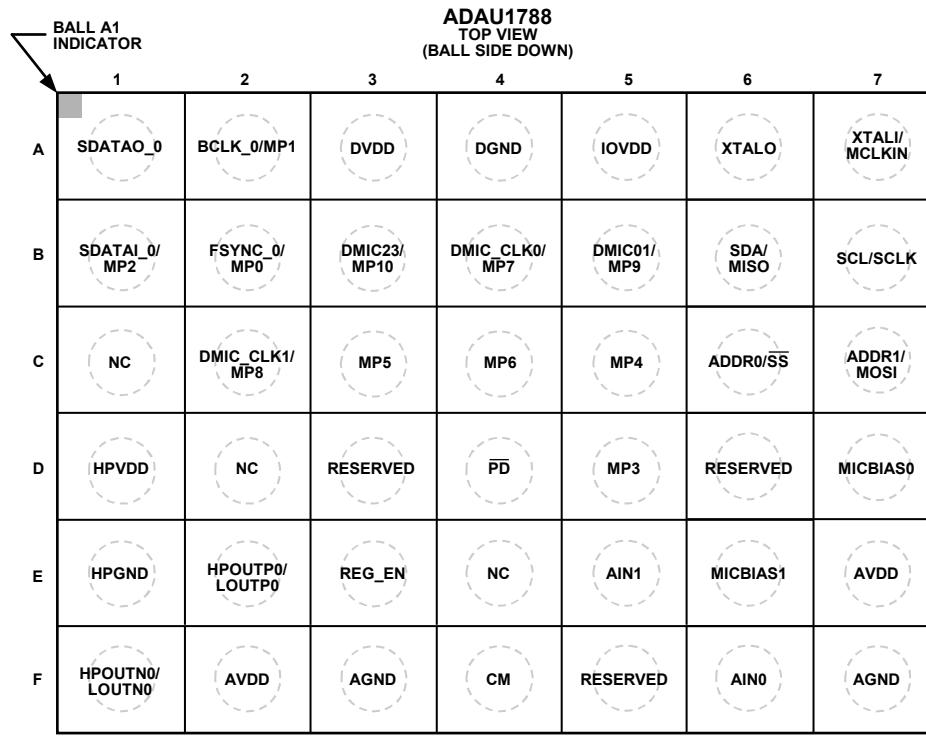
¹ 热抵抗のシミュレーション値は、2 つのサーマル・ピアを備えた JEDEC 2S2P サーマル・テスト・ボードに基づいています。JEDEC JESD-51 参照。

ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明



2054-009

図 8. ボール構成（上面図）

表 12. ボール機能の説明

ボール番号	記号	タイプ ¹	説明
A1	SDATAO_0	D_IO	シリアル・オーディオ・ポート 0 の出力データ。
A2	BCLK_0/MP1	D_IO	シリアル・オーディオ・ポート 0 のビット・クロック (BCLK_0)。 多目的入出力 1 (MP1)。
A3	DVDD	PWR	デジタル・コア電源。デジタル電源は内蔵レギュレータから生成するか、外部電源から直接供給することができます。いずれの場合も、1μF および 0.1μF のコンデンサを使用して DVDD を DGND にデカッピングします。
A4	DGND	PWR	デジタル・グラウンド。AGND ピンと DGND ピンは、共通グラウンド・プレーン内で直接一緒に接続できます。
A5	IOVDD	PWR	デジタル入出力ピン用の電源。デジタル出力ピンは IOVDD から電力を供給されます。このピンはデジタル入力ピンにかかる最高入力電圧を設定します。このピンに流れる電流は可変です。これはこの電流はデジタル出力の負荷によって異なるためです。0.1μF のコンデンサを使用して、IOVDD を DGND にデカッピングします。
A6	XTALO	A_OUT	水晶発振器クロック出力。このピンは水晶発振器アンプの出力です。このピンを使用してシステム内の他の IC にクロックを供給しないでください。
A7	XTALI/MCLKIN	D_IN	水晶発振器クロック入力 (XTALI)。 マスター・クロック入力 (MCLKIN)。

ボール番号	記号	タイプ ¹	説明
B1	SDATAI_0/MP2	D_IO	シリアル・オーディオ・ポート 0 の入力データ (SDATAI_0)。 多目的入出力 2 (MP2)。
B2	FSYNC_0/MP0	D_IO	シリアル・オーディオ・ポート 0 のフレーム同期／左右クロック (FSYNC_0)。 多目的入出力 0 (MP0)。
B3	DMIC23/MP10	D_IO	デジタル・マイクロフォンのステレオ入力 2 およびデジタル・マイクロフォンのステレオ入力 3 (DMIC23)。 多目的入出力 10 (MP10)。
B4	DMIC_CLK0/MP7	D_IO	デジタル・マイクロフォン・クロック出力 0 (DMIC_CLK0)。 多目的入出力 7 (MP7)。
B5	DMIC01/MP9	D_IO	デジタル・マイクロフォンのステレオ入力 0 およびデジタル・マイクロフォンのステレオ入力 1 (DMIC01)。 多目的入出力 9 (MP9)。
B6	SDA/MISO	D_IO	I ² C データ (SDA)。このピンは双方オープンコレクタ入力です。このピンに接続されるラインには、2.0kΩ のプルアップ抵抗が必要です。 SPI データ出力 (MISO)。この SPI データ出力はレジスタとメモリ・ロケーションのリードバックに使用されます。SPI 読出しがアクティブでない場合、このピンはトライステートになります。
B7	SCL/SCLK	D_IN	I ² C クロック (SCL)。デバイスが I ² C 制御モードの場合、このピンは常にオープンコレクタ入力です。デバイスがセルフブート・モードの場合、このピンはオープンコレクタ出力 (I ² C マスタ) です。このピンに接続されるラインには、2.0kΩ のプルアップ抵抗が必要です。 SPI クロック (SCLK)。このピンは連続的に動作させることも、SPI トランザクションと SPI トランザクションの間遮断することもできます。
C1	NC	NC	接続なし。このピンは開放状態のままにします。
C2	DMIC_CLK1/MP8	D_IO	デジタル・マイクロフォン・クロック出力 1 (DMIC_CLK1)。 多目的入出力 8 (MP8)。
C3	MP5	D_IO	多目的入出力 5 (MP5)。このピンを使用しない場合は DGND に接続します。
C4	MP6	D_IO	多目的入出力 6 (MP6)。このピンを使用しない場合は DGND に接続します。
C5	MP4	D_IO	多目的入出力 4 (MP4)。このピンを使用しない場合は DGND に接続します。
C6	ADDR0/SS	D_IN	I ² C アドレス 0 (ADDR0)。 SPI ラッチ信号(SS)。このピンは SPI トランザクションの開始時にローになり、トランザクションの終了時にハイになる必要があります。各 SPI トランザクションの完了までの SCLK サイクル数は、SPI トランザクションの開始時に送信されるアドレスと読出し／書込みビットによって異なります。
C7	ADDR1/MOSI	D_IN	I ² C アドレス 1 (ADDR1)。 SPI データ入力 (MOSI)。
D1	HPVDD	PWR	ヘッドフォン・アンプの電源 (1.8V アナログ電源)。0.1μF のコンデンサを使用して、このピンを HPGND にデカッピングします。ヘッドフォン出力の駆動に必要な大きな電流を供給するには、このピンへの PCB パターンを広くする必要があります。
D2	NC	NC	接続なし。このピンは開放状態のままにします。
D3	RESERVED	D_IN	内部使用に限定。このピンは DGND に接続します。
D4	PD	D_IN	アクティブ・ローのパワーダウン。全てのデジタル回路とアナログ回路がパワーダウンします。このピンには内部ブルダウン抵抗が接続されています。したがって、電源ピンに電力が印加されている間に入力信号がフロート状態になると、ADAU1788 はパワーダウン・モードに保たれます。
D5	MP3	D_IO	多目的入出力 3。このピンを使用しない場合は DGND に接続します。
D6	RESERVED	D_IN	内部使用に限定。このピンは DGND に接続します。
D7	MICBIAS0	A_OUT	エレクトレット・マイクロフォン 0 のバイアス電圧。このピンは 1μF のコンデンサを使用してデカッピングします。
E1	HPGND	PWR	ヘッドフォン・アンプのグラウンド。
E2	HPOUTP0/LOUTP0	A_OUT	ヘッドフォン出力非反転チャンネル 0 (HPOUTP0)。 ライン出力非反転チャンネル 0 (LOUTP0)。
E3	REG_EN	A_IN	レギュレータ・イネーブル。このピンを AVDD に接続するとレギュレータはイネーブルになり、このピンをグランドに接続するとレギュレータはディスエーブルになります。
E4	NC		接続なし。このピンは開放状態のままにします。
E5	AIN1	A_IN	ADC1 の入力。
E6	MICBIAS1	A_OUT	エレクトレット・マイクロフォン 1 のバイアス電圧。このピンは 1μF のコンデンサを使用してデカッピングします。

ボール番号	記号	タイプ ¹	説明
E7	AVDD	PWR	1.8V アナログ電源。0.1 μ F のコンデンサを使用して、このピンを AGND にデカップリングします。
F1	HPOUTN0/LOUTN0	A_OUT	ヘッドフォン出力非反転チャンネル 0 (HPOUTP0)。 ライン出力非反転チャンネル 0 (LOUTP0)。
F2	AVDD	PWR	1.8V アナログ電源。0.1 μ F のコンデンサを使用して、AVDD を AGND にデカップリングします。
F3	AGND	PWR	アナログ・グラウンド。AGND ピンと DGND ピンは、共通グラウンド・プレーン内で直接一緒に接続できます。
F4	CM	A_OUT	コモンモード・リファレンス（公称値 0.85V に固定）。このピンと AGND の間に 10 μ F と 0.1 μ F のデカップリング・コンデンサを接続して、ADC と DAC の間のクロストークを低減できます。コンデンサの材料は重要ではありません。外部アナログ回路に CM からの電流が流れていません（例えば、オペアンプの非反転入力）、このピンはその外部アナログ回路をバイアスすることができます。
F5	RESERVED	A_IN	内部使用に限定。このピンは CM に接続します。
F6	AIN0	A_IN	ADC0 の入力。
F7	AGND	PWR	アナログ・グラウンド。

¹ D_IO はデジタル入出力、PWR は電源、A_OUT はアナログ出力、D_IN はデジタル入力、NC は接続なし、A_IN はアナログ入力を意味します。

代表的な性能特性

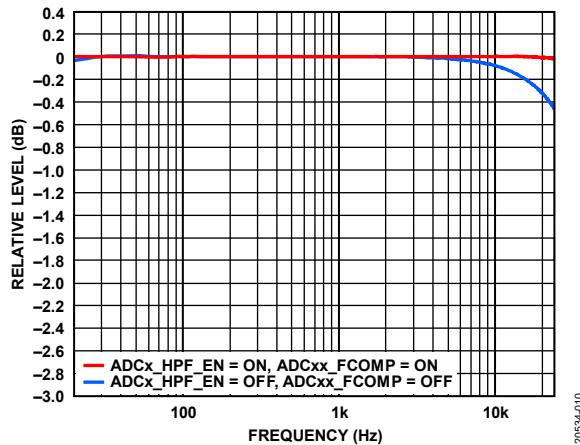


図 9. 周波数応答、 $f_s = 48\text{kHz}$ 、 -20dBV 入力、
信号経路 = $\text{AINx} \sim \text{SDATAO}_0$ 、PGA なし

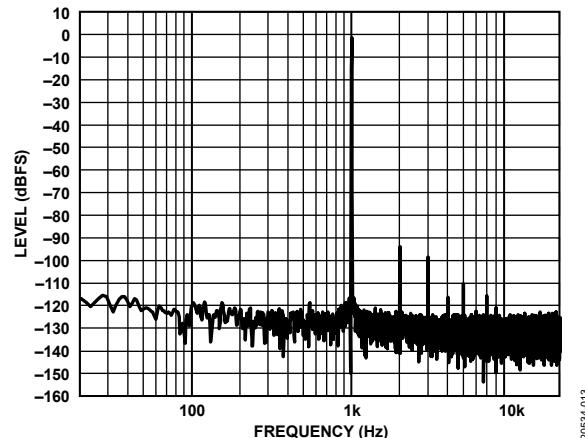


図 12. 高速フーリエ変換(FFT)、 -7dBV 入力、 -1dBFS 出力、
 $f_s = 48\text{kHz}$ 、信号経路 = $\text{AINx} \sim \text{SDATAO}_0$ 、PGA なし

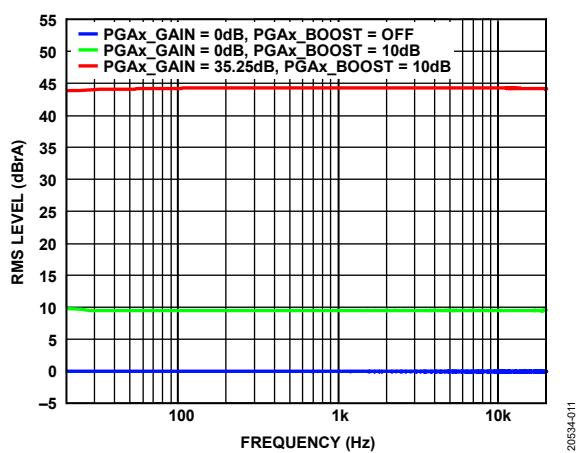


図 10. 周波数応答、 $f_s = 48\text{kHz}$ 、信号経路 = $\text{AINx} \sim \text{SDATAO}_0$ 、
出力は PGA ゲイン設定値を基準とする
(0dB/10dB/35.25dB + 10dB ブースト)

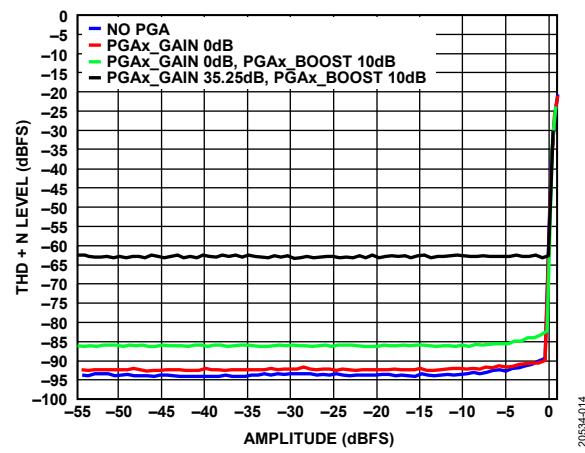


図 13. THD + N レベルと振幅の関係、 $f_s = 48\text{kHz}$ 、
信号経路 = $\text{AINx} \sim \text{SDATAO}_0$

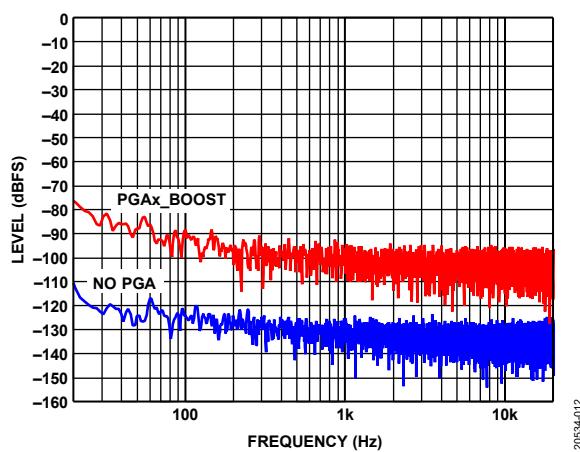


図 11. FFT、信号なし、 $f_s = 48\text{kHz}$ 、
信号経路 = $\text{AINx} \sim \text{SDATAO}_0$ 、PGA なしおよび
35.25dB PGAx_GAIN + 10dB PGAx_BOOST

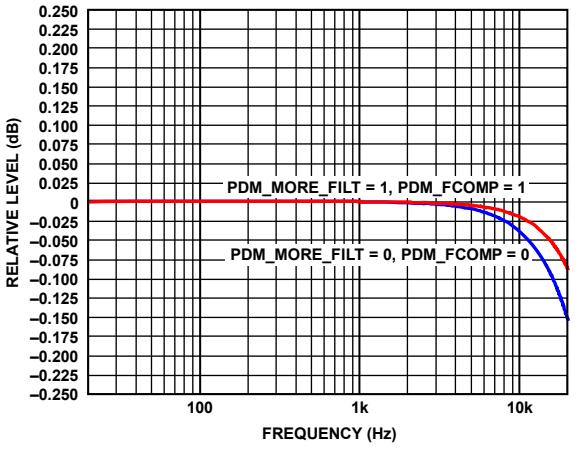


図 14. 周波数応答、 $f_s = 48\text{kHz}$ 、信号経路 = $\text{SDATAI}_0 \sim \text{PDM}$ 出力

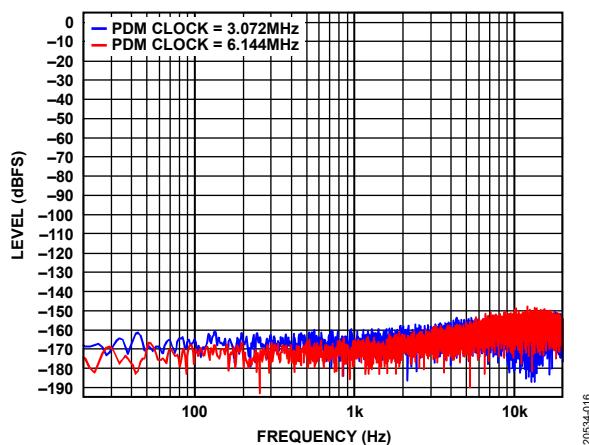


図 15. FFT、信号なし、 $f_s = 48\text{kHz}$ （全体を通して）、
信号経路 = SDATAI_0～FastDSP～PDM 出力

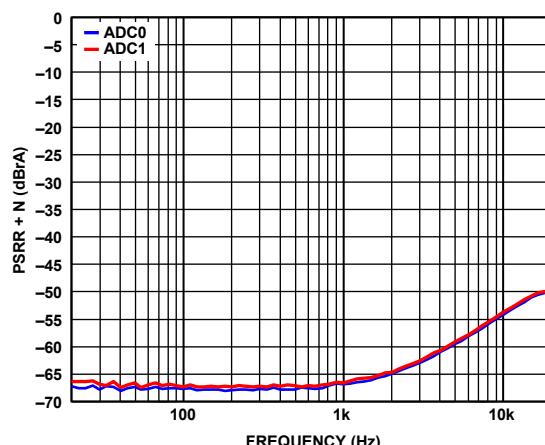


図 18. PSRR + N、信号経路 = AINx～SDATAO_0、 $f_s = 48\text{kHz}$ 、
AVDD に 100mVp-p のリップル入力、
PGA = 0dB (0dBra = -23.3dBFS)

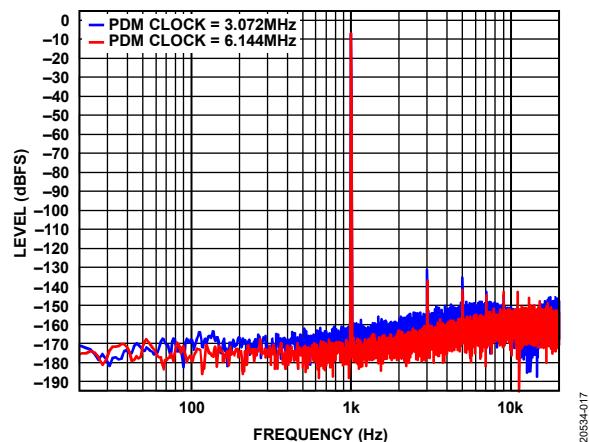


図 16. FFT、-7dBFS、 $f_s = 48\text{kHz}$ （全体を通して）、
信号経路 = SDATAI_0～FastDSP～PDM 出力

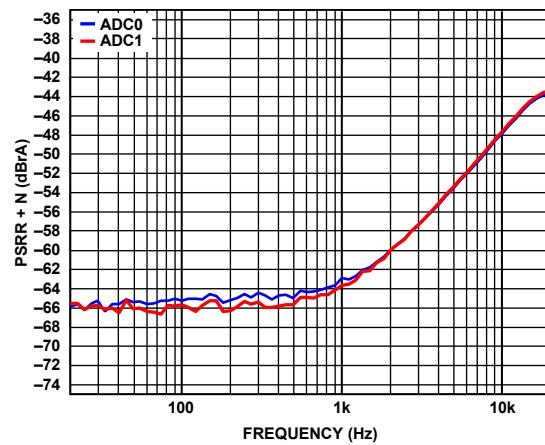


図 19. PSRR + N、信号経路 = AINx～SDATAO_0、 $f_s = 48\text{kHz}$ 、
AVDD に 100mVp-p のリップル入力、
PGA = 10dB (0dBra = -23.3dBFS)

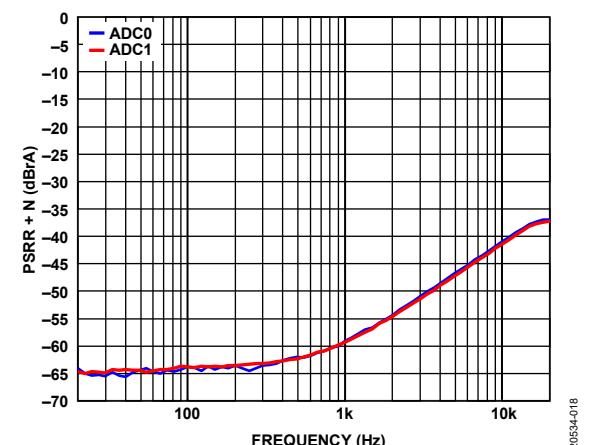


図 17. PSRR + N、信号経路 = AINx～SDATAO_0、 $f_s = 48\text{kHz}$ 、
AVDD に 100mVp-p のリップル入力、
PGA なし (0dBra = -23.3dBFS)

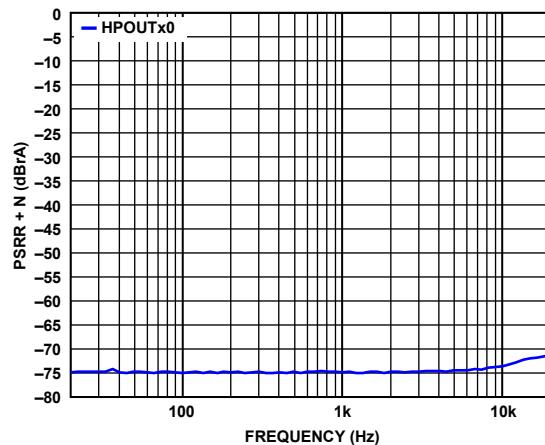


図 20. PSRR + N、信号経路 = SDATAI_0～HPOUTx0、
 $f_s = 48\text{kHz}$ 、AVDD に 100mVp-p のリップル入力
(0dBra = -29dBV)

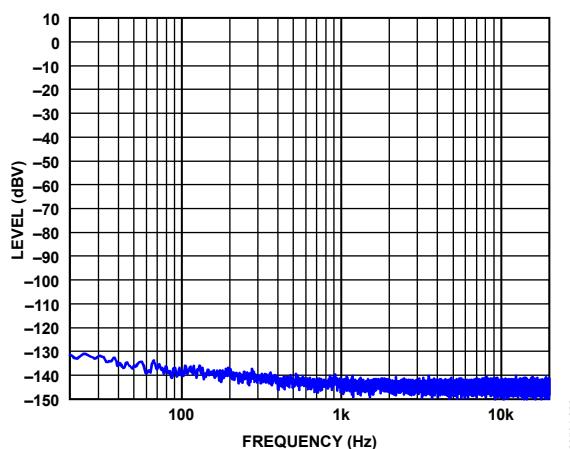


図 21. FFT、信号なし、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI_0～HPOUTx0、ヘッドフォン・モード、負荷 = 16Ω

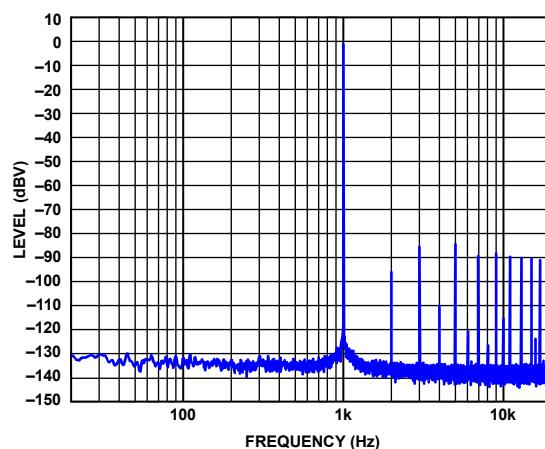


図 24. FFT、-1dBFS、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI_0～HPOUTx0、ヘッドフォン・モード、負荷 = 24Ω

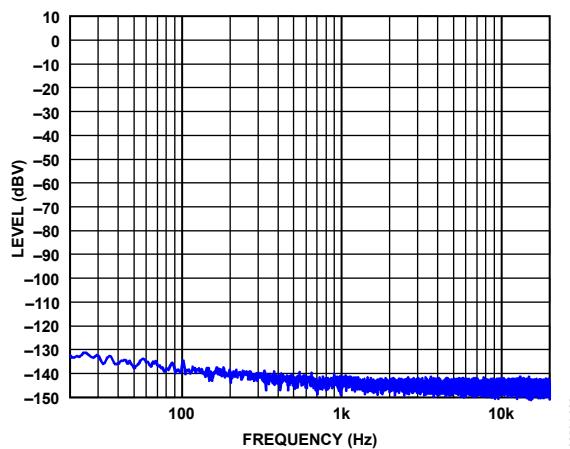


図 22. FFT、信号なし、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI_0～LOUTx0、ライン出力モード、負荷 = $10\text{k}\Omega$

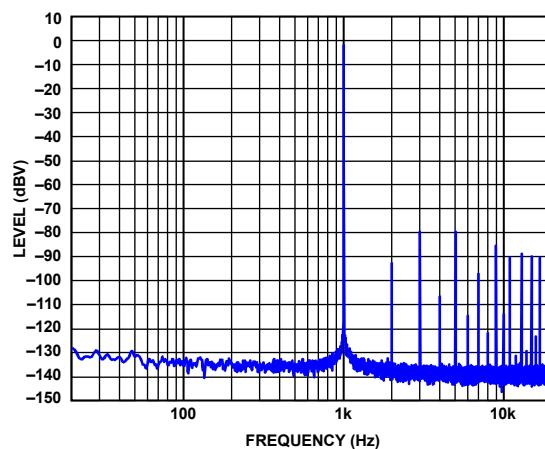


図 25. FFT、-1dBFS、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI_0～HPOUTx0、ヘッドフォン・モード、負荷 = 16Ω

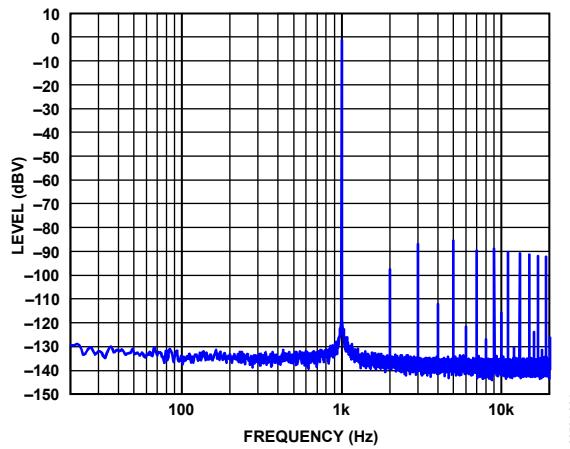


図 23. FFT、-1dBFS、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI_0～HPOUTx0、ヘッドフォン・モード、負荷 = 32Ω

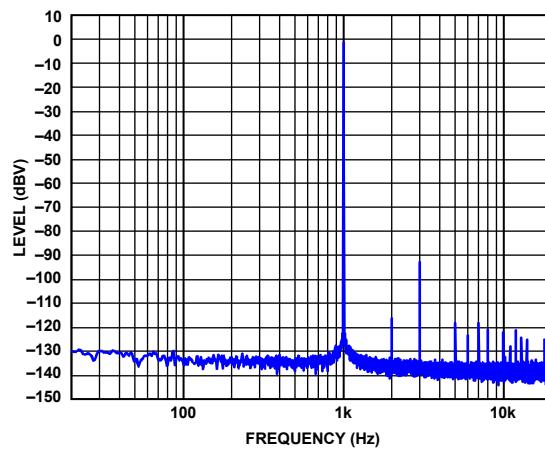


図 26. FFT、-1dBFS、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI_0～LOUTx0、ライン出力モード、負荷 = $10\text{k}\Omega$

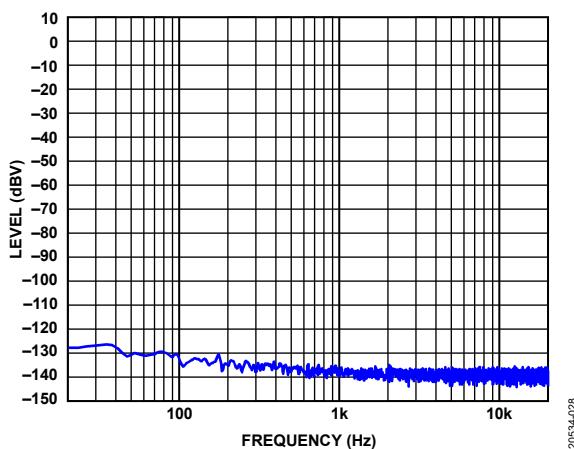


図 27. FFT、信号なし、 $f_s = 768\text{kHz}$ 、信号経路 = SDATAI_0～インターポレータ～FastDSP～HPOUTx0、ヘッドフォン・モード、負荷 = 16Ω

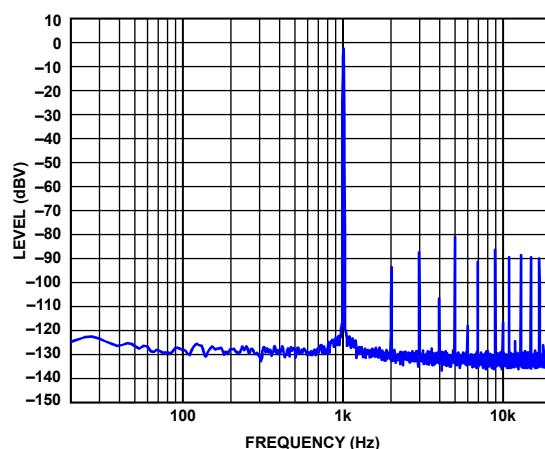


図 30. FFT、-1dBFS、 $f_s = 768\text{kHz}$ 、信号経路 = SDATAI_0～インターポレータ～FastDSP～LOUTx0、ライン出力モード、負荷 = $10\text{k}\Omega$

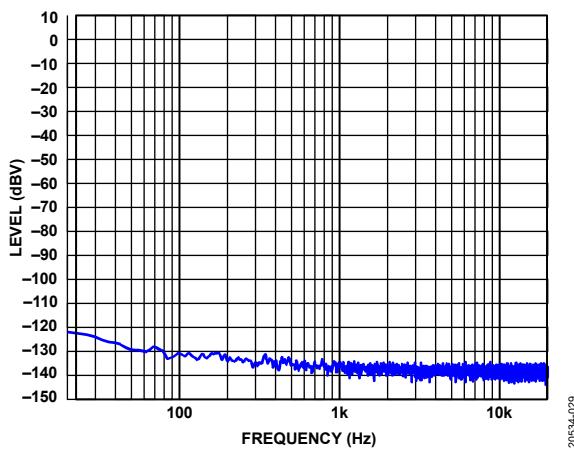


図 28. FFT、信号なし、 $f_s = 768\text{kHz}$ 、信号経路 = SDATAI_0～インターポレータ～FastDSP～LOUTx0、ライン出力モード、負荷 = $10\text{k}\Omega$

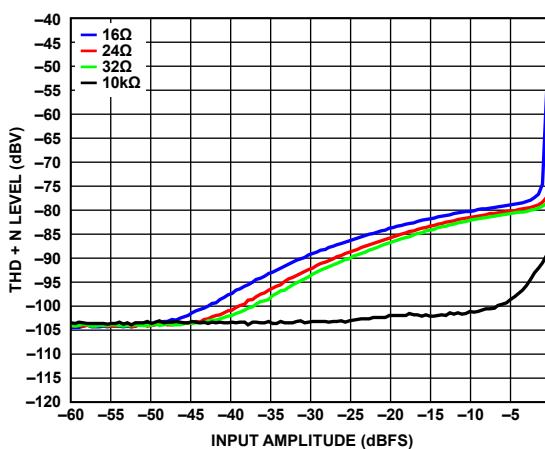


図 31. THD + N レベルと入力振幅の関係、 $f_s = 48\text{kHz}$ 、 16Ω 、 24Ω 、 32Ω 、または $10\text{k}\Omega$ 、信号経路 = SDATAI_0～HPOUTx0/LOUTx0

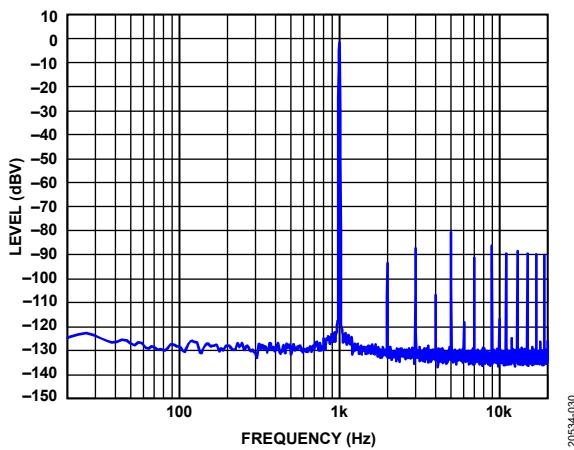


図 29. FFT、-1dBFS、 $f_s = 768\text{kHz}$ 、信号経路 = SDATAI_0～インターポレータ～FastDSP～HPOUTx0、ヘッドフォン・モード、負荷 = 16Ω

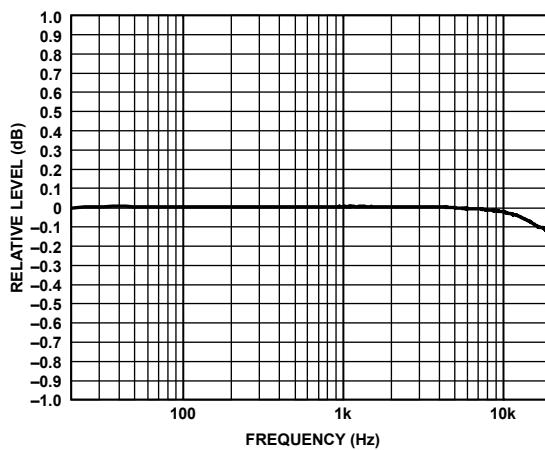


図 32. 相対レベルと周波数の関係、 $f_s = 48\text{kHz}$ 、信号経路 = SDATAI_0～HPOUTx0/LOUTx0、 16Ω または $10\text{k}\Omega$

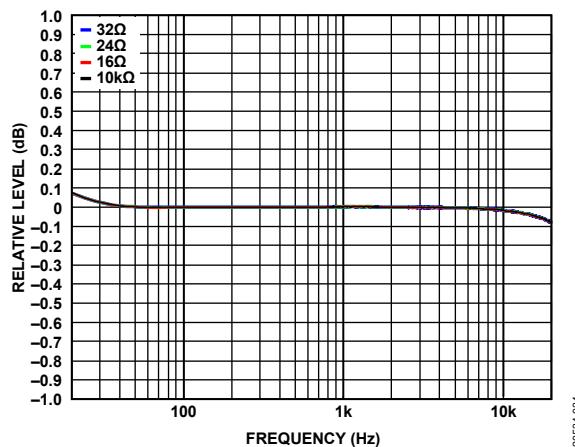


図 33. 相対レベルと周波数の関係、 $f_s = 768\text{kHz}$ 、信号経路 = SDATAI_0～インターポレータ～FastDSP～HPOUTx0/LOUTx0、 $16\Omega \sim 10k\Omega$

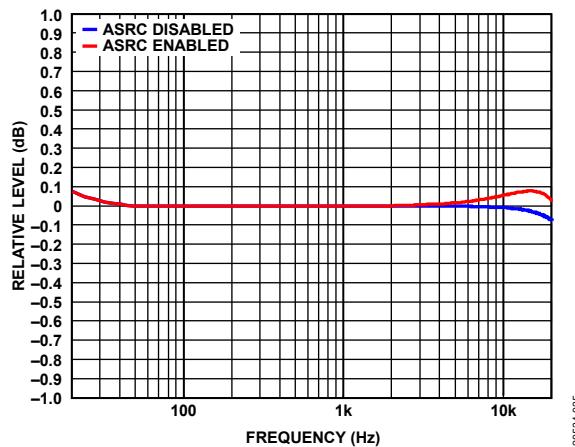


図 34. 相対レベルと周波数の関係、 $f_s = 48\text{kHz}$ （全体を通して、FastDSP = 768kHz を除く）、信号経路 = SDATAI_0～ASRCI～SigmaDSP～インターポレータ～FastDSP～デシメータ～ASRCO～SDATAO_0

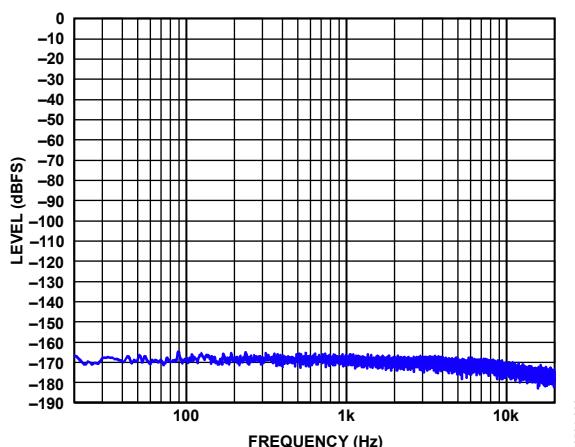


図 35. FFT、信号なし、 $f_s = 48\text{kHz}$ （全体を通して、FastDSP = 768kHz を除く）、信号経路 = SDATAI_0～ASRCI～SigmaDSP～インターポレータ～FastDSP～デシメータ～ASRCO～SDATAO_0

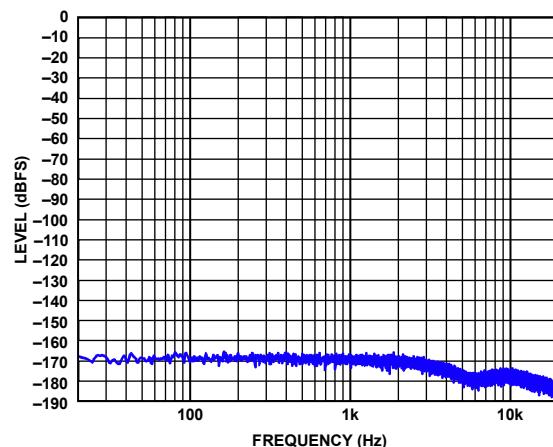


図 36. FFT、信号なし、 $f_s = 48\text{kHz}$ （全体を通して、FastDSP = 768kHz を除く）、信号経路 = SDATAI_0～SigmaDSP～インターポレータ～FastDSP～デシメータ～SDATAO_0

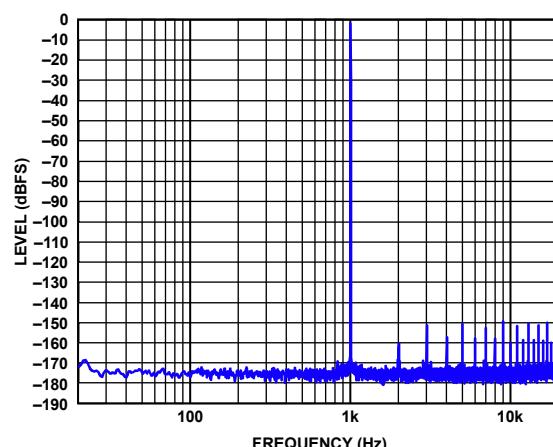


図 37. FFT、-1dBFS、 $f_s = 48\text{kHz}$ （全体を通して、FastDSP = 768kHz を除く）、信号経路 = SDATAI_0～ASRCI～SigmaDSP～インターポレータ～FastDSP～デシメータ～ASRCO～SDATAO_0

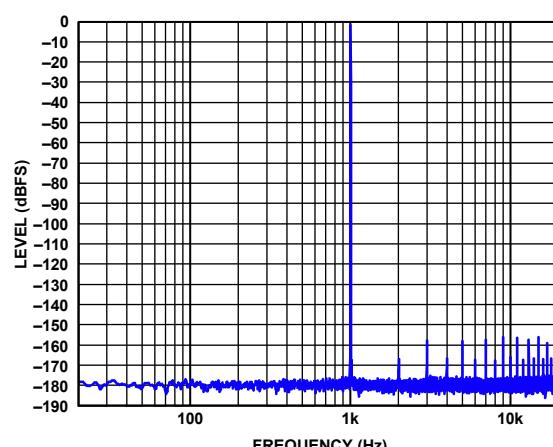


図 38. FFT、-1dBFS、 $f_s = 48\text{kHz}$ （全体を通して、FastDSP = 768kHz を除く）、信号経路 = SDATAI_0～SigmaDSP～インターポレータ～FastDSP～デシメータ～SDATAO_0

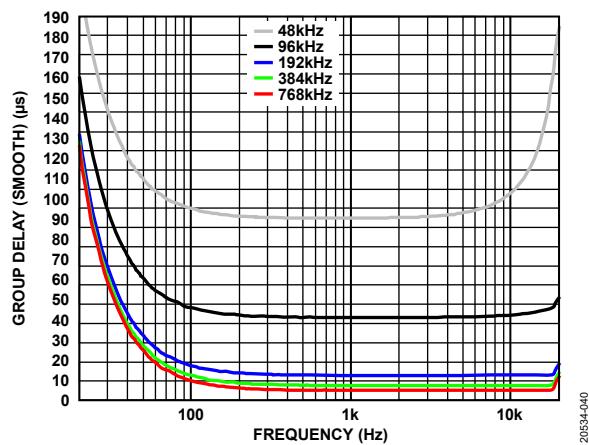


図 39. 群遅延（スムージング）と周波数の関係、 $f_s = 192\text{kHz} \sim 768\text{kHz}$ 、信号経路 = AINx～FastDSP～HPOUTx0/LOUTx0

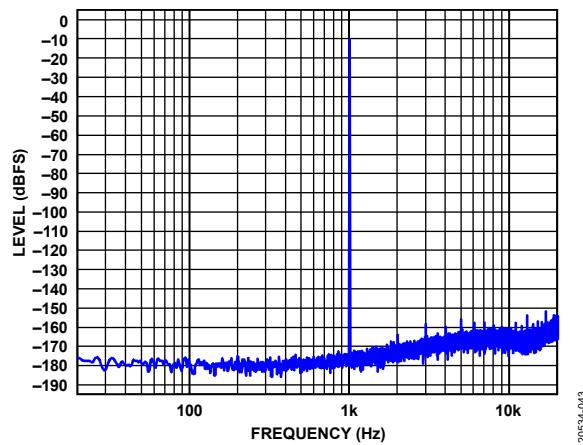


図 42. FFT、-10dBFS、DMIC_CLKx_RATE = 3.072MHz、信号経路 = DMICxx～SDATAO_0

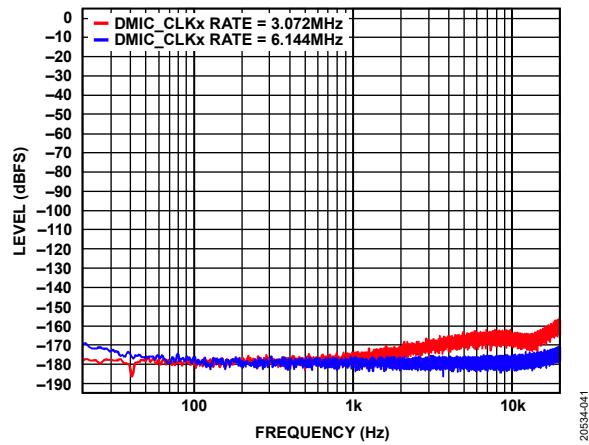


図 40. FFT、信号なし、DMIC_CLKx_RATE = 3.072MHz～6.144MHz、信号経路 = DMICxx～SDATAO_0

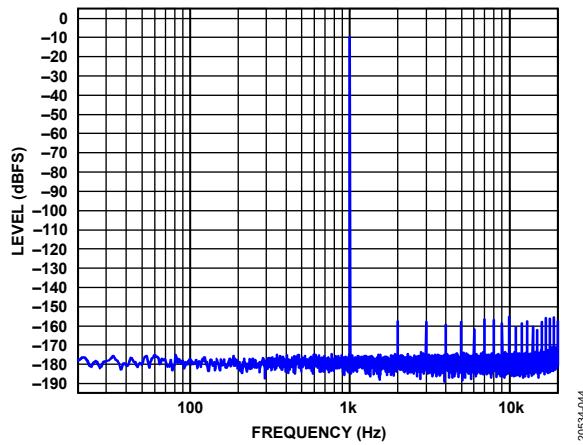


図 43. FFT、-10dBFS、DMIC_CLKx_RATE = 3.072MHz、信号経路 = DMICxx～SDATAO_0

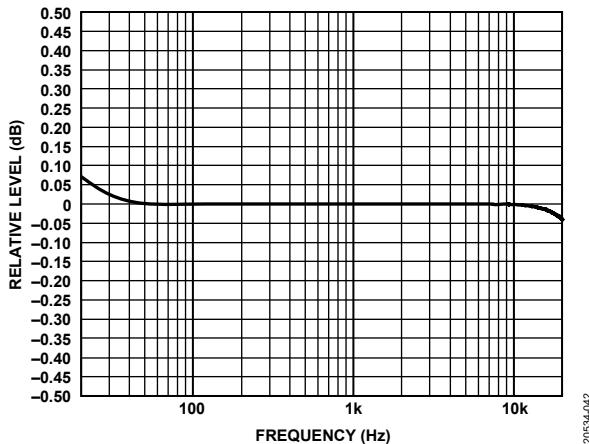


図 41. 相対レベルと周波数の関係、DMIC_CLKx_RATE = 3.072MHz～6.144MHz、信号経路 = DMICxx～SDATAO_0

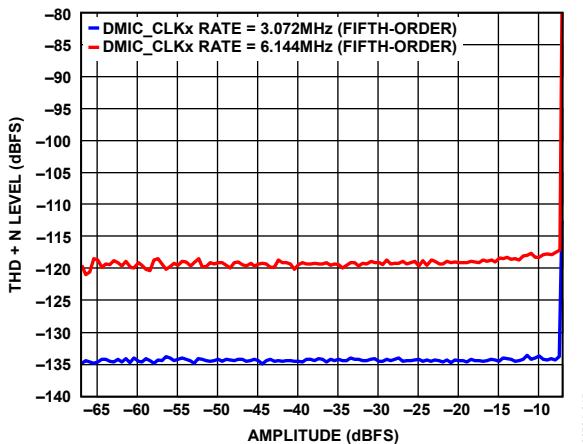


図 44. THD + N レベルと振幅の関係、-10dBFS、DMIC_CLKx_RATE = 3.072MHz～6.144MHz、信号経路 = DMICxx～SDATAO_0

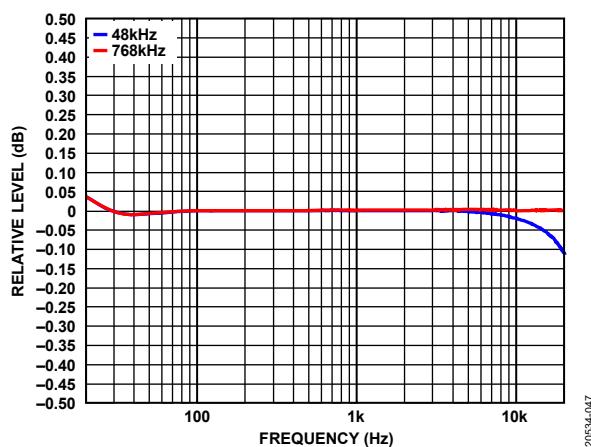


図 45. 相対レベルと周波数の関係、ヘッドフォン／ライン出力モード、負荷 = 16Ω ～ $10k\Omega$ 、 $f_s = 48\text{kHz}$ および 768kHz 、信号経路 = AIN0～DAC0

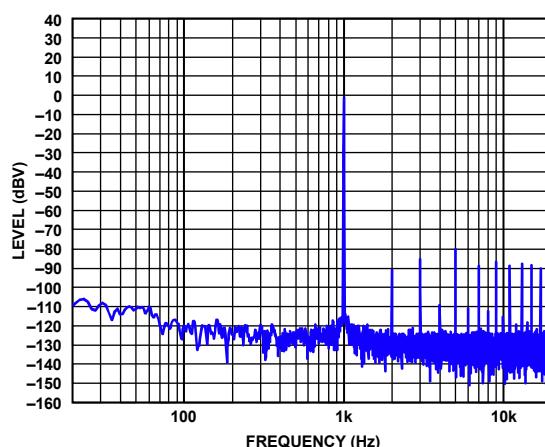


図 48. FFT、 -1dBV 、ヘッドフォン・モード、負荷 = 16Ω 、 $f_s = 48\text{kHz}$ ～ 768kHz 、信号経路 = AINx～HPOUTx0

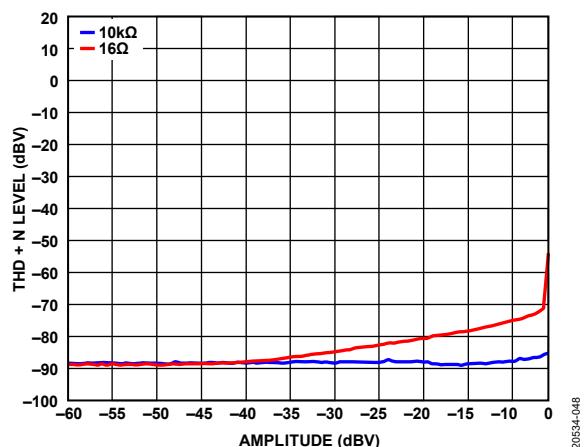


図 46. THD + N レベルと振幅の関係、 $f_s = 48\text{kHz}$ ～ 768kHz 、負荷 = $10k\Omega$ および 16Ω 、信号経路 = AINx～HPOUTx0/LOUTx0

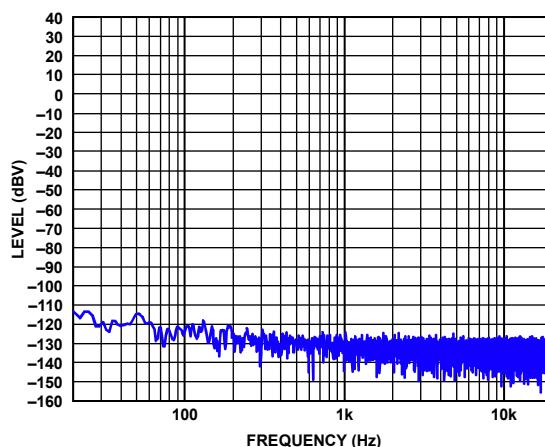


図 49. FFT、信号なし、負荷 = 16Ω ～ $10k\Omega$ 、 $f_s = 48\text{kHz}$ ～ 768kHz 、信号経路 = AINx～HPOUTx0/LOUTx0

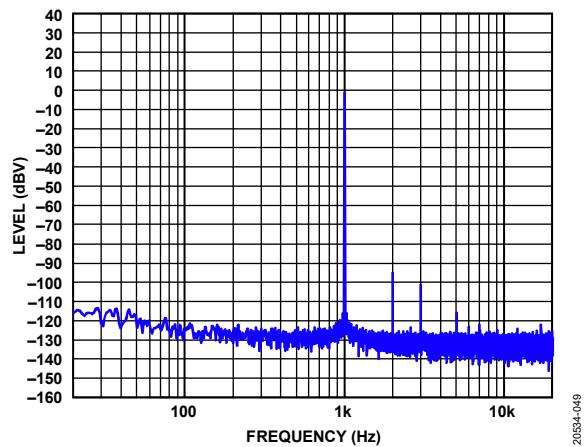


図 47. FFT、 -1dBV 、ライン出力モード、負荷 = $10k\Omega$ 、 $f_s = 48\text{kHz}$ ～ 768kHz 、信号経路 = AIN0～LOUTx0

システムのブロック図

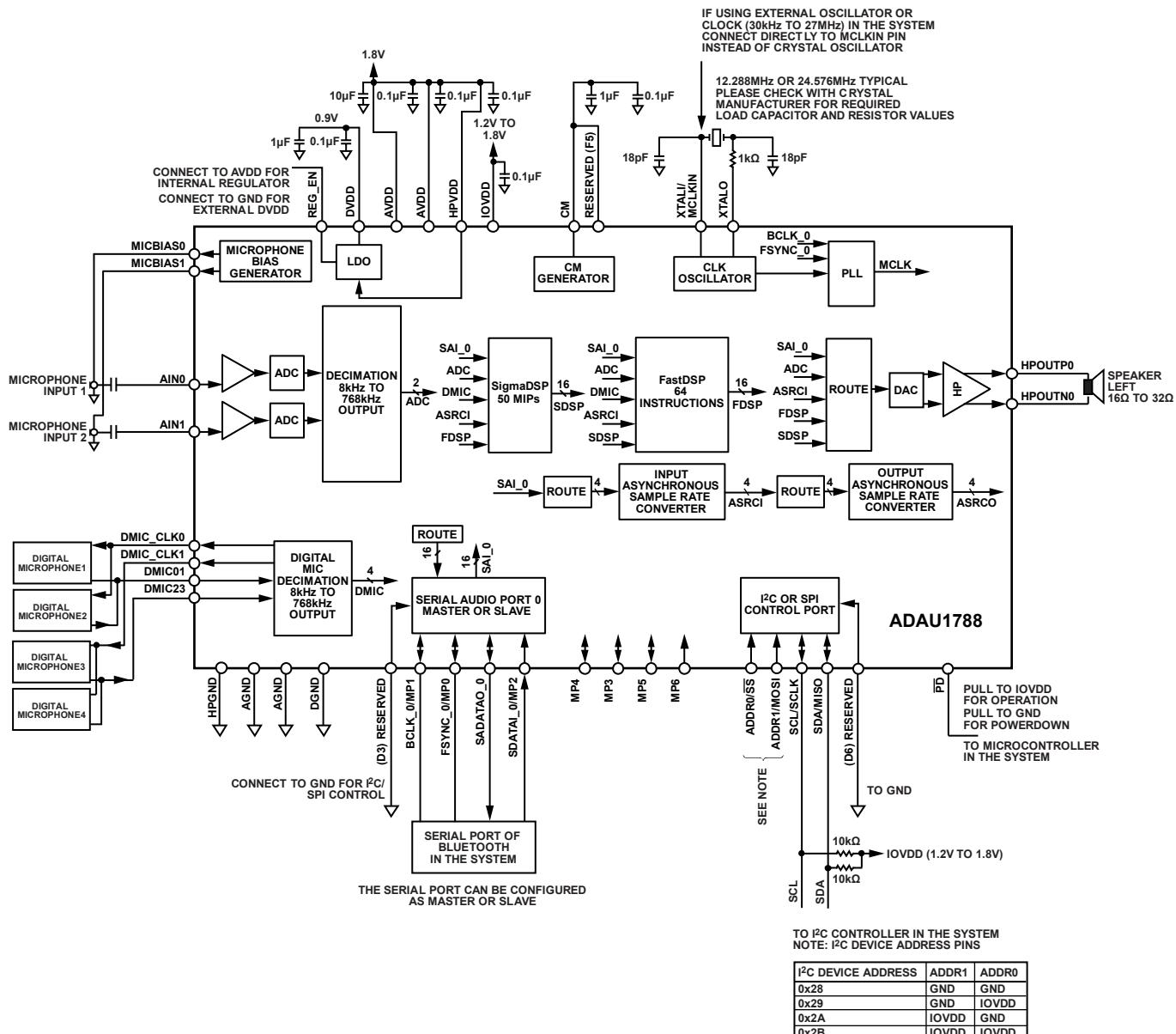


図 50. アナログ・マイクロフォンを搭載した ADAU1788 システムのブロック図（セルフブート・モード）

動作原理

ADAU1788 は、最適化されたオーディオ処理コアを搭載した低消費電力のオーディオ・コーデックであり、高品質オーディオ、低消費電力、小さいサイズ、低遅延を必要とするノイズ・キャンセリング・アプリケーションに最適です。このデバイスの ADC 2 チャンネルと DAC 1 チャンネルは、それぞれ S/N 比が 96dB 以上、THD + N レベルが-88dB 以上です。シリアル・オーディオ・ポートは、I²S、左揃え、右揃え、および TDM の各モードと互換性があり、デジタル・オーディオ・データとのインターフェース用にトライステートにすることができます。動作電圧は 1.8V で、デジタル電源電圧を発生する内蔵レギュレータを使用します。必要に応じてこのレギュレータをパワーダウンし、外部から電圧を供給できます。

入力信号経路は柔軟な構成が可能であり、シングルエンドのアナログ・マイクロフォン入力と最大 8 つのデジタル・マイクロフォン入力を受け入れます。2 本のマイクロフォン・バイアス・ピンにより、エレクトレット・マイクロフォンとのシームレスなインターフェースが可能です。各入力信号にはボリューム調整用の PGA があります。

ADC と DAC は、12kHz～768kHz の範囲で選択可能なサンプリング・レートで動作する、高品質 24 ビット Σ-Δ コンバータです。ADC と DAC では、オプションのハイパス・フィルタを使用して、1Hz のカットオフ周波数と細かいステップのデジタル・ソフト・ボリューム制御が得られます。モノ DAC 出力は、インピーダンスが 16Ω 以上のヘッドフォン・イヤピース・スピーカを差動駆動できます。出力の負荷が軽い場合は、オプションによりライン出力モードに変更できます。

SigmaDSP コアは低消費電力オーディオ処理に最適化されています。このコアは、アナログ・デバイセズの SigmaStudio® ソフトウェアを使用して GUI 画面でプログラムできます。このソフトウェアには、フィルタ、ダイナミ

クス・プロセッサ、ミキサー、低レベル DSP 機能などのオーディオ処理ブロックのライブラリが含まれており、カスタム信号フローを GUI 画面で迅速に開発できます。

FastDSP コアは、このコーデックをノイズ・キャンセレーション用に最適化する、縮小版の命令セットを備えています。プログラム・ランダム・アクセス・メモリ (RAM) とパラメータ RAM に、SigmaStudio を使用して作成したカスタム・オーディオ処理信号フローをロードできます。パラメータ RAM に格納された値は、個々の信号処理ブロックを制御します。

SigmaStudio ソフトウェアを使用して、制御ポートを介してコアのプログラムと制御が可能です。このツールは、信号フローの設計と調整と共に、ADAU1788 の全てのレジスタを設定できます。SigmaStudio グラフィカル・ユーザ・インターフェース (GUI) を使用すれば、デジタルまたはアナログ・オーディオ処理の知識があるなら誰でも、DSP 信号フローの設計とターゲット・アプリケーションへのエクスポートを実行できます。このインターフェースは、経験を積んだ DSP プログラマが思いどおりに設計するのに十分な柔軟性とプログラマビリティを提供します。SigmaStudio を使用して、グラフィカル・ブロック (バイクロッド・フィルタ、ボリューム制御、算術演算など) を接続し、デザインをコンパイルし、制御ポートを介して ADAU1788 のメモリにプログラム・ファイルとパラメータ・ファイルをロードできます。

ADAU1788 は、バイパス可能な内蔵フラクショナル PLL を使用して、幅広い入力クロックから内部クロックを生成できます。PLL は 30kHz～27MHz の範囲の入力を受け入れます。スタンダード動作では、内蔵の水晶発振器を使用してクロックを生成できます。

ADAU1788 は、小型の 42 ボール、2.695mm × 2.320mm WLCSP パッケージで供給されます。

システムのクロッキングとパワーアップ

パワーダウン動作およびオプション

PDピンがローになると、チップは最も低消費電力の状態（ハードウェア・フルチップ・パワーダウン）に移行します。レギュレータを使用する場合、この状態の間はレギュレータもパワーダウンします。この状態ではチップは完全にリセットされ、ステート・メモリを保持しません。**PD**ピンがローのときは、このデバイスとの通信はできません。

デフォルトでは、リセットの直後に、チップは制御インターフェースによって移行できる最も低消費電力の状態（ソフトウェア・フルチップ・パワーダウン）になります。この電力状態を開始または終了するには、POWER_EN ビット（レジスタ 0xC00D のビット 0）を使用します。POWER_EN = 0 の場合、I²C/SPI 制御ポートは動作し、レギュレータと水晶発振器（使用する場合）を除くその他の全ての部分はパワーダウンします。最も低消費電力の状態を実現するには、XTAL_EN ビット（レジスタ 0xC005 のビット 1） = 0 に設定します。チップのデジタル部分には複数のパワー・ドメインがあります。デフォルトでは、制御ポートとそれに関連するレジスタに電力供給するドメインだけがパワーオンされます。デジタル・デザインの他の部分は電源が遮断され、ステートは失われます。

ソフトウェア・フルチップ・パワーダウン中に追加のステート・メモリを保持するためのオプションは 2 つあります。KEEP_SDSP ビット（レジスタ 0xC00C のビット 1）と KEEP_FDSP ビット（ビット 0）の設定により、SigmaDSP プログラム・メモリとパラメータ・メモリまたは FastDSP プログラム・メモリとパラメータ・メモリ、あるいはその両方のステートを保持できます。POWER_EN = 0 の場合、コントロール・レジスタ・マップは常にステートを保持します。

CM_KEEP_ALIVE ビット（レジスタ 0xC00C のビット 4）を使用して、POWER_EN = 0 の場合に CM ピン（コモンモード出力）のステートを維持することも維持しないこともできます。CM_KEEP_ALIVE = 0 の場合、POWER_EN = 0 のときは CM 電圧は失われるため、可能な最小ソフトウェア・パワーダウン電流が生成されます。ただし、PLL およびその他のアナログ・ブロックは CM 電圧に依存しているため、CM_KEEP_ALIVE = 0 では ADAU1788 のターンオン時間は長くなります。PLL などの任意のアナログ・ブロックをイネーブルする前に、CM を充電するのに 35ms の待機時間が必要です。

一方、CM_KEEP_ALIVE = 1 ではパワーダウン電流が大きくなりますが、35ms の待機時間が不要になるため、スタートアップ時間は高速になります。

CM_KEEP_ALIVE = 1 の場合、CM_STARTUP_OVER ビット（レジスタ 0xC00D のビット 2）を使用して、POWER_EN を 1 に設定する前に CM_STARTUP_OVER = 0 に設定することにより、CM 電圧を高速充電して最小のターンオン時間を実現できます。35ms の待機時間の後、CM_STARTUP_OVER = 1 に設定して消費電力を小さく抑えます。CM_STARTUP_OVER のリセット・ステートは 0 です。したがって、PDピンを使用してこのデバイスをパワーダウンする場合、CM_STARTUP_OVER を 0 に設定する手順は省略できます。

POWER_EN = 1 になると、チップの他のデジタル部分の電源がイネーブルされます。したがって、パワーアップ・シーケンス中にこのレジスタを最初に設定しなければなりません。

CM_STARTUP_OVER シーケンスの完了後、PLL と水晶発振器を設定し、イネーブルする必要があります。全ての内部デジタル電源がパワーアップされ、PLL がロックされ、その他の必要なシーケンスが完了すると、POWER_UP_COMPLETE ビット（ビット 7、0xC0AB レジスタ）または割り込み要求（IRQ）がそのことを示します。IRQ1_POWER_UP_COMPLETE はレジスタ 0xC0B1 のビット 4 です。IRQ2_POWER_UP_COMPLETE はレジスタ 0xC0B4 のビット 4 です。POWER_UP_COMPLETE の後にこれらの IRQ を使用して割り込みを要求する場合は、IRQ がアンマスクされている必要があります。IRQ1_POWER_UP_COMPLETE_MASK ビット（ビット 4、レジスタ 0xC0A4）がクリアされている必要があります。同様に、IRQ2_POWER_UP_COMPLETE（ビット 4、レジスタ 0xC0A7）もクリアされている必要があります。デフォルトでは、POWER_UP_COMPLETE の IRQ はマスクされています。

POWER_UP_COMPLETE = 1 になった後、DSP メモリをプログラムできます。

ADAU1788 は柔軟性に優れたブロック・レベルのパワー・コントロールを備えています。各ブロックの個々のチャンネルを、別々に電源オンまたはオフできます。制御ビット（MASTER_BLOCK_EN）はデフォルトでは 0 であり、PLL_EN、XTAL_EN、SDSP_EN、および FDSP_EN を除く全てのブロック・レベルのイネーブルをオーバーライドします。MASTER_BLOCK_EN = 0 のときでも、PLL、SigmaDSP、および FastDSP をイネーブルすることは可能です。この状態では他の全てのブロックは常にパワーダウンされるため、他の全ての信号経路ブロックがイネーブルされる前に、PLL をイネーブルおよびロックし、DSP メモリを初期化できます。

デバイスを設定する際は、全てのコントロール・レジスタとブロック・レベルのパワー・コントロールを完全にセットアップして目的の状態にすることを推奨します。これにより、PLL のロックと使用する DSP メモリの初期化の後、MASTER_BLOCK_EN = 1 に設定することによりブロックをイネーブルできます。

ブロック・レベルのパワー・コントロールとその他の設定は、チップがアクティブの間にオンザフライで変更できます。ただし、DAC/ヘッドフォン・モード・ブロックにアクティブな状態で配線される DAC/ヘッドフォン・モード・ブロック以外のブロックをイネーブルまたはディスエーブルする際は、可聴アーティファクトが発生しないように注意する必要があります。

チップをパワーダウンするには、MASTER_BLOCK_EN と POWER_EN をローに設定します。するとデバイスは全てのブロックをパワーダウンし、必要なパワーダウン・シーケンスを実行します。

パワーアップ・シーケンスの概要は次のとおりです。

1. PDを使用して低ドロップアウト (LDO) レギュレータ (使用する場合) をオンにする場合は、PD = 1 に設定します。
2. REG_EN = 1 の場合は 20ms 待機します。
3. CM_KEEP_ALIVE = 0 で REG_EN = 0 の場合は、CM_STARTUP_OVER = 0 になっていることを確認します。
4. POWER_EN = 1 に設定して、デジタル側の全てのパワー・ドメインをゲート解除します。
5. CM_KEEP_ALIVE = 0 で REG_EN = 0 の場合は、CM_STARTUP_OVER = 0 になっていることを確認します。
6. CM_KEEP_ALIVE = 0 で REG_EN = 0 の場合は、35ms 待機します。
7. CM_STARTUP_OVER = 1 に設定します。
8. 水晶発振器を使用する場合は、XTAL_EN = 1 に設定します。
9. CLK_CTRLx レジスタを使用して PLL を設定し、XTAL_EN ビットと PLL_EN ビットをセットします (使用する場合)。
10. PLL がロックしている間に (またはPD= 1 の後で随時) 、他の全てのセットアップ・ビットを設定します。
11. レジスタ 0xC0AB の PLL_LOCK ビットを読み出すことにより、全てのデジタル・パワー・ドメインのパワーアップが完了し、PLL がロックされ、シーケンスが完了したことを確認します。POWER_UP_COMPLETE ビット = 1 になっていることを確認します。このビットが 1 に設定されている場合は先に進みます。このビットが 1 に設定されていない場合は、1 に設定されるまで待機します。
12. SDSP_EN と FDSP_EN が 1 になっていることを確認し、スタティック RAM (SRAM) を初期化します。
13. MASTER_BLOCK_EN = 1 に設定して、イネーブルされている全てのブロックをパワーアップします。
14. FDSP_RUN と SDSP_RUN を 1 に設定して、DSP を動作させます。

ADC から DAC へのパワーアップ例

パワーオン・シーケンスの例を示すために、ADAU1788 の ADC0 から DAC0 への可能な最高速のパススルーを提供する、レジスタ書き込み (および関連する待機時間) のシーケンス例を次に示します。このシーケンスは、24.576MHz のデフォルト MCLK 入力を前提としています。

- AVDD と IOVDD を印加します。
 - REG_EN=0 の場合は DVDD を印加します。
 - REG_EN = 1 の場合は、DVDD のセットリングのために 20ms 待機します。
 - レジスタ 0xC00D に 0x11 を書き込むことにより、POWER_EN = 1 に設定します。
 - CM 電圧がパワーアップして安定するまで 35ms 待機します。

- 待機中に以下のレジスタを設定します。

- レジスタ 0xC004 に 0x11 を書き込むことにより、ADC0 と DAC0 をイネーブルします。
- レジスタ 0xC03E に 0x44 を書き込むことにより、DAC0 のルーティングを ADC0 に設定します。
- レジスタ 0xC03B に 0x84 を書き込むことにより、DAC0 をミュート解除します。
- 35ms 経過後、レジスタ 0xC00D に 0x15 を書き込むことにより、CM_STARTUP_OVER = 1 に設定します。
- レジスタ 0xC005 に 0x01 を書き込むことにより、PLL をイネーブルします。
- レジスタ 0xC00D に 0x17 を書き込むことにより、MASTER_BLOCK_EN = 1 に設定します。

パワーアップから ADC0 の信号が DAC0 に現れるまでの合計時間は、約 80ms です。

DVDD LDO レギュレータ

このデバイスには LDO 電圧レギュレータがあり、オプションにより HPVDD 電源から DVDD 電源を生成できます。REG_EN ピンがグラウンドに接続されている場合、このレギュレータはディスエーブルになるため、外部から適切な DVDD 電圧を DVDD ピンに供給する必要があります。REG_EN ピンが AVDD に接続されている場合、LDO レギュレータはイネーブルになり、必要な DVDD 電圧を生成します。

DLDO_CTRL ビットで LDO 出力の電圧を決定します。デフォルトでは、出力は 0.9V に設定されます。LDO が動作するには、CM 電圧が必要です。したがって、POWER_EN = 0 の場合でも、CM_KEEP_ALIVE = 1 であれば CM 出力は存在し続けます。したがって、REG_EN = 1 のときに可能な最小パワーダウン電力を実現するには、PD をローに設定します。

クロックの初期化

ADAU1788 は、BCLK_0、FSYNC_0、または MCLKIN ピンに外部から供給されるクロックから、または内蔵の水晶発振器から、クロックを生成できます。いずれの場合も、内蔵 PLL を使用するか、またはクロックを直接コアに供給できます。水晶発振器を使用する場合は、水晶発振器の機能を XTAL_EN ビットと XTAL_MODE ビットでイネーブルする必要があります。PLL を使用する場合は、常に 49.152MHz を出力するように設定する必要があります。システム内で 24.576MHz のクロックが使用可能な場合は、PLL_BYPASS = 1 に設定することにより、PLL をバイパスできます。PLL をバイパスすると、システムの消費電力が削減されますが、SigmaDSP で利用可能な処理のクロック・レートが制限されます。

PLL イネーブルのセットアップ

コーデックの初期化またはリコンフィギュレーション中に PLL をプログラムするには、以下の手順に従います。

1. POWER_EN = 1 であることを確認します。
2. PLL_EN = 0 であることを確認します。
3. PLL コントロール・レジスタ (レジスタ 0xC00E～レジスタ 0xC015) を設定します。
4. レジスタ 0xC016 の PLL_UPDATE ビットに 1 を書き込んで、PLL の設定値を伝播します。
5. PLL_EN ビットを使用して PLL をイネーブルします。

PLL がイネーブルされていないか、またはロックされている間は、他のブロックをパワーアップできます。しかし、PLL がイネーブルされ、ロックされていない場合は、PLL がロックされてパワーアップ・シーケンスを開始するまで、他の全ての回路は待機します。

初期化中の制御ポートのアクセス

PLL がイネーブルされる前、または PLL のロック中であれば、初期化中にいつでも全てのコントロール・レジスタにアクセスできます。SigmaDSP メモリを読み書きするには、SDSP_EN が 1 に設定され、PLL (使用する場合) がロックされている必要があります。FastDSP メモリを読み書きするには、FDSP_EN が 1 に設定され、PLL (使用する場合) がロックされている必要があります。

PLL

PLL は、BCLK_0、FSYNC_0、または MCLKIN のうち任意の信号をリファレンスとして使用してコア・クロックを生成できます。ソースは PLL_SOURCE ビットによって選択します。PLL は、入力クロック周波数に基づいてインテジャー・モードまたはフラクショナル・モードに設定する必要があります。PLL は 30kHz~27MHz の範囲の入力周波数を受け入れます。PLL の出力周波数は 32MHz~50MHz の範囲で設定できます。データシートに仕様規定されている全ての内部サンプリング・レートは、49.152MHz (1024 × 48kHz サンプル・レート) の PLL 出力周波数を前提としています。PLL の出力が異なる周波数に設定されている場合は、それに従って全ての内部サンプリング・レートが調整されます。例えば、PLL 出力が 32.768MHz (1024 × 32kHz) に設定されている場合は、全ての内部サンプリング・レートを 32kHz ÷ 48kHz (すなわち、0.667 の比率) で調整する必要があります。

PLL バイパス動作

PLL_BYPASS ビットを 1 に設定し、PLL_SOURCE ビットと適切な MCLKIN/BCLK_0 ピンを使って 24.576MHz の固定クロックをコアに供給することによって PLL をバイパスした場合、チップは PLL をディスエーブルにして機能できます。PLL バイパス・モードでも全てのロックの機能は変わりません。ただし、SigmaDSP は、PLL をオンにした場合の 2 分の 1 の速度で動作するため、実行できる命令の数は 2 分の 1 になります。

入力クロック分周器

入力されたクロック信号は、クロック周波数が PLL の適切な範囲内に入るように、PLL に到達する前にインテジャー・クロック分周器を通過します。PLL_INPUT_PRESCALER ビットは、PLL 入力クロック分周比を設定します。

PLL の入力周波数の制限値は、この入力プリスケール分周器の通過後の値で仕様規定されています。したがって、分周後の周波数は、仕様規定されている範囲を外してはなりません。

インテジャー・モード

PLL の出力が PLL の入力クロックの整数倍である場合、インテジャー・モードが使用されます。

例えば、PLL の入力クロック = 12.288MHz で PLL_INPUT_PRESCALER + 1 = 1 の場合、PLL の必要な出力 = 49.152MHz です。したがって、 $R = 49.152\text{MHz}/12.288\text{MHz} = 4$ です。ここで、R は PLL_INTEGER_DIVIDER です。

もう 1 つの例では、PLL の入力クロック = 48kHz、PLL の必要な出力 = 49.152MHz の場合、 $R = 49.152\text{MHz}/48\text{kHz} = 1024$ です。

インテジャー・モードでは、N と M に設定された値は無視されます。図 51 に、48kHz サンプリング・レートでのインテジャー-PLL パラメータの一般的な設定値を示します。

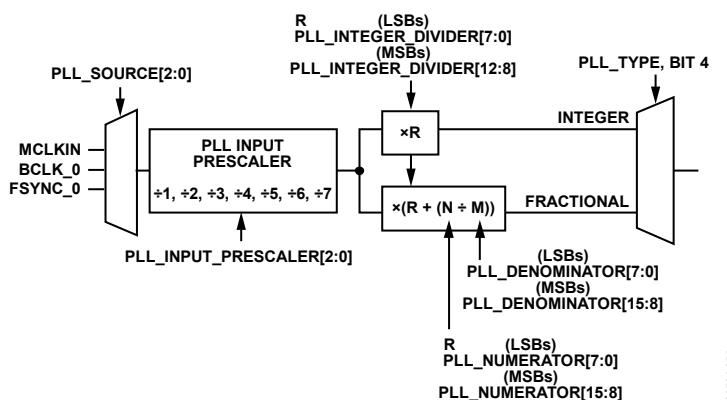


図 51. PLL のブロック図

表 13. PLL 出力 = 49.152MHz でのインテジャー-PLL パラメータの設定値

PLL Input	Input Prescaler (X)	Integer (R)	Denominator (M)	Numerator (N)
32.768 kHz	0	1500	Don't care	Don't care
48 kHz	0	1024	Don't care	Don't care
12.288 MHz	0	4	Don't care	Don't care
24.576 MHz	0	2	Don't care	Don't care

フラクショナル・モード

クロック入力が PLL 出力の分数倍である場合、フラクショナル・モードが使用されます。

例えば、MCLKIN = 13MHz で $f_s = 48\text{kHz}$ の場合、PLL の必要な出力 = 49.152MHz、

$$(R + (N/M)) = 49.152\text{MHz}/13\text{MHz} = (3 + (1269/1625))$$

ここで、

$$R = 3$$

$$N = 1269$$

$$M = 1625$$

表 14 に、48kHz サンプリング・レートでのフラクショナル PLL パラメータの一般的な設定値を示します。PLL をフラクショナル・モードで使用する場合、PLL が正常に動作するように、N/M の値を $0.1 \leq N/M \leq 0.9$ の範囲内に保つことが重要です。

フラクショナル・モードで使用する場合、入力分周器通過後の PLL への入力は 1MHz 以上でなければなりません。

マルチチップ位同期

2 個の ADAU1788 デバイスを使用する場合、両方のチップが共有する同一の信号を使用するように SYNC_SOURCE ビットを設定することにより、各デバイスのオーディオ・チャンネル間で位同期を維持できます。SYNC_SOURCE は、FSYNC_0 から位同期信号を得るように設定できます。2 個の IC が共有するシリアル・ポートがコア・クロックに対して非同期である場合は、SYNC_SOURCE に入力 ASRC を使用する必要があります。また、シリアル・ポートを使用しない場合は、内部同期ソースを使用できます。

クロック出力

PLL の出力を様々な分周したクロック出力を、任意の MPx ピン上に生成できます。

電源シーケンス

AVDD、HPVDD、および IOVDD は公称 1.8V であり、DVDD は内蔵レギュレータ使用時に 0.9V に設定されます。電源投入時には、IOVDD より前または同時に、AVDD と HPVDD をパワーアップする必要があります。AVDD に電力が供給されていないときに、IOVDD をパワーアップしてはなりません。

\overline{PD} ピンをイネーブルすると、全てのアナログ回路とデジタル回路がパワーダウンし、デバイスはデフォルト状態にリセットされます。IC がパワーダウンするときにポップ・ノイズが発生しないように、 \overline{PD} をイネーブルする（すなわち、ローに設定する）前に出力をミュートしてください。通常動作では、 \overline{PD} は IOVDD に直接接続できます。

パワーダウンに関する考慮事項

ADAU1788 をパワーダウンする際は、電源を取り除く前に出力をミュートまたはパワーダウンしてください。そうしないと、ポップ・ノイズやクリック・ノイズが発生することがあります。

表 14. PLL 出力 = 49.152MHz でのフラクショナル PLL パラメータの設定値

PLL Input (MHz)	Input Divider (X + 1)	Integer (R)	Denominator (M)	Numerator (N)
13	1	3	1625	1269
19.2	1	2	25	14

信号ルーティング

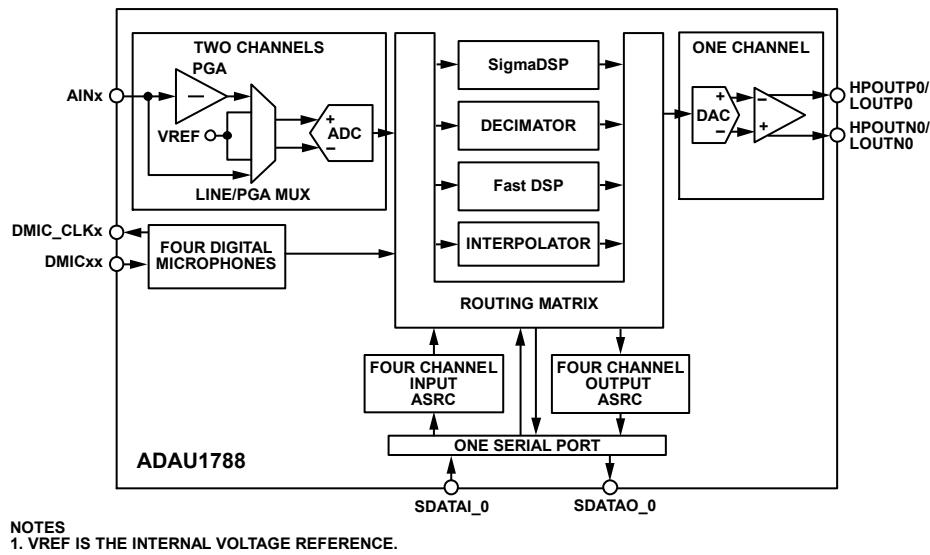


図 52. 入出力信号のルーティング

入力信号経路

アナログ入力

ADAU1788 は、ライン・レベルとマイクロフォンの両方の入力を受け入れます。2 つのアナログ入力チャンネルは、各チャンネルをシングルエンド・モードまたは PGA 付きシングルエンド・モードに設定できます。最大 4 つのデジタル・マイクロフォン用入力もあります。アナログ入力は CM 電圧でバイアスされます。使用しない入力ピンは、CM ピンに接続するか、グラウンドに AC カップリングしてください。

ADAU1788 の各種信号経路の位相差

図 54 に、ADAU1788 の様々なブロック間の位相差を示します。灰色の波形はアナログ入力からデジタル出力またはアナログ出力への信号経路を示し、黒い波形はデジタル入力からアナログ出力への信号経路を示します。

アナログ入力と ADC の間で位相が反転し、(同様に) DAC とヘッドフォン出力の間で位相が反転します(表 15 を参照)。しかし、デジタル・ブロック内では位相は反転しません。

入力インピーダンス

アナログ入力の入力インピーダンスは、PGA のゲインによって異なります。インピーダンスの範囲は、35.25dB のゲイン設定値での $0.97\text{k}\Omega$ から、0dB のゲイン設定値での $20.26\text{k}\Omega$ までです。ADAU1788 内の抵抗は互いに高い精度で整合しているため、ゲイン誤差はほとんどありません。ただし、抵抗の正確な値はシリコン製造プロセスの様々な条件

に依存するため、最大で $\pm 20\%$ のばらつきが生じます。オプションの 10dB の PGA ブースト (PGAx_BOOST ビットで設定) は、入力インピーダンスに影響を与えません。この方法で、入力インピーダンスを減らさずにゲインを増やすことができます。

PGA を使用しない場合やライン入力モードでは、入力インピーダンスは $14.3\text{k}\Omega$ に固定されます。

アナログ・マイクロフォン入力

マイクロフォン信号には、ADAU1788 のアナログ入力を PGA 付きシングルエンド・モードに設定できます。PGA の設定値は、レジスタ 0xC021～レジスタ 0xC029 で制御します。PGA は、PGAx_EN ビットをセットすることによりイネーブルされます。

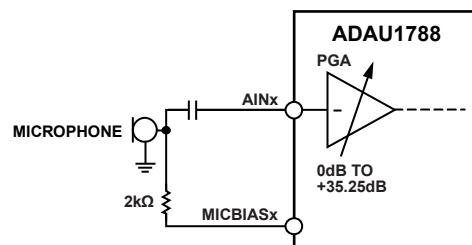
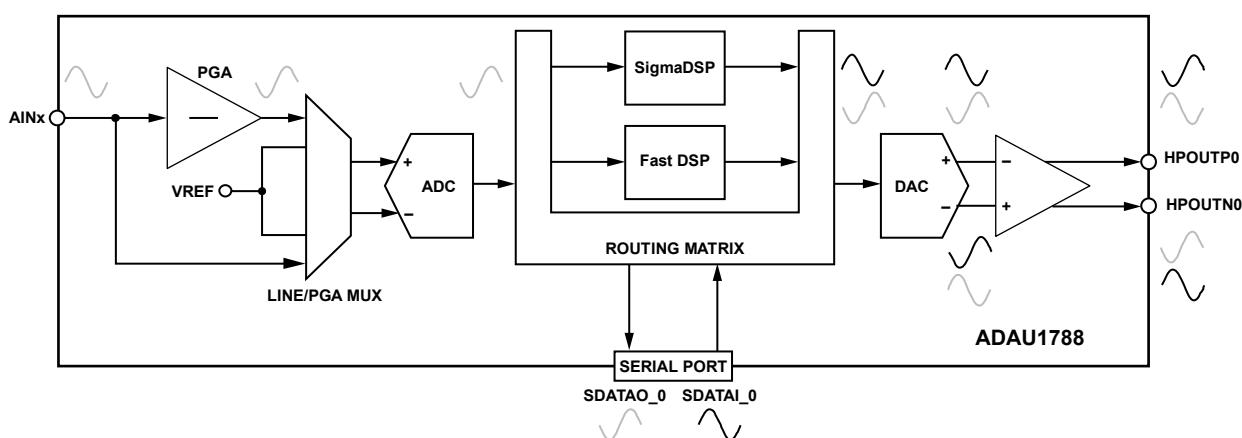


図 53. シングルエンド・ライン入力

20534-157



20534-156

図 54. ADAU1788 内部の入出力間の位相差

表 15. 各種の入出力経路間の位相差

Signal Path ¹	Phase in Degrees (°) ²
Analog In to ADC to Digital Output (Serial Port)	180
Analog In to PGA to ADC to Digital Output (Serial Port)	180
Analog In to ADC to DAC to HPOUTP0/HPOUTN0	0
Analog In to PGA to ADC to DAC to HPOUTP0/HPOUTN0	0
Digital In (Serial Port) to DAC to HPOUTP0/HPOUTN0	180

¹ デジタル・ブロック内では位相は反転しないため、信号経路にデジタル・ブロックを追加または削除しても、(DSP 内でフィルタまたは信号処理ブロックを使用する場合を除いて) 位相差には影響を与えません。

² SigmaDSP または FastDSP 内で反転セルを使用すると、位相を簡単に反転できます。

アナログ・ライン入力

ライン・レベル信号は、アナログ入力の AIN_x ピンに入力できます。図 55 に、AIN_x ピンを使用したシングルエンド・ライン入力を示します。シングルエンド・ライン入力を使用する場合は、PGAx_EN ビットを使用して PGA をディスエーブルする必要があります。

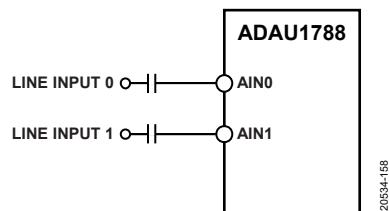


図 55. シングルエンド・ライン入力

入力コンデンサのプリチャージ

プリチャージ・アンプがデフォルトでイネーブルになり、アナログ入力に接続された大きな直列コンデンサを迅速に充電します。これらのコンデンサをプリチャージすることにより、オーディオ信号内のポップ・ノイズの発生を防ぎます。プリチャージ回路は、デフォルトでは ADC チャンネルがイネーブルされたときにパワーアップされ、コントロール・レジスタの ADC_AIN_CHRG_TIME ビットによって指定された時間オンのままになります。このモードでの AIN_x ピンの内部インピーダンスは 750Ω です。ただし、入力プリチャージ・アンプは CM 電圧をリファレンスとして使用するため、起動時には、内部インピーダンスは CM ピンのリファレンス電圧の時定数によって制御されます。

マイクロフォン・バイアス

ADAU1788 には、MICBIAS0 と MICBIAS1 の 2 つのマイクロフォン・バイアス出力があります。これらのピンは、エレクトレット・アナログ・マイクロフォンの電圧リファレンスを提供します。また、MICBIAS_x ピンは、独立した電源ピンを持つデジタルまたはアナログ MEMS マイクロフォンに安定した電圧を供給できます。MICBIAS_x の電圧は、マイクロフォン・バイアス・コントロール・レジスタ (MBIAS_CTRL) で設定します。このレジスタを使用して、MICBIAS0 または MICBIAS1 の出力をイネーブルまたはディスエーブルにできます。ゲイン・オプションにより、 $0.65 \times \text{AVDD}$ または $0.9 \times \text{AVDD}$ の 2 種類の電圧を選択できます。

多くのアプリケーションでは、2 つのバイアス出力のうち一方だけをイネーブルにする必要があります。複数のマイクロフォンを使用するシステムや、PCB 上のマイクロフォンの位置のために 1 本のピンで全てのマイクロフォンをバイアスできない場合は、2 つのバイアス出力をイネーブルします。

PGA

PGA は 0dB～35.25dB のプログラマブル・ゲインを備えています。このゲインは PGAx_GAIN レジスタで制御されます。PGAx_BOOST レジスタを 1 に設定することにより、このゲインを 10dB 大きくすることができます。

PGAx_SLEW_DIS レジスタが 0 の場合、ゲイン・ステップ間のスルーが自動的に実行されます。PGAx_SLEW_DIS レジスタが 1 に設定されている場合は、PGAx_GAIN レジスタの最下位 5 ビットを使用してスルーを手動で実行できます。これらのビットは、最上位 6 ビット (PGAx_GAIN [10:5]) の 0.75dB ステップ間でのスムーズな遷移を制御するためだけに用意されており、ゲインの遷移がない場合は 0 に設定する必要があります。

デジタル・マイクロフォン入力

DMIC01 ピンと DMIC23 ピンに接続されるデジタル・マイクロフォンを使用する場合は、対応する DMICx_EN レジスタを設定して、デジタル・マイクロフォンの信号経路をイネーブルする必要があります。DMICxx_EDGE ビットに書き込むことにより、デジタル・マイクロフォンのチャンネルを入れ替えることができます (左／右の入替え)。

デジタル・マイクロフォン入力は、DMIC_CLK0 または DMIC_CLK1 ピンからクロックを供給されます。デジタル・マイクロフォンのデータ・ストリームは、これらのピンによってクロッキングする必要があります。他のオーディオ IC などの他のクロック源は使用できません。各 DMIC_CLK 出力の周波数は、DMIC_CLKx_RATE ビットによって個別に設定できます。各デジタル・マイクロフォン・データ入力ピンは、DMICxx_MAP レジスタを使用して、対応する DMIC_CLKx にマップする必要があります。

デジタル・マイクロフォン入力の各ペアには、ダウンサンプリング比を指定する個別のサンプル・レート・コントロールがあります。これらのコントロールは、DMICxx_FS ビットによって設定します。出力サンプル・レートは 12kHz～768kHz の範囲で設定できます。初期デシメーション・フィルタの次数は、DMICxx_DEC_ORDER ビットによって 4 次または 5 次を選択できます。4 次を選択すると、伝搬遅延が小さくなりますが、一部の高ダイナミック・レンジのマイクロフォンでは、最高の性能を維持するために 5 次を選択する必要があります。DMICxx_FCOMP ビットは、デシメーション・フィルタの高周波数でのロールオフを補償するかどうかを制御します。補償なしにすると、伝搬遅延が小さくなりますが、パスバンドが多少減衰します。デジタル・マイクロフォンの各チャンネルには、個別のデジタル・ボリューム制御と 1Hz ハイパス・フィルタがあります。

入力パルス密度変調 (PDM) は、相対パルス符号変調 (PCM) のフルスケールに直接マップされます。例えば、PDM 密度 50% の入力は、0dB のボリューム制御設定では -6dBFS の出力を生成します。

デジタル・マイクロフォン信号と ADC は互いに完全に独立しており、デシメーションフィルタを共有しません。

デジタル・マイクロфонのボリューム制御

デジタル・マイクロфонの各チャンネルのボリューム設定は、DMIC_VOLx レジスタを使用してデジタルで減衰させることができます。ボリュームは+24dB～-71.25dB の範囲で 0.375dB ステップで設定できます。デジタル・マイクロфонのボリュームは、DMICx_MUTE ビットを使用してデジタルでミュートすることもできます。デフォルトでは、ボリューム制御が変更されるとソフト・ランプが実行されます。DMIC_HARD_VOL ビットによってソフト・ランプを省略し、ボリュームを即座に変更することもできます。DMIC_VOL_LINK ビットにより、チャンネル 0 のボリュームを使用して全てのチャンネルのボリュームを制御するように設定できます。デジタル・マイクロфон・チャンネルがイネーブルされると、対応する DMIC_VOLx レジスタによって設定されたボリューム・レベルで直ちに起動します。デジタル・マイクロфон・チャンネルがディスエーブルされると、ボリュームのランプダウンを待たずに直ちにオフになります。

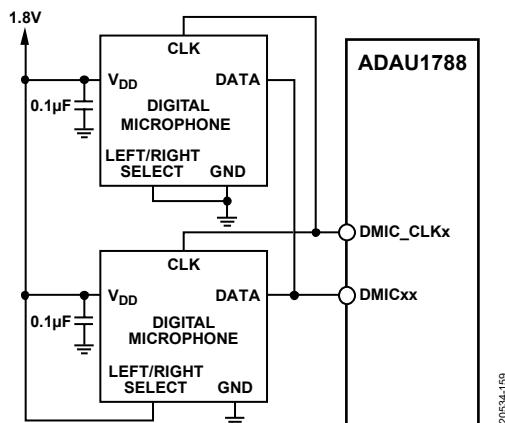


図 56. デジタル・マイクロфон・インターフェースのブロック図

ADC

ADAU1788 は、12kHz～768kHz の範囲でサンプル・レートを選択可能な 2 つの 24 ビット $\Sigma\Delta$ ADC を内蔵しています。

ADC のフルスケール・レベル

ADC へのフルスケール入力 (0dBFS) は、公称 0.49Vrms です。信号レベルがフルスケール値を超えると、ADC はクリッピングされます。

ADC のデジタル・ボリューム制御

各 ADC のボリューム設定値は、ADCx_VOL レジスタを使用してデジタルで減衰させることができます。ボリュームは+24dB～-71.25dB の範囲で 0.375dB ステップで設定できます。ADC のボリュームは、ADCx_MUTE ビットを使用してデジタルでミュートすることもできます。デフォルトでは、ボリューム制御が変更されるとソフト・ランプが実行されます。ADC_HARD_VOL ビットによってソフト・ランプを省略し、ボリュームを即座に変更することもできます。ADC_VOL_LINK ビットにより、チャンネル 0 のボリュームを使用して全てのチャンネルのボリュームを制御するように設定できます。ADC チャンネルがイネーブルされると、対応する ADCx_VOL レジスタによって設定されたボリューム・レベルで直ちに起動します。ADC チャンネルがディスエーブルされると、ボリュームのランプダウンを待たずに直ちにオフになります。

フィルタ処理

ADC パスにハイパス・フィルタを使用して DC オフセットを除去できます。このフィルタは、ADCx_HPF_EN ビットを使用してイネーブルまたはディスエーブルできます。このハイパス・フィルタのコーナ周波数は 1Hz に設定されます。

ADC01_FCOMP ビットは、デシメーション・フィルタの高周波数でのロールオフを補償するかどうかを制御します。補償なしにすると、伝搬遅延が小さくなりますが、パスバンドが多少減衰します。

出力信号経路

データは、シリアル・ポート、SigmaDSP コア、FastDSP コア、ADC、デジタル・マイクロフォン、または入力 ASRC から出力 DAC パスにルーティングできます。アナログ出力ピンは、ヘッドフォンまたはイヤホンのスピーカを駆動できます。ライン出力は少なくとも $10\text{k}\Omega$ の負荷を駆動できます。またヘッドフォン・モードに設定して、ヘッドフォンまたはイヤホンのスピーカを駆動することもできます。アナログ出力ピンは CM 電圧でバイアスされます。

アナログ出力

ヘッドフォン出力

ヘッドフォン出力は差動出力です。HPOUTP0 と HPOUTN0 で 1 つの差動出力が使用可能で。これらの出力ピンは、HP_CTRL レジスタ (レジスタ 0xC040) の HP0_MODE ビットを 1 に設定することにより、ヘッドフォン・ドライバとして設定できます。ヘッドフォン出力は少なくとも 10Ω の最小負荷を駆動できます。ヘッドフォン出力をミュートまたはミュート解除するには、DAC0_MUTE ビット (レジスタ 0xC03B) を使用します。

ライン出力

HP0_MODE ビットを 0 に設定すると、出力はライン出力モードに設定されます。アナログ出力ピン (HPOUTP0/LOUTP0 と HPOUTN0/LOUTN0) は、 $10\text{k}\Omega$ 以上の差動負荷を駆動できます。デフォルトでは、これらのピンはライン出力モードに設定されます。ライン出力をミュートまたはミュート解除するには、DAC0_MUTE ビットを使用します。

ポップ/クリック抑制回路

クリック・ノイズやポップ・ノイズが発生しないように、信号経路に影響を与える可能性のあるレジスタの設定値を変更する際は、使用中のアナログ出力をミュートしてください。この出力は設定値の変更後にミュート解除できます。

DAC

ADAU1788 は、24 ビット Σ-Δ DAC を内蔵しています。このコンバータは、12kHz、24kHz、48kHz、96kHz、192kHz、384kHz、または 768kHz の入力サンプリング周波数で動作します。サンプル・レートは DAC_FS ビットによって選択可能です。DAC に配線されるチャンネルが同じサンプル・レートに設定されていることを確認してください。DAC には性能重視と消費電力重視の 2 つの電源オプションがあります。DAC_LPM モードでは、オーバーサンプリング比を下げて動作するように DAC を設定できます。DAC_IBIAS コントロールは、DAC へのバイアス電流を小さくします。

DAC のフルスケール・レベル

DAC からのフルスケール出力 (0dBFS) は、差動出力では公称 1Vrms です。

DAC のデジタル・ボリューム制御とフィルタ処理

DAC チャンネルのボリュームは、DAC0_VOL レジスタを使用してデジタルで減衰させることができます。ボリュームは +24dB ~ -71.25dB の範囲で 0.375dB ステップで設定できます。DAC のボリュームは、DAC0_MUTE ビットを使用してデジタルでミュートすることもできます。デフォルトでは、ボリューム制御が変更されるとソフト・ランプが実行されます。DAC_HARD_VOL ビットによってソフト・ランプを省略し、ボリュームを即座に変更することもできます。DAC チャンネルがイネーブルされると、最小のボリューム設定値で起動し、(DAC_HARD_VOL = 0 の場合は) 対応する DAC0_VOL レジスタによって設定されたボリューム・レベルまで上昇します。DAC チャンネルがディスエーブルされると、(DAC_HARD_VOL = 0 の場合は) 現在の設定値からミュートまでボリュームを下げてからオフになります。DAC パスにハイパス・フィルタを使用して DC オフセットを除去できます。このフィルタは、DAC0_HPF_EN ビットを使用してイネーブルまたはディスエーブルにできます。このハイパス・フィルタのコーン周波数は 1Hz に設定されます。

レジスタ 0xC03A の DAC_MORE_FILT ビットにより、DAC リニア・インターポレーション・フィルタを選択できます。DAC_MORE_FILT = 0 に設定すると、伝搬遅延が小さくなりますが、代償として帯域外成分の減衰量が小さくなります。

PDM 出力

ADAU1788 は、外部アンプや他のペリフェラルを低遅延で駆動するのに適した、2 チャンネルの高性能 1 ビット PDM 出力を内蔵しています。これらの PDM 出力は、12kHz、24kHz、48kHz、96kHz、192kHz、384kHz、または 768kHz の入力サンプリング周波数で動作します。サンプル・レートは PDM_FS ビットによって選択可能です。PDM 出力に配線される全てのチャンネルが同じサンプル・レートに設定されていることを確認してください。

PDM 出力変調器は 3.072MHz または 6.144MHz で動作します。この周波数は PDM_RATE ビットによって選択されます。このビットは PDM 出力のクロック・レートも決定します。

PDM 出力は 2 線式 (PDM クロックと PDM データ) デュアル・データ・レート・インターフェースを介して送信されます。これらの 2 つの信号は、各ピンに対応する MPx_MODE ビットを使用して、任意の多目的 (MPx) ピン出力にルーティングできます。

PDM 出力のフルスケール・レベル

フルスケールの PDM 入力は、フルスケールの PDM 出力を生成します。出力振幅が-7.5dBFS より大きくなると、PDM 変調器の性能が低下します。

PDM 出力のボリューム制御とフィルタ処理

各 PDM チャンネルのボリュームは、PDM_VOLx レジスタを使用してデジタルで減衰させることができます。ボリュームは+24dB～-71.25dB の範囲で 0.375dB ステップで設定できます。PDM のボリュームは、PDMx_MUTE ビットを使用してデジタルでミュートすることもできます。デフォルトでは、ボリューム制御が変更されるとソフト・ランプが実行されます。PDM_HARD_VOL ビットによってソフト・ランプを省略し、ボリュームを即座に変更することもできます。PDM_VOL_LINK ビットにより、チャンネル 0 のボリュームを使用して両方のチャンネルのボリュームを制御するように設定できます。PDM チャンネルがイネーブルされると、最小のボリューム設定値で起動し、(PDM_HARD_VOL = 0 の場合は) 対応する PDM_VOLx レジスタによって設定されたボリューム・レベルまで上昇します。PDM チャンネルがディスエーブルされると、(PDM_HARD_VOL = 0 の場合は) 現在の設定値からミュートまでボリュームを下げてからオフになります。

PDM パスにハイパス・フィルタを使用して DC オフセットを除去できます。このフィルタは、PDMx_HPF_EN ビットを使用してイネーブルまたはディスエーブルにできます。このハイパス・フィルタのコーナ周波数は 1Hz に設定されます。

最終インターポレーション・フィルタの次数は、PDM_MORE_FILT ビットによって選択できます。次数の低いフィルタを選択すると、伝搬遅延が小さくなりますが、代償として帯域外成分の減衰量が小さくなります。

ASRC

ADAU1788 は、シリアル・ポートの非同期全二重動作を可能にする ASRC を内蔵しています。デジタル出力用に 4 チャンネルの ASRC、デジタル入力信号用に 4 チャンネルの ASRC が使用可能です。

これらの ASRC は、シリアル出力データを最大 192kHz の内部レートから 8kHz 未満に変換できます。全ての中間周波数および比もサポートされます。

入力 ASRC の各チャンネルのソースは、ASRCI_x_ROUTE ビットにより、シリアル・オーディオ・ポート上の 16 チャンネルから自由に選択できます。入力 ASRC の出力 (内部) サンプル・レートは、ASRCI_OUT_FS ビットによって設定されます。

出力 ASRC チャンネルは、ASRCO_x_ROUTE ビットの設定により、多くの内蔵ソースから入力を受信できます。出力 ASRC の全てのチャンネルに対する全てのソースのサンプル・レートが、同じレートになっていることを確認してください。チャンネル 0 のソースにより、出力 ASRC の内部サンプル・レートが決定されます。出力 ASRC へのチャンネルのソースは、ASRCO_x_ROUTE ビットによって設定されます。

出力がロックされていない場合、ASRC は出力を自動的にゼロ・データにミュートします。各 ASRC ロックの状態は、ASRCI_LOCK および ASRCO_LOCK 読出し専用ステータス・ビットで監視できます。更に、各 ASRC のアンロックからロックへの遷移またはロックからアンロックへの遷移を、2 つの割り込みコントローラへの割り込みソースとして使用できます。

デフォルトでは、ASRC は高性能動作モードを使用します。より低消費電力で低性能の動作モードは、各 ASRC の ASRCx_LPM 制御ビットによってイネーブルにできます。

追加のフィルタ処理オプションを使用して、アプリケーションに合わせて ASRC を更にカスタマイズできます。各 ASRC には ASRCx_VFILT ビットがあり、音声帯域フィルタをイネーブルしてナイキスト周波数での除去を更に強化できます。この機能は従来の音声帯域サンプリング周波数を使用する場合に便利です。また、各 ASRC には ASRCx_MORE_FILT 制御ビットがあり、帯域外のエネルギーを追加フィルタ処理して、一定の条件下で性能を向上させることができます。

インターポレーション・ブロックと デシメーション・ブロック

ADAU1788 は、ノイズ・キャンセリングに使用される高速サンプリング・レートからオーディオ・ソースの低速オーディオ・レートへのオーディオ信号の変換用に設計されたブロックを内蔵しています。高速から低速へのデシメーションは 8 チャンネル、低速から高速へのインターポレーションは 8 チャンネルあります。

各ブロックの各 2 チャンネル・ペアは、他の 2 チャンネル・ペアとは異なる入出力レートで互いに独立して動作できます。ルーティング・コントロール・レジスタによって入力を選択する際は、各 2 チャンネル・ペア入力のサンプリング・レートが一致していることを確認してください。入力サンプリング・レートは FDECxx_IN_FS ビットと FINTxx_

IN_FS ビットによって決定され、出力サンプリング・レートは FDECxx_OUT_FS ビットと FINTxx_OUT_FS ビットによって決定されます。インターポレーション・ブロックの出力レートは、入力レートより高い値に設定する必要があります。デシメーション・ブロックの出力レートは、入力レートより低い値に設定する必要があります。

信号レベル

フルスケールのデジタル信号（すなわち 0dBFS）は、各種のコンバータのアナログ・フルスケールにマップされます。SigmaDSP コアと FastDSP コアは、内部では最大 24dBFS を維持できますが、出力は 0dBFS に対称的にクリップされます。デフォルトでは、ブロック間でゲインを調整しません。

FastDSPコア

ADAU1788 の FastDSP コアは、ANC 処理に最適化されています。このコアの処理機能には、バイクワッド・フィルタ、リミッタ、エキスパンダ、乗算器、ビット単位演算、クリッパー、ボリューム制御、および加重ミキシングが含まれます。このコアは全てのソースからの入力と 16 個の出力を備えています。このコアは、27 ビット・プログラム・ワードで制御され、1 フレームあたり最大 64 個の命令を使用します。

命令

全ての命令と処理ブロックの一覧は、ADAU1788 用の SigmaStudio ソフトウェアを参照してください。使用可能な命令には以下のものがあります。

- 単精度 (27 ビット・フラクショナル精度) バイクワッド／2 次フィルタ
- 倍精度 (54 ビット・フラクショナル精度) バイクワッド／2 次フィルタ
- 低精度 (19 ビット・フラクショナル精度) バイクワッド／2 次フィルタ
- 2~4 入力加算
- SigmaStudio 内の T 字型接続
- 外部ディテクタ・ループまたはサイド・チェーン入力あり／なしのリミッタ
- 外部ディテクタ・ループまたはサイド・チェーン入力あり／なしのエキスパンダ
- リニア・ゲイン
- ボリューム・スライダ
- ミュート
- 2 入力乗算
- 2~4 入力スケーリングおよびミキシング
- 対称クリッパー
- 絶対値
- シフト
- OR、AND、XOR、および INV
- メモリ読出しまだ書込み

フィルタ精度

FastDSP コア内のフィルタには、様々なレベルのフラクショナル精度が使用可能です。低いフラクショナル精度を使用すると、高いフラクショナル精度を使用した場合よりも消費電力が低減されます。ただし、フィルタには安定性の維持に十分な精度が必要であることに注意してください。

フラグと条件付き実行

命令ごとに複数のフラグをセット、またはセットしないことができます。これらのフラグは、その命令の出力に基づいてセットされます。これらのフラグには、次のものがあります。

- 出力が 0 に等しい
- 出力が 0 に等しくない
- 出力が 0 より大きい
- 出力が 0 より小さい
- 出力が 0 より大きいか、または 0 に等しい
- 出力が 0 より小さいか、または 0 に等しい
- アキュムレータのオーバーフロー

各命令は常に個々のフラグまたは他のステートに基づいて実行または条件付きで実行されます。他のステートには以下のものがあります。

- MPx ピン (MP0~MP10) のロジック・ステート (GPIO として使用される場合)。出力 MPx ピンのステートは、レジスタ 0xC092 とレジスタ 0xC093 または SigmaDSP によって設定できます。
- FDSP_REG_COND0~FDSP_REG_COND7 ビットがハイまたはローに設定される。
- モジュロ N カウンタが 0 に等しい。

GPIO は、使用していない任意の MPx ピン上で使用できます。GPIO ピンとして使用される MPx ピンのステートにより、命令が実行されるかどうかが決まります。

FDSP_REG_CONDx ビットは、任意の制御インターフェースを介して、または SigmaDSP を介して読み書きできる読み出し／書き込みビットです。これらのレジスタのステートにより、命令が実行されるかどうかが決まります。

モジュロ N カウンタは、FastDSP のフレームごとにインクリメントするカウンタです。FDSP_MOD_N ビットで設定されたフレーム数に達すると、カウンタは 0 にリセットされます。命令は、FDSP_MOD_N ビットによって設定された N 個のフレームごとに実行することができます。この方法で、一部の命令をフレーム・レートより低いレートで簡単に実行できます。

条件に基づいて命令が実行されない場合、何もしないか、または入力を出力に渡すように設定することができます。

入力ソース

全ての命令は、任意のデータ・レジスタ、任意のアキュムレータ・レジスタ、任意のシリアル・ポート入力チャンネル、任意のデジタル・マイクロフォン入力、任意の ADC 入力、任意の SigmaDSP 出力、任意の ASRCI チャンネル、またはインターポレーション・ブロックからの任意の出力を、入力ソースとして使用できます。

FastDSP のフレーム・レートが設定されている必要があります。このレートにより、いつプログラム・カウンタが 0 でカウントを再開するかが決まります。この値は最高速のソースのサンプル・レートに合わせて設定する必要があります。フレーム・レートを決定するソースは、FDSP_RATE_SOURCE ビットによって設定します。必要に応じて、ソースとは無関係にフレーム・レートを設定できます。このレートは FDSP_RATE_DIV ビットによって設定できます。

電源と実行の制御

FastDSP の全てのプログラム・メモリ、パラメータ・メモリ、データ・メモリは、POWER_EN = 1、FDSP_EN = 1 で PLL (使用する場合) がロックされている場合、任意の制御インターフェースまたは SigmaDSP から読み書きできます。

シングル・レジスタ FDSP_EN で FastDSP コアをパワーアップし、メモリを読み書きできるようにします。FDSP_EN = 1 で FDSP_RUN = 1 の場合、FastDSP コアは処理を開始します。

データ・メモリ

ADAU1788 の FastDSP データバスは 28 ビット (5.23 フォーマット) で、最大 24dBFS に対応します。FastDSP への全ての入出力は 24 ビット (1.23 フォーマット) です。出力は 24 ビットに切り捨てられるため、出力が 0dBFS より大きい場合はクリッピングされます。データ・メモリは 64 ワードです。倍長メモリにより、FastDSP コアは、倍長データと単一長係数を使用して倍精度演算を実行できます。各命令には、それに関連する 4 つのデータ/ステート・メモリ・ロケーションがあります。これらのロケーションは、I²C または SPI を介して、または SigmaDSP から、いつでも読み出すことができます。

パラメータ

フィルタ係数、リミッタの設定値、ボリューム制御の設定値などのパラメータは、パラメータ・メモリに保存されます。各パラメータは 32 ビット数です。この数値のフォーマットは、関連する命令によって異なります。バイクワッド命令の様々なパラメータの数値フォーマットを表 16 に示します。リミッタ・パラメータのように、パラメータ・フォーマットが 32 ビット・メモリ空間の一部だけを使用する場合、データは LSB に揃えられます。

表 16. パラメータの数値フォーマット

パラメータのタイプ	フォーマット
フィルタ係数 (B0、B1、B2、A1、A2)	5.27

3 つのパラメータ・バンクを使用できます。各バンクは 320 個のパラメータ (64 個のフィルタ × 5 つの係数) の全部を保持できます。バンク A、バンク B、バンク C は切替え可能なため、3 セットのパラメータをメモリに保存しておき、コアの実行中にオンザフライで切り替えることができます。バンクの切替えは、FDSP_BANK_SEL ビットに書き込むことによって実行できます。アクティブ・バンクのパラメータの更新は、必ずコアの実行中に FastDSP セーフロード・レジスタを使って実行しなければいけません。この方法でパラメータを更新しないと、不正な結果が output されることがあります。パラメータは、コード内での命令の実装順に、命令に割り当てられます。

パラメータ・バンクの切替え

A、B、C の 3 つのパラメータ・バンクを使用できます。特定の時点で、FastDSP はこれらのバンクのうち 1 つだけ使用します。バンクが 3 つあるため、複数の処理シナリオの間で、フィルタ係数と他の命令の変数を簡単に切り替えることができます。使用するバンクは、FDSP_BANK_SEL ビットで選択します。

現在のバンクを変更すると、処理に使用していたパラメータ値は、次のフレームの開始時に変更されるか、それまで選択していたバンクと (FDSP_BANK_SEL ビットによって指定される) 新しいバンクの間のリニア・インターpolation によってランプします。変更かランプかの選択には、FDSP_RAMP_MODE ビットを使用します。リニア・パラメータ・ランプ・モードを選択すると、3 つのバイクワッド命令に関連するパラメータだけがランプします。他の命令に関連するパラメータは、全て次のフレームの開始時に変更されます。バンク内で現在ランプしているパラメータは、バンクの切替え中は変更できません。

前のバンクの値と現在のバンクの値の間で直線的にランプするパラメータを停止することが可能です。FDSP_LAMBDA ビットは、2 つのバンク間のリニア・インターpolation 曲線上でバンク切替えランプを停止する点を表す 6 ビット値です。このラムダ値は制御インターフェースからオンザフライで更新できますが、バンク切替えランプの開始後は、値を大きくすることしかできません。バンクの切替えを最後まで実行するには、値を 63 (デフォルトの設定値) に設定します。実際の現在のランプ・ポイント (0 ~ 63) は、FDSP_CURRENT_LAMBDA ビットから読み出すことができます。この値が 63 に達すると、バンクの切替えは完了し、現在使用しているパラメータが現在のバンクと一致します。2 つのバンクの間でランプ途中のパラメータは、バンク切替えランプの実行中は変更できません。

IRQ_x_PRAMP 割り込みソース・ビットにより、いずれかの割り込みコントローラへの割り込みをトリガできます。バンク切替えランプがアクティブで、FDSP_CURRENT_LAMBDA が FDSP_LAMBDA に等しい場合、この割り込みは最初のフレームでトリガされます。

2 つのバンク間のランプ・レートは、FDSP_RAMP_RATE ビットによって選択可能です。

パラメータ・バンクのコピー

任意のバンクのパラメータを、1 回の制御書き込みによって任意の他のバンクにコピーできます。可能なバンク・コピー操作は 6 つあり、そのために 6 つのレジスタ (FDSP_COPY_xx) があります。これらのビットのうち 1 つに 1 を書き込むと、バンクのコピーが開始されます。バンクのコピーの開始後、FastDSP は次のフレームの開始まで待機してから、次のフレームの間に、関連する命令の実行中にバンクの内容をコピーします。バンクのコピーはその次のフレームの開始時に完了するため、コピーの開始から完了までに最大 2 フレームかかります。アクティブなバンクへのコピーは許可されておらず、コピーしても何も実行されません。

表 17. FastDSP コアのメモリ・アドレス指定

Memory	Memory Size	Word Size	Base Address (Decimal)	Base Address (Hexadecimal)
Program	64	32	8192	0x2000
Bank A Parameter 0	64	32	8256	0x2040
Bank A Parameter 1	64	32	8320	0x2080
Bank A Parameter 2	64	32	8384	0x20C0
Bank A Parameter 3	64	32	8448	0x2100
Bank A Parameter 4	64	32	8512	0x2140
Bank B Parameter 0	64	32	8576	0x2180
Bank B Parameter 1	64	32	8640	0x21C0
Bank B Parameter 2	64	32	8704	0x2200
Bank B Parameter 3	64	32	8768	0x2240
Bank B Parameter 4	64	32	8832	0x2280
Bank C Parameter 0	64	32	8896	0x22C0
Bank C Parameter 1	64	32	8960	0x2300
Bank C Parameter 2	64	32	9024	0x2340
Bank C Parameter 3	64	32	9088	0x2380
Bank C Parameter 4	64	32	9152	0x23C0
State 0 (A1 High)	64	32	9216	0x2400
State 1 (A2 High)	64	32	9280	0x2440
State 2 (A1 Low)	64	32	9344	0x2480
State 3 (A2 Low)	64	32	9408	0x2400

パラメータ・メモリの読み書き

FastDSP コアがイネーブルされているが動作していない場合、I²C、SPI、または SigmaDSP から、任意のパラメータ・メモリ・バンクを制限なしに読み出すことができます。FastDSP コアがイネーブルされて動作している場合、I²C、SPI、または SigmaDSP から、使用していないパラメータ・バンクを制限なしに読み出すことができます。コアの動作中に、I²C、SPI、または SigmaDSP が同じサイクルで同じリクエストを読み出そうとすると、SigmaDSP が優先され、I²C または SPI からの読み出しはオール 0 を返します。I²C または SPI、mREAD 命令、または SigmaDSP から使用中のバンクを直接読み出すことは許可されておらず、0 を返します。現在のバンクの読み出しは、オール 0 を返します。FastDSP コアがイネーブルされているが動作していない場合、全てのパラメータ・バンクへの書き込みが可能です。使用していないバンクへの書き込みはいつでも可能です。コアの動作中に、I²C、SPI、または SigmaDSP が同じサイクルで同じリクエストに書き込もうとすると、SigmaDSP が優先され、I²C または SPI からの書き込みは行われません。

FastDSP パラメータのセーフロード

单一命令のパラメータ・メモリは、セーフロード・メカニズムにより、制御インターフェースからアクティブ・バンク上でリアルタイムで更新できます。FDSP_SL_ADDR レジスタで命令番号を設定し、FDSP_SL_Py_x レジスタでパラメータの値を設定し、FDSP_SL_UPDATE レジスタに 1 を書き込みます。これらの設定と書き込みの実行後、次のフレームの開始時に、その命令の全てのパラメータが FDSP_SL_Py_x レジスタの値で同時に更新されます。SigmaDSP のデータ・メモリ空間にマップされる、第 2 の FastDSP セーフロード・インターフェースがあります。これにより、SigmaDSP はワードでアドレス指定可能なアクセスが可能となります。

SigmaDSPコア

ADAU1788 は、再生システムの性能向上のためのオーディオ信号処理機能を提供する SigmaDSP コアを内蔵しています。信号処理フローは SigmaStudio プログラミング環境を使用して設計されているため、GUI 画面での回路図の入力と、全ての信号処理機能およびレジスタのリアルタイム制御が可能です。

SigmaDSP コアは、go ソースから go 信号を受信するまで処理フレームを開始しません。go 信号は、go ソースで生成された後で SigmaDSP に送信されます。go ソースは SDSP_RATE_SOURCE ビットを使用して設定します。SDSP_RUN ビットを 1 に設定すると、SigmaDSP コアの動作は go 信号の受信後にイネーブルされます。

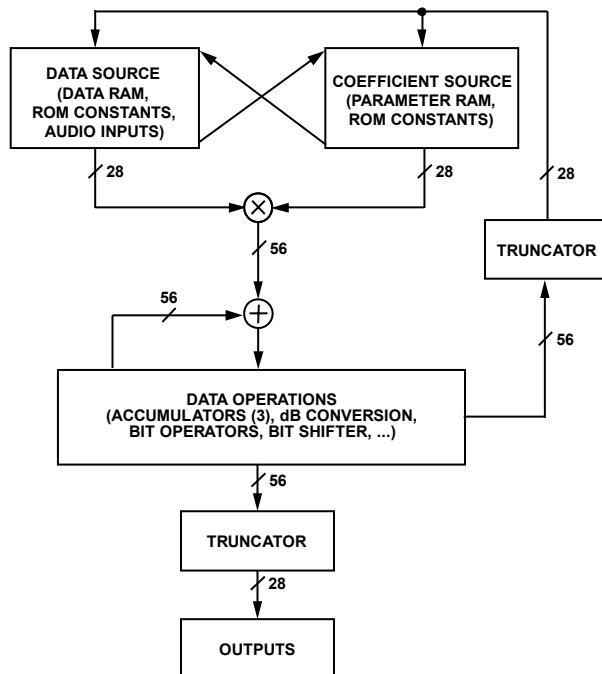
デフォルトでは、SDSP_SPEED = 0 の場合、SigmaDSP コアは 24.576MHz で動作し、各 48kHz サンプル周期あたり 512 サイクルの処理を実行します。SDSP_SPEED = 1 の場合、SigmaDSP コアは 49.152MHz で動作し、48kHz で 1022 サイクルの処理を実行します。

信号処理の詳細

標準的なライブラリ・アルゴリズムは、28 ビット単精度または 56 ビット倍精度の固定小数点計算を実行します。DSP コアの入出力ワード長は 24 ビットですが、DSP コア内部の信号は自動的に 28 ビットに拡張され、処理のヘッドルームが確保されます。このヘッドルームにより、最大 24dB の内部ゲインがクリッピングなしで得られます。DSP 信号フロー内で最初に入力信号をスケールダウンすることにより、更に大きいゲインが得られます。DSP コアの出力は 24 ビットです。したがって、出力のクリッピングを防ぐために、リニア・スケーリング、圧縮、または制限が必要になることがあります。

DSP コアは、データと係数の 2 つのソースを持つ簡単な 56 ビット積和演算 (MAC) ユニットで構成されます。データ・ソースは、データ RAM、よく使用される定数値の読み出し専用メモリ (ROM) テーブル、またはコアへのオーディオ入力から得られます。係数ソースは、パラメータ RAM から、またはよく使用される定数値の ROM テーブルから得られます。

2 つのソースは 28 ビット固定小数点乗算器で乗算され、得られた信号は 56 ビット加算器に入力されます。結果は、3 つの 56 ビット・アキュムレータ・レジスタのうち 1 つに格納されます。これらのアキュムレータは、DSP コアから 28 ビット・フォーマットで出力するか、またはオプションにより、データ RAM またはパラメータ RAM に書き戻すことができます。



20534-063

図 57. DSP コア・アーキテクチャの簡略図

プログラム・カウンタ

コア内の命令の実行は、プログラム RAM のアドレスを順次カウントするプログラム・カウンタによって制御されます。プログラム・カウンタは、スタート・パルス信号を受信するたびにスタートします。スタート・パルス信号は、機能ロックが新しいオーディオ・サンプルを受信し、スタート・パルスが生成されるたびに発生します。スタート・パルスのソースは、SDSP_RATE_SOURCE 制御ビットによって選択します。

SigmaStudio は、各プログラムの最後にスタートへのジャンプ・コマンドを挿入します。プログラム・カウンタは、カウンタがスタートへのジャンプ・コマンドに到達するまで順次インクリメントした後、プログラムの開始アドレスにジャンプし、次のオーディオ・フレームがコアにクロッキングされるのを待機します。

ウォッチドッグ

SigmaDSP ウォッチドッグは、DSP で使用される命令の数を監視し、設定した命令数の制限を超えていないかをチェックする機能です。DSP で実行される命令の数がこの制限を超えた場合、ウォッチドッグは MPx ピンを介してシステム内の他の IC に通知できます。

SDSP_CTRL3 レジスタの SDSP_WDOG_EN により、ウォッチドッグをイネーブルします。SDSP_CTRL4～SDSP_CTRL6 レジスタの SDSP_WDOG_VAL ビットを使用して、ウォッチドッグの値を設定します。

SigmaDSP ウォッチドッグのエラーは、DSP_STATUS レジスタ (レジスタ 0xC0AE) に通知されます。

機能

SigmaDSP コア・アーキテクチャはオーディオ処理専用に設計されており、処理効率を最大限に高める様々な機能を搭載しています。デシベル変換などのハードウェア・アクセラレータ、三角関数テーブル、およびオーディオ専用の ROM 定数により、処理能力の向上とアルゴリズム・コーディングの簡素化が可能となります。

数値フォーマット

DSP システムは一般に標準数値フォーマットを使用します。フラクショナル数値システムは、AB フォーマットで仕様規定されます。ここで、A は小数点の左側のビット数、B は小数点の右側のビット数です。

ADAU1788 は、パラメータ値とデータ値の両方に数値フォーマット 5.23 を使用します。

数値フォーマット 5.23

ADAU1788 の数値フォーマットの直線範囲は、-16.0 から +16.0-1LSB.までです。

例えば

- 1000 0000 0000 0000 0000 0000 = -16.0
- 1110 0000 0000 0000 0000 0000 = -4.0
- 1111 1000 0000 0000 0000 0000 = -1.0
- 1111 1110 0000 0000 0000 0000 = -0.25
- 1111 1111 0011 0011 0011 0011 = -0.1
- 1111 1111 1111 1111 1111 1111 = 0 より下の+1LSB
- 0000 0000 0000 0000 0000 0000 = +0
- 0000 0000 1100 1100 1100 1101 = +0.1
- 0000 0010 0000 0000 0000 0000 = +0.25
- 0000 1000 0000 0000 0000 0000 = +1.0
- 0010 0000 0000 0000 0000 0000 = +4.0
- 0111 1111 1111 1111 1111 1111 = +16.0-1LSB

シリアル・ポートは最大 24 ビットの入力を受け入れます。この値は DSP コアの全 28 ビットに符号で拡張されます。

プログラミング

パワーアップ時に、ADAU1788 のクロック方式を設定し、レジスタの設定値をロードする必要があります。コーデックの信号経路のセットアップ後、DSP コアをプログラムできます。48kHz のサンプル・レートでは、内部クロック・レートは 49.152MHz になり、オーディオ・サンプル・レートあたり 1024 命令サイクルが実行されます。

このデバイスは、アナログ・デバイセズが提供する SigmaStudio グラフィック・ツールを使用してプログラムできます。列レベルの DSP コードを記述するための知識は必要ありません。SigmaStudio の詳細については、www.analog.com/jp/SigmaStudio を参照してください。

読み出し／書き込みデータ・フォーマット

制御ポートの読み出し／書き込みフォーマットは、一般的なマイクロコントローラを簡単にプログラムできるバイト指向フォーマットです。バイト指向フォーマットにデータを合わせるために、データ・フィールドの MSB の前に 0 が追加され、データ・ワードが全 8 ビットに拡張されます。例えば、パラメータ RAM に書き込まれる 28 ビット・ワードの先頭に 0 を 4 つ追加して、32 ビット (4 バイト) ワードを作成します。また、プログラム RAM に書き込まれる 39 ビット・ワードの先頭に 0 を 1 つ追加して、40 ビット (5 バイト) ワードを作成します。これらの 0 で埋められたデータ・フィールドは、7 ビットのチップ・アドレス、1 つの読み出し／書き込みビット、および 16 ビットの RAM／レジスタ・アドレスで構成される、3 バイト・フィールドに付加されます。制御ポートは、最初の 3 バイトで指定されるアドレスに基づいて、予想されるデータ・バイト数を認識します。1 つの位置への書き込みコマンドの総バイト数は、1 バイト (コントロール・レジスタの書き込み) から 5 バイト (プログラム RAM の書き込み) まで様々です。バースト・モードを使用して、連続するレジスタまたは RAM の位置を充填できます。バースト・モード書き込みは、最初に書き込まれる RAM またはレジスタの位置のアドレスとデータを書き込むことによって開始されます。1 つのアドレスへの書き込みの場合とは異なり、(データワードの後で、I²C モードでは停止コマンドを発行することにより、また SPI モードではSS信号をハイにすることにより) 制御ポートのトランザクションを終了するのではなく、次のデータワードをアドレス指定せずに直ちに書き込むことができます。ADAU1788 の制御ポートは、複数の RAM やレジスタの境界を越えて、各書き込みのアドレスを自動インクリメントします。バースト・モードについては、それぞれの制御ポートのセクションで説明します。

ソフトウェア・セーフロード

出力にポップ・ノイズやクリック・ノイズを発生させずにリアルタイムでパラメータを更新するために、ADAU1788 はソフトウェア・セーフロード・メカニズムを使用します。ソフトウェア・セーフロード・メカニズムにより、SigmaDSP コアは、新しいパラメータを RAM にロードする際、そのパラメータは使用されていません。このメカニズムを使用することで、古いパラメータと新しいパラメータが混在した状態で命令が実行される、望ましくない条件を防止できます。SigmaStudio は、新規プロジェクトに必要なコードとパラメータを自動的にセットアップします。セーフロード・コードは、他の初期化コードと共に、プログラム RAM の最初の 39 のロケーションを充填します。パラメータ RAM の最初の 8 つのロケーション（アドレス 0x0000～アドレス 0x0007）は、デフォルトでは SigmaStudio で表 18 に示すように設定されます。

表 18. ソフトウェア・セーフロードのパラメータ RAM のデフォルト値

Address (Hex)	Function
0x0000	Modulo RAM size
0x0001	Safeload Data 1
0x0002	Safeload Data 2
0x0003	Safeload Data 3
0x0004	Safeload Data 4
0x0005	Safeload Data 5
0x0006	Safeload target address (offset of -1)
0x0007	Number of words to write/safeload trigger

モジュロ RAM サイズを制御するアドレス 0x0000 は、プロジェクトのダイナミック・アドレス・ジェネレータ・モードに基づいて、SigmaStudio によって設定されます。パラメータ RAM のアドレス 0x0001～アドレス 0x0005 は、セーフロード・データ格納用の 5 つのデータ・スロットです。ほとんどの標準的な信号処理アルゴリズムのパラメータの数は 5 つ以下であるため、セーフロード・パラメータ空間には、デフォルトでは 5 つのデータ・スロットが含まれます。

アドレス 0x0006 は RAM 内のセーフロード・ターゲット・アドレス（-1 のオフセットあり）のパラメータで、最初に書き込まれるアドレスを指定します。2 ワード以上を書き込む場合は、データワードごとにアドレスが自動的にインクリメントされます。セーフロードを使用して、各オーディオ・フレームの間に、最大 5 つの連続的なパラメータ RAM ロケーションを更新できます。書き込みアドレスはアドレス

0x0001 から始まるデータのアドレスを基準にして計算されるため、-1 のターゲット・アドレス・オフセットが使用されます。したがって、アドレス 0x000A でパラメータを更新する場合、ターゲット・アドレスは 0x0009 になります。

アドレス 0x0007 は、セーフロード中に RAM パラメータに書き込まれるワード数を指定します。バイクワッド・フィルタは、5 つのセーフロード・データ・アドレスを全て使用します。簡単なモノ・ゲイン・セルは、セーフロード・データ・アドレスを 1 つだけ使用します。また、アドレス 0x0007 に書き込むと、次のオーディオ・フレームで実行されるセーフロード書き込みがトリガれます。

セーフロード・メカニズムはソフトウェア・ベースの機能であり、1 オーディオ・フレームあたり 1 回実行されます。したがって、通信プロトコルを設計する際は注意が必要があります。各セーフロード書き込みの間には、サンプリング周期（サンプリング周波数の逆数）に等しいかそれより大きい遅延が必要です。48kHz のサンプル・レートは、少なくとも 21μs の遅延に相当します。この遅延が観察されない場合は、ダウンロードしたデータは壊れています。

FastDSP のセーフロード

SigmaDSP のデータ・メモリにマップされるメモリ・ロケーションは 5 つあります。これを使用して、FastDSP の単一命令の現在のバンク・パラメータを更新できます。この機能は、制御ポートを介した FastDSP セーフロードの機能と同じものです（FastDSP パラメータのセーフロードのセクションを参照）。相違点は、パラメータを 32 ビット・ワード・ベースでアドレス指定できることです。これにより、バイト・ベースでアドレス指定可能な制御ポートの高速ロード・メカニズムを再利用するよりも効率的に、書き込みを実行できます。また、パラメータはフレームが実行されると直ちに FastDSP に書き込まれ、トリガ・ビットへの書き込みは不要です。表 19 に、セーフロードに使用される機能を示す SigmaDSP アセンブラー名を示します。

表 19. FastDSP の現在のバンクに対する SigmaDSP セーフロード

Name	Function
FDSP_SL_ADDR	FastDSP safeload instruction number
FDSP_SL_P0	FastDSP Safeload Parameter B0
FDSP_SL_P1	FastDSP Safeload Parameter B1
FDSP_SL_P2	FastDSP Safeload Parameter B2
FDSP_SL_P3	FastDSP Safeload Parameter A1
FDSP_SL_P4	FastDSP Safeload Parameter A2

プログラムRAM、パラメータRAM、およびデータRAM

ADAU1788 のアドレス空間には、一連のレジスタと、プログラム RAM、パラメータ RAM、データ RAM の 3 つの RAM が含まれます。表 20 に RAM マップを示します。SigmaDSP から見たメモリ・マップは、外部制御インターフェースへのメモリのマッピングとは異なります。SigmaDSP の内部では各ワードが固有のアドレスを持ちますが、制御インターフェース上では各バイトが固有のアドレスを持ちます。また、外部制御インターフェースへのメモリのマッピングはオフセットされます。

プログラム RAM とパラメータ RAM はパワーアップ時に初期化されず、RAM が書き込まれるまで未知の状態になります。

プログラム RAM

プログラム RAM には、コアによって実行される 39 ビット・オペコードが格納されます。SigmaStudio コンパイラは、特定のプログラムでフレームごとに実行される命令数を計算し、この数がコア内の信号のサンプル・レートに基づいた 1 フレームあたりの許容される最大命令数を超える場合、エラーを生成します。プログラムの最後にはスタートへのジャンプ・コマンドが含まれるため、使用していないプログラム RAM 空間を無操作 (NOP) コマンドで充填する必要はありません。

パラメータ RAM

パラメータ RAM は 28 ビット幅で、アドレス 0 (0x0000) ～アドレス 1023 (0x3FFF) を占有します。パラメータ RAM のデータ・フォーマットは 2 の補数 (5.23) フォーマットで、これは係数の範囲が +16.0 (-1LSB) ～-16.0 という意味です。1.0 はバイナリ・ワード 0000 1000 0000 0000 0000 0000 0000 または 16 進ワード 0x00 0x80 0x00 0x00 で表現されます。

パラメータ RAM には直接書き込むか、セーフロード書き込みを使用して書き込むことができます。直接書き込み操作モードは、通常、バースト・モードのアドレス指定を使用して全く新たに RAM をロードする際に、出力にクリックやポップが発生するのを防ぐために使用されます。このモードはプログラムの実行中に使用できますが、コアと制御ポートの間のハンドシェークはありません。また、制御書き込み中は DSP コアがパラメータ RAM を使用できないため、オーディオ・ストリームにポップやクリックが発生します。

SigmaStudio は、最初の 8 つの位置をセーフロード・パラメータに自動的に割り当てます。したがって、プロジェクト固有のパラメータはアドレス 0x0008 から始まります。

パラメータ RAM への書き込みの前に、SDSP_RUN ビット (ビット 0、レジスタ 0xC081) が 0 に設定されている必要があります。

データ RAM

ADAU1788 のデータ RAM は、処理用のオーディオ・データ・ワードと、特定のランタイム・パラメータを格納します。SigmaStudio は、データ RAM への書き込みおよびデータ RAM からの読み出し用のデータとアドレス情報を提供します。ADAU1788 は 2048 ワードのデータ RAM が使用可能です。SigmaStudio コンパイラは、データ RAM を管理し、デザイン内の必要なアドレスの数が利用可能な最大数を超えていくかどうかを示します。

表 20. SigmaDSP 内部の RAM マップと読み出し/書き込みモード

Memory	Size (Words)	Address Range	Read	Write	Write Modes
Parameter RAM	2048 × 28	0 to 2047 (0x0000 to 0x03FF)	Yes	Yes	Direct, safeload
Program RAM	2048 × 39	3072 to 4095 (0x0C00 to 0x13FF)	Yes	Yes	Direct

低消費電力オプション

ADAU1788 には、一部のブロックの消費電力を低減するための様々なオプションがあります。

ADC バイアス電流制御

ADC には使用するバイアス電流レベルを変更できるメカニズムがあり、性能と消費電力の兼ね合いを調整できます。ADC01_IBIAS により、設定可能な 4 つの値をチャンネル 0 とチャンネル 1 についてそれぞれ独立して設定できます。両方の低消費電力設定で、部品間の性能パラメータのばらつきは通常電力モードより大きくなります。

DAC バイアス電流制御

DAC には使用するバイアス電流レベルを変更できるメカニズムがあり、性能と消費電力の兼ね合いを調整できます。DAC_IBIAS 制御ビットにより、設定可能な 4 つの値を選択できます。

DAC 低消費電力モード

DAC は 2 種類の低消費電力動作モードを選択することができます。DAC 使用時の消費電力と性能の兼ね合いを調整できます。一般的に、DAC_LPM = 1 の設定値を使用すると、若干小さい消費電力で同等または若干高い性能が得られます。

PLL バイパス

PLL をバイパスすると、消費電力が低減されます。24.576MHz の外部クロックを使用可能で、25MIPs を超える SigmaDSP の処理が不要な場合は、PLL をバイパスしても問題ありません。

表 21. PLL_IBIAS の消費電力

PLL_BYPASS	PLL Operation	Relative Power Consumption (mW)
0	Used	0
1	Bypassed	-0.55

表 22. ADC01_IBIAS の消費電力と性能

ADC01_IBIAS Setting	Description	Change in Digital Noise Reduction (DNR), A-Weighted (dB)	Change in THD + N Level at 1 kHz (dB)	Change in Power Consumption per ADC Channel (mW)
010	Enhanced performance	0	0	+0.12
000	Normal operation	0	0	0
011	Power saving	-0.7	9	-0.27
001	Extreme power saving	-0.7	11.5	-0.39

表 23. ヘッドフォン・モードでの DAC_IBIAS の消費電力と性能

DAC_IBIAS Setting	Description	Change in DNR, A-Weighted (dB)	Change in THD + N Level at 1 kHz (dB)	Change in Power Consumption (mW)
010	Enhanced performance	0	-1	+0.22
000	Normal operation	0	0	0
011	Power saving	-0.5	+4	-0.51
001	Extreme power saving	-1.0	+7	-0.73

表 24. ライン出力モードでの DAC の低消費電力と性能

Mode	Relative THD + N at 1 kHz, -6 dB	DNR A-Weighted (dB)	Relative Power (mW)
Default	0 dB	105.5	0
DAC_LPM = 1	0 dB	105.5	-0.041
DAC_LPM_II = 1	8 dB	105.8	-0.058

SigmaDSP のクロック周波数制御

デフォルトでは、SDSP_SPEED は 0 に設定され、SigmaDSP は 24.576MHz のクロックを受信します。PLL を使用する場合に SDSP_SPEED を 1 に設定すると、SigmaDSP は 49.152MHz のクロックを受信し、2 倍の数の命令を実行できます。処理能力を強化する必要がない場合は、SDSP_SPEED = 0 のままにして消費電力を削減できます。

表 25. SDSP_SPEED の消費電力の比較

SDSP_SPEED	SigmaDSP Clock Rate (MHz)	Relative Power Consumption (mW)
1	49.152	0
0	24.576	-0.076

表 26. 入力 ASRC の消費電力と性能 (44.1kHz から 48kHz への変換)

Mode	THD + N at 1 kHz (dB)	THD + N at 20 kHz	DNR AW (dB)	Relative Power per Channel (mW)
Default	123	123	130	0
ASRCI_LPM = 1	120	118	130	-0.041
ASRCI_LPM_II = 1	112	108	130	-0.058

表 27. 出力 ASRC の消費電力と性能 (48kHz から 44.1kHz への変換)

Mode	THD + N at 1 kHz (dB)	THD + N at 20 kHz	DNR AW (dB)	Relative Power per Channel (mW)
Default	123	123	130	0
ASRCO_LPM = 1	120	118	130	-0.045
ASRCO_LPM_II = 1	112	108	130	-0.070

非同期サンプル・レート・コンバータ (ASRC) の低消費電力モード

ASRC は 2 種類の低消費電力動作モードを選択することができます。これらのモードにより、ASRC 使用時の消費電力と性能の兼ね合いを調整できます。一般的に、ASRC との間でソースまたはシンクされるデータを ADC または DAC との間でやり取りする場合、ASRCx_LPM_II の設定値を使用すると、コンバータの性能を低下させずに消費電力を最小限に抑えることができます。

制御ポート

ADAU1788 には、4 線式 SPI 制御ポートと 2 線式 I²C バス制御ポートがあります。各ポートからメモリとレジスタを設定できます。IC はデフォルトでは I²C モードに設定されますが、SS ピンを 3 回ローにすることにより、SPI 制御モードに切り替えることができます。I²C モードでは、使用していない制御ピンが I²C デバイス・アドレスを決定します。I²C/SPI 動作には、D3 ピンを DGND に接続する必要があります。

制御ポートは、全てのアドレス指定可能なメモリとレジスタに対して完全な読み出し／書き込み操作が可能です。ほとんどの信号処理パラメータは、制御ポートを使ってパラメータ・メモリに新しい値を書き込むことによって制御されます。その他の機能（ミュートや入出力モード制御など）は、レジスタを介して設定されます。

全てのアドレスは、シングル・アドレス・モードまたはバースト・モードでアクセスできます。制御ポート書き込みの最初のバイト（バイト 0）には、7 ビットの IC アドレスと R/W ビットが含まれます。次の 2 バイト（バイト 1 とバイト 2）は、ADAU1788 内のメモリまたはレジスタのロケーションを示す 16 ビットのサブアドレスです。後続の全てのバイト（バイト 3 以降）には、レジスタ、プログラム、パラメータなどのデータが含まれます。書き込みのタイプごとの正確なフォーマットを図 60 と図 61 に示します。

大きなデータ・ブロックを ADAU1788 の DSP コアにダウンロードする必要がある場合、コアの出力をディスエーブルしてから新しいデータをロードし、その後でコアを再起動できます。コアの再起動は、通常は起動時のブート・シーケンス中か、新しいプログラムをメモリにロードする際に行われます。

表 29. 制御ピン機能のセットアップ

Mode	IOVDD (V)	I ² C Address	BCLK0 Pin	SDATAO_0 Pin	ADDR1/MOSI Pin	ADDR0/SS Pin	SCL/SCLK Pin	SDA/MISO Pin	D3 Pin
Input	1.2 to 1.8	0x28	BCLK0	SDATAO_0	0	0	SCL	SDA	0
I ² C	1.2 to 1.8	0x29	BCLK0	SDATAO_0	0	1	SCL	SDA	0
I ² C	1.2 to 1.8	0x2A	BCLK0	SDATAO_0	1	0	SCL	SDA	0
I ² C	1.2 to 1.8	0x2B	BCLK0	SDATAO_0	1	1	SCL	SDA	0
SPI	1.2 to 1.8	Not applicable	BCLK0	SDATAO_0	MOSI	SS	SCLK	MISO	0

表 30. I²C/SPI 制御データ・ワードのサイズとアドレス範囲

Base Address	End Address	Description	Width per Address	Write Modes	Writes Needed for Update
0x0000	0x0F00	Reserved	Not applicable	Not applicable	Not applicable
0x2000	0x3FFF	SigmaDSP parameter RAM	8	Direct, safeload	4
0x5000	0x77FF	SigmaDSP program RAM	8	Direct	5
0x7800	0x97FF	SigmaDSP data RAM	8	Direct	4
0xC000	0xC0E1	Control registers	8	Direct	1
0xD000	0xD0FF	FastDSP program	8	Direct	4
0xD100	0xDFFF	FastDSP parameter	8	Direct safeload	4
0xE000	0xE3FF	FastDSP state	8	Direct	4

レジスタ・マップに予備として示したレジスタとビットを読み出すと、0 が返されます。

制御ポート・ピンは多機能ピンであり、デバイスの動作モードによって機能が変わります。表 28 に、制御ポート・ピンの機能を示します。

表 28. 制御ポート・ピンの機能

Pin	I ² C Mode	SPI Mode
SCL/SCLK	SCL-input	SCLK-input
SDA/MISO	SDA-open-collector output	MISO-output
ADDR1/MOSI	I ² C Address Bit 1-input	MOSI-input
ADDR0/SS	I ² C Address Bit 0-input	SS-input

バースト・モード通信

連続的なメモリ・ロケーションに大量のデータを書き込む場合、バースト・モードのアドレス指定を使用できます。このモードでは、ワード境界でサブアドレスが自動的にインクリメントされます。制御ポートの通信が停止されない限り（すなわち、I²C モードでは停止条件の発行、SPI モードでは SS のハイへの遷移）、このインクリメントはシングルワードの書き込み後に自動的に行われます。ADAU1788 のレジスタと RAM の幅は 1 バイト～5 バイトであるため、自動インクリメント機能は、サブアドレスとデスティネーション・レジスタ（またはメモリ・ロケーション）のワード長の間の対応関係を認識できます。

メモリの読み出しと書き込み

SigmaDSP と FastDSP の全てのメモリ・ロケーションのサイズは 1 バイトを超えていません。制御インターフェース (I²C または SPI) を介して通信する際は、各バイトが 1 つのアドレスを占有しますが、SigmaDSP または FastDSP のメモリに書き込む場合、実際の書き込みでは、最下位のアドレスから最上位のアドレスまで順次続けてメモリ・ワード全体を書き込む必要があります。同様に、読み出しも最下位のメモリ・アドレスから始める必要があります。ただし、読み出しの場合は、全てのロケーションを読み出してしまうことはありません。制御インターフェース上のバイトのマッピングでは、最上位のバイト (すなわちメモリ・ロケーション) の書き込みまたは読み出しが最初に行われ、最下位のバイトの書き込みまたは読み出しが最後に行われます。メモリの読み出しと書き込みは、上記の条件が満たされるように、バースト・モードまたはシングル・バイト・モードで実行します。

表 31. SigmaDSP プログラム RAM のワード 0 への書き込み例

Address	Data
0x5000	Data, Bits[39:32]
0x5001	Data, Bits[31:24]
0x5002	Data, Bits[23:16]
0x5003	Data, Bits[15:8]
0x5004	Data, Bits[7:0], the memory is written to after this write

I²C ポート

ADAU1788 は、複数のペリフェラルを駆動する 2 線式シリアル (I²C 互換) マイクロプロセッサ・バスをサポートしています。I²C は、シリアル・データ (SDA) ピンとシリアル・クロック (SCL) ピンの 2 本のピンを使用して、ADAU1788 とシステム I²C マスタ・コントローラの間でデータを転送します。I²C モードでは、ADAU1788 はバス上で常にスレーブになります。

ADAU1788 は高速モード+I²C 動作をサポートしますが、ほとんどのバス容量では、SDA_MISO_DRIVE ビットを 1 に設定してこれらの動作速度をサポートする必要があります。各スレーブ・デバイスは、固有の 7 ビットのデバイス・アドレスによって認識されます。ADAU1788 の I²C アドレスのフォーマットを表 32 に示します。I²C マスタから送信されるこの最初のバイトの LSB は、読み出しありは書き込みのいずれかの動作を設定します。ロジック・レベル 1 は読み出し動作に対応し、ロジック・レベル 0 は書き込み動作に対応します。

ピン ADDR0 とピン ADDR1 は、I²C アドレスの LSB を設定します (表 33 を参照)。したがって、各 ADAU1788 は 4 つの固有のアドレスのうち 1 つに設定できます。これにより、アドレスの競合を発生させずに、同じ I²C バス上に複数の IC を配置できます。7 ビットの I²C アドレスを表 33 に示します。

I²C データ転送は、停止条件によって常に終了します。

SDA ピンと SCL ピンは、接続されるライン上に 2.0k Ω プルアップ抵抗を配置する必要があります。これらの信号ラインの電圧は、IOVDD を超えてはなりません。

表 32. I²C アドレスのフォーマット

Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	1	0	1	0	ADDR1	ADDR0

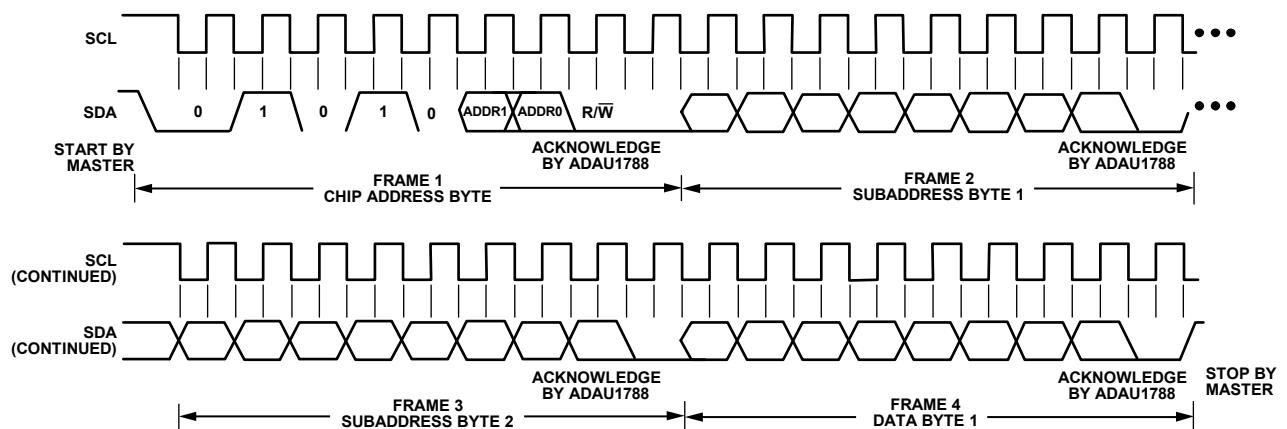
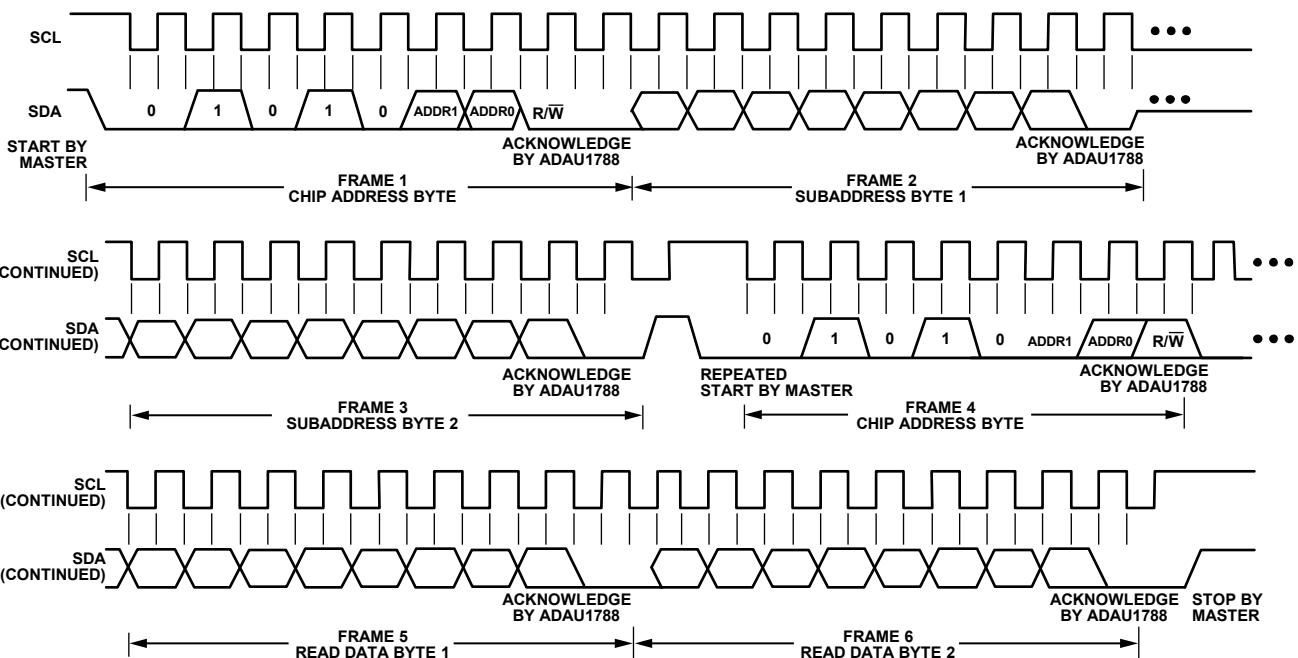
表 33. I²C アドレス

ADDR1 (MOSI)	ADDR0 (SS)	Slave Address
0	0	0x28
0	1	0x29
1	0	0x2A
1	1	0x2B

アドレス指定

初期状態では、I²C バス上の各デバイスはアイドル状態になっています。SDA および SCL ラインで開始条件と適切なアドレスを監視しています。I²C マスタは、SCL がハイになっているときに SDA がハイからローに遷移することとして定義される開始条件を確立することにより、アドレス/データ・ストリームが後続することを指示し、データ転送を開始します。バス上のすべてのデバイスは開始条件に応答し、次の 8 ビット (7 ビット・アドレス + R/W ビット) を MSB ファーストでシフトします。送信されたアドレスを認識したデバイスは、9 番目のクロック・パルス中にデータ・ラインをローにすることによって応答します。この 9 番目のビットはアクノレッジ・ビットと呼ばれます。この時点で、他のすべてのデバイスはバスから切断され、アイドル状態に戻ります。R/W ビットにより、データの方向が決定します。先頭バイトの LSB がロジック 0 の場合、マスタがペリフェラルに情報を書き込みます。ロジック 1 の場合、マスタがサブアドレスを書き込んだ後にペリフェラルから情報を読み出して、開始アドレスを繰り返します。停止条件を検出するまでデータ転送が実行されます。SCL がハイになっているとき、SDA がローからハイに遷移すると、停止条件が発生します。図 58 に I²C 書込みのタイミングを示し、図 59 に I²C 読出しのタイミングを示します。

停止条件と開始条件は、データ転送の任意の段階で検出できます。通常の読み出し動作と書き込み動作で、これらの条件が間違った順番でアサートされると、ADAU1788 は直ちにアイドル状態になります。特定の SCL ハイの期間中に、1 つの開始条件のみ、1 つの停止条件のみ、または 1 つの停止条件に続けて 1 つの開始条件を送信できます。ノー・アクノレッジ状態は、SCL の 9 番目のクロック・パルスで SDA ラインがローになっていないときに発生します。無効なサブアドレスが発行された場合、ADAU1788 はアクノレッジを発行しますが、データの書き込みは行われません。読み出しは 0 を返します。書き込みモード中に最上位のサブアドレス・ロケーションに達した場合、無効なバイトのデータはサブアドレス・レジスタにロードされません。

図 58. ADAU1788 への I²C 書込みのクロッキング図 59. ADAU1788 からの I²C 読出しのクロッキング

I²C の読み出し動作と書き込み動作

図 60 に、シングルワード書き込み動作のタイミングを示します。9 番目のクロックごとに、ADAU1788 は SDA をローにすることでアクノレッジを送信します。

図 61 に、バースト・モード書き込みシーケンスのタイミングを示します。図 61 は、プログラム・メモリのようにターゲット・デスティネーション・ワードが 2 バイトである例を示しています。要求したサブアドレスが 2 バイト・ワード長のレジスタまたはメモリ領域と一致するため、ADAU1788 は 2 バイトおきにサブアドレス・レジスタをインクリメントします。

シングルワード読み出し動作のタイミングを図 62 に示します。この場合も内部アドレスをセットアップするためにサブアドレスを書き込む必要があるため、最初の R/W ビットは書き込み動作を示す 0 になることに注意してください。ADAU1788 がサブアドレスの受信をアクノレッジした後、マスタは反復開始コマンドを発行し、続けて R/W を 1 (読み出し) に設定したチップ・アドレス・バイトを送信する必要

があります。これにより、ADAU1788 の SDA は送信の向きを変え、マスタへのデータの返信を開始します。その後、マスタは 9 番目のパルスごとに、ADAU1788 にアクノレッジ・パルスで応答します。

図 63 に、バースト・モード読み出しシーケンスのタイミングを示します。図 63 は、ターゲット読み出しワードが 2 バイトである例を示しています。要求したサブアドレスが 2 バイトのワード長のレジスタまたはメモリ領域と一致するため、ADAU1788 は 2 バイトおきにサブアドレスをインクリメントします。その他のアドレス範囲は、1 バイト～4 バイトのワード長を持ちます。ADAU1788 は常にサブアドレスをデコードし、適切なバイト数の後でアドレスがインクリメントするように、自動インクリメント回路を設定します。

図 60～図 63 では、次の省略形を使用します。

- S は開始ビット。
- P は停止ビット。
- AM はマスタによるアクノレッジ。
- AS はスレーブによるアクノレッジ。

S	I ² C ADDRESS, R/W = 0	AS	SUBADDRESS HIGH	AS	SUBADDRESS LOW	AS	DATA BYTE 1	AS	DATA BYTE 2	...	AS	DATA BYTE N	P
---	--------------------------------------	----	--------------------	----	-------------------	----	-------------	----	-------------	-----	----	-------------	---

20534-066

図 60. シングルワード I²C 書込みフォーマット

S	I ² C ADDRESS, R/W = 0	AS	SUBADDRESS HIGH	AS	SUBADDRESS LOW	AS	DATA-WORD 1, BYTE 1	AS	DATA-WORD 1, BYTE 2	AS	DATA-WORD 2, BYTE 1	AS	DATA-WORD 2 BYTE 2	AS	...	P
---	--------------------------------------	----	--------------------	----	-------------------	----	------------------------	----	------------------------	----	------------------------	----	-----------------------	----	-----	---

20534-067

図 61. バースト・モード I²C 書込みフォーマット

S	I ² C ADDRESS, R/W = 0	AS	SUBADDRESS HIGH	AS	SUBADDRESS LOW	AS	S	I ² C ADDRESS, R/W = 1	AS	DATA BYTE 1	AM	DATA BYTE 2	...	AM	DATA BYTE N	P
---	--------------------------------------	----	--------------------	----	-------------------	----	---	--------------------------------------	----	-------------	----	-------------	-----	----	-------------	---

20534-068

図 62. シングルワード I²C 読出しフォーマット

S	I ² C ADDRESS, R/W = 0	AS	SUBADDRESS HIGH	AS	SUBADDRESS LOW	AS	S	I ² C ADDRESS, R/W = 1	AS	DATA-WORD 1 BYTE 1	AM	DATA-WORD 1 BYTE 2	AM	DATA-WORD 1 BYTE 2	AM	...	P
---	--------------------------------------	----	--------------------	----	-------------------	----	---	--------------------------------------	----	-----------------------	----	-----------------------	----	-----------------------	----	-----	---

20534-069

図 63. バースト・モード I²C 読出しフォーマット

SPI ポート

デフォルトでは ADAU1788 は I²C モードになりますが、SPI 書込みを 3 回発行することで SS を 3 回ローにすることにより、デバイスを SPI 制御モードに切り替えることができます (ADAU1788 はこれらの書込みを無視します)。次の (4 回目の) SPI 書込みは、SPI ポートにラッピングされます。SPI ポートは、SS、SCLK、MOSI、MISO の各信号で構成される 4 線式インターフェースを使用し、常にスレーブ・ポートとして動作します。SS 信号はトランザクションを開始する際にローになり、トランザクションを終了する際にハイになります。SCLK 信号は、ローからハイに遷移するときに MOSI をラッピングします。MISO データは、SCLK の立下がりエッジで ADAU1788 からシフト出力されます。また、SCLK の立上がりエッジでは、マイクロコントローラのような受信デバイスに対してクロックを供給する必要があります。MOSI 信号はシリアル入力データを伝送します。MISO 信号はシリアル出力データです。MISO 信号は、読み出し動作が要求されるまでトライステートを維持します。この結果、他の SPI 互換ペリフェラルが同じリードバック・ラインを共有できます。

すべての SPI トランザクションは、表 34 に示す共通の基本フォーマットを使用します。SPI 書込みのタイミング図を図 64 に示し、SPI 読出しのタイミング図を図 65 に示します。すべてのデータは MSB ファーストで書き込む必要があります。ADAU1788 の SPI モードを終了するには、PD ピンをローにするか、または IC をパワーダウンする必要があります。

表 34. 一般的な SPI ワードのフォーマット

Byte 0	Byte 1	Byte 2	Byte 3	Byte 4	Byte 5 ¹
0000000, R/W	Register/memory address, Bits[15:8]	Register/memory address, Bits[7:0]	Zeros, Bits[7:0] (dummy)	Data	Data

¹ データの終わりまで続きます。

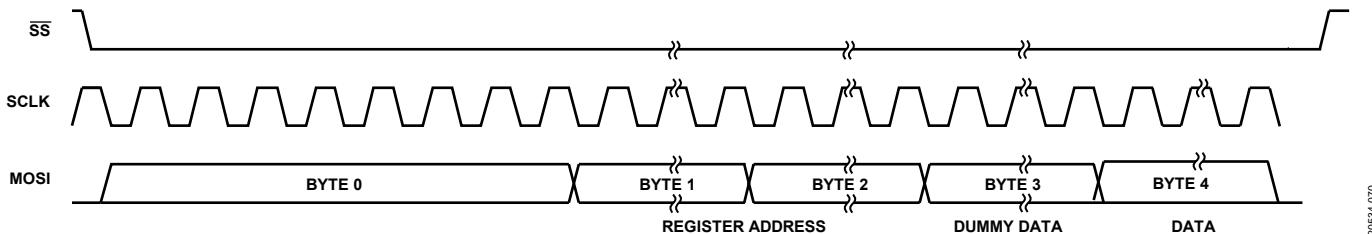


図 64. ADAU1788 への SPI 書込みのクロッキング (シングル書き込みモード)

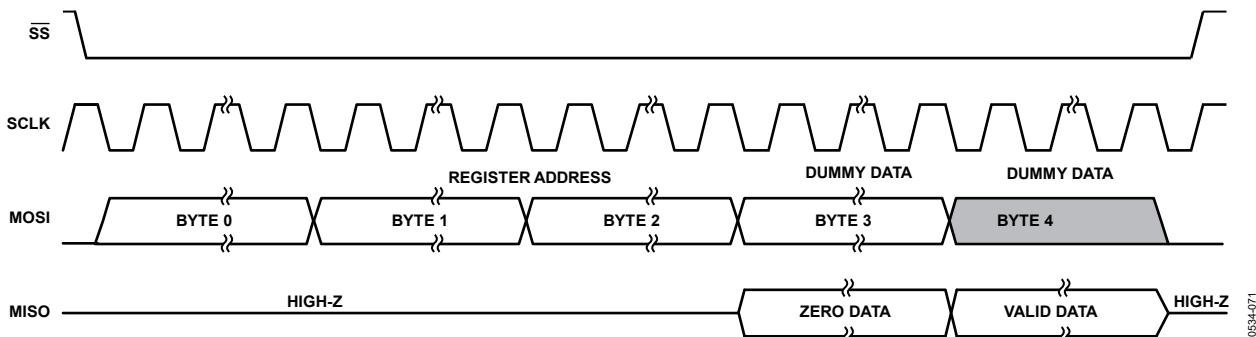


図 65. ADAU1788 からの SPI 読出しのクロッキング (シングル読み出しモード)

多目的ピン

ADAU1788 には 11 本の多目的 (MPx) ピンがあり、これらはシリアル・データ I/O、デジタル・マイクロフォン入力、クロック出力、PDM 出力、および割り込みに使用できます。各ピンは個別に、そのピンのデフォルト値または MPx の設定値に設定できます。これらの各ピンの機能は、MPx_MODE ビットを使って設定します。デフォルトでは、各ピンは通常機能に設定されます。

MPx ピンを汎用入力として設定した場合、その MPx ピンは、全ての制御インターフェースから GPIOx_IN ビットを介して読み出すことができます。このピンは、SigmaDSP コアの読み出しと操作を実行できます。また、このピンを使用して命令を条件付きで実行することや、FastDSP の圧縮器をトリガすることができます。MPx ピンを汎用出力として設定した場合、そのピンの状態は、全ての制御インターフェースから GPIOx_OUT ビットを使って設定するか、SigmaDSP コアによって設定することができます。GPIO は対応する MPx ピンにマップされます。例えば、GPIO1 は BCLK_0/MP1 にマップされます。

任意の MPx ピンを使用して、マスタ・クロックを出力できます。マスタ・クロック出力のレートは、MCLKO_RATE ビットによって決定されます。必要に応じて、この機能に複数のピンを使用できます。

任意の MPx ピンを使用して、PDM 出力インターフェースの PDM クロックまたはデータ信号を出力できます。

任意の MPx ピンを使用して、2 つの割り込みソースから割り込みステータスを出力できます。

表 35. 多目的ピンの機能

MPx Pin Function ¹	Direction
General-Purpose Input (GPI)	In
General-Purpose Output from GPIOx_OUT Bits (GPO_REG)	Out
General-Purpose Output from SigmaDSP (GPO_SDSP)	Out
MCLK Output (MCLKO)	Out
IRQ1 Output (IRQ1)	Out
IRQ2 Output (IRQ2)	Out

¹ これらの機能はレジスタ 0xC08B～レジスタ 0xC090 のエニュメレーション・オプションであり、任意の MPx ピンをこれらの機能に設定できます。

割り込み

多目的ピンを割り込み用に選択した場合、それぞれのピンを使用して、様々なソースを持つ 2 つの割り込みのうち 1 つを出力できます。割り込みのソースになるのは、DAC および ADC チャンネルのクリッピング、PLL のロックまたはアンロック、入出力 ASRC のロックまたはアンロック、汎用 SigmaDSP 割り込み、および AVDD 電圧低下警告です。各割り込みソースは、対応する IRQx_MASKx レジスタを使って個別にマスクできます。各割り込み出力は、IRQx_FUNC ビットによって割り込み出力用に選択されたピン上のアクティブ・ローまたはアクティブ・ハイ出力として設定されます。

各割り込みソースのステータスは、IRQ ステータス・レジスタ (IRQx_STATUSx) から読み出すことができます。割り込みソースがマスクされている場合、その割り込みが真になると、割り込みステータス・レジスタには割り込みが示されますが、MPx ピン (IRQx として設定されている場合) は割り込みを示しません。IRQx_CLEAR ビットに 1 を書き込むと、各割り込みの全てのソースはクリアされます。割り込みステータス・ビットはステイッキー・ビットであるため、割り込みソースが真になった場合、その後に割り込みソースが真でなくなっても、ステータスはクリアされるまで 1 のままになります。

SigmaDSP 割り込みは、SDSP_INTx ビットへの SigmaDSP 書込みによって開始されます。

ピン制御

多目的ピンとして使用される各ピンは、様々な設定値を選択できます。ピンを出力として使用する場合、2mA、4mA、8mA、または 12mA の駆動強度を選択できます。また、弱いプルアップまたはプルダウンを選択できます。これらの設定値は、各ピンに対応するピン・コントロール・レジスタにあります。これらのピン・コントロールの設定値は、通常機能モードでも、多目的ピン・モードで使用する場合でも、ピンの動作に影響を与えます。

シリアル・データ・ポート

ADAU1788 のシリアル・データ入力ポートと出力ポートは、I²S などの 2 チャンネル・フォーマットまたは最大 16 チャンネルの時分割多重 (TDM) ストリームでデータを受信または送信し、外部 ADC、DAC、DSP、およびシステム・オン・チップ (SOC) とインターフェースするように設定できます。データは 2 の補数 (MSB ファースト) フォーマットで処理されます。2 チャンネル・ストリームでは、左チャネルのデータ・フィールドが右チャネルのデータ・フィールドに常に先行します。

シリアル・データ・クロックは ADAU1788 のマスタ・クロック入力と同期する必要はありませんが、フレーム・クロックとビット・クロックは互いに同期していかなければなりません。FSYNC_0 ピンと BCLK_0 ピンを使用して、シリアル入力ポートと出力ポートの両方にクロックを供給します。これらのピンは、メイン・チップのクロックを供給する PLL のクロック・ソースとしても使用されます。シリアル・ポートは、システム内でマスタまたはスレーブとして設定できます。シリアル・データ・クロックは 1 セットしかないため、必ずシリアル・ポートの入力と出力の両方をマスタまたはスレーブのいずれかにする必要があります。

SPT0_SAI_MODE ビットは、シリアル・ポートがステレオ・モードまたは TDM モードのどちらで動作するかを設定します。ステレオ・モードでは、フレーム・クロックの立上がりエッジと立下がりエッジの両方により、データが置かれる位置が決まります。左チャネルはチャネル 0 の出力にマップされ、右チャネルはチャネル 1 の出力にマップされます。TDM モードでは、フレーム・クロックの立上がりエッジにより、データが置かれる位置が決まります。TDM モードでは、データの各チャネルは、16、24、または 32BCLK 幅のスロットを受信します。各スロットの幅は SPT0_SLOT_WIDTH ビットによって決定されます。

シリアル・データ・コントロール・レジスタにより、クロックの極性とデータ入力モードを制御できます。有効なデータ・フォーマットは、I²S (1 周期だけ遅延)、左揃え (遅延なし)、または右揃え (8、12、または 16BCLK の遅延) です。この遅延は、ステレオ・モードでは、データの MSB が配置されるフレーム・クロック FSYNC_0 の立上がり/立下がりエッジからのビット・クロック (BCLK) 数を示します。TDM モードでは、フレーム・クロックの立上がりエッジからのビット・クロック (BCLK) 数を示します。右揃えモードを除く全てのモードで、シリアル・ポートには、最大 24 を上限とする任意のビット数を入力します。余分なビットがあつてもエラーは発生しませんが、それらのビットは無視されます。シリアル・ポートは、各フレーム・クロック・フレーム内の任意の数のビット・クロック BCLK_0 遷移で動作できます。

表 36. シリアル・ポートのデータ・フォーマットの設定値

Format	Frame Clock Mode, Bit (SPT0_SAI_MODE)	Sets the Slot Width per Channel, Bit (SPT0_SLOT_WIDTH) ¹	Sets the MSB Position from Start of Frame Clock, Bit (SPT0_DATA_FORMAT)
I ² S (See Figure 66)	0 (50 % duty cycle)	XX	000 (One bit clock delay)
Left Justified (See Figure 66)	0	XX	001 (No delay)
Right Justified (See Figure 66)	0	XX	010 (delay by 8 bit clocks)
	0	XX	011 (delay by 12 bit clocks)
	0	XX	100 (delay by 16 bit clocks)
TDM (See Figure 67)	1 (single bit clock wide pulse)	XX	000

¹ X = ドント・ケア。

高いビット・クロック・レート (12.288MHz 以上) を使用する場合は、出力信号ピンの駆動強度の設定値を上げることを推奨します。駆動強度が高いと、波形の遷移時間が実質的に高速化し、クロック・ラインとデータ・ラインの信号の完全性が向上します。駆動強度は、パッド駆動強度レジスタ (レジスタ 0xC094～レジスタ 0xC0A0) で設定できます。表 36 に、標準オーディオ・データ・フォーマット用の適切なシリアル・ポートの設定値を示します。表 36 の設定値の詳細については、SPT0_CTRLx レジスタの説明を参照してください。

フレーム・クロックとビット・クロックの極性は、いずれも SPT0_LRCLK_POL ビットと SPT0_BCLK_POL ビットによって反転できます。表 36 に示す代表的なフォーマットをサポートするために、これらのビットを使用する必要はありません。SPT0_LRCLK_POL または SPT0_BCLK_POL を 1 に設定すると、シリアル・ポートへの入力に、それぞれの信号のインバータが配置されます。例えば、シリアル・データとフレーム・クロックは通常はビット・クロックの立上がりエッジでサンプリングされますが、SPT0_BCLK_POL = 1 に設定すると、ビット・クロックの立下がりエッジでサンプリングされます。

各シリアル・ポートはマスタとして設定できます。この場合は BCLK_0 と FSYNC_0 は出力として駆動されます。これらの 2 つの信号の出力レートと方向は、SPT0_LRCLK_SRC ビットと SPT0_BCLK_SRC ビットによって設定されます。24.576MHz より高いビット・クロック・レートは生成できません。したがって、これらのレジスタの設定値がこのレートを要求した場合、ビット・クロックなしになります。複数の IC が 1 つのシリアル・データ・バスを駆動できるように、使用していないビット・スロットをトライステートにすることができます。これは SPT0_TRI_STATE ビットによって制御されます。例えば、24 ビットのデータを含む 32 ビットの TDM フレームでは、使用していない 8 ビットがトライステートになります。アクティブでないチャネルも、それぞれ 1 フレーム全体に対してトライステートになります。SPT0_OUT_ROUTEy ビットが 0x3E に設定された場合、シリアル出力チャネルはディスエーブルされます。シリアル・データ出力のタイミングは、最小 IOVDD 電圧に基づいて変化することに注意してください。シリアル・ポートは、仕様の範囲内であれば任意の IOVDD とビット・クロック・レートで SDATAI_0 に信号を入力できますが、1.1V での SDATAO_0 の遅延のため、それより高いビット・クロック・レートでの動作はできません。

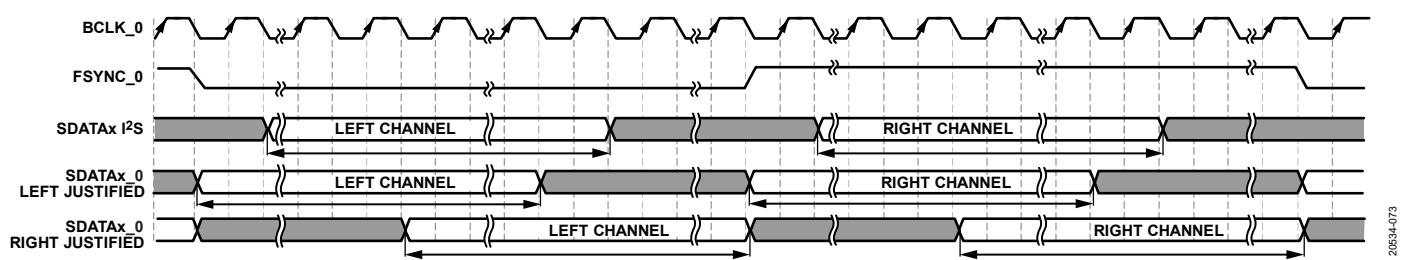


図 66. ステレオ・モード: I²S、左揃え、および右揃えモード、1 チャンネルあたり 16 ビット～24 ビット、任意の数の BCLK が許容される

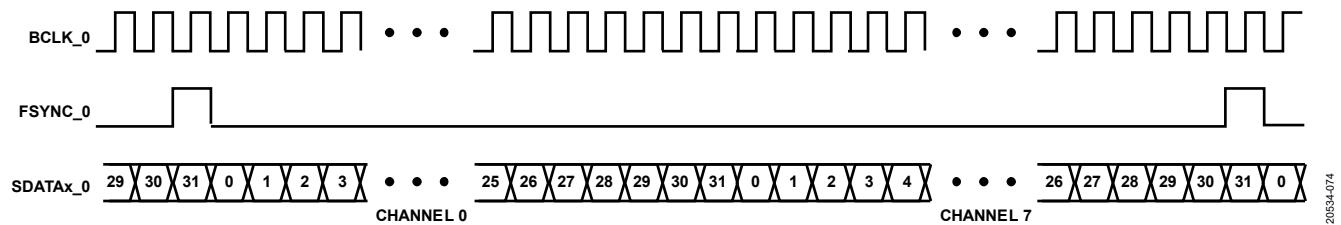


図 67. 8 チャンネル TDM モード、SPT0_SAI_MODE = 1 を除いてデフォルトの設定値

アプリケーション情報

電源バイパス・コンデンサ

各アナログ電源ピンおよびデジタル電源ピンは、1つの0.1 μ Fコンデンサで最も近い適切なグラウンド・ピンにバイパスします。コンデンサの各側への接続ができるだけ短くして、パターンをビアのない單一層に配線する必要があります。最高の効率が得られるように、コンデンサは電源ピンとグラウンド・ピンから等距離に配置します。等距離に配置できない場合は、電源ピンに多少近づけます。コンデンサの遠い方の側は、放熱のためにグラウンド・プレーンに接続する必要があります。

ボード上の各電源信号も、1つのバルク・コンデンサ(10 μ F~47 μ F)でバイパスする必要があります。

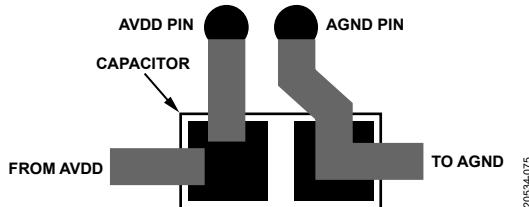


図 68. 電源バイパス・コンデンサの推奨レイアウト

レイアウト

HPVDD 電源はヘッドフォン・アンプ用です。ヘッドフォン・アンプをイネーブルする場合は、このピンへの PCB パターンは他のピンへのパターンより幅を広くして、電流容量を増やす必要があります。ヘッドフォン出力ラインにも幅の広いパターンを使用する必要があります。

グラウンド接続

アプリケーション・レイアウト内では単一のグラウンド・プレーンを使用します。アナログ信号経路の部品は、デジタル信号から離して配置します。

PCB の積層

図 69 に、PCB の積層を示します。

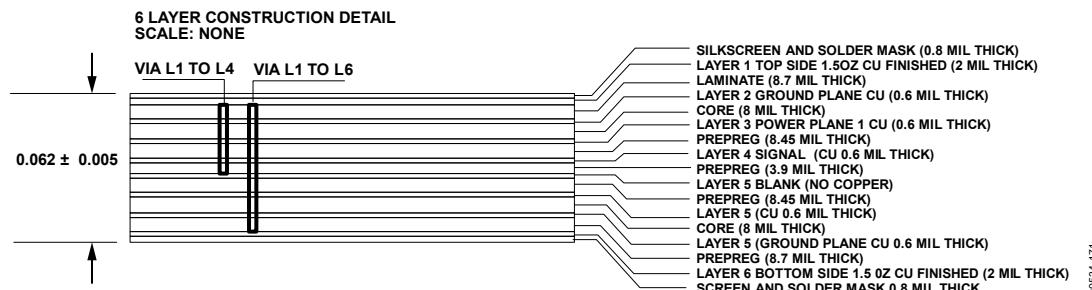


図 69. PCB の積層

レジスタの一覧

表 37. レジスタの一覧

Reg. (Hex.)	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
C000	VENDOR_ID	[7:0]	VENDOR								0x41	R	
C001	DEVICE_ID1	[7:0]	DEVICE1								0x17	R	
C002	DEVICE_ID2	[7:0]	DEVICE2								0x87	R	
C003	REVISION	[7:0]	REV								0x01	R	
C004	ADC_DAC_HP_PWR	[7:0]	RESERVED		PB0_EN	RESERVED		ADC1_EN	ADC0_EN	0x00	R/W		
C005	PLL_MB_PGA_PWR	[7:0]	RESERVED	PGA1_EN	PGA0_EN	MBIAS1_EN	MBIAS0_EN	XTAL_EN	PLL_EN	0x02	R/W		
C006	DMIC_PWR	[7:0]	RESERVED			DMIC3_EN	DMIC2_EN	DMIC1_EN	DMIC0_EN	0x00	R/W		
C007	SAI_CLK_PWR	[7:0]	PDM1_EN	PDM0_EN	DMIC_CLK1_EN	DMIC_CLK0_EN	RESERVED		SPT0_OUT_EN	SPT0_IN_EN	0x00	R/W	
C008	DSP_PWR	[7:0]	RESERVED		SDSP_EN	RESERVED		FDSP_EN	0x00	R/W			
C009	ASRC_PWR	[7:0]	ASRC03_EN	ASRC02_EN	ASRC01_EN	ASRC00_EN	ASRC13_EN	ASRC12_EN	ASRC11_EN	ASRC10_EN	0x00	R/W	
C00A	FINT_PWR	[7:0]	FINT7_EN	FINT6_EN	FINT5_EN	FINT4_EN	FINT3_EN	FINT2_EN	FINT1_EN	FINT0_EN	0x00	R/W	
C00B	FDEC_PWR	[7:0]	FDEC7_EN	FDEC6_EN	FDEC5_EN	FDEC4_EN	FDEC3_EN	FDEC2_EN	FDEC1_EN	FDEC0_EN	0x00	R/W	
C00C	KEEPs	[7:0]	RESERVED		CM_KEEP_ALIVE	RESERVED		KEEP_SDSP	KEEP_FDSP	0x10	R/W		
C00D	CHIP_PWR	[7:0]	RESERVED		DLDO_CTRL	RESERVED	CM_STARTUP_OVER	MASTER_BLOCK_EN	POWER_EN	0x10	R/W		
C00E	CLK_CTRL1	[7:0]	SYNC_SOURCE	PLL_BYPASS	PLL_TYPE	XTAL_MODE	PLL_SOURCE			0xC8	R/W		
C00F	CLK_CTRL2	[7:0]	RESERVED				PLL_INPUT_PRESCALER				0x00	R/W	
C010	CLK_CTRL3	[7:0]	RESERVED		PLL_INTEGER_DIVIDER[12:8]						0x00	R/W	
C011	CLK_CTRL4	[7:0]	PLL_INTEGER_DIVIDER[7:0]									0x02	R/W
C012	CLK_CTRL5	[7:0]	PLL_NUMERATOR[15:8]									0x00	R/W
C013	CLK_CTRL6	[7:0]	PLL_NUMERATOR[7:0]									0x00	R/W
C014	CLK_CTRL7	[7:0]	PLL_DENOMINATOR[15:8]									0x00	R/W
C015	CLK_CTRL8	[7:0]	PLL_DENOMINATOR[7:0]									0x00	R/W
C016	CLK_CTRL9	[7:0]	RESERVED						PLL_UPDATE	0x00	R/W		
C017	ADC_CTRL1	[7:0]	RESERVED			ADC01_DEC_ORDER	ADC01_FS			0x22	R/W		
C018	ADC_CTRL2	[7:0]	RESERVED				ADC01_IBIAS			0x00	R/W		
C019	ADC_CTRL3	[7:0]	RESERVED				ADC1_HPF_EN	ADC0_HPF_EN	0x00	R/W			
C01A	ADC_CTRL4	[7:0]	RESERVED	ADC_VOL_ZC	ADC_VOL_LINK	ADC_HARD_VOL	RESERVED		ADC01_FCOMP	0x40	R/W		
C01B	ADC_CTRL5	[7:0]	RESERVED		DIFF_INPUT	ADC_AIN_CHRG_TIME				0x26	R/W		
C01C	ADC_MUTES	[7:0]	RESERVED				ADC1_MUTE	ADC0_MUTE	0x00	R/W			
C01D	ADC0_VOL	[7:0]	ADC0_VOL						0x40	R/W			
C01E	ADC1_VOL	[7:0]	ADC1_VOL						0x40	R/W			

Reg. (Hex.)	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W					
C021	PGA0_CTRL1	[7:0]	PGA0_SLEW_DIS	PGA0_BOOST	PGA0_GAIN[10:5]						0x00	R/W					
C022	PGA0_CTRL2	[7:0]	RESERVED			PGA0_GAIN[4:0]						0x00	R/W				
C023	PGA1_CTRL1	[7:0]	PGA1_SLEW_DIS	PGA1_BOOST	PGA1_GAIN[10:5]						0x00	R/W					
C024	PGA1_CTRL2	[7:0]	RESERVED			PGA1_GAIN[4:0]						0x00	R/W				
C029	PGA_CTRL	[7:0]	RESERVED			PGA_GAIN_LINK	RESERVED		PGA_SLEW_RATE			0x00	R/W				
C02A	MBIAS_CTRL	[7:0]	RESERVED		MBIAS_IBIAS		RESERVED		MBIAS1_LEVEL	MBIAS0_LEVEL	0x00	R/W					
C02B	DMIC_CTRL1	[7:0]	RESERVED	DMIC_CLK1_RATE			RESERVED	DMIC_CLK0_RATE				0x33	R/W				
C02C	DMIC_CTRL2	[7:0]	DMIC01_MAP	DMIC01_EDGE	DMIC01_FCOMP	DMIC01_DEC_ORDER	DMIC01_HPF_EN	DMIC01_FS				0x01	R/W				
C02D	DMIC_CTRL3	[7:0]	DMIC23_MAP	DMIC23_EDGE	DMIC23_FCOMP	DMIC23_DEC_ORDER	DMIC23_HPF_EN	DMIC23_FS				0x01	R/W				
C030	DMIC_CTRL6	[7:0]	RESERVED					DMIC_VOL_ZC	DMIC_VOL_LINK	DMIC_HARD_VOL	0x04	R/W					
C031	DMIC_MUTES	[7:0]	RESERVED				DMIC3_MUTE	DMIC2_MUTE	DMIC1_MUTE	DMIC0_MUTE	0x00	R/W					
C032	DMIC_VOL0	[7:0]	DMIC0_VOL									0x40	R/W				
C033	DMIC_VOL1	[7:0]	DMIC1_VOL									0x40	R/W				
C034	DMIC_VOL2	[7:0]	DMIC2_VOL									0x40	R/W				
C035	DMIC_VOL3	[7:0]	DMIC3_VOL									0x40	R/W				
C03A	DAC_CTRL1	[7:0]	DAC_MORE_FILT	DAC_LPM	DAC_IBIAS		DAC_FCOMP	DAC_FS				0x02	R/W				
C03B	DAC_CTRL2	[7:0]	RESERVED	DAC0_MUTE	RESERVED	DAC0_HPF_EN	DAC_LPM_II	DAC_VOL_ZC	DAC_HARD_VOL	RESERVED	0xC4	R/W					
C03C	DAC_VOL0	[7:0]	DAC0_VOL									0x40	R/W				
C03E	DAC_ROUTE0	[7:0]	RESERVED	DAC0_ROUTE							0x00	R/W					
C040	HP_CTRL	[7:0]	RESERVED							HP0_MODE	0x00	R/W					
C041	FDEC_CTRL1	[7:0]	RESERVED	FDEC01_OUT_FS			RESERVED	FDEC01_IN_FS				0x25	R/W				
C042	FDEC_CTRL2	[7:0]	RESERVED	FDEC23_OUT_FS			RESERVED	FDEC23_IN_FS				0x25	R/W				
C043	FDEC_CTRL3	[7:0]	RESERVED	FDEC45_OUT_FS			RESERVED	FDEC45_IN_FS				0x25	R/W				
C044	FDEC_CTRL4	[7:0]	RESERVED	FDEC67_OUT_FS			RESERVED	FDEC67_IN_FS				0x25	R/W				
C045	FDEC_ROUTE0	[7:0]	RESERVED		FDEC0_ROUTE							0x00	R/W				
C046	FDEC_ROUTE1	[7:0]	RESERVED		FDEC1_ROUTE							0x00	R/W				
C047	FDEC_ROUTE2	[7:0]	RESERVED		FDEC2_ROUTE							0x00	R/W				
C048	FDEC_ROUTE3	[7:0]	RESERVED		FDEC3_ROUTE							0x00	R/W				
C049	FDEC_ROUTE4	[7:0]	RESERVED		FDEC4_ROUTE							0x00	R/W				
C04A	FDEC_ROUTE5	[7:0]	RESERVED		FDEC5_ROUTE							0x00	R/W				
0xC04B	FDEC_ROUTE6	[7:0]	RESERVED		FDEC6_ROUTE							0x00	R/W				
C04C	FDEC_ROUTE7	[7:0]	RESERVED		FDEC7_ROUTE							0x00	R/W				

Reg. (Hex.)	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
C04D	FINT_CTRL1	[7:0]	RESERVED		FINT01_OUT_FS		RESERVED		FINT01_IN_FS		0x52	R/W
C04E	FINT_CTRL2	[7:0]	RESERVED		FINT23_OUT_FS		RESERVED		FINT23_IN_FS		0x52	R/W
C04F	FINT_CTRL3	[7:0]	RESERVED		FINT45_OUT_FS		RESERVED		FINT45_IN_FS		0x52	R/W
C050	FINT_CTRL4	[7:0]	RESERVED		FINT67_OUT_FS		RESERVED		FINT67_IN_FS		0x52	R/W
C051	FINT_ROUTE0	[7:0]	RESERVED				FINT0_ROUTE				0x00	R/W
C052	FINT_ROUTE1	[7:0]	RESERVED				FINT1_ROUTE				0x00	R/W
C053	FINT_ROUTE2	[7:0]	RESERVED				FINT2_ROUTE				0x00	R/W
C054	FINT_ROUTE3	[7:0]	RESERVED				FINT3_ROUTE				0x00	R/W
C055	FINT_ROUTE4	[7:0]	RESERVED				FINT4_ROUTE				0x00	R/W
C056	FINT_ROUTE5	[7:0]	RESERVED				FINT5_ROUTE				0x00	R/W
C057	FINT_ROUTE6	[7:0]	RESERVED				FINT6_ROUTE				0x00	R/W
C058	FINT_ROUTE7	[7:0]	RESERVED				FINT7_ROUTE				0x00	R/W
C059	ASRCL_CTRL	[7:0]	ASRCL_MORE_FILT	ASRCL_VFILT	ASRCL_LPM	RESERVED	ASRCL_LPM_II		ASRCL_OUT_FS		0x02	R/W
C05A	ASRCL_ROUTE01	[7:0]			ASRCL1_ROUTE				ASRCL0_ROUTE		0x00	R/W
C05B	ASRCL_ROUTE23	[7:0]			ASRCL3_ROUTE				ASRCL2_ROUTE		0x00	R/W
C05C	ASRCO_CTRL	[7:0]	ASRCO_MORE_FILT	ASRCO_VFILT	ASRCO_LPM	RESERVED	ASRCO_LPM_II		ASRCO_IN_FS		0x02	R/W
C05D	ASRCO_ROUTE0	[7:0]		RESERVED			ASRCO0_ROUTE				0x00	R/W
C05E	ASRCO_ROUTE1	[7:0]		RESERVED			ASRCO1_ROUTE				0x00	R/W
C05F	ASRCO_ROUTE2	[7:0]		RESERVED			ASRCO2_ROUTE				0x00	R/W
C060	ASRCO_ROUTE3	[7:0]		RESERVED			ASRCO3_ROUTE				0x00	R/W
C061	FDSP_RUN	[7:0]				RESERVED			FDSP_RUN		0x00	R/W
C062	FDSP_CTRL1	[7:0]			FDSP_RAMP_RATE		FDSP_ZERO_STATE	FDSP_RAMP_MODE		FDSP_BANK_SEL	0x70	R/W
C063	FDSP_CTRL2	[7:0]		RESERVED			FDSP_LAMBDA				0x3F	R/W
C064	FDSP_CTRL3	[7:0]		RESERVED	FDSP_COPY_CB	FDSP_COPY_CA	FDSP_COPY_BC	FDSP_COPY_BA	FDSP_COPY_AC	FDSP_COPY_AB	0x00	W
C065	FDSP_CTRL4	[7:0]		RESERVED		FDSP_EXP_ATK_SPEED			FDSP_RATE_SOURCE		0x00	R/W
C066	FDSP_CTRL5	[7:0]				FDSP_RATE_DIV[15:8]					0x00	R/W
C067	FDSP_CTRL6	[7:0]				FDSP_RATE_DIV[7:0]					0x7F	R/W
C068	FDSP_CTRL7	[7:0]		RESERVED			FDSP_MOD_N				0x00	R/W
C069	FDSP_CTRL8	[7:0]	FDSP_REG_COND7	FDSP_REG_COND6	FDSP_REG_COND5	FDSP_REG_COND4	FDSP_REG_COND3	FDSP_REG_COND2	FDSP_REG_COND1	FDSP_REG_COND0	0x00	R/W
C06A	FDSP_SL_ADDR	[7:0]		RESERVED			FDSP_SL_ADDR				0x00	R/W
C06B	FDSP_SL_P0_3	[7:0]				FDSP_SL_P0[31:24]					0x00	R/W
C06C	FDSP_SL_P0_2	[7:0]				FDSP_SL_P0[23:16]					0x00	R/W
C06D	FDSP_SL_P0_1	[7:0]				FDSP_SL_P0[15:8]					0x00	R/W

Reg. (Hex.)	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W		
C06E	FDSP_SL_P0_0	[7:0]	FDSP_SL_P0[7:0]								0x00	R/W		
C06F	FDSP_SL_P1_3	[7:0]	FDSP_SL_P1[31:24]								0x00	R/W		
C070	FDSP_SL_P1_2	[7:0]	FDSP_SL_P1[23:16]								0x00	R/W		
C071	FDSP_SL_P1_1	[7:0]	FDSP_SL_P1[15:8]								0x00	R/W		
C072	FDSP_SL_P1_0	[7:0]	FDSP_SL_P1[7:0]								0x00	R/W		
C073	FDSP_SL_P2_3	[7:0]	FDSP_SL_P2[31:24]								0x00	R/W		
C074	FDSP_SL_P2_2	[7:0]	FDSP_SL_P2[23:16]								0x00	R/W		
C075	FDSP_SL_P2_1	[7:0]	FDSP_SL_P2[15:8]								0x00	R/W		
C076	FDSP_SL_P2_0	[7:0]	FDSP_SL_P2[7:0]								0x00	R/W		
C077	FDSP_SL_P3_3	[7:0]	FDSP_SL_P3[31:24]								0x00	R/W		
C078	FDSP_SL_P3_2	[7:0]	FDSP_SL_P3[23:16]								0x00	R/W		
C079	FDSP_SL_P3_1	[7:0]	FDSP_SL_P3[15:8]								0x00	R/W		
C07A	FDSP_SL_P3_0	[7:0]	FDSP_SL_P3[7:0]								0x00	R/W		
C07B	FDSP_SL_P4_3	[7:0]	FDSP_SL_P4[31:24]								0x00	R/W		
C07C	FDSP_SL_P4_2	[7:0]	FDSP_SL_P4[23:16]								0x00	R/W		
C07D	FDSP_SL_P4_1	[7:0]	FDSP_SL_P4[15:8]								0x00	R/W		
C07E	FDSP_SL_P4_0	[7:0]	FDSP_SL_P4[7:0]								0x00	R/W		
C07F	FDSP_SL_UPDATE	[7:0]	RESERVED				FDSP_SL_UPDATE				0x00	W		
C080	SDSP_CTRL1	[7:0]	RESERVED	SDSP_SPEED		SDSP_RATE_SOURCE				0x00		R/W		
C081	SDSP_CTRL2	[7:0]	RESERVED				SDSP_RUN				0x00	R/W		
C082	SDSP_CTRL3	[7:0]	RESERVED	SDSP_WDOG_MUTE		RESERVED				SDSP_WDOG_EN	0x00	R/W		
C083	SDSP_CTRL4	[7:0]	SDSP_WDOG_VAL[23:16]								0x00	R/W		
C084	SDSP_CTRL5	[7:0]	SDSP_WDOG_VAL[15:8]								0x00	R/W		
C085	SDSP_CTRL6	[7:0]	SDSP_WDOG_VAL[7:0]								0x00	R/W		
C086	SDSP_CTRL7	[7:0]	RESERVED				SDSP_MOD_DATA_MEM[11:8]				0x07	R/W		
C087	SDSP_CTRL8	[7:0]	SDSP_MOD_DATA_MEM[7:0]								0xF4	R/W		
C088	SDSP_CTRL9	[7:0]	SDSP_RATE_DIV[15:8]								0x07	R/W		
C089	SDSP_CTRL10	[7:0]	SDSP_RATE_DIV[7:0]								0xFF	R/W		
C08A	SDSP_CTRL11	[7:0]	RESERVED				SDSP_INT3	SDSP_INT2	SDSP_INT1	SDSP_INT0	0x00	W		
C08B	MP_CTRL1	[7:0]	MP1_MODE				MP0_MODE				0x00	R/W		
C08C	MP_CTRL2	[7:0]	MP3_MODE				MP2_MODE				0x00	R/W		
C08D	MP_CTRL3	[7:0]	MP5_MODE				MP4_MODE				0x00	R/W		
C08E	MP_CTRL4	[7:0]	MP7_MODE				MP6_MODE				0x00	R/W		

Reg. (Hex.)	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W
C08F	MP_ CTRL5	[7:0]	MP9_MODE						MP8_MODE			0x00 R/W
C090	MP_ CTRL6	[7:0]	RESERVED						MP10_MODE			0x00 R/W
C091	MP_ CTRL7	[7:0]	RESERVED	MCLK0_RATE			RESERVED	GPIO_DB			0x10	R/W
C092	MP_ CTRL8	[7:0]	GPIO7_ OUT	GPIO6_ OUT	GPIO5_OUT	GPIO4_OUT	GPIO3_ OUT	GPIO2_ OUT	GPIO1_OUT	GPIO0_OUT	0x00	R/W
C093	MP_ CTRL9	[7:0]	RESERVED						GPIO10_ OUT	GPIO9_OUT	GPIO8_OUT	0x00 R/W
C094	FSYNC0_ CTRL	[7:0]	RESERVED		FSYNC0_ PULL_SEL	FSYNC0_ PULL_EN	RESERVED	FSYNC0_ SLEW	FSYNC0_DRIVE			0x05 R/W
C095	BCLK0_ CTRL	[7:0]	RESERVED		BCLK0_ PULL_SEL	BCLK0_ PULL_EN	RESERVED	BCLK0_ SLEW	BCLK0_DRIVE			0x05 R/W
C096	SDATA00_ CTRL	[7:0]	RESERVED						SDATA00_ SLEW	RESERVED	SDATA00_ DRIVE	0x04 R/W
C097	SDATA10_ CTRL	[7:0]	RESERVED		SDATA10_ PULL_SEL	SDATA10_ PULL_EN	RESERVED	SDATA10_ SLEW	SDATA10_DRIVE			0x05 R/W
C098	MP3_ CTRL	[7:0]	RESERVED		MP3_ PULL_SEL	MP3_PULL_EN	RESERVED	MP3_ SLEW	MP3_DRIVE			0x05 R/W
C099	MP4_ CTRL	[7:0]	RESERVED		MP4_ PULL_SEL	MP4_PULL_EN	RESERVED	MP4_ SLEW	MP4_DRIVE			0x05 R/W
C09A	MP5_ CTRL	[7:0]	RESERVED		MP5_ PULL_SEL	MP5_PULL_EN	RESERVED	MP5_ SLEW	MP5_DRIVE			0x05 R/W
C09B	MP6_ CTRL	[7:0]	RESERVED		MP6_ PULL_SEL	MP6_PULL_EN	RESERVED	MP6_ SLEW	MP6_DRIVE			0x05 R/W
C09C	DMIC_ CLK0_ CTRL	[7:0]	RESERVED		DMIC_ CLK0_ PULL_SEL	DMIC_CLK0_ PULL_EN	RESERVED	DMIC_ CLK0_ SLEW	DMIC_CLK0_DRIVE			0x05 R/W
C09D	DMIC_ CLK1_ CTRL	[7:0]	RESERVED		DMIC_ CLK1_ PULL_SEL	DMIC_CLK1_ PULL_EN	RESERVED	DMIC_ CLK1_ SLEW	DMIC_CLK1_DRIVE			0x05 R/W
C09E	DMIC01_ CTRL	[7:0]	RESERVED		DMIC01_ PULL_SEL	DMIC01_PULL_EN	RESERVED	DMIC01_ SLEW	DMIC01_DRIVE			0x05 R/W
C09F	DMIC23_ CTRL	[7:0]	RESERVED		DMIC23_ PULL_SEL	DMIC23_PULL_EN	RESERVED	DMIC23_ SLEW	DMIC23_DRIVE			0x05 R/W
C0A0	I2C_SPI_ CTRL	[7:0]	RESERVED						SCL_SCLK_ DRIVE	SDA_MISO_ DRIVE	0x00	R/W
C0A1	IRQ_ CTRL1	[7:0]	RESERVED		IRQ2_FUNC	IRQ1_FUNC	RESERVED		IRQ2_ CLEAR	IRQ1_ CLEAR	0x00	R/W
C0A2	IRQ1_ MASK1	[7:0]	RESERVED		IRQ1_ADC1_ CLIP_MASK	IRQ1_ADC0_ CLIP_MASK	RESERVED			IRQ1_ DAC0_ CLIP_ MASK	0xF3	R/W
C0A3	IRQ1_ MASK2	[7:0]	IRQ1_ ASRCo_ UNLOCKED_ MASK	IRQ1_ ASRCo_ LOCKED_ MASK	IRQ1_ASRC1_ UNLOCKED_ MASK	IRQ1_ASRC1_ LOCKED_MASK	IRQ1_ PRAMP_ MASK	IRQ1_ AVDD_ UVW_ MASK	IRQ1_PLL_ UNLOCKED_ MASK	IRQ1_PLL_ LOCKED_ MASK	0xFF	R/W
C0A4	IRQ1_ MASK3	[7:0]	RESERVED			IRQ1_POWER_UP_ COMPLETE_ MASK	IRQ1_ SDSP3_ MASK	IRQ1_ SDSP2_ MASK	IRQ1_ SDSP1_ MASK	IRQ1_ SDSP0_ MASK	0x1F	R/W
C0A5	IRQ2_ MASK1	[7:0]	RESERVED		IRQ2_ADC1_ CLIP_MASK	IRQ2_ADC0_ CLIP_MASK	RESERVED			IRQ2_ DAC0_ CLIP_ MASK	0xF3	R/W
C0A6	IRQ2_ MASK2	[7:0]	IRQ2_ ASRCo_ UNLOCKED_ MASK	IRQ2_ ASRCo_ LOCKED_ MASK	IRQ2_ASRC1_ UNLOCKED_ MASK	IRQ2_ASRC1_ LOCKED_MASK	IRQ2_ PRAMP_ MASK	IRQ2_ AVDD_ UVW_ MASK	IRQ2_PLL_ UNLOCKED_ MASK	IRQ2_PLL_ LOCKED_ MASK	0xFF	R/W
C0A7	IRQ2_ MASK3	[7:0]	RESERVED			IRQ2_POWER_ UP_COMPLETE_ MASK	IRQ2_ SDSP3_ MASK	IRQ2_ SDSP2_ MASK	IRQ2_ SDSP1_MASK	IRQ2_ SDSP0_ MASK	0x1F	R/W
C0A8	RESETS	[7:0]	RESERVED			SOFT_RESET	RESERVED			SOFT_ FULL_ RESET	0x00	W
C0A9	READ_ LAMBDA	[7:0]	RESERVED		FDSP_CURRENT_LAMBDA							0x3F R

Reg. (Hex.)	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W				
C0AA	STATUS1	[7:0]	RESERVED		ADC1_CLIP	ADC0_CLIP	RESERVED			DAC0_CLIP	0x00	R				
C0AB	STATUS2	[7:0]	POWER_UP_COMPLETE	SYNC_LOCK	RESERVED	SPT0_LOCK	ASRC0_LOCK	ASRC1_LOCK	AVDD_UVW	PLL_LOCK	0x00	R				
C0AC	GPIO1	[7:0]	GPIO7_IN	GPIO6_IN	GPIO5_IN	GPIO4_IN	GPIO3_IN	GPIO2_IN	GPIO1_IN	GPIO0_IN	0x00	R				
C0AD	GPIO2	[7:0]	RESERVED				GPIO10_IN	GPIO9_IN	GPIO8_IN	0x00	R					
C0AE	DSP_STATUS	[7:0]	RESERVED							SDSP_WDOG_ERROR	0x00	R				
C0AF	IRQ1_STATUS1	[7:0]	RESERVED		IRQ1_ADC1_CLIP	IRQ1_ADC0_CLIP	RESERVED			IRQ1_DAC0_CLIP	0x00	R				
C0B0	IRQ1_STATUS2	[7:0]	IRQ1_ASRC0_UNLOCKED	IRQ1_ASRC0_LOCKED	IRQ1_ASRC1_UNLOCKED	IRQ1_ASRC1_LOCKED	IRQ1_PRAMP	IRQ1_AVDD_UVW	IRQ1_PLL_UNLOCKED	IRQ1_PLL_LOCKED	0x00	R				
C0B1	IRQ1_STATUS3	[7:0]	RESERVED			IRQ1_POWER_UP_COMPLETE	IRQ1_SDSP3	IRQ1_SDSP2	IRQ1_SDSP1	IRQ1_SDSP0	0x00	R				
C0B2	IRQ2_STATUS1	[7:0]	RESERVED		IRQ2_ADC1_CLIP	IRQ2_ADC0_CLIP	RESERVED			IRQ2_DAC0_CLIP	0x00	R				
C0B3	IRQ2_STATUS2	[7:0]	IRQ2_ASRC0_UNLOCKED	IRQ2_ASRC0_LOCKED	IRQ2_ASRC1_UNLOCKED	IRQ2_ASRC1_LOCKED	IRQ2_PRAMP	IRQ2_AVDD_UVW	IRQ2_PLL_UNLOCKED	IRQ2_PLL_LOCKED	0x00	R				
C0B4	IRQ2_STATUS3	[7:0]	RESERVED			IRQ2_POWER_UP_COMPLETE	IRQ2_SDSP3	IRQ2_SDSP2	IRQ2_SDSP1	IRQ2_SDSP0	0x00	R				
C0B5	SPT0_CTRL1	[7:0]	RESERVED	SPT0_TRI_STATE	SPT0_SLOT_WIDTH		SPT0_DATA_FORMAT			SPT0_SAI_MODE	0x00	R/W				
C0B6	SPT0_CTRL2	[7:0]	SPT0_LRCLK_POL	SPT0_LRCLK_SRC			SPT0_BCLK_POL	SPT0_BCLK_SRC			0x00	R/W				
C0B7	SPT0_ROUTE0	[7:0]	RESERVED		SPT0_OUT_ROUTE0							0x10	R/W			
C0B8	SPT0_ROUTE1	[7:0]	RESERVED		SPT0_OUT_ROUTE1							0x11	R/W			
C0B9	SPT0_ROUTE2	[7:0]	RESERVED		SPT0_OUT_ROUTE2							0x3F	R/W			
C0BA	SPT0_ROUTE3	[7:0]	RESERVED		SPT0_OUT_ROUTE3							0x3F	R/W			
C0BB	SPT0_ROUTE4	[7:0]	RESERVED		SPT0_OUT_ROUTE4							0x3F	R/W			
C0BC	SPT0_ROUTE5	[7:0]	RESERVED		SPT0_OUT_ROUTE5							0x3F	R/W			
C0BD	SPT0_ROUTE6	[7:0]	RESERVED		SPT0_OUT_ROUTE6							0x3F	R/W			
C0BE	SPT0_ROUTE7	[7:0]	RESERVED		SPT0_OUT_ROUTE7							0x3F	R/W			
C0BF	SPT0_ROUTE8	[7:0]	RESERVED		SPT0_OUT_ROUTE8							0x3F	R/W			
C0C0	SPT0_ROUTE9	[7:0]	RESERVED		SPT0_OUT_ROUTE9							0x3F	R/W			
C0C1	SPT0_ROUTE10	[7:0]	RESERVED		SPT0_OUT_ROUTE10							0x3F	R/W			
C0C2	SPT0_ROUTE11	[7:0]	RESERVED		SPT0_OUT_ROUTE11							0x3F	R/W			
C0C3	SPT0_ROUTE12	[7:0]	RESERVED		SPT0_OUT_ROUTE12							0x3F	R/W			
C0C4	SPT0_ROUTE13	[7:0]	RESERVED		SPT0_OUT_ROUTE13							0x3F	R/W			
C0C5	SPT0_ROUTE14	[7:0]	RESERVED		SPT0_OUT_ROUTE14							0x3F	R/W			
C0C6	SPT0_ROUTE15	[7:0]	RESERVED		SPT0_OUT_ROUTE15							0x3F	R/W			
C0DC	PDM_CTRL1	[7:0]	PDM_MORE_FILT	RESERVED		PDM_RATE	PDM_FCOMP	PDM_FS			0x02	R/W				
C0DD	PDM_CTRL2	[7:0]	PDM1_MUTE	PDM0_MUTE	PDM1_HPF_EN	PDM0_HPF_EN	RESERVED	PDM_VOL_ZC	PDM_HARD_VOL	PDM_VOL_LINK	0xC4	R/W				

データシート

ADAU1788

Reg. (Hex.)	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	R/W	
CODE	PDM_ VOL0	[7:0]	PDM0_VOL								0x40	R/W	
CODF	PDM_ VOL1	[7:0]	PDM1_VOL								0x40	R/W	
COE0	PDM_ ROUTE0	[7:0]	RESERVED	PDM0_ROUTE								0x00	R/W
COE1	PDM_ ROUTE1	[7:0]	RESERVED	PDM1_ROUTE								0x01	R/W

レジスタの詳細

アナログ・デバイセズ・ベンダ ID レジスタ

アドレス : 0xC000、リセット : 0x41、レジスタ名 : VENDOR_ID

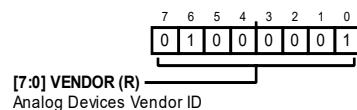


表 38. VENDOR_ID のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	VENDOR		Analog Devices Vendor ID	0x41	R

デバイス ID レジスタ

アドレス : 0xC001、リセット : 0x17、レジスタ名 : DEVICE_ID1

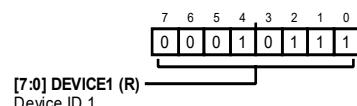


表 39. DEVICE_ID1 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DEVICE1		Device ID 1	0x17	R

アドレス : 0xC002、リセット : 0x87、レジスタ名 : DEVICE_ID2

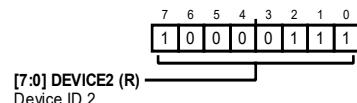


表 40. DEVICE_ID2 のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	DEVICE2		Device ID 2	0x87	R

リビジョン・コード・レジスタ

アドレス : 0xC003、リセット : 0x01、レジスタ名 : REVISION

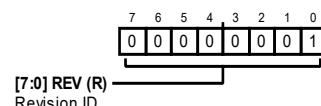


表 41. REVISION のビットの説明

Bits	Bit Name	Settings	Description	Reset	Access
[7:0]	REV		Revision ID	0x1	R

ADC、DAC、およびヘッドフォン・パワー・コントロール・レジスタ

アドレス : 0xC004、リセット : 0x00、レジスタ名 : ADC_DAC_HP_PWR

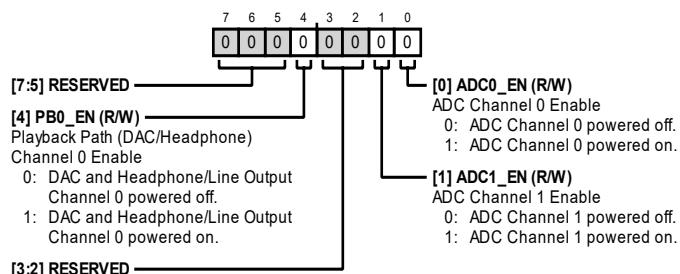


表 42. ADC_DAC_HP_PWR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	PB0_EN	0 1	再生パス (DAC/ヘッドフォン) チャンネル 0 イネーブル。 DAC およびヘッドフォン/ライン出力チャンネル 0 パワー・オフ。 DAC およびヘッドフォン/ライン出力チャンネル 0 パワー・オン。	0x0	R/W
[3:2]	RESERVED		予備。	0x0	R/W
1	ADC1_EN	0 1	ADC チャンネル 1 イネーブル。 ADC チャンネル 1 パワー・オフ。 ADC チャンネル 1 パワー・オン。	0x0	R/W
0	ADC0_EN	0 1	ADC チャンネル 0 イネーブル。 ADC チャンネル 0 パワー・オフ。 ADC チャンネル 0 パワー・オン。	0x0	R/W

PLL、マイクロフォン・バイアス、および PGA パワー・コントロール・レジスタ

アドレス : 0xC005、リセット : 0x02、レジスタ名 : PLL_MB_PGA_PWR

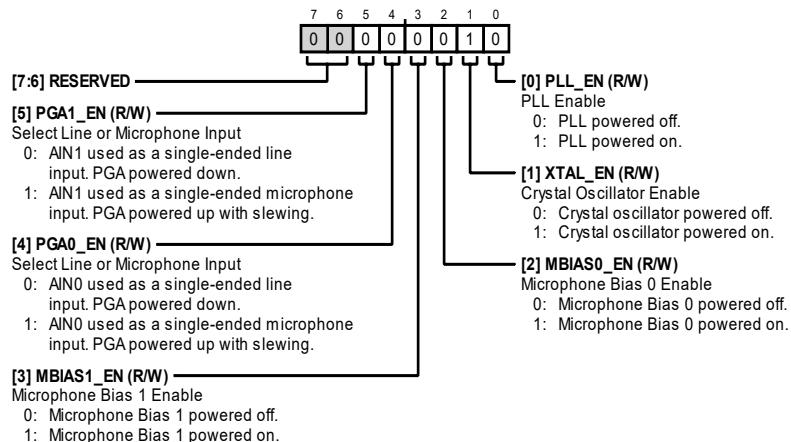


表 43. PLL_MB_PGA_PWR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R/W
5	PGA1_EN	0 1	ラインまたはマイクロフォン入力を選択します。PGA を通過する信号は反転されます。 AIN1 をシングルエンド・ライン入力として使用します。PGA はパワーダウンします。 AIN1 をシングルエンド・マイクロフォン入力として使用します。PGA はスリーリングを使用してパワー・アップします。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
4	PGA0_EN	0	ラインまたはマイクロフォン入力を選択します。PGA を通過する信号は反転されます。	0x0	R/W
			AIN0 をシングルエンド・ライン入力として使用します。PGA はパワーダウンします。		
			AIN0 をシングルエンド・マイクロフォン入力として使用します。PGA はスルーリングを使用してパワーアップします。		
3	MBIAS1_EN	0	マイクロフォン・バイアス 1 イネーブル。	0x0	R/W
			マイクロフォン・バイアス 1 パワーオフ。		
2	MBIAS0_EN	0	マイクロフォン・バイアス 0 イネーブル。	0x0	R/W
			マイクロフォン・バイアス 0 パワーオフ。		
1	XTAL_EN	0	水晶発振器イネーブル。	0x1	R/W
			水晶発振器パワーオフ。		
0	PLL_EN	0	PLL イネーブル。	0x0	R/W
			PLL パワーオフ。		
			PLL パワーオン。		

デジタル・マイクロフォン・パワー・コントロール・レジスタ

アドレス : 0xC006、リセット : 0x00、レジスタ名 : DMIC_PWR

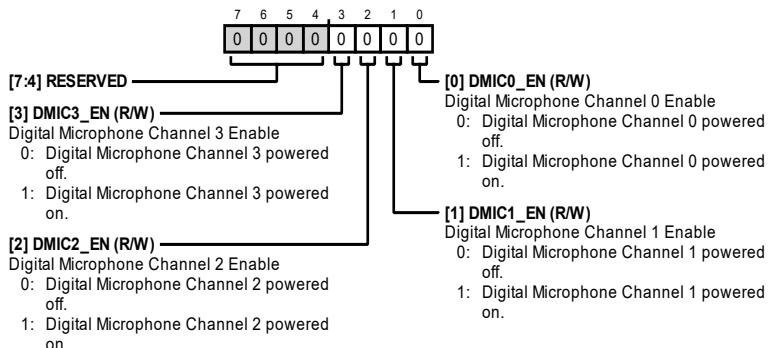


表 44. DMIC_PWR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	RESERVED		予備。	0x0	R/W
3	DMIC3_EN	0	デジタル・マイクロフォン・チャンネル 3 イネーブル。	0x0	R/W
			デジタル・マイクロフォン・チャンネル 3 パワーオフ。		
			デジタル・マイクロフォン・チャンネル 3 パワーオン。		
2	DMIC2_EN	0	デジタル・マイクロフォン・チャンネル 2 イネーブル。	0x0	R/W
			デジタル・マイクロフォン・チャンネル 2 パワーオフ。		
			デジタル・マイクロフォン・チャンネル 2 パワーオン。		
1	DMIC1_EN	0	デジタル・マイクロフォン・チャンネル 1 イネーブル。	0x0	R/W
			デジタル・マイクロフォン・チャンネル 1 パワーオフ。		
			デジタル・マイクロフォン・チャンネル 1 パワーオン。		
0	DMIC0_EN	0	デジタル・マイクロフォン・チャンネル 0 イネーブル。	0x0	R/W
			デジタル・マイクロフォン・チャンネル 0 パワーオフ。		
			デジタル・マイクロフォン・チャンネル 0 パワーオン。		

シリアル・ポート、PDM 出力、およびデジタル・マイクロフォン・クロック・パワー・コントロール・レジスタ

アドレス : 0xC007、リセット : 0x00、レジスタ名 : SAI_CLK_PWR

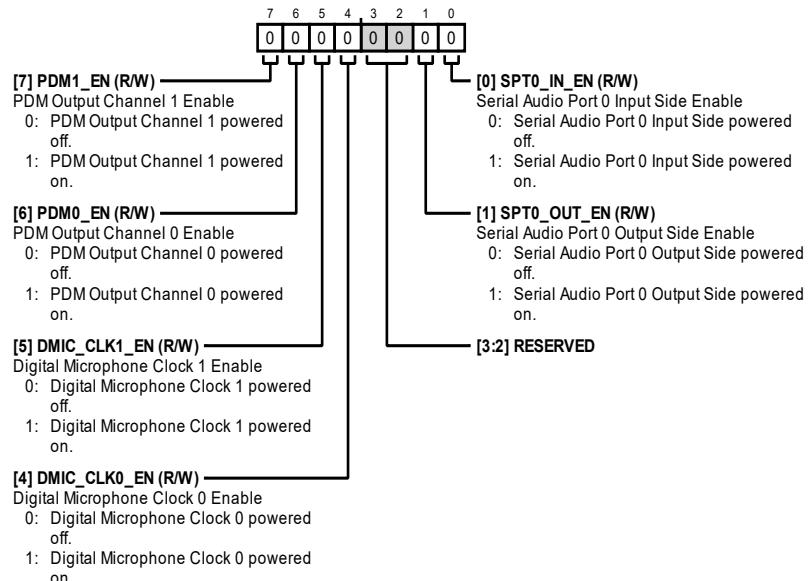


表 45. SAI_CLK_PWR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	PDM1_EN	0	PDM 出力チャンネル 1 イネーブル。	0x0	R/W
		1	PDM 出力チャンネル 1 パワーオフ。		
			PDM 出力チャンネル 1 パワーイン。		
6	PDM0_EN	0	PDM 出力チャンネル 0 イネーブル。	0x0	R/W
		1	PDM 出力チャンネル 0 パワーオフ。		
			PDM 出力チャンネル 0 パワーイン。		
5	DMIC_CLK1_EN	0	デジタル・マイクロフォン・クロック 1 イネーブル。	0x0	R/W
		1	デジタル・マイクロフォン・クロック 1 パワーオフ。		
			デジタル・マイクロフォン・クロック 1 パワーイン。		
4	DMIC_CLK0_EN	0	デジタル・マイクロフォン・クロック 0 イネーブル。	0x0	R/W
		1	デジタル・マイクロフォン・クロック 0 パワーオフ。		
			デジタル・マイクロフォン・クロック 0 パワーイン。		
[3:2]	RESERVED		予備。	0x0	R/W
1	SPT0_OUT_EN	0	シリアル・オーディオ・ポート 0 の出力側イネーブル。	0x0	R/W
		1	シリアル・オーディオ・ポート 0 の出力側パワーオフ。		
			シリアル・オーディオ・ポート 0 の出力側パワーイン。		
0	SPT0_IN_EN	0	シリアル・オーディオ・ポート 0 の入力側イネーブル。	0x0	R/W
		1	シリアル・オーディオ・ポート 0 の入力側パワーオフ。		
			シリアル・オーディオ・ポート 0 の入力側パワーイン。		

DSP パワー・コントロール・レジスタ

アドレス : 0xC008、リセット : 0x00、レジスタ名 : DSP_PWR

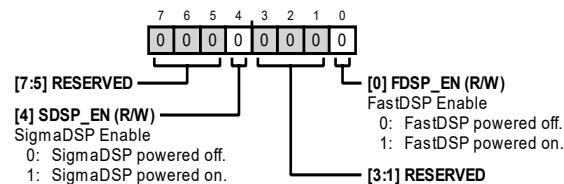


表 46. DSP_PWR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	SDSP_EN	0 1	SigmaDSP イネーブル。 SigmaDSP パワーイン。	0x0	R/W
[3:1]	RESERVED		予備。	0x0	R
0	FDSP_EN	0 1	FastDSP イネーブル。 FastDSP パワーイン。	0x0	R/W

ASRC パワー・コントロール・レジスタ

アドレス : 0xC009、リセット : 0x00、レジスタ名 : ASRC_PWR

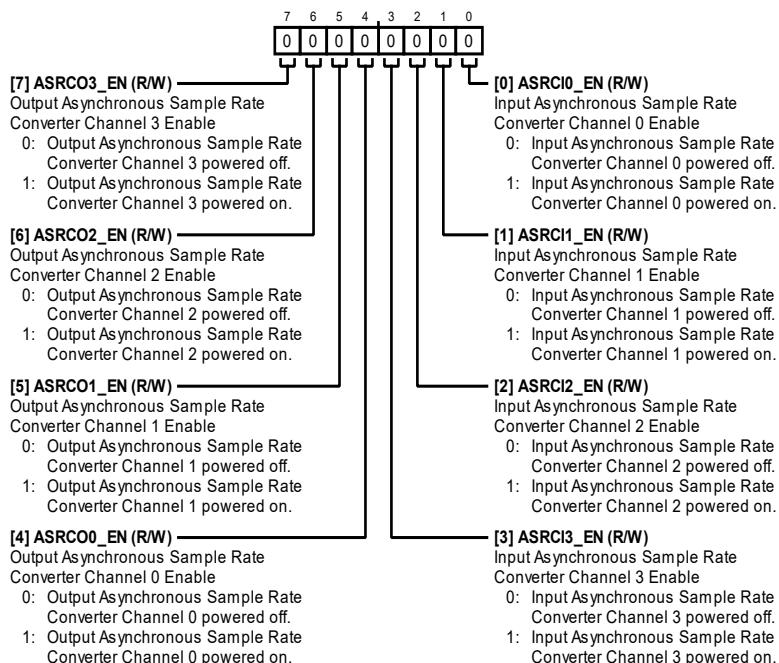


表 47. ASRC_PWR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	ASRC03_EN	0 1	出力非同期サンプル・レート・コンバータ・チャンネル 3 イネーブル。 出力非同期サンプル・レート・コンバータ・チャンネル 3 パワーイン。 出力非同期サンプル・レート・コンバータ・チャンネル 3 パワーイン。	0x0	R/W
6	ASRC02_EN	0 1	出力非同期サンプル・レート・コンバータ・チャンネル 2 イネーブル。 出力非同期サンプル・レート・コンバータ・チャンネル 2 パワーイン。 出力非同期サンプル・レート・コンバータ・チャンネル 2 パワーイン。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
5	ASRCO1_EN	0	出力非同期サンプル・レート・コンバータ・チャンネル1イネーブル。	0x0	R/W
			出力非同期サンプル・レート・コンバータ・チャンネル1パワーオフ。		
			出力非同期サンプル・レート・コンバータ・チャンネル1パワーオン。		
4	ASRCO0_EN	0	出力非同期サンプル・レート・コンバータ・チャンネル0イネーブル。	0x0	R/W
			出力非同期サンプル・レート・コンバータ・チャンネル0パワーオフ。		
			出力非同期サンプル・レート・コンバータ・チャンネル0パワーオン。		
3	ASRCI3_EN	0	入力非同期サンプル・レート・コンバータ・チャンネル3イネーブル。	0x0	R/W
			入力非同期サンプル・レート・コンバータ・チャンネル3パワーオフ。		
			入力非同期サンプル・レート・コンバータ・チャンネル3パワーオン。		
2	ASRCI2_EN	0	入力非同期サンプル・レート・コンバータ・チャンネル2イネーブル。	0x0	R/W
			入力非同期サンプル・レート・コンバータ・チャンネル2パワーオフ。		
			入力非同期サンプル・レート・コンバータ・チャンネル2パワーオン。		
1	ASRCI1_EN	0	入力非同期サンプル・レート・コンバータ・チャンネル1イネーブル。	0x0	R/W
			入力非同期サンプル・レート・コンバータ・チャンネル1パワーオフ。		
			入力非同期サンプル・レート・コンバータ・チャンネル1パワーオン。		
0	ASRCI0_EN	0	入力非同期サンプル・レート・コンバータ・チャンネル0イネーブル。	0x0	R/W
			入力非同期サンプル・レート・コンバータ・チャンネル0パワーオフ。		
			入力非同期サンプル・レート・コンバータ・チャンネル0パワーオン。		

インターポレータ・パワー・コントロール・レジスタ

アドレス : 0xC00A、リセット : 0x00、レジスタ名 : FINT_PWR

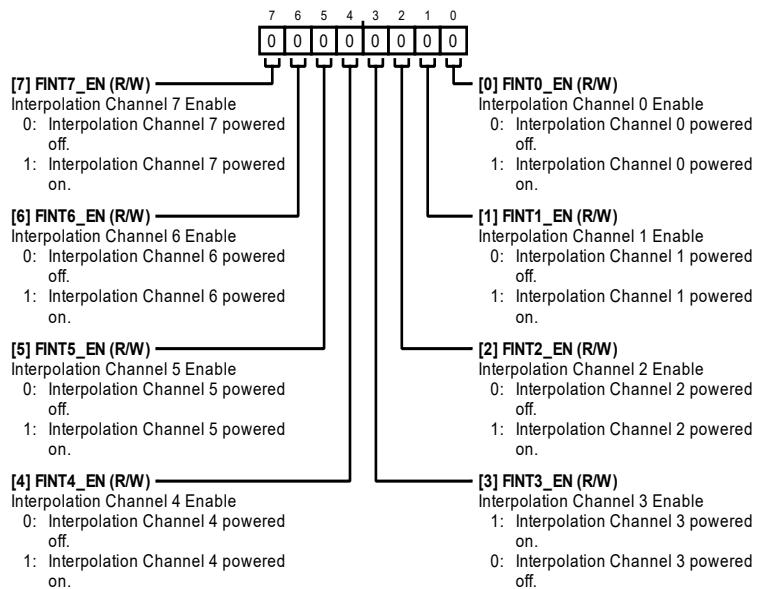


表 48. FINT PWR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	FINT7_EN	0	インターポレーション・チャンネル 7 イネーブル。	0x0	R/W
			インターポレーション・チャンネル 7 パワーオフ。		
			インターポレーション・チャンネル 7 パワーオン。		
6	FINT6_EN	0	インターポレーション・チャンネル 6 イネーブル。	0x0	R/W
			インターポレーション・チャンネル 6 パワーオフ。		
			インターポレーション・チャンネル 6 パワーオン。		
5	FINT5_EN	0	インターポレーション・チャンネル 5 イネーブル。	0x0	R/W
			インターポレーション・チャンネル 5 パワーオフ。		
			インターポレーション・チャンネル 5 パワーオン。		
4	FINT4_EN	0	インターポレーション・チャンネル 4 イネーブル。	0x0	R/W
			インターポレーション・チャンネル 4 パワーオフ。		
			インターポレーション・チャンネル 4 パワーオン。		
3	FINT3_EN	0	インターポレーション・チャンネル 3 イネーブル。	0x0	R/W
			インターポレーション・チャンネル 3 パワーオフ。		
			インターポレーション・チャンネル 3 パワーオン。		
2	FINT2_EN	0	インターポレーション・チャンネル 2 イネーブル。	0x0	R/W
			インターポレーション・チャンネル 2 パワーオフ。		
			インターポレーション・チャンネル 2 パワーオン。		
1	FINT1_EN	0	インターポレーション・チャンネル 1 イネーブル。	0x0	R/W
			インターポレーション・チャンネル 1 パワーオフ。		
			インターポレーション・チャンネル 1 パワーオン。		
0	FINT0_EN	0	インターポレーション・チャンネル 0 イネーブル。	0x0	R/W
			インターポレーション・チャンネル 0 パワーオフ。		
			インターポレーション・チャンネル 0 パワーオン。		

デシメータ・パワー・コントロール・レジスタ

アドレス : 0xC00B、リセット : 0x00、レジスタ名 : FDEC_PWR

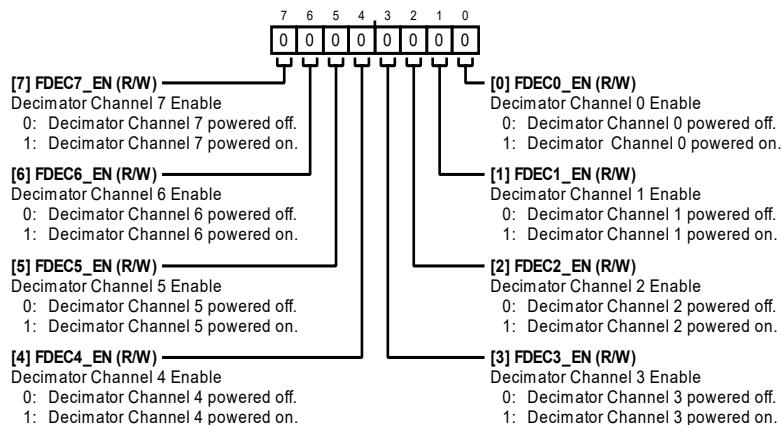


表 49. FDEC_PWR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	FDEC7_EN	0	デシメータ・チャンネル 7 イネーブル。	0x0	R/W
		1	デシメータ・チャンネル 7 パワーオフ。		
			デシメータ・チャンネル 7 パワーオン。		
6	FDEC6_EN	0	デシメータ・チャンネル 6 イネーブル。	0x0	R/W
		1	デシメータ・チャンネル 6 パワーオフ。		
			デシメータ・チャンネル 6 パワーオン。		
5	FDEC5_EN	0	デシメータ・チャンネル 5 イネーブル。	0x0	R/W
		1	デシメータ・チャンネル 5 パワーオフ。		
			デシメータ・チャンネル 5 パワーオン。		
4	FDEC4_EN	0	デシメータ・チャンネル 4 イネーブル。	0x0	R/W
		1	デシメータ・チャンネル 4 パワーオフ。		
			デシメータ・チャンネル 4 パワーオン。		
3	FDEC3_EN	0	デシメータ・チャンネル 3 イネーブル。	0x0	R/W
		1	デシメータ・チャンネル 3 パワーオフ。		
			デシメータ・チャンネル 3 パワーオン。		
2	FDEC2_EN	0	デシメータ・チャンネル 2 イネーブル。	0x0	R/W
		1	デシメータ・チャンネル 2 パワーオフ。		
			デシメータ・チャンネル 2 パワーオン。		
1	FDEC1_EN	0	デシメータ・チャンネル 1 イネーブル。	0x0	R/W
		1	デシメータ・チャンネル 1 パワーオフ。		
			デシメータ・チャンネル 1 パワーオン。		
0	FDEC0_EN	0	デシメータ・チャンネル 0 イネーブル。	0x0	R/W
		1	デシメータ・チャンネル 0 パワーオフ。		
			デシメータ・チャンネル 0 パワーオン。		

ステート保持期間コントロール・レジスタ

アドレス : 0xC00C、リセット : 0x10、レジスタ名 : KEEPS

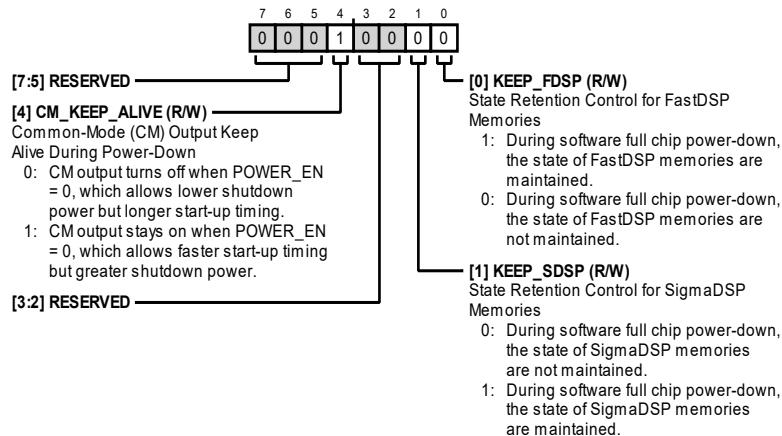


表 50. KEEPS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	CM_KEEP_ALIVE	0	パワーダウン中のコモンモード (CM) 出力のオン／オフ。 POWER_EN = 0 の場合、CM 出力をオフにします。これにより、シャットダウン電力は低減されますが、起動時間は長くなります。	0x1	R/W
		1	POWER_EN = 0 の場合、CM 出力をオンのままにします。これにより、起動時間は短くなりますが、シャットダウン電力は大きくなります。		
[3:2]	RESERVED		予備。	0x0	R
1	KEEP_SDSP	0	SigmaDSP メモリのステート保持期間の制御。 ソフトウェア・フルチップ・パワーダウン中に、SigmaDSP メモリのステートを保持しません。	0x0	R/W
		1	ソフトウェア・フルチップ・パワーダウン中に、SigmaDSP メモリのステートを保持します。		
0	KEEP_FDSP	1	FastDSP メモリのステート保持期間の制御。 ソフトウェア・フルチップ・パワーダウン中に、FastDSP メモリのステートを保持します。	0x0	R/W
		0	ソフトウェア・フルチップ・パワーダウン中に、FastDSP メモリのステートを保持しません。		

チップ・パワー・コントロール・レジスタ

アドレス : 0xC00D、リセット : 0x10、レジスタ名 : CHIP_PWR

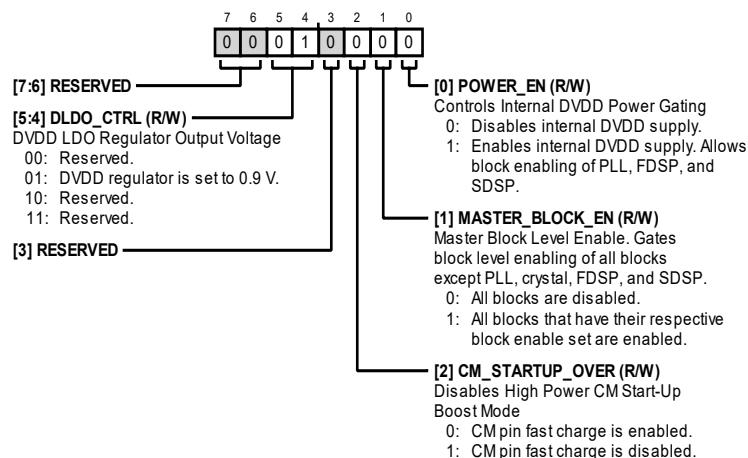


表 51. CHIP_PWR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:4]	DLDO_CTRL	00 01 10 11	DVDD LDO レギュレータの出力電圧。 予備。 01: DVDD レギュレータは 0.9V に設定されます。 10: 予備。 11: 予備。	0x1	R/W
3	RESERVED		予備。	0x0	R
2	CM_STARTUP_OVER	0 1	ハイパワーCM スタートアップ・ブースト・モードをディスエーブルします。 CM ピン高速充電をイネーブルします。 CM ピン高速充電をディスエーブルします。	0x0	R/W
1	MASTER_BLOCK_EN	0 1	マスター・ブロック・レベル・イネーブル。PLL、水晶発振器、FDSP、および SDSP 以外の全てのブロックのゲート・ブロック・レベルのイネーブル。 0: 全てのブロックをディスエーブルします。 1: ある特定の機能ブロック (PLL、水晶発振器、FDSP、SDSP) 以外の機能ブロックをイネーブルします。	0x0	R/W
0	POWER_EN	0 1	内部 DVDD パワー・ゲーティングを制御します。 内部 DVDD 電源をディスエーブルします。 内部 DVDD 電源をイネーブルします。PLL、FDSP、および SDSP ブロックをイネーブルにできます。	0x0	R/W

クロック・コントロール・レジスタ

アドレス : 0xC00E、リセット : 0xC8、レジスタ名 : CLK_CTRL1

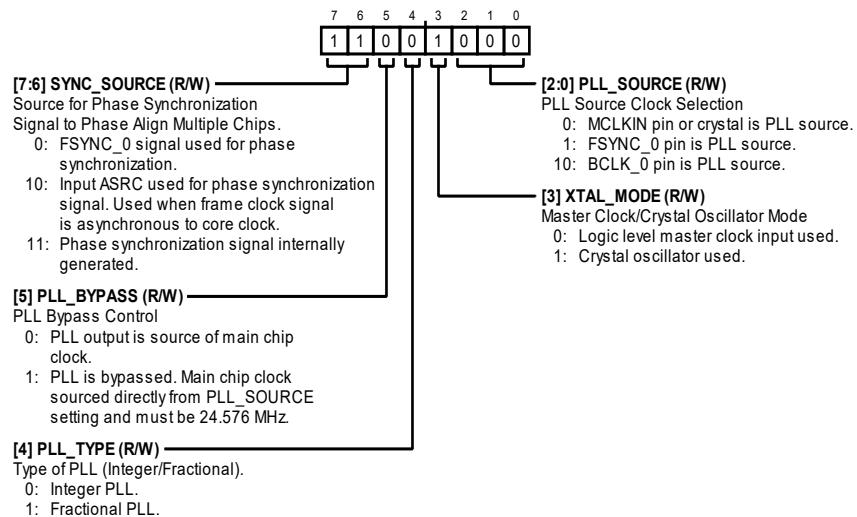


表 52. CLK_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	SYNC_SOURCE	0 10 11	複数チップの位相を揃えるための位相同期信号源。 FSYNC_0 信号を位相同期に使用します。 入力 ASRC を位相同期信号に使用します。フレーム・クロック信号がコア・クロックに非同期の場合に使用します。 位相同期信号を内部で生成します。	0x3	R/W
5	PLL_BYPASS	0 1	PLL バイパス制御。 PLL 出力がメイン・チップ・クロックのソースです。 PLL はバイパスされます。メイン・チップ・クロックは PLL_SOURCE の設定から直接ソースされ、24.576MHz でなければなりません。	0x0	R/W
4	PLL_TYPE	0 1	PLL のタイプ (インテジャー／フラクショナル) インテジャーPLL。 フラクショナルPLL。	0x0	R/W
3	XTAL_MODE	0 1	マスター・クロック／水晶発振器モード。 ロジック・レベルのマスター・クロック入力を使用します。 水晶発振器を使用します。	0x1	R/W
[2:0]	PLL_SOURCE	0 1 10	PLL ソース・クロックの選択。 MCLKIN ピンまたは水晶発振器が PLL ソースです。 FSYNC_0 ピンが PLL ソースです。 BCLK_0 ピンが PLL ソースです。	0x0	R/W
[0]	RESERVED				

PLL 入力分周器レジスタ

アドレス : 0xC00F、リセット : 0x00、レジスタ名 : CLK_CTRL2

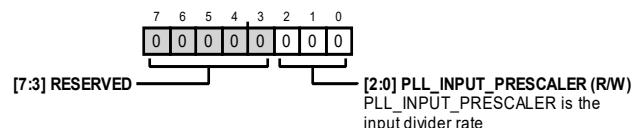


表 53. CLK_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RESERVED		予備。	0x0	R
[2:0]	PLL_INPUT_PRESCALER		PLL_INPUT_PRESCALER は入力分周器レートです。	0x0	R/W

PLL 整数帰還分周器 (MSB) レジスタ

アドレス : 0xC010、リセット : 0x00、レジスタ名 : CLK_CTRL3

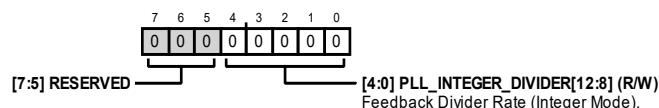


表 54. CLK_CTRL3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
[4:0]	PLL_INTEGER_DIVIDER[12:8]		帰還分周器レート (インテジャー・モード)。	0x0	R/W

PLL 整数帰還分周器 (LSB) レジスタ

アドレス : 0xC011、リセット : 0x02、レジスタ名 : CLK_CTRL4



表 55. CLK_CTRL4 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PLL_INTEGER_DIVIDER[7:0]		帰還分周器レート (インテジャー・モード)。	0x2	R/W

PLL 分数分子 (MSB) レジスタ

アドレス : 0xC012、リセット : 0x00、レジスタ名 : CLK_CTRL5

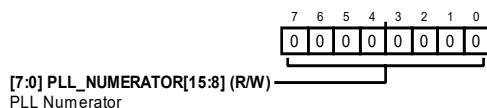


表 56. CLK_CTRL5 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PLL_NUMERATOR[15:8]		PLL の分子	0x0	R/W

PLL 分数分子 (LSB) レジスタ

アドレス : 0xC013、リセット : 0x00、レジスタ名 : CLK_CTRL6

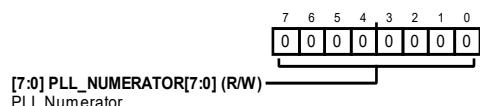


表 57. CLK_CTRL6 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PLL_NUMERATOR[7:0]		PLL の分子	0x0	R/W

PLL 分数分母 (MSB) レジスタ

アドレス : 0xC014、リセット : 0x00、レジスタ名 : CLK_CTRL7

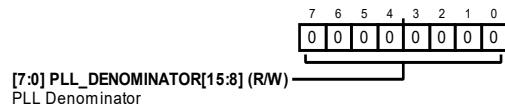


表 58. CLK_CTRL7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PLL_DENOMINATOR[15:8]		PLL の分母	0x0	R/W

PLL 分数分母 (LSB) レジスタ

アドレス : 0xC015、リセット : 0x00、レジスタ名 : CLK_CTRL8

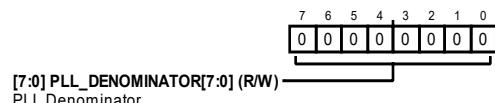


表 59. CLK_CTRL8 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PLL_DENOMINATOR[7:0]		PLL の分母	0x0	R/W

PLL 更新レジスタ

アドレス : 0xC016、リセット : 0x00、レジスタ名 : CLK_CTRL9

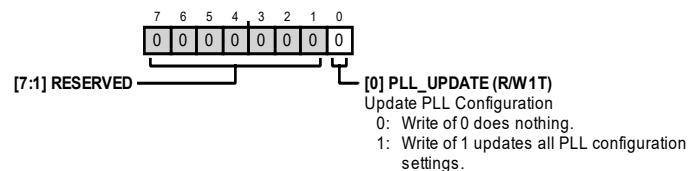


表 60. CLK_CTRL9 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:1]	RESERVED		予備。	0x0	R
0	PLL_UPDATE	0 1	PLL の設定を更新します。 0 を書き込むと、何も実行しません。 1 を書き込むと、PLL の全ての設定値を更新します。	0x0	R/W1T

ADC サンプル・レート・コントロール・レジスタ

アドレス : 0xC017、リセット : 0x22、レジスタ名 : ADC_CTRL1

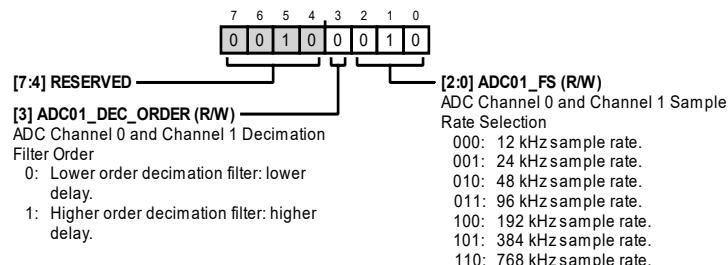


表 61. ADC_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	RESERVED		予備。	0x2	R/W
3	ADC01_DEC_ORDER	0 1	ADC チャンネル 0 およびチャンネル 1 のデシメーション・フィルタの次数。 0: 低次のデシメーション・フィルタ : 低遅延 1: 高次のデシメーション・フィルタ : 高遅延	0x0	R/W
[2:0]	ADC01_FS	000 001 010 011 100 101 110	ADC チャンネル 0 およびチャンネル 1 のサンプル・レートの選択。 000: 12kHz のサンプル・レート。 001: 24kHz のサンプル・レート。 010: 48kHz のサンプル・レート。 011: 96kHz のサンプル・レート。 100: 192kHz のサンプル・レート。 101: 384kHz のサンプル・レート。 110: 768kHz のサンプル・レート。	0x2	R/W

ADC I_{BIAS} コントロール・レジスタ

アドレス : 0xC018、リセット : 0x00、レジスタ名 : ADC_CTRL2

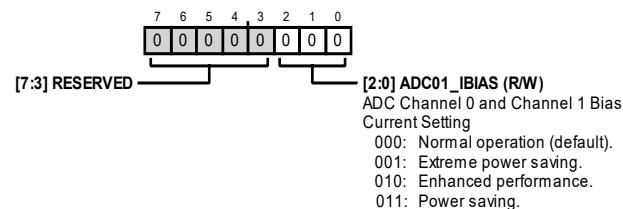


表 62. ADC_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RESERVED		予備。	0x0	R
[2:0]	ADC01_IBIAS	000 001 010 011	ADC チャンネル 0 およびチャンネル 1 のバイアス電流の設定値。バイアス電流が大きいほど性能は向上します。 000: 通常動作 (デフォルト)。 001: 超低消費電力。 010: 性能向上。 011: 低消費電力。	0x0	R/W

ADC ハイパス・フィルタ・コントロール・レジスタ

アドレス : 0xC019、リセット : 0x00、レジスタ名 : ADC_CTRL3

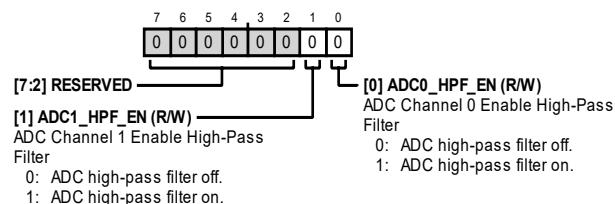


表 63. ADC_CTRL3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	RESERVED		予備。	0x0	R
1	ADC1_HPF_EN		ADC チャンネル 1 ハイパス・フィルタのイネーブル。 0: ADC ハイパス・フィルタはオフ。 1: ADC ハイパス・フィルタはオン。	0x0	R/W
0	ADC0_HPF_EN		ADC チャンネル 0 ハイパス・フィルタのイネーブル。 0: ADC ハイパス・フィルタはオフ。 1: ADC ハイパス・フィルタはオン。	0x0	R/W

ADC ミュートおよび補償コントロール・レジスタ

アドレス : 0xC01A、リセット : 0x40、レジスタ名 : ADC_CTRL4

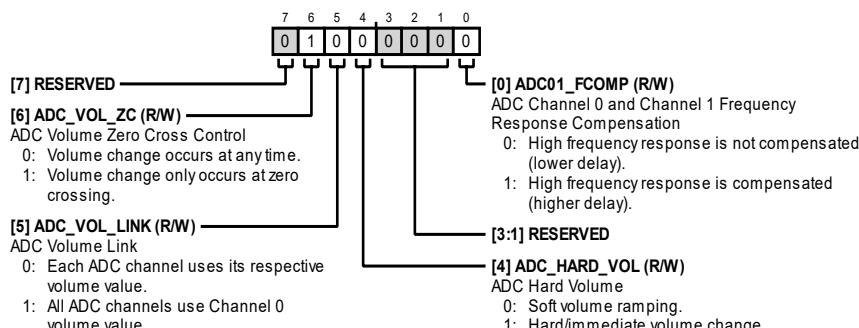


表 64. ADC_CTRL4 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
6	ADC_VOL_ZC		ADC ボリューム・ゼロ交差コントロール。 ボリュームはいつでも変更されます。 1: ボリュームはゼロ交差時にのみ変更されます。	0x1	R/W
5	ADC_VOL_LINK		ADC ボリューム・リンク。 各 ADC チャンネルはそれぞれのボリューム値を使用します。 1: 全ての ADC チャンネルがチャンネル 0 のボリューム値を使用します。	0x0	R/W
4	ADC_HARD_VOL		ADCC ハード・ボリューム。 0: ソフト・ボリューム・ランピング。 1: ハード/即時ボリューム変更。	0x0	R/W
[3:1]	RESERVED		予備。	0x0	R
0	ADC01_FCOMP		ADC チャンネル 0 およびチャンネル 1 の周波数応答補償。 0: 高周波数応答を補償しません (低遅延)。 1: 高周波数応答を補償します (高遅延)。	0x0	R/W

アナログ入力プリチャージ時間レジスタ

アドレス : 0xC01B、リセット : 0x26、レジスタ名 : ADC_CTRL5

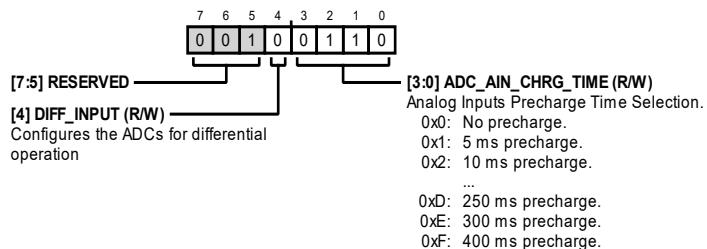


表 65. ADC_CTRL5 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x1	R
4	DIFF_INPUT		ADC を差動動作に設定します。	0x0	R/W
[3:0]	ADC_AIN_CHRG_TIME		アナログ入力プリチャージ時間の選択。プリチャージ回路を使用してカッピング・コンデンサを充電する時間を制御します。この時間は、使用するコンデンサの値と ADC の必要な起動時間によって決まります。	0x6	R/W

Bit 7:5 is labeled [7:5] RESERVED. Bit 4 is labeled [4] DIFF_INPUT (R/W) and configures the ADCs for differential operation. Bits 3:0 are labeled [3:0] ADC_AIN_CHRG_TIME (R/W) and select the analog input precharge time. The table below provides the mapping for these bits.

Bit Value	Description
0x0	No precharge.
0x1	5 ms precharge.
0x2	10 ms precharge.
0x3	20 ms precharge.
0x4	30 ms precharge.
0x5	40 ms precharge.
0x6	50 ms precharge.
0x7	60 ms precharge.
0x8	80 ms precharge.
0x9	100 ms precharge.
0xA	125 ms precharge.
0xB	150 ms precharge.
0xC	200 ms precharge.
0xD	250 ms precharge.
0xE	300 ms precharge.
0xF	400 ms precharge.

ADC チャンネル・ミュート・レジスタ

アドレス : 0xC01C、リセット : 0x00、レジスタ名 : ADC_MUTES

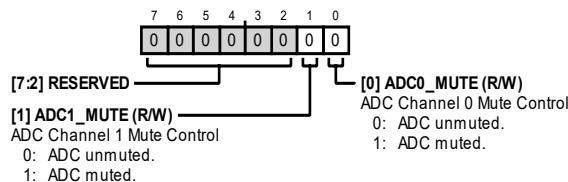


表 66. ADC_MUTES のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	RESERVED		予備。	0x0	R
1	ADC1_MUTE	0	ADC チャンネル 1 のミュート・コントロール。 ADC ミュート解除。	0x0	R/W
			ADC ミュート。		
0	ADC0_MUTE	0	ADC チャンネル 0 のミュート・コントロール。 ADC ミュート解除。	0x0	R/W
			ADC ミュート。		

ADC チャンネル 0 ボリューム制御レジスタ

アドレス : 0xC01D、リセット : 0x40、レジスタ名 : ADC0_VOL

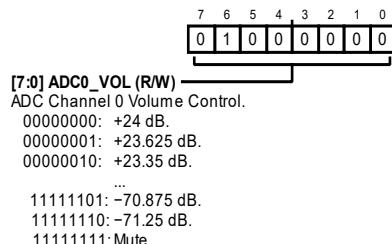


表 67. ADC0_VOL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ADC0_VOL	00000000	ADC チャンネル 0 のボリューム制御。 +24dB。	0x40	R/W

ADC チャンネル 1 ボリューム制御レジスタ

アドレス : 0xC01E、リセット : 0x40、レジスタ名 : ADC1_VOL

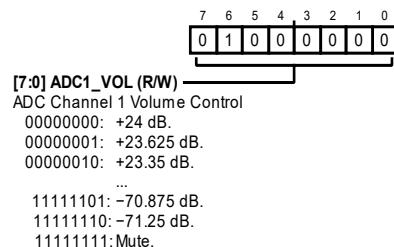


表 68. ADC1_VOL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	ADC1_VOL	00000000 00000001 00000010 00000011 00000100 ... 00111111 01000000 01000001 ... 11111101 11111110 11111111	ADC チャンネル 1 のボリューム制御。 +24dB。 +23.625dB。 +23.35dB。 +22.875dB。 +22.5dB。 ... +0.375dB。 0dB。 -0.375dB。 ... -70.875dB。 -71.25dB。 ミュート。	0x40	R/W

PGA チャンネル 0 ゲイン・コントロール MSB、ミュート、ブースト、およびスルー・レジスタ

アドレス : 0xC021、リセット : 0x00、レジスタ名 : PGA0_CTRL1

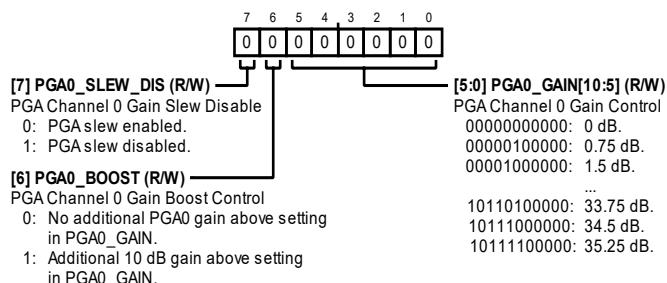


表 69. PGA0_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	PGA0_SLEW_DIS	0	PGA チャンネル 0 のゲイン・スルー・ディスエーブル。 PGA スルー・イネーブル。	0x0	R/W
7	PGA0_SLEW_DIS	1	PGA スルー・ディスエーブル。		
6	PGA0_BOOST	0	PGA チャンネル 0 のゲイン・ブースト・コントロール。 PGA0_GAIN の設定値を上回る追加の PGA0 ゲインなし。	0x0	R/W
6	PGA0_BOOST	1	PGA0_GAIN の設定値に 10dB のゲインを追加。		
[5:0]	PGA0_GAIN[10:5] (R/W)	000000000000	PGA チャンネル 0 のゲイン・コントロール。 0dB。	0x0	R/W
[5:0]	PGA0_GAIN[10:5] (R/W)	000001000000	0.75dB。		
[5:0]	PGA0_GAIN[10:5] (R/W)	000010000000	1.5dB。		
[5:0]	PGA0_GAIN[10:5] (R/W)		
[5:0]	PGA0_GAIN[10:5] (R/W)	101101000000	33.75dB。		
[5:0]	PGA0_GAIN[10:5] (R/W)	101110000000	34.5dB。		
[5:0]	PGA0_GAIN[10:5] (R/W)	101111000000	35.25dB。		

PGA チャンネル 0 ゲイン・コントロール LSB レジスタ

アドレス : 0xC022、リセット : 0x00、レジスタ名 : PGA0_CTRL2

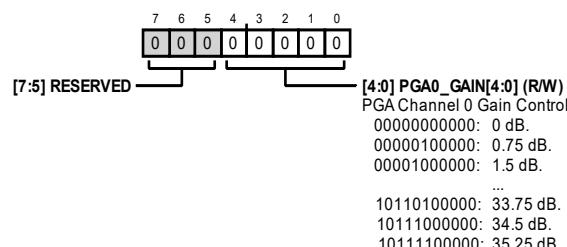


表 70. PGA0_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
[4:0]	PGA0_GAIN[4:0]	000000000000	PGA チャンネル 0 のゲイン・コントロール。 0dB。	0x0	R/W

PGA チャンネル 1 ゲイン・コントロール MSB、ミュート、ブースト、およびスルー・レジスタ

アドレス : 0xC023、リセット : 0x00、レジスタ名 : PGA1_CTRL1

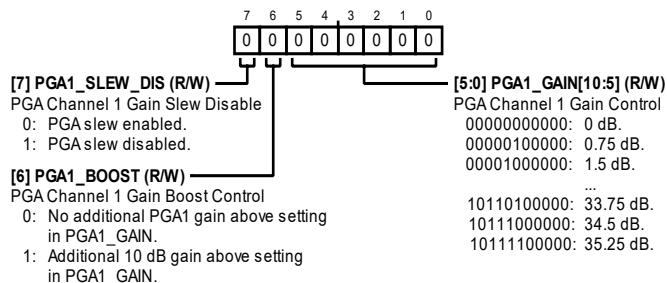


表 71. PGA1_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	PGA1_SLEW_DIS	0 1	PGA チャンネル 1 のゲイン・スルー・ディスエーブル。 PGA スルー・イネーブル。 PGA スルー・ディスエーブル。	0x0	R/W
6	PGA1_BOOST	0 1	PGA チャンネル 1 のゲイン・ブースト・コントロール。 PGA1_GAIN の設定値を上回る追加の PGA1 ゲインなし。 PGA1_GAIN の設定値に 10dB のゲインを追加。	0x0	R/W
[5:0]	PGA1_GAIN[10:5]	000000000000 000001000000 000010000000 ... 101101000000 101110000000 101111000000	PGA チャンネル 1 のゲイン・コントロール。 0dB. 0.75dB. 1.5dB. ... 33.75dB. 34.5dB. 35.25dB.	0x0	R/W

PGA チャンネル 1 ゲイン・コントロール LSB レジスタ

アドレス : 0xC024、リセット : 0x00、レジスタ名 : PGA1_CTRL2

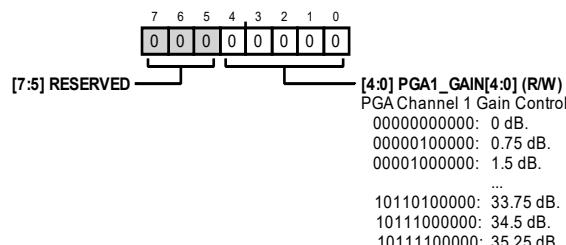


表 72. PGA1_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
[4:0]	PGA1_GAIN[4:0]	000000000000 000001000000 000010000000 ... 101101000000 101110000000 101111000000	PGA チャンネル 1 のゲイン・コントロール。 0dB. 0.75dB. 1.5dB. ... 33.75dB. 34.5dB. 35.25dB.	0x0	R/W

PGA スルー・レートおよびゲイン・リンク・レジスタ

アドレス : 0xC029、リセット : 0x00、レジスタ名 : PGA_CTRL

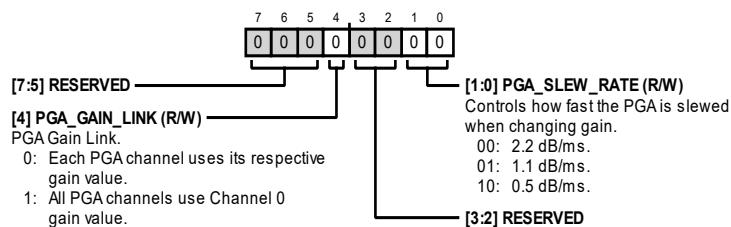


表 73. PGA_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	PGA_GAIN_LINK	0 1	PGA ゲイン・リンク。 0: 各 PGA チャンネルはそれぞれのゲイン値を使用します。 1: 全ての PGA チャンネルがチャンネル 0 のゲイン値を使用します。	0x0	R/W
[3:2]	RESERVED		予備。	0x0	R
[1:0]	PGA_SLEW_RATE	00 01 10	ゲインが変化する際の PGA のスルー・レートを制御します。 00: 2.2dB/ms。 01: 1.1dB/ms。 10: 0.5dB/ms。	0x0	R/W

マイクロフォン・バイアス・レベルおよび電流レジスタ

アドレス : 0xC02A、リセット : 0x00、レジスタ名 : MBIAS_CTRL

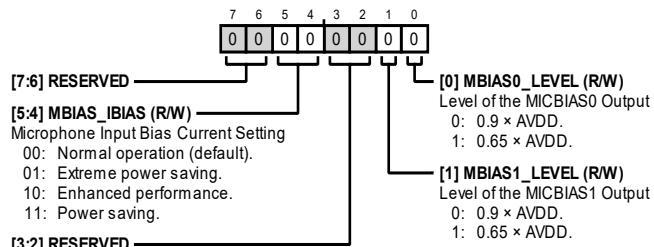


表 74. MBIAS_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:4]	MBIAS_IBIAS		マイクロフォンの入力バイアス電流の設定値。バイアス電流が大きいほど性能は向上します。 00: 通常動作 (デフォルト)。 01: 超低消費電力。 10: 性能向上。 11: 低消費電力。	0x0	R/W
[3:2]	RESERVED		予備。	0x0	R
1	MBIAS1_LEVEL	0 1	MBIAS1 の出力レベル。 0: 0.9 × AVDD。 1: 0.65 × AVDD。	0x0	R/W
0	MBIAS0_LEVEL	0 1	MBIAS0 の出力レベル。 0: 0.9 × AVDD。 1: 0.65 × AVDD。	0x0	R/W

DMIC クロック・レート・コントロール・レジスタ

アドレス : 0xC02B、リセット : 0x33、レジスタ名 : DMIC_CTRL1

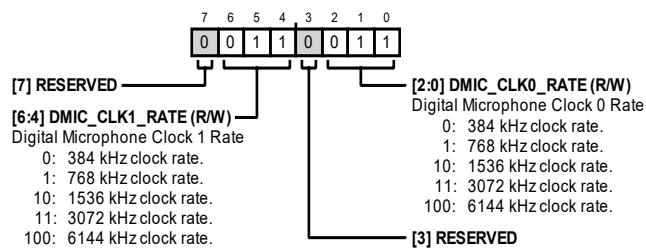


表 75. DMIC_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:4]	DMIC_CLK1_RATE	0 1 10 11 100	デジタル・マイクロフォン・クロック 1 レート。 0: 384 kHz のクロック・レート。 1: 768 kHz のクロック・レート。 10: 1536 kHz のクロック・レート。 11: 3072 kHz のクロック・レート。 100: 6144 kHz のクロック・レート。	0x3	R/W
3	RESERVED		予備。	0x0	R
[2:0]	DMIC_CLK0_RATE	0 1 10 11 100	デジタル・マイクロフォン・クロック 0 レート。 0: 384 kHz のクロック・レート。 1: 768 kHz のクロック・レート。 10: 1536 kHz のクロック・レート。 11: 3072 kHz のクロック・レート。 100: 6144 kHz のクロック・レート。	0x3	R/W

デジタル・マイクロフォン・チャンネル0およびチャンネル1レート、次数、マッピング、およびエッジ・コントロール・レジスタ

アドレス : 0xC02C、リセット : 0x01、レジスタ名 : DMIC_CTRL2

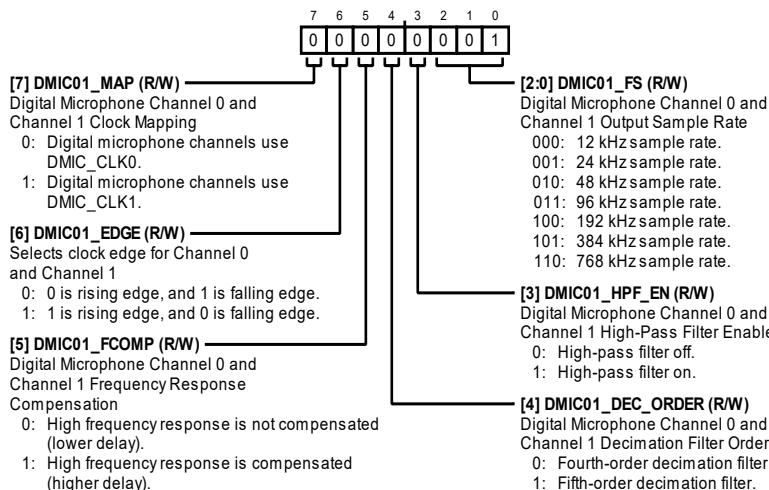


表 76. DMIC_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	DMIC01_MAP	0 1	デジタル・マイクロフォン・チャンネル0およびチャンネル1のクロック・マッピング。 デジタル・マイクロフォン・チャンネルは DMIC_CLK0 を使用します。 デジタル・マイクロフォン・チャンネルは DMIC_CLK1 を使用します。	0x0	R/W
6	DMIC01_EDGE	0 1	チャンネル0およびチャンネル1のクロック・エッジを選択します。 0は立上がりエッジ、1は立下がりエッジ。 1は立上がりエッジ、0は立下がりエッジ。	0x0	R/W
5	DMIC01_FCOMP	0 1	デジタル・マイクロフォン・チャンネル0およびチャンネル1の周波数応答補償。 高周波数応答を補償しません（低遅延）。 高周波数応答を補償します（高遅延）。	0x0	R/W
4	DMIC01_DEC_ORDER	0 1	デジタル・マイクロフォン・チャンネル0およびチャンネル1のデシメーション・フィルタの次数。 4次デシメーション・フィルタ。 5次デシメーション・フィルタ。	0x0	R/W
3	DMIC01_HPF_EN	0 1	デジタル・マイクロフォン・チャンネル0およびチャンネル1のハイパス・フィルタ・イネーブル。 ハイパス・フィルタはオフ。 ハイパス・フィルタはオン。	0x0	R/W
[2:0]	DMIC01_FS	000 001 010 011 100 101 110	デジタル・マイクロフォン・チャンネル0およびチャンネル1の出力サンプル・レート。 12kHzのサンプル・レート。 24kHzのサンプル・レート。 48kHzのサンプル・レート。 96kHzのサンプル・レート。 192kHzのサンプル・レート。 384kHzのサンプル・レート。 768kHzのサンプル・レート。	0x1	R/W

デジタル・マイクロフォン・チャンネル2およびチャンネル3レート、次数、マッピング、およびエッジ・コントロール・レジスタ

アドレス : 0xC02D、リセット : 0x01、レジスタ名 : DMIC_CTRL3

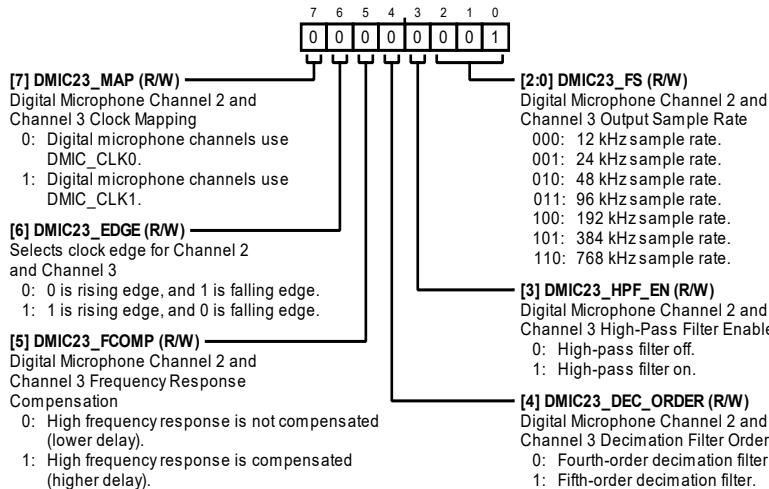


表 77. DMIC_CTRL3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	DMIC23_MAP	0 1	デジタル・マイクロフォン・チャンネル2およびチャンネル3のクロック・マッピング。 デジタル・マイクロフォン・チャンネルは DMIC_CLK0 を使用します。 デジタル・マイクロフォン・チャンネルは DMIC_CLK1 を使用します。	0x0	R/W
6	DMIC23_EDGE	0 1	チャンネル2およびチャンネル3のクロック・エッジを選択します。 0は立上がりエッジ、1は立下がりエッジ。 1は立上がりエッジ、0は立下がりエッジ。	0x0	R/W
5	DMIC23_FCOMP	0 1	デジタル・マイクロフォン・チャンネル2およびチャンネル3の周波数応答補償。 高周波数応答を補償しません（低遅延）。 高周波数応答を補償します（高遅延）。	0x0	R/W
4	DMIC23_DEC_ORDER	0 1	デジタル・マイクロフォン・チャンネル2およびチャンネル3のデシメーション・フィルタの次数。 4次デシメーション・フィルタ。 5次デシメーション・フィルタ。	0x0	R/W
3	DMIC23_HPF_EN	0 1	デジタル・マイクロフォン・チャンネル2およびチャンネル3のハイパス・フィルタ・イネーブル。 ハイパス・フィルタはオフ。 ハイパス・フィルタはオン。	0x0	R/W
[2:0]	DMIC23_FS	000 001 010 011 100 101 110	デジタル・マイクロフォン・チャンネル2およびチャンネル3の出力サンプル・レート。 12kHz のサンプル・レート。 24kHz のサンプル・レート。 48kHz のサンプル・レート。 96kHz のサンプル・レート。 192kHz のサンプル・レート。 384kHz のサンプル・レート。 768kHz のサンプル・レート。	0x1	R/W

DMIC ボリューム・オプション・レジスタ

アドレス : 0xC030、リセット : 0x04、レジスタ名 : DMIC_CTRL6

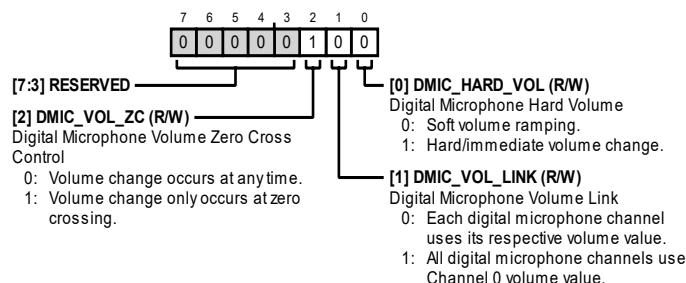


表 78. DMIC_CTRL6 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RESERVED		予備。	0x0	R
2	DMIC_VOL_ZC	0	デジタル・マイクロフォン・ボリュームのゼロ交差コントロール。 ボリュームはいつでも変更されます。	0x1	R/W
		1	ボリュームはゼロ交差時にのみ変更されます。		
1	DMIC_VOL_LINK	0	デジタル・マイクロフォンのボリューム・リンク。 各デジタル・マイクロフォン・チャンネルはそれぞれのボリューム値を使用します。	0x0	R/W
		1	全てのデジタル・マイクロフォン・チャンネルがチャンネル 0 のボリューム値を使用します。		
0	DMIC_HARD_VOL	0	デジタル・マイクロフォンのハード・ボリューム。 ソフト・ボリューム・ランピング。	0x0	R/W
		1	ハード／即時ボリューム変更。		

デジタル・マイクロフォン・チャンネル・ミュート・コントロール・レジスタ

アドレス : 0xC031、リセット : 0x00、レジスタ名 : DMIC_MUTES

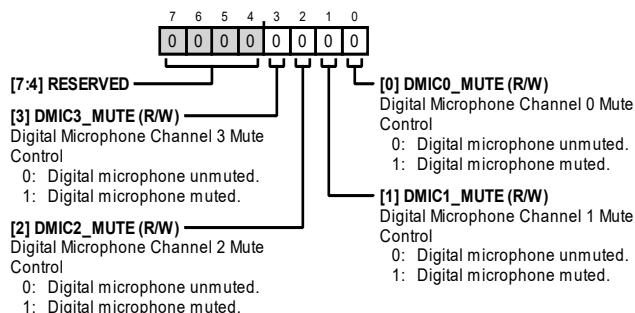


表 79. DMIC_MUTES のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	RESERVED		予備。	0x0	R/W
3	DMIC3_MUTE	0	デジタル・マイクロフォン・チャンネル 3 のミュート・コントロール。 デジタル・マイクロフォン・ミュート解除。	0x0	R/W
		1	デジタル・マイクロフォン・ミュート。		
2	DMIC2_MUTE	0	デジタル・マイクロフォン・チャンネル 2 のミュート・コントロール。 デジタル・マイクロフォン・ミュート解除。	0x0	R/W
		1	デジタル・マイクロフォン・ミュート。		
1	DMIC1_MUTE	0	デジタル・マイクロフォン・チャンネル 1 のミュート・コントロール。 デジタル・マイクロフォン・ミュート解除。	0x0	R/W
		1	デジタル・マイクロフォン・ミュート。		
0	DMIC0_MUTE	0	デジタル・マイクロフォン・チャンネル 0 のミュート・コントロール。 デジタル・マイクロフォン・ミュート解除。	0x0	R/W
		1	デジタル・マイクロフォン・ミュート。		

デジタル・マイクロフォン・チャンネル 0 ボリューム制御レジスタ

アドレス : 0xC032、リセット : 0x40、レジスタ名 : DMIC_VOL0

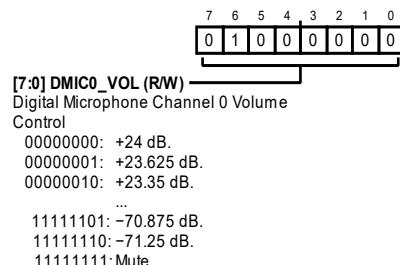


表 80. DMIC_VOL0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DMIC0_VOL	00000000 00000001 00000010 00000011 00000100 ... 00111111 01000000 01000001 ... 11111101 11111110 11111111	+24dB。 +23.625dB。 +23.35dB。 +22.875dB。 +22.5dB。 ... +0.375dB。 0dB。 -0.375dB。 ... -70.875dB。 -71.25dB。 ミュート。	0x40	R/W

デジタル・マイクロフォン・チャンネル1ボリューム制御レジスタ

アドレス: 0xC033、リセット: 0x40、レジスタ名: DMIC_VOL1

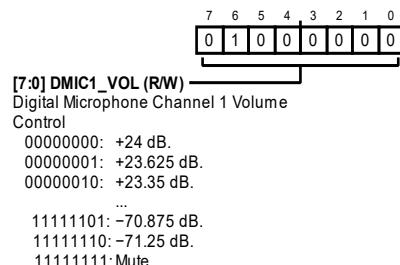


表 81. DMIC_VOL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DMIC1_VOL	00000000 00000001 00000010 00000011 00000100 ... 00111111 01000000 01000001 ... 11111101 11111110 11111111	デジタル・マイクロフォン・チャンネル1のボリューム制御。 +24dB。 +23.625dB。 +23.35dB。 +22.875dB。 +22.5dB。 ... +0.375dB。 0dB。 -0.375dB。 ... -70.875dB。 -71.25dB。 ミュート。	0x40	R/W

デジタル・マイクロフォン・チャンネル2ボリューム制御レジスタ

アドレス: 0xC034、リセット: 0x40、レジスタ名: DMIC_VOL2

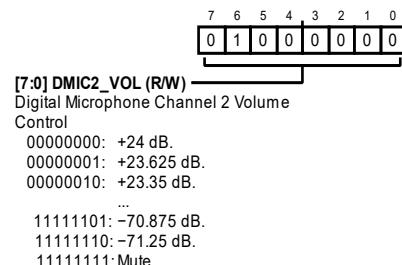


表 82. DMIC_VOL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DMIC2_VOL	00000000 00000001 00000010 00000011 00000100 ... 00111111 01000000 01000001 ... 11111101 11111110 11111111	デジタル・マイクロフォン・チャンネル2のボリューム制御。 +24dB。 +23.625dB。 +23.35dB。 +22.875dB。 +22.5dB。 ... +0.375dB。 0dB。 -0.375dB。 ... -70.875dB。 -71.25dB。 ミュート。	0x40	R/W

デジタル・マイクロフォン・チャンネル3ボリューム制御レジスタ

アドレス: 0xC035、リセット: 0x40、レジスタ名: DMIC_VOL3

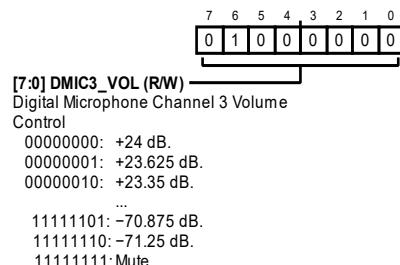


表 83. DMIC_VOL3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DMIC3_VOL	00000000	デジタル・マイクロフォン・チャンネル3のボリューム制御。 +24dB。	0x40	R/W
		00000001	+23.625dB。		
		00000010	+23.35dB。		
		00000011	+22.875dB。		
		00000100	+22.5dB。		
			
		00111111	+0.375dB。		
		01000000	0dB。		
		01000001	-0.375dB。		
			
		11111101	-70.875dB。		
		11111110	-71.25dB。		
		11111111	ミュート。		

DAC サンプル・レート、フィルタリング、およびパワー・コントロール・レジスタ

アドレス : 0xC03A、リセット : 0x02、レジスタ名 : DAC_CTRL1

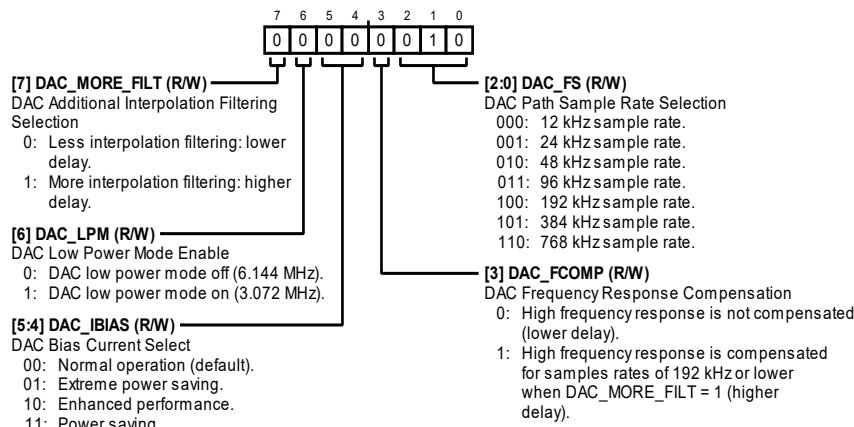


表 84. DAC_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	DAC_MORE_FILT	0 1	DAC の追加インター ポレーション・フィルタの選択。 弱いインター ポレーション・フィルタ : 低遅延。 強いインナー ポレーション・フィルタ : 高遅延。	0x0	R/W
6	DAC_LPM	0 1	DAC 低消費電力モード・イネーブル。 0: DAC 低消費電力モードオフ (6.144MHz)。 1: DAC 低消費電力モードオン (3.072MHz)。	0x0	R/W
[5:4]	DAC_IBIAS	00 01 10 11	DAC バイアス電流の選択。バイアス電流が大きいほど性能は向上します。 通常動作 (デフォルト)。 超低消費電力。 性能向上。 低消費電力。	0x0	R/W
3	DAC_FCOMP	0 1	DAC 周波数応答補償。 高周波数応答を補償しません (低遅延)。 DAC_MORE_FILT = 1 の場合、192kHz またはそれ以下のサンプル・レートで高周波数応答を補償します (高遅延)。	0x0	R/W
[2:0]	DAC_FS	000 001 010 011 100 101 110	DAC パスのサンプル・レートの選択。 12kHz のサンプル・レート。 24kHz のサンプル・レート。 48kHz のサンプル・レート。 96kHz のサンプル・レート。 192kHz のサンプル・レート。 384kHz のサンプル・レート。 768kHz のサンプル・レート。	0x2	R/W

DAC ボリューム・リンク、ハイパス・フィルタ、およびミュート・コントロール・レジスタ

アドレス : 0xC03B、リセット : 0xC4、レジスタ名 : DAC_CTRL2

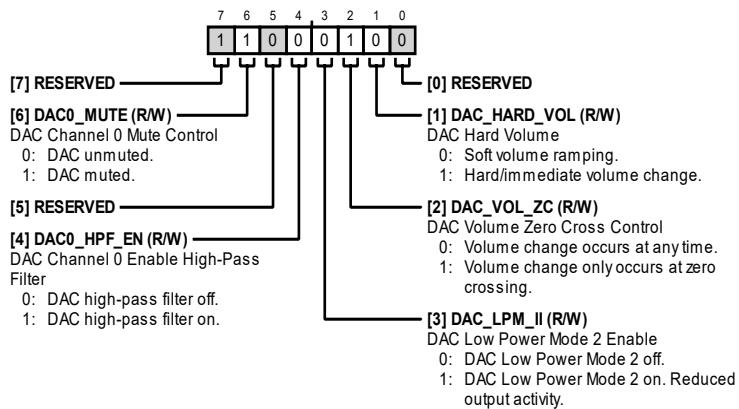


表 85. DAC_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x1	R/W
6	DAC0_MUTE	0 1	DAC チャンネル 0 のミュート・コントロール。 DAC ミュート解除。 DAC ミュート。	0x1	R/W
5	RESERVED		予備。	0x0	R/W
4	DAC0_HPF_EN	0 1	DAC チャンネル 0 ハイパス・フィルタのイネーブル。 DAC ハイパス・フィルタはオフ。 DAC ハイパス・フィルタはオン。	0x0	R/W
3	DAC_LPM_II	0 1	DAC 低消費電力モード 2 イネーブル。 DAC 低消費電力モード 2 はオフ。 DAC 低消費電力モード 2 はオン。出力アクティビティは減ります。	0x0	R/W
2	DAC_VOL_ZC	0 1	DAC ボリューム・ゼロ交差コントロール。 ボリュームはいつでも変更されます。 ボリュームはゼロ交差時にのみ変更されます。	0x1	R/W
1	DAC_HARD_VOL	0 1	DAC ハード・ボリューム。 ソフト・ボリューム・ランピング。 ハード／即時ボリューム変更。	0x0	R/W
0	RESERVED		予備。	0x0	R/W

DAC チャンネル 0 ボリューム・レジスタ

アドレス : 0xC03C、リセット : 0x40、レジスタ名 : DAC_VOL0

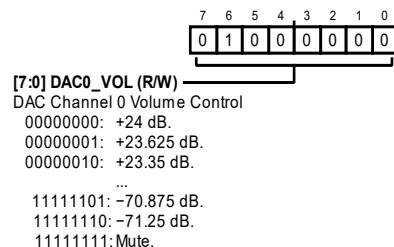


表 86. DAC_VOL0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	DAC0_VOL	00000000 00000001 00000010 00000011 00000100 ... 00111111 01000000 01000001 ... 11111101 11111110 11111111	DAC チャンネル 0 のボリューム制御。 +24dB。 +23.625dB。 +23.35dB。 +22.875dB。 +22.5dB。 ... +0.375dB。 0dB。 -0.375dB。 ... -70.875dB。 -71.25dB。 ミュート。	0x40	R/W

DAC チャンネル 0 ルーティング・レジスタ

アドレス : 0xC03E、リセット : 0x00、レジスタ名 : DAC_ROUTE0

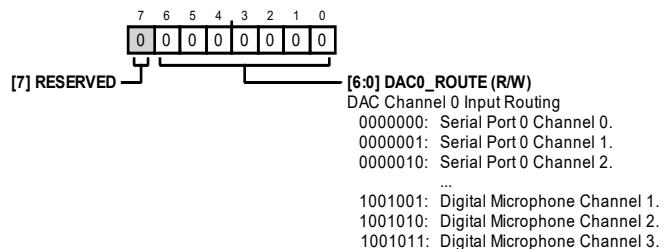


表 87. DAC_ROUTE0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	DAC0_ROUTE		DAC チャンネル 0 の入力ルーティング。 0000000 シリアル・ポート 0 のチャンネル 0。 0000001 シリアル・ポート 0 のチャンネル 1。 0000010 シリアル・ポート 0 のチャンネル 2。 0000011 シリアル・ポート 0 のチャンネル 3。 0000100 シリアル・ポート 0 のチャンネル 4。 0000101 シリアル・ポート 0 のチャンネル 5。 0000110 シリアル・ポート 0 のチャンネル 6。 0000111 シリアル・ポート 0 のチャンネル 7。 0001000 シリアル・ポート 0 のチャンネル 8。 0001001 シリアル・ポート 0 のチャンネル 9。 0001010 シリアル・ポート 0 のチャンネル 10。 0001011 シリアル・ポート 0 のチャンネル 11。 0001100 シリアル・ポート 0 のチャンネル 12。 0001101 シリアル・ポート 0 のチャンネル 13。 0001110 シリアル・ポート 0 のチャンネル 14。 0001111 シリアル・ポート 0 のチャンネル 15。 0100000 FastDSP チャンネル 0。 0100001 FastDSP チャンネル 1。 0100010 FastDSP チャンネル 2。 0100011 FastDSP チャンネル 3。 0100100 FastDSP チャンネル 4。 0100101 FastDSP チャンネル 5。 0100110 FastDSP チャンネル 6。 0100111 FastDSP チャンネル 7。 0101000 FastDSP チャンネル 8。 0101001 FastDSP チャンネル 9。 0101010 FastDSP チャンネル 10。 0101011 FastDSP チャンネル 11。 0101100 FastDSP チャンネル 12。 0101101 FastDSP チャンネル 13。 0101110 FastDSP チャンネル 14。 0101111 FastDSP チャンネル 15。 0110000 SigmaDSP チャンネル 0。 0110001 SigmaDSP チャンネル 1。 0110010 SigmaDSP チャンネル 2。 0110011 SigmaDSP チャンネル 3。 0110100 SigmaDSP チャンネル 4。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		0110101	SigmaDSP チャンネル 5。		
		0110110	SigmaDSP チャンネル 6。		
		0110111	SigmaDSP チャンネル 7。		
		0111000	SigmaDSP チャンネル 8。		
		0111001	SigmaDSP チャンネル 9。		
		0111010	SigmaDSP チャンネル 10。		
		0111011	SigmaDSP チャンネル 11。		
		0111100	SigmaDSP チャンネル 12。		
		0111101	SigmaDSP チャンネル 13。		
		0111110	SigmaDSP チャンネル 14。		
		0111111	SigmaDSP チャンネル 15。		
		1000000	入力 ASRC チャンネル 0。		
		1000001	入力 ASRC チャンネル 1。		
		1000010	入力 ASRC チャンネル 2。		
		1000011	入力 ASRC チャンネル 3。		
		1000100	ADC チャンネル 0。		
		1000101	ADC チャンネル 1。		
		1001000	デジタル・マイクロフォン・チャンネル 0。		
		1001001	デジタル・マイクロフォン・チャンネル 1。		
		1001010	デジタル・マイクロフォン・チャンネル 2。		
		1001011	デジタル・マイクロフォン・チャンネル 3。		

ヘッドフォン・コントロール・レジスタ

アドレス : 0xC040、リセット : 0x00、レジスタ名 : HP_CTRL

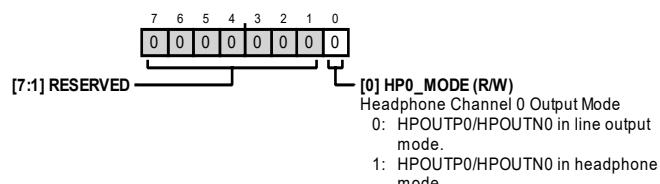


表 88. HP_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:1]	RESERVED		予備。	0x0	R
0	HP0_MODE	0	ヘッドフォン・チャンネル 0 の出力モード。 HPOUTP0/HPOUTN0 はライン出力モード。	0x0	R/W
		1	HPOUTP0/HPOUTN0 はヘッドフォン・モード。		

高速から低速へのデシメータ・サンプル・レート・チャンネル0およびチャンネル1レジスタ

アドレス: 0xC041、リセット: 0x25、レジスタ名: FDEC_CTRL1

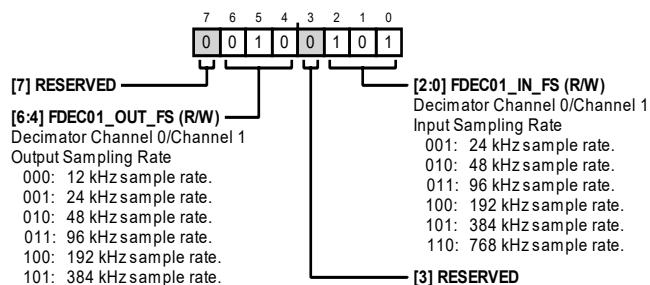


表 89. FDEC_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:4]	FDEC01_OUT_FS	000 001 010 011 100 101	デシメータ・チャンネル0/チャンネル1の出力サンプリング・レート。 12kHzのサンプル・レート。 24kHzのサンプル・レート。 48kHzのサンプル・レート。 96kHzのサンプル・レート。 192kHzのサンプル・レート。 384kHzのサンプル・レート。	0x2	R/W
3	RESERVED		予備。	0x0	R
[2:0]	FDEC01_IN_FS	001 010 011 100 101 110	デシメータ・チャンネル0/チャンネル1の入力サンプリング・レート。 24kHzのサンプル・レート。 48kHzのサンプル・レート。 96kHzのサンプル・レート。 192kHzのサンプル・レート。 384kHzのサンプル・レート。 768kHzのサンプル・レート。	0x5	R/W

高速から低速へのデシメータ・サンプル・レート・チャンネル2およびチャンネル3レジスタ

アドレス: 0xC042、リセット: 0x25、レジスタ名: FDEC_CTRL2

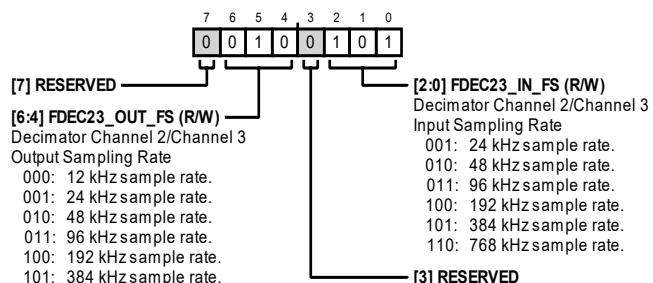


表 90. FDEC_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:4]	FDEC23_OUT_FS	000 001 010 011 100 101	デシメータ・チャンネル2/チャンネル3の出力サンプリング・レート。 12kHzのサンプル・レート。 24kHzのサンプル・レート。 48kHzのサンプル・レート。 96kHzのサンプル・レート。 192kHzのサンプル・レート。 384kHzのサンプル・レート。	0x2	R/W
3	RESERVED		予備。	0x0	R
[2:0]	FDEC23_IN_FS	001 010 011 100 101 110	デシメータ・チャンネル2/チャンネル3の入力サンプリング・レート。 24kHzのサンプル・レート。 48kHzのサンプル・レート。 96kHzのサンプル・レート。 192kHzのサンプル・レート。 384kHzのサンプル・レート。 768kHzのサンプル・レート。	0x5	R/W

高速から低速へのデシメータ・サンプル・レート・チャンネル4およびチャンネル5レジスタ

アドレス: 0xC043、リセット: 0x25、レジスタ名: FDEC_CTRL3

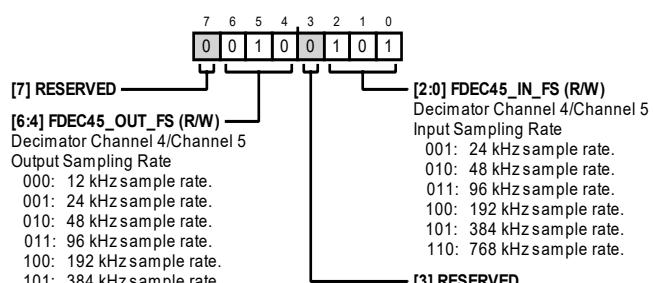


表 91. FDEC_CTRL3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:4]	FDEC45_OUT_FS	000 001 010 011 100 101	デシメータ・チャンネル4/チャンネル5の出力サンプリング・レート。 12kHzのサンプル・レート。 24kHzのサンプル・レート。 48kHzのサンプル・レート。 96kHzのサンプル・レート。 192kHzのサンプル・レート。 384kHzのサンプル・レート。	0x2	R/W

ビット	ビット名	設定	説明	リセット	アクセス
3	RESERVED		予備。	0x0	R
[2:0]	FDEC45_IN_FS		デシメータ・チャンネル4/チャンネル5の入力サンプリング・レート。 001: 24kHzのサンプル・レート。 010: 48kHzのサンプル・レート。 011: 96kHzのサンプル・レート。 100: 192kHzのサンプル・レート。 101: 384kHzのサンプル・レート。 110: 768kHzのサンプル・レート。	0x5	R/W

高速から低速へのデシメータ・サンプル・レート・チャンネル6およびチャンネル7レジスタ

アドレス: 0xC044、リセット: 0x25、レジスタ名: FDEC_CTRL4

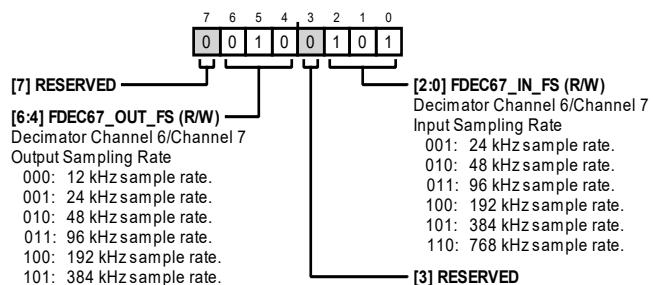


表 92. FDEC_CTRL4 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:4]	FDEC67_OUT_FS		デシメータ・チャンネル6/チャンネル7の出力サンプリング・レート。 000: 12kHzのサンプル・レート。 001: 24kHzのサンプル・レート。 010: 48kHzのサンプル・レート。 011: 96kHzのサンプル・レート。 100: 192kHzのサンプル・レート。 101: 384kHzのサンプル・レート。	0x2	R/W
3	RESERVED		予備。	0x0	R
[2:0]	FDEC67_IN_FS		デシメータ・チャンネル6/チャンネル7の入力サンプリング・レート。 001: 24kHzのサンプル・レート。 010: 48kHzのサンプル・レート。 011: 96kHzのサンプル・レート。 100: 192kHzのサンプル・レート。 101: 384kHzのサンプル・レート。 110: 768kHzのサンプル・レート。	0x5	R/W

高速から低速へのデシメータ・チャンネル0入力ルーティング・レジスタ

アドレス: 0xC045、リセット: 0x00、レジスタ名: FDEC_ROUTE0

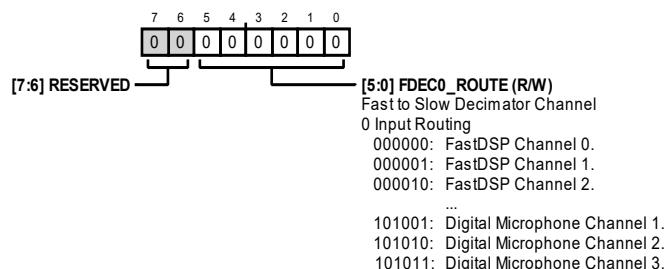


表 93. FDEC_ROUTE0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDEC0_ROUTE		高速から低速へのデシメータ・チャンネル0の入力ルーティング。 00000: FastDSP チャンネル0。 00001: FastDSP チャンネル1。 00010: FastDSP チャンネル2。 00011: FastDSP チャンネル3。 000100: FastDSP チャンネル4。 000101: FastDSP チャンネル5。 000110: FastDSP チャンネル6。 000111: FastDSP チャンネル7。 001000: FastDSP チャンネル8。 001001: FastDSP チャンネル9。 001010: FastDSP チャンネル10。 001011: FastDSP チャンネル11。 001100: FastDSP チャンネル12。 001101: FastDSP チャンネル13。 001110: FastDSP チャンネル14。 001111: FastDSP チャンネル15。 010000: SigmaDSP チャンネル0。 010001: SigmaDSP チャンネル1。 010010: SigmaDSP チャンネル2。 010011: SigmaDSP チャンネル3。 010100: SigmaDSP チャンネル4。 010101: SigmaDSP チャンネル5。 010110: SigmaDSP チャンネル6。 010111: SigmaDSP チャンネル7。 011000: SigmaDSP チャンネル8。 011001: SigmaDSP チャンネル9。 011010: SigmaDSP チャンネル10。 011011: SigmaDSP チャンネル11。 011100: SigmaDSP チャンネル12。 011101: SigmaDSP チャンネル13。 011110: SigmaDSP チャンネル14。 011111: SigmaDSP チャンネル15。 100000: 入力 ASRC チャンネル0。 100001: 入力 ASRC チャンネル1。 100010: 入力 ASRC チャンネル2。 100011: 入力 ASRC チャンネル3。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		

高速から低速へのデシメータ・チャンネル 1 入力ルーティング・レジスタ

アドレス : 0xC046、リセット : 0x00、レジスタ名 : FDEC_ROUTE1

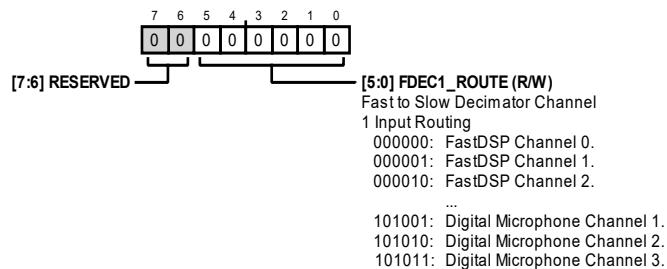


表 94. FDEC_ROUTE1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDEC1_ROUTE		高速から低速へのデシメータ・チャンネル 1 の入力ルーティング。	0x0	R/W
		000000	FastDSP チャンネル 0。		
		000001	FastDSP チャンネル 1。		
		000010	FastDSP チャンネル 2。		
		000011	FastDSP チャンネル 3。		
		000100	FastDSP チャンネル 4。		
		000101	FastDSP チャンネル 5。		
		000110	FastDSP チャンネル 6。		
		000111	FastDSP チャンネル 7。		
		001000	FastDSP チャンネル 8。		
		001001	FastDSP チャンネル 9。		
		001010	FastDSP チャンネル 10。		
		001011	FastDSP チャンネル 11。		
		001100	FastDSP チャンネル 12。		
		001101	FastDSP チャンネル 13。		
		001110	FastDSP チャンネル 14。		
		001111	FastDSP チャンネル 15。		
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		

ビット	ビット名	設定	説明	リセット	アクセス
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	入力 ASRC チャンネル 0。		
		100001	入力 ASRC チャンネル 1。		
		100010	入力 ASRC チャンネル 2。		
		100011	入力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		

高速から低速へのデシメータ・チャンネル 2 入力ルーティング・レジスタ

アドレス : 0xC047、リセット : 0x00、レジスタ名 : FDEC_ROUTE2

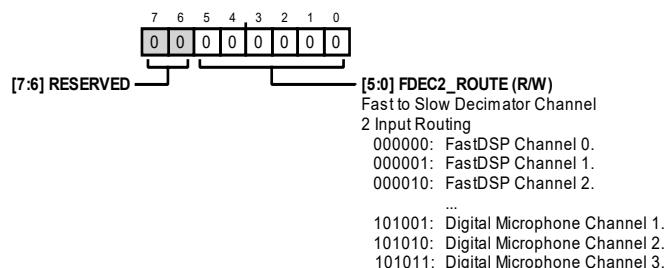


表 95. FDEC_ROUTE2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDEC2_ROUTE		高速から低速へのデシメータ・チャンネル 2 の入力ルーティング。	0x0	R/W
		000000	FastDSP チャンネル 0。		
		000001	FastDSP チャンネル 1。		
		000010	FastDSP チャンネル 2。		
		000011	FastDSP チャンネル 3。		
		000100	FastDSP チャンネル 4。		
		000101	FastDSP チャンネル 5。		
		000110	FastDSP チャンネル 6。		
		000111	FastDSP チャンネル 7。		
		001000	FastDSP チャンネル 8。		
		001001	FastDSP チャンネル 9。		
		001010	FastDSP チャンネル 10。		
		001011	FastDSP チャンネル 11。		
		001100	FastDSP チャンネル 12。		
		001101	FastDSP チャンネル 13。		
		001110	FastDSP チャンネル 14。		
		001111	FastDSP チャンネル 15。		

ビット	ビット名	設定	説明	リセット	アクセス
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	入力 ASRC チャンネル 0。		
		100001	入力 ASRC チャンネル 1。		
		100010	入力 ASRC チャンネル 2。		
		100011	入力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		

高速から低速へのデシメータ・チャンネル 3 入力ルーティング・レジスタ

アドレス : 0xC048、リセット : 0x00、レジスタ名 : FDEC_ROUTE3

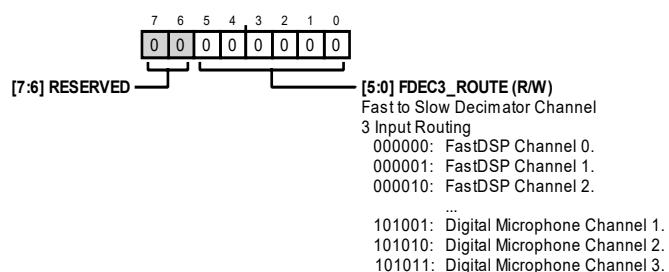


表 96. FDEC_ROUTE3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDEC3_ROUTE	000000 000001 000010 000011 000100	高速から低速へのデシメータ・チャンネル 3 の入力ルーティング。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		000101	FastDSP チャンネル 5。		
		000110	FastDSP チャンネル 6。		
		000111	FastDSP チャンネル 7。		
		001000	FastDSP チャンネル 8。		
		001001	FastDSP チャンネル 9。		
		001010	FastDSP チャンネル 10。		
		001011	FastDSP チャンネル 11。		
		001100	FastDSP チャンネル 12。		
		001101	FastDSP チャンネル 13。		
		001110	FastDSP チャンネル 14。		
		001111	FastDSP チャンネル 15。		
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	入力 ASRC チャンネル 0。		
		100001	入力 ASRC チャンネル 1。		
		100010	入力 ASRC チャンネル 2。		
		100011	入力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		

高速から低速へのデシメータ・チャンネル4入力ルーティング・レジスタ

アドレス: 0xC049、リセット: 0x00、レジスタ名: FDEC_ROUTE4

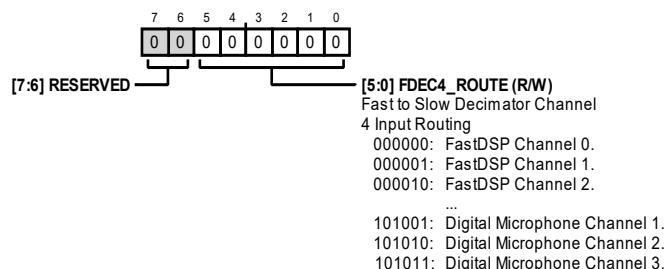


表 97. FDEC_ROUTE4 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDEC4_ROUTE		高速から低速へのデシメータ・チャンネル4の入力ルーティング。 000000: FastDSP チャンネル 0。 000001: FastDSP チャンネル 1。 000010: FastDSP チャンネル 2。 000011: FastDSP チャンネル 3。 000100: FastDSP チャンネル 4。 000101: FastDSP チャンネル 5。 000110: FastDSP チャンネル 6。 000111: FastDSP チャンネル 7。 001000: FastDSP チャンネル 8。 001001: FastDSP チャンネル 9。 001010: FastDSP チャンネル 10。 001011: FastDSP チャンネル 11。 001100: FastDSP チャンネル 12。 001101: FastDSP チャンネル 13。 001110: FastDSP チャンネル 14。 001111: FastDSP チャンネル 15。 010000: SigmaDSP チャンネル 0。 010001: SigmaDSP チャンネル 1。 010010: SigmaDSP チャンネル 2。 010011: SigmaDSP チャンネル 3。 010100: SigmaDSP チャンネル 4。 010101: SigmaDSP チャンネル 5。 010110: SigmaDSP チャンネル 6。 010111: SigmaDSP チャンネル 7。 011000: SigmaDSP チャンネル 8。 011001: SigmaDSP チャンネル 9。 011010: SigmaDSP チャンネル 10。 011011: SigmaDSP チャンネル 11。 011100: SigmaDSP チャンネル 12。 011101: SigmaDSP チャンネル 13。 011110: SigmaDSP チャンネル 14。 011111: SigmaDSP チャンネル 15。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100000	入力 ASRC チャンネル 0。		
		100001	入力 ASRC チャンネル 1。		
		100010	入力 ASRC チャンネル 2。		
		100011	入力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		

高速から低速へのデシメータ・チャンネル 5 入力ルーティング・レジスタ

アドレス : 0xC04A、リセット : 0x00、レジスタ名 : FDEC_ROUTE5

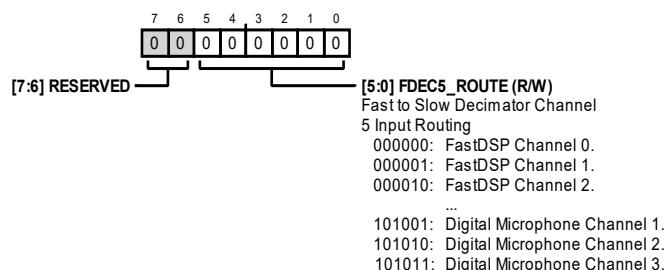


表 98. FDEC_ROUTE5 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDEC5_ROUTE		高速から低速へのデシメータ・チャンネル 5 の入力ルーティング。	0x0	R/W
		000000	FastDSP チャンネル 0。		
		000001	FastDSP チャンネル 1。		
		000010	FastDSP チャンネル 2。		
		000011	FastDSP チャンネル 3。		
		000100	FastDSP チャンネル 4。		
		000101	FastDSP チャンネル 5。		
		000110	FastDSP チャンネル 6。		
		000111	FastDSP チャンネル 7。		
		001000	FastDSP チャンネル 8。		
		001001	FastDSP チャンネル 9。		
		001010	FastDSP チャンネル 10。		
		001011	FastDSP チャンネル 11。		
		001100	FastDSP チャンネル 12。		
		001101	FastDSP チャンネル 13。		
		001110	FastDSP チャンネル 14。		
		001111	FastDSP チャンネル 15。		
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		

ビット	ビット名	設定	説明	リセット	アクセス
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	入力 ASRC チャンネル 0。		
		100001	入力 ASRC チャンネル 1。		
		100010	入力 ASRC チャンネル 2。		
		100011	入力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		

高速から低速へのデシメータ・チャンネル 6 入力ルーティング・レジスタ

アドレス : 0xC04B、リセット : 0x00、レジスタ名 : FDEC_ROUTE6

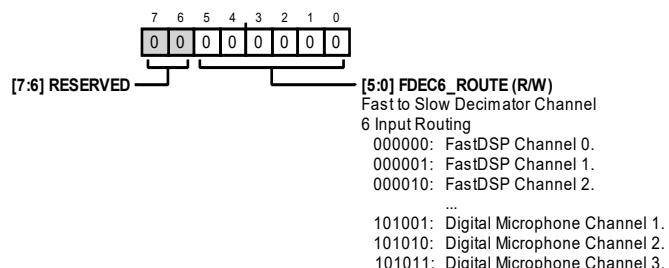


表 99. FDEC_ROUTE6 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDEC6_ROUTE		高速から低速へのデシメータ・チャンネル 6 の入力ルーティング。	0x0	R/W
		000000	FastDSP チャンネル 0。		
		000001	FastDSP チャンネル 1。		
		000010	FastDSP チャンネル 2。		
		000011	FastDSP チャンネル 3。		
		000100	FastDSP チャンネル 4。		
		000101	FastDSP チャンネル 5。		
		000110	FastDSP チャンネル 6。		
		000111	FastDSP チャンネル 7。		
		001000	FastDSP チャンネル 8。		
		001001	FastDSP チャンネル 9。		
		001010	FastDSP チャンネル 10。		
		001011	FastDSP チャンネル 11。		

ビット	ビット名	設定	説明	リセット	アクセス
		001100	FastDSP チャンネル 12。		
		001101	FastDSP チャンネル 13。		
		001110	FastDSP チャンネル 14。		
		001111	FastDSP チャンネル 15。		
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	入力 ASRC チャンネル 0。		
		100001	入力 ASRC チャンネル 1。		
		100010	入力 ASRC チャンネル 2。		
		100011	入力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		

高速から低速へのデシメータ・チャンネル7入力ルーティング・レジスタ

アドレス: 0xC04C、リセット: 0x00、レジスタ名: FDEC_ROUTE7

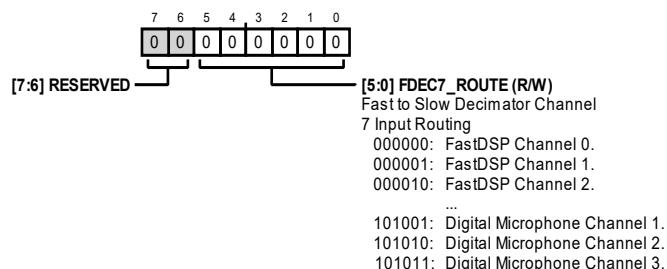


表 100. FDEC_ROUTE7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDEC7_ROUTE		高速から低速へのデシメータ・チャンネル7の入力ルーティング。 FastDSP チャンネル 0. FastDSP チャンネル 1. FastDSP チャンネル 2. FastDSP チャンネル 3. FastDSP チャンネル 4. FastDSP チャンネル 5. FastDSP チャンネル 6. FastDSP チャンネル 7. FastDSP チャンネル 8. FastDSP チャンネル 9. FastDSP チャンネル 10. FastDSP チャンネル 11. FastDSP チャンネル 12. FastDSP チャンネル 13. FastDSP チャンネル 14. FastDSP チャンネル 15. SigmaDSP チャンネル 0. SigmaDSP チャンネル 1. SigmaDSP チャンネル 2. SigmaDSP チャンネル 3. SigmaDSP チャンネル 4. SigmaDSP チャンネル 5. SigmaDSP チャンネル 6. SigmaDSP チャンネル 7. SigmaDSP チャンネル 8. SigmaDSP チャンネル 9. SigmaDSP チャンネル 10. SigmaDSP チャンネル 11. SigmaDSP チャンネル 12. SigmaDSP チャンネル 13. SigmaDSP チャンネル 14. SigmaDSP チャンネル 15.	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100000	入力 ASRC チャンネル 0。		
		100001	入力 ASRC チャンネル 1。		
		100010	入力 ASRC チャンネル 2。		
		100011	入力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		

低速から高速へのインターポレータ・サンプル・レート・チャンネル 0／チャンネル 1 レジスタ

アドレス : 0xC04D、リセット : 0x52、レジスタ名 : FINT_CTRL1

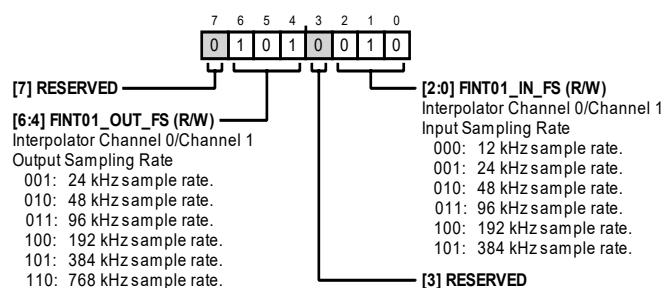


表 101. FINT_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:4]	FINT01_OUT_FS		インターポレータ・チャンネル 0／チャンネル 1 の出力サンプリング・レート。 001: 24kHz のサンプル・レート。 010: 48kHz のサンプル・レート。 011: 96kHz のサンプル・レート。 100: 192kHz のサンプル・レート。 101: 384kHz のサンプル・レート。 110: 768kHz のサンプル・レート。	0x5	R/W
3	RESERVED		予備。	0x0	R
[2:0]	FINT01_IN_FS		インターポレータ・チャンネル 0／チャンネル 1 の入力サンプリング・レート。 000: 12kHz のサンプル・レート。 001: 24kHz のサンプル・レート。 010: 48kHz のサンプル・レート。 011: 96kHz のサンプル・レート。 100: 192kHz のサンプル・レート。 101: 384kHz のサンプル・レート。	0x2	R/W

低速から高速へのインターポレータ・サンプル・レート・チャンネル2／チャンネル3レジスタ

アドレス: 0xC04E、リセット: 0x52、レジスタ名: FINT_CTRL2

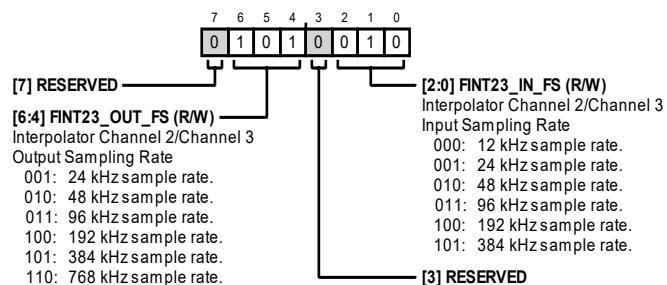


表 102. FINT_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:4]	FINT23_OUT_FS		インターポレータ・チャンネル2／チャンネル3の出力サンプリング・レート。 001: 24kHzのサンプル・レート。 010: 48kHzのサンプル・レート。 011: 96kHzのサンプル・レート。 100: 192kHzのサンプル・レート。 101: 384kHzのサンプル・レート。 110: 768kHzのサンプル・レート。	0x5	R/W
3	RESERVED		予備。	0x0	R
[2:0]	FINT23_IN_FS		インターポレータ・チャンネル2／チャンネル3の入力サンプリング・レート。 000: 12kHzのサンプル・レート。 001: 24kHzのサンプル・レート。 010: 48kHzのサンプル・レート。 011: 96kHzのサンプル・レート。 100: 192kHzのサンプル・レート。 101: 384kHzのサンプル・レート。	0x2	R/W

低速から高速へのインターポレータ・サンプル・レート・チャンネル4／チャンネル5レジスタ

アドレス: 0xC04F、リセット: 0x52、レジスタ名: FINT_CTRL3

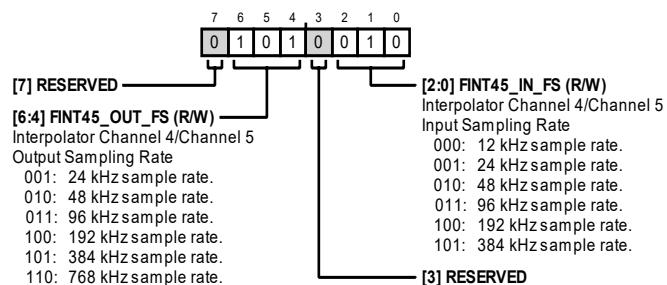


表 103. FINT_CTRL3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:4]	FINT45_OUT_FS	001 010 011 100 101 110	インターポレータ・チャンネル4／チャンネル5の出力サンプリング・レート。 24kHzのサンプル・レート。 48kHzのサンプル・レート。 96kHzのサンプル・レート。 192kHzのサンプル・レート。 384kHzのサンプル・レート。 768kHzのサンプル・レート。	0x5	R/W
3	RESERVED		予備。	0x0	R
[2:0]	FINT45_IN_FS	000 001 010 011 100 101	インターポレータ・チャンネル4／チャンネル5の入力サンプリング・レート。 12kHzのサンプル・レート。 24kHzのサンプル・レート。 48kHzのサンプル・レート。 96kHzのサンプル・レート。 192kHzのサンプル・レート。 384kHzのサンプル・レート。	0x2	R/W

低速から高速へのインターポレータ・サンプル・レート・チャンネル6／チャンネル7レジスタ

アドレス: 0xC050、リセット: 0x52、レジスタ名: FINT_CTRL4

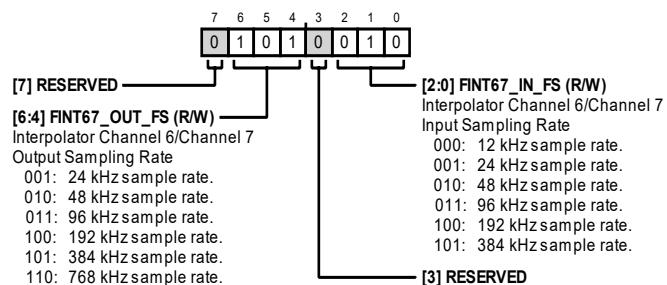


表 104. FINT_CTRL4 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:4]	FINT67_OUT_FS		インターポレータ・チャンネル6／チャンネル7の出力サンプリング・レート。 001: 24kHz のサンプル・レート。 010: 48kHz のサンプル・レート。 011: 96kHz のサンプル・レート。 100: 192kHz のサンプル・レート。 101: 384kHz のサンプル・レート。 110: 768kHz のサンプル・レート。	0x5	R/W
3	RESERVED		予備。	0x0	R
[2:0]	FINT67_IN_FS		インターポレータ・チャンネル6／チャンネル7の入力サンプリング・レート。 000: 12kHz のサンプル・レート。 001: 24kHz のサンプル・レート。 010: 48kHz のサンプル・レート。 011: 96kHz のサンプル・レート。 100: 192kHz のサンプル・レート。 101: 384kHz のサンプル・レート。	0x2	R/W

低速から高速へのインターポレータ・チャンネル0入力ルーティング・レジスタ

アドレス: 0xC051、リセット: 0x00、レジスタ名: FINT_ROUTE0

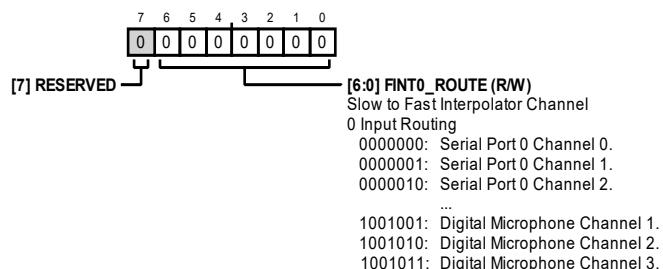


表 105. FINT_ROUTE0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	FINT0_ROUTE		低速から高速へのインターポレータ・チャンネル0の入力ルーティング。	0x0	R/W
		0000000	シリアル・ポート0のチャンネル0。		
		0000001	シリアル・ポート0のチャンネル1。		
		0000010	シリアル・ポート0のチャンネル2。		
		0000011	シリアル・ポート0のチャンネル3。		
		0000100	シリアル・ポート0のチャンネル4。		
		0000101	シリアル・ポート0のチャンネル5。		
		0000110	シリアル・ポート0のチャンネル6。		
		0000111	シリアル・ポート0のチャンネル7。		
		0001000	シリアル・ポート0のチャンネル8。		
		0001001	シリアル・ポート0のチャンネル9。		
		0001010	シリアル・ポート0のチャンネル10。		
		0001011	シリアル・ポート0のチャンネル11。		
		0001100	シリアル・ポート0のチャンネル12。		
		0001101	シリアル・ポート0のチャンネル13。		
		0001110	シリアル・ポート0のチャンネル14。		
		0001111	シリアル・ポート0のチャンネル15。		
		0100000	FastDSP チャンネル0。		
		0100001	FastDSP チャンネル1。		
		0100010	FastDSP チャンネル2。		
		0100011	FastDSP チャンネル3。		
		0100100	FastDSP チャンネル4。		
		0100101	FastDSP チャンネル5。		
		0100110	FastDSP チャンネル6。		
		0100111	FastDSP チャンネル7。		
		0101000	FastDSP チャンネル8。		
		0101001	FastDSP チャンネル9。		
		0101010	FastDSP チャンネル10。		
		0101011	FastDSP チャンネル11。		
		0101100	FastDSP チャンネル12。		
		0101101	FastDSP チャンネル13。		
		0101110	FastDSP チャンネル14。		
		0101111	FastDSP チャンネル15。		

ビット	ビット名	設定	説明	リセット	アクセス
		0110000	SigmaDSP チャンネル 0。		
		0110001	SigmaDSP チャンネル 1。		
		0110010	SigmaDSP チャンネル 2。		
		0110011	SigmaDSP チャンネル 3。		
		0110100	SigmaDSP チャンネル 4。		
		0110101	SigmaDSP チャンネル 5。		
		0110110	SigmaDSP チャンネル 6。		
		0110111	SigmaDSP チャンネル 7。		
		0111000	SigmaDSP チャンネル 8。		
		0111001	SigmaDSP チャンネル 9。		
		0111010	SigmaDSP チャンネル 10。		
		0111011	SigmaDSP チャンネル 11。		
		0111100	SigmaDSP チャンネル 12。		
		0111101	SigmaDSP チャンネル 13。		
		0111110	SigmaDSP チャンネル 14。		
		0111111	SigmaDSP チャンネル 15。		
		1000000	入力 ASRC チャンネル 0。		
		1000001	入力 ASRC チャンネル 1。		
		1000010	入力 ASRC チャンネル 2。		
		1000011	入力 ASRC チャンネル 3。		
		1000100	ADC チャンネル 0。		
		1000101	ADC チャンネル 1。		
		1001000	デジタル・マイクロフォン・チャンネル 0。		
		1001001	デジタル・マイクロフォン・チャンネル 1。		
		1001010	デジタル・マイクロフォン・チャンネル 2。		
		1001011	デジタル・マイクロフォン・チャンネル 3。		

低速から高速へのインターポレータ・チャンネル1入力ルーティング・レジスタ

アドレス: 0xC052、リセット: 0x00、レジスタ名: FINT_ROUTE1

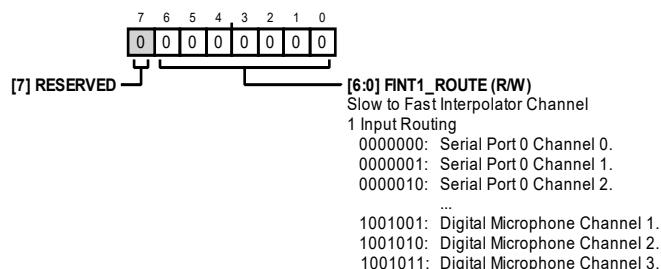


表 106. FINT_ROUTE1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	FINT1_ROUTE		<p>低速から高速へのインターポレータ・チャンネル1の入力ルーティング。</p> <p>0000000 シリアル・ポート0のチャンネル0。 0000001 シリアル・ポート0のチャンネル1。 0000010 シリアル・ポート0のチャンネル2。 0000011 シリアル・ポート0のチャンネル3。 0000100 シリアル・ポート0のチャンネル4。 0000101 シリアル・ポート0のチャンネル5。 0000110 シリアル・ポート0のチャンネル6。 0000111 シリアル・ポート0のチャンネル7。 0001000 シリアル・ポート0のチャンネル8。 0001001 シリアル・ポート0のチャンネル9。 0001010 シリアル・ポート0のチャンネル10。 0001011 シリアル・ポート0のチャンネル11。 0001100 シリアル・ポート0のチャンネル12。 0001101 シリアル・ポート0のチャンネル13。 0001110 シリアル・ポート0のチャンネル14。 0001111 シリアル・ポート0のチャンネル15。 0100000 FastDSPチャンネル0。 0100001 FastDSPチャンネル1。 0100010 FastDSPチャンネル2。 0100011 FastDSPチャンネル3。 0100100 FastDSPチャンネル4。 0100101 FastDSPチャンネル5。 0100110 FastDSPチャンネル6。 0100111 FastDSPチャンネル7。 0101000 FastDSPチャンネル8。 0101001 FastDSPチャンネル9。 0101010 FastDSPチャンネル10。 0101011 FastDSPチャンネル11。 0101100 FastDSPチャンネル12。 0101101 FastDSPチャンネル13。 0101110 FastDSPチャンネル14。 0101111 FastDSPチャンネル15。</p>	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		0110000	SigmaDSP チャンネル 0。		
		0110001	SigmaDSP チャンネル 1。		
		0110010	SigmaDSP チャンネル 2。		
		0110011	SigmaDSP チャンネル 3。		
		0110100	SigmaDSP チャンネル 4。		
		0110101	SigmaDSP チャンネル 5。		
		0110110	SigmaDSP チャンネル 6。		
		0110111	SigmaDSP チャンネル 7。		
		0111000	SigmaDSP チャンネル 8。		
		0111001	SigmaDSP チャンネル 9。		
		0111010	SigmaDSP チャンネル 10。		
		0111011	SigmaDSP チャンネル 11。		
		0111100	SigmaDSP チャンネル 12。		
		0111101	SigmaDSP チャンネル 13。		
		0111110	SigmaDSP チャンネル 14。		
		0111111	SigmaDSP チャンネル 15。		
		1000000	入力 ASRC チャンネル 0。		
		1000001	入力 ASRC チャンネル 1。		
		1000010	入力 ASRC チャンネル 2。		
		1000011	入力 ASRC チャンネル 3。		
		1000100	ADC チャンネル 0。		
		1000101	ADC チャンネル 1。		
		1001000	デジタル・マイクロフォン・チャンネル 0。		
		1001001	デジタル・マイクロフォン・チャンネル 1。		
		1001010	デジタル・マイクロフォン・チャンネル 2。		
		1001011	デジタル・マイクロフォン・チャンネル 3。		

低速から高速へのインターポレータ・チャンネル 2 入力ルーティング・レジスタ

アドレス : 0xC053、リセット : 0x00、レジスタ名 : FINT_ROUTE2

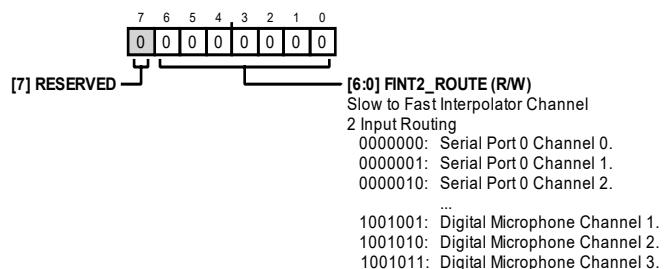


表 107. FINT_ROUTE2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	FINT2_ROUTE		低速から高速へのインターポレータ・チャンネル 2 の入力ルーティング。 0000000 シリアル・ポート 0 のチャンネル 0。 0000001 シリアル・ポート 0 のチャンネル 1。 0000010 シリアル・ポート 0 のチャンネル 2。 0000011 シリアル・ポート 0 のチャンネル 3。 0000100 シリアル・ポート 0 のチャンネル 4。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		0000101	シリアル・ポート 0 のチャンネル 5。		
		0000110	シリアル・ポート 0 のチャンネル 6。		
		0000111	シリアル・ポート 0 のチャンネル 7。		
		0001000	シリアル・ポート 0 のチャンネル 8。		
		0001001	シリアル・ポート 0 のチャンネル 9。		
		0001010	シリアル・ポート 0 のチャンネル 10。		
		0001011	シリアル・ポート 0 のチャンネル 11。		
		0001100	シリアル・ポート 0 のチャンネル 12。		
		0001101	シリアル・ポート 0 のチャンネル 13。		
		0001110	シリアル・ポート 0 のチャンネル 14。		
		0001111	シリアル・ポート 0 のチャンネル 15。		
		0100000	FastDSP チャンネル 0。		
		0100001	FastDSP チャンネル 1。		
		0100010	FastDSP チャンネル 2。		
		0100011	FastDSP チャンネル 3。		
		0100100	FastDSP チャンネル 4。		
		0100101	FastDSP チャンネル 5。		
		0100110	FastDSP チャンネル 6。		
		0100111	FastDSP チャンネル 7。		
		0101000	FastDSP チャンネル 8。		
		0101001	FastDSP チャンネル 9。		
		0101010	FastDSP チャンネル 10。		
		0101011	FastDSP チャンネル 11。		
		0101100	FastDSP チャンネル 12。		
		0101101	FastDSP チャンネル 13。		
		0101110	FastDSP チャンネル 14。		
		0101111	FastDSP チャンネル 15。		
		0110000	SigmaDSP チャンネル 0。		
		0110001	SigmaDSP チャンネル 1。		
		0110010	SigmaDSP チャンネル 2。		
		0110011	SigmaDSP チャンネル 3。		
		0110100	SigmaDSP チャンネル 4。		
		0110101	SigmaDSP チャンネル 5。		
		0110110	SigmaDSP チャンネル 6。		
		0110111	SigmaDSP チャンネル 7。		
		0111000	SigmaDSP チャンネル 8。		
		0111001	SigmaDSP チャンネル 9。		
		0111010	SigmaDSP チャンネル 10。		
		0111011	SigmaDSP チャンネル 11。		
		0111100	SigmaDSP チャンネル 12。		
		0111101	SigmaDSP チャンネル 13。		
		0111110	SigmaDSP チャンネル 14。		
		0111111	SigmaDSP チャンネル 15。		
		1000000	入力 ASRC チャンネル 0。		
		1000001	入力 ASRC チャンネル 1。		
		1000010	入力 ASRC チャンネル 2。		
		1000011	入力 ASRC チャンネル 3。		

ビット	ビット名	設定	説明	リセット	アクセス
		1000100	ADC チャンネル 0。		
		1000101	ADC チャンネル 1。		
		1001000	デジタル・マイクロフォン・チャンネル 0。		
		1001001	デジタル・マイクロフォン・チャンネル 1。		
		1001010	デジタル・マイクロフォン・チャンネル 2。		
		1001011	デジタル・マイクロフォン・チャンネル 3。		

低速から高速へのインターポレータ・チャンネル 3 入力ルーティング・レジスタ

アドレス : 0xC054、リセット : 0x00、レジスタ名 : FINT_ROUTE3

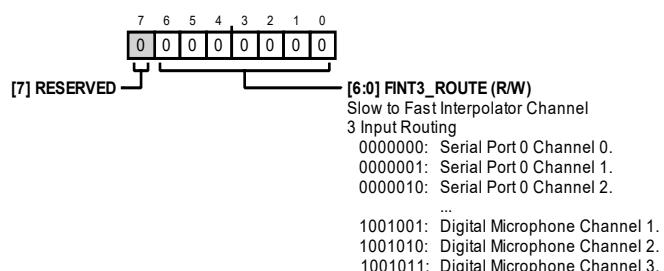


表 108. FINT_ROUTE3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	FINT3_ROUTE		<p>低速から高速へのインターポレータ・チャンネル 3 の入力ルーティング。</p> <p>シリアル・ポート 0 のチャンネル 0。</p> <p>シリアル・ポート 0 のチャンネル 1。</p> <p>シリアル・ポート 0 のチャンネル 2。</p> <p>シリアル・ポート 0 のチャンネル 3。</p> <p>シリアル・ポート 0 のチャンネル 4。</p> <p>シリアル・ポート 0 のチャンネル 5。</p> <p>シリアル・ポート 0 のチャンネル 6。</p> <p>シリアル・ポート 0 のチャンネル 7。</p> <p>シリアル・ポート 0 のチャンネル 8。</p> <p>シリアル・ポート 0 のチャンネル 9。</p> <p>シリアル・ポート 0 のチャンネル 10。</p> <p>シリアル・ポート 0 のチャンネル 11。</p> <p>シリアル・ポート 0 のチャンネル 12。</p> <p>シリアル・ポート 0 のチャンネル 13。</p> <p>シリアル・ポート 0 のチャンネル 14。</p> <p>シリアル・ポート 0 のチャンネル 15。</p> <p>FastDSP チャンネル 0。</p> <p>FastDSP チャンネル 1。</p> <p>FastDSP チャンネル 2。</p> <p>FastDSP チャンネル 3。</p> <p>FastDSP チャンネル 4。</p> <p>FastDSP チャンネル 5。</p> <p>FastDSP チャンネル 6。</p>	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		0100111	FastDSP チャンネル 7。		
		0101000	FastDSP チャンネル 8。		
		0101001	FastDSP チャンネル 9。		
		0101010	FastDSP チャンネル 10。		
		0101011	FastDSP チャンネル 11。		
		0101100	FastDSP チャンネル 12。		
		0101101	FastDSP チャンネル 13。		
		0101110	FastDSP チャンネル 14。		
		0101111	FastDSP チャンネル 15。		
		0110000	SigmaDSP チャンネル 0。		
		0110001	SigmaDSP チャンネル 1。		
		0110010	SigmaDSP チャンネル 2。		
		0110011	SigmaDSP チャンネル 3。		
		0110100	SigmaDSP チャンネル 4。		
		0110101	SigmaDSP チャンネル 5。		
		0110110	SigmaDSP チャンネル 6。		
		0110111	SigmaDSP チャンネル 7。		
		0111000	SigmaDSP チャンネル 8。		
		0111001	SigmaDSP チャンネル 9。		
		0111010	SigmaDSP チャンネル 10。		
		0111011	SigmaDSP チャンネル 11。		
		0111100	SigmaDSP チャンネル 12。		
		0111101	SigmaDSP チャンネル 13。		
		0111110	SigmaDSP チャンネル 14。		
		0111111	SigmaDSP チャンネル 15。		
		1000000	入力 ASRC チャンネル 0。		
		1000001	入力 ASRC チャンネル 1。		
		1000010	入力 ASRC チャンネル 2。		
		1000011	入力 ASRC チャンネル 3。		
		1000100	ADC チャンネル 0。		
		1000101	ADC チャンネル 1。		
		1001000	デジタル・マイクロフォン・チャンネル 0。		
		1001001	デジタル・マイクロフォン・チャンネル 1。		
		1001010	デジタル・マイクロフォン・チャンネル 2。		
		1001011	デジタル・マイクロフォン・チャンネル 3。		

低速から高速へのインターポレータ・チャンネル4入力ルーティング・レジスタ

アドレス: 0xC055、リセット: 0x00、レジスタ名: FINT_ROUTE4

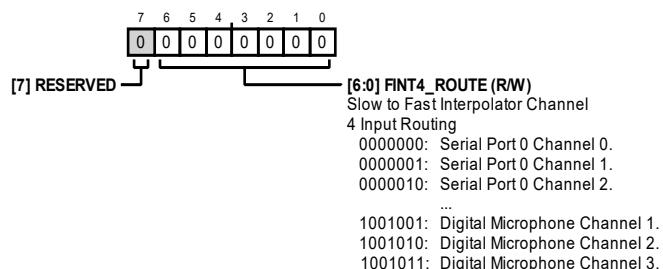


表 109. FINT_ROUTE4 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	FINT4_ROUTE		<p>低速から高速へのインターポレータ・チャンネル4の入力ルーティング。</p> <p>0000000 シリアル・ポート0のチャンネル0。 0000001 シリアル・ポート0のチャンネル1。 0000010 シリアル・ポート0のチャンネル2。 0000011 シリアル・ポート0のチャンネル3。 0000100 シリアル・ポート0のチャンネル4。 0000101 シリアル・ポート0のチャンネル5。 0000110 シリアル・ポート0のチャンネル6。 0000111 シリアル・ポート0のチャンネル7。 0001000 シリアル・ポート0のチャンネル8。 0001001 シリアル・ポート0のチャンネル9。 0001010 シリアル・ポート0のチャンネル10。 0001011 シリアル・ポート0のチャンネル11。 0001100 シリアル・ポート0のチャンネル12。 0001101 シリアル・ポート0のチャンネル13。 0001110 シリアル・ポート0のチャンネル14。 0001111 シリアル・ポート0のチャンネル15。 0100000 FastDSPチャンネル0。 0100001 FastDSPチャンネル1。 0100010 FastDSPチャンネル2。 0100011 FastDSPチャンネル3。 0100100 FastDSPチャンネル4。 0100101 FastDSPチャンネル5。 0100110 FastDSPチャンネル6。 0100111 FastDSPチャンネル7。 0101000 FastDSPチャンネル8。 0101001 FastDSPチャンネル9。 0101010 FastDSPチャンネル10。 0101011 FastDSPチャンネル11。 0101100 FastDSPチャンネル12。 0101101 FastDSPチャンネル13。 0101110 FastDSPチャンネル14。 0101111 FastDSPチャンネル15。</p>	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		0110000	SigmaDSP チャンネル 0。		
		0110001	SigmaDSP チャンネル 1。		
		0110010	SigmaDSP チャンネル 2。		
		0110011	SigmaDSP チャンネル 3。		
		0110100	SigmaDSP チャンネル 4。		
		0110101	SigmaDSP チャンネル 5。		
		0110110	SigmaDSP チャンネル 6。		
		0110111	SigmaDSP チャンネル 7。		
		0111000	SigmaDSP チャンネル 8。		
		0111001	SigmaDSP チャンネル 9。		
		0111010	SigmaDSP チャンネル 10。		
		0111011	SigmaDSP チャンネル 11。		
		0111100	SigmaDSP チャンネル 12。		
		0111101	SigmaDSP チャンネル 13。		
		0111110	SigmaDSP チャンネル 14。		
		0111111	SigmaDSP チャンネル 15。		
		1000000	入力 ASRC チャンネル 0。		
		1000001	入力 ASRC チャンネル 1。		
		1000010	入力 ASRC チャンネル 2。		
		1000011	入力 ASRC チャンネル 3。		
		1000100	ADC チャンネル 0。		
		1000101	ADC チャンネル 1。		
		1001000	デジタル・マイクロフォン・チャンネル 0。		
		1001001	デジタル・マイクロフォン・チャンネル 1。		
		1001010	デジタル・マイクロフォン・チャンネル 2。		
		1001011	デジタル・マイクロフォン・チャンネル 3。		

低速から高速へのインターポレータ・チャンネル5入力ルーティング・レジスタ

アドレス: 0xC056、リセット: 0x00、レジスタ名: FINT_ROUTE5

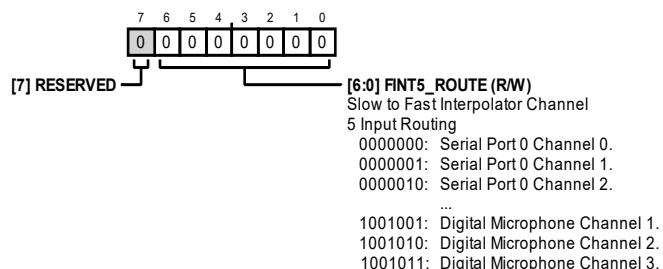


表 110. FINT_ROUTE5 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	FINT5_ROUTE		低速から高速へのインターポレータ・チャンネル5の入力ルーティング。 0000000 シリアル・ポート0のチャンネル0。 0000001 シリアル・ポート0のチャンネル1。 0000010 シリアル・ポート0のチャンネル2。 0000011 シリアル・ポート0のチャンネル3。 0000100 シリアル・ポート0のチャンネル4。 0000101 シリアル・ポート0のチャンネル5。 0000110 シリアル・ポート0のチャンネル6。 0000111 シリアル・ポート0のチャンネル7。 0001000 シリアル・ポート0のチャンネル8。 0001001 シリアル・ポート0のチャンネル9。 0001010 シリアル・ポート0のチャンネル10。 0001011 シリアル・ポート0のチャンネル11。 0001100 シリアル・ポート0のチャンネル12。 0001101 シリアル・ポート0のチャンネル13。 0001110 シリアル・ポート0のチャンネル14。 0001111 シリアル・ポート0のチャンネル15。 0100000 FastDSPチャンネル0。 0100001 FastDSPチャンネル1。 0100010 FastDSPチャンネル2。 0100011 FastDSPチャンネル3。 0100100 FastDSPチャンネル4。 0100101 FastDSPチャンネル5。 0100110 FastDSPチャンネル6。 0100111 FastDSPチャンネル7。 0101000 FastDSPチャンネル8。 0101001 FastDSPチャンネル9。 0101010 FastDSPチャンネル10。 0101011 FastDSPチャンネル11。 0101100 FastDSPチャンネル12。 0101101 FastDSPチャンネル13。 0101110 FastDSPチャンネル14。 0101111 FastDSPチャンネル15。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		0110000	SigmaDSP チャンネル 0。		
		0110001	SigmaDSP チャンネル 1。		
		0110010	SigmaDSP チャンネル 2。		
		0110011	SigmaDSP チャンネル 3。		
		0110100	SigmaDSP チャンネル 4。		
		0110101	SigmaDSP チャンネル 5。		
		0110110	SigmaDSP チャンネル 6。		
		0110111	SigmaDSP チャンネル 7。		
		0111000	SigmaDSP チャンネル 8。		
		0111001	SigmaDSP チャンネル 9。		
		0111010	SigmaDSP チャンネル 10。		
		0111011	SigmaDSP チャンネル 11。		
		0111100	SigmaDSP チャンネル 12。		
		0111101	SigmaDSP チャンネル 13。		
		0111110	SigmaDSP チャンネル 14。		
		0111111	SigmaDSP チャンネル 15。		
		1000000	入力 ASRC チャンネル 0。		
		1000001	入力 ASRC チャンネル 1。		
		1000010	入力 ASRC チャンネル 2。		
		1000011	入力 ASRC チャンネル 3。		
		1000100	ADC チャンネル 0。		
		1000101	ADC チャンネル 1。		
		1001000	デジタル・マイクロフォン・チャンネル 0。		
		1001001	デジタル・マイクロフォン・チャンネル 1。		
		1001010	デジタル・マイクロフォン・チャンネル 2。		
		1001011	デジタル・マイクロフォン・チャンネル 3。		

低速から高速へのインターポレータ・チャンネル 6 入力ルーティング・レジスタ

アドレス : 0xC057、リセット : 0x00、レジスタ名 : FINT_ROUTE6

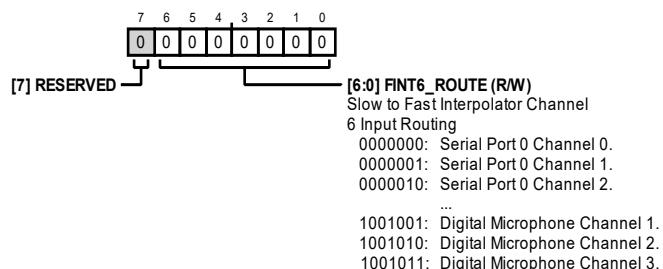


表 111. FINT_ROUTE6 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	FINT6_ROUTE		Low速から高速へのインターポレータ・チャンネル 6 の入力ルーティング。 0000000: Serial Port 0 Channel 0. 0000001: Serial Port 0 Channel 1. 0000010: Serial Port 0 Channel 2. 0000011: Serial Port 0 Channel 3. 0000100: Serial Port 0 Channel 4. 0000101: Serial Port 0 Channel 5. 0000110: Serial Port 0 Channel 6. 0000111: Serial Port 0 Channel 7. 0001000: Serial Port 0 Channel 8. 0001001: Serial Port 0 Channel 9. 0001010: Serial Port 0 Channel 10. 0001011: Serial Port 0 Channel 11. 0001100: Serial Port 0 Channel 12. 0001101: Serial Port 0 Channel 13. 0001110: Serial Port 0 Channel 14. 0001111: Serial Port 0 Channel 15. 0100000: FastDSP Channel 0. 0100001: FastDSP Channel 1. 0100010: FastDSP Channel 2. 0100011: FastDSP Channel 3. 0100100: FastDSP Channel 4. 0100101: FastDSP Channel 5. 0100110: FastDSP Channel 6. 0100111: FastDSP Channel 7. 0101000: FastDSP Channel 8. 0101001: FastDSP Channel 9. 0101010: FastDSP Channel 10. 0101011: FastDSP Channel 11. 0101100: FastDSP Channel 12. 0101101: FastDSP Channel 13. 0101110: FastDSP Channel 14. 0101111: FastDSP Channel 15.	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		0110000	SigmaDSP チャンネル 0。		
		0110001	SigmaDSP チャンネル 1。		
		0110010	SigmaDSP チャンネル 2。		
		0110011	SigmaDSP チャンネル 3。		
		0110100	SigmaDSP チャンネル 4。		
		0110101	SigmaDSP チャンネル 5。		
		0110110	SigmaDSP チャンネル 6。		
		0110111	SigmaDSP チャンネル 7。		
		0111000	SigmaDSP チャンネル 8。		
		0111001	SigmaDSP チャンネル 9。		
		0111010	SigmaDSP チャンネル 10。		
		0111011	SigmaDSP チャンネル 11。		
		0111100	SigmaDSP チャンネル 12。		
		0111101	SigmaDSP チャンネル 13。		
		0111110	SigmaDSP チャンネル 14。		
		0111111	SigmaDSP チャンネル 15。		
		1000000	入力 ASRC チャンネル 0。		
		1000001	入力 ASRC チャンネル 1。		
		1000010	入力 ASRC チャンネル 2。		
		1000011	入力 ASRC チャンネル 3。		
		1000100	ADC チャンネル 0。		
		1000101	ADC チャンネル 1。		
		1001000	デジタル・マイクロフォン・チャンネル 0。		
		1001001	デジタル・マイクロフォン・チャンネル 1。		
		1001010	デジタル・マイクロフォン・チャンネル 2。		
		1001011	デジタル・マイクロフォン・チャンネル 3。		

低速から高速へのインターポレータ・チャンネル7入力ルーティング・レジスタ

アドレス: 0xC058、リセット: 0x00、レジスタ名: FINT_ROUTE7

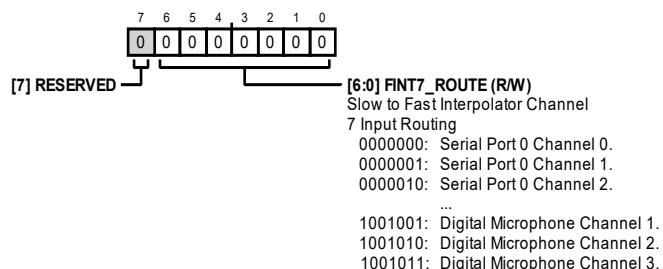


表 112. FINT_ROUTE7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	FINT7_ROUTE		<p>低速から高速へのインターポレータ・チャンネル7の入力ルーティング。</p> <p>0000000 シリアル・ポート0のチャンネル0。 0000001 シリアル・ポート0のチャンネル1。 0000010 シリアル・ポート0のチャンネル2。 0000011 シリアル・ポート0のチャンネル3。 0000100 シリアル・ポート0のチャンネル4。 0000101 シリアル・ポート0のチャンネル5。 0000110 シリアル・ポート0のチャンネル6。 0000111 シリアル・ポート0のチャンネル7。 0001000 シリアル・ポート0のチャンネル8。 0001001 シリアル・ポート0のチャンネル9。 0001010 シリアル・ポート0のチャンネル10。 0001011 シリアル・ポート0のチャンネル11。 0001100 シリアル・ポート0のチャンネル12。 0001101 シリアル・ポート0のチャンネル13。 0001110 シリアル・ポート0のチャンネル14。 0001111 シリアル・ポート0のチャンネル15。 0100000 FastDSPチャンネル0。 0100001 FastDSPチャンネル1。 0100010 FastDSPチャンネル2。 0100011 FastDSPチャンネル3。 0100100 FastDSPチャンネル4。 0100101 FastDSPチャンネル5。 0100110 FastDSPチャンネル6。 0100111 FastDSPチャンネル7。 0101000 FastDSPチャンネル8。 0101001 FastDSPチャンネル9。 0101010 FastDSPチャンネル10。 0101011 FastDSPチャンネル11。 0101100 FastDSPチャンネル12。 0101101 FastDSPチャンネル13。 0101110 FastDSPチャンネル14。 0101111 FastDSPチャンネル15。</p>	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		0110000	SigmaDSP チャンネル 0。		
		0110001	SigmaDSP チャンネル 1。		
		0110010	SigmaDSP チャンネル 2。		
		0110011	SigmaDSP チャンネル 3。		
		0110100	SigmaDSP チャンネル 4。		
		0110101	SigmaDSP チャンネル 5。		
		0110110	SigmaDSP チャンネル 6。		
		0110111	SigmaDSP チャンネル 7。		
		0111000	SigmaDSP チャンネル 8。		
		0111001	SigmaDSP チャンネル 9。		
		0111010	SigmaDSP チャンネル 10。		
		0111011	SigmaDSP チャンネル 11。		
		0111100	SigmaDSP チャンネル 12。		
		0111101	SigmaDSP チャンネル 13。		
		0111110	SigmaDSP チャンネル 14。		
		0111111	SigmaDSP チャンネル 15。		
		1000000	入力 ASRC チャンネル 0。		
		1000001	入力 ASRC チャンネル 1。		
		1000010	入力 ASRC チャンネル 2。		
		1000011	入力 ASRC チャンネル 3。		
		1000100	ADC チャンネル 0。		
		1000101	ADC チャンネル 1。		
		1001000	デジタル・マイクロフォン・チャンネル 0。		
		1001001	デジタル・マイクロフォン・チャンネル 1。		
		1001010	デジタル・マイクロフォン・チャンネル 2。		
		1001011	デジタル・マイクロフォン・チャンネル 3。		

入力 ASRC コントロール、ソース、およびレート選択レジスタ

アドレス : 0xC059、リセット : 0x02、レジスタ名 : ASRCI_CTRL

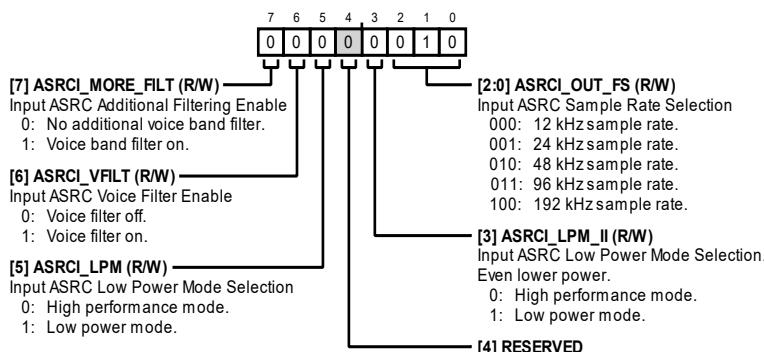


表 113. ASRCI_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	ASRCI_MORE_FILT	0	入力 ASRC の追加フィルタ・イネーブル。このビットにより、一定の条件下で性能向上を可能にする ASRC 内の追加フィルタ処理をイネーブルすることができます。	0x0	R/W
		1	追加の音声帯域フィルタなし。		
6	ASRCI_VFILT	0	入力 ASRC 音声フィルタ・イネーブル。	0x0	R/W
		1	音声フィルタはオフ。		
5	ASRCI_LPM	0	入力 ASRC 低消費電力モードの選択。	0x0	R/W
		1	高性能モード。		
4	RESERVED		予備。	0x0	R/W
3	ASRCI_LPM_II	0	入力 ASRC 低消費電力モードの選択。更に低消費電力。	0x0	R/W
		1	高性能モード。		
[2:0]	ASRCI_OUT_FS	000	入力 ASRC のサンプル・レートの選択。	0x2	R/W
		001	12kHz のサンプル・レート。		
		010	24kHz のサンプル・レート。		
		011	48kHz のサンプル・レート。		
		100	96kHz のサンプル・レート。		
			192kHz のサンプル・レート。		

入力 ASRC チャンネル 0 およびチャンネル 1 入力ルーティング・レジスタ

アドレス : 0xC05A、リセット : 0x00、レジスタ名 : ASRCI_ROUTE01

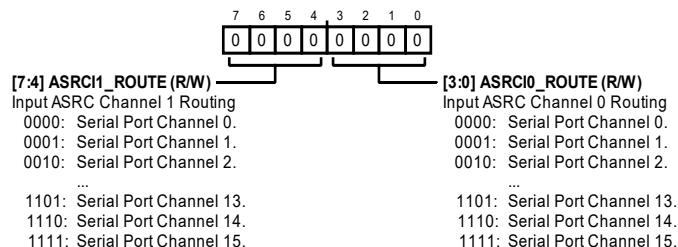


表 114. ASRCI_ROUTE01 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	ASRCI1_ROUTE		入力 ASRC チャンネル 1 のルーティング。 シリアル・ポート・チャンネル 0。 シリアル・ポート・チャンネル 1。 シリアル・ポート・チャンネル 2。 シリアル・ポート・チャンネル 3。 シリアル・ポート・チャンネル 4。 シリアル・ポート・チャンネル 5。 シリアル・ポート・チャンネル 6。 シリアル・ポート・チャンネル 7。 シリアル・ポート・チャンネル 8。 シリアル・ポート・チャンネル 9。 シリアル・ポート・チャンネル 10。 シリアル・ポート・チャンネル 11。 シリアル・ポート・チャンネル 12。 シリアル・ポート・チャンネル 13。 シリアル・ポート・チャンネル 14。 シリアル・ポート・チャンネル 15。	0x0	R/W
[3:0]	ASRCI0_ROUTE		入力 ASRC チャンネル 0 のルーティング。 シリアル・ポート・チャンネル 0。 シリアル・ポート・チャンネル 1。 シリアル・ポート・チャンネル 2。 シリアル・ポート・チャンネル 3。 シリアル・ポート・チャンネル 4。 シリアル・ポート・チャンネル 5。 シリアル・ポート・チャンネル 6。 シリアル・ポート・チャンネル 7。 シリアル・ポート・チャンネル 8。 シリアル・ポート・チャンネル 9。 シリアル・ポート・チャンネル 10。 シリアル・ポート・チャンネル 11。 シリアル・ポート・チャンネル 12。 シリアル・ポート・チャンネル 13。 シリアル・ポート・チャンネル 14。 シリアル・ポート・チャンネル 15。	0x0	R/W

入力 ASRC チャンネル 2 およびチャンネル 3 入力ルーティング・レジスタ

アドレス : 0xC05B、リセット : 0x00、レジスタ名 : ASRCI_ROUTE23

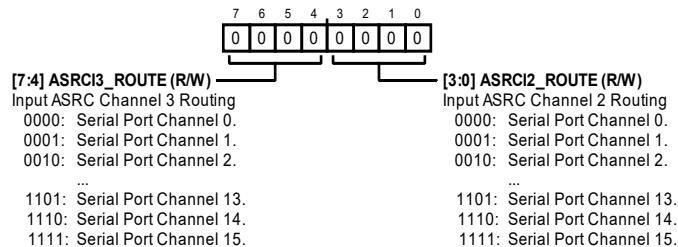


表 115. ASRCI_ROUTE23 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	ASRCI3_ROUTE	0000	入力 ASRC チャンネル 3 のルーティング。 シリアル・ポート・チャンネル 0。	0x0	R/W
		0001	シリアル・ポート・チャンネル 1。		
		0010	シリアル・ポート・チャンネル 2。		
		0011	シリアル・ポート・チャンネル 3。		
		0100	シリアル・ポート・チャンネル 4。		
		0101	シリアル・ポート・チャンネル 5。		
		0110	シリアル・ポート・チャンネル 6。		
		0111	シリアル・ポート・チャンネル 7。		
		1000	シリアル・ポート・チャンネル 8。		
		1001	シリアル・ポート・チャンネル 9。		
		1010	シリアル・ポート・チャンネル 10。		
		1011	シリアル・ポート・チャンネル 11。		
		1100	シリアル・ポート・チャンネル 12。		
		1101	シリアル・ポート・チャンネル 13。		
		1110	シリアル・ポート・チャンネル 14。		
		1111	シリアル・ポート・チャンネル 15。		
[3:0]	ASRCI2_ROUTE	0000	入力 ASRC チャンネル 2 のルーティング。 シリアル・ポート・チャンネル 0。	0x0	R/W
		0001	シリアル・ポート・チャンネル 1。		
		0010	シリアル・ポート・チャンネル 2。		
		0011	シリアル・ポート・チャンネル 3。		
		0100	シリアル・ポート・チャンネル 4。		
		0101	シリアル・ポート・チャンネル 5。		
		0110	シリアル・ポート・チャンネル 6。		
		0111	シリアル・ポート・チャンネル 7。		
		1000	シリアル・ポート・チャンネル 8。		
		1001	シリアル・ポート・チャンネル 9。		
		1010	シリアル・ポート・チャンネル 10。		
		1011	シリアル・ポート・チャンネル 11。		
		1100	シリアル・ポート・チャンネル 12。		
		1101	シリアル・ポート・チャンネル 13。		
		1110	シリアル・ポート・チャンネル 14。		
		1111	シリアル・ポート・チャンネル 15。		

出力 ASRC コントロール・レジスタ

アドレス : 0xC05C、リセット : 0x02、レジスタ名 : ASRCo_CTRL

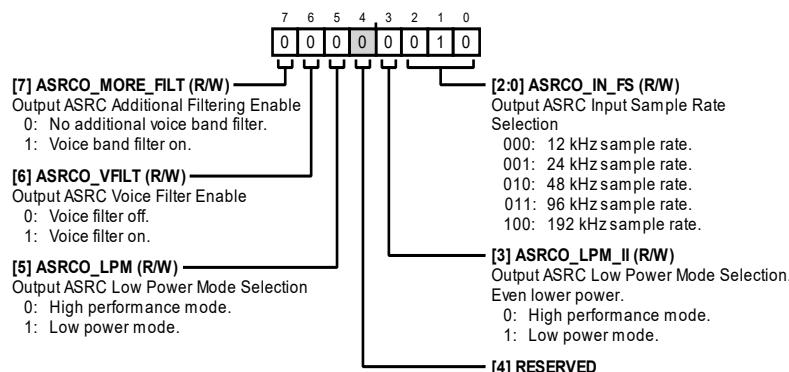


表 116. ASRCo_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	ASRCo_MORE_FILT	0	出力 ASRC の追加フィルタ・イネーブル。このビットにより、一定の条件下で性能向上を可能にする ASRC 内の追加フィルタ処理をイネーブルすることができます。	0x0	R/W
		1	追加の音声帯域フィルタなし。 音声帯域フィルタはオン。		
6	ASRCo_VFILT	0	出力 ASRC 音声フィルタ・イネーブル。	0x0	R/W
		1	音声フィルタはオフ。 音声フィルタはオン。		
5	ASRCo_LPM	0	出力 ASRC 低消費電力モードの選択。	0x0	R/W
		1	高性能モード。 低消費電力モード。		
4	RESERVED		予備。	0x0	R/W
3	ASRCo_LPM_II	0	出力 ASRC 低消費電力モードの選択。更に低消費電力。	0x0	R/W
		1	高性能モード。 低消費電力モード。		
[2:0]	ASRCo_IN_FS	000	出力 ASRC のサンプル・レートの選択。 12kHz のサンプル・レート。	0x2	R/W
		001	24kHz のサンプル・レート。		
		010	48kHz のサンプル・レート。		
		011	96kHz のサンプル・レート。		
		100	192kHz のサンプル・レート。		

出力 ASRC チャンネル 0 入力ルーティング・レジスタ

アドレス : 0xC05D、リセット : 0x00、レジスタ名 : ASRC0_ROUTE0

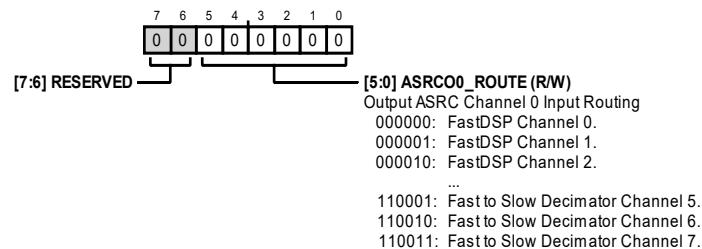


表 117. ASRC0_ROUTE0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	ASRC0_ROUTE		出力 ASRC チャンネル 0 の入力ルーティング。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。 SigmaDSP チャンネル 0。 SigmaDSP チャンネル 1。 SigmaDSP チャンネル 2。 SigmaDSP チャンネル 3。 SigmaDSP チャンネル 4。 SigmaDSP チャンネル 5。 SigmaDSP チャンネル 6。 SigmaDSP チャンネル 7。 SigmaDSP チャンネル 8。 SigmaDSP チャンネル 9。 SigmaDSP チャンネル 10。 SigmaDSP チャンネル 11。 SigmaDSP チャンネル 12。 SigmaDSP チャンネル 13。 SigmaDSP チャンネル 14。 SigmaDSP チャンネル 15。 ADC チャンネル 0。 ADC チャンネル 1。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100100	デジタル・マイクロフォン・チャンネル 0。		
		100101	デジタル・マイクロフォン・チャンネル 1。		
		100110	デジタル・マイクロフォン・チャンネル 2。		
		100111	デジタル・マイクロフォン・チャンネル 3。		
		101100	高速から低速へのデシメータ・チャンネル 0。		
		101101	高速から低速へのデシメータ・チャンネル 1。		
		101110	高速から低速へのデシメータ・チャンネル 2。		
		101111	高速から低速へのデシメータ・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 4。		
		110001	高速から低速へのデシメータ・チャンネル 5。		
		110010	高速から低速へのデシメータ・チャンネル 6。		
		110011	高速から低速へのデシメータ・チャンネル 7。		

出力 ASRC チャンネル 1 入力ルーティング・レジスタ

アドレス : 0xC05E、リセット : 0x00、レジスタ名 : ASRC0_ROUTE1

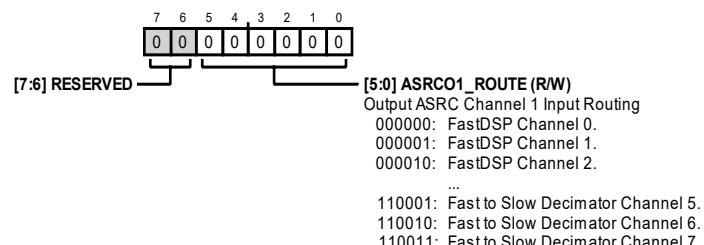


表 118. ASRC0_ROUTE1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	ASRC01_ROUTE		出力 ASRC チャンネル 1 の入力ルーティング。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	ADC チャンネル 0。		
		100001	ADC チャンネル 1。		
		100100	デジタル・マイクロフォン・チャンネル 0。		
		100101	デジタル・マイクロフォン・チャンネル 1。		
		100110	デジタル・マイクロフォン・チャンネル 2。		
		100111	デジタル・マイクロフォン・チャンネル 3。		
		101100	高速から低速へのデシメータ・チャンネル 0。		
		101101	高速から低速へのデシメータ・チャンネル 1。		
		101110	高速から低速へのデシメータ・チャンネル 2。		
		101111	高速から低速へのデシメータ・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 4。		
		110001	高速から低速へのデシメータ・チャンネル 5。		
		110010	高速から低速へのデシメータ・チャンネル 6。		
		110011	高速から低速へのデシメータ・チャンネル 7。		

出力 ASRC チャンネル 2 入力ルーティング・レジスタ

アドレス : 0xC05F、リセット : 0x00、レジスタ名 : ASRC0_ROUTE2

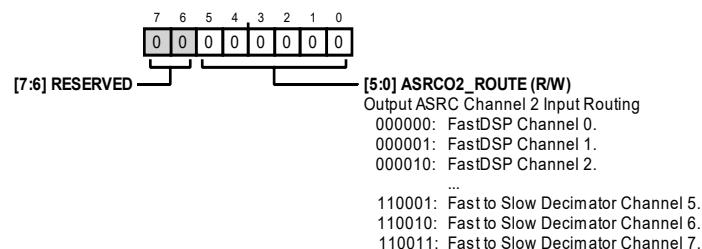


表 119. ASRC0_ROUTE2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	ASRC02_ROUTE		出力 ASRC チャンネル 2 の入力ルーティング。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。 SigmaDSP チャンネル 0。 SigmaDSP チャンネル 1。 SigmaDSP チャンネル 2。 SigmaDSP チャンネル 3。 SigmaDSP チャンネル 4。 SigmaDSP チャンネル 5。 SigmaDSP チャンネル 6。 SigmaDSP チャンネル 7。 SigmaDSP チャンネル 8。 SigmaDSP チャンネル 9。 SigmaDSP チャンネル 10。 SigmaDSP チャンネル 11。 SigmaDSP チャンネル 12。 SigmaDSP チャンネル 13。 SigmaDSP チャンネル 14。 SigmaDSP チャンネル 15。 ADC チャンネル 0。 ADC チャンネル 1。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100100	デジタル・マイクロフォン・チャンネル 0。		
		100101	デジタル・マイクロフォン・チャンネル 1。		
		100110	デジタル・マイクロフォン・チャンネル 2。		
		100111	デジタル・マイクロフォン・チャンネル 3。		
		101100	高速から低速へのデシメータ・チャンネル 0。		
		101101	高速から低速へのデシメータ・チャンネル 1。		
		101110	高速から低速へのデシメータ・チャンネル 2。		
		101111	高速から低速へのデシメータ・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 4。		
		110001	高速から低速へのデシメータ・チャンネル 5。		
		110010	高速から低速へのデシメータ・チャンネル 6。		
		110011	高速から低速へのデシメータ・チャンネル 7。		

出力 ASRC チャンネル 3 入力ルーティング・レジスタ

アドレス : 0xC060、リセット : 0x00、レジスタ名 : ASRC0_ROUTE3

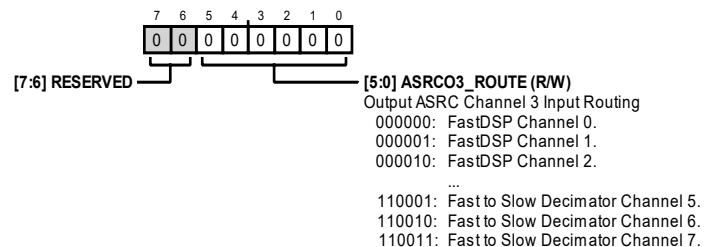


表 120. ASRC0_ROUTE3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	ASRC03_ROUTE		出力 ASRC チャンネル 3 の入力ルーティング。	0x0	R/W
		000000	FastDSP チャンネル 0。		
		000001	FastDSP チャンネル 1。		
		000010	FastDSP チャンネル 2。		
		000011	FastDSP チャンネル 3。		
		000100	FastDSP チャンネル 4。		
		000101	FastDSP チャンネル 5。		
		000110	FastDSP チャンネル 6。		
		000111	FastDSP チャンネル 7。		
		001000	FastDSP チャンネル 8。		
		001001	FastDSP チャンネル 9。		
		001010	FastDSP チャンネル 10。		
		001011	FastDSP チャンネル 11。		
		001100	FastDSP チャンネル 12。		
		001101	FastDSP チャンネル 13。		
		001110	FastDSP チャンネル 14。		
		001111	FastDSP チャンネル 15。		
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		

ビット	ビット名	設定	説明	リセット	アクセス
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	ADC チャンネル 0。		
		100001	ADC チャンネル 1。		
		100100	デジタル・マイクロフォン・チャンネル 0。		
		100101	デジタル・マイクロフォン・チャンネル 1。		
		100110	デジタル・マイクロフォン・チャンネル 2。		
		100111	デジタル・マイクロフォン・チャンネル 3。		
		101100	高速から低速へのデシメータ・チャンネル 0。		
		101101	高速から低速へのデシメータ・チャンネル 1。		
		101110	高速から低速へのデシメータ・チャンネル 2。		
		101111	高速から低速へのデシメータ・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 4。		
		110001	高速から低速へのデシメータ・チャンネル 5。		
		110010	高速から低速へのデシメータ・チャンネル 6。		
		110011	高速から低速へのデシメータ・チャンネル 7。		

FastDSP 実行レジスタ

アドレス : 0xC061、リセット : 0x00、レジスタ名 : FDSP_RUN

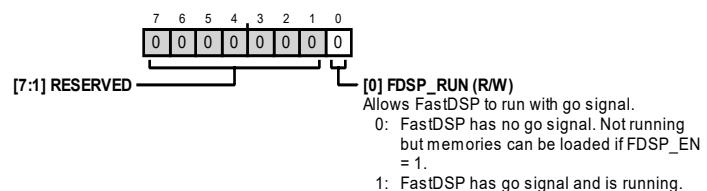


表 121. FDSP_RUN のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:1]	RESERVED		予備。	0x0	R
0	FDSP_RUN	0	FastDSP が go 信号で動作することを許可します。 FastDSP に go 信号がありません。動作していませんが、FDSP_EN = 1 の場合はメモリをロードできます。	0x0	R/W
		1	FastDSP に go 信号があり、動作しています。		

FastDSP 電流バンクおよびバンク・ランピング・コントロール・レジスタ

アドレス : 0xC062、リセット : 0x70、レジスタ名 : FDSP_CTRL1

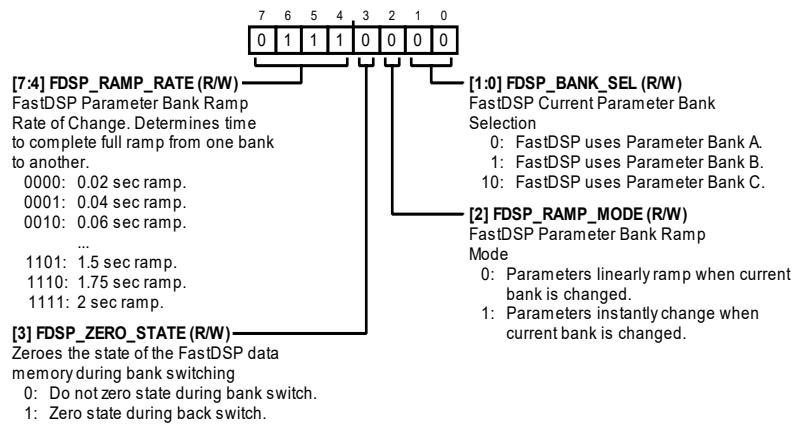


表 122. FDSP_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	FDSP_RAMP_RATE	0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1101, 1110, 1111	FastDSP パラメータ・バンクの変化レート。1 つのバンクから他のバンクへの移行が完了するまでの時間を決定します。 0000: 0.02 秒。 0001: 0.04 秒。 0010: 0.06 秒。 0011: 0.08 秒。 0100: 0.1 秒。 0101: 0.15 秒。 0110: 0.2 秒。 0111: 0.25 秒。 1000: 0.3 秒。 1001: 0.5 秒。 1010: 0.75 秒。 1011: 1 秒。 1100: 1.25 秒。 1101: 1.5 秒。 1110: 1.75 秒。 1111: 2 秒。	0x7	R/W
3	FDSP_ZERO_STATE	0, 1	バンク切替え中に FastDSP データ・メモリのステートをゼロ化します。アクティブなパラメータ・バンクを 2 つの設定値の間で切り替える際に、バンクのステートをゼロ化することにより、フィルタ内で再循環している古いデータ上で新しいフィルタ設定値がアクティブになるのを防ぎます。ステートをゼロ化することで、バンク切替え時にフィルタが不安定になったり、望ましくないノイズが発生するのを防ぐことができます。 0: バンク切替え中にステートをゼロ化しません。 1: バンク切替え中にステートをゼロ化します。	0x0	R/W
2	FDSP_RAMP_MODE	0, 1	FastDSP パラメータ・バンクのランプ・モード。 0: 現在のバンクを変更すると、パラメータは直線的にランプします。 1: 現在のバンクを変更すると、パラメータは即時変更されます。	0x0	R/W
[1:0]	FDSP_BANK_SEL	0, 1, 10	FastDSP の現在のパラメータ・バンクの選択。 0: FastDSP はパラメータ・バンク A を使用します。 1: FastDSP はパラメータ・バンク B を使用します。 10: FastDSP はパラメータ・バンク C を使用します。	0x0	R/W

FastDSP バンク・ランプ停止ポイント・レジスタ

アドレス : 0xC063、リセット : 0x3F、レジスタ名 : FDSP_CTRL2

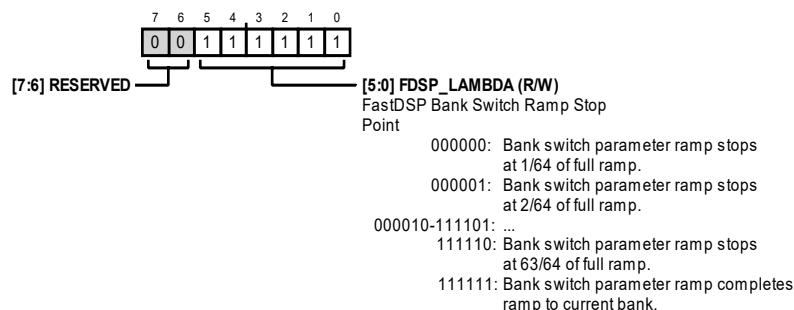


表 123. FDSP_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDSP_LAMBDA		<p>FastDSP のバンク切替えランプ停止ポイント。ラムダは、2つのバンク間のリニア・インターpolation 曲線上でバンク切替えランプを停止する点を表す 6 ビット値です。次の式で、A はソース・バンク内の係数値、B はデスティネーション・バンク内の係数値を表します。0 = ((63/64) × A + (1/64) × B)、1 = ((62/64) × A + (2/64) × B)、…、62 = ((1/64) × A + (63/64) × B)、63 = B (デフォルト)。ラムダは制御インターフェースからオンザフライで更新できます。バンクの切替えを完了するには、値を 63 (デフォルトの設定値) に設定する必要があります。実際の現在のランプ・ポイント (FDSP_CURRENT_LAMBDA : 0~63) は、ステータス・レジスタから読み出すことができます。このポイントが 63 に達すると、バンクの切替えは完了し、現在使用しているパラメータが現在のバンクと一致します。リニア・インターpolation の実際のステップ・サイズは約 12 ビット (4096 ステップ) です。バンク内でランプしているパラメータは、バンク切替え中は変更されません。</p> <p>バンク切替えのパラメータ・ランプは、全ランプの 1/64 で停止します。</p> <p>バンク切替えのパラメータ・ランプは、全ランプの 2/64 で停止します。</p> <p>…</p> <p>バンク切替えのパラメータ・ランプは、全ランプの 63/64 で停止します。</p> <p>バンク切替えのパラメータ・ランプは、現在のバンクへのランプを完了します。</p>	0x3F	R/W

FastDSP バンク・コピー・レジスタ

アドレス : 0xC064、リセット : 0x00、レジスタ名 : FDSP_CTRL3

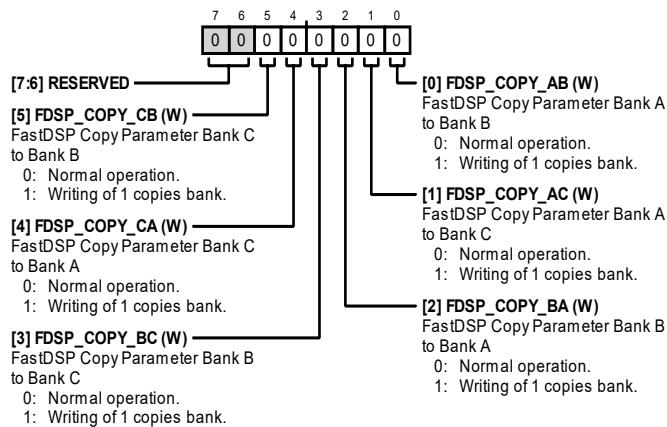


表 124. FDSP_CTRL3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	FDSP_COPY_CB	0	FastDSP パラメータ・バンク C からバンク B へのコピー。 通常動作。	0x0	W
		1	1 を書き込むと、バンクをコピーします。		
4	FDSP_COPY_CA	0	FastDSP パラメータ・バンク C からバンク A へのコピー。 通常動作。	0x0	W
		1	1 を書き込むと、バンクをコピーします。		
3	FDSP_COPY_BC	0	FastDSP パラメータ・バンク B からバンク C へのコピー。 通常動作。	0x0	W
		1	1 を書き込むと、バンクをコピーします。		
2	FDSP_COPY_BA	0	FastDSP パラメータ・バンク B からバンク A へのコピー。 通常動作。	0x0	W
		1	1 を書き込むと、バンクをコピーします。		
1	FDSP_COPY_AC	0	FastDSP パラメータ・バンク A からバンク C へのコピー。 通常動作。	0x0	W
		1	1 を書き込むと、バンクをコピーします。		
0	FDSP_COPY_AB	0	FastDSP パラメータ・バンク A からバンク B へのコピー。 通常動作。	0x0	W
		1	1 を書き込むと、バンクをコピーします。		

FastDSP フレーム・レート・ソース・レジスタ

アドレス : 0xC065、リセット : 0x00、レジスタ名 : FDSP_CTRL4

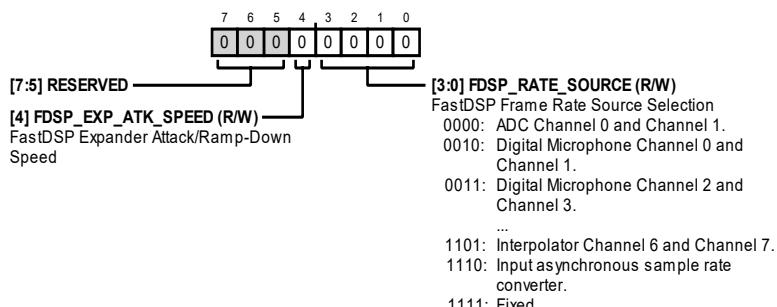


表 125. FDSP_CTRL4 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	FDSP_EXP_ATK_SPEED		FastDSP エクスパンダのアタック／ランプダウン速度。	0x0	R/W
[3:0]	FDSP_RATE_SOURCE		FastDSP フレーム・レート・ソースの選択。 ADC チャンネル 0 およびチャンネル 1。 デジタル・マイクロフォン・チャンネル 0 およびチャンネル 1。 デジタル・マイクロフォン・チャンネル 2 およびチャンネル 3。 シリアル・オーディオ・インターフェース 0。 インターポレータ・チャンネル 0 およびチャンネル 1。 インターポレータ・チャンネル 2 およびチャンネル 3。 インターポレータ・チャンネル 4 およびチャンネル 5。 インターポレータ・チャンネル 6 およびチャンネル 7。 入力非同期サンプル・レート・コンバータ。 固定。	0x0	R/W

FastDSP 固定レート分周 MSB レジスタ

アドレス : 0xC066、リセット : 0x00、レジスタ名 : FDSP_CTRL5

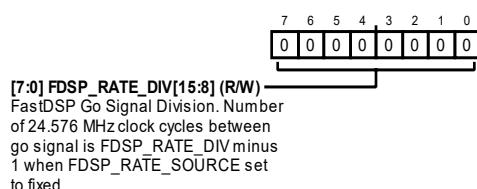


表 126. FDSP_CTRL5 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_RATE_DIV[15:8]		FastDSP の go 信号分周。FDSP_RATE_SOURCE を固定に設定した場合、go 信号間の 24.576MHz クロック・サイクル数は FDSP_RATE_DIV - 1 になります。	0x0	R/W

FastDSP 固定レート分周 LSB レジスタ

アドレス : 0xC067、リセット : 0x7F、レジスタ名 : FDSP_CTRL6

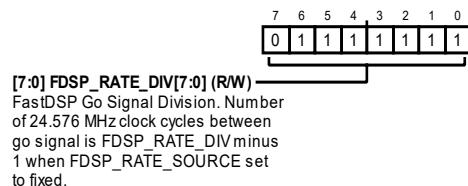


表 127. FDSP_CTRL6 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_RATE_DIV[7:0]		FastDSP の go 信号分周。FDSP_RATE_SOURCE を固定に設定した場合、go 信号間の 24.576MHz クロック・サイクル数は FDSP_RATE_DIV - 1 になります。	0x7F	R/W

FastDSP 低レート条件付き実行用モジュロ N カウンタ・レジスタ

アドレス : 0xC068、リセット : 0x00、レジスタ名 : FDSP_CTRL7

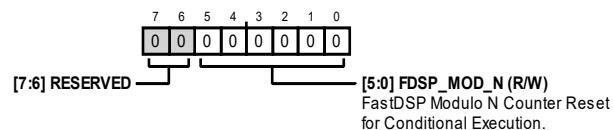


表 128. FDSP_CTRL7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDSP_MOD_N		FastDSP の条件付き実行用モジュロ N カウンタのリセット。	0x0	R/W

FastDSP 汎用条件付き実行レジスタ

アドレス: 0xC069、リセット: 0x00、レジスタ名: FDSP_CTRL8

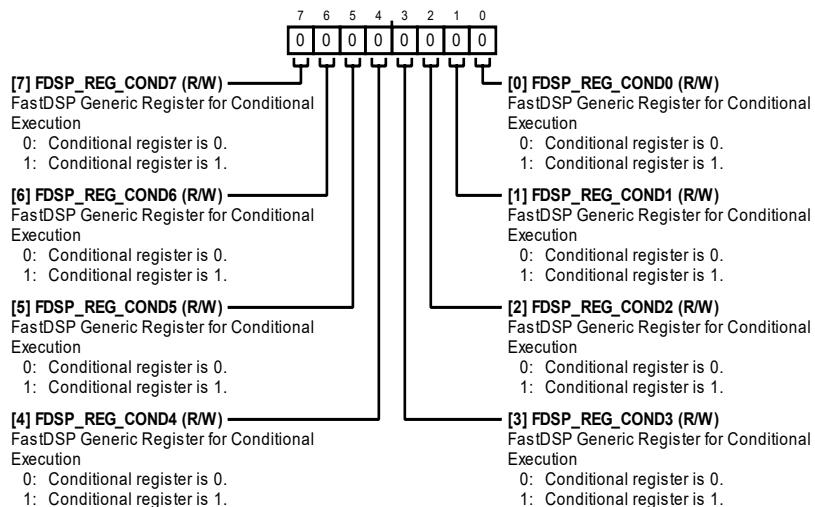


表 129. FDSP_CTRL8 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	FDSP_REG_COND7		FastDSP の条件付き実行用汎用レジスタ。このレジスタの値は、FastDSP 内での命令の条件付き実行に使用できます。	0x0	R/W
		0	条件付き実行レジスタは 0 です。		
		1	条件付き実行レジスタは 1 です。		
6	FDSP_REG_COND6		FastDSP の条件付き実行用汎用レジスタ。このレジスタの値は、FastDSP 内での命令の条件付き実行に使用できます。	0x0	R/W
		0	条件付き実行レジスタは 0 です。		
		1	条件付き実行レジスタは 1 です。		
5	FDSP_REG_COND5		FastDSP の条件付き実行用汎用レジスタ。このレジスタの値は、FastDSP 内での命令の条件付き実行に使用できます。	0x0	R/W
		0	条件付き実行レジスタは 0 です。		
		1	条件付き実行レジスタは 1 です。		
4	FDSP_REG_COND4		FastDSP の条件付き実行用汎用レジスタ。このレジスタの値は、FastDSP 内での命令の条件付き実行に使用できます。	0x0	R/W
		0	条件付き実行レジスタは 0 です。		
		1	条件付き実行レジスタは 1 です。		
3	FDSP_REG_COND3		FastDSP の条件付き実行用汎用レジスタ。このレジスタの値は、FastDSP 内での命令の条件付き実行に使用できます。	0x0	R/W
		0	条件付き実行レジスタは 0 です。		
		1	条件付き実行レジスタは 1 です。		
2	FDSP_REG_COND2		FastDSP の条件付き実行用汎用レジスタ。このレジスタの値は、FastDSP 内での命令の条件付き実行に使用できます。	0x0	R/W
		0	条件付き実行レジスタは 0 です。		
		1	条件付き実行レジスタは 1 です。		
1	FDSP_REG_COND1		FastDSP の条件付き実行用汎用レジスタ。このレジスタの値は、FastDSP 内での命令の条件付き実行に使用できます。	0x0	R/W
		0	条件付き実行レジスタは 0 です。		
		1	条件付き実行レジスタは 1 です。		
0	FDSP_REG_COND0		FastDSP の条件付き実行用汎用レジスタ。このレジスタの値は、FastDSP 内での命令の条件付き実行に使用できます。	0x0	R/W
		0	条件付き実行レジスタは 0 です。		
		1	条件付き実行レジスタは 1 です。		

FastDSP セーフロード・アドレス・レジスタ

アドレス : 0xC06A、リセット : 0x00、レジスタ名 : FDSP_SL_ADDR

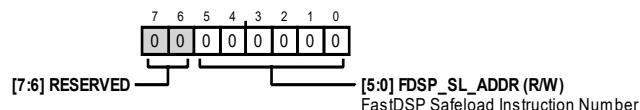


表 130. FDSP_SL_ADDR のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDSP_SL_ADDR		FastDSP セーフロード命令番号	0x0	R/W

FastDSP セーフロード・パラメータ 0 値レジスタ

アドレス : 0xC06B、リセット : 0x00、レジスタ名 : FDSP_SL_P0_3

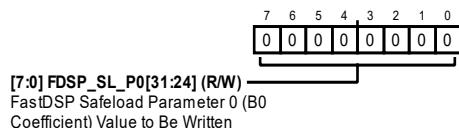


表 131. FDSP_SL_P0_3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P0[31:24]		書き込まれる FastDSP セーフロード・パラメータ 0 (B0 係数) 値。	0x0	R/W

アドレス : 0xC06C、リセット : 0x00、レジスタ名 : FDSP_SL_P0_2

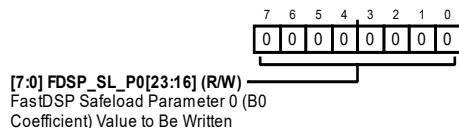


表 132. FDSP_SL_P0_2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P0[23:16]		書き込まれる FastDSP セーフロード・パラメータ 0 (B0 係数) 値。	0x0	R/W

アドレス : 0xC06D、リセット : 0x00、レジスタ名 : FDSP_SL_P0_1

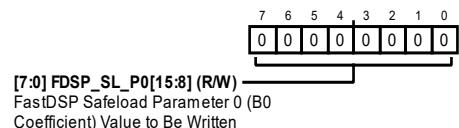


表 133. FDSP_SL_P0_1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P0[15:8]		書き込まれる FastDSP セーフロード・パラメータ 0 (B0 係数) 値。	0x0	R/W

アドレス : 0xC06E、リセット : 0x00、レジスタ名 : FDSP_SL_P0_0

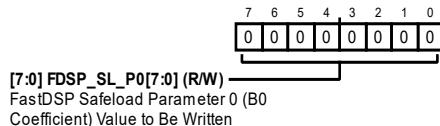


表 134. FDSP_SL_P0_0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P0[7:0]		書き込まれる FastDSP セーフロード・パラメータ 0 (B0 係数) 値。	0x0	R/W

FastDSP セーフロード・パラメータ 1 値レジスタ

アドレス : 0xC06F、リセット : 0x00、レジスタ名 : FDSP_SL_P1_3

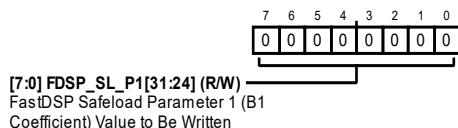


表 135. FDSP_SL_P1_3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P1[31:24]		書き込まれる FastDSP セーフロード・パラメータ 1 (B1 係数) 値。	0x0	R/W

アドレス : 0xC070、リセット : 0x00、レジスタ名 : FDSP_SL_P1_2

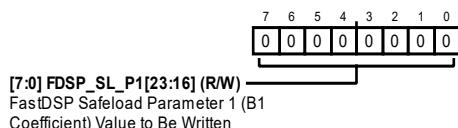


表 136. FDSP_SL_P1_2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P1[23:16]		書き込まれる FastDSP セーフロード・パラメータ 1 (B1 係数) 値。	0x0	R/W

アドレス : 0xC071、リセット : 0x00、レジスタ名 : FDSP_SL_P1_1

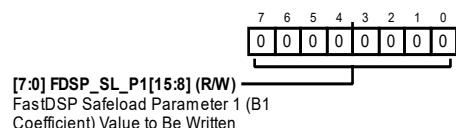


表 137. FDSP_SL_P1_1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P1[15:8]		書き込まれる FastDSP セーフロード・パラメータ 1 (B1 係数) 値。	0x0	R/W

アドレス : 0xC072、リセット : 0x00、レジスタ名 : FDSP_SL_P1_0

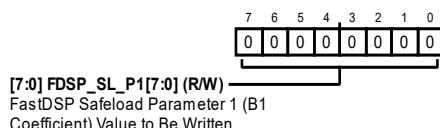


表 138. FDSP_SL_P1_0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P1[7:0]		書き込まれる FastDSP セーフロード・パラメータ 1 (B1 係数) 値。	0x0	R/W

FastDSP セーフロード・パラメータ 2 値レジスタ

アドレス : 0xC073、リセット : 0x00、レジスタ名 : FDSP_SL_P2_3

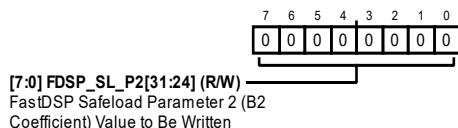


表 139. FDSP_SL_P2_3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P2[31:24]		書き込まれる FastDSP セーフロード・パラメータ 2 (B2 係数) 値。	0x0	R/W

アドレス : 0xC074、リセット : 0x00、レジスタ名 : FDSP_SL_P2_2

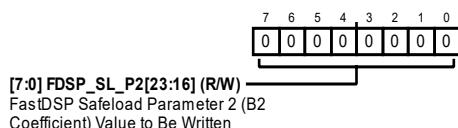


表 140. FDSP_SL_P2_2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P2[23:16]		書き込まれる FastDSP セーフロード・パラメータ 2 (B2 係数) 値。	0x0	R/W

アドレス : 0xC075、リセット : 0x00、レジスタ名 : FDSP_SL_P2_1

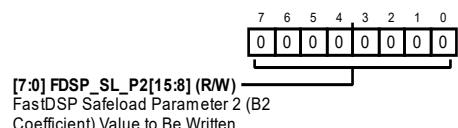


表 141. FDSP_SL_P2_1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P2[15:8]		書き込まれる FastDSP セーフロード・パラメータ 2 (B2 係数) 値。	0x0	R/W

アドレス : 0xC076、リセット : 0x00、レジスタ名 : FDSP_SL_P2_0

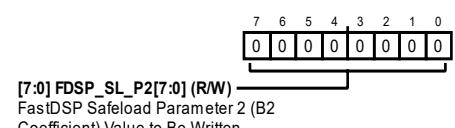


表 142. FDSP_SL_P2_0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P2[7:0]		書き込まれる FastDSP セーフロード・パラメータ 2 (B2 係数) 値。	0x0	R/W

FastDSP セーフロード・パラメータ 3 値レジスタ

アドレス : 0xC077、リセット : 0x00、レジスタ名 : FDSP_SL_P3_3

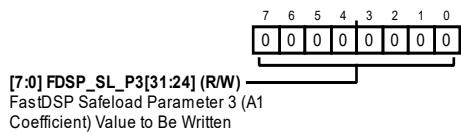


表 143. FDSP_SL_P3_3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P3[31:24]		書き込まれる FastDSP セーフロード・パラメータ 3 (A1 係数) 値。	0x0	R/W

アドレス : 0xC078、リセット : 0x00、レジスタ名 : FDSP_SL_P3_2

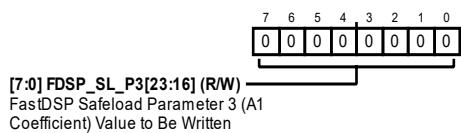


表 144. FDSP_SL_P3_2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P3[23:16]		書き込まれる FastDSP セーフロード・パラメータ 3 (A1 係数) 値。	0x0	R/W

アドレス : 0xC079、リセット : 0x00、レジスタ名 : FDSP_SL_P3_1

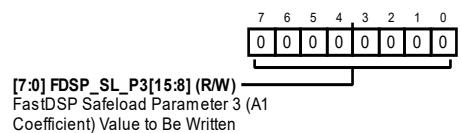


表 145. FDSP_SL_P3_1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P3[15:8]		書き込まれる FastDSP セーフロード・パラメータ 3 (A1 係数) 値。	0x0	R/W

アドレス : 0xC07A、リセット : 0x00、レジスタ名 : FDSP_SL_P3_0

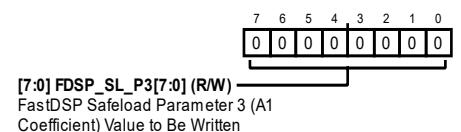


表 146. FDSP_SL_P3_0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P3[7:0]		書き込まれる FastDSP セーフロード・パラメータ 3 (A1 係数) 値。	0x0	R/W

FastDSP セーフロード・パラメータ 4 値レジスタ

アドレス : 0xC07B、リセット : 0x00、レジスタ名 : FDSP_SL_P4_3

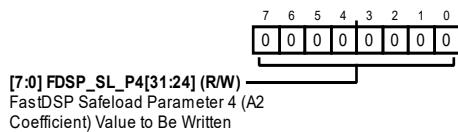


表 147. FDSP_SL_P4_3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P4[31:24]		書き込まれる FastDSP セーフロード・パラメータ 4 (A2 係数) 値。	0x0	R/W

アドレス : 0xC07C、リセット : 0x00、レジスタ名 : FDSP_SL_P4_2

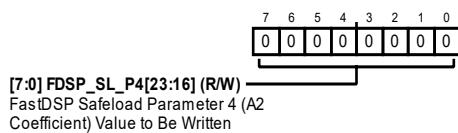


表 148. FDSP_SL_P4_2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P4[23:16]		書き込まれる FastDSP セーフロード・パラメータ 4 (A2 係数) 値。	0x0	R/W

アドレス : 0xC07D、リセット : 0x00、レジスタ名 : FDSP_SL_P4_1

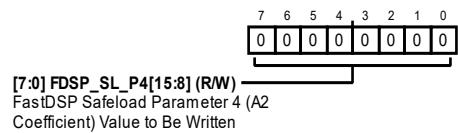


表 149. FDSP_SL_P4_1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P4[15:8]		書き込まれる FastDSP セーフロード・パラメータ 4 (A2 係数) 値。	0x0	R/W

アドレス : 0xC07E、リセット : 0x00、レジスタ名 : FDSP_SL_P4_0

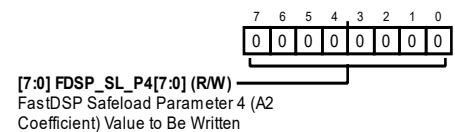


表 150. FDSP_SL_P4_0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	FDSP_SL_P4[7:0]		書き込まれる FastDSP セーフロード・パラメータ 4 (A2 係数) 値。	0x0	R/W

FastDSP セーフロード更新レジスタ

アドレス : 0xC07F、リセット : 0x00、レジスタ名 : FDSP_SL_UPDATE

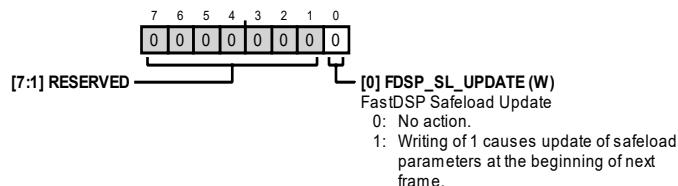


表 151. FDSP_SL_UPDATE のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:1]	RESERVED		予備。	0x0	R
0	FDSP_SL_UPD ATE		FastDSP セーフロードの更新。このレジスタに 1 を書き込むと、次のフレームの開始時に、FDSP_SL_Px レジスタ内のパラメータ値が、FDSP_SL_ADDR レジスタ内の命令番号に関連づけられる現在のバンク内のアドレスに書き込まれます。	0x0	W

SigmaDSP フレーム・レート・ソース選択レジスタ

アドレス : 0xC080、リセット : 0x00、レジスタ名 : SDSP_CTRL1

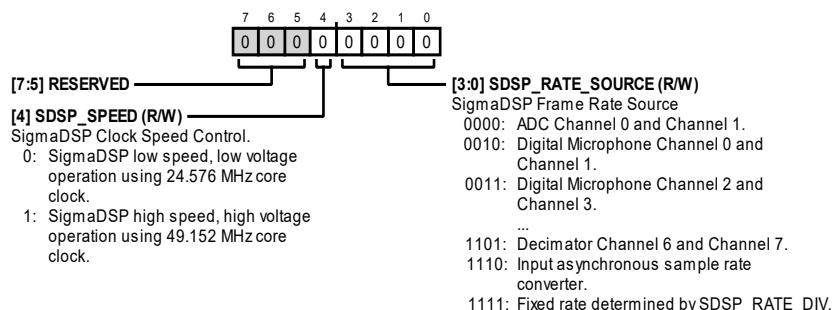


表 152. SDSP_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	SDSP_SPEED		SigmaDSP のクロック周波数の制御。 24.576MHz のコア・クロックを使用する、SigmaDSP の低速、低電圧動作。 49.152MHz のコア・クロックを使用する、SigmaDSP の高速、高電圧動作。	0x0	R/W
[3:0]	SDSP_RATE_SOURCE		SigmaDSP のフレーム・レート・ソース。 0000: ADC チャンネル 0 およびチャンネル 1。 0010: デジタル・マイクロフォン・チャンネル 0 およびチャンネル 1。 0011: デジタル・マイクロフォン・チャンネル 2 およびチャンネル 3。 0110: シリアル・オーディオ・インターフェース 0。 1010: デシメータ・チャンネル 0 およびチャンネル 1。 1011: デシメータ・チャンネル 2 およびチャンネル 3。 1100: デシメータ・チャンネル 4 およびチャンネル 5。 1101: デシメータ・チャンネル 6 およびチャンネル 7。 1110: 入力非同期サンプル・レート・コンバータ。 1111: SDSP_RATE_DIV によって決定される固定レート。	0x0	R/W

SigmaDSP 実行レジスタ

アドレス : 0xC081、リセット : 0x00、レジスタ名 : SDSP_CTRL2

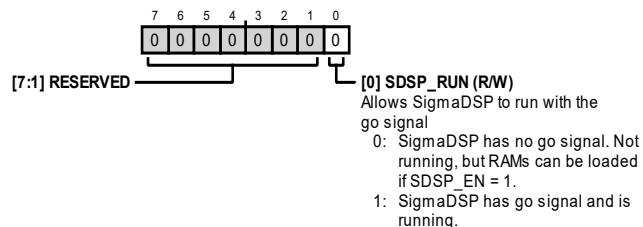


表 153. SDSP_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:1]	RESERVED		予備。	0x0	R
0	SDSP_RUN	0	SigmaDSP が go 信号で動作することを許可します。 SigmaDSP に go 信号がありません。動作していませんが、SDSP_EN = 1 の場合は RAM をロードできます。	0x0	R/W
		1	SigmaDSP に go 信号があり、動作しています。		

SigmaDSP ウオッチドッグ・コントロール・レジスタ

アドレス : 0xC082、リセット : 0x00、レジスタ名 : SDSP_CTRL3

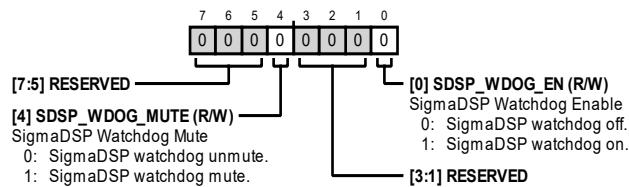


表 154. SDSP_CTRL3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	SDSP_WDOG_MUTE	0	SigmaDSP ウオッチドッグ・ミュート。 SigmaDSP ウオッチドッグ・ミュート解除。	0x0	R/W
		1	SigmaDSP ウオッチドッグ・ミュート。		
[3:1]	RESERVED		Reserved.	0x0	R
0	SDSP_WDOG_EN	0	SigmaDSP ウオッチドッグ・イネーブル。 SigmaDSP ウオッチドッグはオフ。	0x0	R/W
		1	SigmaDSP ウオッチドッグはオン。		

SigmaDSP ウオッチドッグ値レジスタ

アドレス : 0xC083、リセット : 0x00、レジスタ名 : SDSP_CTRL4



表 155. SDSP_CTRL4 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SDSP_WDOG_VAL[23:16]		SigmaDSP のウォッチドッグ値	0x0	R/W

アドレス : 0xC084、リセット : 0x00、レジスタ名 : SDSP_CTRL5

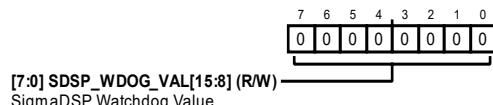


表 156. SDSP_CTRL5 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SDSP_WDOG_VAL[15:8]		SigmaDSP のウォッチドッグ値	0x0	R/W

アドレス : 0xC085、リセット : 0x00、レジスタ名 : SDSP_CTRL6

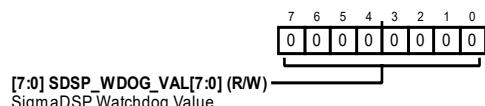


表 157. SDSP_CTRL6 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SDSP_WDOG_VAL[7:0]		SigmaDSP のウォッチドッグ値	0x0	R/W

SigmaDSP モジュロ・データ・メモリ開始位置レジスタ

アドレス : 0xC086、リセット : 0x07、レジスタ名 : SDSP_CTRL7

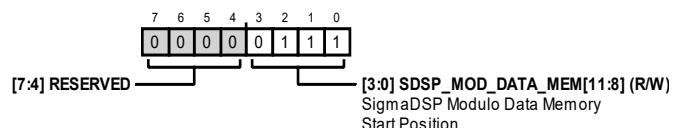


表 158. SDSP_CTRL7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	RESERVED		予備。	0x0	R
[3:0]	SDSP_MOD_DATA_MEM[11:8]		SigmaDSP モジュロ・データ・メモリの開始位置	0x7	R/W

アドレス : 0xC087、リセット : 0xF4、レジスタ名 : SDSP_CTRL8

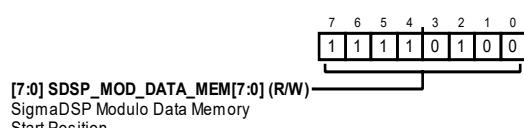


表 159. SDSP_CTRL8 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SDSP_MOD_DATA_MEM[7:0]		SigmaDSP モジュロ・データ・メモリの開始位置	0xF4	R/W

SigmaDSP 固定フレーム・レート分周レジスタ

アドレス : 0xC088、リセット : 0x07、レジスタ名 : SDSP_CTRL9

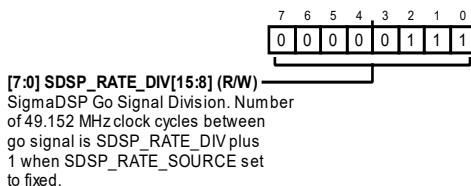


表 160. SDSP_CTRL9 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SDSP_RATE_DIV[15:8]		SigmaDSP の Go 信号分周。SDSP_RATE_SOURCE を固定に設定した場合、go 信号間の 49.152MHz クロック・サイクル数は SDSP_RATE_DIV + 1 になります。	0x7	R/W

アドレス : 0xC089、リセット : 0xFF、レジスタ名 : SDSP_CTRL10

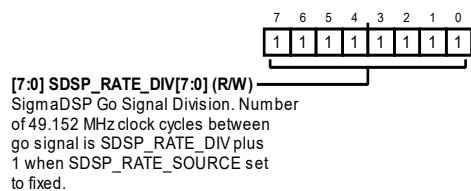


表 161. SDSP_CTRL10 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	SDSP_RATE_DIV[7:0]		SigmaDSP の Go 信号分周。SDSP_RATE_SOURCE を固定に設定した場合、go 信号間の 49.152MHz クロック・サイクル数は SDSP_RATE_DIV + 1 になります。	0xFF	R/W

SigmaDSP 割り込み設定レジスタ

アドレス : 0xC08A、リセット : 0x00、レジスタ名 : SDSP_CTRL11

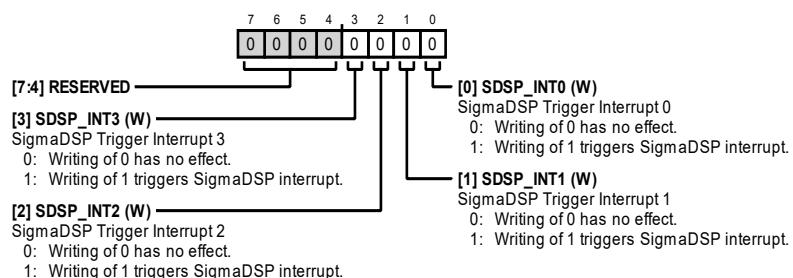


表 162. SDSP_CTRL11 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	RESERVED		予備。	0x0	R
3	SDSP_INT3	0	SigmaDSP トリガ割り込み 3。 0 を書き込んでも影響はありません。	0x0	W
		1	1 を書き込むと、SigmaDSP 割り込みをトリガします。		
2	SDSP_INT2	0	SigmaDSP トリガ割り込み 2。 0 を書き込んでも影響はありません。	0x0	W
		1	1 を書き込むと、SigmaDSP 割り込みをトリガします。		

ビット	ビット名	設定	説明	リセット	アクセス
1	SDSP_INT1	0 1	SigmaDSP トリガ割り込み 1。 0 を書き込んでも影響はありません。 1 を書き込むと、SigmaDSP 割り込みをトリガします。	0x0	W
0	SDSP_INT0	0 1	SigmaDSP トリガ割り込み 0。 0 を書き込んでも影響はありません。 1 を書き込むと、SigmaDSP 割り込みをトリガします。	0x0	W

多目的ピン 0／ピン 1 モード選択レジスタ

アドレス : 0xC08B、リセット : 0x00、レジスタ名 : MP_CTRL1

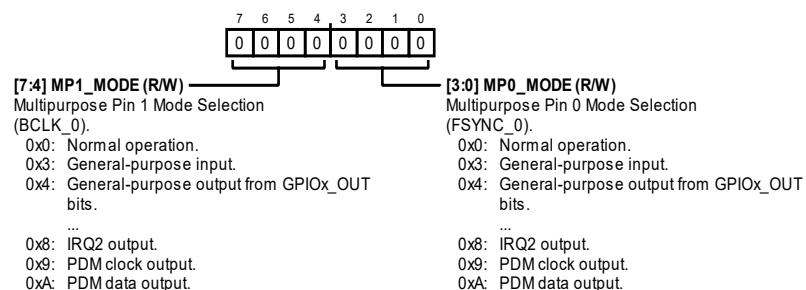


表 163. MP_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	MP1_MODE	0x0 0x3 0x4 0x5 0x6 0x7 0x8 0x9 0xA	多目的ピン 1 モード選択 (BCLK_0)。 通常動作。 汎用入力。 GPIOx_OUT ビットからの汎用出力。 SigmaDSP からの汎用出力。 マスター・クロック出力。 IRQ1 出力。 IRQ2 出力。 PDM クロック出力。 PDM データ出力。	0x0	R/W
[3:0]	MP0_MODE	0x0 0x3 0x4 0x5 0x6 0x7 0x8 0x9 0xA	多目的ピン 0 モード選択 (FSYNC_0)。 通常動作。 汎用入力。 GPIOx_OUT ビットからの汎用出力。 SigmaDSP からの汎用出力。 マスター・クロック出力。 IRQ1 出力。 IRQ2 出力。 PDM クロック出力。 PDM データ出力。	0x0	R/W

多目的ピン2／ピン3 モード選択レジスタ

アドレス : 0xC08C、リセット : 0x00、レジスタ名 : MP_CTRL2

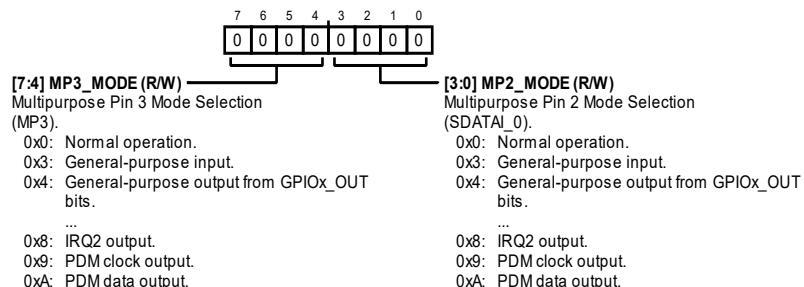


表 164. MP_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	MP3_MODE	0x0	多目的ピン3 モード選択 (MP3)。	0x0	R/W
		0x0	通常動作。		
		0x3	汎用入力。		
		0x4	GPIOx_OUT ビットからの汎用出力。		
		0x5	SigmaDSP からの汎用出力。		
		0x6	マスター・クロック出力。		
		0x7	IRQ1 出力。		
		0x8	IRQ2 出力。		
		0x9	PDM クロック出力。		
		0xA	PDM データ出力。		
[3:0]	MP2_MODE	0x0	多目的ピン2 モード選択 (SDATAI_0)。	0x0	R/W
		0x0	通常動作。		
		0x3	汎用入力。		
		0x4	GPIOx_OUT ビットからの汎用出力。		
		0x5	SigmaDSP からの汎用出力。		
		0x6	マスター・クロック出力。		
		0x7	IRQ1 出力。		
		0x8	IRQ2 出力。		
		0x9	PDM クロック出力。		
		0xA	PDM データ出力。		

多目的ピン4／ピン5モード選択レジスタ

アドレス：0xC08D、リセット：0x00、レジスタ名：MP_CTRL3

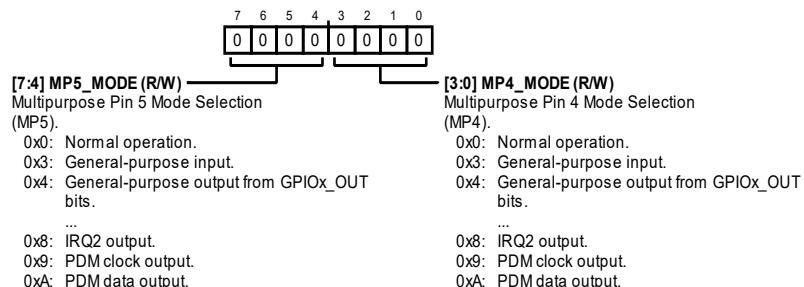


表 165. MP_CTRL3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	MP5_MODE	0x0	多目的ピン5モード選択 (MP5)。	0x0	R/W
		0x0	通常動作。		
		0x3	汎用入力。		
		0x4	GPIOx_OUT ビットからの汎用出力。		
		0x5	SigmaDSP からの汎用出力。		
		0x6	マスター・クロック出力。		
		0x7	IRQ1 出力。		
		0x8	IRQ2 出力。		
		0x9	PDM クロック出力。		
		0xA	PDM データ出力。		
[3:0]	MP4_MODE	0x0	多目的ピン4モード選択 (MP4)。	0x0	R/W
		0x0	通常動作。		
		0x3	汎用入力。		
		0x4	GPIOx_OUT ビットからの汎用出力。		
		0x5	SigmaDSP からの汎用出力。		
		0x6	マスター・クロック出力。		
		0x7	IRQ1 出力。		
		0x8	IRQ2 出力。		
		0x9	PDM クロック出力。		
		0xA	PDM データ出力。		

多目的ピン6／ピン7 モード選択レジスタ

アドレス：0xC08E、リセット：0x00、レジスタ名：MP_CTRL4

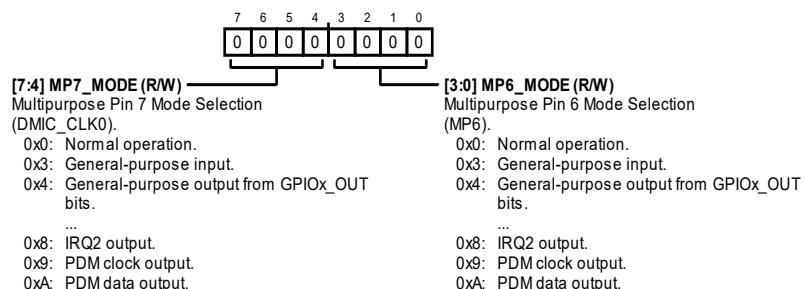


表 166. MP_CTRL4 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	MP7_MODE	0x0	多目的ピン7モード選択 (DMIC_CLK0)。	0x0	R/W
		0x3	通常動作。		
		0x4	汎用入力。		
		0x5	GPIOx_OUTビットからの汎用出力。		
		0x6	SigmaDSPからの汎用出力。		
		0x7	マスター・クロック出力。		
		0x8	IRQ1出力。		
		0x9	IRQ2出力。		
		0xA	PDMクロック出力。		
			PDMデータ出力。		
[3:0]	MP6_MODE	0x0	多目的ピン6モード選択 (MP6)。	0x0	R/W
		0x3	通常動作。		
		0x4	汎用入力。		
		0x5	GPIOx_OUTビットからの汎用出力。		
		0x6	SigmaDSPからの汎用出力。		
		0x7	マスター・クロック出力。		
		0x8	IRQ1出力。		
		0x9	IRQ2出力。		
		0xA	PDMクロック出力。		
			PDMデータ出力。		

多目的ピン8／ピン9 モード選択レジスタ

アドレス：0xC08F、リセット：0x00、レジスタ名：MP_CTRL5

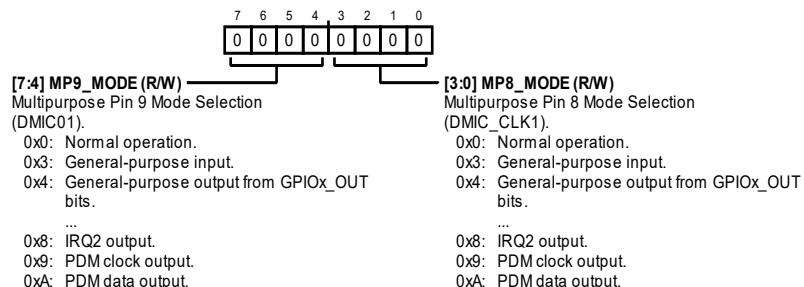


表 167. MP_CTRL5 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	MP9_MODE	0x0	多目的ピン9モード選択 (DMIC01)。	0x0	R/W
		0x0	通常動作。		
		0x3	汎用入力。		
		0x4	GPIOx_OUT ビットからの汎用出力。		
		0x5	SigmaDSP からの汎用出力。		
		0x6	マスター・クロック出力。		
		0x7	IRQ1 出力。		
		0x8	IRQ2 出力。		
		0x9	PDM クロック出力。		
		0xA	PDM データ出力。		
[3:0]	MP8_MODE	0x0	多目的ピン8モード選択 (DMIC_CLK1)。	0x0	R/W
		0x0	通常動作。		
		0x3	汎用入力。		
		0x4	GPIOx_OUT ビットからの汎用出力。		
		0x5	SigmaDSP からの汎用出力。		
		0x6	マスター・クロック出力。		
		0x7	IRQ1 出力。		
		0x8	IRQ2 出力。		

多目的ピン 10 モード選択レジスタ

アドレス : 0xC090、リセット : 0x00、レジスタ名 : MP_CTRL6

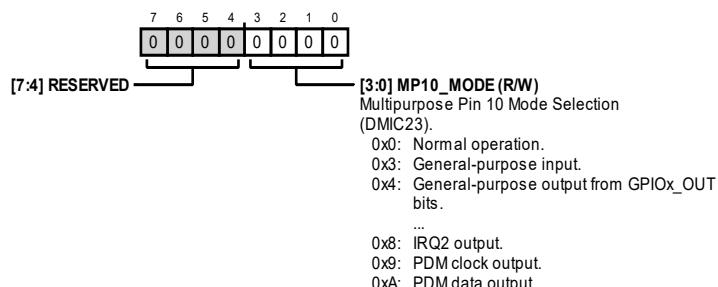


表 168. MP_CTRL6 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:4]	RESERVED		予備。	0x0	R/W
[3:0]	MP10_MODE	0x0 0x3 0x4 0x5 0x6 0x7 0x8 0x9 0xA	多目的ピン 10 モード選択 (DMIC23)。 通常動作。 汎用入力。 GPIOx_OUT ビットからの汎用出力。 SigmaDSP からの汎用出力。 マスター・クロック出力。 IRQ1 出力。 IRQ2 出力。 PDM クロック出力。 PDM データ出力。	0x0	R/W

汎用入力バウンス防止制御およびマスター・クロック出力レート選択レジスタ

アドレス : 0xC091、リセット : 0x10、レジスタ名 : MP_CTRL7

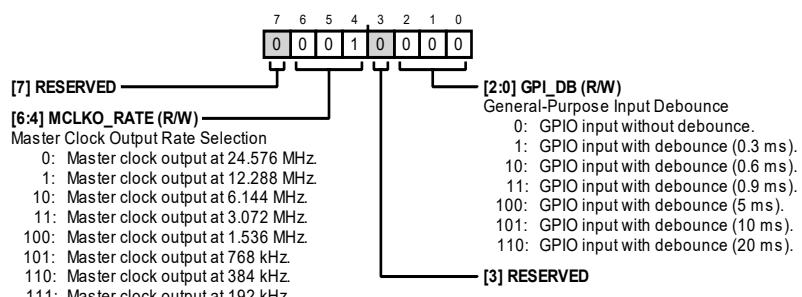


表 169. MP_CTRL7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:4]	MCLKO_RATE	0 1 10 11 100 101 110 111	マスター・クロックの出力レートの選択。 24.576MHz のマスター・クロック出力。 12.288MHz のマスター・クロック出力。 6.144MHz のマスター・クロック出力。 3.072MHz のマスター・クロック出力。 1.536MHz のマスター・クロック出力。 768kHz のマスター・クロック出力。 384kHz のマスター・クロック出力。 192kHz のマスター・クロック出力。	0x1	R/W
3	RESERVED		予備。	0x0	R

ビット	ビット名	設定	説明	リセット	アクセス
[2:0]	GPIO_DB		汎用入力のバウンス防止。 0: バウンス防止機能なしの GPIO 入力。 1: バウンス防止機能付き GPIO 入力 (0.3ms)。 10: バウンス防止機能付き GPIO 入力 (0.6ms)。 11: バウンス防止機能付き GPIO 入力 (0.9ms)。 100: バウンス防止機能付き GPIO 入力 (5ms)。 101: バウンス防止機能付き GPIO 入力 (10ms)。 110: バウンス防止機能付き GPIO 入力 (20ms)。	0x0	R/W

汎用出力ピン 0～ピン 7 コントロール・レジスタ

アドレス : 0xC092、リセット : 0x00、レジスタ名 : MP_CTRL8

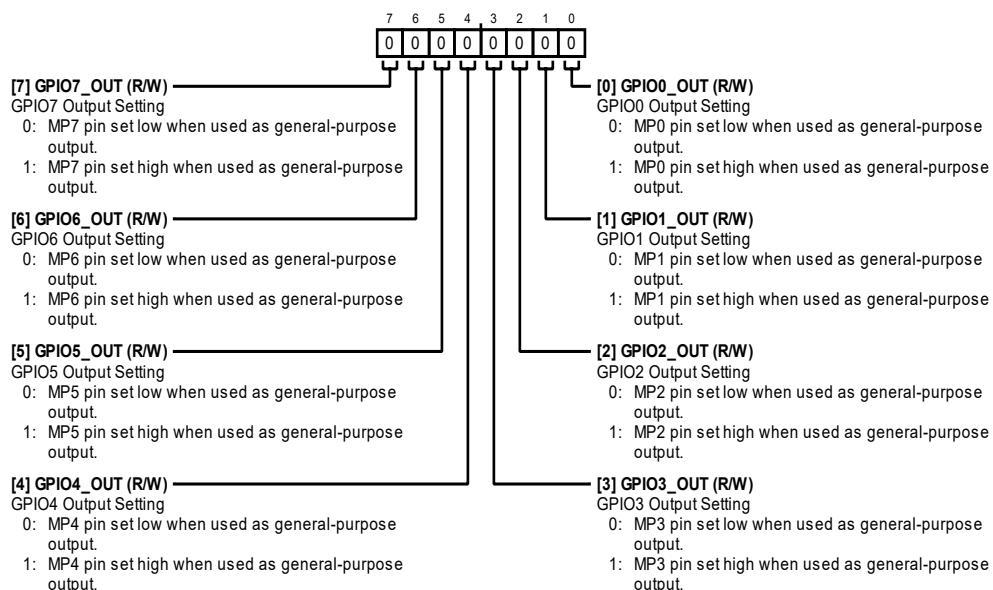


表 170. MP_CTRL8 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	GPIO7_OUT	0 1	GPIO7 の出力の設定値。 汎用出力として使用する場合、MP7 ピンをローに設定します。 汎用出力として使用する場合、MP7 ピンをハイに設定します。	0x0	R/W
6	GPIO6_OUT	0 1	GPIO6 の出力の設定値。 汎用出力として使用する場合、MP6 ピンをローに設定します。 汎用出力として使用する場合、MP6 ピンをハイに設定します。	0x0	R/W
5	GPIO5_OUT	0 1	GPIO5 の出力の設定値。 汎用出力として使用する場合、MP5 ピンをローに設定します。 汎用出力として使用する場合、MP5 ピンをハイに設定します。	0x0	R/W
4	GPIO4_OUT	0 1	GPIO4 の出力の設定値。 汎用出力として使用する場合、MP4 ピンをローに設定します。 汎用出力として使用する場合、MP4 ピンをハイに設定します。	0x0	R/W
3	GPIO3_OUT	0 1	GPIO3 の出力の設定値。 汎用出力として使用する場合、MP3 ピンをローに設定します。 汎用出力として使用する場合、MP3 ピンをハイに設定します。	0x0	R/W
2	GPIO2_OUT	0 1	GPIO2 の出力の設定値。 汎用出力として使用する場合、MP2 ピンをローに設定します。 汎用出力として使用する場合、MP2 ピンをハイに設定します。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
1	GPIO1_OUT	0 1	GPIO1 の出力の設定値。 汎用出力として使用する場合、MP1 ピンをローに設定します。 汎用出力として使用する場合、MP1 ピンをハイに設定します。	0x0	R/W
0	GPIO0_OUT	0 1	GPIO0 の出力の設定値。 汎用出力として使用する場合、MP0 ピンをローに設定します。 汎用出力として使用する場合、MP0 ピンをハイに設定します。	0x0	R/W

汎用出力ピン 8～ピン 10 コントロール・レジスタ

アドレス : 0xC093、リセット : 0x00、レジスタ名 : MP_CTRL9

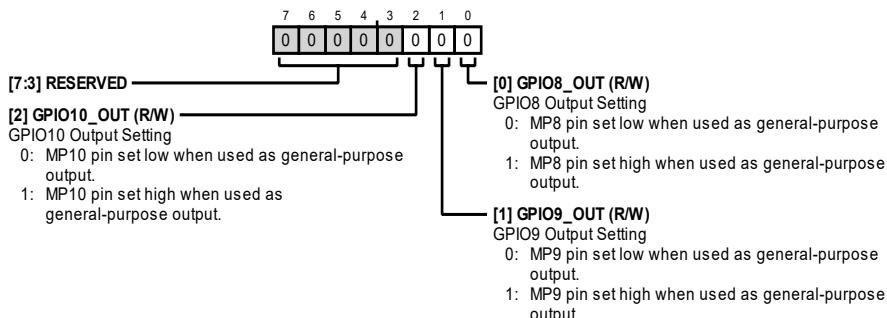


表 171. MP_CTRL9 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RESERVED		予備。	0x0	R
2	GPIO10_OUT	0 1	GPIO10 の出力の設定値。 汎用出力として使用する場合、MP10 ピンをローに設定します。 汎用出力として使用する場合、MP10 ピンをハイに設定します。	0x0	R/W
1	GPIO9_OUT	0 1	GPIO9 の出力の設定値。 汎用出力として使用する場合、MP9 ピンをローに設定します。 汎用出力として使用する場合、MP9 ピンをハイに設定します。	0x0	R/W
0	GPIO8_OUT	0 1	GPIO8 の出力の設定値。 汎用出力として使用する場合、MP8 ピンをローに設定します。 汎用出力として使用する場合、MP8 ピンをハイに設定します。	0x0	R/W

FSYNC_0 ピン・コントロール・レジスタ

アドレス : 0xC094、リセット : 0x05、レジスタ名 : FSYNC0_CTRL

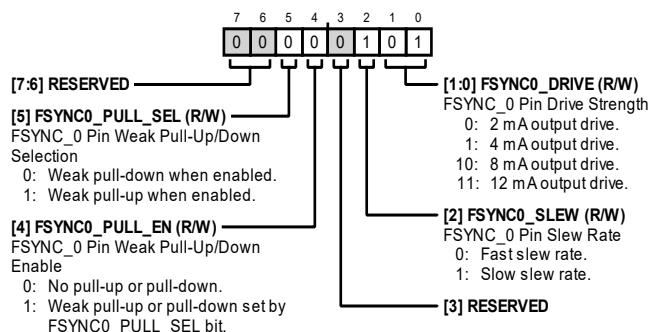


表 172. FSYNC0_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	FSYNC0_PULL_SEL	0 1	FSYNC_0 ピンの弱いプルアップ／ダウンの選択。 イネーブルの場合、弱いプルダウン。 イネーブルの場合、弱いプルアップ。	0x0	R/W
4	FSYNC0_PULL_EN	0 1	FSYNC_0 ピンの弱いプルアップ／ダウンのイネーブル。 プルアップもプルダウンも使用しません。 FSYNC0_PULL_SEL ビットによって設定される、弱いプルアップまたは プルダウン。	0x0	R/W
3	RESERVED		予備。	0x0	R
2	FSYNC0_SLEW	0 1	FSYNC_0 ピンのスルー・レート。ピンを出力として使用する場合のス ルー・レートを決定します。 高速スルー・レート。 低速スルー・レート。	0x1	R/W
[1:0]	FSYNC0_DRIVE	0 1 10 11	FSYNC_0 ピンの駆動強度。ピンを出力として使用する場合の駆動強度を 決定します。 2mA の出力駆動。 4mA の出力駆動。 8mA の出力駆動。 12mA の出力駆動。	0x1	R/W

BCLK_0 ピン・コントロール・レジスタ

アドレス : 0xC095、リセット : 0x05、レジスタ名 : BCLK0_CTRL

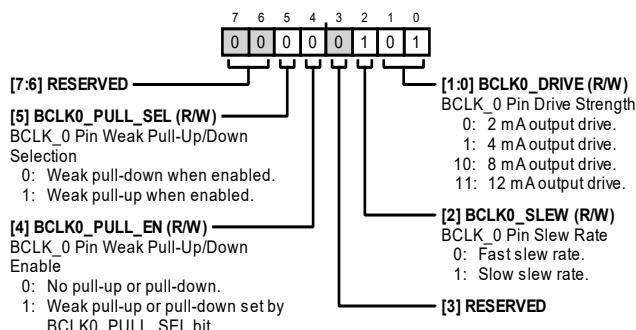


表 173. BCLK0_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	BCLK0_PULL_SEL	0 1	BCLK_0 ピンの弱いプルアップ／ダウンの選択。 イネーブルの場合、弱いプルダウン。 イネーブルの場合、弱いプルアップ。	0x0	R/W
4	BCLK0_PULL_EN	0 1	BCLK_0 ピンの弱いプルアップ／ダウンのイネーブル。 プルアップもプルダウンも使用しません。 BCLK0_PULL_SEL ビットによって設定される、弱いプルアップまたはプルダウン。	0x0	R/W
3	RESERVED		予備。	0x0	R
2	BCLK0_SLEW	0 1	BCLK_0 ピンのスルーレート。ピンを出力として使用する場合のスルーレートを決定します。 高速スルーレート。 低速スルーレート。	0x1	R/W
[1:0]	BCLK0_DRIVE	0 1 10 11	BCLK_0 ピンの駆動強度。ピンを出力として使用する場合の駆動強度を決定します。 2mA の出力駆動。 4mA の出力駆動。 8mA の出力駆動。 12mA の出力駆動。	0x1	R/W

SDATAO_0 ピン・コントロール・レジスタ

アドレス : 0xC096、リセット : 0x04、レジスタ名 : SDATAO0_CTRL

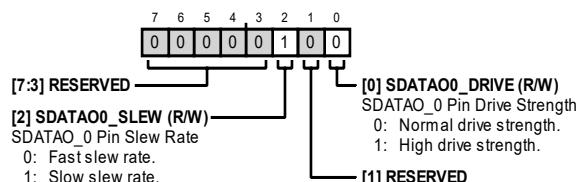


表 174. SDATAO0_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RESERVED		予備。	0x0	R
2	SDATAO0_SLEW	0 1	SDATAO_0 ピンのスルーレート。ピンを出力として使用する場合のスルーレートを決定します。 高速スルーレート。 低速スルーレート。	0x1	R/W

ビット	ビット名	設定	説明	リセット	アクセス
1	RESERVED		予備。	0x0	R
0	SDATAO0_DRIVE	0 1	SDATAO0 の駆動強度。 通常の駆動強度。 高駆動強度。	0x0	R/W

SDATAI_0 ピン・コントロール・レジスタ

アドレス : 0xC097、リセット : 0x05、レジスタ名 : SDATAI0_CTRL

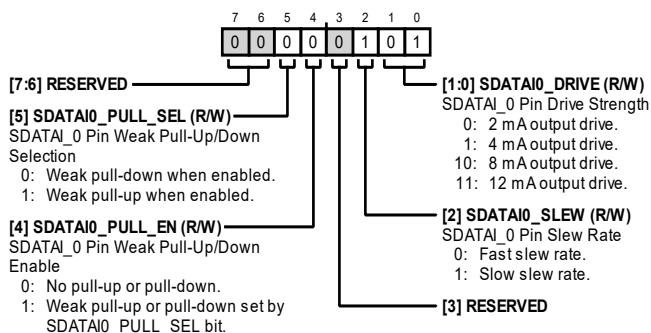


表 175. SDATAI0_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	SDATAI0_PULL_SEL	0 1	SDATAI_0 ピンの弱いプルアップ／ダウンの選択。 0: イネーブルの場合、弱いプルダウン。 1: イネーブルの場合、弱いプルアップ。	0x0	R/W
4	SDATAI0_PULL_EN	0 1	SDATAI_0 ピンの弱いプルアップ／ダウンのイネーブル。 0: プルアップもプルダウンも使用しません。 1: SDATAI0_PULL_SEL ビットによって設定される、弱いプルアップまたはプルダウン。	0x0	R/W
3	RESERVED		予備。	0x0	R
2	SDATAI0_SLEW	0 1	SDATAI_0 ピンのスルーレート。ピンを出力として使用する場合のスルーレートを決定します。 0: 高速スルーレート。 1: 低速スルーレート。	0x1	R/W
[1:0]	SDATAI0_DRIVE	0 1 10 11	SDATAI_0 ピンの駆動強度。ピンを出力として使用する場合の駆動強度を決定します。 0: 2mA の出力駆動。 1: 4mA の出力駆動。 10: 8mA の出力駆動。 11: 12mA の出力駆動。	0x1	R/W

MP3 ピン・コントロール・レジスタ

アドレス : 0xC098、リセット : 0x05、レジスタ名 : MP3_CTRL

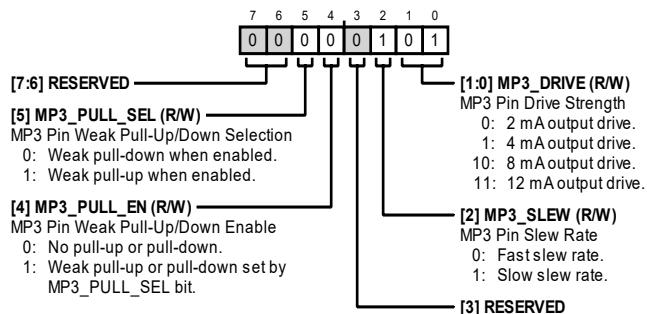


表 176. MP3_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	MP3_PULL_SEL	0 1	MP3 ピンの弱いプルアップ／ダウンの選択。 イネーブルの場合、弱いプルダウン。 イネーブルの場合、弱いプルアップ。	0x0	R/W
4	MP3_PULL_EN	0 1	MP3 ピンの弱いプルアップ／ダウンのイネーブル。 プルアップもプルダウンも使用しません。 MP3_PULL_SEL ビットによって設定される、弱いプルアップまたはプルダウン。	0x0	R/W
3	RESERVED		予備。	0x0	R
2	MP3_SLEW	0 1	MP3 ピンのスルーレート。ピンを出力として使用する場合のスルーレートを決定します。 高速スルーレート。 低速スルーレート。	0x1	R/W
[1:0]	MP3_DRIVE	0 1 10 11	MP3 ピンの駆動強度。ピンを出力として使用する場合の駆動強度を決定します。 2mA の出力駆動。 4mA の出力駆動。 8mA の出力駆動。 12mA の出力駆動。	0x1	R/W

MP4 ピン・コントロール・レジスタ

アドレス : 0xC099、リセット : 0x05、レジスタ名 : MP4_CTRL

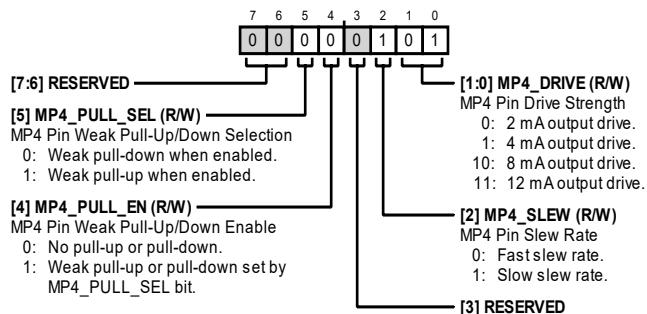


表 177. MP4_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	MP4_PULL_SEL	0 1	MP4 ピンの弱いプルアップ／ダウンの選択。 イネーブルの場合、弱いプルダウン。 イネーブルの場合、弱いプルアップ。	0x0	R/W
4	MP4_PULL_EN	0 1	MP4 ピンの弱いプルアップ／ダウンのイネーブル。 プルアップもプルダウンも使用しません。 MP4_PULL_SEL ビットによって設定される、弱いプルアップまたはプルダウン。	0x0	R/W
3	RESERVED		予備。	0x0	R
2	MP4_SLEW	0 1	MP4 ピンのスルー・レート。ピンを出力として使用する場合のスルー・レートを決定します。 高速スルー・レート。 低速スルー・レート。	0x1	R/W
[1:0]	MP4_DRIVE	0 1 10 11	MP4 ピンの駆動強度。ピンを出力として使用する場合の駆動強度を決定します。 2mA の出力駆動。 4mA の出力駆動。 8mA の出力駆動。 12mA の出力駆動。	0x1	R/W

MP5 ピン・コントロール・レジスタ

アドレス : 0xC09A、リセット : 0x05、レジスタ名 : MP5_CTRL

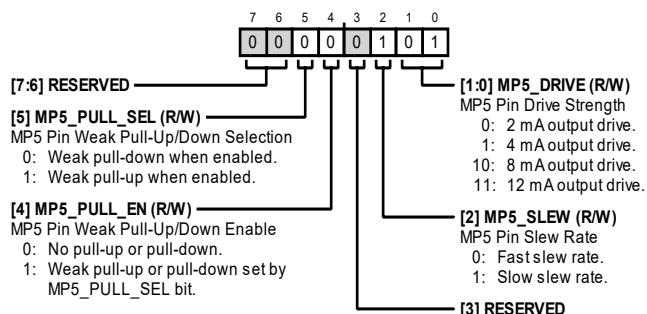


表 178. MP5_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	MP5_PULL_SEL	0 1	MP5 ピンの弱いプルアップ／ダウンの選択。 イネーブルの場合、弱いプルダウン。 イネーブルの場合、弱いプルアップ。	0x0	R/W
4	MP5_PULL_EN	0 1	MP5 ピンの弱いプルアップ／ダウンのイネーブル。 プルアップもプルダウンも使用しません。 MP5_PULL_SEL ビットによって設定される、弱いプルアップまたはプルダウン。	0x0	R/W
3	RESERVED		予備。	0x0	R
2	MP5_SLEW	0 1	MP5 ピンのスルー・レート。ピンを出力として使用する場合のスルー・レートを決定します。 高速スルー・レート。 低速スルー・レート。	0x1	R/W
[1:0]	MP5_DRIVE	0 1 10 11	MP5 ピンの駆動強度。ピンを出力として使用する場合の駆動強度を決定します。 2mA の出力駆動。 4mA の出力駆動。 8mA の出力駆動。 12mA の出力駆動。	0x1	R/W

MP6 ピン・コントロール・レジスタ

アドレス : 0xC09B、リセット : 0x05、レジスタ名 : MP6_CTRL

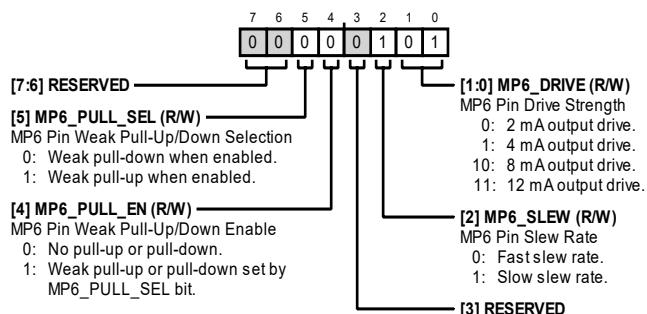


表 179. MP6_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	MP6_PULL_SEL	0	MP6 pinの弱いプルアップ／ダウンの選択。 イネーブルの場合、弱いプルダウン。	0x0	R/W
5	MP6_PULL_SEL	1	MP6 pinの弱いプルアップ／ダウンの選択。 イネーブルの場合、弱いプルアップ。	0x0	R/W
4	MP6_PULL_EN	0	MP6 pinの弱いプルアップ／ダウンのイネーブル。 プルアップもプルダウンも使用しません。	0x0	R/W
4	MP6_PULL_EN	1	MP6_PULL_SEL ビットによって設定される、弱いプルアップまたはプルダウン。	0x0	R/W
3	RESERVED		予備。	0x0	R
2	MP6_SLEW	0	MP6 pinのスルーレート。ピンを出力として使用する場合のスルーレートを決定します。 0: 高速スルーレート。 1: 低速スルーレート。	0x1	R/W
2	MP6_SLEW	1	MP6 pinのスルーレート。ピンを出力として使用する場合のスルーレートを決定します。 0: 高速スルーレート。 1: 低速スルーレート。	0x1	R/W
[1:0]	MP6_DRIVE	0	MP6 pinの駆動強度。ピンを出力として使用する場合の駆動強度を決定します。 0: 2mA の出力駆動。 1: 4mA の出力駆動。	0x1	R/W
[1:0]	MP6_DRIVE	1	MP6 pinの駆動強度。ピンを出力として使用する場合の駆動強度を決定します。 0: 2mA の出力駆動。 1: 4mA の出力駆動。	0x1	R/W
[1:0]	MP6_DRIVE	10	MP6 pinの駆動強度。ピンを出力として使用する場合の駆動強度を決定します。 0: 2mA の出力駆動。 1: 4mA の出力駆動。	0x1	R/W
[1:0]	MP6_DRIVE	11	MP6 pinの駆動強度。ピンを出力として使用する場合の駆動強度を決定します。 0: 2mA の出力駆動。 1: 4mA の出力駆動。	0x1	R/W

DMIC_CLK0 ピン・コントロール・レジスタ

アドレス : 0xC09C、リセット : 0x05、レジスタ名 : DMIC_CLK0_CTRL

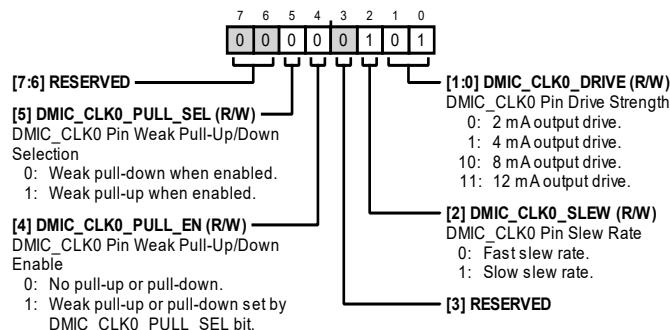


表 180. DMIC_CLK0_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	DMIC_CLK0_PULL_SEL	0 1	DMIC_CLK0 ピンの弱いプルアップ/ダウンの選択。 0: イネーブルの場合、弱いプルダウン。 1: イネーブルの場合、弱いプルアップ。	0x0	R/W
4	DMIC_CLK0_PULL_EN	0 1	DMIC_CLK0 ピンの弱いプルアップ/ダウンのイネーブル。 0: プルアップもプルダウンも使用しません。 1: DMIC_CLK0_PULL_SEL ビットによって設定される、弱いプルアップまたはプルダウン。	0x0	R/W
3	RESERVED		予備。	0x0	R
2	DMIC_CLK0_SLEW	0 1	DMIC_CLK0 ピンのスルーレート。ピンを出力として使用する場合のスルーレートを決定します。 0: 高速スルーレート。 1: 低速スルーレート。	0x1	R/W
[1:0]	DMIC_CLK0_DRIVE	0 1 10 11	DMIC_CLK0 ピンの駆動強度。ピンを出力として使用する場合の駆動強度を決定します。 0: 2mA の出力駆動。 1: 4mA の出力駆動。 10: 8mA の出力駆動。 11: 12mA の出力駆動。	0x1	R/W

DMIC_CLK1 ピン・コントロール・レジスタ

アドレス : 0xC09D、リセット : 0x05、レジスタ名 : DMIC_CLK1_CTRL

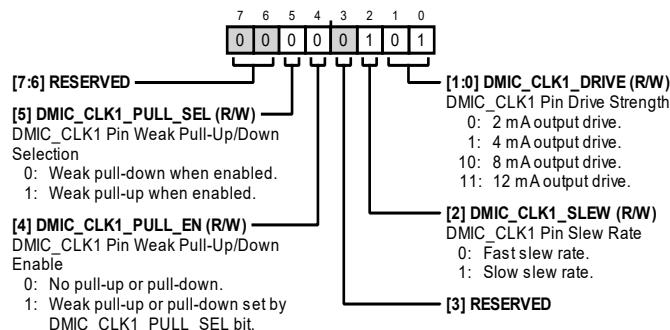


表 181. DMIC_CLK1_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	DMIC_CLK1_PULL_SEL	0 1	DMIC_CLK1 ピンの弱いプルアップ/ダウンの選択。 0: イネーブルの場合、弱いプルダウン。 1: イネーブルの場合、弱いプルアップ。	0x0	R/W
4	DMIC_CLK1_PULL_EN	0 1	DMIC_CLK1 ピンの弱いプルアップ/ダウンのイネーブル。 0: プルアップもプルダウンも使用しません。 1: DMIC_CLK1_PULL_SEL ビットによって設定される、弱いプルアップまたはプルダウン。	0x0	R/W
3	RESERVED		予備。	0x0	R
2	DMIC_CLK1_SLEW	0 1	DMIC_CLK1 ピンのスルーレート。ピンを出力として使用する場合のスルーレートを決定します。 0: 高速スルーレート。 1: 低速スルーレート。	0x1	R/W
[1:0]	DMIC_CLK1_DRIVE	0 1 10 11	DMIC_CLK1 ピンの駆動強度。ピンを出力として使用する場合の駆動強度を決定します。 0: 2mA の出力駆動。 1: 4mA の出力駆動。 10: 8mA の出力駆動。 11: 12mA の出力駆動。	0x1	R/W

DMIC01 ピン・コントロール・レジスタ

アドレス : 0xC09E、リセット : 0x05、レジスタ名 : DMIC01_CTRL

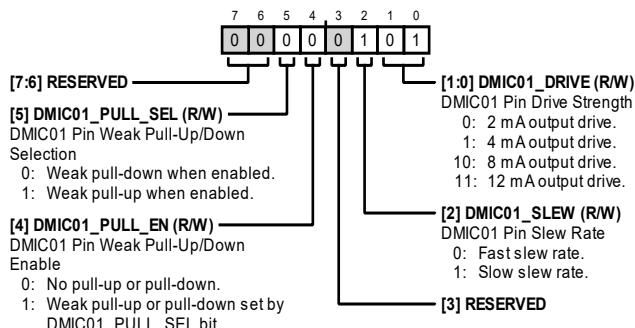


表 182. DMIC01_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	DMIC01_PULL_SEL	0 1	DMIC01 ピンの弱いプルアップ／ダウンの選択。 イネーブルの場合、弱いプルダウン。 イネーブルの場合、弱いプルアップ。	0x0	R/W
4	DMIC01_PULL_EN	0 1	DMIC01 ピンの弱いプルアップ／ダウンのイネーブル。 プルアップもプルダウンも使用しません。 DMIC01_PULL_SEL ビットによって設定される、弱いプルアップまたは プルダウン。	0x0	R/W
3	RESERVED		予備。	0x0	R
2	DMIC01_SLEW	0 1	DMIC01 ピンのスルー・レート。ピンを出力として使用する場合のス ルー・レートを決定します。 高速スルー・レート。 低速スルー・レート。	0x1	R/W
[1:0]	DMIC01_DRIVE	0 1 10 11	DMIC01 ピンの駆動強度。ピンを出力として使用する場合の駆動強度を 決定します。 2mA の出力駆動。 4mA の出力駆動。 8mA の出力駆動。 12mA の出力駆動。	0x1	R/W

DMIC23 ピン・コントロール・レジスタ

アドレス : 0xC09F、リセット : 0x05、レジスタ名 : DMIC23_CTRL

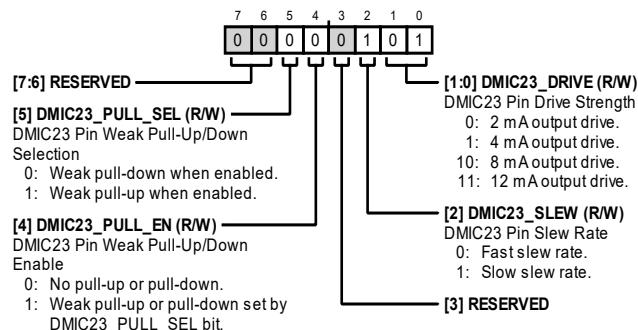


表 183. DMIC23_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	DMIC23_PULL_SEL	0 1	DMIC23 ピンの弱いプルアップ／ダウンの選択。 イネーブルの場合、弱いプルダウン。 イネーブルの場合、弱いプルアップ。	0x0	R/W
4	DMIC23_PULL_EN	0 1	DMIC23 ピンの弱いプルアップ／ダウンのイネーブル。 プルアップもプルダウンも使用しません。 DMIC23_PULL_SEL ビットによって設定される、弱いプルアップまたは プルダウン。	0x0	R/W
3	RESERVED		予備。	0x0	R
2	DMIC23_SLEW	0 1	DMIC23 ピンのスルー・レート。ピンを出力として使用する場合のス ルー・レートを決定します。 高速スルー・レート。 低速スルー・レート。	0x1	R/W
[1:0]	DMIC23_DRIVE	0 1 10 11	DMIC23 ピンの駆動強度。ピンを出力として使用する場合の駆動強度を 決定します。 2mA の出力駆動。 4mA の出力駆動。 8mA の出力駆動。 12mA の出力駆動。	0x1	R/W

SDA/MISO ピン・コントロール・レジスタ

アドレス : 0xC0A0、リセット : 0x00、レジスタ名 : I2C_SPI_CTRL

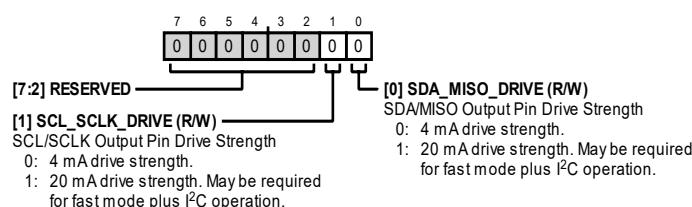


表 184. I2C_SPI_CTRL のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:2]	RESERVED		予備。	0x0	R
1	SCL_SCLK_DRIVE	0 1	SCL/SCLK 出力ピンの駆動強度。 4mA の駆動強度。 20mA の駆動強度。高速モード+I ² C 動作の場合に必要になることがあります。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
0	SDA_MISO_DRIVE	0 1	SDA/MISO 出力ピンの駆動強度。 4mA の駆動強度。	0x0	R/W
			20mA の駆動強度。高速モード+ I ² C 動作の場合に必要になることがあります。		

IRQ シグナルおよびクリア・レジスタ

アドレス : 0xC0A1、リセット : 0x00、レジスタ名 : IRQ_CTRL1

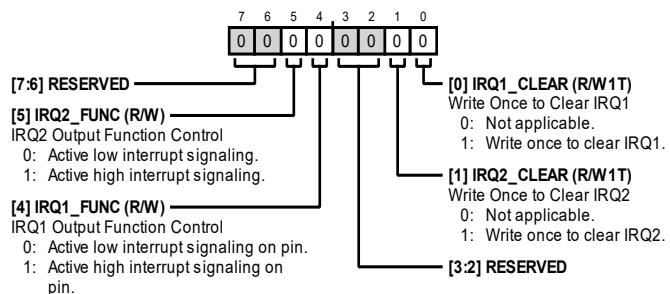


表 185. IRQ_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	IRQ2_FUNC	0 1	IRQ2 出力の機能の制御。 アクティブ・ローの割り込みシグナル。	0x0	R/W
			アクティブ・ハイの割り込みシグナル。		
4	IRQ1_FUNC	0 1	IRQ1 出力の機能の制御。 ピン上のアクティブ・ローの割り込みシグナル。	0x0	R/W
			ピン上のアクティブ・ハイの割り込みシグナル。		
[3:2]	RESERVED		予備。	0x0	R
1	IRQ2_CLEAR	0 1	1 回書き込むと、IRQ2 をクリアします。 該当せず。	0x0	R/W1T
			1 回書き込むと、IRQ2 をクリアします。		
0	IRQ1_CLEAR	0 1	1 回書き込むと、IRQ1 をクリアします。 該当せず。	0x0	R/W1T
			1 回書き込むと、IRQ1 をクリアします。		

IRQ1 マスク・レジスタ

アドレス : 0xC0A2、リセット : 0xF3、レジスタ名 : IRQ1_MASK1

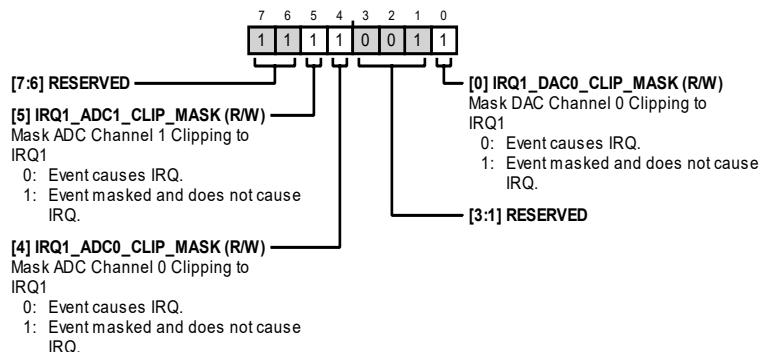


表 186. IRQ1_MASK1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x3	R/W
5	IRQ1_ADC1_CLIP_MASK	0	ADC チャンネル 1 のクリッピングを IRQ1 に対してマスクします。 イベントによって IRQ が発生します。	0x1	R/W
		1	イベントはマスクされ、IRQ は発生しません。		
4	IRQ1_ADC0_CLIP_MASK	0	ADC チャンネル 0 のクリッピングを IRQ1 に対してマスクします。 イベントによって IRQ が発生します。	0x1	R/W
		1	イベントはマスクされ、IRQ は発生しません。		
[3:1]	RESERVED		予備。	0x1	R
0	IRQ1_DAC0_CLIP_MASK	0	DAC チャンネル 0 のクリッピングを IRQ1 に対してマスクします。 イベントによって IRQ が発生します。	0x1	R/W
		1	イベントはマスクされ、IRQ は発生しません。		

アドレス : 0xC0A3、リセット : 0xFF、レジスタ名 : IRQ1_MASK2

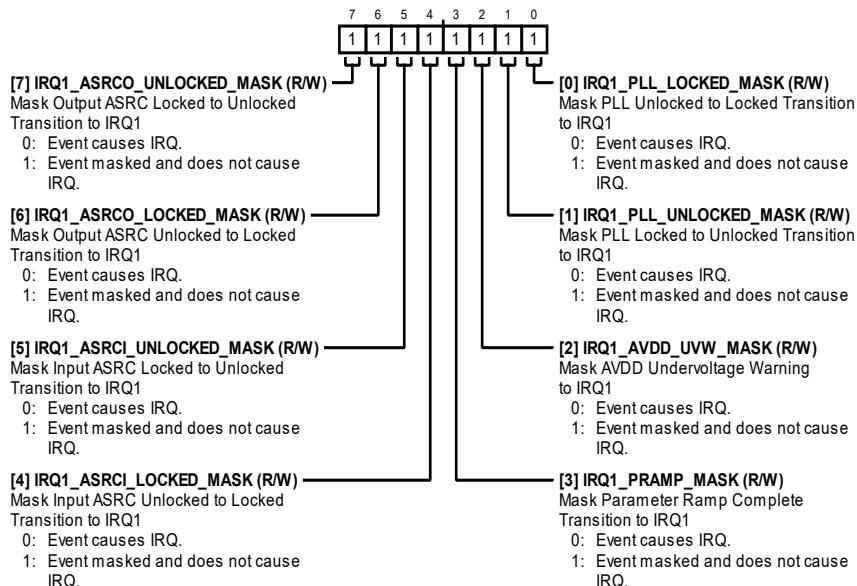


表 187. IRQ1_MASK2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	IRQ1_ASRCO_UNLOCKED_MASK	0	出力 ASRC のロックからアンロックへの遷移を IRQ1 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
6	IRQ1_ASRCO_LOCKED_MASK	0	出力 ASRC のアンロックからロックへの遷移を IRQ1 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
5	IRQ1_ASRCI_UNLOCKED_MASK	0	入力 ASRC のロックからアンロックへの遷移を IRQ1 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
4	IRQ1_ASRCI_LOCKED_MASK	0	入力 ASRC のアンロックからロックへの遷移を IRQ1 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
3	IRQ1_PRAMP_MASK	0	パラメータ・ランプ完了の遷移を IRQ1 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
2	IRQ1_AVDD_UVW_MASK	0	AVDD 低電圧警告を IRQ1 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
1	IRQ1_PLL_UNLOCKED_MASK	0	PLL のロックからアンロックへの遷移を IRQ1 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
0	IRQ1_PLL_LOCKED_MASK	0	PLL のアンロックからロックへの遷移を IRQ1 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		

アドレス : 0xC0A4、リセット : 0x1F、レジスタ名 : IRQ1_MASK3

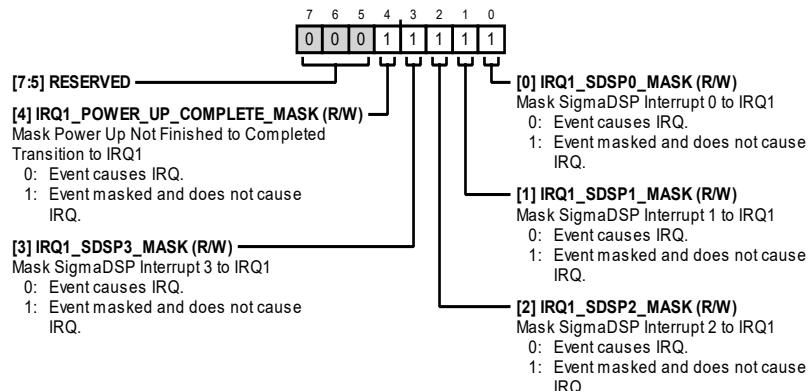


表 188. IRQ1_MASK3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	IRQ1_POWER_UP_COMPLETE_MASK	0 1	パワーアップ未完了から完了への遷移を IRQ1 に対してマスクします。 イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。	0x1	R/W
3	IRQ1_SDSP3_MASK	0 1	SigmaDSP 割り込み 3 を IRQ1 に対してマスクします。 イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。	0x1	R/W
2	IRQ1_SDSP2_MASK	0 1	SigmaDSP 割り込み 2 を IRQ1 に対してマスクします。 イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。	0x1	R/W
1	IRQ1_SDSP1_MASK	0 1	SigmaDSP 割り込み 1 を IRQ1 に対してマスクします。 イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。	0x1	R/W
0	IRQ1_SDSP0_MASK	0 1	SigmaDSP 割り込み 0 を IRQ1 に対してマスクします。 イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。	0x1	R/W

IRQ2 マスク・レジスタ

アドレス : 0xC0A5、リセット : 0xF3、レジスタ名 : IRQ2_MASK1

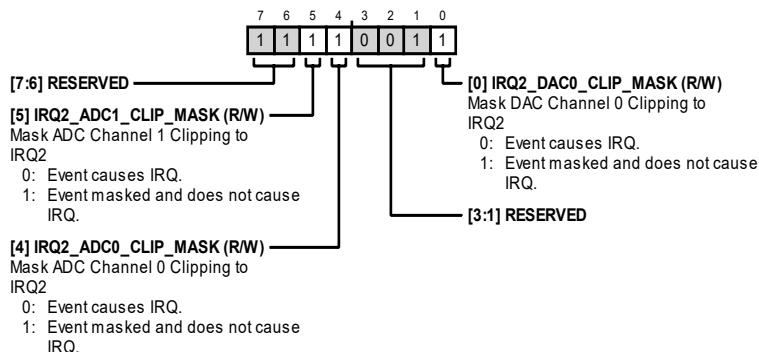


表 189. IRQ2_MASK1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x3	R/W
5	IRQ2_ADC1_CLIP_MASK	0 1	ADC チャンネル 1 のクリッピングを IRQ2 に対してマスクします。 イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。	0x1	R/W
4	IRQ2_ADC0_CLIP_MASK	0 1	ADC チャンネル 0 のクリッピングを IRQ2 に対してマスクします。 イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。	0x1	R/W
[3:1]	RESERVED		予備。	0x1	R
0	IRQ2_DAC0_CLIP_MASK	0 1	DAC チャンネル 0 のクリッピングを IRQ2 に対してマスクします。 イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。	0x1	R/W

アドレス : 0xC0A6、リセット : 0xFF、レジスタ名 : IRQ2_MASK2

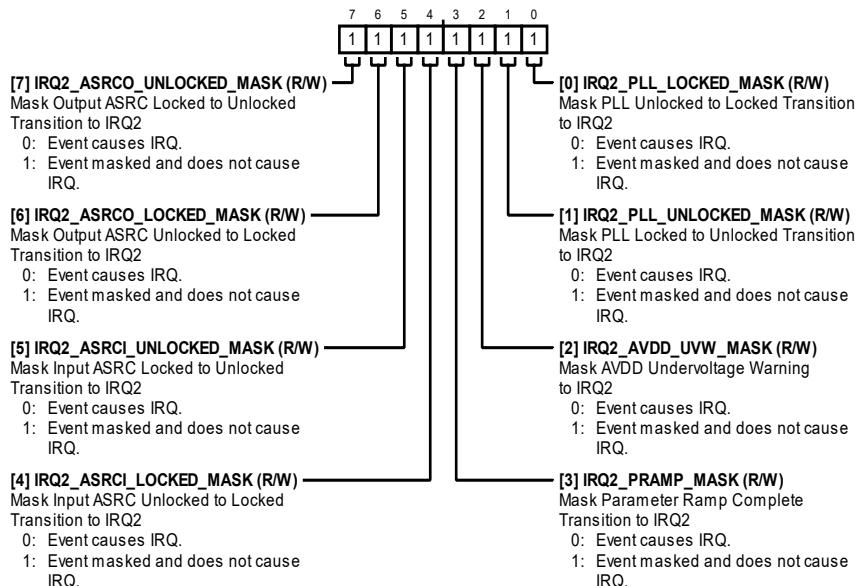


表 190. IRQ2_MASK2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	IRQ2_ASRCO_UNLOCKED_MASK	0	出力 ASRC のロックからアンロックへの遷移を IRQ2 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
6	IRQ2_ASRCO_LOCKED_MASK	0	出力 ASRC のアンロックからロックへの遷移を IRQ2 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
5	IRQ2_ASRCI_UNLOCKED_MASK	0	入力 ASRC のロックからアンロックへの遷移を IRQ2 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
4	IRQ2_ASRCI_LOCKED_MASK	0	入力 ASRC のアンロックからロックへの遷移を IRQ2 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
3	IRQ2_PRAMP_MASK	0	パラメータ・ランプ完了の遷移を IRQ2 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
2	IRQ2_AVDD_UVW_MASK	0	AVDD 低電圧警告を IRQ2 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
1	IRQ2_PLL_UNLOCKED_MASK	0	PLL のロックからアンロックへの遷移を IRQ2 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		
0	IRQ2_PLL_LOCKED_MASK	0	PLL のアンロックからロックへの遷移を IRQ2 に対してマスクします。	0x1	R/W
		1	イベントによって IRQ が発生します。 イベントはマスクされ、IRQ は発生しません。		

アドレス : 0xC0A7、リセット : 0x1F、レジスタ名 : IRQ2_MASK3

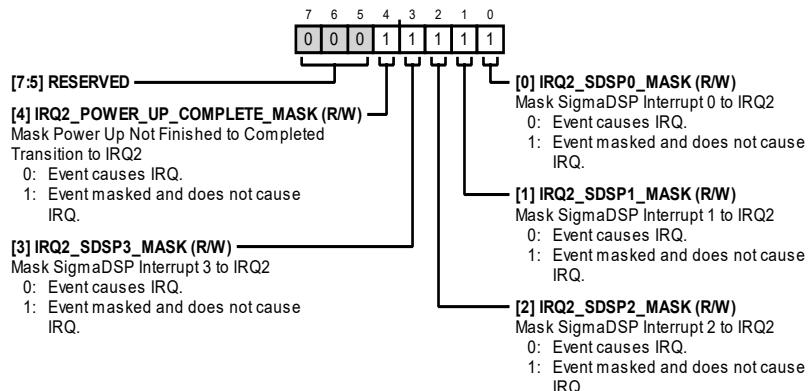


表 191. IRQ2_MASK3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	IRQ2_POWER_UP_COMPLETE_MASK		パワーアップ未完了から完了への遷移を IRQ2 に対してマスクします。 0: イベントによって IRQ が発生します。 1: イベントはマスクされ、IRQ は発生しません。	0x1	R/W
3	IRQ2_SDSP3_MASK		SigmaDSP 割り込み 3 を IRQ2 に対してマスクします。 0: イベントによって IRQ が発生します。 1: イベントはマスクされ、IRQ は発生しません。	0x1	R/W
2	IRQ2_SDSP2_MASK		SigmaDSP 割り込み 2 を IRQ2 に対してマスクします。 0: イベントによって IRQ が発生します。 1: イベントはマスクされ、IRQ は発生しません。	0x1	R/W
1	IRQ2_SDSP1_MASK		SigmaDSP 割り込み 1 を IRQ2 に対してマスクします。 0: イベントによって IRQ が発生します。 1: イベントはマスクされ、IRQ は発生しません。	0x1	R/W
0	IRQ2_SDSP0_MASK		SigmaDSP 割り込み 0 を IRQ2 に対してマスクします。 0: イベントによって IRQ が発生します。 1: イベントはマスクされ、IRQ は発生しません。	0x1	R/W

チップ・リセット・レジスタ

アドレス : 0xC0A8、リセット : 0x00、レジスタ名 : RESETS

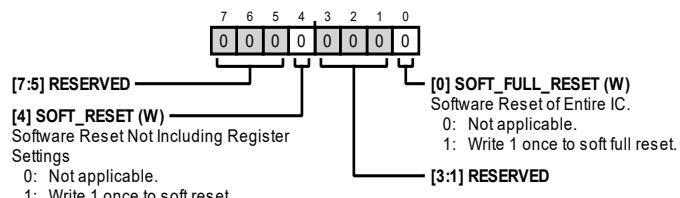


表 192. RESETS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	SOFT_RESET		レジスタ設定を含まないソフトウェア・リセット。 0: Not applicable. 1: Write 1 once to soft full reset.	0x0	W

ビット	ビット名	設定	説明	リセット	アクセス
[3:1]	RESERVED		予備。	0x0	R
0	SOFT_FULL_RESET	0 1	IC 全体のソフトウェア・リセット。 該当せず。 1 を 1 回書き込むと、ソフト・フル・リセットを実行します。	0x0	W

FastDSP 電流ラムダ・レジスタ

アドレス : 0xC0A9、リセット : 0x3F、レジスタ名 : READ_LAMBDA

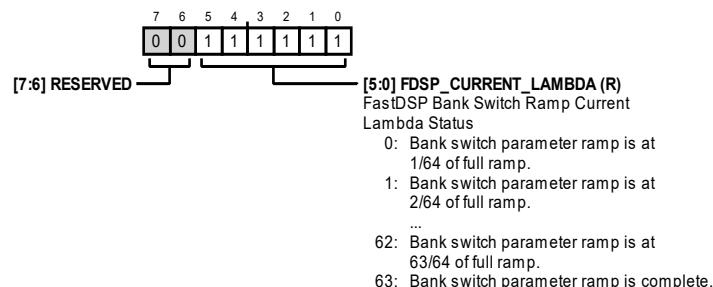


表 193. READ_LAMBDA のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	FDSP_CURRENT_LAMBDA	0 1 ... 62 63	<p>FastDSP バンク切替えランプの現在のラムダ・ステータス。ラムダは、2 つのバンク間のリニア・インターポレーション曲線上でバンク切替えランプを停止する点を表す 6 ビット値です。次の式で、A はソース・バンク内の係数値、B はデスティネーション・バンク内の係数値を表します。0 = ((63/64) * A + (1/64) * B)、1 = ((62/64) * A + (2/64) * B)、...、62 = ((1/64) * A + (63/64) * B)、63 = B (デフォルト)。ラムダは制御インターフェースからオンザフライで更新できます。バンクの切替えを完了するには、値を 63 (デフォルトの設定値) に設定する必要があります。実際の現在のランプ・ポイント (FDSP_CURRENT_LAMBDA : 0~63) は、ステータス・レジスタから読み出すことができます。このポイントが 63 に達すると、バンクの切替えは完了し、現在使用しているパラメータが現在のバンクと一致します。リニア・インターポレーションの実際のステップ・サイズは約 12 ビット (4096 ステップ) です。バンク内でランプしているパラメータは、バンク切替え中は変更されません。</p> <p>0 バンク切替えのパラメータ・ランプは、全ランプの 1/64 まで進んでいます。</p> <p>1 バンク切替えのパラメータ・ランプは、全ランプの 2/64 まで進んでいます。</p> <p>... 62 バンク切替えのパラメータ・ランプは、全ランプの 63/64 まで進んでいます。</p> <p>63 バンク切替えのパラメータ・ランプは完了しました。</p>	0x3F	R

チップ・ステータス1レジスタ

アドレス: 0xC0AA、リセット: 0x00、レジスタ名: STATUS1

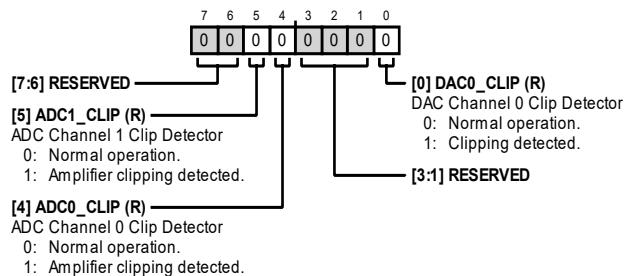


表 194. STATUS1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	ADC1_CLIP	0	ADC チャンネル 1 クリッピング・ディテクタ。 通常動作。	0x0	R
		1	アンプのクリッピングが検出されました。		
4	ADC0_CLIP	0	ADC チャンネル 0 クリッピング・ディテクタ。 通常動作。	0x0	R
		1	アンプのクリッピングが検出されました。		
[3:1]	RESERVED		予備。	0x0	R
0	DAC0_CLIP	0	DAC チャンネル 0 クリッピング・ディテクタ。 通常動作。	0x0	R
		1	クリッピングが検出されました。		

チップ・ステータス2レジスタ

アドレス: 0xC0AB、リセット: 0x00、レジスタ名: STATUS2

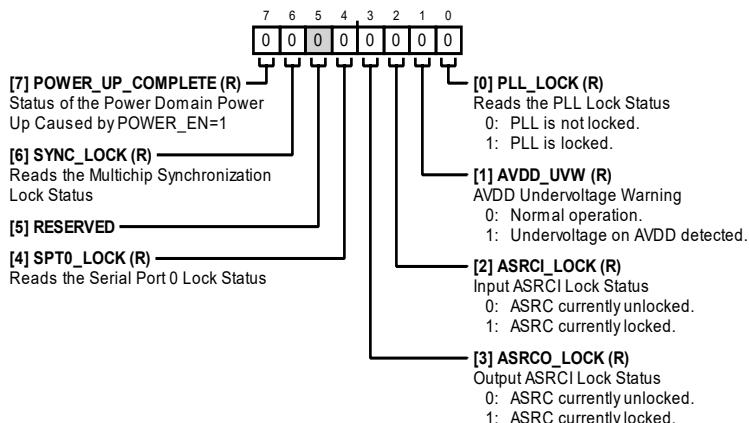


表 195. STATUS2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	POWER_UP_COMPLETE		POWER_EN = 1 によるパワー・ドメインのパワーアップのステータス。	0x0	R
6	SYNC_LOCK		マルチチップ同期ロック・ステータスを読み出します。	0x0	R
5	RESERVED		予備。	0x0	R
4	SPT0_LOCK		シリアル・ポート 0 のロック・ステータスを読み出します。	0x0	R
3	ASRCO_LOCK	0	出力 ASRCI のロック・ステータス。 ASRC は現在アンロックです。	0x0	R
		1	ASRC は現在ロックされています。		

ビット	ビット名	設定	説明	リセット	アクセス
2	ASRCI_LOCK	0 1	入力 ASRCI のロック・ステータス。 ASRC は現在アンロックです。	0x0	R
			ASRC は現在ロックされています。		
1	AVDD_UVW	0 1	AVDD 低電圧警告。 通常動作。	0x0	R
			AVDD の低電圧が検出されました。		
0	PLL_LOCK	0 1	PLL のロック・ステータスを読み出します。 PLL はロックされていません。	0x0	R
			PLL はロックされています。		

汎用入力読出し 0～入力読出し 7 レジスタ

アドレス : 0xC0AC、リセット : 0x00、レジスタ名 : GPI1

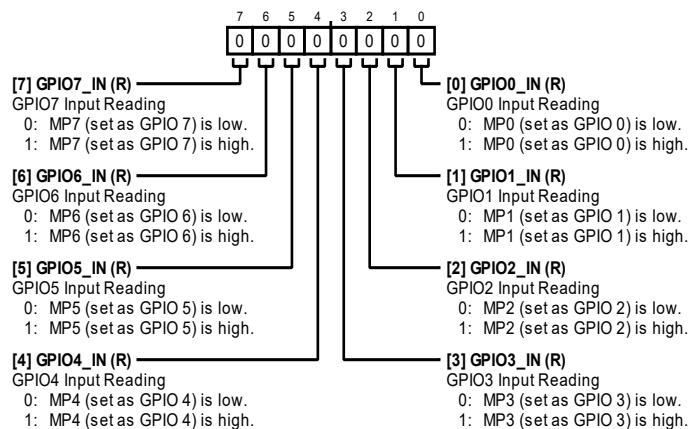


表 196. GPI1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	GPIO7_IN	0 1	GPIO7 入力読出し。 MP7 (GPIO 7 として設定) はローです。	0x0	R
			MP7 (GPIO 7 として設定) はハイです。		
6	GPIO6_IN	0 1	GPIO6 入力読出し。 MP6 (GPIO 6 として設定) はローです。	0x0	R
			MP6 (GPIO 6 として設定) はハイです。		
5	GPIO5_IN	0 1	GPIO5 入力読出し。 MP5 (GPIO 5 として設定) はローです。	0x0	R
			MP5 (GPIO 5 として設定) はハイです。		
4	GPIO4_IN	0 1	GPIO4 入力読出し。 MP4 (GPIO 4 として設定) はローです。	0x0	R
			MP4 (GPIO 4 として設定) はハイです。		
3	GPIO3_IN	0 1	GPIO3 入力読出し。 MP3 (GPIO 3 として設定) はローです。	0x0	R
			MP3 (GPIO 3 として設定) はハイです。		
2	GPIO2_IN	0 1	GPIO2 入力読出し。 MP2 (GPIO 2 として設定) はローです。	0x0	R
			MP2 (GPIO 2 として設定) はハイです。		

ビット	ビット名	設定	説明	リセット	アクセス
1	GPIO1_IN	0 1	GPIO1 入力読出し。 MP1 (GPIO 1 として設定) はローです。	0x0	R
			MP1 (GPIO 1 として設定) はハイです。		
0	GPIO0_IN	0 1	GPIO0 入力読出し。 MP0 (GPIO 0 として設定) はローです。	0x0	R
			MP0 (GPIO 0 として設定) はハイです。		

汎用入力読出し 8～入力読出し 10 レジスタ

アドレス : 0xC0AD、リセット : 0x00、レジスタ名 : GPI2

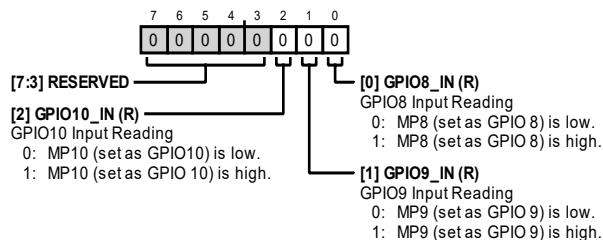


表 197. GPI2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:3]	RESERVED		予備。	0x0	R
2	GPIO10_IN	0 1	GPIO10 入力読出し。 MP10 (GPIO10 として設定) はローです。 MP10 (GPIO 10 として設定) はハイです。	0x0	R
			MP10 (GPIO 9 として設定) はローです。 MP10 (GPIO 9 として設定) はハイです。		
1	GPIO9_IN	0 1	GPIO9 入力読出し。 MP9 (GPIO 9 として設定) はローです。 MP9 (GPIO 9 として設定) はハイです。	0x0	R
			MP8 (GPIO 8 として設定) はローです。 MP8 (GPIO 8 として設定) はハイです。		
0	GPIO8_IN		GPIO8 入力読出し。	0x0	R

DSP ステータス・レジスタ

アドレス : 0xC0AE、リセット : 0x00、レジスタ名 : DSP_STATUS

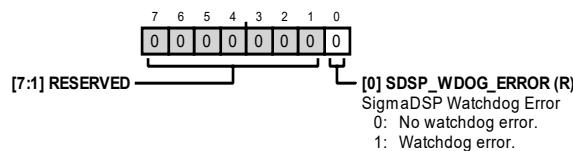


表 198. DSP_STATUS のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:1]	RESERVED		予備。	0x0	R
0	SDSP_WDOG_ERROR	0 1	SigmaDSP ウオッチドッグ・エラー。 ウォッチドッグ・エラーなし。 ウォッチドッグ・エラー。	0x0	R

IRQ1 ステータス 1 レジスタ

アドレス : 0xC0AF、リセット : 0x00、レジスタ名 : IRQ1_STATUS1

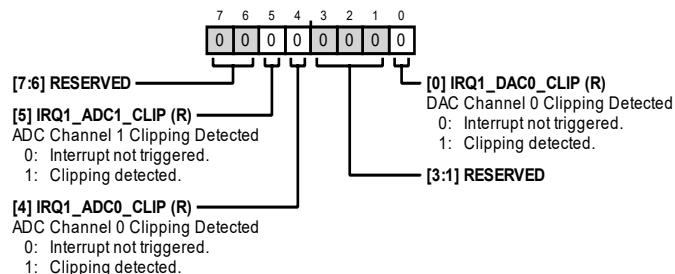


表 199. IRQ1_STATUS1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	IRQ1_ADC1_CLIP	0 1	ADC チャンネル 1 のクリッピング検出。 0: 割り込みはトリガされていません。 1: クリッピングが検出されました。	0x0	R
4	IRQ1_ADC0_CLIP	0 1	ADC チャンネル 0 のクリッピング検出。 0: 割り込みはトリガされていません。 1: クリッピングが検出されました。	0x0	R
[3:1]	RESERVED		予備。	0x0	R
0	IRQ1_DAC0_CLIP	0 1	DAC チャンネル 0 のクリッピング検出。 0: 割り込みはトリガされていません。 1: クリッピングが検出されました。	0x0	R

IRQ1 ステータス 2 レジスタ

アドレス : 0xC0B0、リセット : 0x00、レジスタ名 : IRQ1_STATUS2

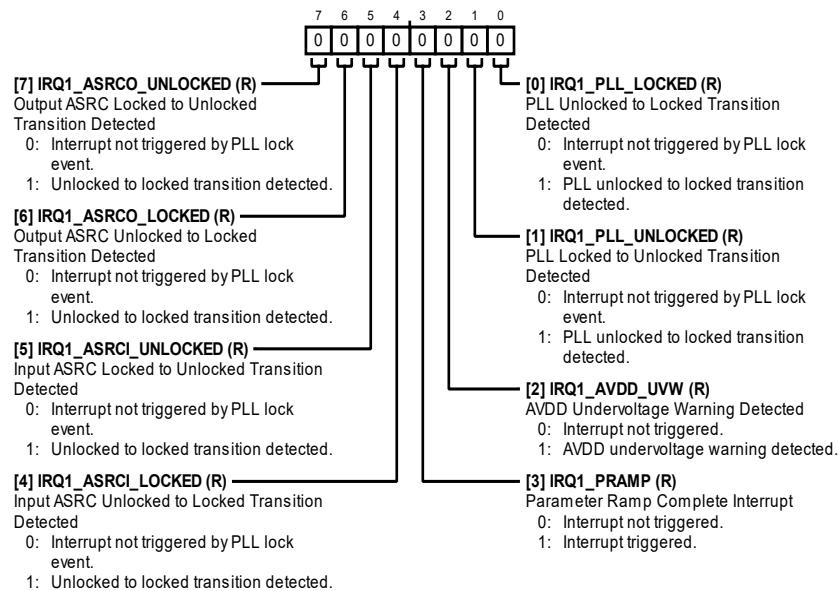


表 200. IRQ1_STATUS2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	IRQ1_ASRC0_UNLOCKED	0	出力 ASRC のロックからアンロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	アンロックからロックへの遷移が検出されました。		
6	IRQ1_ASRC0_LOCKED	0	出力 ASRC のアンロックからロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	アンロックからロックへの遷移が検出されました。		
5	IRQ1_ASRC1_UNLOCKED	0	入力 ASRC のロックからアンロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	アンロックからロックへの遷移が検出されました。		
4	IRQ1_ASRC1_LOCKED	0	入力 ASRC のアンロックからロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	アンロックからロックへの遷移が検出されました。		
3	IRQ1_PRAMP	0	パラメータ・ランプ完了割り込み。 割り込みはトリガされていません。	0x0	R
		1	割り込みがトリガされました。		
2	IRQ1_AVDD_UVW	0	AVDD 低電圧警告の検出。 割り込みはトリガされていません。	0x0	R
		1	AVDD 低電圧警告が検出されました。		
1	IRQ1_PLL_UNLOCKED	0	PLL のロックからアンロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	PLL のアンロックからロックへの遷移が検出されました。		
0	IRQ1_PLL_LOCKED	0	PLL のアンロックからロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	PLL のアンロックからロックへの遷移が検出されました。		

IRQ1 ステータス 3 レジスタ

アドレス : 0xC0B1、リセット : 0x00、レジスタ名 : IRQ1_STATUS3

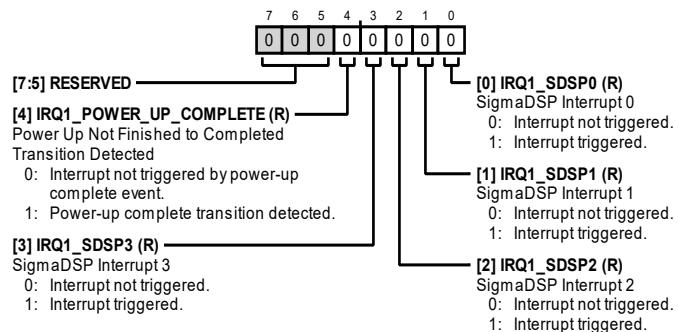


表 201. IRQ1_STATUS3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	IRQ1_POWER_UP_COMPLETE	0 1	パワーアップ未完了から完了への遷移の検出。 パワーアップ完了イベントによって割り込みがトリガされていません。 パワーアップ完了遷移が検出されました。	0x0	R
3	IRQ1_SDSP3	0 1	SigmaDSP 割り込み 3。 割り込みはトリガされていません。 割り込みがトリガされました。	0x0	R
2	IRQ1_SDSP2	0 1	SigmaDSP 割り込み 2。 割り込みはトリガされていません。 割り込みがトリガされました。	0x0	R
1	IRQ1_SDSP1	0 1	SigmaDSP 割り込み 1。 割り込みはトリガされていません。 割り込みがトリガされました。	0x0	R
0	IRQ1_SDSP0	0 1	SigmaDSP 割り込み 0。 割り込みはトリガされていません。 割り込みがトリガされました。	0x0	R

IRQ2 ステータス 1 レジスタ

アドレス : 0xC0B2、リセット : 0x00、レジスタ名 : IRQ2_STATUS1

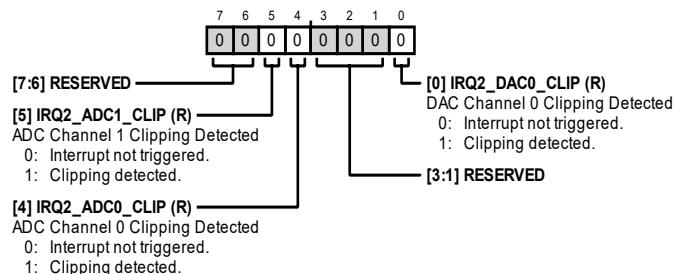


表 202. IRQ2_STATUS1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
5	IRQ2_ADC1_CLIP	0 1	ADC チャンネル 1 のクリッピング検出。 割り込みはトリガされていません。 クリッピングが検出されました。	0x0	R
4	IRQ2_ADC0_CLIP	0 1	ADC チャンネル 0 のクリッピング検出。 割り込みはトリガされていません。 クリッピングが検出されました。	0x0	R
[3:1]	RESERVED		予備。	0x0	R
0	IRQ2_DAC0_CLIP	0 1	DAC チャンネル 0 のクリッピング検出。 割り込みはトリガされていません。 クリッピングが検出されました。	0x0	R

IRQ2 ステータス 2 レジスタ

アドレス : 0xC0B3、リセット : 0x00、レジスタ名 : IRQ2_STATUS2

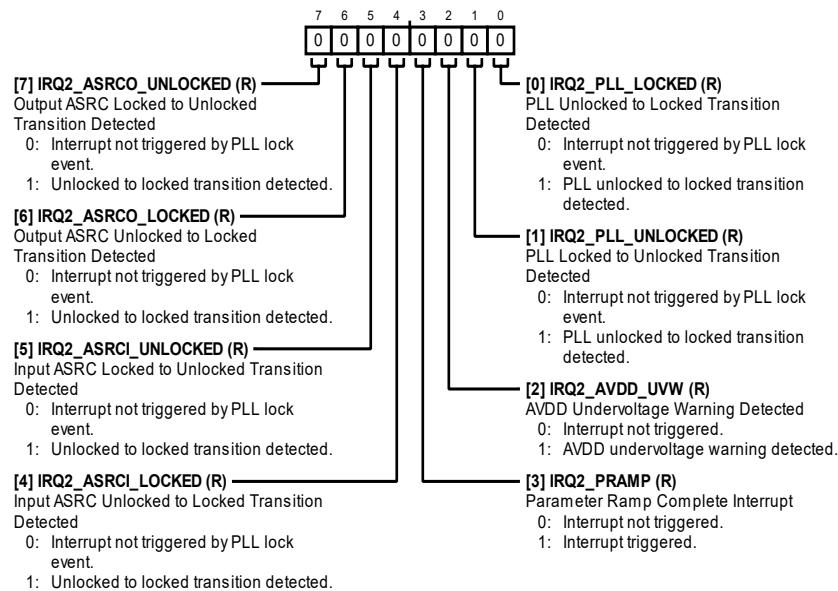


表 203. IRQ2_STATUS2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	IRQ2_ASRC0_UNLOCKED	0	出力 ASRC のロックからアンロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	アンロックからロックへの遷移が検出されました。		
6	IRQ2_ASRC0_LOCKED	0	出力 ASRC のアンロックからロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	アンロックからロックへの遷移が検出されました。		
5	IRQ2_ASRC1_UNLOCKED	0	入力 ASRC のロックからアンロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	アンロックからロックへの遷移が検出されました。		
4	IRQ2_ASRC1_LOCKED	0	入力 ASRC のアンロックからロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	アンロックからロックへの遷移が検出されました。		
3	IRQ2_PRAMP	0	パラメータ・ランプ完了割り込み。 割り込みはトリガされていません。	0x0	R
		1	割り込みがトリガされました。		
2	IRQ2_AVDD_UVW	0	AVDD 低電圧警告の検出。 割り込みはトリガされていません。	0x0	R
		1	AVDD 低電圧警告が検出されました。		
1	IRQ2_PLL_UNLOCKED	0	PLL のロックからアンロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	PLL のアンロックからロックへの遷移が検出されました。		
0	IRQ2_PLL_LOCKED	0	PLL のアンロックからロックへの遷移の検出。 PLL ロック・イベントによって割り込みがトリガされていません。	0x0	R
		1	PLL のアンロックからロックへの遷移が検出されました。		

IRQ2 ステータス 3 レジスタ

アドレス : 0xC0B4、リセット : 0x00、レジスタ名 : IRQ2_STATUS3

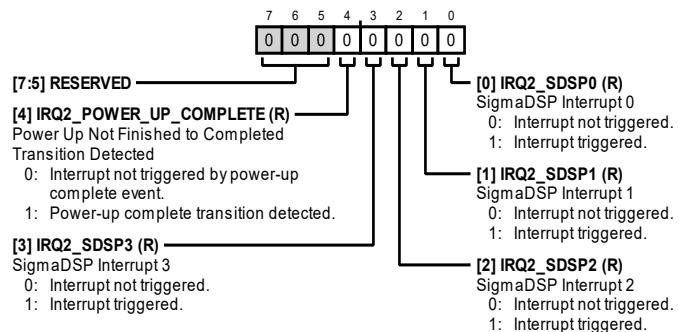


表 204. IRQ2_STATUS3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:5]	RESERVED		予備。	0x0	R
4	IRQ2_POWER_UP_COMPLETE	0	パワーアップ未完了から完了への遷移の検出。	0x0	R
		1	パワーアップ完了イベントによって割り込みがトリガされていません。 パワーアップ完了遷移が検出されました。		
3	IRQ2_SDSP3	0	SigmaDSP 割り込み 3。 割り込みはトリガされていません。	0x0	R
		1	割り込みがトリガされました。		
2	IRQ2_SDSP2	0	SigmaDSP 割り込み 2。 割り込みはトリガされていません。	0x0	R
		1	割り込みがトリガされました。		
1	IRQ2_SDSP1	0	SigmaDSP 割り込み 1。 割り込みはトリガされていません。	0x0	R
		1	割り込みがトリガされました。		
0	IRQ2_SDSP0	0	SigmaDSP 割り込み 0。 割り込みはトリガされていません。	0x0	R
		1	割り込みがトリガされました。		

シリアル・ポート 0 制御 1 レジスタ

アドレス : 0xC0B5、リセット : 0x00、レジスタ名 : SPT0_CTRL1

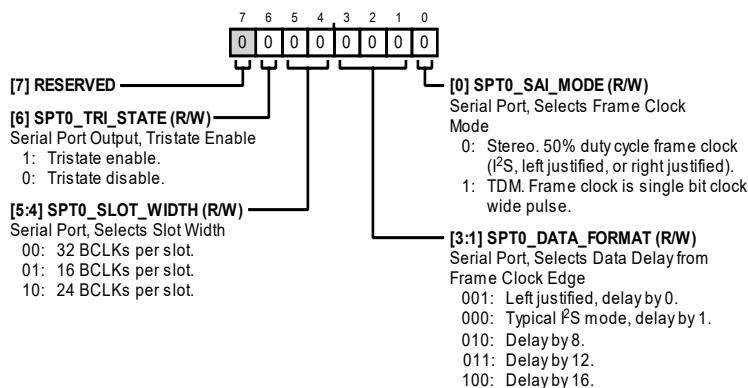


表 205. SPT0_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R/W
6	SPT0_TRI_STATE	1	シリアル・ポート出力、トライステート・イネーブル。 トライステート・イネーブル。 0	0x0	R/W
[5:4]	SPT0_SLOT_WIDTH	00 01 10	シリアル・ポート、スロット幅の選択。 スロットにつき 32 の BCLK。 スロットにつき 16 の BCLK。 スロットにつき 24 の BCLK。	0x0	R/W
[3:1]	SPT0_DATA_FORMAT	001 000 010 011 100	シリアル・ポート、フレーム・クロック・エッジからのデータ遅延の選択。 左揃え、遅延なし。 標準的な I ² S モード、1 周期だけ遅延。 8 周期だけ遅延。 12 周期だけ遅延。 16 周期だけ遅延。	0x0	R/W
0	SPT0_SAI_MODE	0 1	シリアル・ポート、フレーム・クロック・モードの選択。 ステレオ。50%デューティ・サイクルのフレーム・クロック (I ² S、左揃え、または右揃え)。 1 TDM。フレーム・クロックは 1 ビット・クロック幅のパルスです。	0x0	R/W

シリアル・ポート0制御2レジスタ

アドレス: 0xC0B6、リセット: 0x00、レジスタ名: SPT0_CTRL2

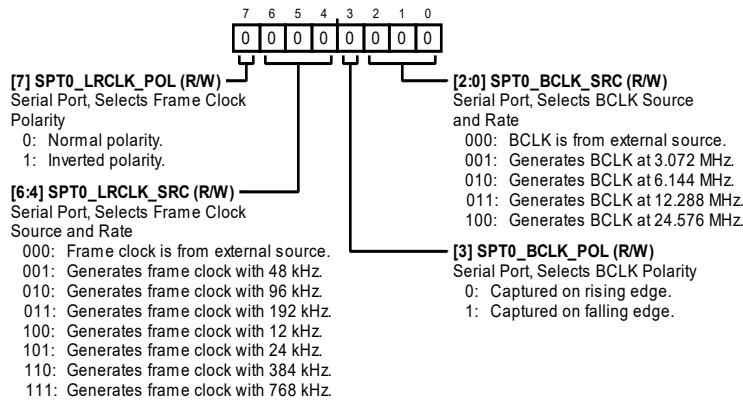


表 206. SPT0_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	SPT0_LRCLK_POL	0 1	シリアル・ポート、フレーム・クロックの極性の選択。 通常の極性。 反転した極性。	0x0	R/W
[6:4]	SPT0_LRCLK_SRC	000 001 010 011 100 101 110 111	シリアル・ポート、フレーム・クロックのソースとレートの選択。 フレーム・クロックは外部ソースから供給されます。 48kHz のフレーム・クロックを生成します。 96kHz のフレーム・クロックを生成します。 192kHz のフレーム・クロックを生成します。 12kHz のフレーム・クロックを生成します。 24kHz のフレーム・クロックを生成します。 384kHz のフレーム・クロックを生成します。 768kHz のフレーム・クロックを生成します。	0x0	R/W
3	SPT0_BCLK_POL	0 1	シリアル・ポート、BCLK の極性の選択。 立上がりエッジで取り込みます。 立下がりエッジで取り込みます。	0x0	R/W
[2:0]	SPT0_BCLK_SRC	000 001 010 011 100	シリアル・ポート、BCLK のソースとレートの選択。 BCLK は外部ソースから供給されます。 3.072MHz の BCLK を生成します。 6.144MHz の BCLK を生成します。 12.288MHz の BCLK を生成します。 24.576MHz の BCLK を生成します。	0x0	R/W

シリアル・ポート 0 出力ルーティング・スロット 0 (左) レジスタ

アドレス : 0xC0B7、リセット : 0x10、レジスタ名 : SPT0_ROUTE0

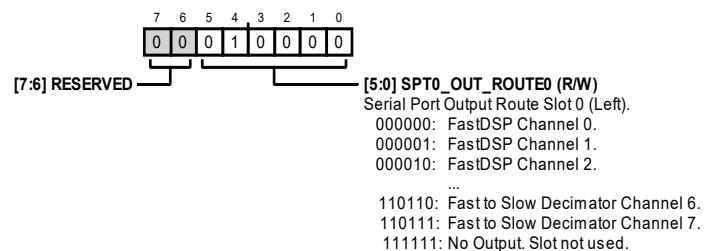


表 207. SPT0_ROUTE0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE0		シリアル・ポート出力ルート・スロット 0 (左)。 000000: FastDSP チャンネル 0。 000001: FastDSP チャンネル 1。 000010: FastDSP チャンネル 2。 000011: FastDSP チャンネル 3。 000100: FastDSP チャンネル 4。 000101: FastDSP チャンネル 5。 000110: FastDSP チャンネル 6。 000111: FastDSP チャンネル 7。 001000: FastDSP チャンネル 8。 001001: FastDSP チャンネル 9。 001010: FastDSP チャンネル 10。 001011: FastDSP チャンネル 11。 001100: FastDSP チャンネル 12。 001101: FastDSP チャンネル 13。 001110: FastDSP チャンネル 14。 001111: FastDSP チャンネル 15。 010000: SigmaDSP チャンネル 0。 010001: SigmaDSP チャンネル 1。 010010: SigmaDSP チャンネル 2。 010011: SigmaDSP チャンネル 3。 010100: SigmaDSP チャンネル 4。 010101: SigmaDSP チャンネル 5。 010110: SigmaDSP チャンネル 6。 010111: SigmaDSP チャンネル 7。 011000: SigmaDSP チャンネル 8。 011001: SigmaDSP チャンネル 9。 011010: SigmaDSP チャンネル 10。 011011: SigmaDSP チャンネル 11。 011100: SigmaDSP チャンネル 12。 011101: SigmaDSP チャンネル 13。 011110: SigmaDSP チャンネル 14。 011111: SigmaDSP チャンネル 15。 100000: 出力 ASRC チャンネル 0。 100001: 出力 ASRC チャンネル 1。 100010: 出力 ASRC チャンネル 2。 100011: 出力 ASRC チャンネル 3。	0x10	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 1 (右) レジスタ

アドレス : 0xC0B8、リセット : 0x11、レジスタ名 : SPT0_ROUTE1

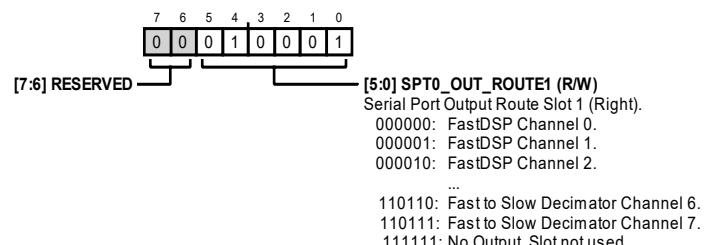


表 208. SPT0_ROUTE1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE1		シリアル・ポート出力ルート・スロット 1 (右)。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。	0x11	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	出力 ASRC チャンネル 0。		
		100001	出力 ASRC チャンネル 1。		
		100010	出力 ASRC チャンネル 2。		
		100011	出力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 2 レジスタ

アドレス : 0xC0B9、リセット : 0x3F、レジスタ名 : SPT0_ROUTE2

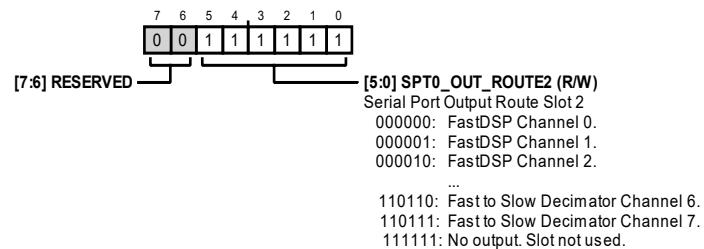


表 209. SPT0_ROUTE2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE2		シリアル・ポート出力ルート・スロット 2 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。 SigmaDSP チャンネル 0。 SigmaDSP チャンネル 1。 SigmaDSP チャンネル 2。 SigmaDSP チャンネル 3。 SigmaDSP チャンネル 4。 SigmaDSP チャンネル 5。 SigmaDSP チャンネル 6。 SigmaDSP チャンネル 7。 SigmaDSP チャンネル 8。 SigmaDSP チャンネル 9。 SigmaDSP チャンネル 10。 SigmaDSP チャンネル 11。 SigmaDSP チャンネル 12。 SigmaDSP チャンネル 13。 SigmaDSP チャンネル 14。 SigmaDSP チャンネル 15。 出力 ASRC チャンネル 0。 出力 ASRC チャンネル 1。 出力 ASRC チャンネル 2。 出力 ASRC チャンネル 3。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 3 レジスタ

アドレス : 0xC0BA、リセット : 0x3F、レジスタ名 : SPT0_ROUTE3

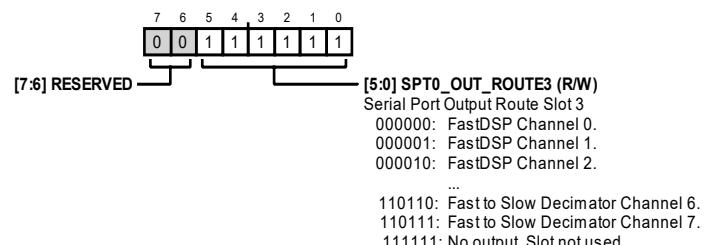


表 210. SPT0_ROUTE3 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE3		シリアル・ポート出力ルート・スロット 3。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	出力 ASRC チャンネル 0。		
		100001	出力 ASRC チャンネル 1。		
		100010	出力 ASRC チャンネル 2。		
		100011	出力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 4 レジスタ

アドレス : 0xC0BB、リセット : 0x3F、レジスタ名 : SPT0_ROUTE4

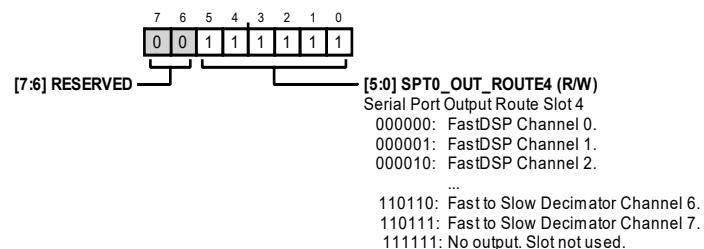


表 211. SPT0_ROUTE4 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE4		シリアル・ポート出力ルート・スロット 4。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。 SigmaDSP チャンネル 0。 SigmaDSP チャンネル 1。 SigmaDSP チャンネル 2。 SigmaDSP チャンネル 3。 SigmaDSP チャンネル 4。 SigmaDSP チャンネル 5。 SigmaDSP チャンネル 6。 SigmaDSP チャンネル 7。 SigmaDSP チャンネル 8。 SigmaDSP チャンネル 9。 SigmaDSP チャンネル 10。 SigmaDSP チャンネル 11。 SigmaDSP チャンネル 12。 SigmaDSP チャンネル 13。 SigmaDSP チャンネル 14。 SigmaDSP チャンネル 15。 出力 ASRC チャンネル 0。 出力 ASRC チャンネル 1。 出力 ASRC チャンネル 2。 出力 ASRC チャンネル 3。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 5 レジスタ

アドレス : 0xC0BC、リセット : 0x3F、レジスタ名 : SPT0_ROUTE5

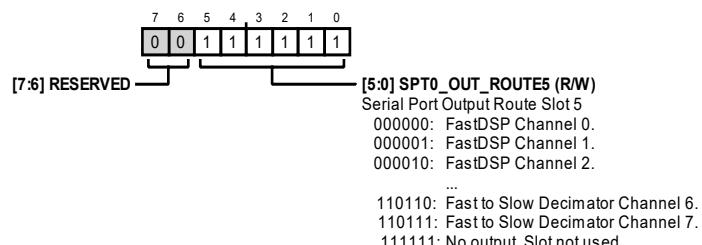


表 212. SPT0_ROUTE5 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE5		シリアル・ポート出力ルート・スロット 5。 000000 FastDSP チャンネル 0。 000001 FastDSP チャンネル 1。 000010 FastDSP チャンネル 2。 000011 FastDSP チャンネル 3。 000100 FastDSP チャンネル 4。 000101 FastDSP チャンネル 5。 000110 FastDSP チャンネル 6。 000111 FastDSP チャンネル 7。 001000 FastDSP チャンネル 8。 001001 FastDSP チャンネル 9。 001010 FastDSP チャンネル 10。 001011 FastDSP チャンネル 11。 001100 FastDSP チャンネル 12。 001101 FastDSP チャンネル 13。 001110 FastDSP チャンネル 14。 001111 FastDSP チャンネル 15。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	出力 ASRC チャンネル 0。		
		100001	出力 ASRC チャンネル 1。		
		100010	出力 ASRC チャンネル 2。		
		100011	出力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 6 レジスタ

アドレス : 0xC0BD、リセット : 0x3F、レジスタ名 : SPT0_ROUTE6

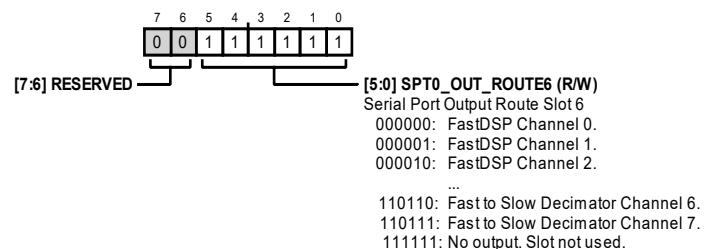


表 213. SPT0_ROUTE6 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE6		シリアル・ポート出力ルート・スロット 6。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。 SigmaDSP チャンネル 0。 SigmaDSP チャンネル 1。 SigmaDSP チャンネル 2。 SigmaDSP チャンネル 3。 SigmaDSP チャンネル 4。 SigmaDSP チャンネル 5。 SigmaDSP チャンネル 6。 SigmaDSP チャンネル 7。 SigmaDSP チャンネル 8。 SigmaDSP チャンネル 9。 SigmaDSP チャンネル 10。 SigmaDSP チャンネル 11。 SigmaDSP チャンネル 12。 SigmaDSP チャンネル 13。 SigmaDSP チャンネル 14。 SigmaDSP チャンネル 15。 出力 ASRC チャンネル 0。 出力 ASRC チャンネル 1。 出力 ASRC チャンネル 2。 出力 ASRC チャンネル 3。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 7 レジスタ

アドレス : 0xC0BE、リセット : 0x3F、レジスタ名 : SPT0_ROUTE7

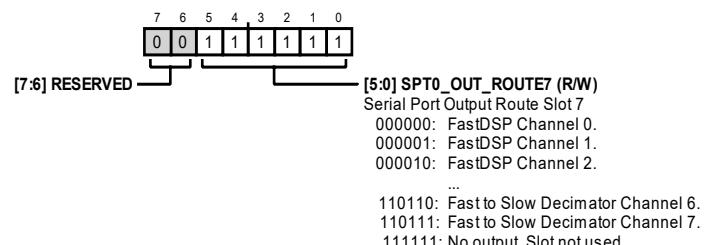


表 214. SPT0_ROUTE7 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE7		シリアル・ポート出力ルート・スロット 7。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	出力 ASRC チャンネル 0。		
		100001	出力 ASRC チャンネル 1。		
		100010	出力 ASRC チャンネル 2。		
		100011	出力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 8 レジスタ

アドレス : 0xC0BF、リセット : 0x3F、レジスタ名 : SPT0_ROUTE8

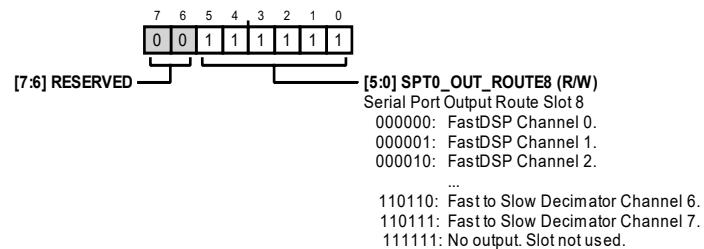


表 215. SPT0_ROUTE8 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE8		シリアル・ポート出力ルート・スロット 8。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。 SigmaDSP チャンネル 0。 SigmaDSP チャンネル 1。 SigmaDSP チャンネル 2。 SigmaDSP チャンネル 3。 SigmaDSP チャンネル 4。 SigmaDSP チャンネル 5。 SigmaDSP チャンネル 6。 SigmaDSP チャンネル 7。 SigmaDSP チャンネル 8。 SigmaDSP チャンネル 9。 SigmaDSP チャンネル 10。 SigmaDSP チャンネル 11。 SigmaDSP チャンネル 12。 SigmaDSP チャンネル 13。 SigmaDSP チャンネル 14。 SigmaDSP チャンネル 15。 出力 ASRC チャンネル 0。 出力 ASRC チャンネル 1。 出力 ASRC チャンネル 2。 出力 ASRC チャンネル 3。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 9 レジスタ

アドレス : 0xC0C0、リセット : 0x3F、レジスタ名 : SPT0_ROUTE9

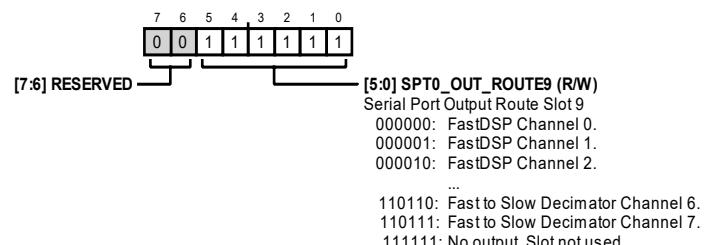


表 216. SPT0_ROUTE9 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE9		シリアル・ポート出力ルート・スロット 9。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	出力 ASRC チャンネル 0。		
		100001	出力 ASRC チャンネル 1。		
		100010	出力 ASRC チャンネル 2。		
		100011	出力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 10 レジスタ

アドレス : 0xC0C1、リセット : 0x3F、レジスタ名 : SPT0_ROUTE10

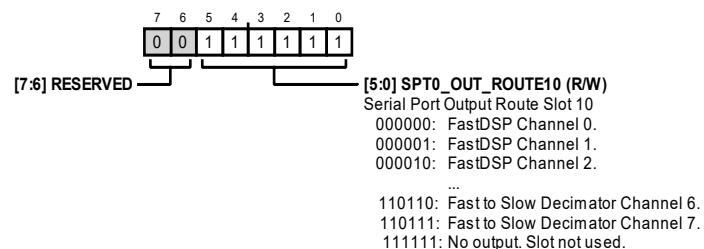


表 217. SPT0_ROUTE10 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE10		シリアル・ポート出力ルート・スロット 10。 000000 FastDSP チャンネル 0。 000001 FastDSP チャンネル 1。 000010 FastDSP チャンネル 2。 000011 FastDSP チャンネル 3。 000100 FastDSP チャンネル 4。 000101 FastDSP チャンネル 5。 000110 FastDSP チャンネル 6。 000111 FastDSP チャンネル 7。 001000 FastDSP チャンネル 8。 001001 FastDSP チャンネル 9。 001010 FastDSP チャンネル 10。 001011 FastDSP チャンネル 11。 001100 FastDSP チャンネル 12。 001101 FastDSP チャンネル 13。 001110 FastDSP チャンネル 14。 001111 FastDSP チャンネル 15。 010000 SigmaDSP チャンネル 0。 010001 SigmaDSP チャンネル 1。 010010 SigmaDSP チャンネル 2。 010011 SigmaDSP チャンネル 3。 010100 SigmaDSP チャンネル 4。 010101 SigmaDSP チャンネル 5。 010110 SigmaDSP チャンネル 6。 010111 SigmaDSP チャンネル 7。 011000 SigmaDSP チャンネル 8。 011001 SigmaDSP チャンネル 9。 011010 SigmaDSP チャンネル 10。 011011 SigmaDSP チャンネル 11。 011100 SigmaDSP チャンネル 12。 011101 SigmaDSP チャンネル 13。 011110 SigmaDSP チャンネル 14。 011111 SigmaDSP チャンネル 15。 100000 出力 ASRC チャンネル 0。 100001 出力 ASRC チャンネル 1。 100010 出力 ASRC チャンネル 2。 100011 出力 ASRC チャンネル 3。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 11 レジスタ

アドレス : 0xC0C2、リセット : 0x3F、レジスタ名 : SPT0_ROUTE11

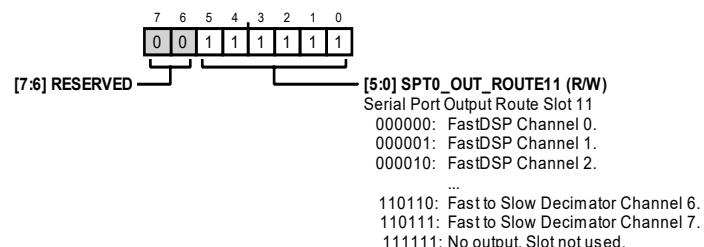


表 218. SPT0_ROUTE11 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE11		シリアル・ポート出力ルート・スロット 11。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	出力 ASRC チャンネル 0。		
		100001	出力 ASRC チャンネル 1。		
		100010	出力 ASRC チャンネル 2。		
		100011	出力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 12 レジスタ

アドレス : 0xC0C3、リセット : 0x3F、レジスタ名 : SPT0_ROUTE12

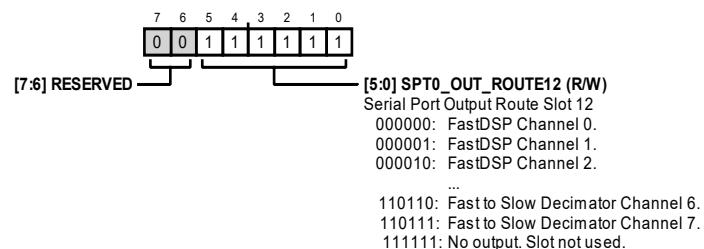


表 219. SPT0_ROUTE12 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE12		シリアル・ポート出力ルート・スロット 12。 000000 FastDSP チャンネル 0。 000001 FastDSP チャンネル 1。 000010 FastDSP チャンネル 2。 000011 FastDSP チャンネル 3。 000100 FastDSP チャンネル 4。 000101 FastDSP チャンネル 5。 000110 FastDSP チャンネル 6。 000111 FastDSP チャンネル 7。 001000 FastDSP チャンネル 8。 001001 FastDSP チャンネル 9。 001010 FastDSP チャンネル 10。 001011 FastDSP チャンネル 11。 001100 FastDSP チャンネル 12。 001101 FastDSP チャンネル 13。 001110 FastDSP チャンネル 14。 001111 FastDSP チャンネル 15。 010000 SigmaDSP チャンネル 0。 010001 SigmaDSP チャンネル 1。 010010 SigmaDSP チャンネル 2。 010011 SigmaDSP チャンネル 3。 010100 SigmaDSP チャンネル 4。 010101 SigmaDSP チャンネル 5。 010110 SigmaDSP チャンネル 6。 010111 SigmaDSP チャンネル 7。 011000 SigmaDSP チャンネル 8。 011001 SigmaDSP チャンネル 9。 011010 SigmaDSP チャンネル 10。 011011 SigmaDSP チャンネル 11。 011100 SigmaDSP チャンネル 12。 011101 SigmaDSP チャンネル 13。 011110 SigmaDSP チャンネル 14。 011111 SigmaDSP チャンネル 15。 100000 出力 ASRC チャンネル 0。 100001 出力 ASRC チャンネル 1。 100010 出力 ASRC チャンネル 2。 100011 出力 ASRC チャンネル 3。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 13 レジスタ

アドレス : 0xC0C4、リセット : 0x3F、レジスタ名 : SPT0_ROUTE13

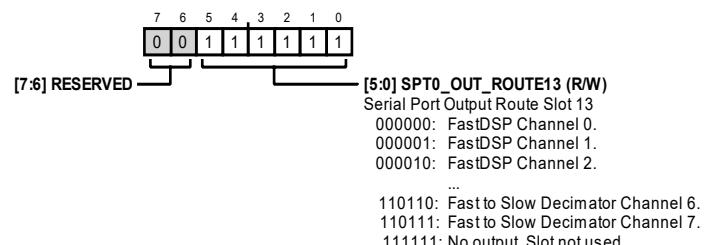


表 220. SPT0_ROUTE13 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE13		シリアル・ポート出力ルート・スロット 13。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	出力 ASRC チャンネル 0。		
		100001	出力 ASRC チャンネル 1。		
		100010	出力 ASRC チャンネル 2。		
		100011	出力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 14 レジスタ

アドレス : 0xC0C5、リセット : 0x3F、レジスタ名 : SPT0_ROUTE14

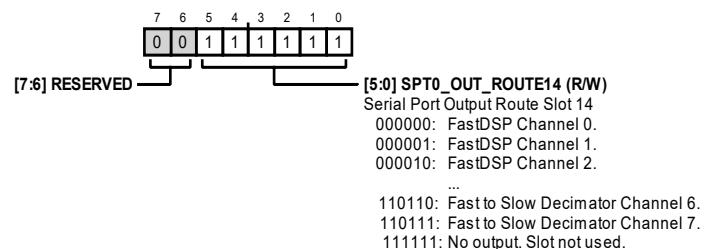


表 221. SPT0_ROUTE14 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE14		シリアル・ポート出力ルート・スロット 14。 000000: FastDSP チャンネル 0。 000001: FastDSP チャンネル 1。 000010: FastDSP チャンネル 2。 000011: FastDSP チャンネル 3。 000100: FastDSP チャンネル 4。 000101: FastDSP チャンネル 5。 000110: FastDSP チャンネル 6。 000111: FastDSP チャンネル 7。 001000: FastDSP チャンネル 8。 001001: FastDSP チャンネル 9。 001010: FastDSP チャンネル 10。 001011: FastDSP チャンネル 11。 001100: FastDSP チャンネル 12。 001101: FastDSP チャンネル 13。 001110: FastDSP チャンネル 14。 001111: FastDSP チャンネル 15。 010000: SigmaDSP チャンネル 0。 010001: SigmaDSP チャンネル 1。 010010: SigmaDSP チャンネル 2。 010011: SigmaDSP チャンネル 3。 010100: SigmaDSP チャンネル 4。 010101: SigmaDSP チャンネル 5。 010110: SigmaDSP チャンネル 6。 010111: SigmaDSP チャンネル 7。 011000: SigmaDSP チャンネル 8。 011001: SigmaDSP チャンネル 9。 011010: SigmaDSP チャンネル 10。 011011: SigmaDSP チャンネル 11。 011100: SigmaDSP チャンネル 12。 011101: SigmaDSP チャンネル 13。 011110: SigmaDSP チャンネル 14。 011111: SigmaDSP チャンネル 15。 100000: 出力 ASRC チャンネル 0。 100001: 出力 ASRC チャンネル 1。 100010: 出力 ASRC チャンネル 2。 100011: 出力 ASRC チャンネル 3。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

シリアル・ポート 0 出力ルーティング・スロット 15 レジスタ

アドレス : 0xC0C6、リセット : 0x3F、レジスタ名 : SPT0_ROUTE15

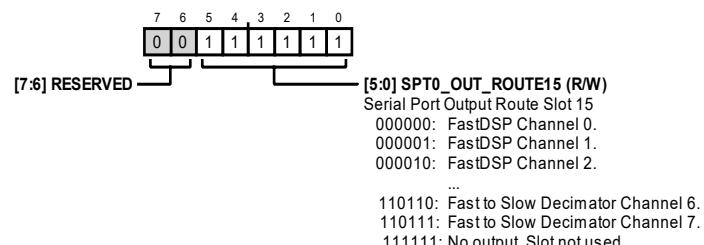


表 222. SPT0_ROUTE15 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:6]	RESERVED		予備。	0x0	R
[5:0]	SPT0_OUT_ROUTE15		シリアル・ポート出力ルート・スロット 15。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。	0x3F	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		010000	SigmaDSP チャンネル 0。		
		010001	SigmaDSP チャンネル 1。		
		010010	SigmaDSP チャンネル 2。		
		010011	SigmaDSP チャンネル 3。		
		010100	SigmaDSP チャンネル 4。		
		010101	SigmaDSP チャンネル 5。		
		010110	SigmaDSP チャンネル 6。		
		010111	SigmaDSP チャンネル 7。		
		011000	SigmaDSP チャンネル 8。		
		011001	SigmaDSP チャンネル 9。		
		011010	SigmaDSP チャンネル 10。		
		011011	SigmaDSP チャンネル 11。		
		011100	SigmaDSP チャンネル 12。		
		011101	SigmaDSP チャンネル 13。		
		011110	SigmaDSP チャンネル 14。		
		011111	SigmaDSP チャンネル 15。		
		100000	出力 ASRC チャンネル 0。		
		100001	出力 ASRC チャンネル 1。		
		100010	出力 ASRC チャンネル 2。		
		100011	出力 ASRC チャンネル 3。		
		100100	ADC チャンネル 0。		
		100101	ADC チャンネル 1。		
		101000	デジタル・マイクロフォン・チャンネル 0。		
		101001	デジタル・マイクロフォン・チャンネル 1。		
		101010	デジタル・マイクロフォン・チャンネル 2。		
		101011	デジタル・マイクロフォン・チャンネル 3。		
		110000	高速から低速へのデシメータ・チャンネル 0。		
		110001	高速から低速へのデシメータ・チャンネル 1。		
		110010	高速から低速へのデシメータ・チャンネル 2。		
		110011	高速から低速へのデシメータ・チャンネル 3。		
		110100	高速から低速へのデシメータ・チャンネル 4。		
		110101	高速から低速へのデシメータ・チャンネル 5。		
		110110	高速から低速へのデシメータ・チャンネル 6。		
		110111	高速から低速へのデシメータ・チャンネル 7。		
		111111	出力なし。スロットを使用しません。		

PDM サンプル・レートおよびフィルタリング・コントロール・レジスタ

アドレス : 0xC0DC、リセット : 0x02、レジスタ名 : PDM_CTRL1

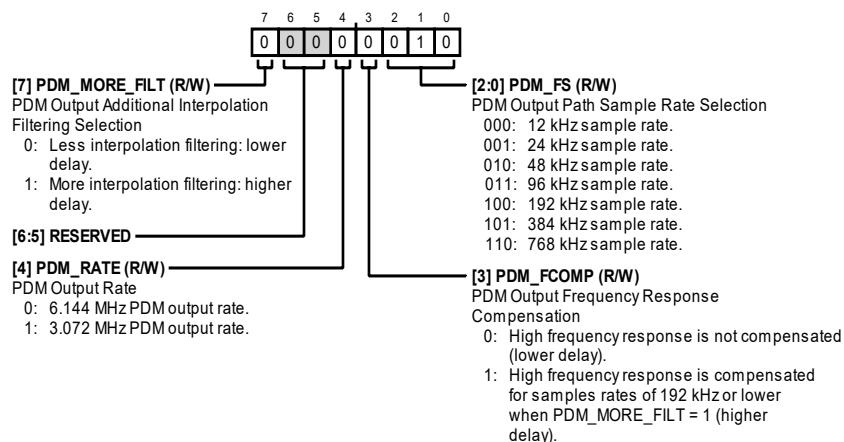


表 223. PDM_CTRL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	PDM_MORE_FILT	0	PDM 出力の追加インター波レーション・フィルタの選択。 弱いインター波レーション・フィルタ : 低遅延。	0x0	R/W
		1	強いインター波レーション・フィルタ : 高遅延。		
[6:5]	RESERVED		予備。	0x0	R
4	PDM_RATE	0	PDM 出力レート。 6.144MHz の PDM 出力レート。	0x0	R/W
		1	3.072MHz の PDM 出力レート。		
3	PDM_FCOMP	0	PDM 出力周波数応答補償。 高周波数応答を補償しません (低遅延)。	0x0	R/W
		1	PDM_MORE_FILT = 1 の場合、192kHz またはそれ以下のサンプル・レートで高周波数応答を補償します (高遅延)。		
[2:0]	PDM_FS	000	PDM 出力バスのサンプル・レートの選択。 12kHz のサンプル・レート。	0x2	R/W
		001	24kHz のサンプル・レート。		
		010	48kHz のサンプル・レート。		
		011	96kHz のサンプル・レート。		
		100	192kHz のサンプル・レート。		
		101	384kHz のサンプル・レート。		
		110	768kHz のサンプル・レート。		

PDM ミュート、ハイパス、およびボリューム・オプション・レジスタ

アドレス : 0xC0DD、リセット : 0xC4、レジスタ名 : PDM_CTRL2

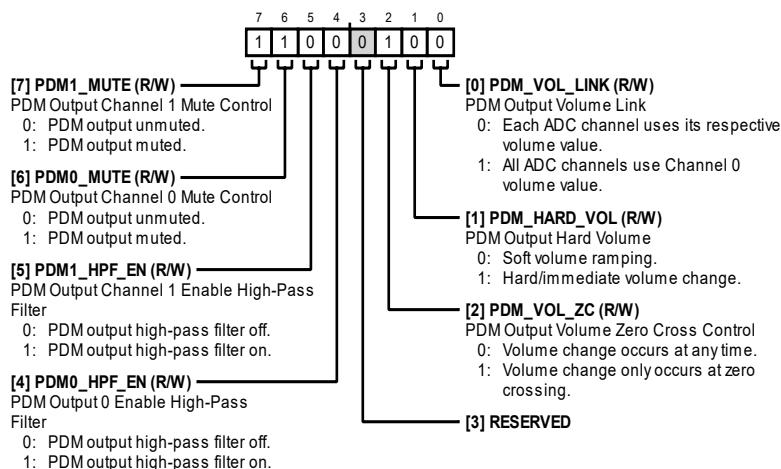


表 224. PDM_CTRL2 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	PDM1_MUTE	0	PDM 出力チャンネル 1 のミュート・コントロール。 PDM 出力ミュート解除。	0x1	R/W
		1	PDM 出力ミュート。		
6	PDM0_MUTE	0	PDM 出力チャンネル 0 のミュート・コントロール。 PDM 出力ミュート解除。	0x1	R/W
		1	PDM 出力ミュート。		
5	PDM1_HPF_EN	0	PDM 出力チャンネル 1 ハイパス・フィルタのイネーブル。 PDM 出力ハイパス・フィルタはオフ。	0x0	R/W
		1	PDM 出力ハイパス・フィルタはオン。		
4	PDM0_HPF_EN	0	PDM 出力 0 ハイパス・フィルタのイネーブル。 PDM 出力ハイパス・フィルタはオフ。	0x0	R/W
		1	PDM 出力ハイパス・フィルタはオン。		
3	RESERVED		予備。	0x0	R
2	PDM_VOL_ZC	0	PDM 出力ボリューム・ゼロ交差コントロール。 ボリュームはいつでも変更されます。	0x1	R/W
		1	ボリュームはゼロ交差時にのみ変更されます。		
1	PDM_HARD_VOL	0	PDM 出力ハード・ボリューム。 ソフト・ボリューム・ランピング。	0x0	R/W
		1	ハード／即時ボリューム変更。		
0	PDM_VOL_LINK	0	PDM 出力ボリューム・リンク。 各 ADC チャンネルはそれぞれのボリューム値を使用します。	0x0	R/W
		1	全ての ADC チャンネルがチャンネル 0 のボリューム値を使用します。		

PDM 出力チャンネル 0 ボリューム・レジスタ

アドレス : 0xC0DE、リセット : 0x40、レジスタ名 : PDM_VOL0

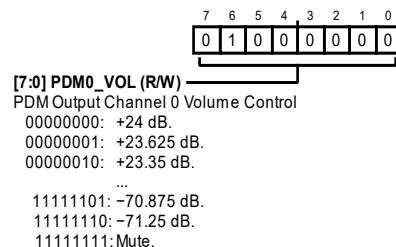


表 225. PDM_VOL0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PDM0_VOL	00000000 00000001 00000010 00000011 00000100 ... 00111111 01000000 01000001 ... 11111101 11111110 11111111	PDM 出力チャンネル 0 のボリューム制御。 +24dB。 +23.625dB。 +23.35dB。 +22.875dB。 +22.5dB。 ... +0.375dB。 0dB。 -0.375dB。 ... -70.875dB。 -71.25dB。 ミュート。	0x40	R/W

PDM 出力チャンネル 1 ボリューム・レジスタ

アドレス : 0xC0DF、リセット : 0x40、レジスタ名 : PDM_VOL1

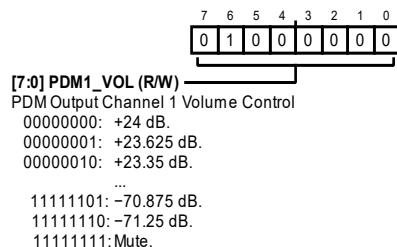


表 226. PDM_VOL1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
[7:0]	PDM1_VOL		PDM 出力チャンネル 1 のボリューム制御。	0x40	R/W
		00000000	+24dB。		
		00000001	+23.625dB。		
		00000010	+23.35dB。		
		00000011	+22.875dB。		
		00000100	+22.5dB。		
			
		00111111	+0.375dB。		
		01000000	0dB。		
		01000001	-0.375dB。		
			
		11111101	-70.875dB。		
		11111110	-71.25dB。		
		11111111	ミュート。		

PDM 出力チャンネル 0 ルーティング・レジスタ

アドレス : 0xC0E0、リセット : 0x00、レジスタ名 : PDM_ROUTE0

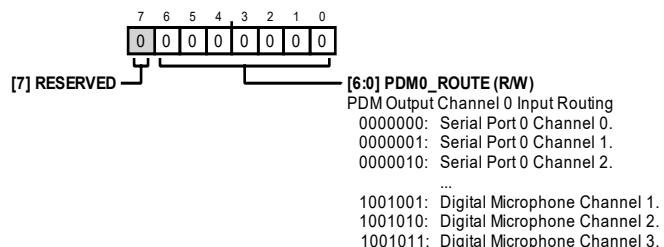


表 227. PDM_ROUTE0 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	PDM0_ROUTE		PDM 出力チャンネル 0 の入力ルーティング。 シリアル・ポート 0 のチャンネル 0。 シリアル・ポート 0 のチャンネル 1。 シリアル・ポート 0 のチャンネル 2。 シリアル・ポート 0 のチャンネル 3。 シリアル・ポート 0 のチャンネル 4。 シリアル・ポート 0 のチャンネル 5。 シリアル・ポート 0 のチャンネル 6。 シリアル・ポート 0 のチャンネル 7。 シリアル・ポート 0 のチャンネル 8。	0x0	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		0001001	シリアル・ポート 0 のチャンネル 9。		
		0001010	シリアル・ポート 0 のチャンネル 10。		
		0001011	シリアル・ポート 0 のチャンネル 11。		
		0001100	シリアル・ポート 0 のチャンネル 12。		
		0001101	シリアル・ポート 0 のチャンネル 13。		
		0001110	シリアル・ポート 0 のチャンネル 14。		
		0001111	シリアル・ポート 0 のチャンネル 15。		
		0100000	FastDSP チャンネル 0。		
		0100001	FastDSP チャンネル 1。		
		0100010	FastDSP チャンネル 2。		
		0100011	FastDSP チャンネル 3。		
		0100100	FastDSP チャンネル 4。		
		0100101	FastDSP チャンネル 5。		
		0100110	FastDSP チャンネル 6。		
		0100111	FastDSP チャンネル 7。		
		0101000	FastDSP チャンネル 8。		
		0101001	FastDSP チャンネル 9。		
		0101010	FastDSP チャンネル 10。		
		0101011	FastDSP チャンネル 11。		
		0101100	FastDSP チャンネル 12。		
		0101101	FastDSP チャンネル 13。		
		0101110	FastDSP チャンネル 14。		
		0101111	FastDSP チャンネル 15。		
		0110000	SigmaDSP チャンネル 0。		
		0110001	SigmaDSP チャンネル 1。		
		0110010	SigmaDSP チャンネル 2。		
		0110011	SigmaDSP チャンネル 3。		
		0110100	SigmaDSP チャンネル 4。		
		0110101	SigmaDSP チャンネル 5。		
		0110110	SigmaDSP チャンネル 6。		
		0110111	SigmaDSP チャンネル 7。		
		0111000	SigmaDSP チャンネル 8。		
		0111001	SigmaDSP チャンネル 9。		
		0111010	SigmaDSP チャンネル 10。		
		0111011	SigmaDSP チャンネル 11。		
		0111100	SigmaDSP チャンネル 12。		
		0111101	SigmaDSP チャンネル 13。		
		0111110	SigmaDSP チャンネル 14。		
		0111111	SigmaDSP チャンネル 15。		
		1000000	入力 ASRC チャンネル 0。		
		1000001	入力 ASRC チャンネル 1。		
		1000010	入力 ASRC チャンネル 2。		
		1000011	入力 ASRC チャンネル 3。		
		1000100	ADC チャンネル 0。		
		1000101	ADC チャンネル 1。		
		1001000	デジタル・マイクロフォン・チャンネル 0。		
		1001001	デジタル・マイクロフォン・チャンネル 1。		
		1001010	デジタル・マイクロフォン・チャンネル 2。		
		1001011	デジタル・マイクロフォン・チャンネル 3。		

PDM 出力チャンネル 1 ルーティング・レジスタ

アドレス : 0xC0E1、リセット : 0x01、レジスタ名 : PDM_ROUTE1

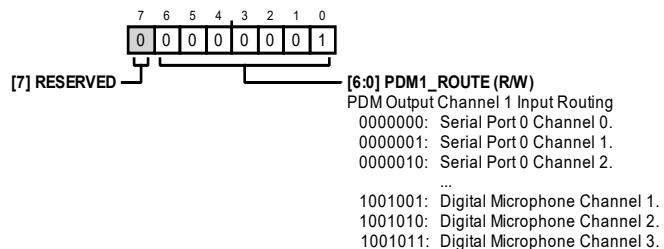


表 228. PDM_ROUTE1 のビットの説明

ビット	ビット名	設定	説明	リセット	アクセス
7	RESERVED		予備。	0x0	R
[6:0]	PDM1_ROUTE		PDM 出力チャンネル 1 の入力ルーティング。 シリアル・ポート 0 のチャンネル 0。 シリアル・ポート 0 のチャンネル 1。 シリアル・ポート 0 のチャンネル 2。 シリアル・ポート 0 のチャンネル 3。 シリアル・ポート 0 のチャンネル 4。 シリアル・ポート 0 のチャンネル 5。 シリアル・ポート 0 のチャンネル 6。 シリアル・ポート 0 のチャンネル 7。 シリアル・ポート 0 のチャンネル 8。 シリアル・ポート 0 のチャンネル 9。 シリアル・ポート 0 のチャンネル 10。 シリアル・ポート 0 のチャンネル 11。 シリアル・ポート 0 のチャンネル 12。 シリアル・ポート 0 のチャンネル 13。 シリアル・ポート 0 のチャンネル 14。 シリアル・ポート 0 のチャンネル 15。 FastDSP チャンネル 0。 FastDSP チャンネル 1。 FastDSP チャンネル 2。 FastDSP チャンネル 3。 FastDSP チャンネル 4。 FastDSP チャンネル 5。 FastDSP チャンネル 6。 FastDSP チャンネル 7。 FastDSP チャンネル 8。 FastDSP チャンネル 9。 FastDSP チャンネル 10。 FastDSP チャンネル 11。 FastDSP チャンネル 12。 FastDSP チャンネル 13。 FastDSP チャンネル 14。 FastDSP チャンネル 15。 SigmaDSP チャンネル 0。 SigmaDSP チャンネル 1。 SigmaDSP チャンネル 2。 SigmaDSP チャンネル 3。 SigmaDSP チャンネル 4。	0x1	R/W

ビット	ビット名	設定	説明	リセット	アクセス
		0110101	SigmaDSP チャンネル 5。		
		0110110	SigmaDSP チャンネル 6。		
		0110111	SigmaDSP チャンネル 7。		
		0111000	SigmaDSP チャンネル 8。		
		0111001	SigmaDSP チャンネル 9。		
		0111010	SigmaDSP チャンネル 10。		
		0111011	SigmaDSP チャンネル 11。		
		0111100	SigmaDSP チャンネル 12。		
		0111101	SigmaDSP チャンネル 13。		
		0111110	SigmaDSP チャンネル 14。		
		0111111	SigmaDSP チャンネル 15。		
		1000000	入力 ASRC チャンネル 0。		
		1000001	入力 ASRC チャンネル 1。		
		1000010	入力 ASRC チャンネル 2。		
		1000011	入力 ASRC チャンネル 3。		
		1000100	ADC チャンネル 0。		
		1000101	ADC チャンネル 1。		
		1001000	デジタル・マイクロフォン・チャンネル 0。		
		1001001	デジタル・マイクロフォン・チャンネル 1。		
		1001010	デジタル・マイクロフォン・チャンネル 2。		
		1001011	デジタル・マイクロフォン・チャンネル 3。		

外形寸法

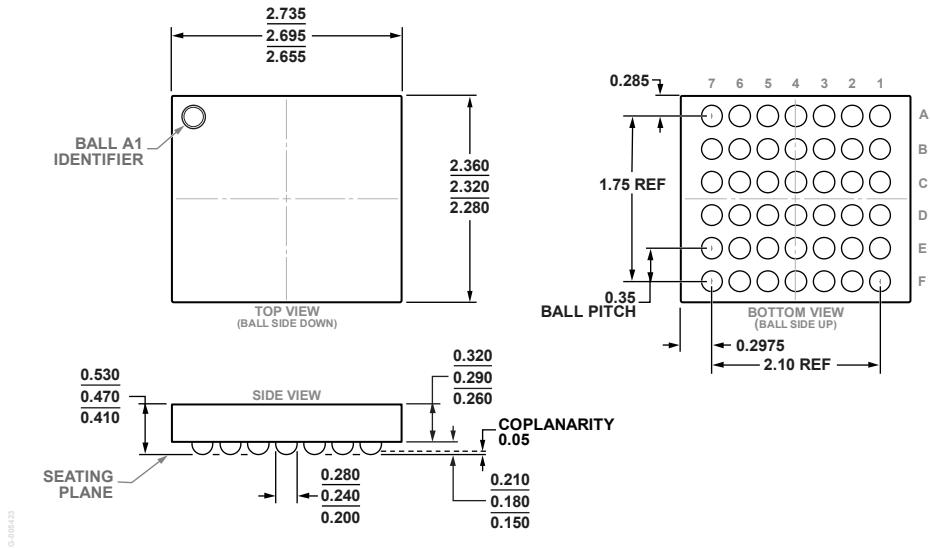


図 70. 42 ボール、ウェーハ・レベル・チップ・スケール・パッケージ [WLCSP]
(CB-42-2)
寸法単位: mm

オーダー・ガイド

Model ^{1, 2}	Temperature Range	Package Description	Package Option
ADAU1788BCBZRL	-40°C to +85°C	42-Ball Wafer Level Chip Scale Package [WLCSP]	CB-42-2

¹Z = RoHS 準拠製品

²ADAU1788 は EVAL-ADAU1787Z 評価用ボードを使用します。

I²C は、Philips Semiconductors 社（現在の NXP Semiconductors 社）が独自に開発した通信プロトコルです。