

### 特長

- 4.0 Gbps 以上(2 V 振幅)
- 立ち上がり時間/立ち下がり時間: 120 ps (2 V 振幅)
- デュアル・ドライバ: 1.0 W 以下(チャンネルあたり 500 mW 以下)
- 1 V~+3.5 V の範囲
- 高速終端モード(VTx)
- ケーブル損失を補償

### アプリケーション

- 自動テスト装置
- 半導体テスト・システム
- ボード・テスト・システム
- 計装装置およびキャラクタライゼーション装置
- 高速メモリ・テスト(DDR2/DDR3/DDR4)
- HDMI テスト

### 機能ブロック図

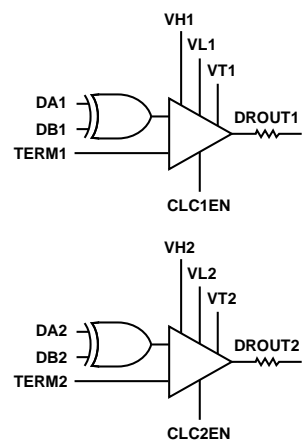


図 1.

### 概要

ADATE209 は、DDR2、DDR3、DDR4 のテスト用にデザインされたデュアル・ピン・ドライバです。PCI Express 1.0 や HDMI™ のテストのような高速 SoC アプリケーションにも使うことができます。このデバイスは、-1 V~+3.5 V の範囲で 200 mV~4 V の高い振幅忠実度を持つ 3 レベル・ドライバです。2 V の設定振幅では 120 ps 以下の、3V の設定振幅では 150 ps の立ち上がり/立ち下がり時間(20%から 80%)を持ち、それぞれ 4.4 Gbps と 3.2 Gbps のデータ・レートをサポートすることができます。

このデバイスは、高速に終端モードへ遷移し、高速に終端モードから抜け出すことができます。また、ピーキングプリエンファシス回路も内蔵しています。

ADATE209 は、49 ボールの 8 mm × 8 mm CSP\_BGA パッケージを採用しています。

## 目次

特長.....	1	ESD の注意.....	6
アプリケーション.....	1	ピン配置およびピン機能説明.....	7
機能ブロック図.....	1	代表的な性能特性.....	9
概要.....	1	アプリケーション情報.....	14
改訂履歴.....	2	データ入力.....	14
仕様.....	3	サーマル・ダイオード・ストリング.....	14
電気的特性.....	3	ケーブル損失補償/ピーキング回路.....	14
絶対最大定格.....	6	デフォルト・テスト条件.....	14
熱抵抗.....	6	外形寸法.....	15
テスト・レベルの説明.....	6	オーダー・ガイド.....	15

## 改訂履歴

5/08—Revision 0: Initial Version

## 仕様

## 電気的特性

特に指定のない限り、 $V_{CC} = 7.0\text{ V}$ 、 $V_{EE} = -4.5\text{ V}$ 、 $GND = 0.0\text{ V}$ ;すべてのテスト条件は表7によります。特に指定のない限り、すべての仕様値は  $T_J = 70^\circ\text{C}$  で規定。 $T_J$ は内部温度センサーに対応。特に指定のない限り、温度係数は  $T_J = 70^\circ\text{C} \pm 20^\circ\text{C}$  で測定。Typ 値は、デザイン、シミュレーション解析、および/または限られたベンチ評価に基づきます。Typ 値はテストしません。または保証しません。

表 1.

Parameter	Min	Typ	Max	Unit	Test Level <sup>1</sup>	Test Conditions/Comments
<b>TOTAL FUNCTION</b>						
DROUTx Pin Range	-1.0		+3.5	V	I	
<b>POWER SUPPLIES</b>						
Positive Supply, $V_{CC}$	6.65	7.0	7.35	V	I	Defines PSRR conditions
Negative Supply, $V_{EE}$	-4.73	-4.5	-4.28	V	I	Defines PSRR conditions
Data and Termination, $V_{DAX}$ , $V_{DBx}$ , $V_{TERMx}$	-1	+1.3	+3.3	V	I	
Data and Termination, $I_{DAX}$ , $I_{DBx}$ , $I_{TERMx}$		40		mA	I	Exceeding 40 mA through any input termination resistor may cause damage to the device or cause long-term reliability concerns
Positive Supply Current, $I_{CC}$	50	76	100	mA	II	
Negative Supply Current, $I_{EE}$	60	80	110	mA	II	
Total Power Dissipation	0.5	0.87	1.3	W	II	Quiescent; excludes current draw through data input termination resistors
		0.97		W	III	$V_{Lx} = 0.0\text{ V}$ , $V_{Hx} = 2.0\text{ V}$ ; driver toggling into open circuit; excludes current draw through data input termination resistors
<b>TEMPERATURE MONITORS</b>						
Temperature Sensor Gain		-4.7		mV/°C	III	
Temperature Sensor Offset		3.1		V	III	Voltage reading at 30°C
<b>DRIVER DC SPECIFICATIONS</b>						
High Speed Differential Logic Input Characteristics (DAX, DBx, TERMx)						
Input Termination Resistance	45	48	55	$\Omega$	II	9 mA pushed into DAXB/DBxB/TERMxB signal, 0.6 V forced on DAX/DBx/TERMx signal; DAXT, DBxT, TERMxT open; measure voltage from DAX/DBx/TERMx signal to DAXB/DBxB/TERMxB signal, calculate resistance ( $\Delta V/\Delta I$ )
Input Voltage Differential	0.25		0.8	V	IV	
Common-Mode Voltage	-1.0		+3.3	V	IV	
Input Bias Current	-10	+1.2	+10	$\mu\text{A}$	II	Each pin tested at -1.0 V and +3.3 V, while other high speed pins (DAXB, DBx, DBxB, TERMx, TERMxB) are left open, termination pins (DAXT, DBxT, TERMxT) open
Pin Output Characteristics						
Output High Range, $V_{Hx}$	-0.9		+3.5	V	I	$V_{CC} = 7.5\text{ V}$ , this range is not production tested
Output Low Range, $V_{Lx}$	-1.0		+3.4	V	I	$V_{CC} = 7.5\text{ V}$ , this range is not production tested
Output Termination Range, $V_{Tx}$	-1.0		+3.5	V	I	$V_{CC} = 7.5\text{ V}$ , this range is not production tested
Output High Range, $V_{Hx}$	-0.9		+4.0	V	I	Amplitude can be programmed to $V_{Hx} = V_{Lx}$ , accuracy specifications apply when $V_{Hx} - V_{Lx} \geq 200\text{ mV}$
Output Low Range, $V_{Lx}$	-1.0		+3.9	V	I	
Output Termination Range, $V_{Tx}$	-1.0		+4.0	V	I	
Functional Amplitude ( $V_{Hx} - V_{Lx}$ )	0.2		4.5	V	I	
DC Output Current-Limit Source	50	60	70	mA	II	Driver high, $V_{Hx} = 3.5\text{ V}$ , short DROUTx pin to -1.0 V, then measure current
DC Output Current-Limit Sink	-70	-60	-50	mA	II	Driver high, $V_{Hx} = -1.0\text{ V}$ , short DROUTx pin to 3.5 V, then measure current
Output Resistance, $\pm 30\text{ mA}$	46.5	48.5	50.5	$\Omega$	II	Source: driver high, $V_{Hx} = 3.0\text{ V}$ , $I_{DUT} = 1\text{ mA}$ and 9 mA; sink: driver low, $V_{Lx} = 0.0\text{ V}$ , $I_{DUT} = -1\text{ mA}$ and -9 mA; $\Delta V_{DROUTx}/\Delta I_{DROUTx}$
Absolute Accuracy						$V_{Hx}$ tests conducted with $V_{Lx} = -1.0\text{ V}$ and $V_{Tx} = -1.0\text{ V}$ ; $V_{Lx}$ tests conducted with $V_{Hx} =$

Parameter	Min	Typ	Max	Unit	Test Level <sup>1</sup>	Test Conditions/Comments
VHx, VLx, VTx Offset	-150	+20	+150	mV	II	3.5 V and VTx = 3.5 V; VTx tests conducted with VLx = -1.0 V and VHx = 3.5 V Measured at 0.0 V, target: improve offset
VHx, VLx, VTx Offset Temperature Coefficient		270		μV/°C	III	Measured at calibration points, 0.0 V and 2.0 V
VHx, VLx, VTx Gain	0.97	1.02	1.03	%FSR	II	Relative to straight line from 0.0 V to 2.0 V
VHx, VLx, VTx Linearity	-15	±2.4	+15	mV	II	After two-point gain/offset calibration, relative to straight line from 0.0 V to 2.0 V
VLx, VHx, VTx Interaction		0.3		mV	III	VLx = -1.0 V, VHx swept from -0.9 V to +3.5 V, VTx swept from -1.0 V to 3.5 V, VHx = 3.5 V, VLx swept from -1.0 V to +3.4 V, VTx swept from -0.8 V to +3.5 V, VTx = 1.5 V, VLx swept from -1.0 V to +3.5 V, VHx swept from -1.0 V to +3.5 V
VHx, VLx, VTx DC PSRR	-36	+24	+36	mV/V	II	Change in output voltage as power supplies are moved by ±5%; measured at calibration points, 0.0 V and 2.0 V
VHx, VLx, VTx Input Bias Current	-10	+1	+10	μA	II	
<b>DRIVER AC SPECIFICATIONS</b>						
Rise/Fall Times						Toggle DAx inputs
0.2 V Programmed Swing		115		ps	V	VHx = 0.2 V, VLx = 0.0 V, terminated, 20% to 80%
0.5 V Programmed Swing		90		ps	V	VHx = 0.5 V, VLx = 0.0 V, terminated, 20% to 80%
1.0 V Programmed Swing		90		ps	V	VHx = 1.0 V, VLx = 0.0 V, terminated, 20% to 80%
2.0 V Programmed Swing	90	110	130	ps	II/V	VHx = 2.0 V, VLx = 0.0 V, terminated, 20% to 80%
3.0 V Programmed Swing		150		ps	V	VHx = 3.0 V, VLx = 0.0 V, terminated, 20% to 80%
4.0 V Programmed Swing		190		ps	V	VHx = 3.5 V, VLx = -0.5 V, terminated, 20% to 80%
Rise-to-Fall Matching		10		ps	V	VHx = 1.0 V, VLx = 0.0 V, terminated; rise to fall within one channel
Minimum Pulse Width						Toggle both DAx and DBx inputs
0.2 V Programmed Swing		200		ps	V	VHx = 0.2 V, VLx = 0.0 V, terminated, timing error less than ±25 ps
0.5 V Programmed Swing		180		ps	V	VHx = 0.5 V, VLx = 0.0 V, terminated, timing error less than ±25 ps
1.0 V Programmed Swing		180		ps	V	VHx = 1.0 V, VLx = 0.0 V, terminated, timing error less than ±25 ps
2.0 V Programmed Swing		200		ps	V	VHx = 2.0 V, VLx = 0.0 V, terminated, timing error less than ±25 ps
3.0 V Programmed Swing		300		ps	V	VHx = 3.0 V, VLx = 0.0 V, terminated, timing error less than ±25 ps
Maximum Toggle Rate		2.5		GHz	V	VHx = 1.0 V, VLx = 0.0 V, terminated, 10% amplitude degradation
		2.2		GHz	V	VHx = 2.0 V, VLx = 0.0 V, terminated, 10% amplitude degradation
		1.8		GHz	V	VHx = 3.0 V, VLx = 0.0 V, terminated, 10% amplitude degradation
Dynamic Performance, Drive (VHx to VLx)						Toggle DAx inputs
Propagation Delay Time	300	660	1400	ps	II/V	VHx = 2.0 V, VLx = 0.0 V, terminated
Propagation Delay Temperature Coefficient		0.7		ps/°C	III	VHx = 2.0 V, VLx = 0.0 V, terminated
Delay Matching, Edge to Edge		±15		ps	V	VHx = 2.0 V, VLx = 0.0 V, terminated, rising vs. falling
Delay Change vs. Duty Cycle		±10		ps	V	VHx = 2.0 V, VLx = 0.0 V, terminated, 5% to 95% duty cycle
Preshoot and Undershoot		10		mV	V	VHx = 2.0 V, VLx = 0.0 V, terminated
Settling Time (VHx to VLx)						Toggle DAx Inputs
To Within 3% of Final Value		0.4		ns	V	VHx = 2.0 V, VLx = 0.0 V, terminated
To Within 1% of Final Value		2		ns	V	VHx = 2.0 V, VLx = 0.0 V, terminated
Rise/Fall Times (VTx to/from VHx/VLx)						Toggle DAx inputs
1.0 V Programmed Swing		110		ps	V	VHx = 1.0 V, VTx = 0.5V, VLx = 0.0 V, terminated, 20% to 80%
2.0 V Programmed Swing		170		ps	V	VHx = 2.0 V, VTx = 1.0 V, VLx = 0.0 V, terminated, 20% to 80%
Dynamic Performance, V <sub>TERM</sub> (VHx or VLx to/from VTx)						Toggle TERMx inputs
Propagation Delay Time		720		ns	V	VHx = 3.0 V, VTx = 1.5 V, VLx = 0.0 V, terminated

Parameter	Min	Typ	Max	Unit	Test Level <sup>1</sup>	Test Conditions/Comments
Cable Loss Compensation						
Logic Control Inputs, CLCxEN	0		3.3	V	I	
Logic High	0.9		3.3	V	IV	
Logic Low	0		0.7	V	IV	
I <sub>CLCxEN</sub>	-10	±1.2	+10	μA	II	V <sub>IN</sub> = 0.0 V and 3.3 V
Compensation Constants						
Boost Time Constant		275		ps	V	CLCxEN = 3.3 V, VHx = 1.0 V, VLx = 0.0 V, terminated
Boost Peaking Amplifier		18		%	V	CLCxEN = 3.3 V, VHx = 1.0 V, VLx = 0.0 V, terminated

<sup>1</sup> テスト・レベルの説明のセクションを参照してください。

## 絶対最大定格

表 2.

Parameter	Rating
Supply Voltages	
Positive Supply Voltage ( $V_{CC}$ to GND)	-0.5 V to +8.0 V
Negative Supply Voltage ( $V_{EE}$ to GND)	-5.0 V to +0.5 V
Supply Voltage Difference ( $V_{CC}$ to $V_{EE}$ )	-1.0 V to +13 V
Reference Ground (DUTGND to GND)	-0.5 V to +0.5 V
Input Voltages	
Input Common-Mode Voltage	$V_{EE}$ to $V_{CC}$
Short-Circuit Voltage ( $R_L = 0 \Omega$ , $V_{DUT}$ Continuous Short-Circuit Condition)	-1.5 V to +4.0 V
High Speed Input Voltage (Data and Termination Inputs, DAX, DBX, and TERMx)	-1.5 V to +3.9 V
High Speed Differential Input Voltage (DAX, DBX, TERMx to Termination Pin DAXT, DBXT, TERMxT)	2 V
VHx, VLx, VTx	-2 V to +4.5 V
CLCxEN	-1 V to +3.5 V
DROUTx I/O Pin Current	
DCL Maximum Short-Circuit Current ( $R_L = 0 \Omega$ , $V_{DUT} = -1.5$ V to +4 V; DCL Current Limit)	$\pm 100$ mA

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$ は JEDEC 4L PCB、50°C、100 LFM の強制空冷の条件で規定。  
 $\theta_{JC}$ は 50°C コールド・プレートと 50°C の周囲温度で規定。

表 3.熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
49-Ball CSP_BGA	48.4	3.9	°C/W

## テスト・レベルの説明

- I. 定義
- II. 100%の出荷テストを実施。
- III. テスタ上でキャラクタライゼーションを実施。
- IV. 出荷テストで機能を確認。
- V. ベンチでキャラクタライゼーションを実施。

## ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

	1	2	3	4	5	6	7
A	GND	VEE	DROUT2	GND	DROUT1	VEE	GND
B	TERM2	VCC	VEE	GND	VEE	VCC	TERM1
C	TERM2B	TERM2T	VCC	GND	VCC	TERM1T	TERM1B
D	DA2	DA2T	GND	GND	GND	DA1T	DA1
E	DA2B	GND	VH2	GND	VH1	GND	DA1B
F	DB2	DB2T	VL2	VCCTHERM	VL1	DB1T	DB1
G	DB2B	CLC2EN	VT2	THERM	VT1	CLC1EN	DB1B

07277-002

図 2. ピン配置

表 4. ピン機能の説明

ピン番号	記号	説明
A1	GND	グラウンド。
A2	VEE	負電源、-4.5 V。
A3	DROUT2	ドライバ出力、チャンネル 2。
A4	GND	グラウンド。
A5	DROUT1	ドライバ出力、チャンネル 1。
A6	VEE	負電源、-4.5 V。
A7	GND	グラウンド。
B1	TERM2	終端モード・データ入力。チャンネル 2 の非反転入力。
B2	VCC	正電源、7.0 V。
B3	VEE	負電源、-4.5 V。
B4	GND	グラウンド。
B5	VEE	負電源、-4.5 V。
B6	VCC	正電源、7.0 V。
B7	TERM1	終端モード・データ入力。チャンネル 1 の非反転入力。
C1	TERM2B	終端モード・データ入力。チャンネル 2 の反転入力。
C2	TERM2T	終端モード・データ入力の終端ピン、チャンネル 2。
C3	VCC	正電源、7.0 V。
C4	GND	グラウンド。
C5	VCC	正電源、7.0 V。
C6	TERMIT	終端モード・データ入力の終端ピン、チャンネル 1。
C7	TERM1B	終端モード・データ入力。チャンネル 1 の反転入力。
D1	DA2	データ入力 A。チャンネル 2 の非反転入力。
D2	DA2T	データ入力 A の終端、チャンネル 2。

ピン番号	記号	説明
D3	GND	グラウンド。
D4	GND	グラウンド。
D5	GND	グラウンド。
D6	DA1T	データ入力 A の終端、チャンネル 1。
D7	DA1	データ入力 A。チャンネル 1 の非反転入力。
E1	DA2B	データ入力 A。チャンネル 2 の反転入力。
E2	GND	グラウンド。
E3	VH2	VH 入力、チャンネル 2。
E4	GND	グラウンド。
E5	VH1	VH 入力、チャンネル 1。
E6	GND	グラウンド。
E7	DA1B	データ入力 A。チャンネル 1 の反転入力。
F1	DB2	データ入力 B。チャンネル 2 の非反転入力。
F2	DB2T	データ入力 B の終端、チャンネル 2。
F3	VL2	VL 入力、チャンネル 2。
F4	VCCTHERM	サーマル・ダイオード・ストリングの正電源、7.0 V。
F5	VL1	VL 入力、チャンネル 1。
F6	DB1T	データ入力 B の終端、チャンネル 1。
F7	DB1	データ入力 B。チャンネル 1 の非反転入力。
G1	DB2B	データ入力 B。チャンネル 2 の反転入力。
G2	CLC2EN	ケーブル損失補償コントロール・ピン、チャンネル 2。
G3	VT2	VT 入力、チャンネル 2。
G4	THERM	サーマル・ダイオード接続。
G5	VT1	VT 入力、チャンネル 1。
G6	CLC1EN	ケーブル損失補償コントロール・ピン、チャンネル 1。
G7	DB1B	データ入力 B。チャンネル 1 の反転入力。

代表的な性能特性

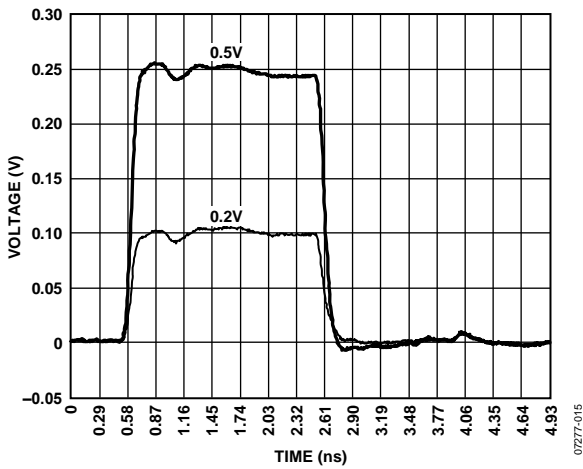


図 3. 小信号応答、 $V_{Hx} = 500 \text{ mV}$ 、 $200 \text{ mV}$ 、 $V_{Lx} = 0.0 \text{ V}$

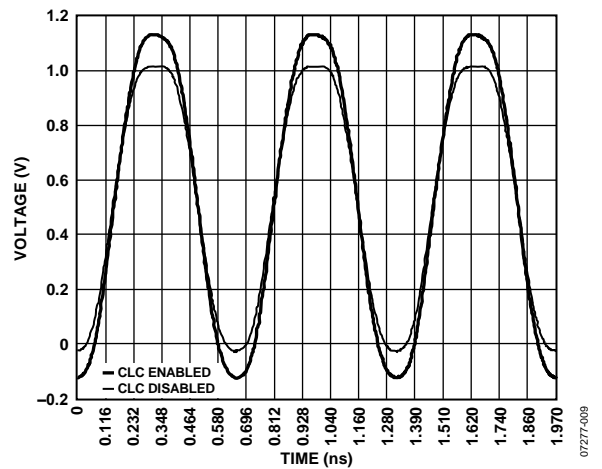


図 6.  $V_{Hx} = 2.0 \text{ V}$ 、 $V_{Lx} = 0.0 \text{ V}$ 、 $1.5 \text{ GHz}$  波形  
CLC をディスエーブル/イネーブル

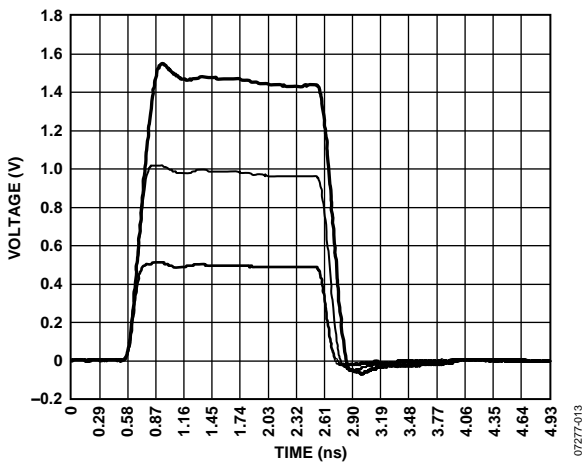


図 4. 大信号応答、 $V_{Hx} = 3.0 \text{ V}$ 、 $2.0 \text{ V}$ 、 $1.0 \text{ V}$ 、 $V_{Lx} = 0.0 \text{ V}$

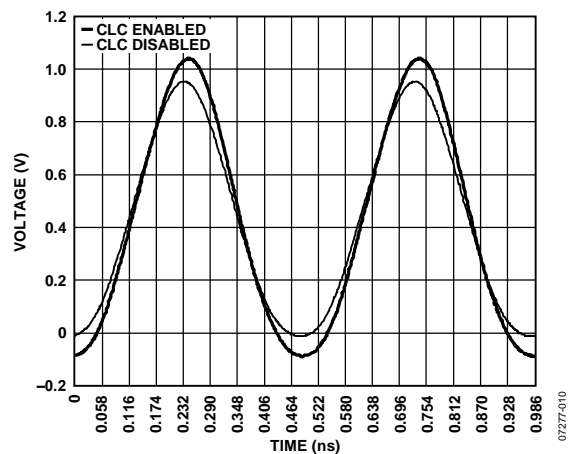


図 7.  $V_{Hx} = 2.0 \text{ V}$ 、 $V_{Lx} = 0.0 \text{ V}$ 、 $2.0 \text{ GHz}$  波形  
CLC をディスエーブル/イネーブル

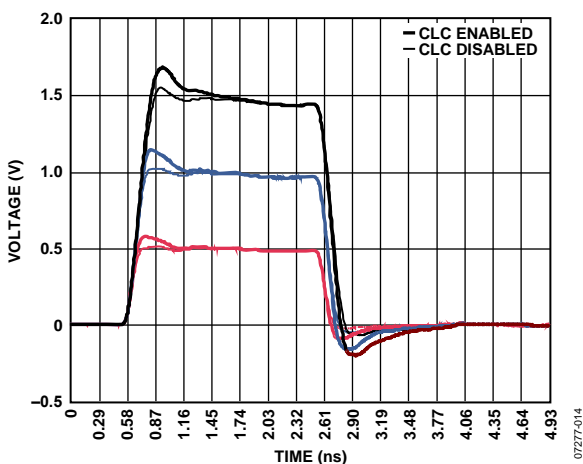


図 5. 大信号応答、 $V_{Hx} = 3.0 \text{ V}$ 、 $2.0 \text{ V}$ 、 $1.0 \text{ V}$ 、 $V_{Lx} = 0.0 \text{ V}$   
CLC をディスエーブル/イネーブル

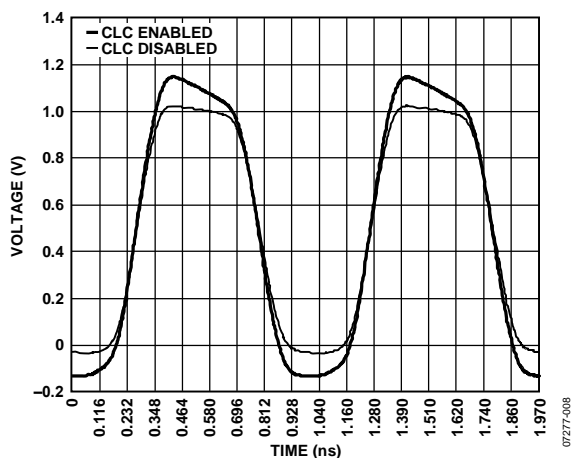


図 8.  $V_{Hx} = 2.0 \text{ V}$ 、 $V_{Lx} = 0.0 \text{ V}$ 、 $1.0 \text{ GHz}$  波形  
CLC をディスエーブル/イネーブル

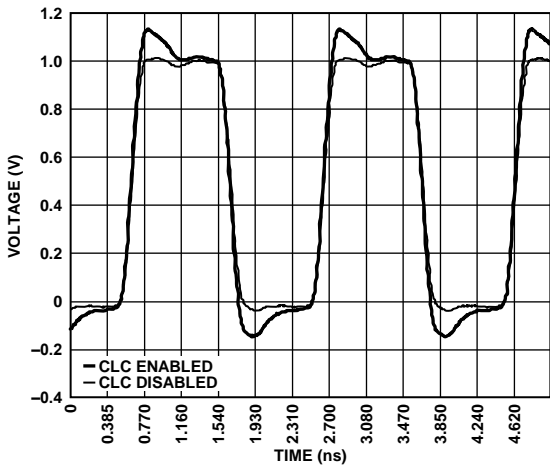


図 9.  $V_{Hx} = 2.0 \text{ V}$ 、 $V_{Lx} = 0.0 \text{ V}$ 、500 MHz 波形  
CLC をディスエーブル/イネーブル

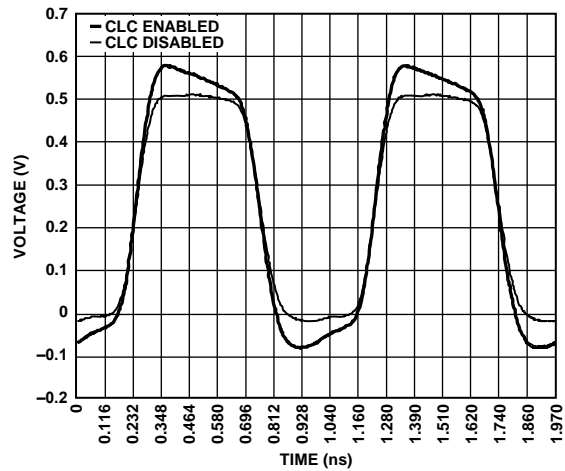


図 12.  $V_{Hx} = 1.0 \text{ V}$ 、 $V_{Lx} = 0.0 \text{ V}$ 、1.0 GHz 波形  
CLC をディスエーブル/イネーブル

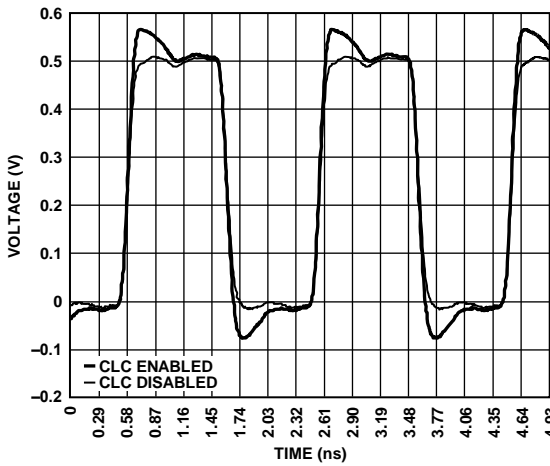


図 10.  $V_{Hx} = 1.0 \text{ V}$ 、 $V_{Lx} = 0.0 \text{ V}$ 、500 MHz 波形  
CLC をディスエーブル/イネーブル

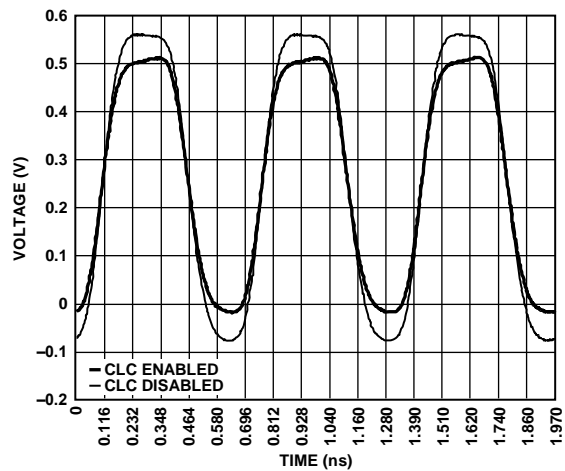


図 13.  $V_{Hx} = 1.0 \text{ V}$ 、 $V_{Lx} = 0.0 \text{ V}$ 、1.5 GHz 波形  
CLC をディスエーブル/イネーブル

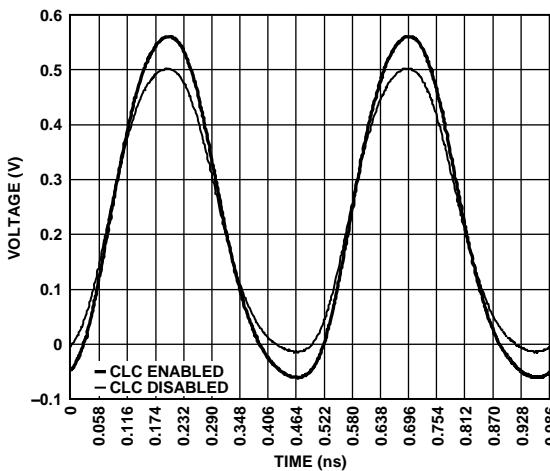


図 11.  $V_{Hx} = 1.0 \text{ V}$ 、 $V_{Lx} = 0.0 \text{ V}$ 、2.0 GHz 波形  
CLC をディスエーブル/イネーブル

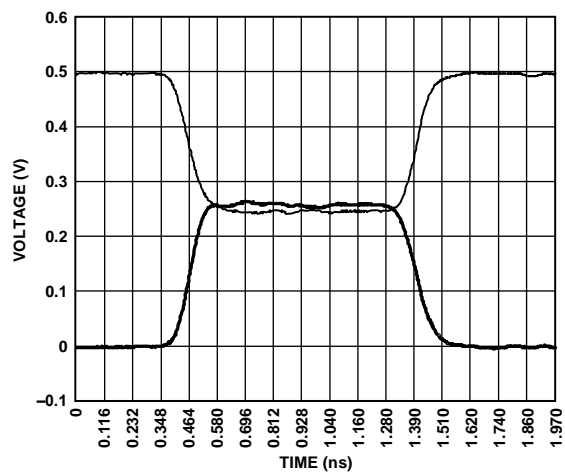


図 14.  $V_{Hx} = 1.0 \text{ V}$ 、 $V_{Tx} = 0.5 \text{ V}$ 、 $V_{Lx} = 0.0 \text{ V}$ 、 $V_{Hx}/V_{Lx}$  と  $V_{Tx}$  の間の変化

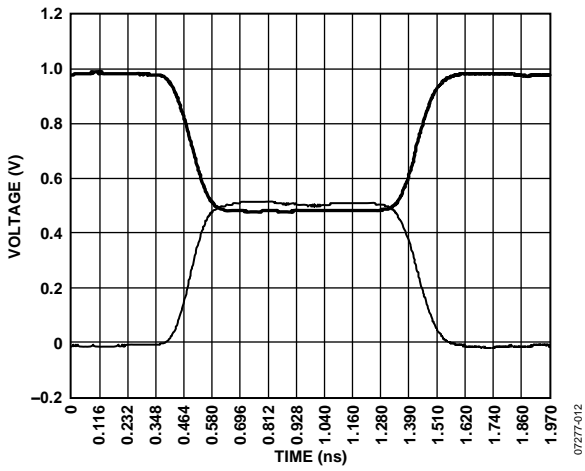


図 15.  $V_{Hx} = 2.0\text{ V}$ 、 $V_{Tx} = 1.0\text{ V}$ 、 $V_{Lx} = 0.0\text{ V}$ 、 $V_{Hx}/V_{Lx}$  と  $V_{Tx}$  の間の変化

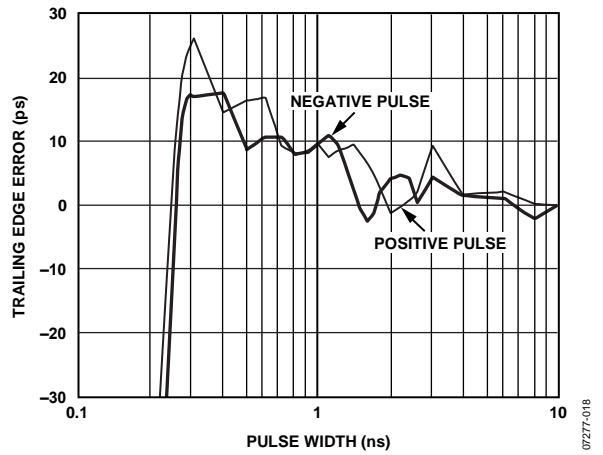


図 18.3 V 最小パルス幅 ( $V_{Hx} = 3.0\text{ V}$ 、 $V_{Lx} = 0.0\text{ V}$ ) CLC をディスエーブル

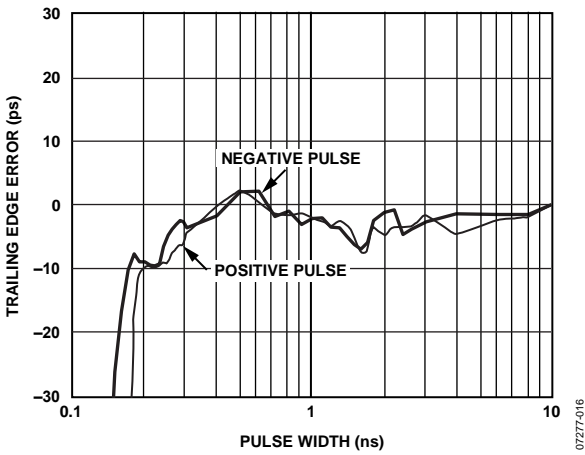


図 16.1 V 最小パルス幅 ( $V_{Hx} = 1.0\text{ V}$ 、 $V_{Lx} = 0.0\text{ V}$ ) CLC をディスエーブル

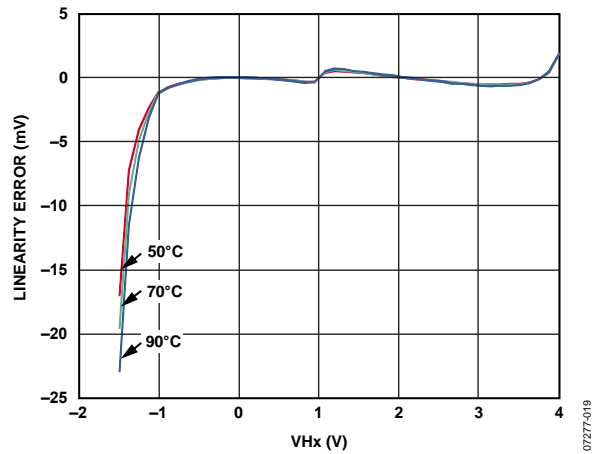


図 19. ドライバの直線性 ( $V_{Hx}$ )、 $V_{Lx} = -1.1\text{ V}$ 、 $V_{Tx} = 1.0\text{ V}$

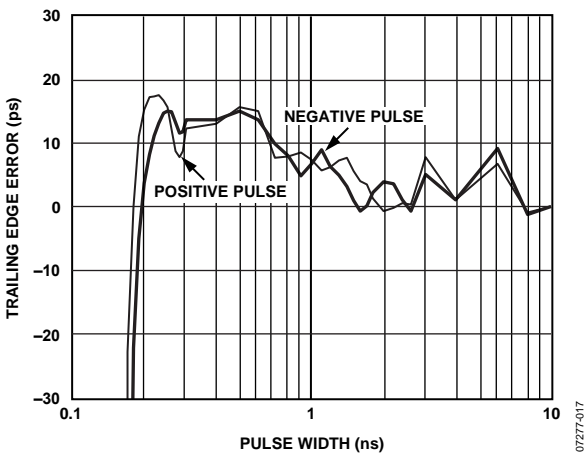


図 17.2 V 最小パルス幅 ( $V_{Hx} = 2.0\text{ V}$ 、 $V_{Lx} = 0.0\text{ V}$ ) CLC をディスエーブル

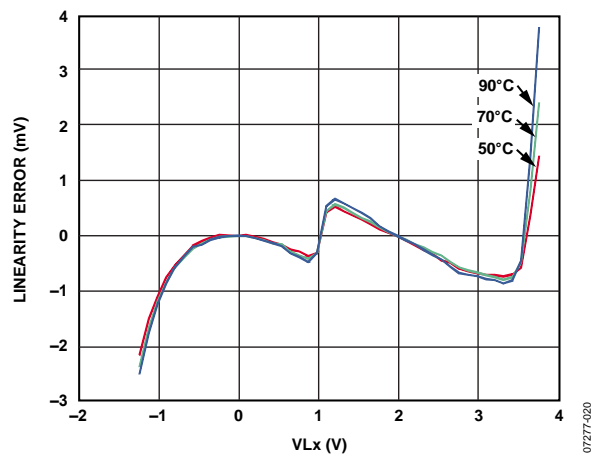


図 20. ドライバの直線性 ( $V_{Lx}$ )、 $V_{Hx} = 3.6\text{ V}$ 、 $V_{Tx} = 1.0\text{ V}$

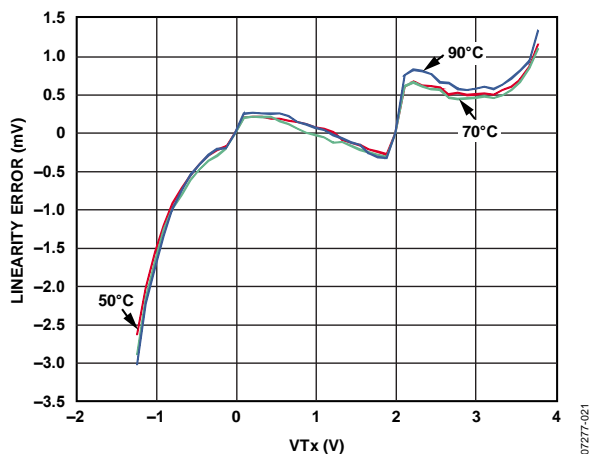


図 21. ドライバの直線性(VTx)、VHx = 2.0 V、VLx = 0.0 V

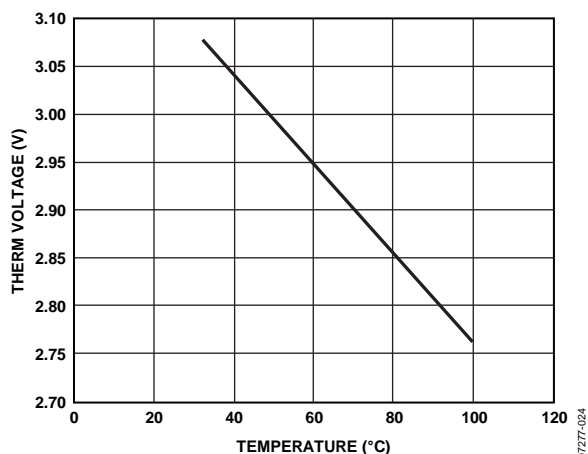


図 24. 温度センサー出力電圧の温度特性

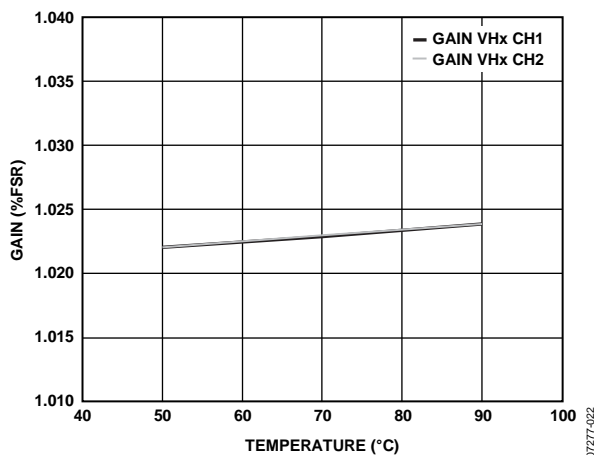


図 22. VHx のゲイン

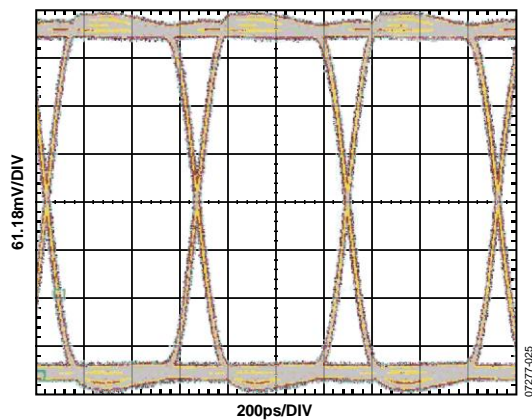


図 25. VHx = 1.8 V、VLx = 0.0 V、PRBS31、1.6 Gbps CLC をディスエーブル

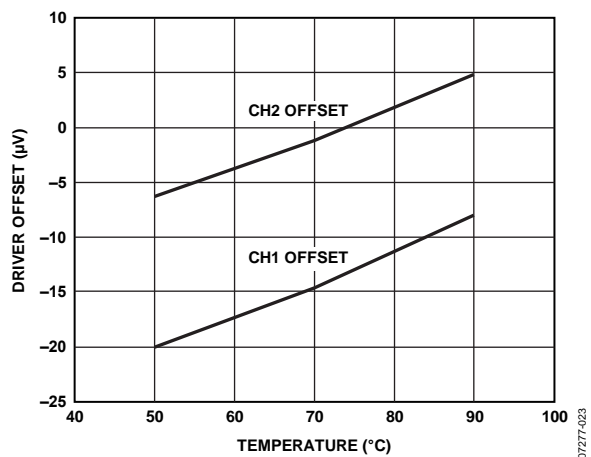


図 23. ドライバ・オフセットの温度特性

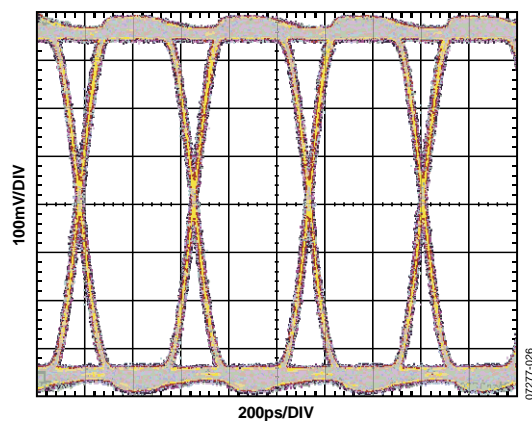
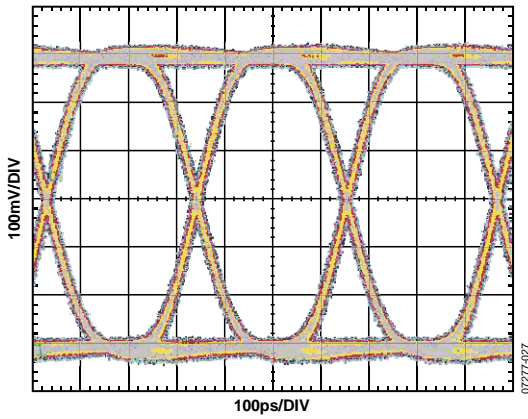
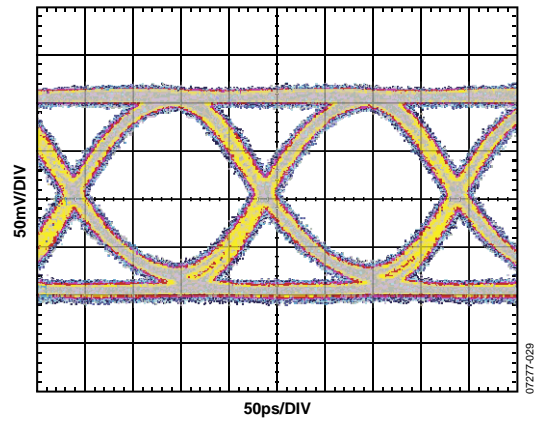


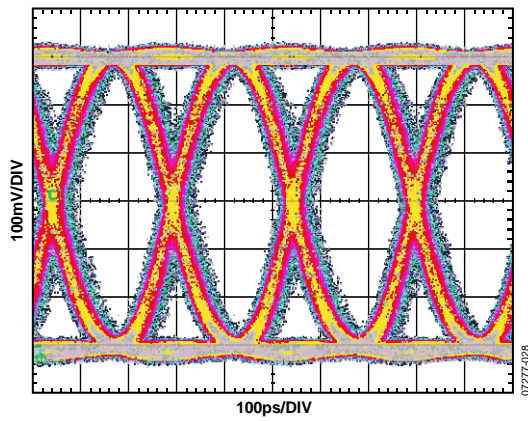
図 26. VHx = 1.8 V、VLx = 0.0 V、PRBS31、2.1 Gbps CLC をディスエーブル



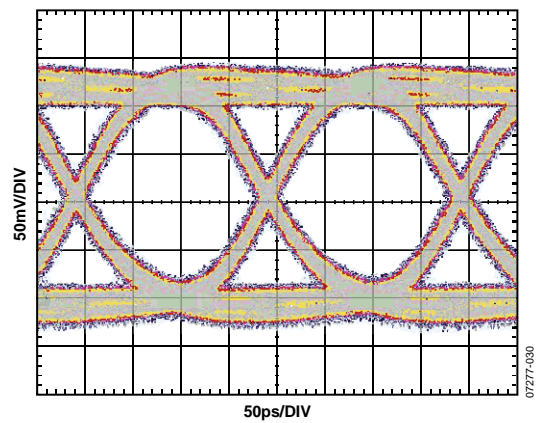
27.  $V_{Hx} = 1.5\text{ V}$ 、 $V_{Lx} = 0.0\text{ V}$ 、PRBS31、3.2 Gbps  
CLC をディスエーブル



29.  $V_{Hx} = 0.5\text{ V}$ 、 $V_{Lx} = 0.0\text{ V}$ 、PRBS31、5.0 Gbps  
CLC をディスエーブル



28.  $V_{Hx} = 1.5\text{ V}$ 、 $V_{Lx} = 0.0\text{ V}$ 、PRBS31、4.0 Gbps  
CLC をディスエーブル



30.  $V_{Hx} = 0.5\text{ V}$ 、 $V_{Lx} = 0.0\text{ V}$ 、PRBS31、5.0 Gbps  
CLC をイネーブル

## アプリケーション情報

### データ入力

ADATE209 は、各チャンネルに対して 3 本の高速差動入力を持っています。入力内の 2 本と内蔵の Exclusive-OR ゲートとを組み合わせて、これらにより VHx/VLx の変化を制御します。Exclusive-OR ゲートは、データ・マルチプレクサまたはデータ反転回路として使うことができます。3 本目の入力は、VTx レベルへの変化の制御に使われます。

表 5.ロジックの真値値表

DAx	DBx	TERMx	DROUTx
Low	Low	Low	V <sub>L</sub>
High	Low	Low	V <sub>H</sub>
Low	High	Low	V <sub>H</sub>
High	High	Low	V <sub>L</sub>
X <sup>1</sup>	X <sup>1</sup>	High	V <sub>T</sub>

<sup>1</sup> X = don't care.

高速入力は、大部分のタイプの差動入力と互換性を持つようにデザインされています。各差動入力は、50 Ω を介して共通ポイントに終端されています。PECL 入力に対する接続の場合は、DAxT/DBxT/TERMxT 入力終端を V<sub>CC</sub> - 2.0 V (ADATE209 ではなく入力信号の V<sub>CC</sub>)へ接続するか、または該当する抵抗を介してグラウンドへ接続します。LVDS への接続の場合は、DAxT/DBxT/TERMxT を接続しないでください。CML 信号への接続の場合は、DAxT/DBxT/TERMxT オープンを解放のままにするか、または DAxT/DBxT/TERMxT を該当する V<sub>CC</sub>/V<sub>DD</sub> レベルに接続します。

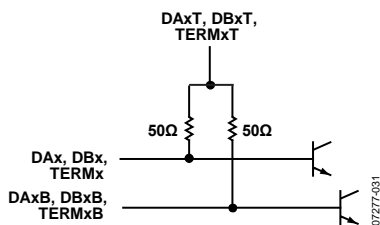


図 31.入力終端回路

### サーマル・ダイオード・ストリング

図 32 に、サーマル・ダイオード・ストリングの簡略化された回路図を示します。ダイオード・ストリングを使うときは、VCCTHERM を 7.0 V に接続して、THERM で電圧を測定します。サーマル・ダイオード・ストリングの公称ゲインは -4.7 mV/°C です。

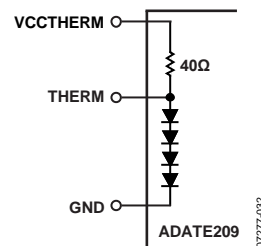


図 32.サーマル・ダイオード・ストリングの回路図

### ケーブル損失補償/ピーキング回路

ADATE209 は、公称とブーストの 2 種類の CLC/ピーキング・モードを持っています。公称モードでは、少量の高周波エネルギーをドライバ出力信号に注入して、テスト・インターフェースでの高周波損失を補償します。ブースト・モードでは、大きなパーセント値の高周波エネルギーをドライバ出力信号に注入します。2つのモードは、CLCxEN 信号を使って制御されます。

表 6.

CLCxEN	CLC/Peaking Mode
Logic low	Nominal
Logic high	Boost

パス長が非常に短いアプリケーションの場合、非常に忠実度の高いケーブルとコネクタ、および/または低データ・レート、公称モードを使う必要があります。忠実度の低いケーブルとコネクタ(低価格)および/または高いデータ・レートを使うアプリケーションの場合は、ブースト・モードを使います。

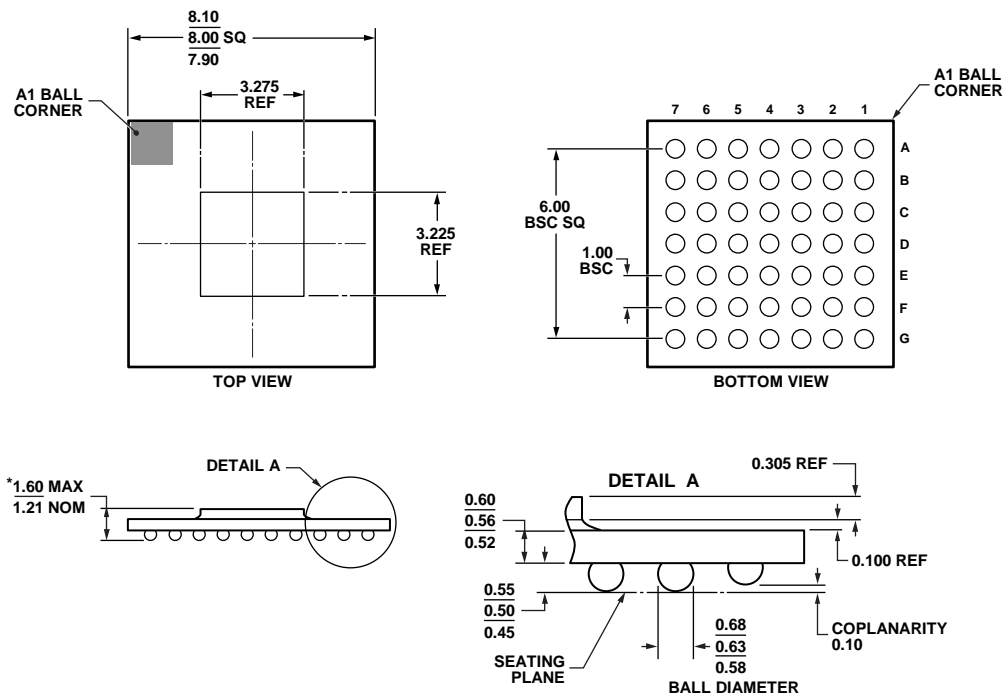
### デフォルト・テスト条件

表 7 に、デフォルトのテスト条件を示します。

表 7.

Name	Default Test Condition
DB1/DB1B	Logic high
DB2/DB2B	Logic high
DA1T/DA2T/DB1T/DB2T	1.3 V
VHx	2.0 V
VLx	0.0 V
VTx	1.0 V

外形寸法



\*COMPLIANT TO JEDEC STANDARDS MO-192-ABB-1 WITH EXCEPTION TO PACKAGE HEIGHT.

030408-A

図 33.49 ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP\_BGA] (BC-49-4)  
寸法: mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
ADATE209BBCZ <sup>1</sup>	-40°C to +85°C	49-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-49-4

<sup>1</sup> Z = RoHS 準拠製品