



# 8GHz~16GHz、4チャンネル、 XバンドおよびKuバンド・ ビームフォーマ

データシート

ADAR1000

## 特長

- 8GHz~16GHzの周波数範囲
- 送信モードと受信モードの半二重
- シングル・ピン送受信の制御
- 位相調整範囲：360°
- 位相分解能：2.8°
- ゲイン調整範囲：31dB以上
- ゲイン分解能：0.5dB以下
- 外部送受信モジュールのバイアスおよび制御
- 予め保存された121のビーム位置のメモリ
- 20dBm~10dBmのパワー・ディテクタ4個
- 温度センサー内蔵
- パワー・ディテクタおよび温度センサー用の8ビットADCを内蔵
- プログラマブル・バイアス・モード
- 4線式SPIインターフェース

## アプリケーション

- フェーズド・アレイ・レーダー
- 衛星通信システム

## 概要

ADAR1000は、フェーズド・アレイ用のビームフォーミング・コア・チップです。4チャンネル、XおよびKuの周波数バンドが特長です。このデバイスは、受信モードと送信モードの間で半二重で動作します。受信モードでは、入力信号が4つの受信チャンネルを経由して、共通のRF\_IOピンで合成されます。送信モードの場合、RF\_IO入力信号は分割され、4つの受信チャンネルを経由して転送されます。どちらのモードでも、ADAR1000は無線周波数(RF)のパスで、31dB以上のゲイン調整範囲と全方面360°の位相調整範囲を実現し、6ビット分解能よりも優れた性能を発揮します(それぞれ0.5dB以下および2.8°)。

すべての内蔵レジスタの制御は、簡単な4線式シリアル・ポート・インターフェース(SPI)を介して行われます。更に、2本のアドレス・ピンにより、同じシリアル・ライン上で最大4台のデバイスをSPIで制御できます。また、専用の送信ロード・ピンと受信ロード・ピンが同じアレイにある全コア・チップの同期を維持し、1本のピンが送信モードと受信モード間的高速切替を制御します。

ADAR1000はコンパクトな88端子、7mm×7mm、LGAパッケージに収納され、-40°C~85°Cで仕様規定されています。

## 機能ブロック図

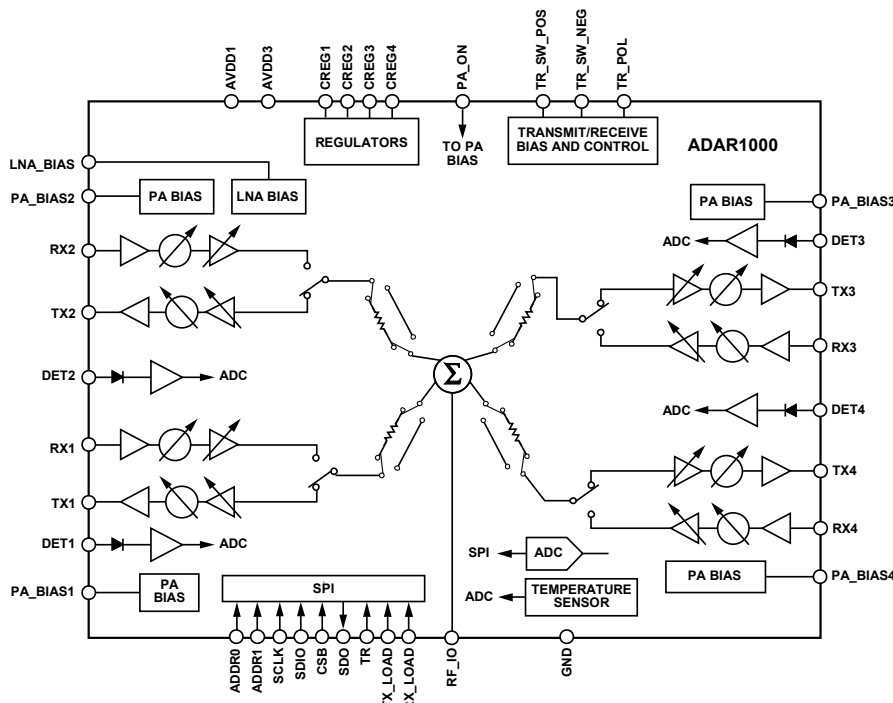


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2018 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本 社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル  
電話 03 (5402) 8200  
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー  
電話 06 (6350) 6868

## 目次

|                     |    |                          |    |
|---------------------|----|--------------------------|----|
| 特長.....             | 1  | 送受信の制御.....              | 25 |
| アプリケーション.....       | 1  | RF サブ回路バイアス制御とイネーブル..... | 25 |
| 概要.....             | 1  | ADC の動作.....             | 25 |
| 機能ブロック図.....        | 1  | メモリ・アクセス.....            | 26 |
| 改訂履歴.....           | 2  | キャリブレーション.....           | 26 |
| 仕様.....             | 3  | アプリケーション情報.....          | 31 |
| タイミング仕様.....        | 6  | ゲイン・コントロール・レジスタ.....     | 31 |
| 絶対最大定格.....         | 8  | スイッチ式アッテネータの制御.....      | 31 |
| 熱抵抗.....            | 8  | 送信サブ回路および受信サブ回路の制御.....  | 32 |
| ESD に関する注意.....     | 8  | 送信および受信スイッチ・ドライバの制御..... | 32 |
| ピン配置およびピン機能の説明..... | 9  | PA バイアス出力制御.....         | 33 |
| 代表的な性能特性.....       | 11 | LNA バイアス出力制御.....        | 33 |
| 動作原理.....           | 23 | SPI プログラミングの例.....       | 34 |
| RF パス.....          | 23 | レジスタ・マップ.....            | 35 |
| 位相およびゲイン制御.....     | 23 | レジスタの説明.....             | 37 |
| パワー・ディテクタ.....      | 24 | 外形寸法.....                | 58 |
| 外部アンプ・バイアス DAC..... | 24 | オーダー・ガイド.....            | 58 |
| 外部スイッチ制御.....       | 24 |                          |    |

## 改訂履歴

6/2018–Revision 0: Initial Version

## 仕様

AVDD1 = -5V、AVDD3 = +3.3V、 $T_A = 25^\circ\text{C}$  であり、特に指定のない限り、デバイスは最大チャンネル・ゲインと公称バイアス条件にプログラムされています。公称バイアス・レジスタの設定値：レジスタ 0x034 = 0x08、レジスタ 0x035 = 0x55、レジスタ 0x036 = 0x2D、およびレジスタ 0x37 = 0x06 低消費電力バイアス・レジスタの設定値：レジスタ 0x034 = 0x05、レジスタ 0x035 = 0x1A、レジスタ 0x036 = 0x2A、およびレジスタ 0x37 = 0x03

表 1.

| Parameter                                 | Test Conditions/Comments            | Min | Typ        | Max | Unit             |
|---|-------------------------------------|-----|------------|-----|------------------|
| OPERATING CONDITIONS                      |                                     |     |            |     |                  |
| RF Range                                  |                                     | 8   |            | 16  | GHz              |
| Operating Temperature                     |                                     | -40 |            | +85 | $^\circ\text{C}$ |
| TRANSMIT SECTION                          |                                     |     |            |     |                  |
|   | RF_IO, TX1, TX2, TX3, and TX4 pins  |     |            |     |                  |
| Maximum Gain                              |                                     |     |            |     |                  |
| 9.5 GHz                                   |                                     |     | 21         |     | dB               |
| 11.5 GHz                                  |                                     |     | 19         |     | dB               |
| 14 GHz                                    |                                     |     | 16         |     | dB               |
| Gain Flatness vs. Frequency               | Across any 1 GHz bandwidth          |     |            |     | dB               |
|   | From 9 GHz to 14 GHz                |     | $\pm 1.0$  |     | dB               |
|   | From 8 GHz to 15 GHz                |     | $\pm 1.7$  |     | dB               |
| Gain Variation vs. Temperature            | 11.5 GHz                            |     | $\pm 2.5$  |     | dB               |
| Output 1 dB Compression (P1dB)            | Maximum gain setting                |     |            |     |                  |
| Nominal Bias Setting                      |                                     |     |            |     |                  |
| 9.5 GHz                                   |                                     |     | 10         |     | dBm              |
| 11.5 GHz                                  |                                     |     | 10         |     | dBm              |
| 14 GHz                                    |                                     |     | 10         |     | dBm              |
| Low Bias Setting                          |                                     |     |            |     |                  |
| 9.5 GHz                                   |                                     |     | 6          |     | dBm              |
| 11.5 GHz                                  |                                     |     | 8          |     | dBm              |
| 14 GHz                                    |                                     |     | 7          |     | dBm              |
| Saturated Power ( $P_{SAT}$ )             | Maximum gain setting                |     |            |     |                  |
| Nominal Bias Setting                      |                                     |     |            |     |                  |
| 9.5 GHz                                   |                                     |     | 14         |     | dBm              |
| 11.5 GHz                                  |                                     |     | 14         |     | dBm              |
| 14 GHz                                    |                                     |     | 13         |     | dBm              |
| Low Bias Setting                          |                                     |     |            |     |                  |
| 9.5 GHz                                   |                                     |     | 14         |     | dBm              |
| 11.5 GHz                                  |                                     |     | 14         |     | dBm              |
| 14 GHz                                    |                                     |     | 13         |     | dBm              |
| Gain Resolution                           |                                     |     | $\leq 0.5$ |     | dB               |
| RMS Gain Error                            | Over phase settings and frequencies |     | 0.2        |     | dB               |
| Phase Adjustment Range                    |                                     |     | 360        |     | Degrees          |
| Phase Resolution                          |                                     |     | 2.8        |     | Degrees          |
| RMS Phase Error                           | Over phase settings and frequencies |     | 2          |     | Degrees          |
| Noise Figure                              | Maximum gain setting                |     |            |     |                  |
| Nominal Bias Setting                      |                                     |     |            |     |                  |
| 9.5 GHz                                   |                                     |     | 22         |     | dB               |
| 11.5 GHz                                  |                                     |     | 23         |     | dB               |
| 14 GHz                                    |                                     |     | 25         |     | dB               |
| Low Bias Setting                          |                                     |     |            |     |                  |
| 9.5 GHz                                   |                                     |     | 22         |     | dB               |
| 11.5 GHz                                  |                                     |     | 23         |     | dB               |
| 14 GHz                                    |                                     |     | 25         |     | dB               |
| Channel to Channel Isolation <sup>1</sup> |                                     |     | -40        |     | dB               |
| Transmit Output to RF_IO                  | Maximum gain setting, 9.5 GHz       |     | -60        |     | dB               |

| Parameter                          | Test Conditions/Comments                    | Min | Typ  | Max | Unit    |
|------------------------------------|---|-----|------|-----|---------|
| Output Return Loss                 | TX1, TX2, TX3, or TX4 pin                   |     | -10  |     | dB      |
| Input Return Loss                  | RF_IO pin                                   |     | -12  |     | dB      |
| Output Third-Order Intercept (IP3) | Maximum gain setting, 1 MHz carrier spacing |     |      |     |         |
| Nominal Bias Setting               |   |     |      |     |         |
| 9.5 GHz                            |   |     | 20   |     | dBm     |
| 11.5 GHz                           |   |     | 21   |     | dBm     |
| 14 GHz                             |   |     | 22   |     | dBm     |
| Low Bias Setting                   |   |     |      |     |         |
| 9.5 GHz                            |   |     | 15   |     | dBm     |
| 11.5 GHz                           |   |     | 16   |     | dBm     |
| 14 GHz                             |   |     | 16   |     | dBm     |
| <b>RECEIVE SECTION</b>             |   |     |      |     |         |
| Maximum Measured Gain <sup>2</sup> |   |     |      |     |         |
| 9.5 GHz                            | Nominal bias setting                        |     | 10   |     | dB      |
| 11.5 GHz                           |   |     | 9    |     | dB      |
| 14 GHz                             |   |     | 7    |     | dB      |
| Maximum Channel Gain <sup>3</sup>  |   |     |      |     |         |
| 9.5 GHz                            | Nominal bias setting                        |     | 16   |     | dB      |
| 11.5 GHz                           |   |     | 15   |     | dB      |
| 14 GHz                             |   |     | 13   |     | dB      |
| Gain Flatness                      | Across any 1 GHz bandwidth                  |     |      |     |         |
|                                    | From 9 GHz to 14 GHz                        |     | ±1.0 |     | dB      |
|                                    | From 8 GHz to 15 GHz                        |     | ±1.7 |     | dB      |
| Gain Variation vs. Temperature     | 11.5 GHz                                    |     | ±3   |     | dB      |
| Input P1dB                         |   |     |      |     |         |
| Nominal Bias Setting               |   |     |      |     |         |
| 9.5 GHz                            |   |     | -16  |     | dBm     |
| 11.5 GHz                           |   |     | -16  |     | dBm     |
| 14 GHz                             |   |     | -15  |     | dBm     |
| Low Bias Setting                   |   |     |      |     |         |
| 9.5 GHz                            |   |     | -13  |     | dBm     |
| 11.5 GHz                           |   |     | -12  |     | dBm     |
| 14 GHz                             |   |     | -10  |     | dBm     |
| Input IP3                          | Maximum gain setting, carrier spacing 1 MHz |     |      |     |         |
| Nominal Bias Setting               |   |     |      |     |         |
| 9.5 GHz                            |   |     | -7   |     | dBm     |
| 11.5 GHz                           |   |     | -7   |     | dBm     |
| 14 GHz                             |   |     | -6   |     | dBm     |
| Low Bias Setting                   |   |     |      |     |         |
| 9.5 GHz                            |   |     | -7   |     | dBm     |
| 11.5 GHz                           |   |     | -6   |     | dBm     |
| 14 GHz                             |   |     | -5   |     | dBm     |
| Gain Adjustment Range              | VGA and step attenuator                     |     | ≥31  |     | dB      |
| Gain Resolution                    |   |     | ≤0.5 |     | dB      |
| RMS Gain Error                     |   |     | 0.2  |     | dB      |
| Phase Adjustment Range             |   |     | 360  |     | Degrees |
| Phase Resolution                   |   |     | 2.8  |     | Degrees |
| RMS Phase Error                    |   |     | 2    |     | Degrees |

| Parameter   | Test Conditions/Comments   | Min | Typ        | Max | Unit    |
|---|--|-----|------------|-----|---------|
| Noise Figure  | Maximum gain setting   |     |            |     |         |
| Nominal Bias Setting                                      |  |     |            |     |         |
| 9.5 GHz   |  |     | 8          |     | dB      |
| 11.5 GHz  |  |     | 8          |     | dB      |
| 14 GHz  |  |     | 9          |     | dB      |
| Low Bias Setting  |  |     |            |     |         |
| 9.5 GHz   |  |     | 9          |     | dB      |
| 11.5 GHz  |  |     | 10         |     | dB      |
| 14 GHz  |  |     | 11         |     | dB      |
| Channel to Channel Isolation <sup>4</sup>                 |  |     | 40         |     | dB      |
| RF_IO to Receive Isolation                                |  |     | 60         |     | dB      |
| Input Return Loss   |  |     | -10        |     | dB      |
| Output Return Loss  | RF_IO pin  |     | -12        |     | dB      |
| TEMPERATURE SENSOR  |  |     |            |     |         |
| Range   |  | -40 |            | +85 | °C      |
| Slope   |  |     | 0.8        |     | LSB/°C  |
| Nominal Analog-to-Digital Converter (ADC) Output          | Power-on reset (POR) mode (transmit and receive not enabled), T <sub>A</sub> = 25°C                          |     | 145        |     | Decimal |
| Resolution  |  |     | 8          |     | Bits    |
| TRANSMIT AND RECEIVE SWITCHING                            |  |     |            |     |         |
| Transmit and Receive Switching Time                       | TX_LOAD, RX_LOAD, and TR pins<br>From TR at 50% to RF at 90%   |     | 180        |     | ns      |
| Phase and Gain Switching Time                             | From TX_LOAD or RX_LOAD at 50% to RF at 90%  |     | 180        |     | ns      |
| POWER DETECTOR  |  |     |            |     |         |
| RF Input Power Range                                      | DET1, DET2, DET3, and DET4 pins<br>11.5 GHz  | -20 |            | +10 | dBm     |
| Input Return Loss   |  |     | -10        |     | dB      |
| Nominal ADC Output Code                                   | Input power (P <sub>IN</sub> ) = 0 dBm, 11.5 GHz   |     | 60         |     | Decimal |
| Resolution  |  |     | 8          |     | Bits    |
| POWER AMPLIFIER (PA)<br>DIGITAL-TO-ANALOG CONVERTER (DAC) | PA_BIAS1, PA_BIAS2, PA_BIAS3, and PA_BIAS4 pins  |     |            |     |         |
| Resolution  |  |     | 8          |     | Bits    |
| Voltage Range   |  |     | -4.8 to 0  |     | V       |
| Source and Sink Current                                   |  |     | -10 to +10 |     | mA      |
| Off to On Switching Time                                  | From TR or CSB at 50% to V <sub>OUT</sub> at 90%, V <sub>OUT</sub> from -1 V to -2 V, 1 nF C <sub>LOAD</sub> |     | 60         |     | ns      |
| On to Off Switching Time                                  | From TR or CSB at 50% to V <sub>OUT</sub> at 10%, V <sub>OUT</sub> from -1 V to -2 V, 1 nF C <sub>LOAD</sub> |     | 60         |     | ns      |
| LOW NOISE AMPLIFIER (LNA) DAC                             | LNA_BIAS pin   |     |            |     |         |
| Resolution  |  |     | 8          |     | Bits    |
| Voltage Range   |  |     | -4.8 to 0  |     | V       |
| Source and Sink Current                                   |  |     | -10 to +10 |     | mA      |
| Off to On Switching Time                                  | From TR or CSB at 50% to V <sub>OUT</sub> at 90%, V <sub>OUT</sub> from -2 V to -1 V, 1 nF C <sub>LOAD</sub> |     | 60         |     | ns      |
| On to Off Switching Time                                  | From TR or CSB at 50% to V <sub>OUT</sub> at 10%, V <sub>OUT</sub> from -1 V to -2 V, 1 nF C <sub>LOAD</sub> |     | 60         |     | ns      |
| TRANSMIT AND RECEIVE MODULE CONTROL                       | TR_SW_POS, TR_SW_NEG, TR_POL pins  |     |            |     |         |
| Voltage Range   | TR_SW_NEG, TR_POL  |     | -4.8 to 0  |     | V       |
|   | TR_SW_POS  |     | 0 to 3.2   |     | V       |
| Off to On Switching Time                                  | From TR or CSB at 50% to V <sub>OUT</sub> at 90%   |     | 15         |     | ns      |
| On to Off Switching Time                                  | From TR or CSB at 50% to V <sub>OUT</sub> at 10%   |     | 15         |     | ns      |

| Parameter  | Test Conditions/Comments                       | Min   | Typ | Max   | Unit |
|--|--|-------|-----|-------|------|
| LOGIC INPUTS                                       | TR, RX_LOAD, TX_LOAD, CSB, SCLK, and SDIO pins |       |     |       |      |
| Input High Voltage, $V_{IH}$                       |  | 1.0   |     |       | V    |
| Input Low Voltage, $V_{IL}$                        |  |       |     | 0.3   | V    |
| High and Low Input Currents, $I_{INH}$ , $I_{INL}$ |  |       | ±1  |       | μA   |
| Input Capacitance, $C_{IN}$                        |  |       | 1   |       | pF   |
| LOGIC OUTPUTS                                      | SDO and SDIO pins                              |       |     |       |      |
| Output High Voltage, $V_{OH}$                      | Output high current ( $I_{OH}$ ) = -10 mA      | 1.4   |     |       | V    |
| Output Low Voltage, $V_{OL}$                       | Output low current ( $I_{OL}$ ) = 10 mA        |       |     | 0.4   | V    |
| POWER SUPPLIES                                     |  |       |     |       |      |
| AVDD1  |  | -5.25 | -5  | -4.75 | V    |
| AVDD3  |  | 3.1   | 3.3 | 3.5   | V    |
| $I_{AVDD1}$  | Quiescent (reset state)                        |       | -4  |       | mA   |
| $I_{AVDD1}$  | PA bias outputs fully loaded                   |       | -50 |       | mA   |
| $I_{AVDD3}$  |  |       |     |       |      |
| Reset Mode (Standby)                               |  |       | 23  |       | mA   |
| Transmit Mode                                      | Four channels enabled, nominal bias            |       | 350 |       | mA   |
|  | Four channels enabled, low bias setting        |       | 240 |       | mA   |
| Receive Mode                                       | Four channels enabled, nominal bias            |       | 260 |       | mA   |
|  | Four channels enabled, low bias setting        |       | 160 |       | mA   |

<sup>1</sup> 1つの送信チャンネル・ポートから別の送信チャンネル・ポートまで、両方のチャンネルを最大ゲインに設定する必要があります。

<sup>2</sup> 測定されるゲインは、RF\_IOの出力電力と任意の単一受信ポートに供給される入力電力の比率であり、残りの3つの受信ポートは50Ωで終端されます。

<sup>3</sup> チャンネル・ゲインは、RF\_IOの出力電力と任意の単一受信ポートに供給される入力電力の比率です。残りの3つの受信ポートは安定した連動のために駆動、位相調整され、6dBの合計ゲインが差し引かれます。チャンネル・ゲインは、測定ゲインよりも約6dB高くなります。

<sup>4</sup> 1つの受信チャンネル・ポートから別の送信チャンネル・ポートまで、両方のチャンネルを最大ゲインに設定する必要があります。

## タイミング仕様

特に指定のない限り、AVDD1 = -5V、AVDD3 = +3.3V、 $T_A = 25^\circ\text{C}$ です。

表 2. SPI タイミング

| Parameter                              | Min | Typ | Max | Unit | Test Conditions/Comments              |
|--|-----|-----|-----|------|---------------------------------------|
| Maximum Clock Rate ( $t_{SCLK}$ )      |     | 25  |     | MHz  |                                       |
| Minimum Pulse Width High ( $t_{PWH}$ ) |     | 10  |     | ns   |                                       |
| Minimum Pulse Width Low ( $t_{PWL}$ )  |     | 10  |     | ns   |                                       |
| Setup Time, SDIO to SCLK ( $t_{DS}$ )  |     | 5   |     | ns   |                                       |
| Hold Time, SDIO to SCLK ( $t_{DH}$ )   |     | 5   |     | ns   |                                       |
| Data Valid, SDO to SCLK ( $t_{DV}$ )   |     | 5   |     | ns   |                                       |
| Setup Time, CSB to SCLK ( $t_{DCS}$ )  |     | 10  |     | ns   |                                       |
| SDIO, SDO Rise Time ( $t_r$ )          |     | 20  |     | ns   | Outputs loaded with 80 pF, 10% to 90% |
| SDIO, SDO Fall Time ( $t_f$ )          |     | 20  |     | ns   | Outputs loaded with 80 pF, 10% to 90% |

## タイミング図

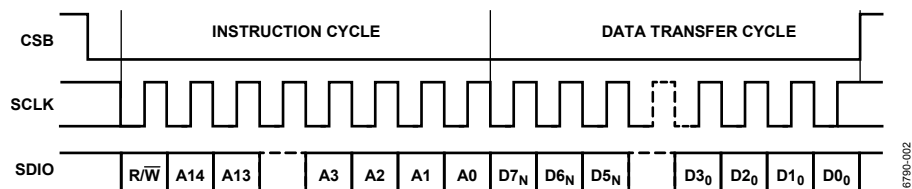


図 2. シリアル・ポート・インターフェース・レジスタのタイミング (MSB ファースト)

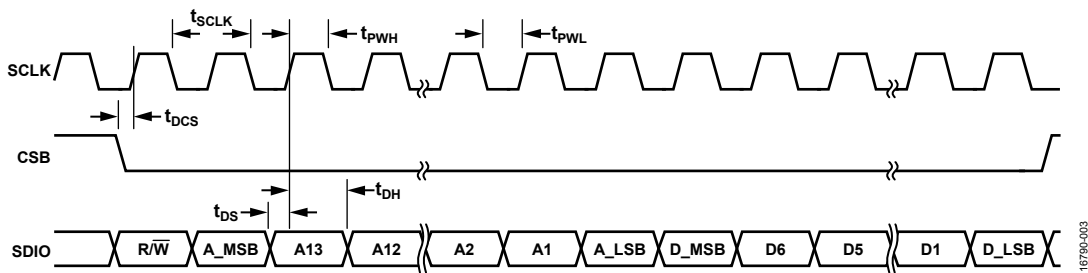


図 3. シリアル・ポート・インターフェース・レジスタの書き込みのタイミング図

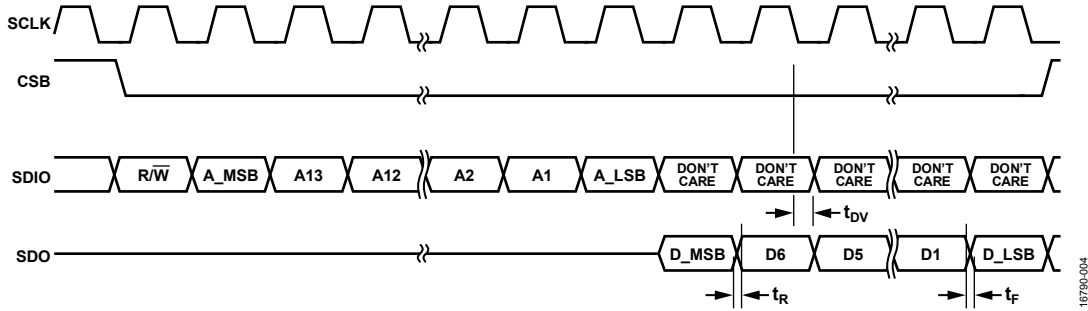


図 4. シリアル・ポート・インターフェース・レジスタの読み込みのタイミング図

**SPI ブロック書き込みモード**

SPI レジスタには、ブロック書き込みモードでデータを書き込むことができます。このモードでは、レジスタ・アドレスのインクリメントが自動的に実行され、新しいアドレス・ビットを送信しなくても、連続するレジスタのデータを書き込むことができます。CSB を再び引き上げて書き込みプロセスを終了するまで、データの書き込みは無期限に続行できます。

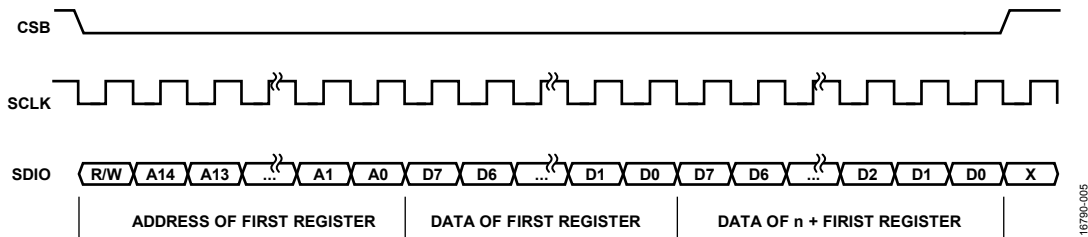


図 5. ブロック書き込みモードのタイミング図

## 絶対最大定格

表 3.

| Parameter                           | Rating          |
|-------------------------------------|-----------------|
| AVDD1 to GND                        | -5.5 V          |
| AVDD3 to GND                        | 3.6 V           |
| Digital Input/Output Voltage to GND | 2.0 V           |
| Maximum RF Input Power              | 20 dBm          |
| Operating Temperature Range         | -40°C to +85°C  |
| Storage Temperature Range           | -65°C to +150°C |
| Reflow Soldering                    |                 |
| Peak Temperature                    | 260°C           |
| Junction Temperature ( $T_J$ )      | 135°C           |
| Electrostatic Discharge (ESD)       |                 |
| Charged Device Model (CDM)          | ±500 V          |
| Human Body Model (HBM)              | ±2500 V         |

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間にわたり絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

## 熱抵抗

熱性能は、プリント回路基板 (PCB) の設計と動作環境に直接関連しています。PCB の熱設計には、細心の注意を払う必要があります。

$\theta_{JA}$  は露出パッドがハンダ処理された状態での周辺への接合、 $\theta_{JC}$  は露出パッドへの接合です。

表 4. 熱抵抗

| Package Type         | $\theta_{JA}$ | $\theta_{JC}$ | Unit |
|----------------------|---------------|---------------|------|
| CC-88-1 <sup>1</sup> | 18.7          | 10.1          | °C/W |

<sup>1</sup> JESD-51 で仕様規定されている PCB をベースにシミュレートされます。

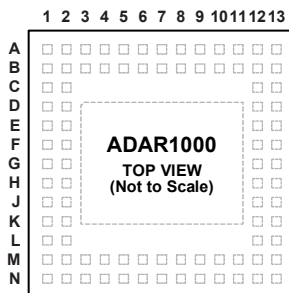
## ESD に関する注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。



ピン配置およびピン機能の説明



NOTES  
 1. EXPOSED PAD. CONNECT THE EXPOSED PAD AND ALL GND CONNECTIONS TO A LOW IMPEDANCE GROUND PLANE ON THE PCB.

16790-006

図 6. ピン配置（上面図）

表 5. ピン機能の説明

| ピン番号   | 記号        | 説明  |
|--|-----------|---|
| A1   | DET3      | チャンネル 3 パワー・ディテクタ入力。DET3 は内部で AC カップリングされ、レジスタ 0x030、ビット 1 でイネーブルになります。公称動作入力電力範囲は、-20dBm~10dBm です。   |
| A2、A6、A8、A12、A13、<br>B1、B2、B6~B10、B12、<br>B13、C2、C12、D1、D2、<br>D12、D13、E2、E12、F1、<br>F2、F12、F13、G2、G12、<br>H1、H2、H12、H13、J2、<br>J12、K1、K2、K12、K13、<br>L2、L12、M1、M2、M7、<br>M12、M13、N1、N7、N8、<br>N12 | GND       | RF グラウンド。回路ボードの低インピーダンス・プレーンに、すべてのグラウンド・ピンをまとめて接続します。   |
| A3   | TR_SW_NEG | 外部送信および受信スイッチ（0V または -5V）のゲート制御出力。  |
| A4   | PA_BIAS4  | チャンネル 4 外部 PA のゲート・バイアス出力。PA_ON ピン、レジスタ 0x02C (CH4_PA_BIAS_ON 値)、およびレジスタ 0x049 (CH4_PA_BIAS_OFF 値) の組合せで制御され、出力範囲は 0~-4.8V です。PA_ON ピンをロジック・ローにすると、出力は CH4_PA_BIAS_OFF 値に設定されます。                                      |
| A5   | PA_BIAS3  | チャンネル 3 外部 PA のゲート・バイアス出力。PA_ON ピン、レジスタ 0x02B (CH3_PA_BIAS_ON 値)、およびレジスタ 0x048 (CH3_PA_BIAS_OFF 値) の組合せで制御され、出力範囲は 0~-4.8V です。PA_ON ピンをロジック・ローにすると、出力は CH3_PA_BIAS_OFF 値に設定されます。                                      |
| A7   | RF_IO     | 送信モードでの入力と受信モードでの出力の共通 RF ピン。   |
| A9   | PA_BIAS2  | チャンネル 2 外部 PA のゲート・バイアス出力。PA_ON ピン、レジスタ 0x02A (CH2_PA_BIAS_ON 値)、およびレジスタ 0x047 (CH2_PA_BIAS_OFF 値) の組合せで制御され、出力範囲は 0~-4.8V です。PA_ON ピンをロジック・ローにすると、出力は CH2_PA_BIAS_OFF 値に設定されます。                                      |
| A10  | PA_BIAS1  | チャンネル 1 外部 PA のゲート・バイアス出力。PA_ON ピン、レジスタ 0x029 (CH1_PA_BIAS_ON 値)、およびレジスタ 0x046 (CH1_PA_BIAS_OFF 値) の組合せで制御され、出力範囲は 0~-4.8V です。PA_ON ピンをロジック・ローにすると、出力は CH1_PA_BIAS_OFF 値に設定されます。                                      |
| A11  | LNA_BIAS  | 外部 LNA のゲート・バイアス出力。レジスタ 0x030 (ビット 4、LNA_BIAS_OUT_EN)、レジスタ 0x02D (LNA_BIAS_ON 値)、およびレジスタ 0x04A (LNA_BIAS_OFF 値) の組合せで制御され、出力範囲は 0~-4.8V です。レジスタ 0x030、ビット 4 をロジック・ローにすると、出力はフロート状態になります。                              |
| B3   | PA_ON     | PA イネーブル入力。EXT_PAx_BIAS_ON および EXT_PAx_BIAS_OFF レジスタ (x = 1~4) で設定された値を使用するには、このピンを PA バイアス電圧のロジック・ハイに設定します。PA_ON ピンをロジック・ローにすると、すべての PA_BIASx 出力は対応する CHx_PA_BIAS_OFF 値を取得します。このピンは、内部で 100kΩ の抵抗で AVDD3 にプルアップされます。 |
| B4   | TR_POL    | 外部極性スイッチ（0V または -5V）のゲート制御出力。   |
| B5   | TR_SW_POS | 外部送信および受信のスイッチ（0V または 3.3V）のゲート制御正側出力。  |

| ピン番号        | 記号      | 説明   |
|-------------|---------|--|
| B11         | AVDD1   | ±5 V 電源。AVDD1 は、PA_BIASx および LNA_BIAS 出力のシンクを目的として負側電流を供給します。  |
| C1          | TX3     | 送信モードのチャンネル 3 出力。  |
| C13         | RX2     | 受信モードのチャンネル 2 入力。  |
| E1          | RX3     | 受信モードのチャンネル 3 入力。  |
| E13         | TX2     | 送信モードのチャンネル 2 出力。  |
| G1          | DET4    | チャンネル 4 パワー・ディテクタ入力。DET4 は内部で AC カップリングされ、レジスタ 0x030、ビット 0 でイネーブルになります。公称動作入力電力範囲は、-20dBm~10dBm です。                                      |
| G13         | DET2    | チャンネル 2 パワー・ディテクタ入力。DET2 は内部で AC カップリングされ、レジスタ 0x030、ビット 2 でイネーブルになります。公称動作入力電力範囲は、-20dBm~10dBm です。                                      |
| J1          | TX4     | 送信モードのチャンネル 4 出力。  |
| J13         | RX1     | 受信モードのチャンネル 1 入力。  |
| L1          | RX4     | 受信モードのチャンネル 4 入力。  |
| L13         | TX1     | 送信モードのチャンネル 1 出力。  |
| M3          | CSB     | SPI チップ・セレクト入力 (1.8V CMOS ロジック)。シリアル通信は、CSB がロー・レベルになるとイネーブルになります。CSB がハイ・レベルになると、シリアル・データは書き込みモードの命令サイクル (を参照) で、アドレスに対応するレジスタにロードされます。 |
| M4          | SDO     | SPI シリアル・データ出力 (1.8V CMOS ロジック)。   |
| M5          | SDIO    | SPI シリアル・データ入出力 (1.8V CMOS ロジック)。  |
| M6          | SCLK    | SPI シリアル・クロック入力 (1.8V CMOS ロジック)。書き込みモードでは、SCLK の立ち上がりエッジでデータがサンプリングされます。読出しサイクルでは、出力データは SCLK の立ち下がりエッジで変化します。                          |
| M8          | CREG1   | 1.8V 低ドロップアウト・レギュレータ (LDO) リファレンスのデカップリング・ピン。低インピーダンス・パスで、このピンとグラウンド・プレーンの間に 1μF のコンデンサを接続します。   |
| M9          | CREG2   | 2.8V LDO 出力のデカップリング・ピン。低インピーダンス・パスで、このピンとグラウンド・プレーンの間に 1μF のコンデンサを接続します。   |
| M10、M11、N11 | AVDD3   | 3.3V 電圧電源の入力。  |
| N2          | RX_LOAD | 負荷受信レジスタの入力 (1.8V CMOS ロジック)。立ち上がりエッジにより、レジスタを保持する受信チャンネルの内容が動作中のレジスタに転送されます。  |
| N3          | TX_LOAD | 負荷送信レジスタの入力 (1.8V CMOS ロジック)。立ち上がりエッジにより、レジスタを保持する送信チャンネルの内容が動作中のレジスタに転送されます。  |
| N4          | ADDR0   | チップ・セレクト・アドレス 0 の入力 (1.8V CMOS ロジック)。ADDR1 と ADDR0 は、4 つのコア・チップのいずれかを選択して、シリアル命令とデータを受信します。  |
| N5          | ADDR1   | チップ・セレクト・アドレス 1 の入力 (1.8V CMOS ロジック)。ADDR1 と ADDR0 は、4 つのコア・チップのいずれかを選択して、シリアル命令とデータを受信します。  |
| N6          | TR      | 送信および受信モード・セレクトの入力 (1.8V CMOS ロジック)。   |
| N9          | CREG4   | 1.8 V LDO 出力のデカップリング・ピン。低インピーダンス・パスで、このピンとグラウンド・プレーンの間に 1μF のコンデンサを接続します。  |
| N10         | CREG3   | 2.8V LDO リファレンスのデカップリング・ピン。低インピーダンス・パスで、このピンとグラウンド・プレーンの間に 1μF のコンデンサを接続します。   |
| N13         | DET1    | チャンネル 1 パワー・ディテクタ入力。DET1 は内部で AC カップリングされ、レジスタ 0x030、ビット 3 でイネーブルになります。公称動作入力電力範囲は、-20dBm~10dBm です。                                      |
|             | EPAD    | 露出パッド。PCB の低インピーダンス・グラウンド・プレーンに、露出パッドとすべての GND 接続を接続します。   |

代表的な性能特性

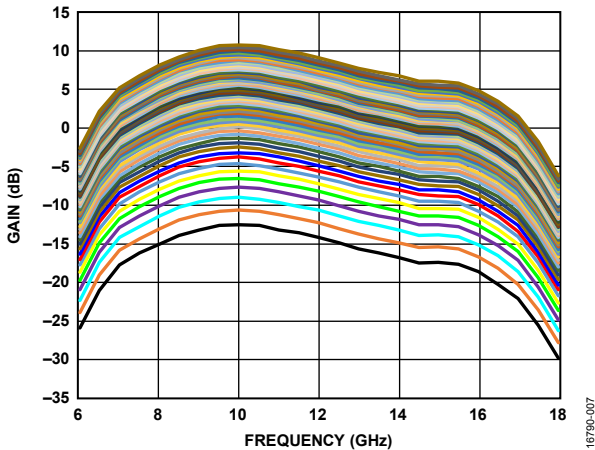


図 7. 0~127 の様々なゲイン設定値に対する単一受信チャンネルの測定ゲインと周波数の関係

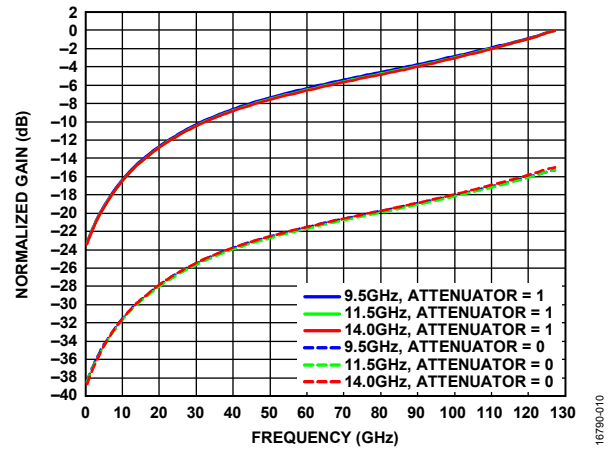


図 10. ステップ・アッテネータ設定値で評価した、単一受信チャンネルの正規化ゲインと周波数の関係

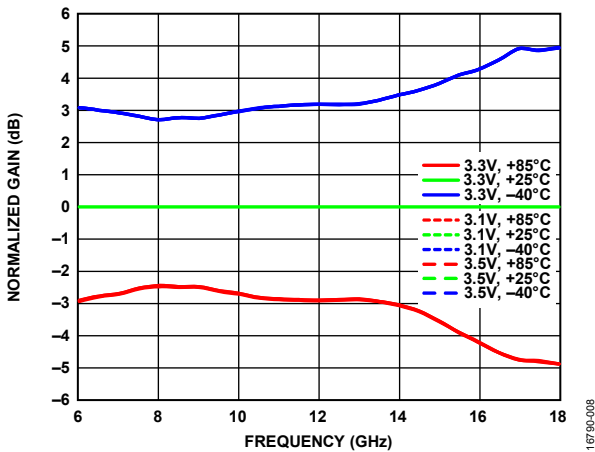


図 8. 様々な AVDD3 電圧と温度で評価した、受信チャンネルの正規化ゲインと周波数の関係

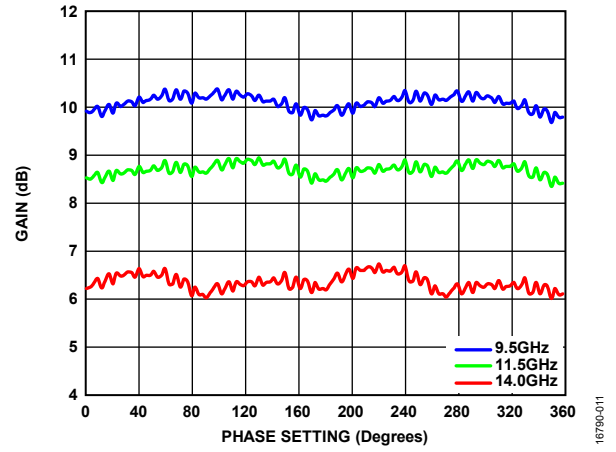


図 11. 様々な周波数で評価した、受信チャンネルの測定ゲインと位相設定値の関係

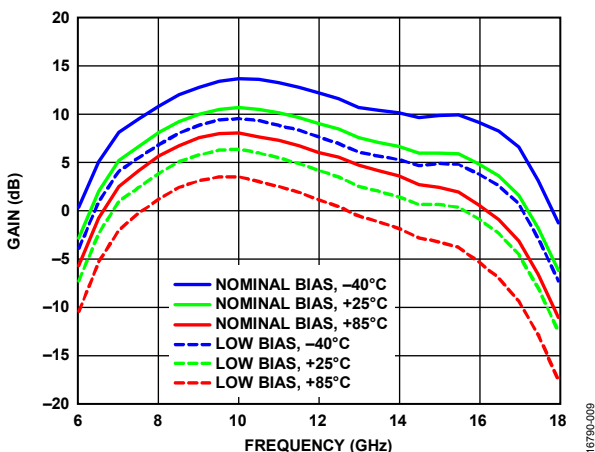


図 9. 様々なバイアス設定値と温度で評価した、受信チャンネルの測定ゲインと周波数の関係

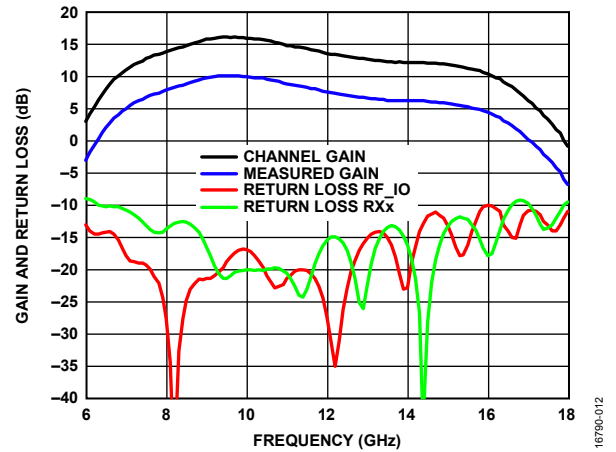


図 12. 最大ゲインでの受信チャンネルの測定ゲイン、リターン損失と周波数の関係

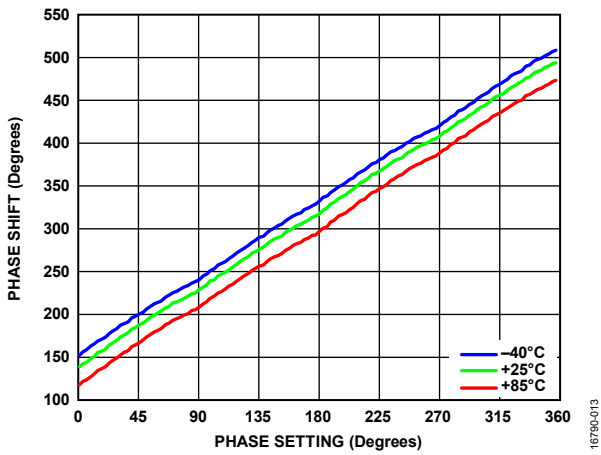


図 13. 様々な温度で評価した、受信チャンネルの位相シフトと位相設定値の関係

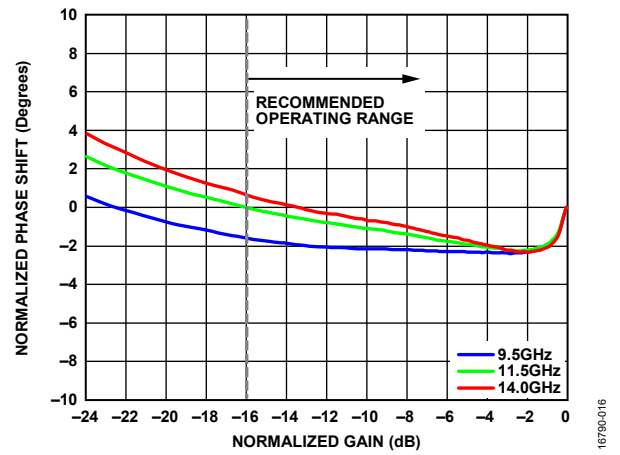


図 16. 様々な周波数設定値で評価した、受信チャンネルの正規化位相シフトと正規化ゲインの関係

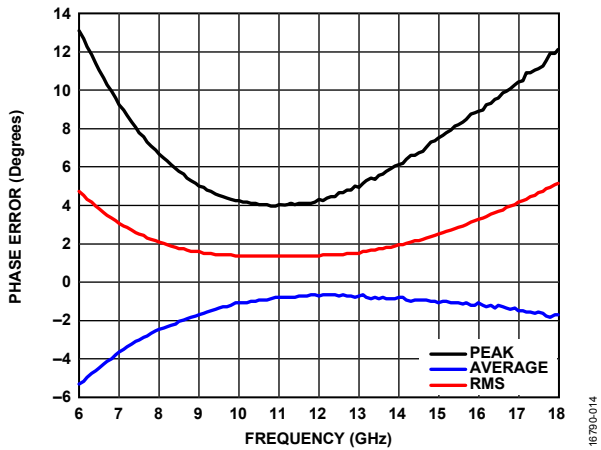


図 14. 受信チャンネルの実効値の位相誤差と周波数の関係

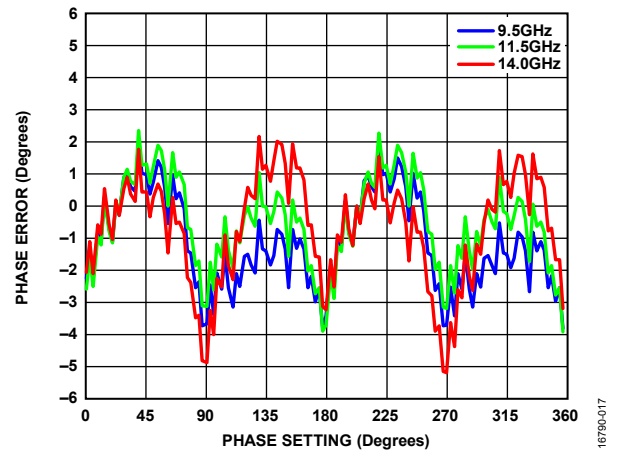


図 17. 様々な周波数で評価した、受信チャンネルの位相誤差と位相設定値の関係

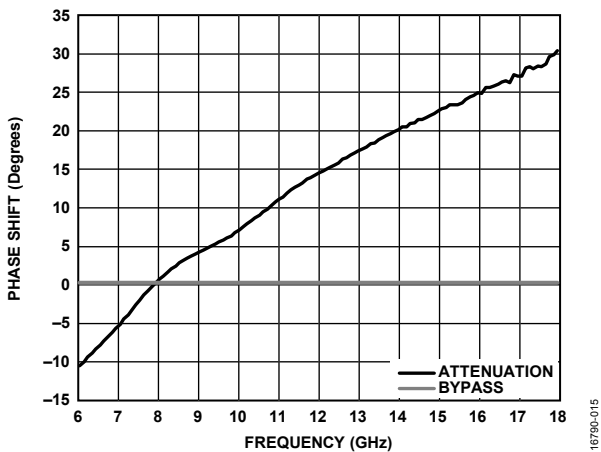


図 15. 減衰モード（バイパス・モードで正規化）で評価した、ステップ・アッテネータの受信チャンネルの位相シフトと周波数の関係

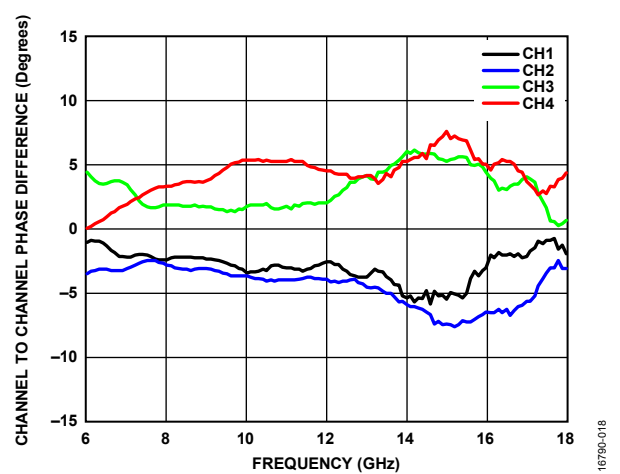


図 18. 受信チャンネル間の位相差と周波数の関係

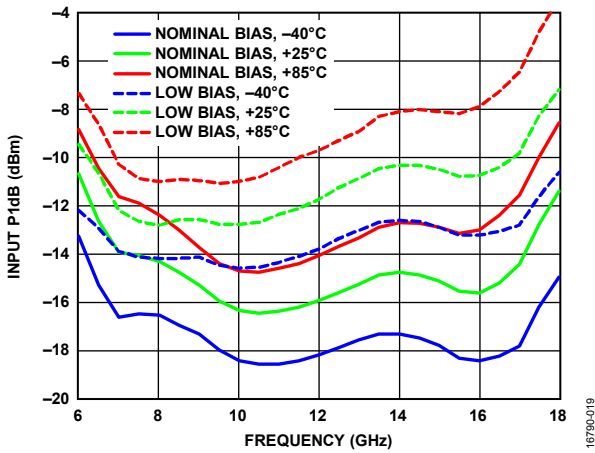


図 19. 様々なバイアス設定値と温度で評価した受信チャンネルの入力 P1dB と周波数の関係

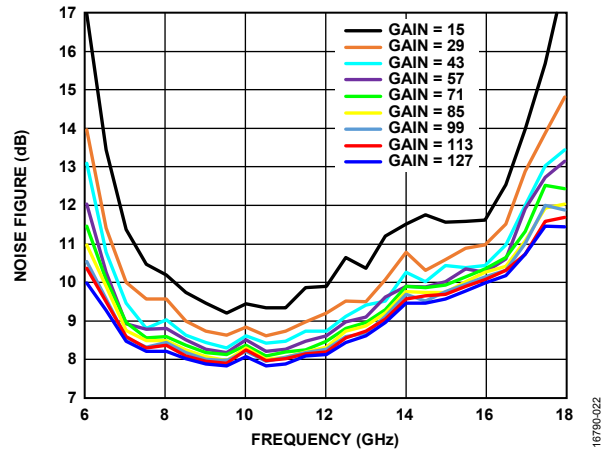


図 22. 様々なゲイン設定値で評価した、受信チャンネルのノイズ指数と周波数の関係

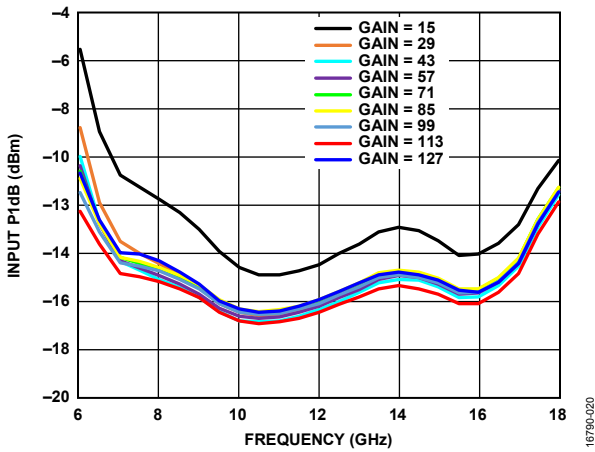


図 20. 様々なゲイン設定値で評価した、受信チャンネルの入力 P1dB と周波数の関係

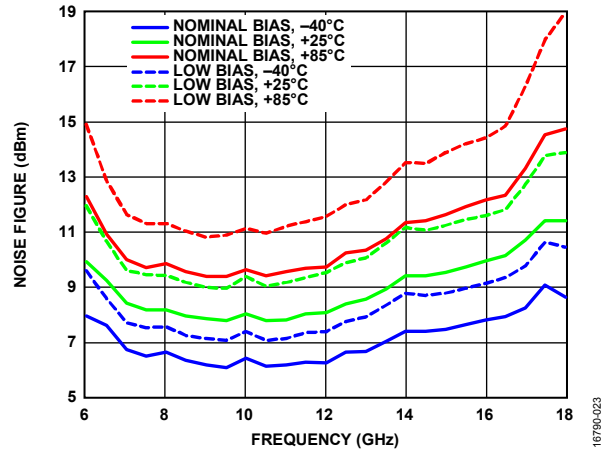


図 23. 様々なバイアス設定値と温度で評価した、受信チャンネルのノイズ指数と周波数の関係

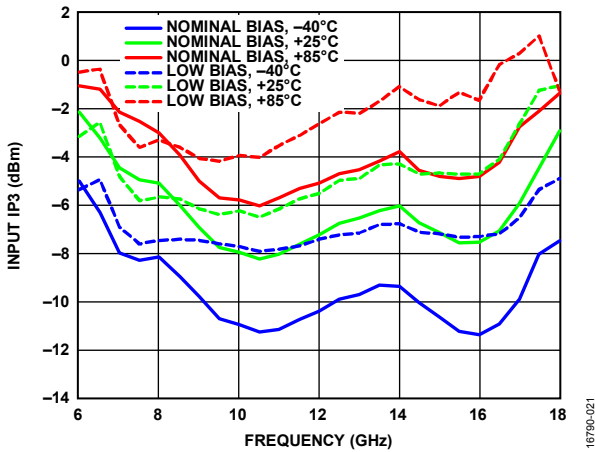


図 21. 様々なバイアス設定値と温度で評価した、受信チャンネルの入力 IP3 と周波数の関係

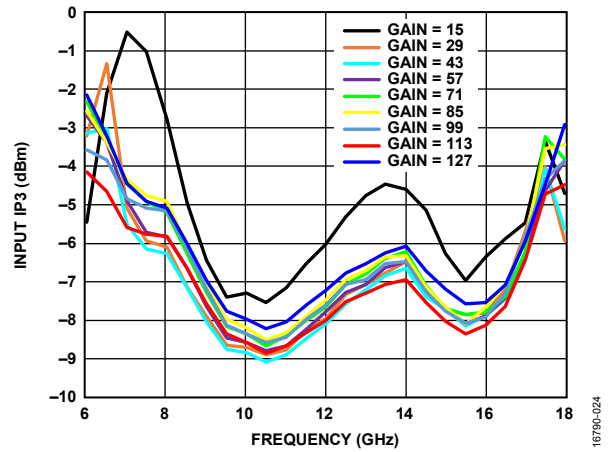


図 24. 様々なゲイン設定値で評価した、受信チャンネルの入力 IP3 と周波数の関係

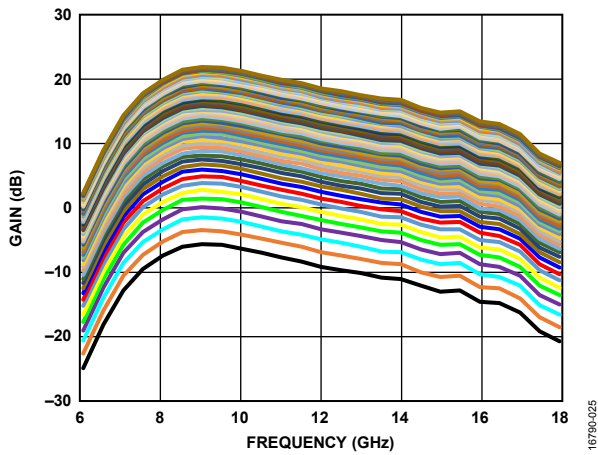


図 25. 0~127 の様々なゲイン設定値で評価した、単一送信のチャンネル・ゲインと周波数の関係

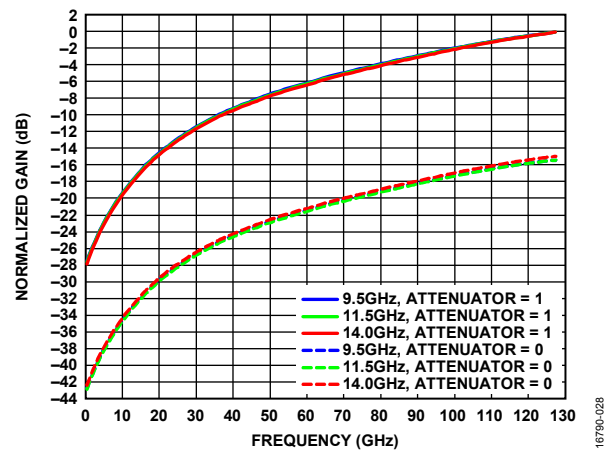


図 28. ステップ・アッテネータ設定値で評価した、送信チャンネルの正規化ゲインと周波数の関係

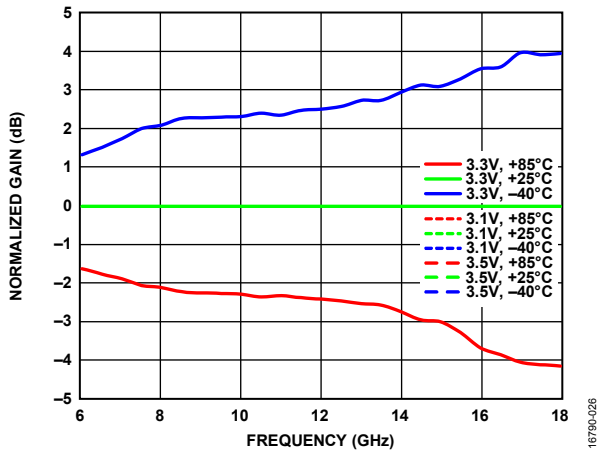


図 26. 様々な AVDD3 電圧と温度で評価した、送信チャンネルの正規化ゲインと周波数の関係

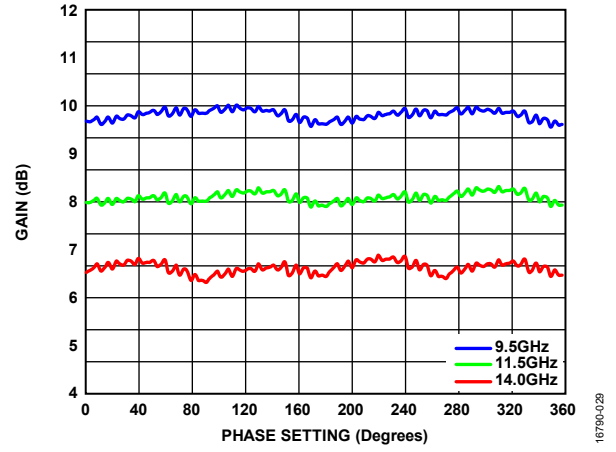


図 29. 様々な周波数で評価した、単一チャンネルの送信ゲインと位相設定値の関係

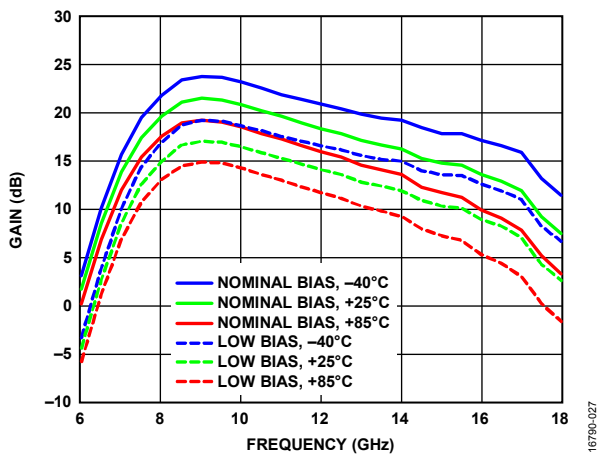


図 27. 様々なバイアス設定値と温度で評価した、単一送信のチャンネル・ゲインと周波数の関係

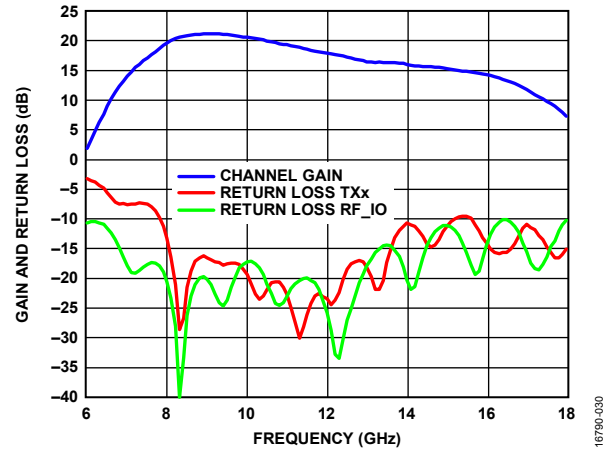


図 30. 最大ゲインでの送信チャンネル・ゲイン、リターン損失と周波数の関係

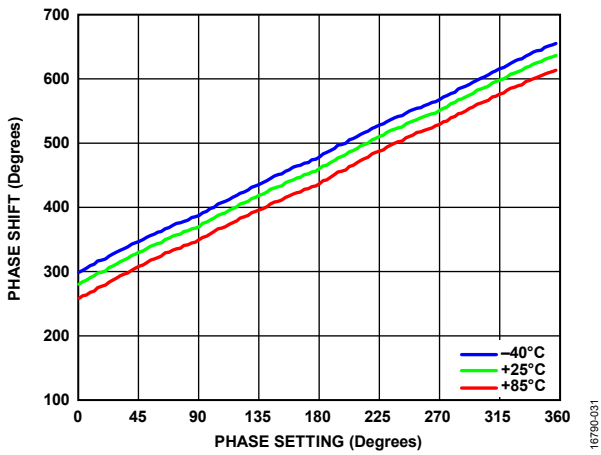


図 31. 様々な温度で評価した、送信チャンネルの位相シフトと位相設定値の関係

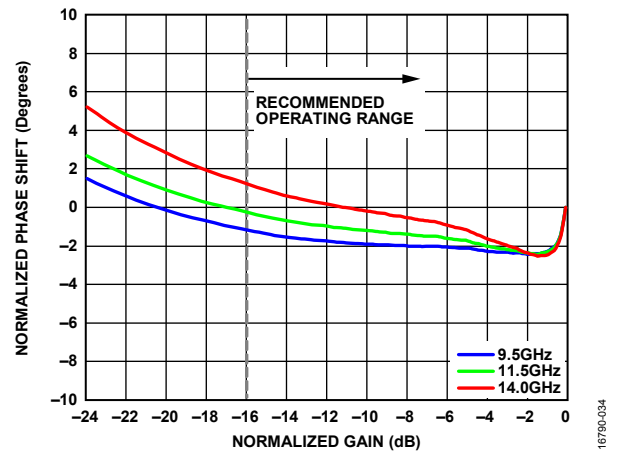


図 34. 様々な周波数で評価した、送信チャンネルの正規化位相シフトと正規化ゲインの関係

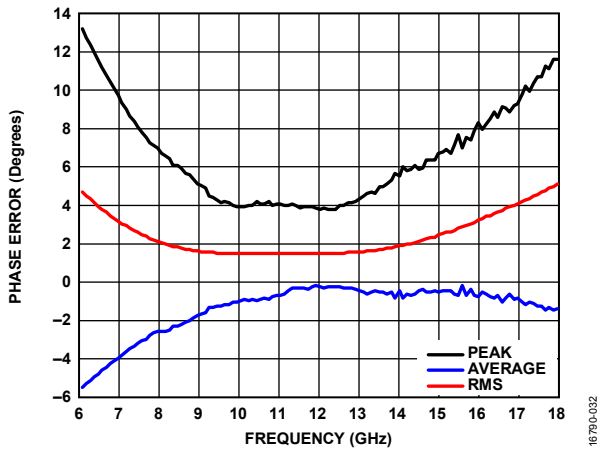


図 32. 送信チャンネルの位相誤差と周波数の関係

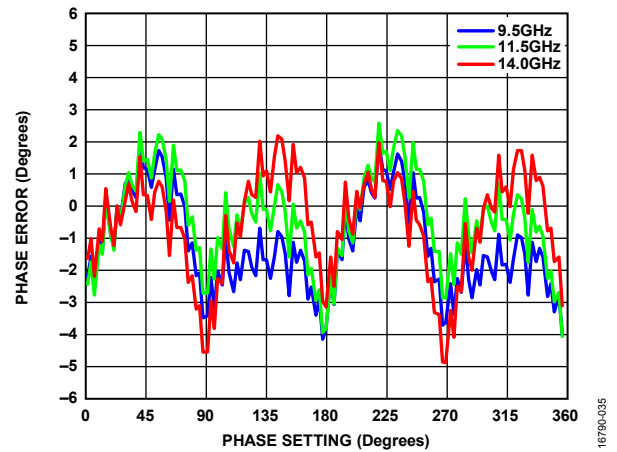


図 35. 様々な周波数で評価した、送信チャンネルの位相誤差と位相設定値の関係

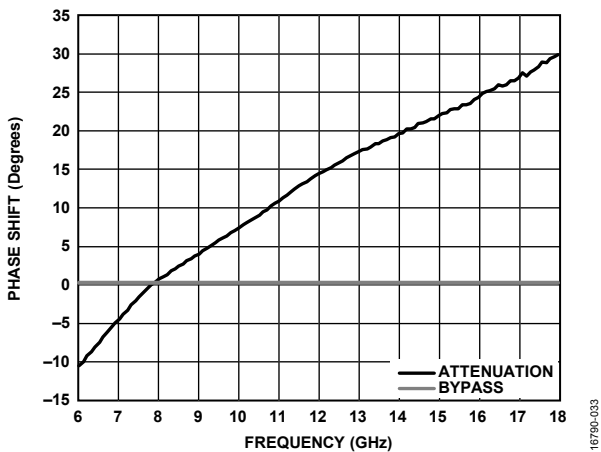


図 33. 減衰モード（バイパス・モードに正規化）で評価した、ステップ・アッテネータの送信チャンネルの位相シフトと周波数の関係

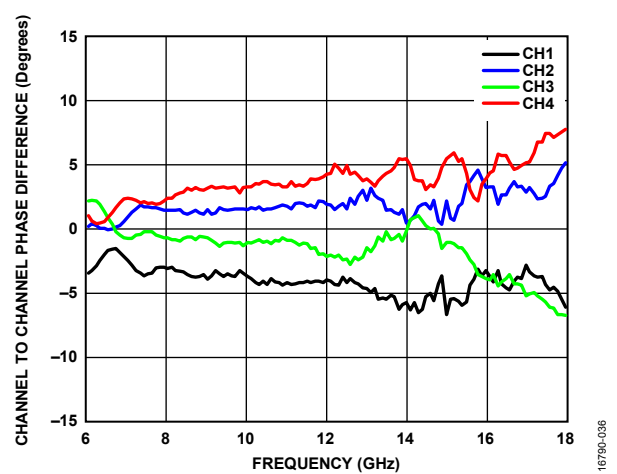


図 36. 送信チャンネル間の位相差と周波数の関係

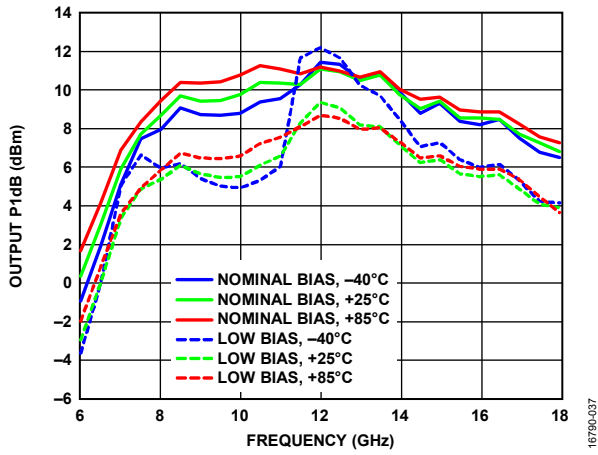


図 37. 様々なバイアス設定値と温度で評価した、送信チャンネルの出力 P1dB と周波数の関係

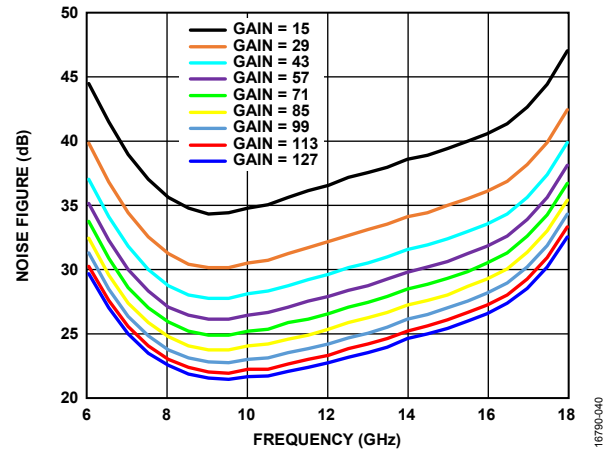


図 40. 様々なゲイン設定値で評価した、送信チャンネルのノイズ指数と周波数の関係

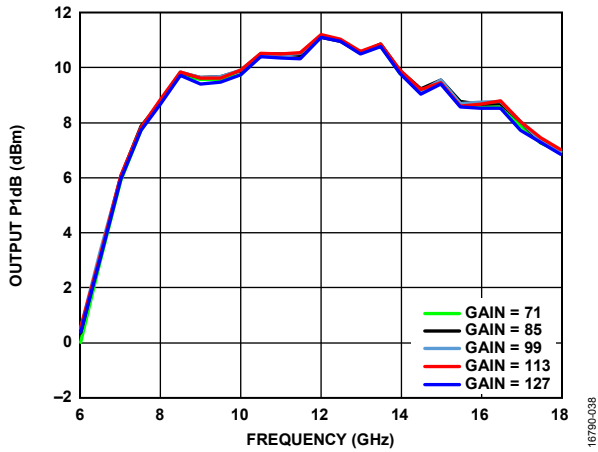


図 38. 様々なゲイン設定値で評価した、送信チャンネルの出力 P1dB と周波数の関係

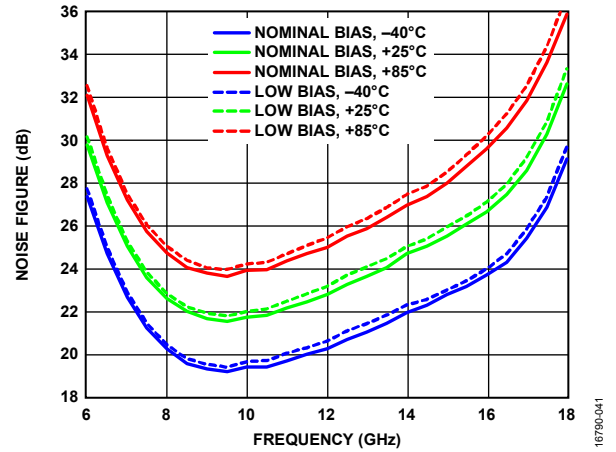


図 41. 様々なバイアス設定値と温度で評価した、送信チャンネルのノイズ指数と周波数の関係

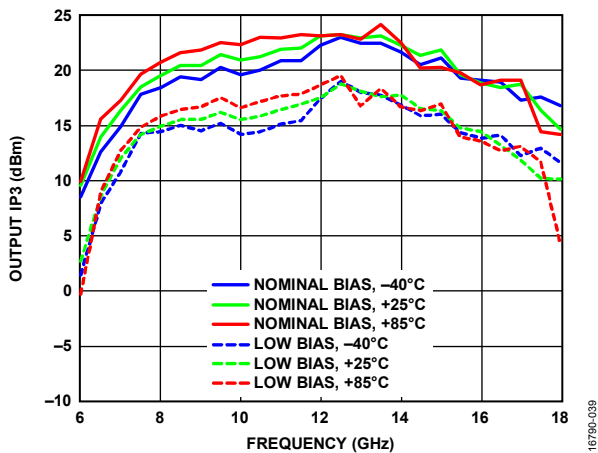


図 39. 様々なバイアス設定値と温度で評価した、送信チャンネルの出力 IP3 と周波数の関係

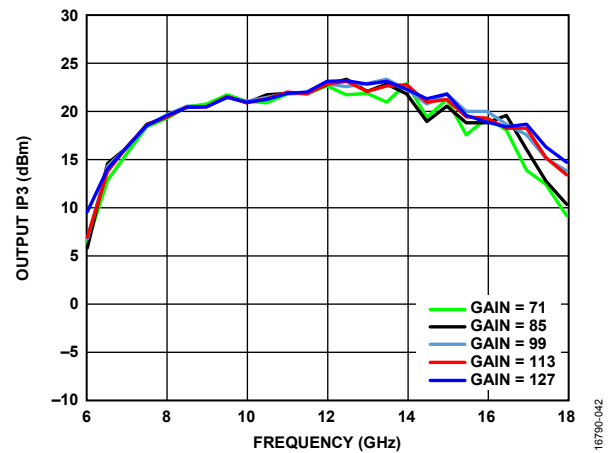


図 42. 様々なゲイン設定値で評価した、送信チャンネルの出力 IP3 と周波数の関係



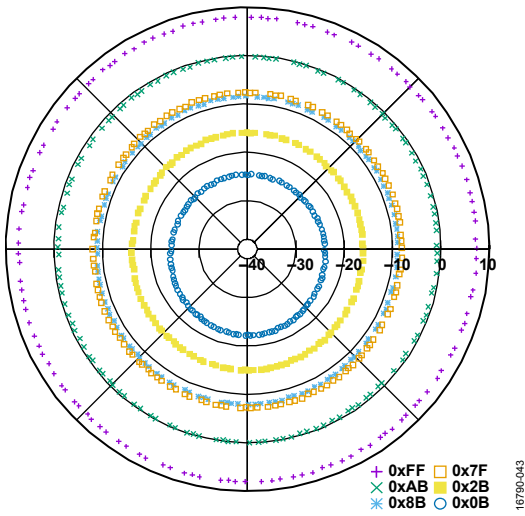


図 43. 様々なゲイン設定値、9.5GHz で評価した、受信チャンネルのゲイン変動と位相設定値の関係

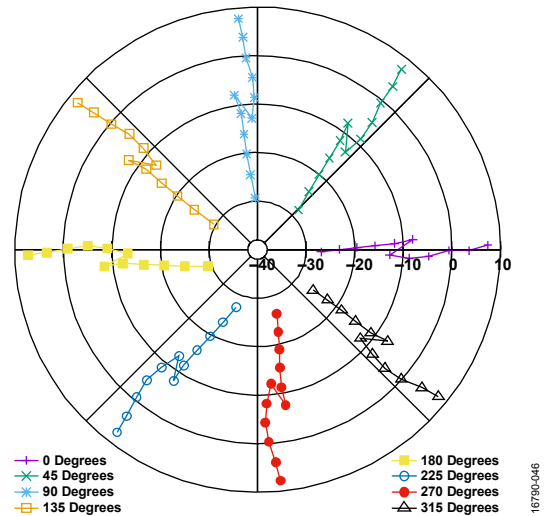


図 46. 9.5GHz で評価した、受信チャンネルの位相と変動ゲイン設定値の関係

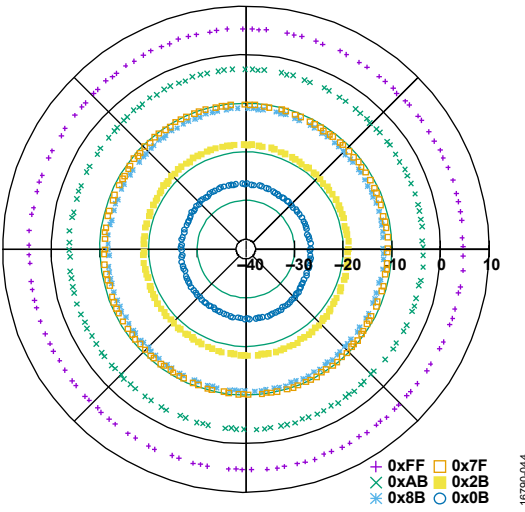


図 44. 様々なゲイン設定値、11.5 GHz で評価した、受信チャンネルのゲイン変動と位相設定値の関係

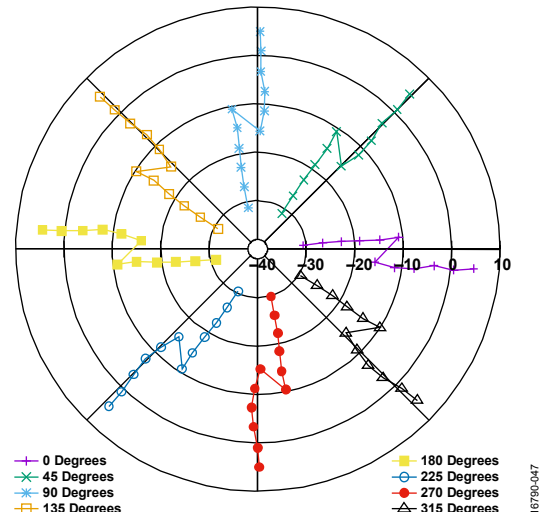


図 47. 11.5GHz で評価した、受信チャンネルの位相変動とゲイン設定値の関係

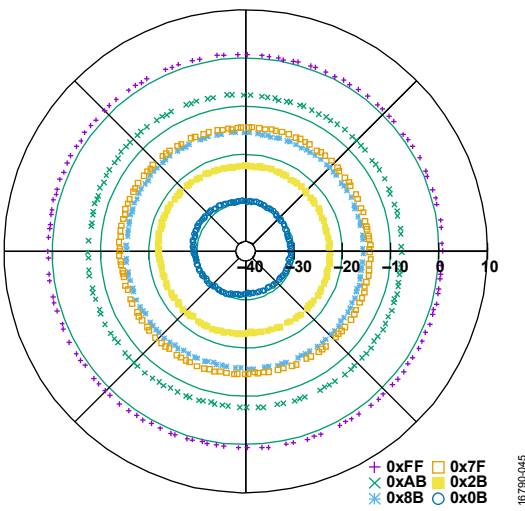


図 45. 様々なゲイン設定値、14 GHz で評価した、受信チャンネルのゲイン変動と位相設定値の関係

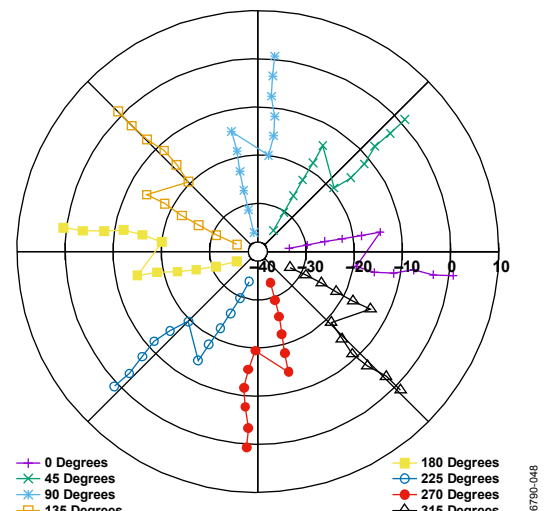


図 48. 14 GHz で評価した、受信チャンネルの位相変動とゲイン設定値の関係

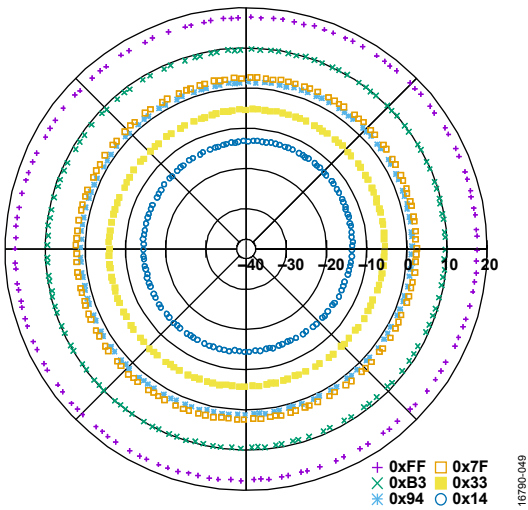


図 49. 様々なゲイン設定値、9.5GHz で評価した、送信チャンネルのゲイン変動と位相設定値の関係

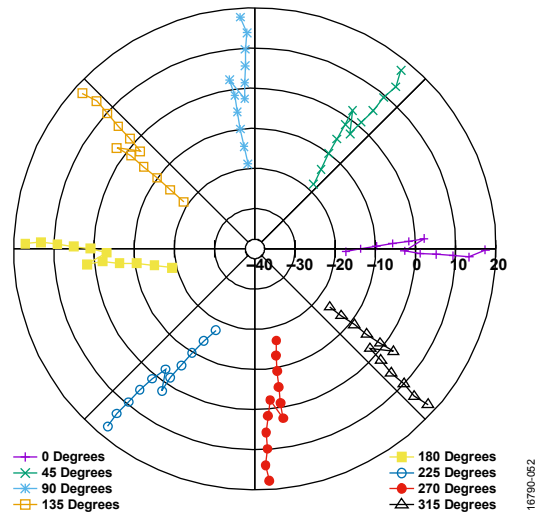


図 52. 9.5GHz で評価した、送信チャンネルの位相変動とゲイン設定値の関係

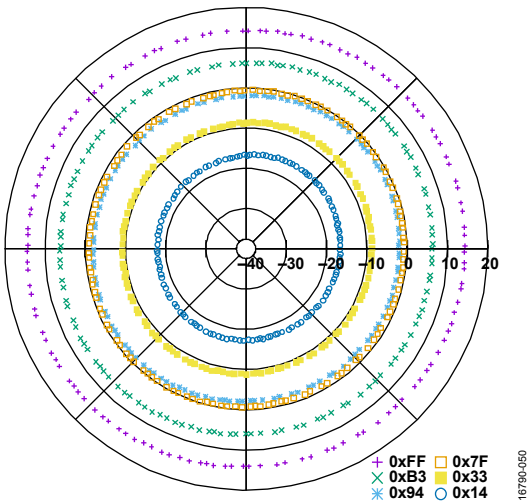


図 50. 様々なゲイン設定値、11.5 GHz で評価した、送信チャンネルのゲイン変動と位相設定値の関係

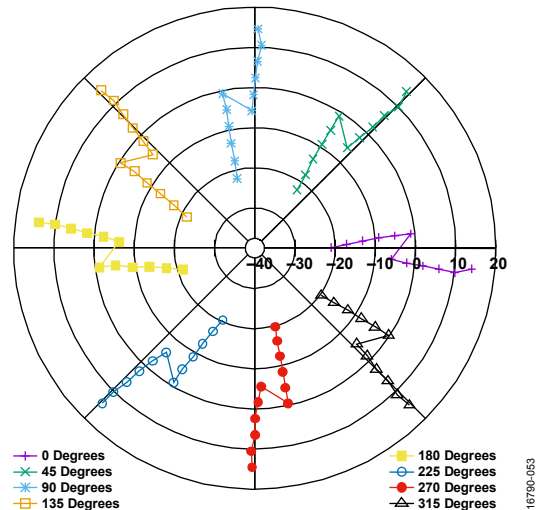


図 53. 11.5 GHz で評価した、送信チャンネルの位相変動とゲイン設定値の関係

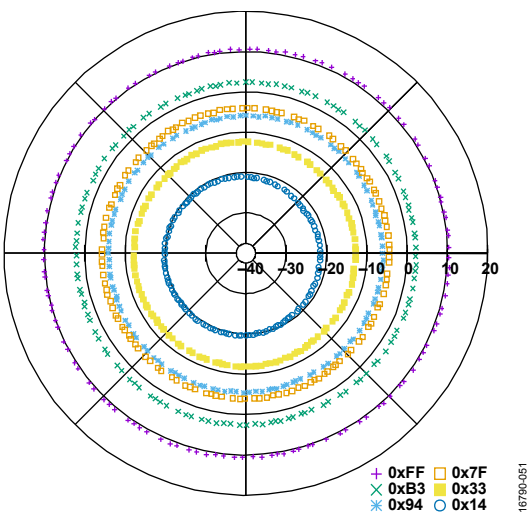


図 51. 様々なゲイン設定値、14 GHz で評価した、送信チャンネルのゲイン変動と位相設定値の関係

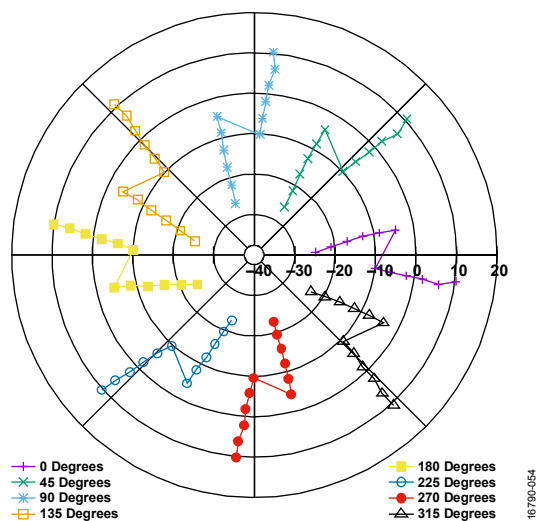


図 54. 14 GHz で評価した、送信チャンネルの位相変動とゲイン設定値の関係

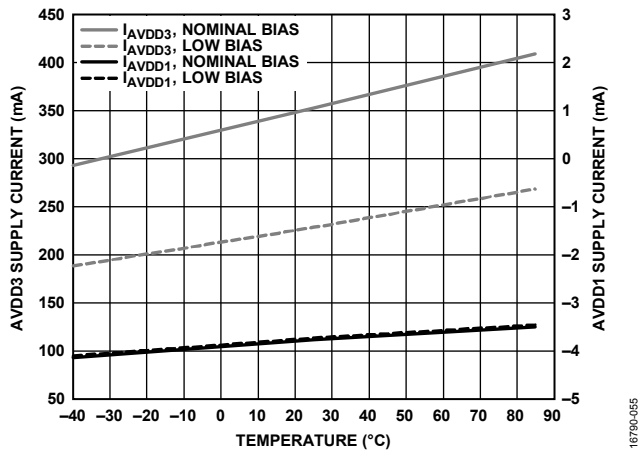


図 55. AVDD3 および AVDD1 の電源電流と温度の関係 (4 つの送信チャンネルはイネーブ、通常バイアス・モード、および低バイアス・モード)

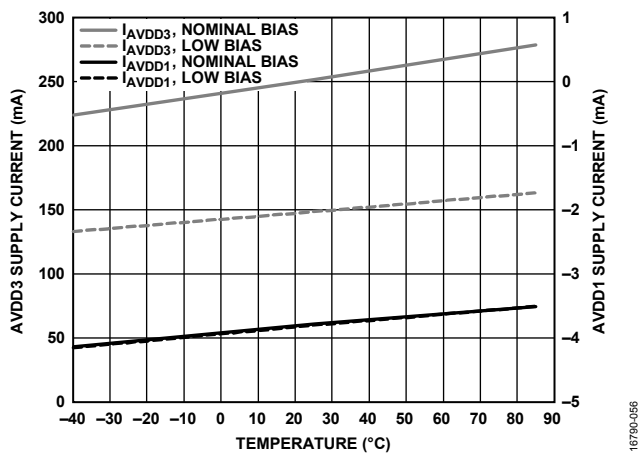


図 56. AVDD3 および AVDD1 の電源電流と温度の関係 (4 つの受信チャンネルはイネーブ、通常バイアス・モード、および低バイアス・モード)

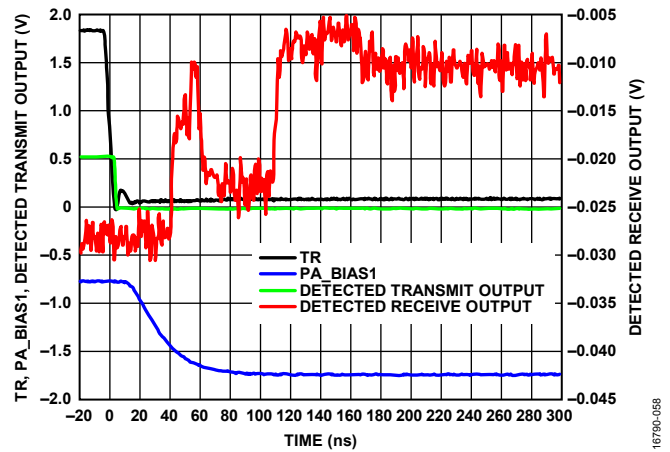


図 58. TR 立ち下がりエッジに対する送信から受信への切替え応答

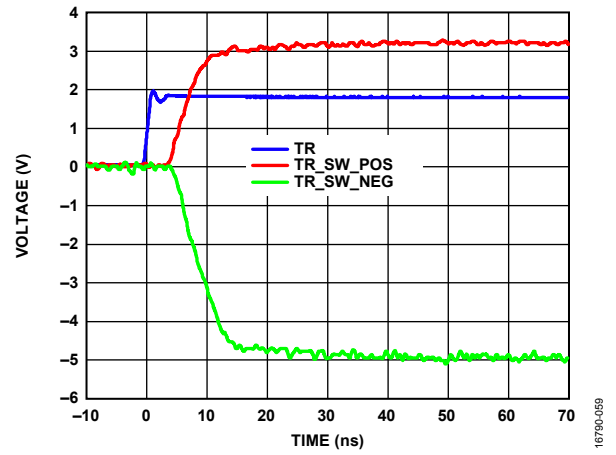


図 59. TR 立ち上がりエッジに対する TR\_SW\_POS および TR\_SW\_NEG の応答

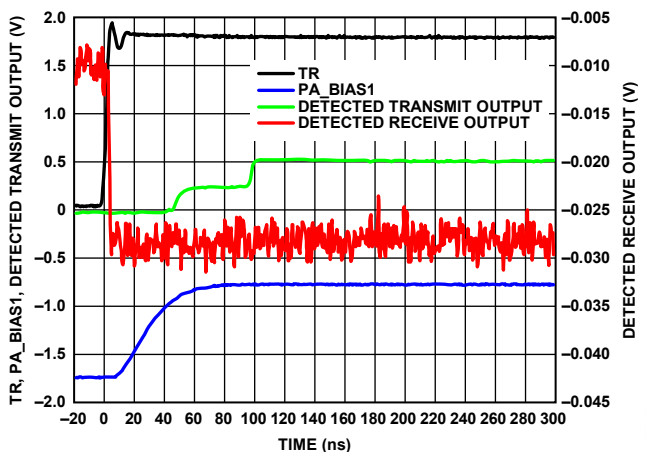


図 57. TR 立ち上がりエッジに対する受信から送信への切替え応答

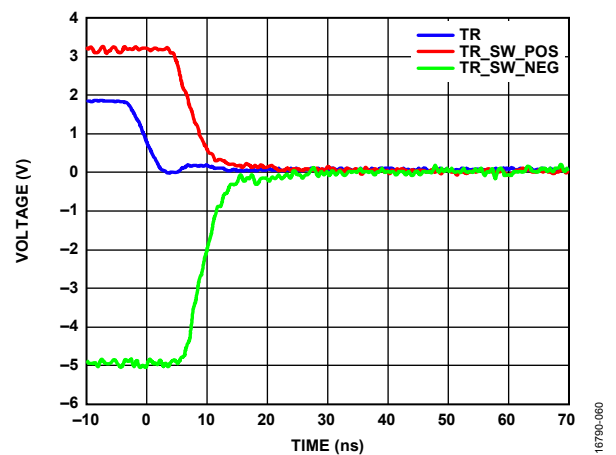


図 60. TR 立ち下がりエッジに対する TR\_SW\_POS および TR\_SW\_NEG の応答

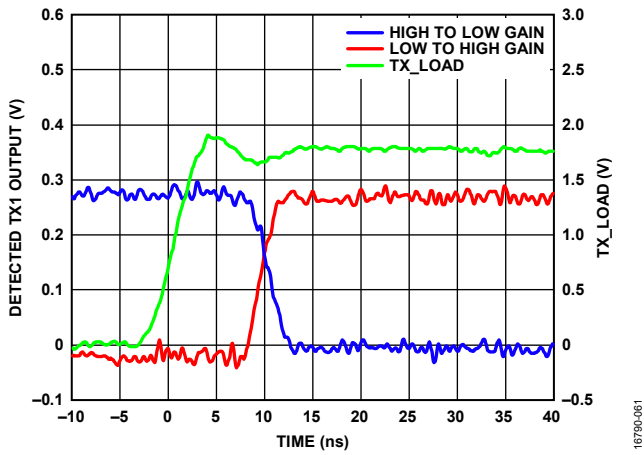


図 61. TX\_LOAD に対するゲイン整定応答

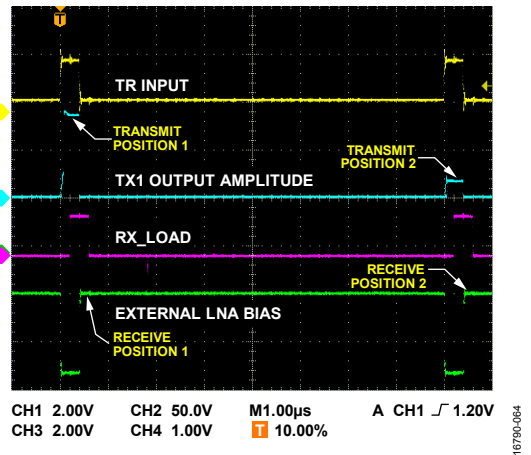


図 64. 送信と受信の切替えを伴うビーム位置の進捗と RX\_LOAD の関係

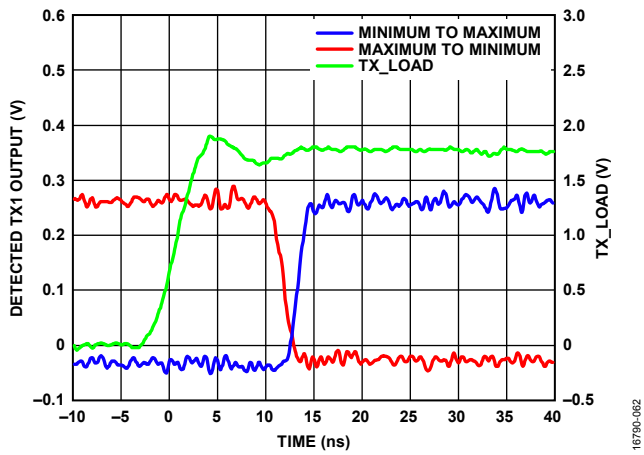


図 62. TX\_LOAD に対する位相整定応答 (TX1 ベクトル変調器 I チャンネル出力として)

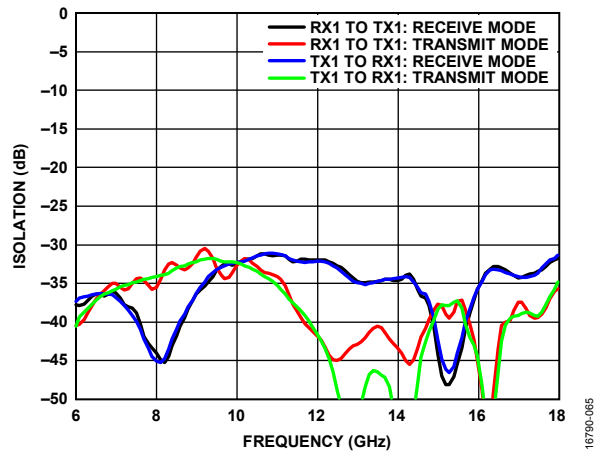


図 65. 送信から受信へのチャンネル・アイソレーションと周波数の関係

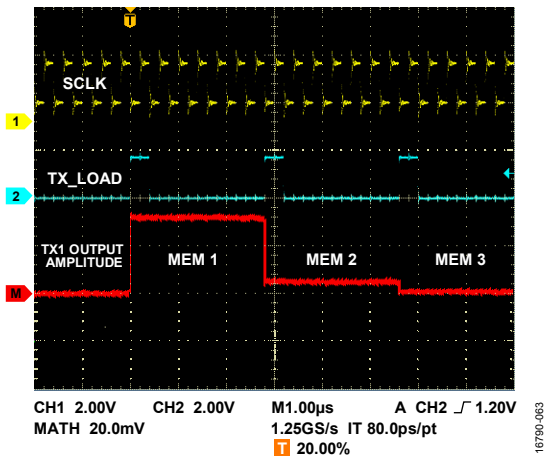


図 63. ビーム位置の進捗と TX\_LOAD の関係

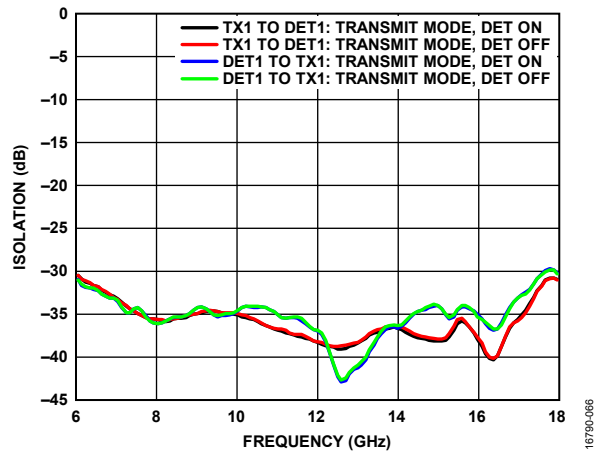


図 66. 送信チャンネル 1 から DET1 への入力アイソレーションと周波数の関係

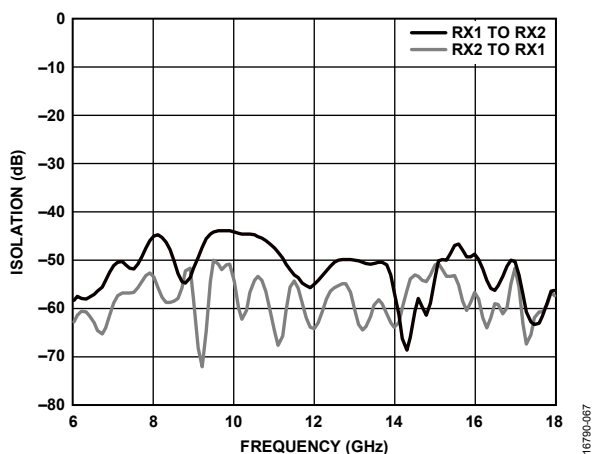


図 67. RX1 から RX2 へのチャンネル・アイソレーションと周波数の関係

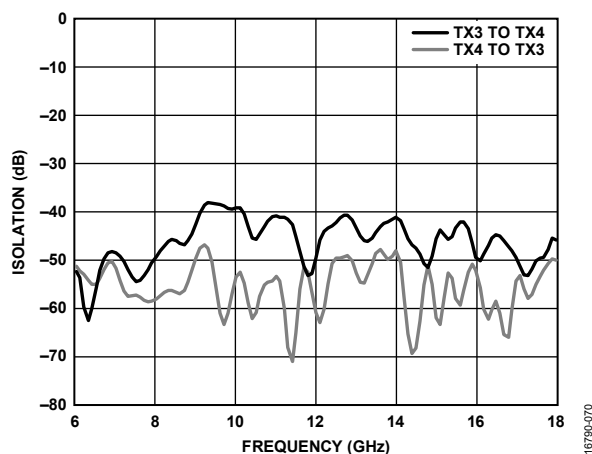


図 70. TX3 から TX4 へのチャンネル・アイソレーションと周波数の関係

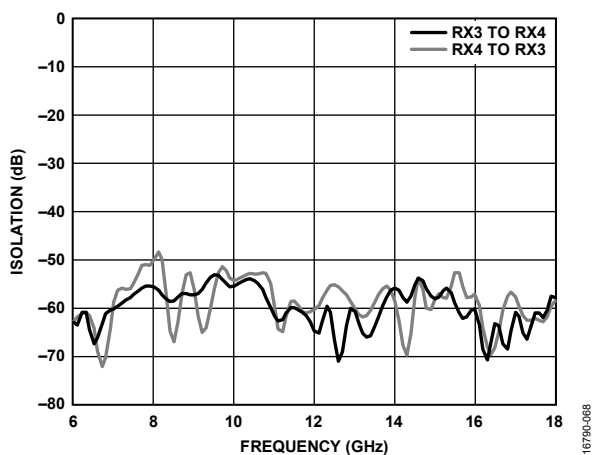


図 68. RX3 から RX4 へのチャンネル・アイソレーションと周波数の関係

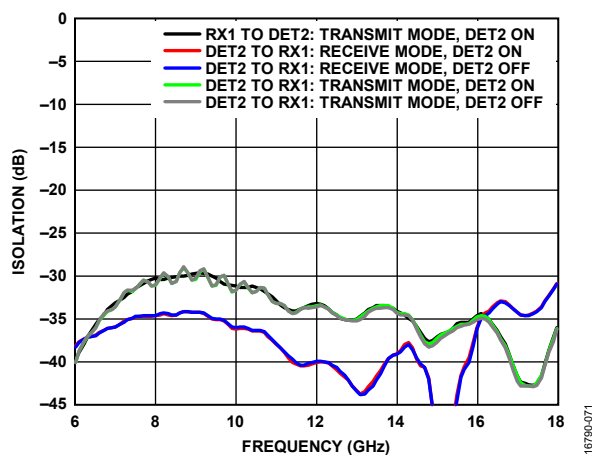


図 71. RX1 から DET2 への入力アイソレーションと周波数の関係

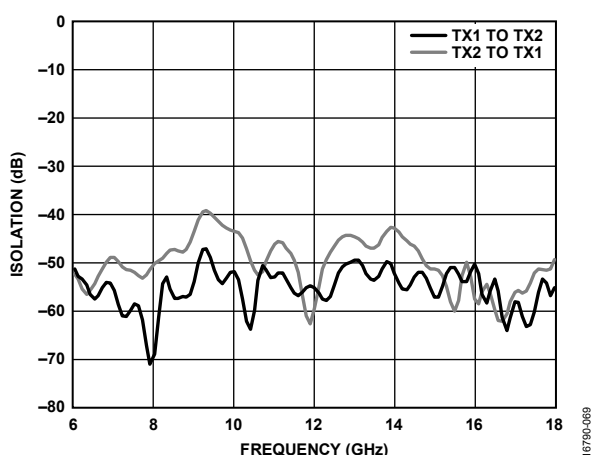


図 69. TX1 から TX2 へのチャンネル・アイソレーションと周波数の関係

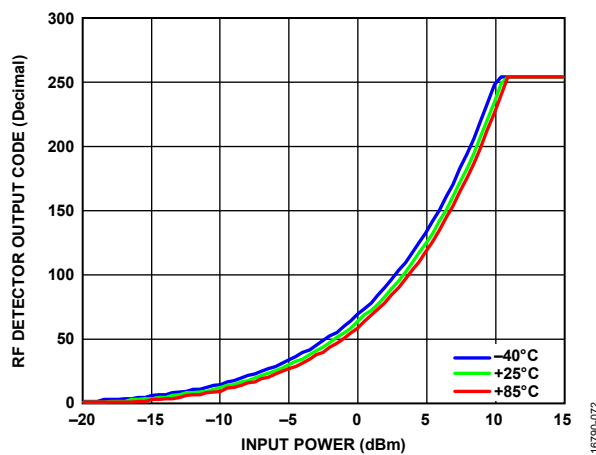


図 72. 11.5GHz、異なる温度で評価した、RF デテクタ出力コードと入力電源の関係

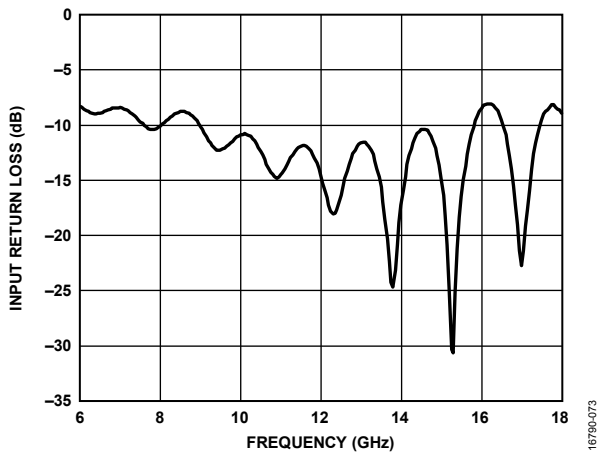


図 73. RF デテクタ入力リターン損失と周波数の関係

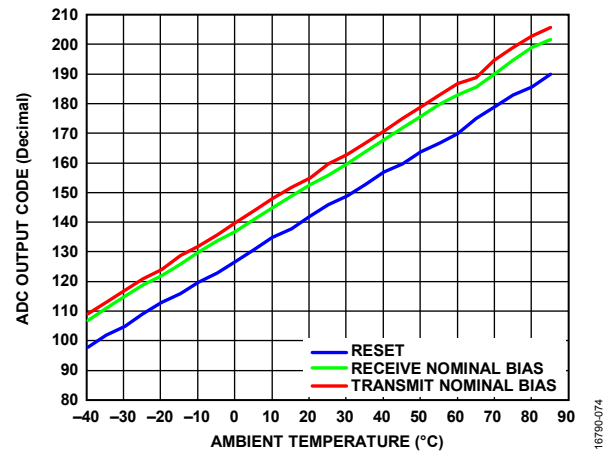


図 74. 温度センサーADC 出力コードと周辺温度の関係

## 動作原理

### RF パス

ADAR1000 には、時分割全二重 (TDD) 動作のために同一の送信チャンネルと受信チャンネルが 4 つ搭載されています。に示すように、各受信チャンネルには、LNA、位相シフタ、可変ゲイン・アンプ (VGA) があり、各送信チャンネルには、VGA、位相シフタ、ドライバ・アンプがあります。制御スイッチを使用して、送信パスと受信パスのどちらかを選択します。0dB または 15dB のステップ・アッテネータは共通パスに含まれ、パッシブ 4:1 結合と分割ネットワークに接続する前に、送信モードと受信モードの間で共有されます。信号が目的の方向にコヒーレントに追加されるように、各チャンネルの相対的な位相とゲインを正確に設定することが、チップの主な機能です。個々の素子ゲイン制御は、温度およびプロセスの影響を補償します。また、ビームが低サイド・ローブ・レベルに達するようにテーパリング機能を提供します。

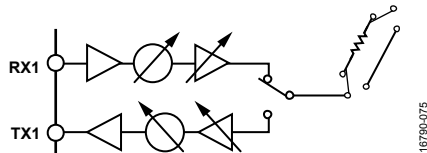


図 75. 送信および受信チャンネルの機能図

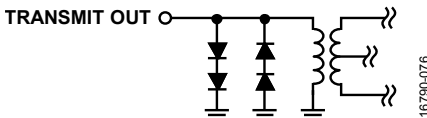


図 76. 送信チャンネル出力インターフェースの回路図

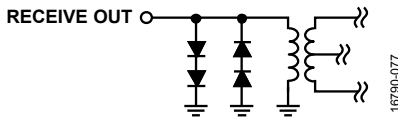


図 77. 受信チャンネル入力インターフェースの回路図

図 76 および 図 77 に示すように、各チャンネルの受信入力および送信出力はバランに接続されます。このバランによって、シングルエンド信号が、アクティブな RF 回路ブロックに必要な差動信号に変換されます。また、バラン・ネットワークは、動作帯域幅にわたり、入出力が 50Ω にマッチングされます。は、共通 RF\_IO ポートのインターフェース回路図を示しています。このポートは、シングルエンドで動作帯域幅にわたって 50Ω にマッチングされ、シャント・マッチング・インダクタ経由で DC グラウンドに接続されます。

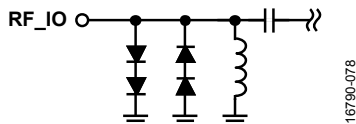


図 78. コモン RF\_IO インターフェース回路図

### 位相およびゲイン制御

位相制御は、に示すアクティブ・ベクトル変調器アーキテクチャで実装されます。受信信号は、等振幅の直交 (I および Q) 信号に分割され、必要な位相シフトを生み出すために 2 つの同一の 2 相 VGA によって個別に増幅され、出力の段階で合成されます。各 VGA の制御に 6 ビット、振幅の制御に 5 ビット、極性の制御に 1 ビットを使用し、位相シフタごとに合計 12 ビットが使用されます。ベクトル変調器の出力電圧振幅 ( $V_{OUT}$ ) と位相シフト ( $\Phi$ ) は、以下の式で表現されます。

$$V_{OUT} = \sqrt{V_I^2 + V_Q^2}$$

$$\Phi = \arctan(V_Q/V_I)$$

ここで、 $V_I$  は I チャンネル VGA の出力電圧です。 $V_Q$  は Q チャンネル VGA の出力電圧です。

逆正接関数を評価する場合、適切な位相象限を選択する必要があります。ことに注意してください。 $V_Q$  と  $V_I$  の符号は、次の条件に従って位相象限を決定します。

- $V_Q$  と  $V_I$  が両方とも正の場合、位相シフトは  $0^\circ \sim 90^\circ$  です。
- $V_Q$  が正で  $V_I$  が負の場合、位相シフトは  $90^\circ \sim 180^\circ$  です。
- $V_Q$  と  $V_I$  が両方とも負の場合、位相シフトは  $180^\circ \sim 270^\circ$  です。
- $V_Q$  が負で  $V_I$  が正の場合、位相シフトは  $270^\circ \sim 360^\circ$  です。

通常、 $V_{OUT}$  (ゲイン) の変動を最小限に抑えながら、目的の位相シフトを達成できるように  $V_Q$  と  $V_I$  の値を選択しますが、振幅の変動を許容すると、位相ステップの分解能が向上し、位相誤差が更に低くなる可能性があります。

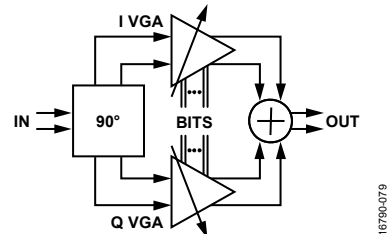


図 79. アクティブ・ベクトル変調器位相シフタのブロック図

### パワー・ディテクタ

電源モニタリングを目的として、オフチップ電力アンプの出力からカップリングされるピーク電力をサンプリングするため、4つのパワー・ディテクタ（1チャンネルにつき1つ）を備えています。オンチップADCは4つのディテクタのいずれかを選択し、SPI経由で読み出される8ビットのデジタル・ワードに出力を変換します。はパワー・ディテクタの簡単な回路図です。各ディテクタ入力（のDET）は、ダイオード・ベースのディテクタにACカップリングされた後、増幅されてADCに送られます。リファレンス・ダイオード（図なし）は、動作温度範囲にわたって出力電圧対入力電力の応答変動を最小限に抑えるため、温度補償機能を備えています。ディテクタの入力は、チップ上で50Ωにマッチングされます。レジスタ0x030には、各ディテクタのイネーブル・ビット（CHx\_DET\_EN）が含まれているため、使用していない場合は、ディテクタをパワーダウンすることができます。

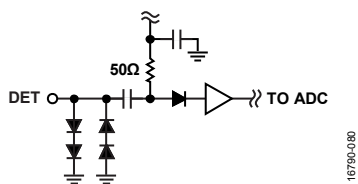


図 80. パワー・ディテクタの簡単な回路図

### 外部アンプ・バイアス DAC

5つのオンチップD/Aコンバータ(DAC)は、ガリウム砒素(GaAs)またはガリウム窒化物(GaN)PAのオフチップ・バイアス用に提供されています。1つのDACは、4つのオフチップPAのそれぞれに対応し、5つ目のDACは4つのオフチップLNA間で共有されます。はバイアスDACの簡略化された回路図です。SPIから受信した8ビット・ワードによってDAC出力が設定されます。この出力は増幅され、GaAsまたはGaNPAのゲート・バイアスに対応するよう0V〜-4.8Vの範囲に変換されます。高い圧縮率で大きなゲート電流が発生するPAの場合、プッシュプル出力段は、最大10mAのソースまたはシンクが実現します。また、LNAバイアスDACは、高出力インピーダンスのディスエーブル・モードも備えています。このため、外部ゲート電圧の調整機能を備えた自己バイアスLNAの柔軟性が向上します。LNA\_BIAS\_OUT\_ENビット（ビット4、レジスタ0x030）を使用して、この制御を行います。

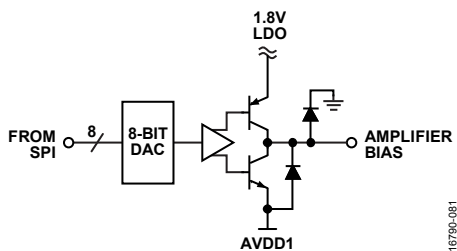


図 81. PA/LNA バイアス DAC の簡素化された回路図

2つのSPIレジスタは、各バイアスDACに関連づけられています。オン・レジスタ（レジスタ0x029〜レジスタ0x02D）は、アクティブ時にアンプのバイアス電圧を設定します。オフ・レジスタ（レジスタ0x046〜レジスタ0x04A）は、アンプのバイアスをオフにするために適切な電圧を設定します。BIAS\_CTRLビット（ビット6、レジスタ0x030）は、SPI経由の新しい設定値を毎回ロードすることで、DAC出力を変更するべきかどうかを決定します。また、オン・レジスタとオフ・レジスタの出力切替えについて、TX\_ENまたはRX\_EN信号（SPI送信モードおよび受信モード）で制御するのか、外部の送信ピンと受信ピンの状態で制御するのかを決定します。オール0は0V出力に対応し、オール1は-4.8V出力に対応します。

### 外部スイッチ制御

このチップは、外部GaAsスイッチ制御のために、2つのドライバ出力を備えています。一方は外部送受信スイッチ用のTR\_SW\_NEG、他方は分極スイッチ用のTR\_POLです。に、TR\_SW\_NEGおよびTR\_POLの簡略化された回路図を示します。ドライバの出力は、0VとAVDD1（公称-5V）の間で切り替わります。プッシュプル出力段は、最大1mAのソースまたはシンクを実現します。外部送信/受信スイッチ・ドライバは、送受信の制御信号（SPIピンまたはTRピンのいずれかを介して）、変化の状態およびオンチップの送信/受信スイッチを出力します。レジスタ0x031（SW\_CTRL）には、両方のスイッチ・ドライバに必要なすべてのコントロール・ビットが含まれています。送受信制御信号に対する送信/受信スイッチ・ドライバ出力の極性は、SW\_DRV\_TR\_STATEビット（ビット7、レジスタ0x031）を介して設定され、様々なGaAsスイッチの柔軟性を向上します。外部分極スイッチは、POLビット（ビット0、レジスタ0x031）の状態によって変化します。スイッチ・ドライバをイネーブルにするには、SW\_DRV\_EN\_TRビットとSW\_DRV\_EN\_POLビット（ビット[4:3]、レジスタ0x031）にハイを書き込みます。

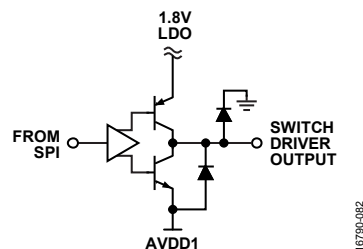


図 82. TR\_SW\_NEG および TR\_POL のスイッチ・ドライバ

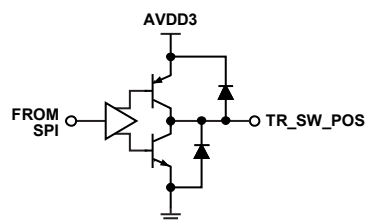


図 83 TR\_SW\_POS スイッチ・ドライバ



## 送受信の制御

TDD またはレーダー・フェーズド・アレイ・システムの動作には、送信モードから受信モードへの遷移、またはその逆の遷移を正常に行うことが重要です。ADAR1000 は、チップへの送受信制御信号の入力に基づいてこの機能を実行します。モード遷移は、SPI レジスタへの書込みと、チップのデジタル送信/受信入力ピンのいずれかを介して実行できます。SPI を使用する場合、送信/受信状態を変更するために必要なすべての制御はレジスタ 0x031 に含まれています。したがって、シングル・レジスタの書込みを使用して遷移が行われます。最初に、TR\_SOURCE ビット (ビット 2、レジスタ 0x031) によって、SPI (ロー) または TR ピン (ハイ) が送受信制御に使用されるかどうか決定されます。SPI を使用する場合、TR\_SPI ビット (ビット 1、レジスタ 0x031) は、受信 (ロー) または送信 (ハイ) モードを決定します。該当するモードの受信または送信のサブ回路をオンにする場合、または BIAS\_CTRL ビット (ビット 6、レジスタ 0x030) がハイのときに、外部 PA および LNA のゲート・バイアスをオンまたはオフにする場合、TX\_EN ビットまたは RX\_EN ビット (ビット [6:5]、レジスタ 0x031) をアクティブにする必要があります。レジスタ 0x031 は、前述のように外部スイッチ・ドライバも制御します。

TR\_SOURCE ビット (ビット 2、レジスタ 0x031) がハイの場合、送信ピンと受信ピンは、受信から送信に切り替えるか、送信から受信に切り替えるため、必要とされるすべての動作を制御します。BIAS\_CTRL ビット (ビット 6、レジスタ 0x030) がハイの場合、この動作には、オンチップ/オフチップの送信/受信スイッチの設定、受信サブ回路/送信サブ回路のイネーブル、および外部 PA および LNA のゲート・バイアスのオン/オフなどが含まれます。

## RF サブ回路バイアス制御とイネーブル

レジスタ 0x034~レジスタ 0x037 を使用して、アクティブな RF サブ回路のバイアス電流の設定値を調整して、低 DC 電源の特性を RF 性能で補償します。表 6 に、公称動作電源モードと低消費電力電源モードの推奨設定値を示します。公称電源モードでは、最高の性能が発揮されます。電源の影響を受けやすい用途の場合、

DC 電力を下げると、代償として低ゲイン、高ノイズ指数、低直線性が発生します。

RF サブ回路を使用しない場合は、パワーダウンされます。送信および受信の制御に SPI を使用している場合、RF サブ回路および/またはチャンネルは、レジスタ 0x02E (受信チャンネル・イネーブル) およびレジスタ 0x02F (送信チャンネル・イネーブル) を介して個別にイネーブルにすることができます。送信サブ回路と受信サブ回路をそれぞれイネーブルにする場合、TX\_EN ビットと RX\_EN ビット (ビット [6:5]、レジスタ 0x031) も、ロジック・ハイにする必要があります。送信サブ回路と受信サブ回路を同時にオンにすることはできません。また、TX\_EN と RX\_EN の両方がハイの場合、送信サブ回路と受信サブ回路の両方がパワーダウンします。送信および受信の制御に送信ピンと受信ピンを使用している場合、TX\_EN 機能および RX\_EN 機能は送信/受信入力の状態に自動的に従い、送信モードと受信モードを高速で切り替えることができます。

## ADC の動作

4 つのパワー・ディテクタと温度センサーの出力をサンプリングするため、このチップには 8 ビットの ADC が内蔵されています。レジスタ 0x032 は ADC を制御します。ADC\_CLKFREQ\_SEL (ビット 7、レジスタ 0x032) は、2MHz または 250kHz のクロック周波数を選択します。ADC\_EN ビットと CLK\_EN ビット (ビット [6:5]、レジスタ 0x032) を使用すれば、ADC を使用していないときにパワーダウンすることができます。ST\_CONV ビット (ビット 4、レジスタ 0x032) は、8 $\mu$ s の最小変換時間 (2MHz クロック) で、16 クロック・サイクルを必要とする変換を開始します。ADC\_EOC (ビット 0、レジスタ 0x032) 読出しビットは、変換が完了したことや、SPI 経由での読出しに 8 ビット出力を使用できることを示します。マルチプレクサは、MUX\_SEL ビット (ビット [3:1]、レジスタ 0x032) に基づいて、5 つの入力のいずれかを選択します。8 ビット出力は、レジスタ 0x033 (ADC\_OUTPUT) から読み出されます。

表 6. 様々な電力モードの SPI 設定値

| Subcircuit                | Register (Hexidecimal) | Bits      | Bit Field   | Bias Setting |           |
|---------------------------|------------------------|-----------|-------------|--------------|-----------|
|                           |                        |           |             | Nominal      | Low Power |
| Receive LNA               | 034                    | Bits[3:0] | LNA_BIAS    | 8            | 5         |
| Receive Vector Modulator  | 035                    | Bits[2:0] | RX_VM_BIAS  | 5            | 2         |
| Receive VGA               | 035                    | Bits[6:3] | RX_VGA_BIAS | 10           | 3         |
| Transmit Vector Modulator | 036                    | Bits[2:0] | TX_VM_BIAS  | 5            | 2         |
| Transmit VGA              | 036                    | Bits[6:3] | TX_VGA_BIAS | 5            | 3         |
| Transmit Driver           | 037                    | Bits[2:0] | TX_DRV_BIA  | 6            | 5         |

メモリ・アクセス

表7に示すように、(最大121か所)のビーム位置の位相と振幅の設定値、および送信モードと受信モードの7つのバイアス設定値を保存するため、オンチップ・ランダム・アクセス・メモリ (RAM) が搭載されています。ビーム位置は、4つのチャンネルすべてに対して、ゲイン、ベクトル変調器 I、およびベクトル変調器 Q の設定値で構成されます。ビーム位置は、0x1000~0x1FFF の位置に書き込むことによってメモリに格納されます。ビーム位置は、受信チャンネルのレジスタ 0x039 に書き込み、送信チャンネルのレジスタ 0x03A に書き込むことでメモリからロードされます。この際、4つのチャンネルすべての振幅と位相の設定値が取得されます。更に、RX\_CHX\_RAM\_BYPASS ビットと TX\_CHX\_RAM\_BYPASS ビット (ビット [1:0]、レジスタ 0x038) がアクティブな場合は、受信チャンネルまたは送信チャンネルごとに振幅または位相の設定値を個別に取得することができ、柔軟性を更に高めることができます。この場合、各受信チャンネルの設定値は、レジスタ 0x03D~レジスタ 0x040 への書き込みによってロードされ、各送信チャンネルの設定値は、レジスタ 0x041~レジスタ 0x044 への書き込みによってロードされます。レジスタ 0x038 の BEAM\_RAM\_BYPASS ビットは、メモリ (ロー) から振幅と位相の設定値を取得する場所、または SPI 経由で (ハイ) を書き込む場所を決定します。

すべての送信チャンネルと受信チャンネルのサブ回路を対象として、バイアス設定値を格納するために、7つのメモリ位置が用意されています。通常、これらの値はレジスタ 0x034~レジスタ 0x037

に格納されます。BIAS\_RAM\_BYPASS ビット (レジスタ 0x38、ビット 5) がロジック・ローの場合、バイアス設定値は SPI ではなく、メモリから再び読み出すことができます。

更に、メモリに格納された位置で順番にビームを移動することができます。この機能を使用するには、最初に送信チャンネルの開始メモリ・アドレスと停止メモリ・アドレスにレジスタ 0x04D~レジスタ 0x04E をロードし、受信チャンネルの開始メモリ・アドレスと停止メモリ・アドレスにレジスタ 0x04F~レジスタ 0x050 をロードします。次に、送信チャンネルと受信チャンネルのメモリを再び読み出すため、6つのシリアル・クロック・パルスに続いて、TX\_LOAD 入力または RX\_LOAD 入力のパルスを印加します。チャンネル設定値は、シリアル・クロック・パルスと TX\_LOAD または RX\_LOAD の組み合わせを繰り返し印加して、メモリから順次ロードされます。このモードでは、次のビーム位置をロードするための SPI レジスタの書き込みが不要になるため、高速のビーム遷移が可能になります。

キャリブレーション

各ゲインの大きさと位相、および RF チャンネルの位相については、内蔵のキャリブレーション機能がなく、工場出荷時のキャリブレーションもありません。実効値の位相誤差は、I と Q の設定値 (位相およびゲイン制御のセクションで前述した式で計算) に基づいて算出されます。実効値の位相誤差は、目的の周波数動作で各チャンネルのエア・アクティブ電子走査アレイ (AESA) キャリブレーションを完全に実行することで改善できます。

表 7. SPI ビームによるメモリ・アドレスのデコーディング

| SPI Address   |     |    |    |    |   |   |   |   |   |   |   |   |   | Function |   |   |
|---|-----|----|----|----|---|---|---|---|---|---|---|---|---|----------|---|---|
| 14  | 13  | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |          | 0 |   |
| AD1   | AD0 | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0        | 0 | Addresses with Bit 12 equal to 0 point to the control registers described in the Register Map section |
| AD1   | AD0 | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0        | 1 | Control register locations  |
| ... range of addresses pointing to additional control register locations                                  |     |    |    |    |   |   |   |   |   |   |   |   |   |          |   |   |
| AD1   | AD0 | 0  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1        | 1 | Control register locations  |
| Addresses with Bit 12 equal to 1 point to the memory area for storing the beam settings at each location. |     |    |    |    |   |   |   |   |   |   |   |   |   |          |   |   |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0        | 0 | Receive Channel 1 Beam Position 0, Bits[7:0]  |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0        | 1 | Receive Channel 1 Beam Position 0, Bits[15:8]   |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 0 | Receive Channel 1 Beam Position 0, Bits[23:16]  |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 1 | Not applicable  |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 0 | Receive Channel 2 Beam Position 0, Bits[7:0]  |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 0 | Receive Channel 2 Beam Position 0, Bits[15:8]   |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 1 | Receive Channel 2 Beam Position 0, Bits[23:16]  |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 1 | Not applicable  |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 0 | Receive Channel 3 Beam Position 0, Bits[7:0]  |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 0 | Receive Channel 3 Beam Position 0, Bits[15:8]   |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 0 | Receive Channel 3 Beam Position 0, Bits[23:16]  |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 1 | Not applicable  |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 0 | Receive Channel 4 Beam Position 0, Bits[7:0]  |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 1 | Receive Channel 4 Beam Position 0, Bits[15:8]   |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 1 | Receive Channel 4 Beam Position 0, Bits[23:16]  |
| AD1   | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | 1 | Not applicable  |

| SPI Address |     |    |    |    |   |   |   |   |   |   |   |   |   | Function |  |
|-------------|-----|----|----|----|---|---|---|---|---|---|---|---|---|----------|--|
| 14          | 13  | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |          | 0  |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0        | Receive Channel 1 Beam Position 1, Bits[7:0]   |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1        | Receive Channel 1 Beam Position 1, Bits[15:8]  |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0        | Receive Channel 1 Beam Position 1, Bits[23:16] |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1        | Not applicable                                 |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0        | Receive Channel 2 Beam Position 1, Bits[7:0]   |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1        | Receive Channel 2 Beam Position 1, Bits[15:8]  |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0        | Receive Channel 2 Beam Position 1, Bits[23:16] |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1        | Not applicable                                 |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0        | Receive Channel 3 Beam Position 1, Bits[7:0]   |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1        | Receive Channel 3 Beam Position 1, Bits[15:8]  |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0        | Receive Channel 3 Beam Position 1, Bits[23:16] |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1        | Not applicable                                 |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0        | Receive Channel 4 Beam Position 1, Bits[7:0]   |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1        | Receive Channel 4 Beam Position 1, Bits[15:8]  |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0        | Receive Channel 4 Beam Position 1, Bits[23:16] |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1        | Not applicable                                 |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0        | Receive Channel 1 Beam Position 2, Bits[7:0]   |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1        | Receive Channel 1 Beam Position 2, Bits[15:8]  |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0        | Receive Channel 1 Beam Position 2, Bits[23:16] |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1        | Not applicable                                 |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0        | Receive Channel 2 Beam Position 2, Bits[7:0]   |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 1        | Receive Channel 2 Beam Position 2, Bits[15:8]  |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 0        | Receive Channel 2 Beam Position 2, Bits[23:16] |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1        | Not applicable                                 |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0        | Receive Channel 3 Beam Position 2, Bits[7:0]   |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1        | Receive Channel 3 Beam Position 2, Bits[15:8]  |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 0        | Receive Channel 3 Beam Position 2, Bits[23:16] |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1 | 1        | Not applicable                                 |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0        | Receive Channel 4 Beam Position 2, Bits[7:0]   |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1        | Receive Channel 4 Beam Position 2, Bits[15:8]  |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0        | Receive Channel 4 Beam Position 2, Bits[23:16] |
| AD1         | AD0 | 1  | 0  | 0  | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 1        | Not applicable                                 |

... range of addresses pointing to additional receive beam positions

|     |     |   |   |   |   |   |   |   |   |   |   |   |   |   |  |
|-----|-----|---|---|---|---|---|---|---|---|---|---|---|---|---|--|
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Receive Channel 1 Beam Position 121, Bits[7:0]   |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | Receive Channel 1 Beam Position 121, Bits[15:8]  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | Receive Channel 1 Beam Position 121, Bits[23:16] |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | Not applicable                                   |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | Receive Channel 2 Beam Position 121, Bits[7:0]   |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | Receive Channel 2 Beam Position 121, Bits[15:8]  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | Receive Channel 2 Beam Position 121, Bits[23:16] |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | Not applicable                                   |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | Receive Channel 3 Beam Position 121, Bits[7:0]   |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | Receive Channel 3 Beam Position 121, Bits[15:8]  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | Receive Channel 3 Beam Position 121, Bits[23:16] |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | Not applicable                                   |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | Receive Channel 4 Beam Position 121, Bits[7:0]   |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | Receive Channel 4 Beam Position 121, Bits[15:8]  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | Receive Channel 4 Beam Position 121, Bits[23:16] |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | Not applicable                                   |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | Receive Bias Setting 1, Bits[7:0]                |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | Receive Bias Setting 1, Bits[15:8]               |

| SPI Address |     |    |    |    |   |   |   |   |   |   |   |   |   | Function |   |
|-------------|-----|----|----|----|---|---|---|---|---|---|---|---|---|----------|---|
| 14          | 13  | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |          | 0   |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0        | Receive Bias Setting 1, Bits[23:16]             |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1        | Receive Bias Setting 1, Bits[31:24]             |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0        | Receive Bias Setting 2, Bits[7:0]               |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1        | Receive Bias Setting 2, Bits[15:8]              |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0        | Receive Bias Setting 2, Bits[23:16]             |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1        | Receive Bias Setting 2, Bits[31:24]             |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0        | Not applicable                                  |
| AD1         | AD0 | 1  | 0  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1        | Not applicable                                  |
| AD1         | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0        | Transmit Channel 1 Beam Position 0, Bits[7:0]   |
| AD1         | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | Transmit Channel 1 Beam Position 0, Bits[15:8]  |
| AD1         | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0        | Transmit Channel 1 Beam Position 0, Bits[23:16] |
| AD1         | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1        | Not applicable                                  |

... range of addresses pointing to additional receive bias settings

|     |     |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|-----|-----|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | Receive Bias Setting 7, Bits[7:0]               |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | Receive Bias Setting 7, Bits[15:8]              |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | Not applicable                                  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | Not applicable                                  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | Receive Bias Setting 7, Bits[23:16]             |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | Receive Bias Setting 7, Bits[31:24]             |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | Not applicable                                  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | Not applicable                                  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | Not applicable                                  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | Not applicable                                  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | Not applicable                                  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | Not applicable                                  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | Not applicable                                  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | Not applicable                                  |
| AD1 | AD0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | Not applicable                                  |
| AD1 | AD0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | Transmit Channel 1 Beam Position 0, Bits[7:0]   |
| AD1 | AD0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | Transmit Channel 1 Beam Position 0, Bits[15:8]  |
| AD1 | AD0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | Transmit Channel 1 Beam Position 0, Bits[23:16] |
| AD1 | AD0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | Not applicable                                  |

| SPI Address   |     |    |    |    |   |   |   |   |   |   |   |   |   | Function |   |
|---|-----|----|----|----|---|---|---|---|---|---|---|---|---|----------|---|
| 14  | 13  | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 |          | 0   |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0        | Transmit Channel 2 Beam Position 0, Bits[7:0]     |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1        | Transmit Channel 2 Beam Position 0, Bits[15:8]    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0        | Transmit Channel 2 Beam Position 0, Bits[23:16]   |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1        | Not applicable                                    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0        | Transmit Channel 3 Beam Position 0, Bits[7:0]     |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1        | Transmit Channel 3 Beam Position 0, Bits[15:8]    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0        | Transmit Channel 3 Beam Position 0, Bits[23:16]   |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1        | Not applicable                                    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0        | Transmit Channel 4 Beam Position 0, Bits[7:0]     |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1        | Transmit Channel 4 Beam Position 0, Bits[15:8]    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0        | Transmit Channel 4 Beam Position 0, Bits[23:16]   |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1        | Not applicable                                    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0        | Transmit Channel 1 Beam Position 1, Bits[7:0]     |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1        | Transmit Channel 1 Beam Position 1, Bits[15:8]    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0        | Transmit Channel 1 Beam Position 1, Bits[23:16]   |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 1        | Not applicable                                    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0        | Transmit Channel 2 Beam Position 1, Bits[7:0]     |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 1        | Transmit Channel 2 Beam Position 1, Bits[15:8]    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0        | Transmit Channel 2 Beam Position 1, Bits[23:16]   |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1        | Not applicable                                    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0        | Transmit Channel 3 Beam Position 1, Bits[7:0]     |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1        | Transmit Channel 3 Beam Position 1, Bits[15:8]    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 0        | Transmit Channel 3 Beam Position 1, Bits[23:16]   |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 1 | 1        | Not applicable                                    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0        | Transmit Channel 4 Beam Position 1, Bits[7:0]     |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 1        | Transmit Channel 4 Beam Position 1, Bits[15:8]    |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0        | Transmit Channel 4 Beam Position 1, Bits[23:16]   |
| AD1   | AD0 | 1  | 1  | 0  | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1        | Not applicable                                    |
| ... range of addresses pointing to additional transmit beam positions |     |    |    |    |   |   |   |   |   |   |   |   |   |          |   |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0        | Transmit Channel 1 Beam Position 121, Bits[7:0]   |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1        | Transmit Channel 1 Beam Position 121, Bits[15:8]  |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0        | Transmit Channel 1 Beam Position 121, Bits[23:16] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 1        | Not applicable                                    |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0        | Transmit Channel 2 Beam Position 121, Bits[7:0]   |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1        | Transmit Channel 2 Beam Position 121, Bits[15:8]  |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0        | Transmit Channel 2 Beam Position 121, Bits[23:16] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1        | Not applicable                                    |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0        | Transmit Channel 3 Beam Position 121, Bits[7:0]   |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1        | Transmit Channel 3 Beam Position 121, Bits[15:8]  |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0        | Transmit Channel 3 Beam Position 121, Bits[23:16] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1        | Not applicable                                    |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0        | Transmit Channel 4 Beam Position 121, Bits[7:0]   |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1        | Transmit Channel 4 Beam Position 121, Bits[15:8]  |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0        | Transmit Channel 4 Beam Position 121, Bits[23:16] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 | 0        | Not applicable                                    |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0        | Transmit Bias Setting 1, Bits[7:0]                |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1        | Transmit Bias Setting 1, Bits[15:8]               |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0        | Transmit Bias Setting 1, Bits[23:16]              |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1        | Not applicable                                    |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0        | Transmit Bias Setting 1, Bits[31:24]              |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 0 | 1        | Transmit Bias Setting 1, Bits[39:32]              |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0        | Transmit Bias Setting 1, Bits[47:40]              |

| SPI Address   |     |    |    |    |   |   |   |   |   |   |   |   |   |   | Function                             |
|---|-----|----|----|----|---|---|---|---|---|---|---|---|---|---|--------------------------------------|
| 14  | 13  | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |                                      |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | Transmit Bias Setting 1, Bits[55:48] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | Transmit Bias Setting 1, Bits[63:56] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 0 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | Transmit Bias Setting 1, Bits[71:64] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | 1 | Transmit Bias Setting 1, Bits[79:72] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | Transmit Bias Setting 2, Bits[7:0]   |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | Transmit Bias Setting 2, Bits[15:8]  |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | Transmit Bias Setting 2, Bits[23:16] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | Transmit Bias Setting 2, Bits[31:24] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | Transmit Bias Setting 2, Bits[39:32] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | Transmit Bias Setting 2, Bits[47:40] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | Transmit Bias Setting 2, Bits[55:48] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | Transmit Bias Setting 2, Bits[63:56] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 1 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | Transmit Bias Setting 2, Bits[71:64] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | Transmit Bias Setting 2, Bits[79:72] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | Not applicable                       |
| ... range of addresses pointing to additional receive bias settings |     |    |    |    |   |   |   |   |   |   |   |   |   |   |                                      |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | Transmit Bias Setting 7, Bits[7:0]   |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | Transmit Bias Setting 7, Bits[15:8]  |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 0 | Transmit Bias Setting 7, Bits[23:16] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 | Transmit Bias Setting 7, Bits[31:24] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 1 | Transmit Bias Setting 7, Bits[39:32] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | Transmit Bias Setting 7, Bits[47:40] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | Transmit Bias Setting 7, Bits[55:48] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | Transmit Bias Setting 7, Bits[63:56] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | Transmit Bias Setting 7, Bits[71:64] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | Transmit Bias Setting 7, Bits[79:72] |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | Not applicable                       |
| AD1   | AD0 | 1  | 1  | 1  | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | Not applicable                       |

## アプリケーション情報

### ゲイン・コントロール・レジスタ

各チャンネルのゲイン制御は、独立した受信および送信パス VGA の組合せによって提供されます。これらの VGA は、16dB 以上のゲイン制御範囲に対応し、送信チャンネルと受信チャンネルの間で共有されるスイッチ式の 0dB または 15dB のステップ・アッテネータを備えています。組合せの結果として実現されるゲイン制御範囲は 31dB を超えます。各受信チャンネルまたは送信チャンネルのゲインは、8 ビット・レジスタによって制御されます。すべての条件下で 0.25dB 未満の誤差、0.5dB の最小ステップ・サイズを確保できるように、VGA は 7 ビットの制御を必要とします。また、8 番目のビットはスイッチ式アッテネータの状態を制御します。

振幅と位相の設定値を更新するには、新しい設定値を SPI または オンチップ・メモリからロードします。SPI で振幅と位相の設定値を更新する場合、受信チャンネルのゲインと位相を設定するには、レジスタ 0x010～レジスタ 0x01B に新しい値を書き込みます。また、送信チャンネルのゲインと位相を設定するには、レジスタ 0x01C～レジスタ 0x027 に新しい値を書き込みます。これらのゲインと位相の設定値は、最初に保持レジスタに書き込まれ、受信チャンネルの LDRX\_OVERRIDE ビット、または送信チャンネルの LDTX\_OVERRIDE ビット（それぞれ、レジスタ 0x028 のビット 0 とビット 1）で正のパルスが発生するまで有効になりません。この正のパルスが発生すると、新しい設定値が保持レジスタから作業レジスタに転送され、この新しい設定値が RF サブ回路で有効になります。この転送は、受信チャンネルの RX\_LOAD ピンまたは送信チャンネルの TX\_LOAD ピンに正のパルスを送信する方法でも実行できます。この方法では、次の設定値をバックグラウンドでロードしながら、振幅および位相の設定値を使用して、受信または送信をチップで能動的に実行することができます。

また、アッテネータは送信パスと受信パスで共有されるため、スイッチ式アッテネータの状態は、送信および受信の制御信号によって変化します。更に、SPI を介して振幅と位相の設定値をロードするには、BEAM\_RAM\_BYPASS ビット（レジスタ 0x038 のビット 6）をハイにする必要があります。

代わりに、ゲインと振幅の設定値（受信モードと送信モードの両方で、最大 121）をオンチップ・メモリに保存し、受信モードの場合はレジスタ 0x039 に書き込み、送信モードの場合はレジスタ 0x03A に書き込むことで、これらの設定値を再び読み出すことができます。SPI を介して新しい設定値をロードする場合と同様に、メモリからロードされた新しい設定値は、適切なロード・コマンドが送信されるまで有効になりません。

表 8. ステップ・アッテネータの制御

| Channel Transmit and Receive State | CHx_ATT_N_RX <sup>1</sup> | CHx_ATT_N_TX <sup>1</sup> | Channel x Attenuator State <sup>1</sup> |
|------------------------------------|---------------------------|---------------------------|---|
| Receive                            | 1                         | X <sup>2</sup>            | Bypass                                  |
| Receive                            | 0                         | X <sup>2</sup>            | Attenuation                             |
| Transmit                           | X <sup>2</sup>            | 1                         | Bypass                                  |
| Transmit                           | X <sup>2</sup>            | 0                         | Attenuation                             |

<sup>1</sup> SPI から、x=1、2、3、4。

<sup>2</sup> X はドントケア。

受信チャンネルのゲイン・コントロール・レジスタはレジスタ 0x010～レジスタ 0x013 であり、送信チャンネルのゲイン制御レジスタはレジスタ 0x01C～レジスタ 0x01F です。各レジスタ・コントロールのビット [6:0] (RX\_VGA\_CHx および TX\_VGA\_CHx) は、のように VGA ゲインを制御します。最高のゲイン直線性と再現性を実現するため、ゲイン制御範囲の上位 16dB に使用範囲を制限します。各レジスタのビット 7 (CHx\_ATT\_N\_RX および CHx\_ATT\_N\_TX) はアッテネータの状態を制御します（ロジック・ハイはアッテネータがバイパスされることを意味します）。

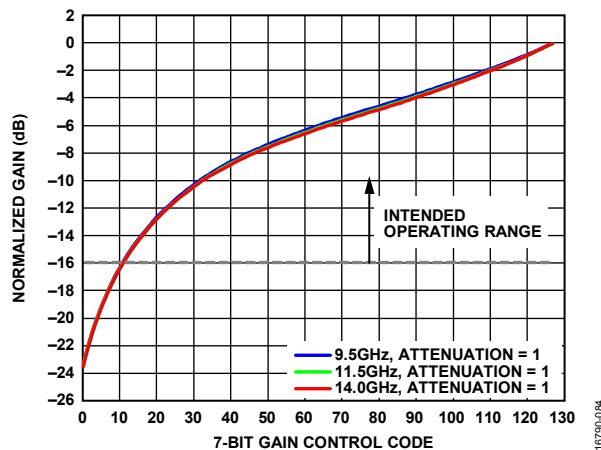


図 84. 正規化ゲインと 7 ビット・ゲイン制御コードの関係

TX\_LOAD ピンと RX\_LOAD ピン、あるいは LDTX\_OVERRIDE ビットと LDRX\_OVERRIDE ビット（それぞれビット [1:0]、レジスタ 0x028）の場合、新しい設定値を有効にするには、パルスを検出する必要があります。現在の設定値を使用して送受信している間に、新しい設定値をバックグラウンドでロードできます。

### スイッチ式アッテネータの制御

受信ステップ・アッテネータの制御には、レジスタ 0x010～レジスタ 0x013 の CHx\_ATT\_N\_RX ビット（ビット 7）を使用します。レジスタ 0x01C～レジスタ 0x01F の CHx\_ATT\_N\_TX ビット（ビット 7）は、送信ステップ・アッテネータを制御します。表 8 に示すように、マルチプレクサ (mux) は受信または送信の作業レジスタに従って各チャンネルのアッテネータを設定するかどうかを決定します。

## 送信サブ回路および受信サブ回路の制御

TR\_SOURCE ビット (ビット 2、レジスタ 0x031) は、専用入力ピン (TR ピン) と SPI レジスタ・コントロールのどちらで、ADAR1000 の送信モードと受信モードの切替えを制御するか決定します。TR 入力を選択すると、送信サブ回路と受信サブ回路のイネーブルも、送信および受信の入力によって制御されます。受信サブ回路または送信サブ回路の組合せは、所定の時刻にオンにすることができます。送信サブ回路と受信サブ回路を同時にオンにすることはできません。

### TR\_SOURCE = 1 (TR ピンの制御)

TR\_SOURCE=1 の場合、TR 入力がロジック・ローになると、デバイスは受信モードに切り替わり、すべての受信サブ回路がオンになります。TR 入力が高レベルになると、デバイスは送信モードに切り替わり、すべての送信サブ回路がオンになります。結果的に、送信および受信のすべての切替え機能は、単一のピンによって完全に制御されます。

### TR\_SOURCE = 0 (SPI の制御)

SPI レジスタのレジスタ 0x02E、レジスタ 0x02F、レジスタ 0x031 は、いずれも送信と受信のサブ回路をオン/オフにします。代表的な動作モードの設定では、すべてのチャンネルとサブ回路のイネーブルをアクティブに切り替え (つまり、レジスタ 0x02E を 0x7F に設定し、レジスタ 0x02F を 0x7F に設定)、TX\_EN と RX\_EN (レジスタ 0x31 のビット [6:5]) を使用して、送信サブ回路または受信サブ回路をオンにします。

## 送信および受信スイッチ・ドライバの制御

TR\_SW\_NEG ピンおよび TR\_SW\_POS ピンは、外部スイッチを制御する出力ピンです。この外部スイッチにより、ADAR1000 が動作する送信モードと受信モードの間で、信号が流れる方向が決定されます。複数のレジスタ・ビットと TR ピンを組み合わせると、TR\_SW\_NEG ピンと TR\_SW\_POS ピンの状態を制御する方法が提供されます。

スイッチ・ドライバをイネーブルにするには、SW\_DRV\_EN\_TR ビット (ビット 4、レジスタ 0x031) をロジック・ハイに設定します。

TR\_SOURCE ビット (ビット 2、レジスタ 0x031) は、SPI の TR\_SPI ビット (ビット 1、レジスタ 0x031) とチップの専用送信ピンおよび受信入力ピンのどちらで送受信を制御するか決定します (TR\_SOURCE=0 の場合、TR\_SPI ビットで制御)。

SW\_DRV\_TR\_STATE ビット (ビット 7、レジスタ 0x031) は、送信モードと受信モードについて、これらのスイッチ・ドライバ出力 (TR\_SW\_POS および TR\_SW\_NEG) の極性を決定します。極性をプログラマブルにすると、異なる GaAs の送信および受信スイッチ制御構成を使用するときに柔軟性が向上します (表 9 を参照)。

表 9. TR\_SW\_POS 出力および TR\_SW\_NEG 出力の制御

| SW_DRV_EN_TR<br>(Register 0x031, Bit 4) | TR_SOURCE<br>(Register 0x031, Bit 2) <sup>1</sup> | TR<br>(Chip Input) <sup>1</sup> | TR_SPI<br>(Register 0x031, Bit 1) <sup>1</sup> | SW_DRV_TR_MODE_SEL<br>(Register 0x030, Bit 7) <sup>1</sup> | Device Transmit or Receive State <sup>1</sup> | SW_DRV_TR_STATE<br>(Register 0x031, Bit 7) <sup>1</sup> | TR_SW_POS<br>(Chip Output) | TR_SW_NEG<br>(Chip Output) |
|---|---|---------------------------------|--|--|---|---|----------------------------|----------------------------|
| 0                                       | X   | X                               | X  | X  | X   | X   | Floating                   | Floating                   |
| 1                                       | 0   | X                               | 0  | 0  | Receive                                       | 0   | Floating                   | 0 V                        |
| 1                                       | 0   | X                               | 0  | 0  | Receive                                       | 1   | Floating                   | -5 V                       |
| 1                                       | 0   | X                               | 1  | 0  | Transmit                                      | 0   | Floating                   | -5 V                       |
| 1                                       | 0   | X                               | 1  | 0  | Transmit                                      | 1   | Floating                   | 0 V                        |
| 1                                       | 1   | 0                               | X  | 0  | Receive                                       | 0   | Floating                   | 0 V                        |
| 1                                       | 1   | 0                               | X  | 0  | Receive                                       | 1   | Floating                   | -5 V                       |
| 1                                       | 1   | 1                               | X  | 0  | Transmit                                      | 0   | Floating                   | -5 V                       |
| 1                                       | 1   | 1                               | X  | 0  | Transmit                                      | 1   | Floating                   | 0 V                        |
| 1                                       | 0   | X                               | 0  | 1  | Receive                                       | 0   | 0 V                        | Floating                   |
| 1                                       | 0   | X                               | 0  | 1  | Receive                                       | 1   | 3.3 V                      | Floating                   |
| 1                                       | 0   | X                               | 1  | 1  | Transmit                                      | 0   | 3.3 V                      | Floating                   |
| 1                                       | 0   | X                               | 1  | 1  | Transmit                                      | 1   | 0 V                        | Floating                   |
| 1                                       | 1   | 0                               | X  | 1  | Receive                                       | 0   | 0 V                        | Floating                   |
| 1                                       | 1   | 0                               | X  | 1  | Receive                                       | 1   | 3.3 V                      | Floating                   |
| 1                                       | 1   | 1                               | X  | 1  | Transmit                                      | 0   | 3.3 V                      | Floating                   |
| 1                                       | 1   | 1                               | X  | 1  | Transmit                                      | 1   | 0 V                        | Floating                   |

<sup>1</sup> X はドントケア。



**PA バイアス出力制御**

4つのPAバイアス出力電圧は、独立した4つのDACによって制御されます。次に、このDACは、SPIレジスタ (BIAS\_CTRL、TR\_SOURCE、TX\_EN) から取得した3ビットの組合せ、2本の入力ピン (TRおよびPA\_ON)、EXT\_PAn\_BIAS\_ON (レジスタ 0x029~レジスタ 0x02C)、EXT\_PAn\_BIAS\_OFF (レジスタ 0x046~レジスタ 0x049) レジスタによって制御されます (表 10 を参照)。BIAS\_CTRL は、各チャンネルの CHx\_PA\_BIAS\_ON 値をバイアスDACで常に使用するかどうか決定します。TR\_SOURCE は、SPIレジスタとTR入力のどちらで、送信モードと受信モードの切替えを制御するか決定します。ADAR1000が送信モードで、BIAS\_CTRL が 1 に設定されている場合、PA\_ON 入力が、

CHx\_PA\_BIAS\_ON 値と CHx\_PA\_BIAS\_OFF 値のどちらを使用するか決定します。

**LNA バイアス出力制御**

LNA\_BIAS 出力電圧は、DACによって制御されます。次に、このDACは、SPIレジスタ (LNA\_BIAS\_OUT\_EN、BIAS\_CTRL、TR\_SOURCE、およびRX\_EN) の4つのビットの組み合わせ、TR入力ピン、LNA\_BIAS\_ONレジスタ、およびLNA\_BIAS\_OFFレジスタ (それぞれレジスタ 0x02D およびレジスタ 0x04A) によって制御されます (表 11 を参照)。LNA\_BIAS 出力は、LNA\_BIAS\_OUT\_EN=1の場合にのみ有効になります。それ以外の場合、出力はオープンです。ADAR1000が受信モードで、BIAS\_CTRL が 1 に設定されている場合、出力はLNA\_BIAS\_ONレジスタによって設定されます。

表 10. PA バイアス出力の制御

| BIAS_CTRL<br>(Register 0x030, Bit 6) | TR_SOURCE<br>(Register 0x031, Bit 2) | TX_EN<br>(Register 0x031, Bit 6) | TR (Input to<br>Chip) | PA_ON (Input<br>to Chip) | PA Bias Register Used<br>(n = 1, 2, 3, or 4) |
|--------------------------------------|--------------------------------------|----------------------------------|-----------------------|--------------------------|--|
| 0                                    | X <sup>1</sup>                       | X <sup>1</sup>                   | X <sup>1</sup>        | X <sup>1</sup>           | EXT_PAn_BIAS_ON                              |
| 1                                    | 0                                    | 0                                | X <sup>1</sup>        | X <sup>1</sup>           | EXT_PAn_BIAS_OFF                             |
| 1                                    | 0                                    | 1                                | X <sup>1</sup>        | X <sup>1</sup>           | EXT_PAn_BIAS_ON                              |
| 1                                    | 1                                    | 0                                | 0                     | X <sup>1</sup>           | EXT_PAn_BIAS_OFF                             |
| 1                                    | 1                                    | 0                                | 1                     | 0                        | EXT_PAn_BIAS_OFF                             |
| 1                                    | 1                                    | 0                                | 1                     | 1                        | EXT_PAn_BIAS_ON                              |

<sup>1</sup>Xはドントケア。

表 11. LNA\_BIAS 出力の制御

| LNA_BIAS_OUT_EN<br>(Register 0x030, Bit 4) | BIAS_CTRL<br>(Register 0x030, Bit 6) | TR_SOURCE<br>(Register 0x031, Bit 2) | RX_EN<br>(Register 0x031, Bit 5) | TR (Input to Chip) | LNA Bias<br>Register Used |
|--|--------------------------------------|--------------------------------------|----------------------------------|--------------------|---------------------------|
| 0  | X <sup>1</sup>                       | X <sup>1</sup>                       | X <sup>1</sup>                   | X <sup>1</sup>     | Open circuit (floating)   |
| 1  | 0                                    | 0                                    | 0                                | X <sup>1</sup>     | EXT_LNA_BIAS_ON           |
| 1  | 0                                    | 0                                    | 1                                | X <sup>1</sup>     | EXT_LNA_BIAS_ON           |
| 1  | 1                                    | 0                                    | 0                                | X <sup>1</sup>     | EXT_LNA_BIAS_OFF          |
| 1  | 1                                    | 0                                    | 1                                | X <sup>1</sup>     | EXT_LNA_BIAS_ON           |
| 1  | 0                                    | 1                                    | 0                                | 0                  | EXT_LNA_BIAS_ON           |
| 1  | 0                                    | 1                                    | 0                                | 1                  | EXT_LNA_BIAS_ON           |
| 1  | 1                                    | 1                                    | 0                                | 0                  | EXT_LNA_BIAS_OFF          |
| 1  | 1                                    | 1                                    | 0                                | 1                  | EXT_LNA_BIAS_ON           |

<sup>1</sup>Xはドントケア。

**送信モードと受信モードの切替え**

図 85 に、送信モードと受信モードの切替えのタイミングを示します。

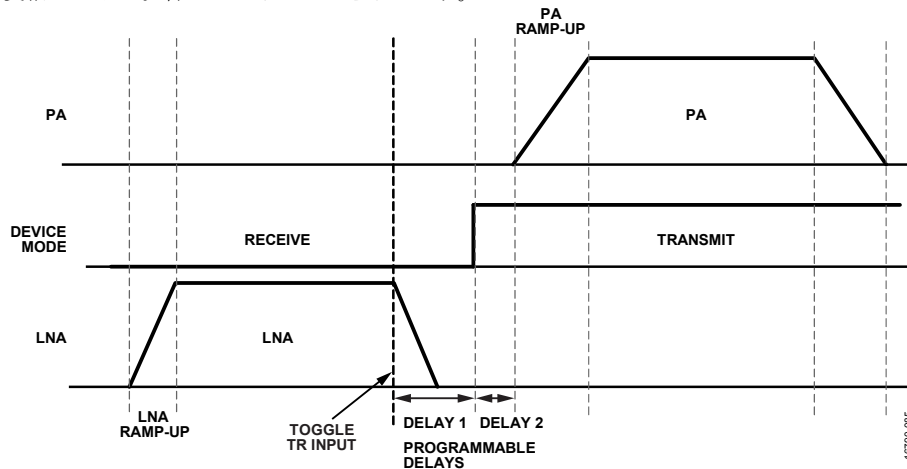


図 85. 送信モードと受信モードの切替えのタイミング

## SPI プログラミングの例

表 12 の SPI プログラミング例では、様々なサブ回路のバイアスだけでなく、全チャンネルのゲインと位相の設定値をセットアップ

しています。TR 入力が高になり、デバイスが送信モードに切り替わるまで、デバイスは受信モードに保たれます。すべての外部アンプのバイアスとスイッチも、状況に応じて状態が変化します。

表 12. ADAR1000 をセットアップするためのレジスタのプログラミング

| レジスタ   | 内容 | 説明   |
|--------|----|--|
| 0x000  | BD | チップ全体をリセットし、読出しに SDO ラインを使用し、ブロック書き込みモードでアドレスを自動インクリメント        |
| 0x401  | 10 | 設定値からの LDO 調整を許可   |
| 0x400  | 55 | LDO を調整  |
| 0x046  | 60 | 受信モードで PA1 バイアス DAC 出力を約-1.8V に設定                              |
| 0x047  | 60 | 受信モードで PA2 バイアス DAC 出力を約-1.8V に設定                              |
| 0x048  | 60 | 受信モードで PA3 バイアス DAC 出力を約-1.8V に設定                              |
| 0x049  | 60 | 受信モードで PA4 バイアス DAC 出力を約-1.8V に設定                              |
| 0x029  | 28 | 送信モードで PA1 バイアス DAC 出力を約-0.8V に設定                              |
| 0x02A  | 28 | 送信モードで PA2 バイアス DAC 出力を約-0.8V に設定                              |
| 0x02B  | 28 | 送信モードで PA3 バイアス DAC 出力を約-0.8V に設定                              |
| 0x02C  | 28 | 送信モードで PA4 バイアス DAC 出力を約-0.8V に設定                              |
| 0x02D  | 28 | LNA バイアス DAC を約-0.8V に設定                                       |
| 0x030  | 1F | LNA バイアス DAC をイネーブルにし、固定出力を選択                                  |
| 0x038  | 60 | チャンネル設定のために内部 RAM でなく、SPI を選択                                  |
| 0x031  | 1C | 送信と受信の切替え制御用に TR 入力を選択し、スイッチ出力をイネーブルにする                        |
| 0x02F  | 7F | 4つの送信チャンネルすべてを選択し、送信ドライバ、ベクトル変調器、VGA をイネーブルにする                 |
| 0x036  | 16 | 送信 VGA バイアスを 2 に設定し、ベクトル変調器バイアスを 6 に設定する                       |
| 0x037  | 06 | 送信ドライバのバイアスを 6 に設定する   |
| 0x01C  | FF | チャンネル 1 のアッテネータを 0dB に設定し、VGA ゲインを最大に設定する                      |
| 0x020  | 36 | チャンネル 1 のベクトル変調器 I 入力を正の振幅 16 に設定する                            |
| 0x021  | 35 | チャンネル 1 のベクトル変調器 Q の入力を正の振幅 15 に設定し、これら 2つの入力を合わせて位相を 45°に設定する |
| 0x01D  | FF | チャンネル 2 のアッテネータを 0dB に設定し、VGA ゲインを最大に設定する                      |
| 0x020  | 36 | チャンネル 2 のベクトル変調器 I 入力を正の振幅 16 に設定する                            |
| 0x 021 | 35 | チャンネル 2 のベクトル変調器 Q の入力を正の振幅 15 に設定し、これら 2つの入力を合わせて位相を 45°に設定する |
| 0x 01E | FF | チャンネル 3 のアッテネータを 0dB に設定し、VGA ゲインを最大に設定する                      |
| 0x 020 | 36 | チャンネル 3 のベクトル変調器 I 入力を正の振幅 16 に設定する                            |
| 0x 021 | 35 | チャンネル 3 のベクトル変調器 Q の入力を正の振幅 15 に設定し、これら 2つの入力を合わせて位相を 45°に設定する |
| 0x 01F | FF | チャンネル 4 のアッテネータを 0dB に設定し、VGA ゲインを最大に設定する                      |
| 0x 020 | 36 | チャンネル 4 のベクトル変調器 I 入力を正の振幅 16 に設定する                            |
| 0x 021 | 35 | チャンネル 4 のベクトル変調器 Q の入力を正の振幅 15 に設定し、これら 2つの入力を合わせて位相を 45°に設定する |
| 0x 02E | 7F | 4つの受信チャンネルすべてを選択し、受信 LNA、ベクトル変調器、VGA をイネーブルにする                 |
| 0x 034 | 08 | 受信 LNA バイアスを 8 に設定する   |
| 0x 035 | 16 | 受信 VGA バイアスを 2 に設定し、ベクトル変調器バイアスを 6 に設定する                       |
| 0x 010 | FF | チャンネル 1 のアッテネータを 0dB に設定し、VGA ゲインを最大に設定する                      |
| 0x 014 | 36 | チャンネル 1 のベクトル変調器 I 入力を正の振幅 16 に設定する                            |
| 0x 015 | 35 | チャンネル 1 のベクトル変調器 Q の入力を正の振幅 15 に設定し、これら 2つの入力を合わせて位相を 45°に設定する |
| 0x 011 | FF | チャンネル 2 のアッテネータを 0dB に設定し、VGA ゲインを最大に設定する                      |
| 0x 016 | 36 | チャンネル 2 のベクトル変調器 I 入力を正の振幅 16 に設定する                            |
| 0x 017 | 35 | チャンネル 2 のベクトル変調器 Q の入力を正の振幅 15 に設定し、これら 2つの入力を合わせて位相を 45°に設定する |
| 0x 012 | FF | チャンネル 3 のアッテネータを 0dB に設定し、VGA ゲインを最大に設定する                      |
| 0x 018 | 36 | チャンネル 3 のベクトル変調器 I 入力を正の振幅 16 に設定する                            |
| 0x 019 | 35 | チャンネル 3 のベクトル変調器 Q の入力を正の振幅 15 に設定し、これら 2つの入力を合わせて位相を 45°に設定する |
| 0x 013 | FF | チャンネル 4 のアッテネータを 0dB に設定し、VGA ゲインを最大に設定する                      |
| 0x 01A | 36 | チャンネル 4 のベクトル変調器 I 入力を正の振幅 16 に設定する                            |
| 0x 01B | 35 | チャンネル 4 のベクトル変調器 Q の入力を正の振幅 15 に設定し、これら 2つの入力を合わせて位相を 45°に設定する |

## レジスタ・マップ

表 13. コントロール・レジスタの概要

| Reg. (Hex) | Name               | Bits  | Bit 7              | Bit 6      | Bit 5           | Bit 4               | Bit 3               | Bit 2      | Bit 1               | Bit 0             | Reset | R/W  |     |
|------------|--------------------|-------|--------------------|------------|-----------------|---------------------|---------------------|------------|---------------------|-------------------|-------|------|-----|
| 000        | INTERFACE_CONFIG_A | [7:0] | SOFTRESET          | LSB_FIRST  | ADDR_ASCN       | SDO_ACTIVE          | SDO_ACTIVE          | ADDR_ASCN  | LSB_FIRST           | SOFTRESET         | 0x00  | R/W  |     |
| 001        | INTERFACE_CONFIG_B | [7:0] | SINGLE_INSTRUCTION | CSB_STALL  | MASTER_SLAVE_RB | SLOW_INTERFACE_CTRL | RESERVED            | SOFT_RESET |                     | RESERVED          | 0x00  | R/W  |     |
| 002        | DEV_CONFIG         | [7:0] | DEV_STATUS         |            |                 |                     | CUST_OPERATING_MODE |            | NORM_OPERATING_MODE |                   | 0x10  | R/W  |     |
| 003        | CHIP_TYPE          | [7:0] | CHIP_TYPE          |            |                 |                     |                     |            |                     |                   |       | 0x00 | R   |
| 004        | PRODUCT_ID_H       | [7:0] | PRODUCT_ID[15:8]   |            |                 |                     |                     |            |                     |                   |       | 0x00 | R   |
| 005        | PRODUCT_ID_L       | [7:0] | PRODUCT_ID[7:0]    |            |                 |                     |                     |            |                     |                   |       | 0x00 | R   |
| 00A        | SCRATCH_PAD        | [7:0] | SCRATCHPAD         |            |                 |                     |                     |            |                     |                   |       | 0x00 | R/W |
| 00B        | SPI_REV            | [7:0] | SPI_REV            |            |                 |                     |                     |            |                     |                   |       | 0x00 | R   |
| 00C        | VENDOR_ID_H        | [7:0] | VENDOR_ID[15:8]    |            |                 |                     |                     |            |                     |                   |       | 0x00 | R   |
| 00D        | VENDOR_ID_L        | [7:0] | VENDOR_ID[7:0]     |            |                 |                     |                     |            |                     |                   |       | 0x00 | R   |
| 00F        | TRANSFER_REG       | [7:0] | RESERVED           |            |                 |                     |                     |            |                     | MASTER_SLAVE_XFER |       | 0x00 | R/W |
| 010        | CH1_RX_GAIN        | [7:0] | CH1_ATTN_RX        | RX_VGA_CH1 |                 |                     |                     |            |                     |                   |       | 0x00 | R/W |
| 011        | CH2_RX_GAIN        | [7:0] | CH2_ATTN_RX        | RX_VGA_CH2 |                 |                     |                     |            |                     |                   |       | 0x00 | R/W |
| 012        | CH3_RX_GAIN        | [7:0] | CH3_ATTN_RX        | RX_VGA_CH3 |                 |                     |                     |            |                     |                   |       | 0x00 | R/W |
| 013        | CH4_RX_GAIN        | [7:0] | CH4_ATTN_RX        | RX_VGA_CH4 |                 |                     |                     |            |                     |                   |       | 0x00 | R/W |
| 014        | CH1_RX_PHASE_I     | [7:0] | RESERVED           |            | RX_VM_CH1_POL_I | RX_VM_CH1_GAIN_I    |                     |            |                     |                   | 0x00  | R/W  |     |
| 015        | CH1_RX_PHASE_Q     | [7:0] | RESERVED           |            | RX_VM_CH1_POL_Q | RX_VM_CH1_GAIN_Q    |                     |            |                     |                   | 0x00  | R/W  |     |
| 016        | CH2_RX_PHASE_I     | [7:0] | RESERVED           |            | RX_VM_CH2_POL_I | RX_VM_CH2_GAIN_I    |                     |            |                     |                   | 0x00  | R/W  |     |
| 017        | CH2_RX_PHASE_Q     | [7:0] | RESERVED           |            | RX_VM_CH2_POL_Q | RX_VM_CH2_GAIN_Q    |                     |            |                     |                   | 0x00  | R/W  |     |
| 018        | CH3_RX_PHASE_I     | [7:0] | RESERVED           |            | RX_VM_CH3_POL_I | RX_VM_CH3_GAIN_I    |                     |            |                     |                   | 0x00  | R/W  |     |
| 019        | CH3_RX_PHASE_Q     | [7:0] | RESERVED           |            | RX_VM_CH3_POL_Q | RX_VM_CH3_GAIN_Q    |                     |            |                     |                   | 0x00  | R/W  |     |
| 01A        | CH4_RX_PHASE_I     | [7:0] | RESERVED           |            | RX_VM_CH4_POL_I | RX_VM_CH4_GAIN_I    |                     |            |                     |                   | 0x00  | R/W  |     |
| 01B        | CH4_RX_PHASE_Q     | [7:0] | RESERVED           |            | RX_VM_CH4_POL_Q | RX_VM_CH4_GAIN_Q    |                     |            |                     |                   | 0x00  | R/W  |     |
| 01C        | CH1_TX_GAIN        | [7:0] | CH1_ATTN_TX        | TX_VGA_CH1 |                 |                     |                     |            |                     |                   |       | 0x00 | R/W |
| 01D        | CH2_TX_GAIN        | [7:0] | CH2_ATTN_TX        | TX_VGA_CH2 |                 |                     |                     |            |                     |                   |       | 0x00 | R/W |
| 01E        | CH3_TX_GAIN        | [7:0] | CH3_ATTN_TX        | TX_VGA_CH3 |                 |                     |                     |            |                     |                   |       | 0x00 | R/W |
| 01F        | CH4_TX_GAIN        | [7:0] | CH4_ATTN_TX        | TX_VGA_CH4 |                 |                     |                     |            |                     |                   |       | 0x00 | R/W |
| 020        | CH1_TX_PHASE_I     | [7:0] | RESERVED           |            | TX_VM_CH1_POL_I | TX_VM_CH1_GAIN_I    |                     |            |                     |                   | 0x00  | R/W  |     |
| 021        | CH1_TX_PHASE_Q     | [7:0] | RESERVED           |            | TX_VM_CH1_POL_Q | TX_VM_CH1_GAIN_Q    |                     |            |                     |                   | 0x00  | R/W  |     |
| 022        | CH2_TX_PHASE_I     | [7:0] | RESERVED           |            | TX_VM_CH2_POL_I | TX_VM_CH2_GAIN_I    |                     |            |                     |                   | 0x00  | R/W  |     |

| Reg. (Hex) | Name                | Bits  | Bit 7              | Bit 6            | Bit 5           | Bit 4            | Bit 3           | Bit 2           | Bit 1             | Bit 0             | Reset | R/W  |      |     |
|------------|---------------------|-------|--------------------|------------------|-----------------|------------------|-----------------|-----------------|-------------------|-------------------|-------|------|------|-----|
| 023        | CH2_TX_PHASE_Q      | [7:0] | RESERVED           |                  | TX_VM_CH2_POL_Q | TX_VM_CH2_GAIN_Q |                 |                 |                   |                   | 0x00  | R/W  |      |     |
| 024        | CH3_TX_PHASE_I      | [7:0] | RESERVED           |                  | TX_VM_CH3_POL_I | TX_VM_CH3_GAIN_I |                 |                 |                   |                   | 0x00  | R/W  |      |     |
| 025        | CH3_TX_PHASE_Q      | [7:0] | RESERVED           |                  | TX_VM_CH3_POL_Q | TX_VM_CH3_GAIN_Q |                 |                 |                   |                   | 0x00  | R/W  |      |     |
| 026        | CH4_TX_PHASE_I      | [7:0] | RESERVED           |                  | TX_VM_CH4_POL_I | TX_VM_CH4_GAIN_I |                 |                 |                   |                   | 0x00  | R/W  |      |     |
| 027        | CH4_TX_PHASE_Q      | [7:0] | RESERVED           |                  | TX_VM_CH4_POL_Q | TX_VM_CH4_GAIN_Q |                 |                 |                   |                   | 0x00  | R/W  |      |     |
| 028        | LD_WRK_REGS         | [7:0] | RESERVED           |                  |                 |                  |                 |                 | LDTX_OVERRIDE     | LDRX_OVERRIDE     | 0x00  | W    |      |     |
| 029        | CH1_PA_BIAS_ON      | [7:0] | EXT_PA1_BIAS_ON    |                  |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 02A        | CH2_PA_BIAS_ON      | [7:0] | EXT_PA2_BIAS_ON    |                  |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 02B        | CH3_PA_BIAS_ON      | [7:0] | EXT_PA3_BIAS_ON    |                  |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 02C        | CH4_PA_BIAS_ON      | [7:0] | EXT_PA4_BIAS_ON    |                  |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 02D        | LNA_BIAS_ON         | [7:0] | EXT_LNA_BIAS_ON    |                  |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 02E        | RX_ENABLES          | [7:0] | RESERVED           | CH1_RX_EN        | CH2_RX_EN       | CH3_RX_EN        | CH4_RX_EN       | RX_LNA_EN       | RX_VM_EN          | RX_VGA_EN         | 0x00  | R/W  |      |     |
| 02F        | TX_ENABLES          | [7:0] | RESERVED           | CH1_TX_EN        | CH2_TX_EN       | CH3_TX_EN        | CH4_TX_EN       | TX_DRV_EN       | TX_VM_EN          | TX_VGA_EN         | 0x00  | R/W  |      |     |
| 030        | MISC_ENABLES        | [7:0] | SW_DRV_TR_MODE_SEL | BIAS_CTRL        | BIAS_EN         | LNA_BIAS_OUT_EN  | CH1_DET_EN      | CH2_DET_EN      | CH3_DET_EN        | CH4_DET_EN        | 0x00  | R/W  |      |     |
| 031        | SW_CTRL             | [7:0] | SW_DRV_TR_STATE    | TX_EN            | RX_EN           | SW_DRV_EN_TR     | SW_DRV_EN_POL   | TR_SOURCE       | TR_SPI            | POL               | 0x00  | R/W  |      |     |
| 032        | ADC_CTRL            | [7:0] | ADC_CLKFREQ_SEL    | ADC_EN           | CLK_EN          | ST_CONV          | MUX_SEL         |                 |                   | ADC_EOC           | 0x00  | R/W  |      |     |
| 033        | ADC_OUTPUT          | [7:0] | ADC                |                  |                 |                  |                 |                 |                   |                   |       | 0x00 | R    |     |
| 034        | BIAS_CURRENT_RX_LNA | [7:0] | RESERVED           |                  |                 |                  | LNA_BIAS        |                 |                   |                   |       | 0x00 | R/W  |     |
| 035        | BIAS_CURRENT_RX     | [7:0] | RESERVED           | RX_VGA_BIAS      |                 |                  |                 | RX_VM_BIAS      |                   |                   |       | 0x00 | R/W  |     |
| 036        | BIAS_CURRENT_TX     | [7:0] | RESERVED           | TX_VGA_BIAS      |                 |                  |                 | TX_VM_BIAS      |                   |                   |       | 0x00 | R/W  |     |
| 037        | BIAS_CURRENT_TX_DRV | [7:0] | RESERVED           |                  |                 |                  |                 |                 | TX_DRV_BIAS       |                   |       |      | 0x00 | R/W |
| 038        | MEM_CTRL            | [7:0] | SCAN_MODE_EN       | BEAM_RAM_BYPASS  | BIAS_RAM_BYPASS | RESERVED         | TX_BEAM_STEP_EN | RX_BEAM_STEP_EN | TX_CHX_RAM_BYPASS | RX_CHX_RAM_BYPASS | 0x00  | R/W  |      |     |
| 039        | RX_CHX_MEM          | [7:0] | RX_CHX_RAM_FETCH   | RX_CHX_RAM_INDEX |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 03A        | TX_CHX_MEM          | [7:0] | TX_CHX_RAM_FETCH   | TX_CHX_RAM_INDEX |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 03D        | RX_CH1_MEM          | [7:0] | RX_CH1_RAM_FETCH   | RX_CH1_RAM_INDEX |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 03E        | RX_CH2_MEM          | [7:0] | RX_CH2_RAM_FETCH   | RX_CH2_RAM_INDEX |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 03F        | RX_CH3_MEM          | [7:0] | RX_CH3_RAM_FETCH   | RX_CH3_RAM_INDEX |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 040        | RX_CH4_MEM          | [7:0] | RX_CH4_RAM_FETCH   | RX_CH4_RAM_INDEX |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 041        | TX_CH1_MEM          | [7:0] | TX_CH1_RAM_FETCH   | TX_CH1_RAM_INDEX |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |
| 042        | TX_CH2_MEM          | [7:0] | TX_CH2_RAM_FETCH   | TX_CH2_RAM_INDEX |                 |                  |                 |                 |                   |                   |       | 0x00 | R/W  |     |

| Reg. (Hex) | Name                | Bits  | Bit 7              | Bit 6            | Bit 5 | Bit 4             | Bit 3             | Bit 2 | Bit 1        | Bit 0 | Reset | R/W |
|------------|---------------------|-------|--------------------|------------------|-------|-------------------|-------------------|-------|--------------|-------|-------|-----|
| 043        | TX_CH3_MEM          | [7:0] | TX_CH3_RAM_FETCH   | TX_CH3_RAM_INDEX |       |                   |                   |       |              | 0x00  | R/W   |     |
| 044        | TX_CH4_MEM          | [7:0] | TX_CH4_RAM_FETCH   | TX_CH4_RAM_INDEX |       |                   |                   |       |              | 0x00  | R/W   |     |
| 045        | REV_ID              | [7:0] | REV_ID             |                  |       |                   |                   |       | 0x00         | R     |       |     |
| 046        | CH1_PA_BIAS_OFF     | [7:0] | EXT_PA1_BIAS_OFF   |                  |       |                   |                   |       | 0x00         | R/W   |       |     |
| 047        | CH2_PA_BIAS_OFF     | [7:0] | EXT_PA2_BIAS_OFF   |                  |       |                   |                   |       | 0x00         | R/W   |       |     |
| 048        | CH3_PA_BIAS_OFF     | [7:0] | EXT_PA3_BIAS_OFF   |                  |       |                   |                   |       | 0x00         | R/W   |       |     |
| 049        | CH4_PA_BIAS_OFF     | [7:0] | EXT_PA4_BIAS_OFF   |                  |       |                   |                   |       | 0x00         | R/W   |       |     |
| 04A        | LNA_BIAS_OFF        | [7:0] | EXT_LNA_BIAS_OFF   |                  |       |                   |                   |       | 0x00         | R/W   |       |     |
| 04B        | TX_TO_RX_DELAY_CTRL | [7:0] | TX_TO_RX_DELAY_1   |                  |       | TX_TO_RX_DELAY_2  |                   |       | 0x00         | R/W   |       |     |
| 04C        | RX_TO_TX_DELAY_CTRL | [7:0] | RX_TO_TX_DELAY_1   |                  |       | RX_TO_TX_DELAY_2  |                   |       | 0x00         | R/W   |       |     |
| 04D        | TX_BEAM_STEP_START  | [7:0] | TX_BEAM_STEP_START |                  |       |                   |                   |       | 0x00         | R/W   |       |     |
| 04E        | TX_BEAM_STEP_STOP   | [7:0] | TX_BEAM_STEP_STOP  |                  |       |                   |                   |       | 0x00         | R/W   |       |     |
| 04F        | RX_BEAM_STEP_START  | [7:0] | RX_BEAM_STEP_START |                  |       |                   |                   |       | 0x00         | R/W   |       |     |
| 050        | RX_BEAM_STEP_STOP   | [7:0] | RX_BEAM_STEP_STOP  |                  |       |                   |                   |       | 0x00         | R/W   |       |     |
| 051        | RX_BIAS_RAM_CTL     | [7:0] | RESERVED           |                  |       | RX_BIAS_RAM_FETCH | RX_BIAS_RAM_INDEX |       |              | 0x00  | R/W   |     |
| 052        | TX_BIAS_RAM_CTL     | [7:0] | RESERVED           |                  |       | TX_BIAS_RAM_FETCH | TX_BIAS_RAM_INDEX |       |              | 0x00  | R/W   |     |
| 400        | LDO_TRIM_CTL_0      | [7:0] | LDO_TRIM_REG       |                  |       |                   |                   |       | 0x00         | R/W   |       |     |
| 401        | LDO_TRIM_CTL_1      | [7:0] | RESERVED           |                  |       |                   |                   |       | LDO_TRIM_SEL | 0x00  | R/W   |     |

## レジスタの説明

アドレス：0x000、リセット：0x00、レジスタ名：INTERFACE\_CONFIG\_A

このレジスタでは、最後の4ビットの機能は、最初の4ビットから意図的に逆の方法で複製されます。したがって、LSBファーストとMSBファーストのどちらで送信された場合でも、ビット・パターンは同一になります。

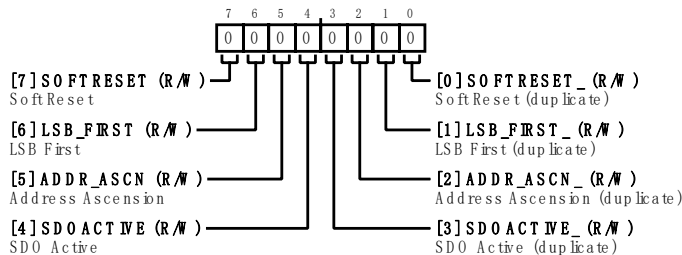


表 14. INTERFACE\_CONFIG\_A ビットの説明

| Bit | Bit Name   | Settings | Description                   | Reset | Access |
|-----|------------|----------|-------------------------------|-------|--------|
| 7   | SOFTRESET  |          | Soft Reset                    | 0x0   | R/W    |
| 6   | LSB_FIRST  |          | LSB First                     | 0x0   | R/W    |
| 5   | ADDR_ASCN  |          | Address Ascension             | 0x0   | R/W    |
| 4   | SDOACTIVE  |          | SDO Active                    | 0x0   | R/W    |
| 3   | SDOACTIVE_ |          | SDO Active (duplicate)        | 0x0   | R/W    |
| 2   | ADDR_ASCN_ |          | Address Ascension (duplicate) | 0x0   | R/W    |
| 1   | LSB_FIRST_ |          | LSB First (duplicate)         | 0x0   | R/W    |
| 0   | SOFTRESET_ |          | Soft Reset (duplicate)        | 0x0   | R/W    |

アドレス : 0x001、リセット : 0x00、レジスタ名 : INTERFACE\_CONFIG\_B

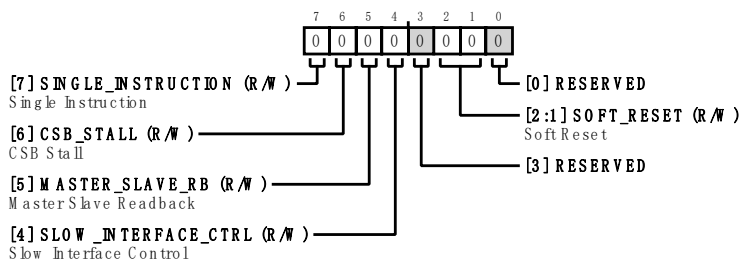


表 15. INTERFACE\_CONFIG\_B ビットの説明

| Bit(s) | Bit Name            | Settings | Description            | Reset | Access |
|--------|---------------------|----------|------------------------|-------|--------|
| 7      | SINGLE_INSTRUCTION  |          | Single Instruction     | 0x0   | R/W    |
| 6      | CSB_STALL           |          | CSB Stall              | 0x0   | R/W    |
| 5      | MASTER_SLAVE_RB     |          | Master Slave Readback  | 0x0   | R/W    |
| 4      | SLOW_INTERFACE_CTRL |          | Slow Interface Control | 0x0   | R/W    |
| 3      | RESERVED            |          | Reserved               | 0x0   | R      |
| [2:1]  | SOFT_RESET          |          | Soft Reset             | 0x0   | R/W    |
| 0      | RESERVED            |          | Reserved               | 0x0   | R      |

アドレス : 0x002、リセット : 0x10、レジスタ名 : DEV\_CONFIG

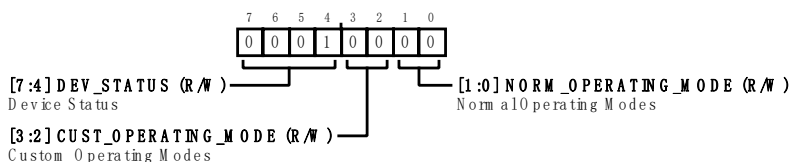


表 16. DEV\_CONFIG ビットの説明

| Bit(s) | Bit Name            | Settings | Description            | Reset | Access |
|--------|---------------------|----------|------------------------|-------|--------|
| [7:4]  | DEV_STATUS          |          | Device Status          | 0x1   | R/W    |
| [3:2]  | CUST_OPERATING_MODE |          | Custom Operating Modes | 0x0   | R/W    |
| [1:0]  | NORM_OPERATING_MODE |          | Normal Operating Modes | 0x0   | R/W    |

アドレス : 0x003、リセット : 0x00、レジスタ名 : CHIP\_TYPE

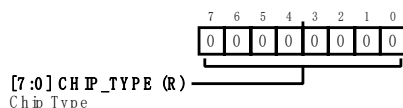


表 17. CHIP\_TYPE ビットの説明

| Bit(s) | Bit Name  | Settings | Description | Reset | Access |
|--------|-----------|----------|-------------|-------|--------|
| [7:0]  | CHIP_TYPE |          | Chip Type   | 0x0   | R      |

アドレス : 0x004、リセット : 0x00、レジスタ名 : PRODUCT\_ID\_H

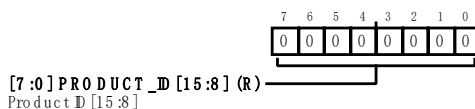


表 18. PRODUCT\_ID\_H ビットの説明

| Bit(s) | Bit Name         | Settings | Description      | Reset | Access |
|--------|------------------|----------|------------------|-------|--------|
| [7:0]  | PRODUCT_ID[15:8] |          | Product ID[15:8] | 0x0   | R      |

アドレス : 0x005、リセット : 0x00、レジスタ名 : PRODUCT\_ID\_L

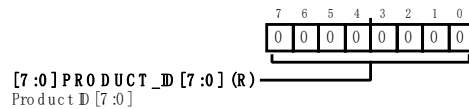


表 19. PRODUCT\_ID\_L ビットの説明

| Bit(s) | Bit Name        | Settings | Description     | Reset | Access |
|--------|-----------------|----------|-----------------|-------|--------|
| [7:0]  | PRODUCT_ID[7:0] |          | Product ID[7:0] | 0x0   | R      |

アドレス : 0x00A、リセット : 0x00、レジスタ名 : SCRATCH\_PAD

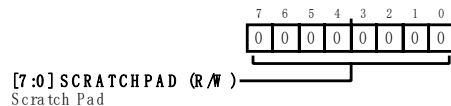


表 20. SCRATCH\_PAD ビットの説明

| Bit(s) | Bit Name   | Settings | Description | Reset | Access |
|--------|------------|----------|-------------|-------|--------|
| [7:0]  | SCRATCHPAD |          | Scratch Pad | 0x0   | R/W    |

アドレス : 0x00B、リセット : 0x00、レジスタ名 : SPI\_REV

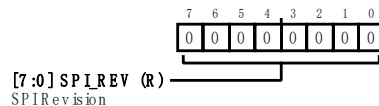


表 21. SPI\_REV ビットの説明

| Bit(s) | Bit Name | Settings | Description  | Reset | Access |
|--------|----------|----------|--------------|-------|--------|
| [7:0]  | SPI_REV  |          | SPI Revision | 0x0   | R      |

アドレス : 0x00C、リセット : 0x00、レジスタ名 : VENDOR\_ID\_H

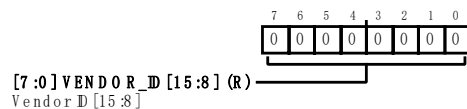


表 22. VENDOR\_ID\_H ビットの説明

| Bit(s) | Bit Name        | Settings | Description     | Reset | Access |
|--------|-----------------|----------|-----------------|-------|--------|
| [7:0]  | VENDOR_ID[15:8] |          | Vendor ID[15:8] | 0x0   | R      |

アドレス : 0x00D、リセット : 0x00、レジスタ名 : VENDOR\_ID\_L

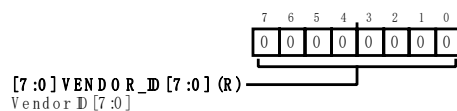


表 23. VENDOR\_ID\_L ビットの説明

| Bit(s) | Bit Name       | Settings | Description    | Reset | Access |
|--------|----------------|----------|----------------|-------|--------|
| [7:0]  | VENDOR_ID[7:0] |          | Vendor ID[7:0] | 0x0   | R      |

アドレス : 0x00F、リセット : 0x00、レジスタ名 : TRANSFER\_REG

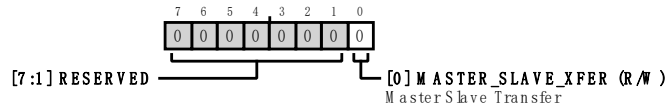


表 24. TRANSFER\_REG ビットの説明

| Bit(s) | Bit Name          | Settings | Description           | Reset | Access |
|--------|-------------------|----------|-----------------------|-------|--------|
| [7:1]  | RESERVED          |          | Reserved              | 0x0   | R      |
| 0      | MASTER_SLAVE_XFER |          | Master Slave Transfer | 0x0   | R/W    |

アドレス : 0x010、リセット : 0x00、レジスタ名 : CH1\_RX\_GAIN

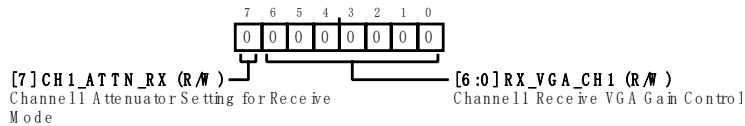


表 25. CH1\_RX\_GAIN ビットの説明

| Bit(s) | Bit Name     | Settings | Description                                   | Reset | Access |
|--------|--------------|----------|---|-------|--------|
| 7      | CH1_ATT_N_RX |          | Channel 1 Attenuator Setting for Receive Mode | 0x0   | R/W    |
| [6:0]  | RX_VGA_CH1   |          | Channel 1 Receive VGA Gain Control            | 0x0   | R/W    |

アドレス : 0x011、リセット : 0x00、レジスタ名 : CH2\_RX\_GAIN

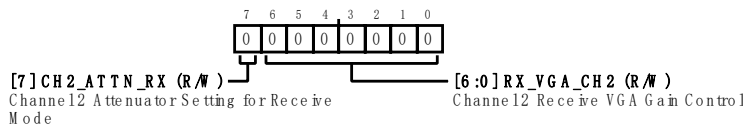


表 26. CH2\_RX\_GAIN ビットの説明

| Bit(s) | Bit Name     | Settings | Description                                   | Reset | Access |
|--------|--------------|----------|---|-------|--------|
| 7      | CH2_ATT_N_RX |          | Channel 2 Attenuator Setting for Receive Mode | 0x0   | R/W    |
| [6:0]  | RX_VGA_CH2   |          | Channel 2 Receive VGA Gain Control            | 0x0   | R/W    |

アドレス : 0x012、リセット : 0x00、レジスタ名 : CH3\_RX\_GAIN

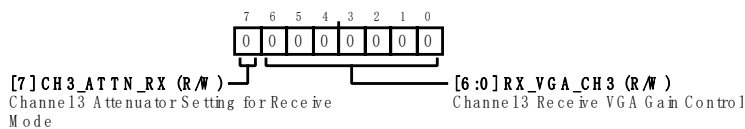


表 27. CH3\_RX\_GAIN ビットの説明

| Bit(s) | Bit Name     | Settings | Description                                   | Reset | Access |
|--------|--------------|----------|---|-------|--------|
| 7      | CH3_ATT_N_RX |          | Channel 3 Attenuator Setting for Receive Mode | 0x0   | R/W    |
| [6:0]  | RX_VGA_CH3   |          | Channel 3 Receive VGA Gain Control            | 0x0   | R/W    |



アドレス : 0x013、リセット : 0x00、レジスタ名 : CH4\_RX\_GAIN

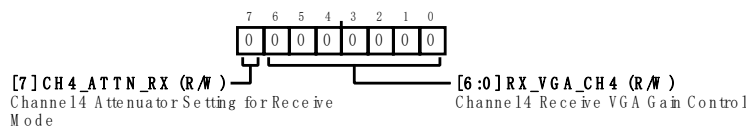


表 28. CH4\_RX\_GAIN ビットの説明

| Bit(s) | Bit Name     | Settings | Description                                   | Reset | Access |
|--------|--------------|----------|---|-------|--------|
| 7      | CH4_ATT_N_RX |          | Channel 4 Attenuator Setting for Receive Mode | 0x0   | R/W    |
| [6:0]  | RX_VGA_CH4   |          | Channel 4 Receive VGA Gain Control            | 0x0   | R/W    |

アドレス : 0x014、リセット : 0x00、レジスタ名 : CH1\_RX\_PHASE\_I

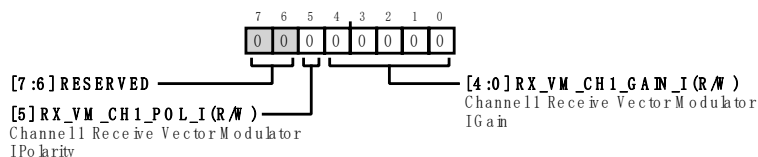


表 29. CH1\_RX\_PHASE\_I ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                      | 0x0   | R      |
| 5      | RX_VM_CH1_POL_I  |          | Channel 1 Receive Vector Modulator I Polarity | 0x0   | R/W    |
| [4:0]  | RX_VM_CH1_GAIN_I |          | Channel 1 Receive Vector Modulator I Gain     | 0x0   | R/W    |

アドレス : 0x015、リセット : 0x00、レジスタ名 : CH1\_RX\_PHASE\_Q

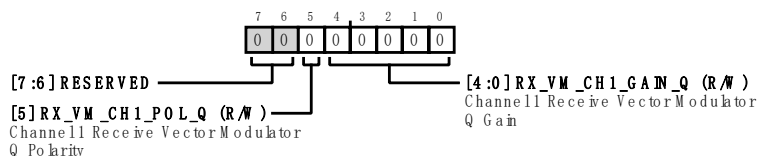


表 30. CH1\_RX\_PHASE\_Q ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                      | 0x0   | R      |
| 5      | RX_VM_CH1_POL_Q  |          | Channel 1 Receive Vector Modulator Q Polarity | 0x0   | R/W    |
| [4:0]  | RX_VM_CH1_GAIN_Q |          | Channel 1 Receive Vector Modulator Q Gain     | 0x0   | R/W    |

アドレス : 0x016、リセット : 0x00、レジスタ名 : CH2\_RX\_PHASE\_I

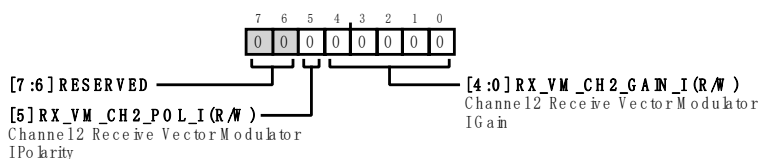


表 31. CH2\_RX\_PHASE\_I ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                      | 0x0   | R      |
| 5      | RX_VM_CH2_POL_I  |          | Channel 2 Receive Vector Modulator I Polarity | 0x0   | R/W    |
| [4:0]  | RX_VM_CH2_GAIN_I |          | Channel 2 Receive Vector Modulator I Gain     | 0x0   | R/W    |

アドレス : 0x017、リセット : 0x00、レジスタ名 : CH2\_RX\_PHASE\_Q

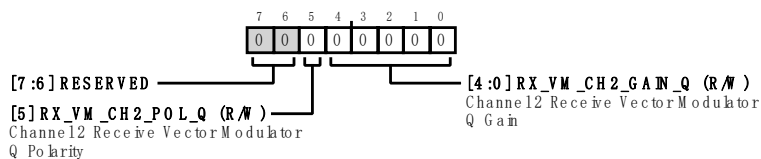


表 32. CH2\_RX\_PHASE\_Q ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                      | 0x0   | R      |
| 5      | RX_VM_CH2_POL_Q  |          | Channel 2 Receive Vector Modulator Q Polarity | 0x0   | R/W    |
| [4:0]  | RX_VM_CH2_GAIN_Q |          | Channel 2 Receive Vector Modulator Q Gain     | 0x0   | R/W    |

アドレス : 0x018、リセット : 0x00、レジスタ名 : CH3\_RX\_PHASE\_I

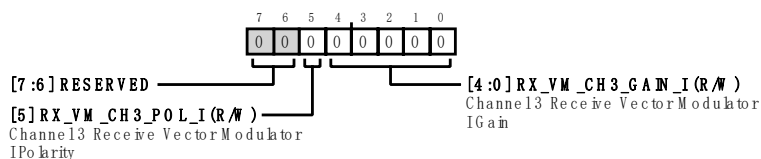


表 33. CH3\_RX\_PHASE\_I ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| [7:6]  | RESERVED         |          | Reserved.                                     | 0x0   | R      |
| 5      | RX_VM_CH3_POL_I  |          | Channel 3 Receive Vector Modulator I Polarity | 0x0   | R/W    |
| [4:0]  | RX_VM_CH3_GAIN_I |          | Channel 3 Receive Vector Modulator I Gain     | 0x0   | R/W    |

アドレス : 0x019、リセット : 0x00、レジスタ名 : CH3\_RX\_PHASE\_Q

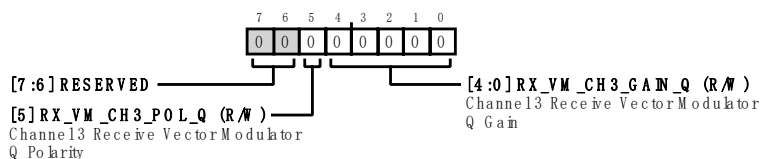


表 34. CH3\_RX\_PHASE\_Q ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                      | 0x0   | R      |
| 5      | RX_VM_CH3_POL_Q  |          | Channel 3 Receive Vector Modulator Q Polarity | 0x0   | R/W    |
| [4:0]  | RX_VM_CH3_GAIN_Q |          | Channel 3 Receive Vector Modulator Q Gain     | 0x0   | R/W    |

アドレス : 0x01A、リセット : 0x00、レジスタ名 : CH4\_RX\_PHASE\_I

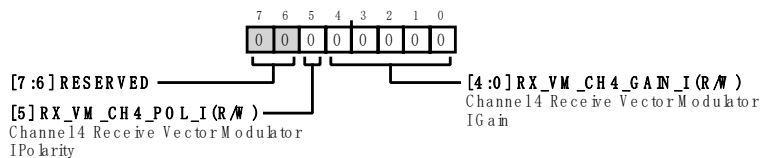


表 35. CH4\_RX\_PHASE\_I ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                      | 0x0   | R      |
| 5      | RX_VM_CH4_POL_I  |          | Channel 4 Receive Vector Modulator I Polarity | 0x0   | R/W    |
| [4:0]  | RX_VM_CH4_GAIN_I |          | Channel 4 Receive Vector Modulator I Gain     | 0x0   | R/W    |

アドレス : 0x01B、リセット : 0x00、レジスタ名 : CH4\_RX\_PHASE\_Q

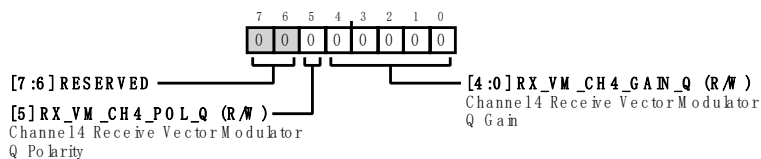


表 36. CH4\_RX\_PHASE\_Q ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                      | 0x0   | R      |
| 5      | RX_VM_CH4_POL_Q  |          | Channel 4 Receive Vector Modulator Q Polarity | 0x0   | R/W    |
| [4:0]  | RX_VM_CH4_GAIN_Q |          | Channel 4 Receive Vector Modulator Q Gain     | 0x0   | R/W    |

アドレス : 0x01C、リセット : 0x00、レジスタ名 : CH1\_TX\_GAIN

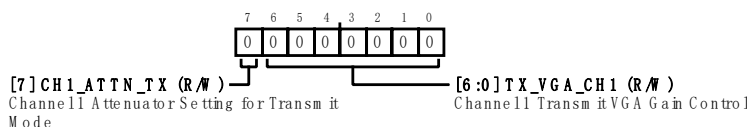


表 37. CH1\_TX\_GAIN ビットの説明

| Bit(s) | Bit Name     | Settings | Description                                    | Reset | Access |
|--------|--------------|----------|--|-------|--------|
| 7      | CH1_ATT_N_TX |          | Channel 1 Attenuator Setting for Transmit Mode | 0x0   | R/W    |
| [6:0]  | TX_VGA_CH1   |          | Channel 1 Transmit VGA Gain Control            | 0x0   | R/W    |

アドレス : 0x01D、リセット : 0x00、レジスタ名 : CH2\_TX\_GAIN

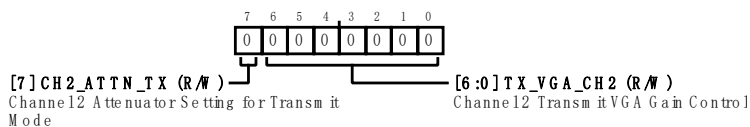


表 38. CH2\_TX\_GAIN ビットの説明

| Bit(s) | Bit Name     | Settings | Description                                    | Reset | Access |
|--------|--------------|----------|--|-------|--------|
| 7      | CH2_ATT_N_TX |          | Channel 2 Attenuator Setting for Transmit Mode | 0x0   | R/W    |
| [6:0]  | TX_VGA_CH2   |          | Channel 2 Transmit VGA Gain Control            | 0x0   | R/W    |

アドレス : 0x01E、リセット : 0x00、レジスタ名 : CH3\_TX\_GAIN

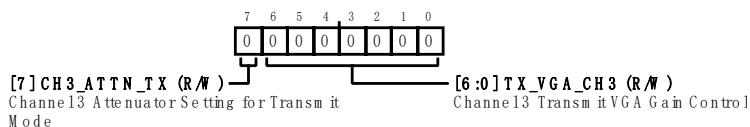


表 39. CH3\_TX\_GAIN ビットの説明

| Bit(s) | Bit Name     | Settings | Description                                    | Reset | Access |
|--------|--------------|----------|--|-------|--------|
| 7      | CH3_ATT_N_TX |          | Channel 3 Attenuator Setting for Transmit Mode | 0x0   | R/W    |
| [6:0]  | TX_VGA_CH3   |          | Channel 3 Transmit VGA Gain Control            | 0x0   | R/W    |

アドレス : 0x01F、リセット : 0x00、レジスタ名 : CH4\_TX\_GAIN

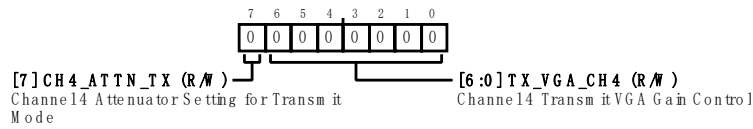


表 40. CH4\_TX\_GAIN ビットの説明

| Bit(s) | Bit Name     | Settings | Description                                    | Reset | Access |
|--------|--------------|----------|--|-------|--------|
| 7      | CH4_ATT_N_TX |          | Channel 4 Attenuator Setting for Transmit Mode | 0x0   | R/W    |
| [6:0]  | TX_VGA_CH4   |          | Channel 4 Transmit VGA Gain Control            | 0x0   | R/W    |

アドレス : 0x020、リセット : 0x00、レジスタ名 : CH1\_TX\_PHASE\_I

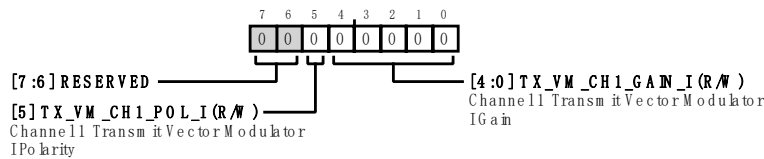


表 41. CH1\_TX\_PHASE\_I ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                    | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                       | 0x0   | R      |
| 5      | TX_VM_CH1_POL_I  |          | Channel 1 Transmit Vector Modulator I Polarity | 0x0   | R/W    |
| [4:0]  | TX_VM_CH1_GAIN_I |          | Channel 1 Transmit Vector Modulator I Gain     | 0x0   | R/W    |

アドレス : 0x021、リセット : 0x00、レジスタ名 : CH1\_TX\_PHASE\_Q

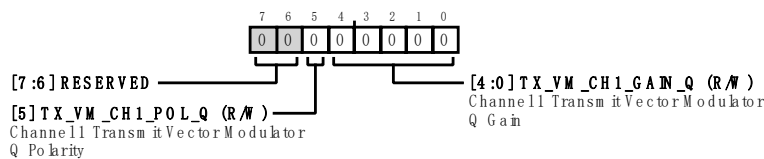


表 42. CH1\_TX\_PHASE\_Q ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                    | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                       | 0x0   | R      |
| 5      | TX_VM_CH1_POL_Q  |          | Channel 1 Transmit Vector Modulator Q Polarity | 0x0   | R/W    |
| [4:0]  | TX_VM_CH1_GAIN_Q |          | Channel 1 Transmit Vector Modulator Q Gain     | 0x0   | R/W    |

アドレス : 0x022、リセット : 0x00、レジスタ名 : CH2\_TX\_PHASE\_I

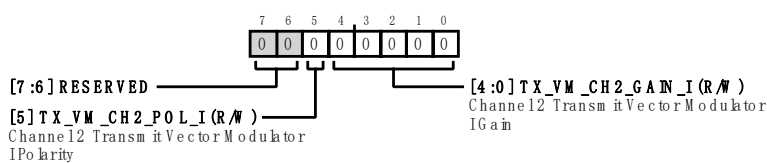


表 43. CH2\_TX\_PHASE\_I ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                    | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                       | 0x0   | R      |
| 5      | TX_VM_CH2_POL_I  |          | Channel 2 Transmit Vector Modulator I Polarity | 0x0   | R/W    |
| [4:0]  | TX_VM_CH2_GAIN_I |          | Channel 2 Transmit Vector Modulator I Gain     | 0x0   | R/W    |

アドレス : 0x023、リセット : 0x00、レジスタ名 : CH2\_TX\_PHASE\_Q

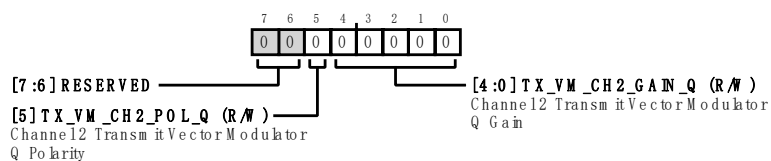


表 44. CH2\_TX\_PHASE\_Q ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                    | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                       | 0x0   | R      |
| 5      | TX_VM_CH2_POL_Q  |          | Channel 2 Transmit Vector Modulator Q Polarity | 0x0   | R/W    |
| [4:0]  | TX_VM_CH2_GAIN_Q |          | Channel 2 Transmit Vector Modulator Q Gain     | 0x0   | R/W    |

アドレス : 0x024、リセット : 0x00、レジスタ名 : CH3\_TX\_PHASE\_I

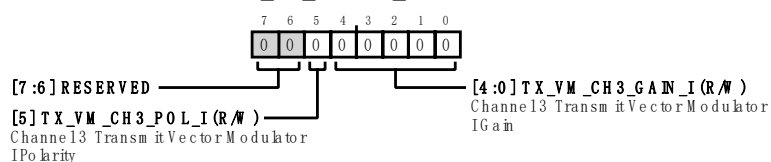


表 45. CH3\_TX\_PHASE\_I ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                    | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                       | 0x0   | R      |
| 5      | TX_VM_CH3_POL_I  |          | Channel 3 Transmit Vector Modulator I Polarity | 0x0   | R/W    |
| [4:0]  | TX_VM_CH3_GAIN_I |          | Channel 3 Transmit Vector Modulator I Gain     | 0x0   | R/W    |

アドレス : 0x025、リセット : 0x00、レジスタ名 : CH3\_TX\_PHASE\_Q

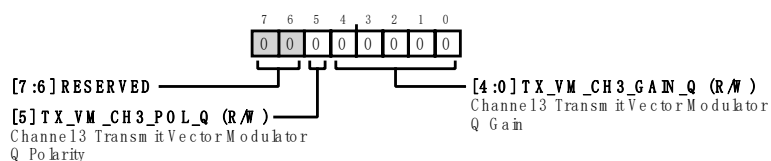


表 46. CH3\_TX\_PHASE\_Q ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                    | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                       | 0x0   | R      |
| 5      | TX_VM_CH3_POL_Q  |          | Channel 3 Transmit Vector Modulator Q Polarity | 0x0   | R/W    |
| [4:0]  | TX_VM_CH3_GAIN_Q |          | Channel 3 Transmit Vector Modulator Q Gain     | 0x0   | R/W    |

アドレス : 0x026、リセット : 0x00、レジスタ名 : CH4\_TX\_PHASE\_I

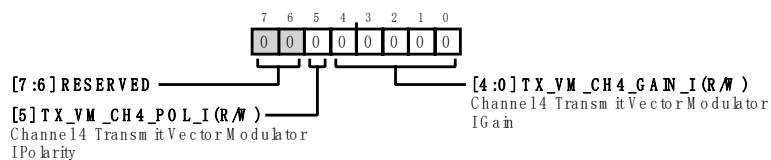


表 47. CH4\_TX\_PHASE\_I ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                    | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                       | 0x0   | R      |
| 5      | TX_VM_CH4_POL_I  |          | Channel 4 Transmit Vector Modulator I Polarity | 0x0   | R/W    |
| [4:0]  | TX_VM_CH4_GAIN_I |          | Channel 4 Transmit Vector Modulator I Gain     | 0x0   | R/W    |

アドレス : 0x027、リセット : 0x00、レジスタ名 : CH4\_TX\_PHASE\_Q

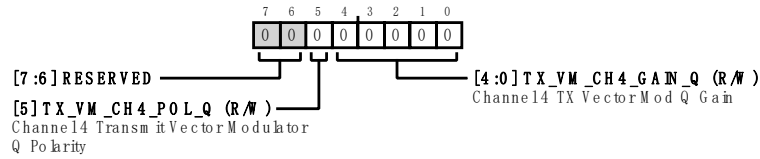


表 48. CH4\_TX\_PHASE\_Q ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                    | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| [7:6]  | RESERVED         |          | Reserved                                       | 0x0   | R      |
| 5      | TX_VM_CH4_POL_Q  |          | Channel 4 Transmit Vector Modulator Q Polarity | 0x0   | R/W    |
| [4:0]  | TX_VM_CH4_GAIN_Q |          | Channel 4 Transmit Vector Modulator Q Gain     | 0x0   | R/W    |

アドレス : 0x028、リセット : 0x00、レジスタ名 : LD\_WRK\_REGS

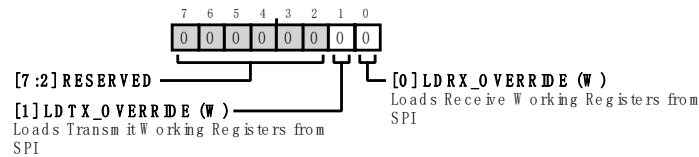


表 49. LD\_WRK\_REGS ビットの説明

| Bit(s) | Bit Name      | Settings | Description                               | Reset | Access |
|--------|---------------|----------|---|-------|--------|
| [7:2]  | RESERVED      |          | Reserved                                  | 0x0   | R      |
| 1      | LDTX_OVERRIDE |          | Loads Transmit Working Registers from SPI | 0x0   | W      |
| 0      | LDRX_OVERRIDE |          | Loads Receive Working Registers from SPI  | 0x0   | W      |

アドレス : 0x029、リセット : 0x00、レジスタ名 : CH1\_PA\_BIAS\_ON

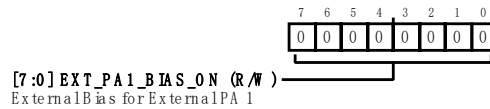


表 50. CH1\_PA\_BIAS\_ON ビットの説明

| Bit(s) | Bit Name        | Settings | Description                     | Reset | Access |
|--------|-----------------|----------|---------------------------------|-------|--------|
| [7:0]  | EXT_PA1_BIAS_ON |          | External Bias for External PA 1 | 0x0   | R/W    |

アドレス : 0x02A、リセット : 0x00、レジスタ名 : CH2\_PA\_BIAS\_ON

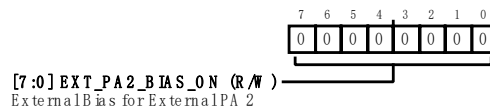


表 51. CH2\_PA\_BIAS\_ON ビットの説明

| Bit(s) | Bit Name        | Settings | Description                     | Reset | Access |
|--------|-----------------|----------|---------------------------------|-------|--------|
| [7:0]  | EXT_PA2_BIAS_ON |          | External Bias for External PA 2 | 0x0   | R/W    |

アドレス : 0x02B、リセット : 0x00、レジスタ名 : CH3\_PA\_BIAS\_ON

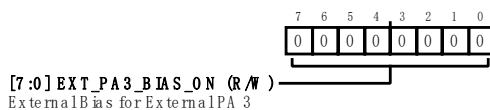


表 52. CH3\_PA\_BIAS\_ON ビットの説明

| Bit(s) | Bit Name        | Settings | Description                     | Reset | Access |
|--------|-----------------|----------|---------------------------------|-------|--------|
| [7:0]  | EXT_PA3_BIAS_ON |          | External Bias for External PA 3 | 0x0   | R/W    |

アドレス : 0x02C、リセット : 0x00、レジスタ名 : CH4\_PA\_BIAS\_ON



表 53. CH4\_PA\_BIAS\_ON ビットの説明

| Bit(s) | Bit Name        | Settings | Description                     | Reset | Access |
|--------|-----------------|----------|---------------------------------|-------|--------|
| [7:0]  | EXT_PA4_BIAS_ON |          | External Bias for External PA 4 | 0x0   | R/W    |

アドレス : 0x02D、リセット : 0x00、レジスタ名 : LNA\_BIAS\_ON

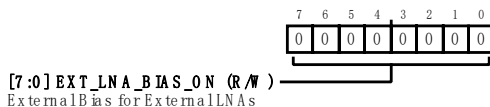


表 54. LNA\_BIAS\_ON ビットの説明

| Bit(s) | Bit Name        | Settings | Description                     | Reset | Access |
|--------|-----------------|----------|---------------------------------|-------|--------|
| [7:0]  | EXT_LNA_BIAS_ON |          | External Bias for External LNAs | 0x0   | R/W    |

アドレス : 0x02E、リセット : 0x00、レジスタ名 : RX\_ENABLES

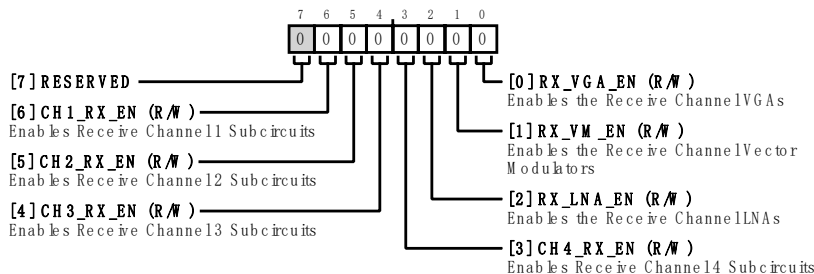


表 55. RX\_ENABLES ビットの説明

| Bit | Bit Name  | Settings | Description                                   | Reset | Access |
|-----|-----------|----------|---|-------|--------|
| 7   | RESERVED  |          | Reserved                                      | 0x0   | R      |
| 6   | CH1_RX_EN |          | Enables Receive Channel 1 Subcircuits         | 0x0   | R/W    |
| 5   | CH2_RX_EN |          | Enables Receive Channel 2 Subcircuits         | 0x0   | R/W    |
| 4   | CH3_RX_EN |          | Enables Receive Channel 3 Subcircuits         | 0x0   | R/W    |
| 3   | CH4_RX_EN |          | Enables Receive Channel 4 Subcircuits         | 0x0   | R/W    |
| 2   | RX_LNA_EN |          | Enables the Receive Channel LNAs              | 0x0   | R/W    |
| 1   | RX_VM_EN  |          | Enables the Receive Channel Vector Modulators | 0x0   | R/W    |
| 0   | RX_VGA_EN |          | Enables the Receive Channel VGAs              | 0x0   | R/W    |

アドレス : 0x02F、リセット : 0x00、レジスタ名 : TX\_ENABLES

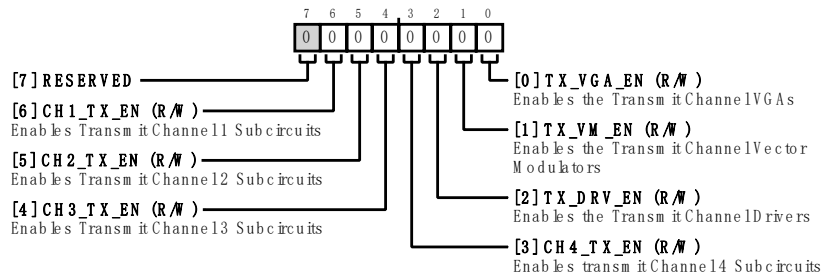


表 56. TX\_ENABLES ビットの説明

| Bit | Bit Name  | Settings | Description                                    | Reset | Access |
|-----|-----------|----------|--|-------|--------|
| 7   | RESERVED  |          | Reserved                                       | 0x0   | R      |
| 6   | CH1_TX_EN |          | Enables Transmit Channel 1 Subcircuits         | 0x0   | R/W    |
| 5   | CH2_TX_EN |          | Enables Transmit Channel 2 Subcircuits         | 0x0   | R/W    |
| 4   | CH3_TX_EN |          | Enables Transmit Channel 3 Subcircuits         | 0x0   | R/W    |
| 3   | CH4_TX_EN |          | Enables Transmit Channel 4 Subcircuits         | 0x0   | R/W    |
| 2   | TX_DRV_EN |          | Enables the Transmit Channel Drivers           | 0x0   | R/W    |
| 1   | TX_VM_EN  |          | Enables the Transmit Channel Vector Modulators | 0x0   | R/W    |
| 0   | TX_VGA_EN |          | Enables the Transmit Channel VGAs              | 0x0   | R/W    |

アドレス : 0x030、リセット : 0x00、レジスタ名 : MISC\_ENABLES

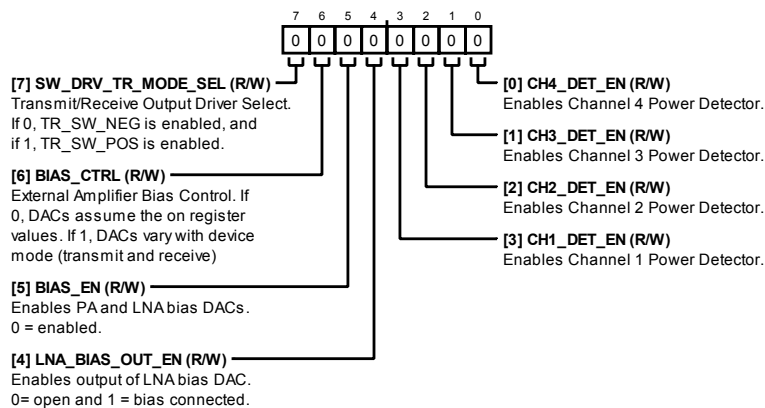


表 57. MISC\_ENABLES ビットの説明

| Bit | Bit Name           | Settings | Description   | Reset | Access |
|-----|--------------------|----------|---|-------|--------|
| 7   | SW_DRV_TR_MODE_SEL |          | Transmit/Receive Output Driver Select. If 0, TR_SW_NEG is enabled, and if 1, TR_SW_POS is enabled.                                  | 0x0   | R/W    |
| 6   | BIAS_CTRL          |          | External Amplifier Bias Control. If 0, DACs assume the on register values. If 1, DACs vary with device mode (transmit and receive). | 0x0   | R/W    |
| 5   | BIAS_EN            |          | Enables PA and LNA Bias DACs. 0 = enabled.  | 0x0   | R/W    |
| 4   | LNA_BIAS_OUT_EN    |          | Enables Output of LNA Bias DAC. 0 = open and 1 = bias connected.  | 0x0   | R/W    |
| 3   | CH1_DET_EN         |          | Enables Channel 1 Power Detector.   | 0x0   | R/W    |
| 2   | CH2_DET_EN         |          | Enables Channel 2 Power Detector.   | 0x0   | R/W    |
| 1   | CH3_DET_EN         |          | Enables Channel 3 Power Detector.   | 0x0   | R/W    |
| 0   | CH4_DET_EN         |          | Enables Channel 4 Power Detector.   | 0x0   | R/W    |



アドレス : 0x031、リセット : 0x00、レジスタ名 : SW\_CTRL

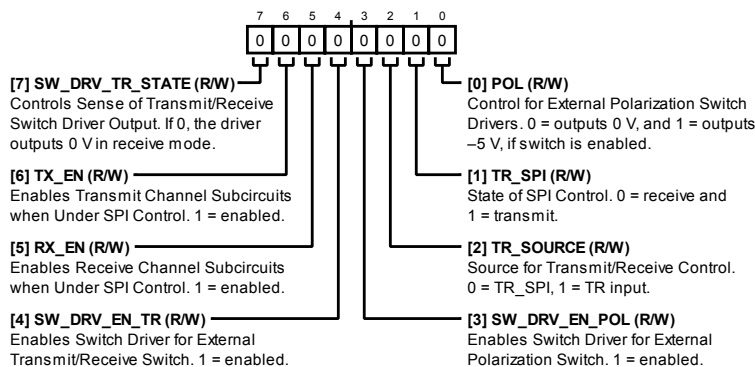


表 58. SW\_CTRL ビットの説明

| Bit | Bit Name        | Settings | Description  | Reset | Access |
|-----|-----------------|----------|--|-------|--------|
| 7   | SW_DRV_TR_STATE |          | Controls Sense of Transmit/Receive Switch Driver Output. If 0, the driver outputs 0 V in receive mode.     | 0x0   | R/W    |
| 6   | TX_EN           |          | Enables Transmit Channel Subcircuits when Under SPI Control. 1 = enabled.                                  | 0x0   | R/W    |
| 5   | RX_EN           |          | Enables Receive Channel Subcircuits when Under SPI Control. 1 = enabled.                                   | 0x0   | R/W    |
| 4   | SW_DRV_EN_TR    |          | Enables Switch Driver for External Transmit/Receive Switch. 1 = enabled.                                   | 0x0   | R/W    |
| 3   | SW_DRV_EN_POL   |          | Enables Switch Driver for External Polarization Switch. 1 = enabled.                                       | 0x0   | R/W    |
| 2   | TR_SOURCE       |          | Source for Transmit/Receive Control. 0 = TR_SPI, 1 = TR input.   | 0x0   | R/W    |
| 1   | TR_SPI          |          | State of SPI Control. 0 = receive and 1 = transmit.  | 0x0   | R/W    |
| 0   | POL             |          | Control for External Polarity Switch Drivers. 0 = outputs 0 V, and 1 = outputs -5 V, if switch is enabled. | 0x0   | R/W    |

アドレス : 0x032、リセット : 0x00、レジスタ名 : ADC\_CTRL

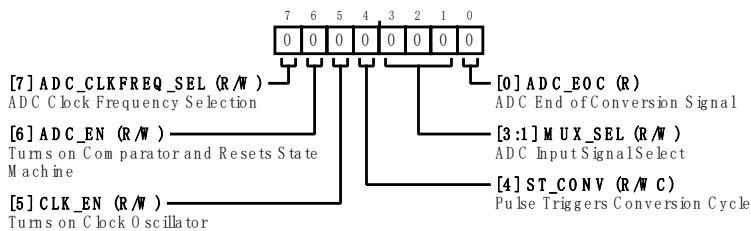


表 59. ADC\_CTRL ビットの説明

| Bit(s) | Bit Name        | Settings | Description                                  | Reset | Access |
|--------|-----------------|----------|--|-------|--------|
| 7      | ADC_CLKFREQ_SEL |          | ADC Clock Frequency Selection                | 0x0   | R/W    |
| 6      | ADC_EN          |          | Turns on Comparator and Resets State Machine | 0x0   | R/W    |
| 5      | CLK_EN          |          | Turns on Clock Oscillator                    | 0x0   | R/W    |
| 4      | ST_CONV         |          | Pulse Triggers Conversion Cycle              | 0x0   | R/WC   |
| [3:1]  | MUX_SEL         |          | ADC Input Signal Select                      | 0x0   | R/W    |
| 0      | ADC_EOC         |          | ADC End of Conversion Signal                 | 0x0   | R      |

アドレス : 0x033、リセット : 0x00、レジスタ名 : ADC\_OUTPUT

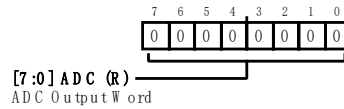


表 60. ADC\_OUTPUT ビットの説明

| Bit(s) | Bit Name | Settings | Description     | Reset | Access |
|--------|----------|----------|-----------------|-------|--------|
| [7:0]  | ADC      |          | ADC Output Word | 0x0   | R      |

アドレス : 0x034、リセット : 0x00、レジスタ名 : BIAS\_CURRENT\_RX\_LNA

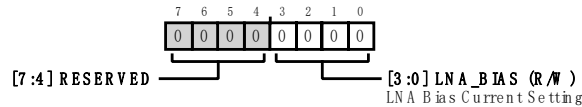


表 61. BIAS\_CURRENT\_RX\_LNA ビットの説明

| Bit(s) | Bit Name | Settings | Description              | Reset | Access |
|--------|----------|----------|--------------------------|-------|--------|
| [7:4]  | RESERVED |          | Reserved                 | 0x0   | R      |
| [3:0]  | LNA_BIAS |          | LNA Bias Current Setting | 0x0   | R/W    |

アドレス : 0x035、リセット : 0x00、レジスタ名 : BIAS\_CURRENT\_RX

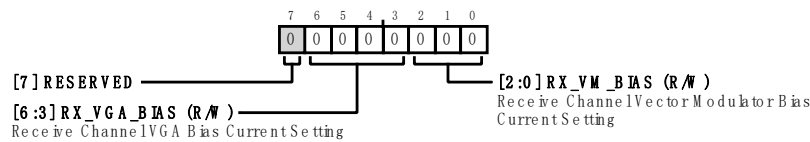


表 62. BIAS\_CURRENT\_RX ビットの説明

| Bit(s) | Bit Name    | Settings | Description   | Reset | Access |
|--------|-------------|----------|---|-------|--------|
| 7      | RESERVED    |          | Reserved  | 0x0   | R      |
| [6:3]  | RX_VGA_BIAS |          | Receive Channel VGA Bias Current Setting              | 0x0   | R/W    |
| [2:0]  | RX_VM_BIAS  |          | Receive Channel Vector Modulator Bias Current Setting | 0x0   | R/W    |

アドレス : 0x036、リセット : 0x00、レジスタ名 : BIAS\_CURRENT\_TX

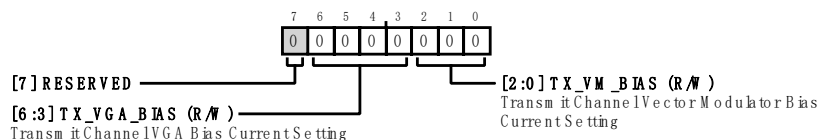


表 63. BIAS\_CURRENT\_TX ビットの説明

| Bit(s) | Bit Name    | Settings | Description  | Reset | Access |
|--------|-------------|----------|--|-------|--------|
| 7      | RESERVED    |          | Reserved   | 0x0   | R      |
| [6:3]  | TX_VGA_BIAS |          | Transmit Channel VGA Bias Current Setting              | 0x0   | R/W    |
| [2:0]  | TX_VM_BIAS  |          | Transmit Channel Vector Modulator Bias Current Setting | 0x0   | R/W    |

アドレス : 0x037、リセット : 0x00、レジスタ名 : BIAS\_CURRENT\_TX\_DRV

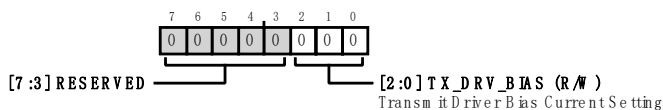


表 64. BIAS\_CURRENT\_TX\_DRV ビットの説明

| Bit(s) | Bit Name    | Settings | Description                          | Reset | Access |
|--------|-------------|----------|--------------------------------------|-------|--------|
| [7:3]  | RESERVED    |          | Reserved                             | 0x0   | R      |
| [2:0]  | TX_DRV_BIAS |          | Transmit Driver Bias Current Setting | 0x0   | R/W    |

アドレス : 0x038、リセット : 0x00、レジスタ名 : MEM\_CTRL

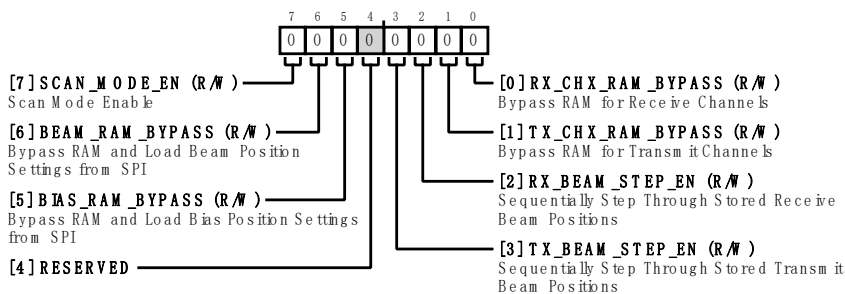


表 65. MEM\_CTRL ビットの説明

| Bit | Bit Name          | Settings | Description  | Reset | Access |
|-----|-------------------|----------|--|-------|--------|
| 7   | SCAN_MODE_EN      |          | Scan Mode Enable   | 0x0   | R/W    |
| 6   | BEAM_RAM_BYPASS   |          | Bypass RAM and Load Beam Position Settings from SPI      | 0x0   | R/W    |
| 5   | BIAS_RAM_BYPASS   |          | Bypass RAM and Load Bias Position Settings from SPI      | 0x0   | R/W    |
| 4   | RESERVED          |          | Reserved   | 0x0   | R      |
| 3   | TX_BEAM_STEP_EN   |          | Sequentially Step Through Stored Transmit Beam Positions | 0x0   | R/W    |
| 2   | RX_BEAM_STEP_EN   |          | Sequentially Step Through Stored Receive Beam Positions  | 0x0   | R/W    |
| 1   | TX_CHX_RAM_BYPASS |          | Bypass RAM for Transmit Channels                         | 0x0   | R/W    |
| 0   | RX_CHX_RAM_BYPASS |          | Bypass RAM for Receive Channels                          | 0x0   | R/W    |

アドレス : 0x039、リセット : 0x00、レジスタ名 : RX\_CHX\_MEM

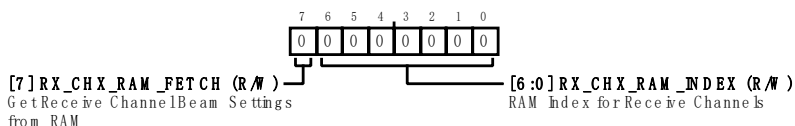


表 66. RX\_CHX\_MEM ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| 7      | RX_CHX_RAM_FETCH |          | Get Receive Channel Beam Settings from RAM | 0x0   | R/W    |
| [6:0]  | RX_CHX_RAM_INDEX |          | RAM Index for Receive Channels             | 0x0   | R/W    |

アドレス : 0x03A、リセット : 0x00、レジスタ名 : TX\_CHX\_MEM

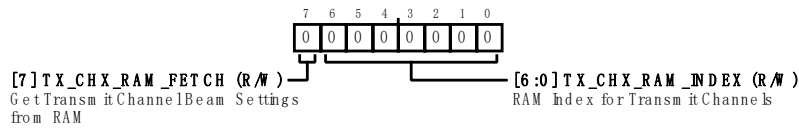


表 67. TX\_CHX\_MEM ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                 | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| 7      | TX_CHX_RAM_FETCH |          | Get Transmit Channel Beam Settings from RAM | 0x0   | R/W    |
| [6:0]  | TX_CHX_RAM_INDEX |          | RAM Index for Transmit Channels             | 0x0   | R/W    |

アドレス : 0x03D、リセット : 0x00、レジスタ名 : RX\_CH1\_MEM

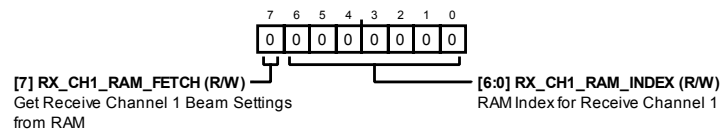


表 68. RX\_CH1\_MEM ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                  | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| 7      | RX_CH1_RAM_FETCH |          | Get Receive Channel 1 Beam Settings from RAM | 0x0   | R/W    |
| [6:0]  | RX_CH1_RAM_INDEX |          | RAM Index for Receive Channel 1              | 0x0   | R/W    |

アドレス : 0x03E、リセット : 0x00、レジスタ名 : RX\_CH2\_MEM

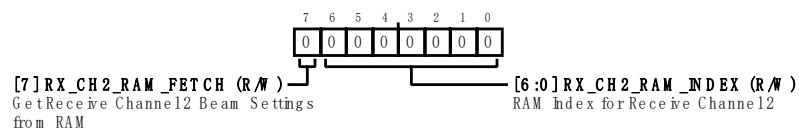


表 69. RX\_CH2\_MEM ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                  | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| 7      | RX_CH2_RAM_FETCH |          | Get Receive Channel 2 Beam Settings from RAM | 0x0   | R/W    |
| [6:0]  | RX_CH2_RAM_INDEX |          | RAM Index for Receive Channel 2              | 0x0   | R/W    |

アドレス : 0x03F、リセット : 0x00、レジスタ名 : RX\_CH3\_MEM

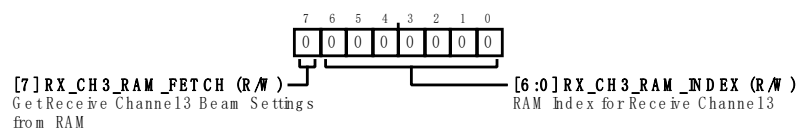


表 70. RX\_CH3\_MEM ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                  | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| 7      | RX_CH3_RAM_FETCH |          | Get Receive Channel 3 Beam Settings from RAM | 0x0   | R/W    |
| [6:0]  | RX_CH3_RAM_INDEX |          | RAM Index for Receive Channel 3              | 0x0   | R/W    |

アドレス : 0x040、リセット : 0x00、レジスタ名 : RX\_CH4\_MEM

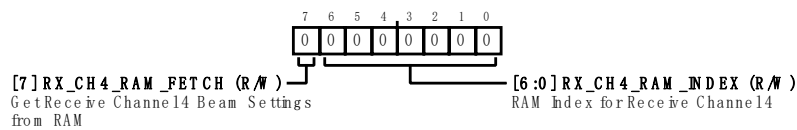


表 71. RX\_CH4\_MEM ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                  | Reset | Access |
|--------|------------------|----------|--|-------|--------|
| 7      | RX_CH4_RAM_FETCH |          | Get Receive Channel 4 Beam Settings from RAM | 0x0   | R/W    |
| [6:0]  | RX_CH4_RAM_INDEX |          | RAM Index for Receive Channel 4              | 0x0   | R/W    |

アドレス : 0x041、リセット : 0x00、レジスタ名 : TX\_CH1\_MEM

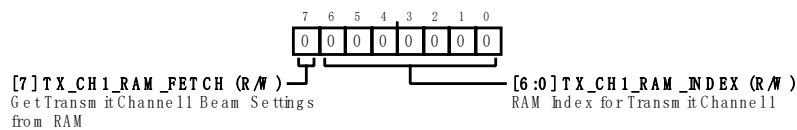


表 72. TX\_CH1\_MEM ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| 7      | TX_CH1_RAM_FETCH |          | Get Transmit Channel 1 Beam Settings from RAM | 0x0   | R/W    |
| [6:0]  | TX_CH1_RAM_INDEX |          | RAM Index for Transmit Channel 1              | 0x0   | R/W    |

アドレス : 0x042、リセット : 0x00、レジスタ名 : TX\_CH2\_MEM

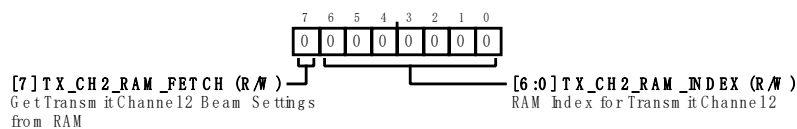


表 73. TX\_CH2\_MEM ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| 7      | TX_CH2_RAM_FETCH |          | Get Transmit Channel 2 Beam Settings from RAM | 0x0   | R/W    |
| [6:0]  | TX_CH2_RAM_INDEX |          | RAM Index for Transmit Channel 2              | 0x0   | R/W    |

アドレス : 0x043、リセット : 0x00、レジスタ名 : TX\_CH3\_MEM

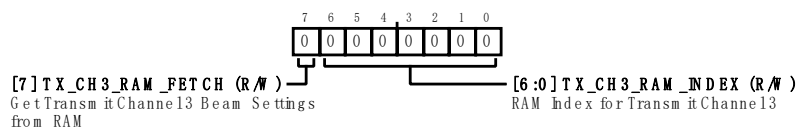


表 74. TX\_CH3\_MEM ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| 7      | TX_CH3_RAM_FETCH |          | Get Transmit Channel 3 Beam Settings from RAM | 0x0   | R/W    |
| [6:0]  | TX_CH3_RAM_INDEX |          | RAM Index for Transmit Channel 3              | 0x0   | R/W    |

アドレス : 0x044、リセット : 0x00、レジスタ名 : TX\_CH4\_MEM

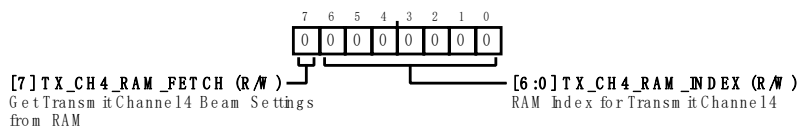


表 75. TX\_CH4\_MEM ビットの説明

| Bit(s) | Bit Name         | Settings | Description                                   | Reset | Access |
|--------|------------------|----------|---|-------|--------|
| 7      | TX_CH4_RAM_FETCH |          | Get Transmit Channel 4 Beam Settings from RAM | 0x0   | R/W    |
| [6:0]  | TX_CH4_RAM_INDEX |          | RAM Index for Transmit Channel 4              | 0x0   | R/W    |

アドレス : 0x045、リセット : 0x00、レジスタ名 : REV\_ID

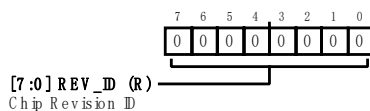


表 76. REV\_ID ビットの説明

| Bit(s) | Bit Name | Settings | Description      | Reset | Access |
|--------|----------|----------|------------------|-------|--------|
| [7:0]  | REV_ID   |          | Chip Revision ID | 0x0   | R      |

アドレス : 0x046、リセット : 0x00、レジスタ名 : CH1\_PA\_BIAS\_OFF



表 77. CH1\_PA\_BIAS\_OFF ビットの説明

| Bit(s) | Bit Name         | Settings | Description                     | Reset | Access |
|--------|------------------|----------|---------------------------------|-------|--------|
| [7:0]  | EXT_PA1_BIAS_OFF |          | External Bias for External PA 1 | 0x0   | R/W    |

アドレス : 0x047、リセット : 0x00、レジスタ名 : CH2\_PA\_BIAS\_OFF



表 78. CH2\_PA\_BIAS\_OFF ビットの説明

| Bit(s) | Bit Name         | Settings | Description                     | Reset | Access |
|--------|------------------|----------|---------------------------------|-------|--------|
| [7:0]  | EXT_PA2_BIAS_OFF |          | External Bias for External PA 2 | 0x0   | R/W    |

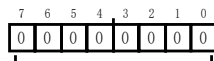
アドレス : 0x048、リセット : 0x00、レジスタ名 : CH3\_PA\_BIAS\_OFF



表 79. CH3\_PA\_BIAS\_OFF ビットの説明

| Bit(s) | Bit Name         | Settings | Description                     | Reset | Access |
|--------|------------------|----------|---------------------------------|-------|--------|
| [7:0]  | EXT_PA3_BIAS_OFF |          | External Bias for External PA 3 | 0x0   | R/W    |

アドレス : 0x049、リセット : 0x00、レジスタ名 : CH4\_PA\_BIAS\_OFF

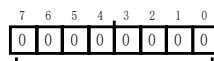


[7:0] EXT\_PA4\_BIAS\_OFF (R/W)  
External Bias for External PA 4

表 80. CH4\_PA\_BIAS\_OFF ビットの説明

| Bit(s) | Bit Name         | Settings | Description                     | Reset | Access |
|--------|------------------|----------|---------------------------------|-------|--------|
| [7:0]  | EXT_PA4_BIAS_OFF |          | External Bias for External PA 4 | 0x0   | R/W    |

アドレス : 0x04A、リセット : 0x00、レジスタ名 : LNA\_BIAS\_OFF

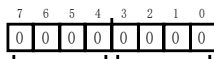


[7:0] EXT\_LNA\_BIAS\_OFF (R/W)  
External Bias for External LNAs

表 81. LNA\_BIAS\_OFF ビットの説明

| Bit(s) | Bit Name         | Settings | Description                     | Reset | Access |
|--------|------------------|----------|---------------------------------|-------|--------|
| [7:0]  | EXT_LNA_BIAS_OFF |          | External Bias for External LNAs | 0x0   | R/W    |

アドレス : 0x04B、リセット : 0x00、レジスタ名 : TX\_TO\_RX\_DELAY\_CTRL

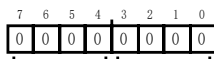


[7:4] TX\_TO\_RX\_DELAY\_1 (R/W) PA Bias off to TR Switch Delay  
[3:0] TX\_TO\_RX\_DELAY\_2 (R/W) TR Switch to LNA Bias on Delay

表 82. TX\_TO\_RX\_DELAY\_CTRL ビットの説明

| Bit(s) | Bit Name         | Settings | Description                    | Reset | Access |
|--------|------------------|----------|--------------------------------|-------|--------|
| [7:4]  | TX_TO_RX_DELAY_1 |          | PA Bias off to TR Switch Delay | 0x0   | R/W    |
| [3:0]  | TX_TO_RX_DELAY_2 |          | TR Switch to LNA Bias on Delay | 0x0   | R/W    |

アドレス : 0x04C、リセット : 0x00、レジスタ名 : RX\_TO\_TX\_DELAY\_CTRL

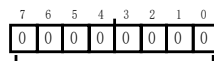


[7:4] RX\_TO\_TX\_DELAY\_1 (R/W) LNA Bias off to TR Switch Delay  
[3:0] RX\_TO\_TX\_DELAY\_2 (R/W) TR Switch to PA Bias on Delay

表 83. RX\_TO\_TX\_DELAY\_CTRL ビットの説明

| Bit(s) | Bit Name         | Settings | Description                     | Reset | Access |
|--------|------------------|----------|---------------------------------|-------|--------|
| [7:4]  | RX_TO_TX_DELAY_1 |          | LNA Bias off to TR Switch Delay | 0x0   | R/W    |
| [3:0]  | RX_TO_TX_DELAY_2 |          | TR Switch to PA Bias on Delay   | 0x0   | R/W    |

アドレス : 0x04D、リセット : 0x00、レジスタ名 : TX\_BEAM\_STEP\_START

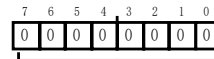


[7:0] TX\_BEAM\_STEP\_START (R/W)  
Start Memory Address for Transmit Channel Beam Stepping

表 84. TX\_BEAM\_STEP\_START ビットの説明

| Bit(s) | Bit Name           | Settings | Description   | Reset | Access |
|--------|--------------------|----------|---|-------|--------|
| [7:0]  | TX_BEAM_STEP_START |          | Start Memory Address for Transmit Channel Beam Stepping | 0x0   | R/W    |

アドレス : 0x04E、リセット : 0x00、レジスタ名 : TX\_BEAM\_STEP\_STOP

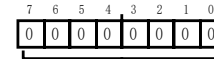


[7:0] TX\_BEAM\_STEP\_STOP (R/W)  
Stop Memory Address for Transmit Channel Beam Stepping

表 85. TX\_BEAM\_STEP\_STOP ビットの説明

| Bit(s) | Bit Name          | Settings | Description  | Reset | Access |
|--------|-------------------|----------|--|-------|--------|
| [7:0]  | TX_BEAM_STEP_STOP |          | Stop Memory Address for Transmit Channel Beam Stepping | 0x0   | R/W    |

アドレス : 0x04F、リセット : 0x00、レジスタ名 : RX\_BEAM\_STEP\_START

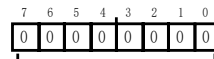


[7:0] RX\_BEAM\_STEP\_START (R/W)  
Start Memory Address for Receive Channel Beam Stepping

表 86. RX\_BEAM\_STEP\_START ビットの説明

| Bit(s) | Bit Name           | Settings | Description  | Reset | Access |
|--------|--------------------|----------|--|-------|--------|
| [7:0]  | RX_BEAM_STEP_START |          | Start Memory Address for Receive Channel Beam Stepping | 0x0   | R/W    |

アドレス : 0x050、リセット : 0x00、レジスタ名 : RX\_BEAM\_STEP\_STOP



[7:0] RX\_BEAM\_STEP\_STOP (R/W)  
Stop Memory Address for Receive Channel Beam Stepping

表 87. RX\_BEAM\_STEP\_STOP ビットの説明

| Bit(s) | Bit Name          | Settings | Description   | Reset | Access |
|--------|-------------------|----------|---|-------|--------|
| [7:0]  | RX_BEAM_STEP_STOP |          | Stop Memory Address for Receive Channel Beam Stepping | 0x0   | R/W    |

アドレス : 0x051、リセット : 0x00、レジスタ名 : RX\_BIAS\_RAM\_CTL



[7:4] RESERVED  
[3] RX\_BIAS\_RAM\_FETCH (R/W) Get Receive Beam Settings from RAM  
[2:0] RX\_BIAS\_RAM\_INDEX (R/W) RAM Index for Receive Channels

表 88. RX\_BIAS\_RAM\_CTL ビットの説明

| Bit(s) | Bit Name          | Settings | Description                        | Reset | Access |
|--------|-------------------|----------|------------------------------------|-------|--------|
| [7:4]  | RESERVED          |          | Reserved                           | 0x0   | R      |
| 3      | RX_BIAS_RAM_FETCH |          | Get Receive Beam Settings from RAM | 0x0   | R/W    |
| [2:0]  | RX_BIAS_RAM_INDEX |          | RAM Index for Receive Channels     | 0x0   | R/W    |



アドレス : 0x052、リセット : 0x00、レジスタ名 : TX\_BIAS\_RAM\_CTL

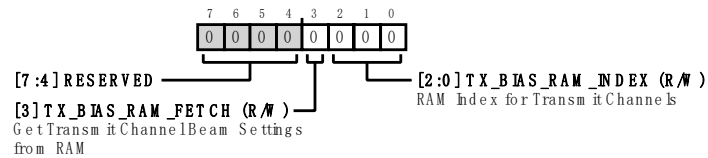


表 89. TX\_BIAS\_RAM\_CTL ビットの説明

| Bit(s) | Bit Name          | Settings | Description                                 | Reset | Access |
|--------|-------------------|----------|---|-------|--------|
| [7:4]  | RESERVED          |          | Reserved                                    | 0x0   | R      |
| 3      | TX_BIAS_RAM_FETCH |          | Get Transmit Channel Beam Settings from RAM | 0x0   | R/W    |
| [2:0]  | TX_BIAS_RAM_INDEX |          | RAM Index for Transmit Channels             | 0x0   | R/W    |

アドレス : 0x400、リセット : 0x00、レジスタ名 : LDO\_TRIM\_CTL\_0

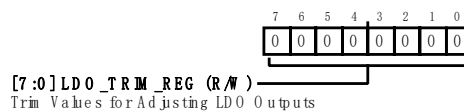


表 90. LDO\_TRIM\_CTL\_0 ビットの説明

| Bits  | Bit Name     | Settings | Description                           | Reset | Access |
|-------|--------------|----------|---------------------------------------|-------|--------|
| [7:0] | LDO_TRIM_REG |          | Trim Values for Adjusting LDO Outputs | 0x0   | R/W    |

アドレス : 0x401、リセット : 0x00、レジスタ名 : LDO\_TRIM\_CTL\_1

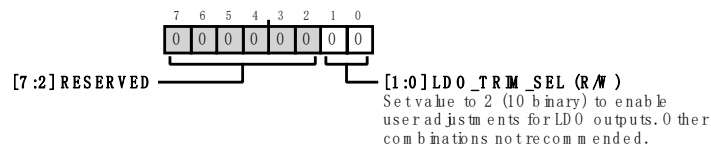


表 91. LDO\_TRIM\_CTL\_1 ビットの説明

| Bits  | Bit Name     | Settings | Description  | Reset | Access |
|-------|--------------|----------|--|-------|--------|
| [7:2] | RESERVED     |          | Reserved.  | 0x0   | R      |
| [1:0] | LDO_TRIM_SEL |          | Set value to 2 (10 binary) to enable user adjustments for LDO outputs. Other combinations not recommended. | 0x0   | R/W    |

外形寸法

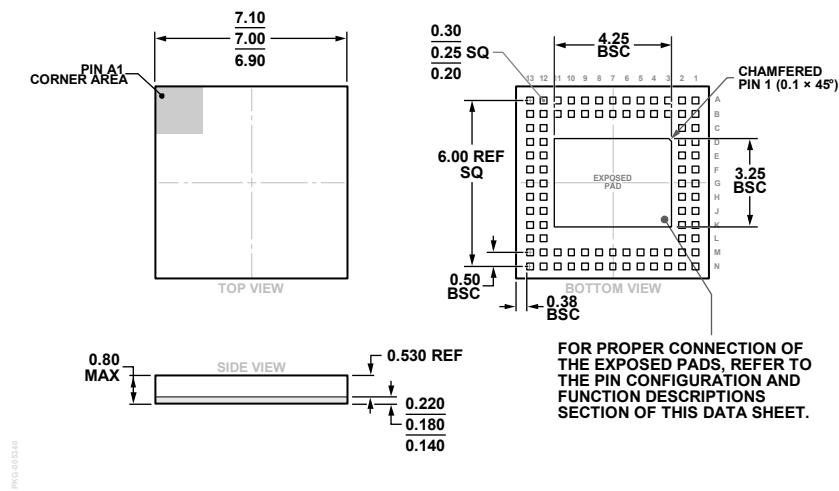


図 86. 88 端子のランド・グリッド・アレイ [LGA]  
(CC-88-1)  
寸法単位：mm

オーダー・ガイド

| Model <sup>1</sup> | Temperature Range | Package Description                        | Package Option |
|--------------------|-------------------|--|----------------|
| ADAR1000ACCZN      | -40°C to +85°C    | 88-Terminal Land Grid Array [LGA]          | CC-88-1        |
| ADAR1000ACCZN-R7   | -40°C to +85°C    | 88-Terminal Land Grid Array [LGA], 7" Reel | CC-88-1        |
| ADAR1000-EVALZ     |                   | Evaluation Board                           |                |

<sup>1</sup> Z = RoHS 準拠製品