

## 特長

4 チャンネルの低ノイズ・アンプ (LNA) の後段にプログラマブル・ゲイン・アンプ (PGA) を配置

-3 dB 帯域幅 (最小) : 5 MHz

-3 dB 帯域幅 (typ) : 42.3 MHz

スルー・レート (typ) : 28 V/ $\mu$ s

差動入出力

ゲイン: 18 dB ~ 36 dB、6 dB ステップ

選択可能な低ノイズ/低消費電力モード

入力換算ノイズ: 4.5 nV/ $\sqrt$ Hz、チャンネルあたり 18.3 mW

入力換算ノイズ: 3.8 nV/ $\sqrt$ Hz、チャンネルあたり 26.5 mW

入力換算ノイズ: 3.6 nV/ $\sqrt$ Hz、チャンネルあたり 34.8 mW

入力換算ノイズ: 3.4 nV/ $\sqrt$ Hz、チャンネルあたり 54.8 mW

チャンネル間ゲイン・マッチング:  $\pm 0.25$  dB

絶対ゲイン誤差:  $\pm 0.5$  dB

SPI プログラマブル

パワーダウン・モード (SPI 選択可能)

3.1 V p-p 差動出力振幅、3.3 V 電源使用時

32 ピン、5 mm  $\times$  5 mm LFCSP パッケージ

温度仕様: -40  $^{\circ}$ C ~ +125  $^{\circ}$ C

車載アプリケーション向けの性能評価済み

## アプリケーション

車載レーダー

アダプティブ・クルーズ・コントロール

衝突回避

死角検知

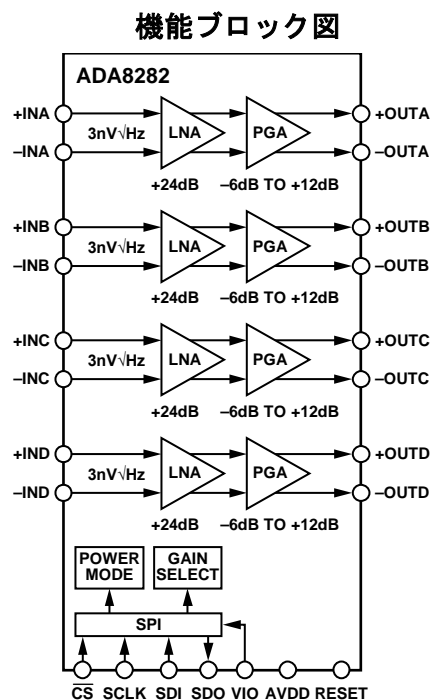
セルフ・パーキング

電子バンパー

## 概要

ADA8282 は、低価格、低消費電力、小型で優れた柔軟性が求められるアプリケーション向けに設計されています。ADA8282 には4つの並列チャンネルがあり、それぞれが LNA と PGA を備えています。LNA と PGA の組み合わせにより、ゲイン範囲 18 dB ~ 36 dB (6dB 単位でのインクリメント)、最低保証帯域幅 5 MHz のシグナル・チェーンが実現されています。

最大消費電力の設定を使用した場合、LNA と PGA を組み合わせたチャンネルの入力換算電圧ノイズは、最大ゲイン時に 3.4 nV/ $\sqrt$ Hz です。



ADA8282 は、消費電力とノイズ性能のトレードオフがある4つのいずれかの消費電力モードに設定して、最終アプリケーションに応じて全体性能を最適化することができます。

ADA8282 は、最新の相補型金属酸化膜半導体 (CMOS) プロセスで製造され、RoHS 準拠の 5 mm  $\times$  5 mm、32 ピン LFCSP パッケージが採用されています。仕様は車載温度範囲 -40  $^{\circ}$ C ~ +125  $^{\circ}$ C にわたって仕様規定されています。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。\*日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長	1	ゲインによる出力振幅の変動	12
アプリケーション	1	オフセット電圧の調整	12
機能ブロック図	1	シングルエンド入力または差動入力	12
概要	1	短絡電流	12
改訂履歴	2	SPI インターフェース	12
仕様	3	チャンネル間の位相整合	13
デジタル仕様	4	アプリケーション情報	14
絶対最大定格	5	2 個の ADA8282 デバイスを直列で使用するこ によるゲインの増大	14
熱抵抗	5	複数の ADA8282 デバイスを使用したマルチ プレクサ入力	15
ESD に関する注意	5	代表的なアプリケーションの基本的な接 続	16
ピン配置およびピン機能の説明	6	レジスタ・マップ	17
代表的な性能特性	7	レジスタの一覧	17
動作原理	11	レジスタの詳細	17
レーダー受信経路の AFE	11	外形寸法	21
デフォルトの SPI 設定	11	オーダー・ガイド	21
入力インピーダンス	11	車載製品	21
パワー・モード	11		
プログラマブル・ゲイン範囲	12		

## 改訂履歴

7/15-Revision 0:初版

## 仕様

特に指定のない限り、AVDD = 3.3 V、LNA + PGA ゲイン = 36 dB（LNA ゲイン = 24 dB、PGA ゲイン = 12 dB）、 $T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、PGA\_BIAS\_SEL = b'10、LNA\_BIAS\_SEL = b'10。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
ANALOG CHANNEL CHARACTERISTICS					
Gain			18/24/30/36		dB
Gain Range			18		dB
Gain Error				±0.5	dB
-3 dB Bandwidth	$V_{OUT} = 100\text{ mV p-p}$ , gain = 36 dB				
	PGA_BIAS_SEL = b'00, LNA_BIAS_SEL = b'00	5	20.5		MHz
	PGA_BIAS_SEL = b'01, LNA_BIAS_SEL = b'01	5	34.2		MHz
	PGA_BIAS_SEL = b'01, LNA_BIAS_SEL = b'10	5	42.3		MHz
	PGA_BIAS_SEL = b'11, LNA_BIAS_SEL = b'11	5	52.3		MHz
Channel to Channel Gain Matching	Frequencies up to 5 MHz		0.1	±0.25	dB
Channel to Channel Phase Matching <sup>1</sup>	Frequencies up to 5 MHz		0.1	±1	Degrees
Slew Rate			28		V/μs
Input Referred Noise	Gain = 36 dB at 2 MHz				
	PGA_BIAS_SEL = b'00, LNA_BIAS_SEL = b'00		4.5		nV/√Hz
	PGA_BIAS_SEL = b'01, LNA_BIAS_SEL = b'01		3.8		nV/√Hz
	PGA_BIAS_SEL = b'01, LNA_BIAS_SEL = b'10		3.6		nV/√Hz
	PGA_BIAS_SEL = b'11, LNA_BIAS_SEL = b'11		3.4		nV/√Hz
	50 Ω impedance used for voltage to power conversion		-156		dBm/Hz
Output Referred Noise	Gain = 18 dB		36		nV/√Hz
	Gain = 24 dB		61		nV/√Hz
	Gain = 30 dB		115		nV/√Hz
	Gain = 36 dB		218		nV/√Hz
Offset Voltage					
Referred to Input	Gain = 36 dB		±0.8	±3	mV
Referred to Output	Gain = 36 dB		±50	±200	mV
SPI Offset Adjustment Resolution (Relative to Input)	LNA_BIAS_SEL = b'00		113		μV
	LNA_BIAS_SEL = b'01		186		μV
	LNA_BIAS_SEL = b'10		250		μV
	LNA_BIAS_SEL = b'11		440		μV
SPI Offset Adjustment Range (Relative to Input)	LNA_BIAS_SEL = b'00		±4		mV
	LNA_BIAS_SEL = b'01		±6		mV
	LNA_BIAS_SEL = b'10		±8		mV
	LNA_BIAS_SEL = b'11		±14		mV
Harmonic Distortion					
Second Harmonic (HD2)	$V_{OUT} = 2\text{ V p-p}$ , $f_{IN} = 100\text{ kHz}$		-70		dBc
	$V_{OUT} = 100\text{ mV p-p}$ , $f_{IN} = 2\text{ MHz}$		-85		dBc
Third Harmonic (HD3)	$V_{OUT} = 2\text{ V p-p}$ , $f_{IN} = 100\text{ kHz}$		-85		dBc
	$V_{OUT} = 100\text{ mV p-p}$ , $f_{IN} = 2\text{ MHz}$		-95		dBc
Intermodulation Distortion	$V_{OUT} = 2\text{ V p-p}$ , $f_{IN1} = 100\text{ kHz}$ , $f_{IN2} = 150\text{ kHz}$		-72		dBc
	$V_{OUT} = 100\text{ mV p-p}$ , $f_{IN1} = 2\text{ MHz}$ , $f_{IN2} = 2.1\text{ MHz}$		-83		dBc
Common-Mode Rejection Ratio (CMRR)			-80		dB
Crosstalk			-105		dBc

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>POWER SUPPLY</b>					
Total Power Dissipation	PGA_BIAS_SEL = b'00, LNA_BIAS_SEL = b'00			73	mW
	PGA_BIAS_SEL = b'01, LNA_BIAS_SEL = b'01			106	mW
	PGA_BIAS_SEL = b'01, LNA_BIAS_SEL = b'10			139	mW
	PGA_BIAS_SEL = b'11, LNA_BIAS_SEL = b'11			219	mW
Power Dissipation per Channel			31		mW
AVDD		3.0		3.6	V
VIO		1.8		3.6	V
I <sub>AVDD</sub>	Four channels active				
	PGA_BIAS_SEL = b'00, LNA_BIAS_SEL = b'00		19.6	22	mA
	PGA_BIAS_SEL = b'01, LNA_BIAS_SEL = b'01		29	32	mA
	PGA_BIAS_SEL = b'01, LNA_BIAS_SEL = b'10		37.7	42	mA
	PGA_BIAS_SEL = b'11, LNA_BIAS_SEL = b'11		60	66.3	mA
	One channel active		9.8	11	mA
I <sub>VIO</sub>			10	12	μA
Power-Down Current	I <sub>AVDD</sub> and I <sub>VIO</sub>		20	100	μA
Power-Down Dissipation			0.07	0.33	mW
Power-Up Time	Time to operational after chip is enabled		5		μs
Power Supply Rejection Ratio (PSRR)	At dc	-80			dB
	At 1 MHz		-80		dB
<b>INPUT</b>					
Input Resistance					
Differential Input Resistance		1.45	1.57	1.7	kΩ
Common-Mode Input Resistance		0.37	0.39	0.42	kΩ
Differential Input Capacitance		10.8	12	13.2	pF
<b>OUTPUT</b>					
Output Voltage Swing	+OUTx (-OUTx), gain = 18 dB	3.1			V p-p
	+OUTx (-OUTx), gain = 24 dB, 30 dB, or 36 dB	6.3			V p-p
Output Balance	f <sub>IN</sub> = 100 kHz		-70		dB
Short-Circuit Current	Per output at 25°C		205		mA
Capacitive Load	20% overshoot		30		pF

<sup>1</sup> 25 °C での 0°位相マッチングに正規化。詳細については、Theory of Operation のセクションを参照してください。

## デジタル仕様

特に指定のない限り、AVDD = 3.3 V、T<sub>A</sub> = -40 °C ~ +125 °C。

表 2.

Parameter	Temperature	Min	Typ	Max	Unit
<b>LOGIC INPUT (CS)</b>					
Logic 1 Voltage	Full	1.2		VIO + 0.3	V
Logic 0 Voltage	Full			0.3	V
Input Resistance	25°C		15		kΩ
Input Capacitance	25°C		0.5		pF
<b>LOGIC INPUTS (SDI, SCLK, RESET)</b>					
Logic 1 Voltage	Full	1.2		VIO + 0.3	V
Logic 0 Voltage	Full	0		0.3	V
Input Resistance	25°C		2.5		kΩ
Input Capacitance	25°C		2		pF
Maximum SCLK Frequency				10	MHz
<b>LOGIC OUTPUT (SDO)</b>					
Logic 1 Voltage (I <sub>OH</sub> = 800 μA)	Full	VIO - 0.3			V
Logic 0 Voltage (I <sub>OL</sub> = 50 μA)	Full			0.3	V

## 絶対最大定格

表 3.

Parameter	Rating
Electrical	
AVDD to EPAD	-0.3 V to +3.9 V
+INx, -INx, SCLK, SDI, SDO, CS, VIO, RESET, -OUTx, +OUTx to EPAD	-0.3V to AVDD + 0.3 V
ESD Ratings	
Human Body Model (HBM)	±4000 V
Charged Device Model (CDM)	±2000 V
Environmental	
Operating Temperature Range (Ambient)	-40°C to +125°C
Storage Temperature Range (Ambient)	-65°C to +150°C
Maximum Junction Temperature	150°C
Lead Temperature (Soldering, 10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

## 熱抵抗

$\theta_{JA}$  は最悪の条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定しています。

表 4. 熱抵抗

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
32-Lead, 5 mm × 5 mm LFCSP	33.51	4.1	°C/W

## ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

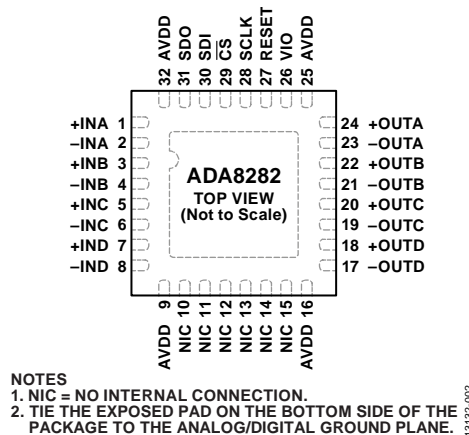


図 2. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
0	EPAD	露出パッド。パッケージ底面の露出パッドをアナログ/デジタル・グラウンド・プレーンに接続します。
1	+INA	チャンネル A の正の LNA アナログ入力。
2	-INA	チャンネル A の負の LNA アナログ入力。
3	+INB	チャンネル B の正の LNA アナログ入力。
4	-INB	チャンネル B の負の LNA アナログ入力。
5	+INC	チャンネル C の正の LNA アナログ入力。
6	-INC	チャンネル C の負の LNA アナログ入力。
7	+IND	チャンネル D の正の LNA アナログ入力。
8	-IND	チャンネル D の負の LNA アナログ入力。
9	AVDD	3.3 V アナログ電源。
10	NIC	内部接続なし。このピンはフロート状態のままにしておきます。
11	NIC	内部接続なし。このピンはフロート状態のままにしておきます。
12	NIC	内部接続なし。このピンはフロート状態のままにしておきます。
13	NIC	内部接続なし。このピンはフロート状態のままにしておきます。
14	NIC	内部接続なし。このピンはフロート状態のままにしておきます。
15	NIC	内部接続なし。このピンはフロート状態のままにしておきます。
16	AVDD	3.3 V アナログ電源。
17	-OUTD	チャンネル D の負のアナログ出力。
18	+OUTD	チャンネル D の正のアナログ出力。
19	-OUTC	チャンネル C の負のアナログ出力。
20	+OUTC	チャンネル C の正のアナログ出力。
21	-OUTB	チャンネル B の負のアナログ出力。
22	+OUTB	チャンネル B の正のアナログ出力。
23	-OUTA	チャンネル A の負のアナログ出力。
24	+OUTA	チャンネル A の正のアナログ出力。
25	AVDD	3.3 V アナログ電源。
26	VIO	SPI と RESET のデジタル・レベル選択。このピンには 1.8 V ~ 3.3 V を入力できます。
27	RESET	リセット入力。RESET は、SPI をオーバーライドして、デバイスをパワーダウンし、すべての設定をデフォルトに戻します。RESET は、デフォルトでグラウンドにプルダウンされます。ロジック・ハイがリセットをトリガします。
28	SCLK	シリアル・クロック。
29	CS	チップ・セレクト・バー。
30	SDI	シリアル・データ入力。
31	SDO	シリアル・データ出力。
32	AVDD	3.3 V アナログ電源。

## 代表的な性能特性

特に指定のない限り、AVDD=3.3 V、LNA+PGA ゲイン=36 dB (LNA ゲイン=24 dB、PGA ゲイン=12 dB)、 $T_A=25\text{ }^\circ\text{C}$ 、PGA\_BIAS\_SEL = b'10、LNA\_BIAS\_SEL=b'10。

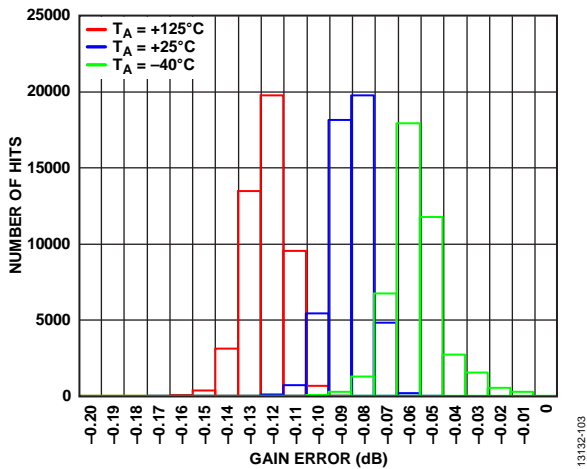


図 3. ゲイン精度の分布

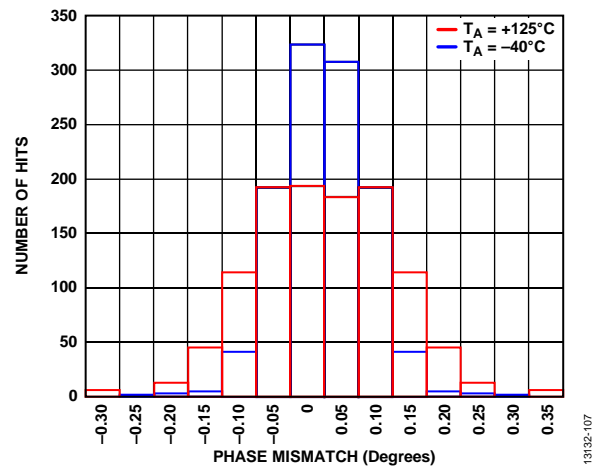


図 6. チャンネル間位相マッチングの分布

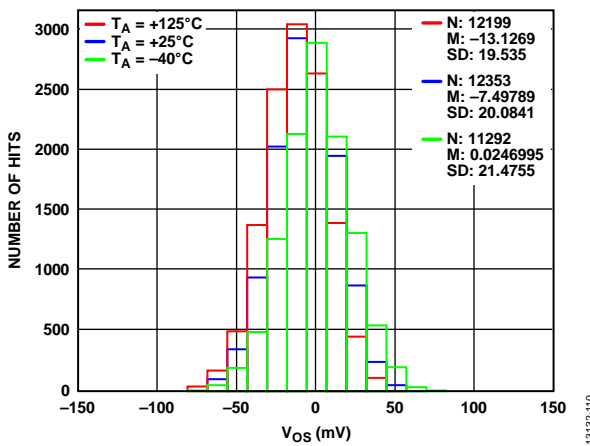


図 4. 出力オフセット電圧の分布

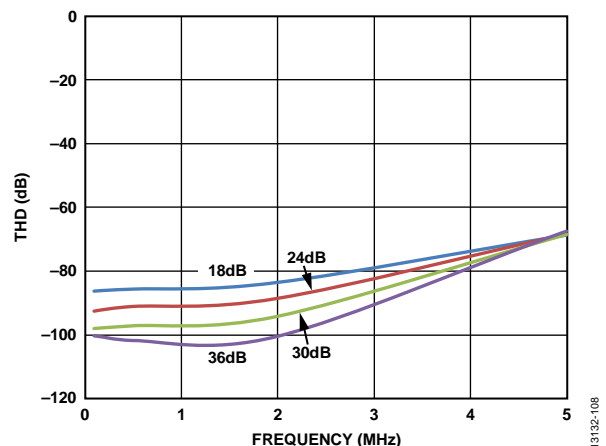


図 7. 全高調波歪み (THD) と各種ゲインの周波数の関係、 $V_{OUT} = -10\text{ dBm}$

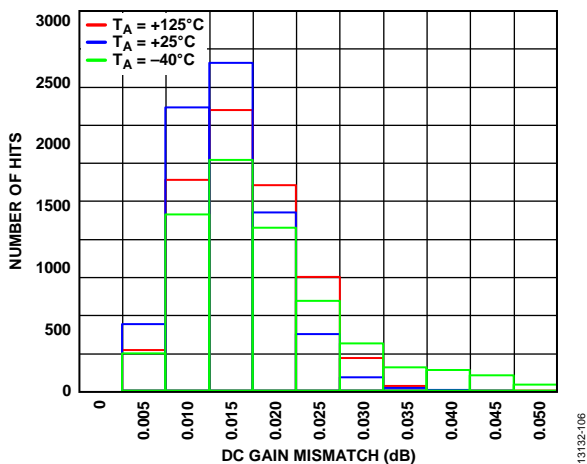


図 5. チャンネル間ゲイン・マッチングの分布

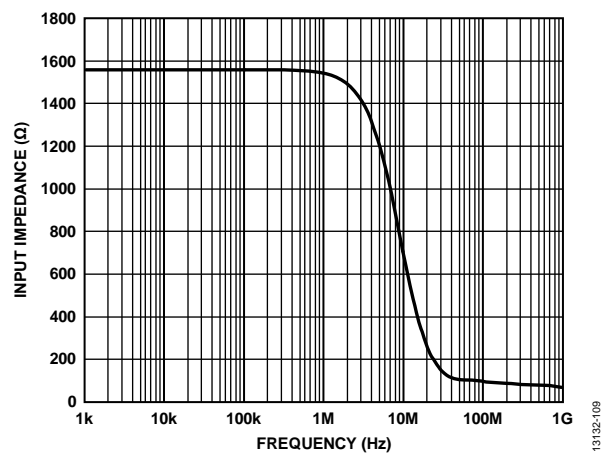


図 8. 入力インピーダンスと周波数の関係

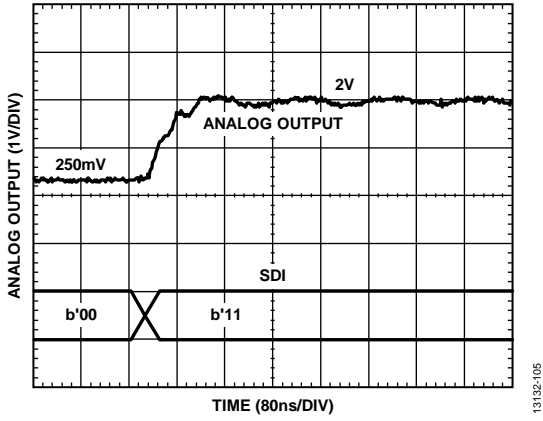


図 9. ゲイン・ステップ過渡応答

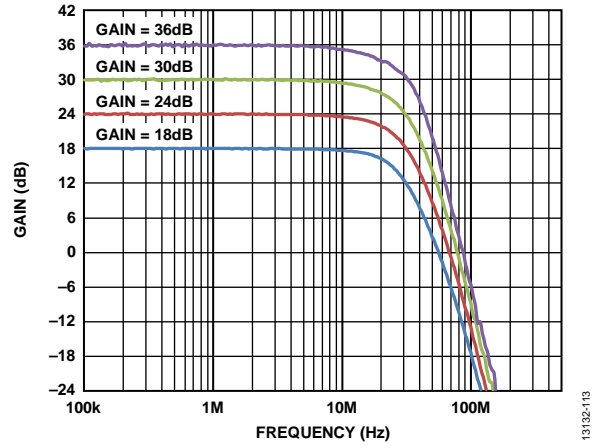


図 12. すべてのゲインでの周波数応答 (バイアス・モード 0)

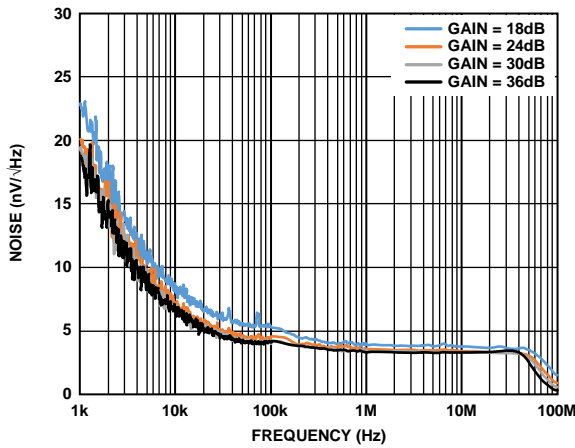


図 10. 入力換算ノイズと周波数の関係

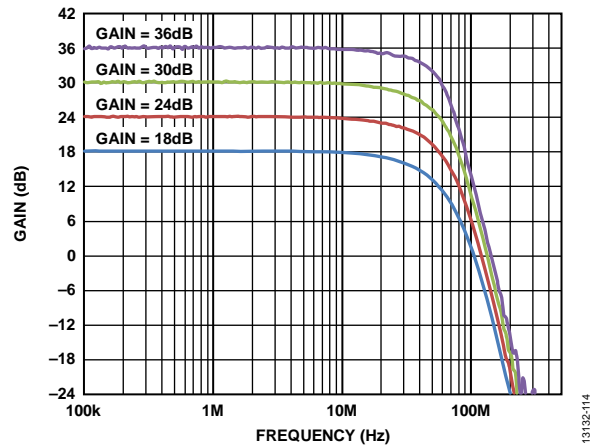


図 13. すべてのゲインでの周波数応答 (バイアス・モード 2)

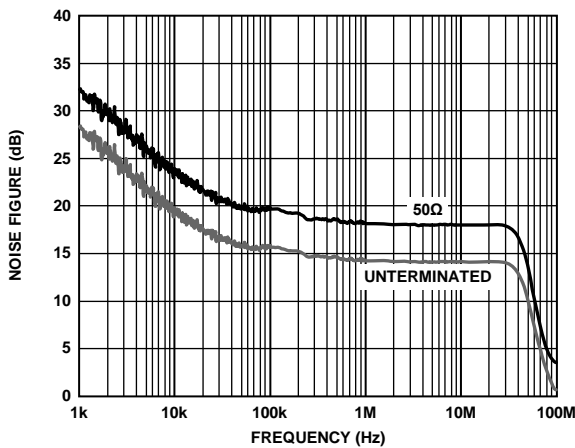


図 11. ノイズ指数と周波数の関係

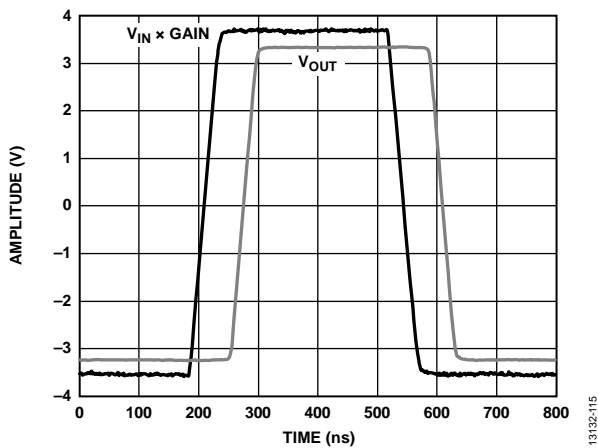


図 14. オーバードライブ回復



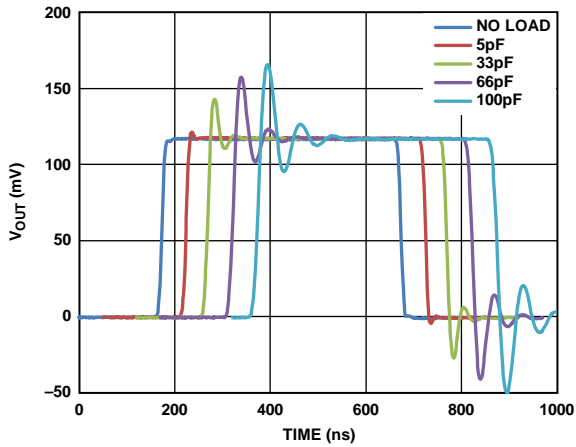


図 15. 各種出力の容量性負荷でのパルス応答

13132-116

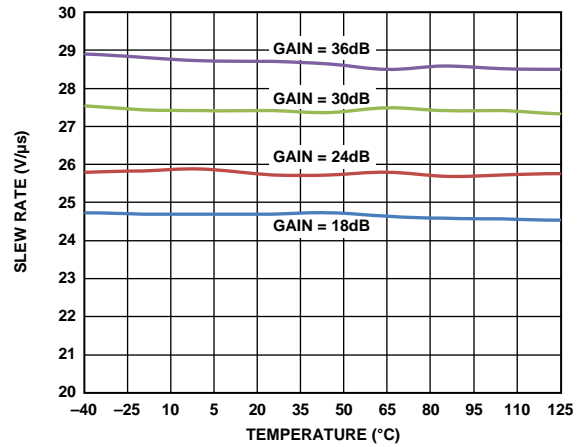


図 18. 出力スルー・レートと温度の関係

13132-119

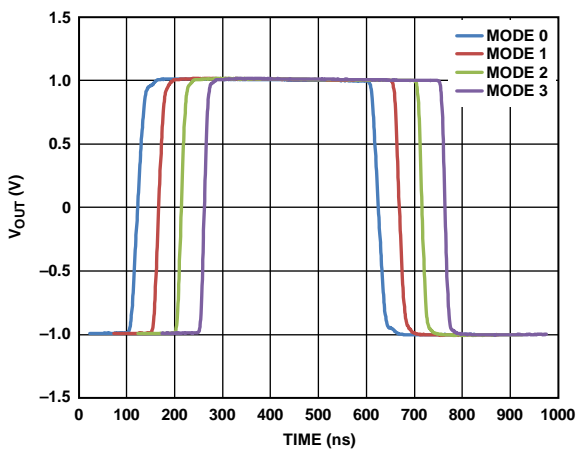


図 16. 各種 LNA および PGA バイアス・モードの大信号パルス応答

13132-121

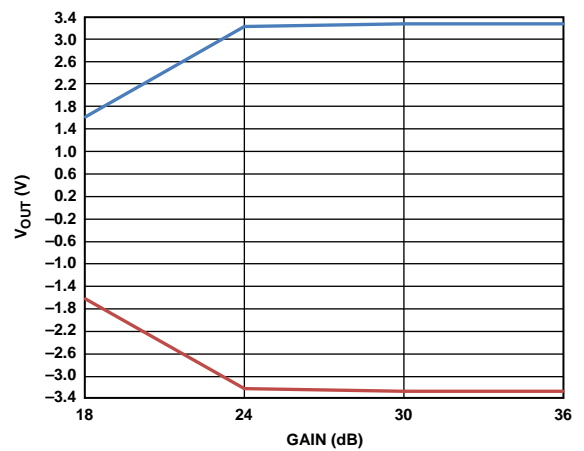


図 19. 最大および最小の差動  $V_{OUT}$  とゲインの関係

13132-125

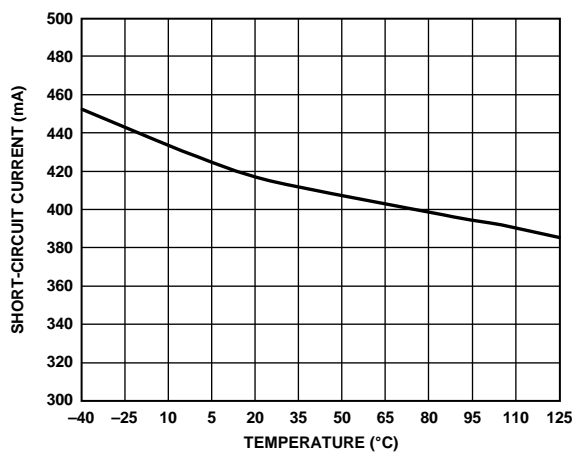


図 17. チャンネルあたりの短絡電流と温度の関係

13132-118

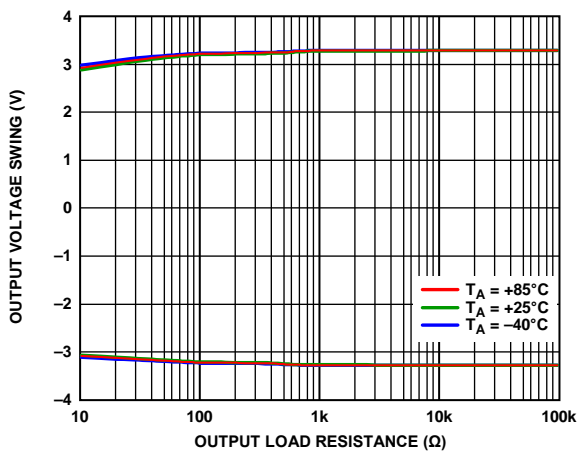


図 20. 差動出力電圧振幅と出力負荷抵抗の関係

13132-117

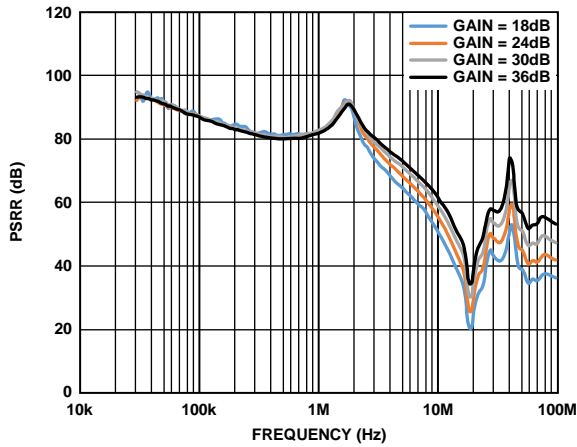


図 21. 各種ゲインでの PSRR と周波数の関係

13132-122

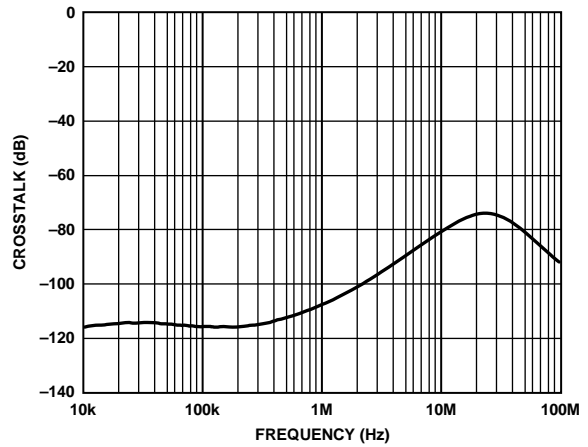


図 23. クロストークと周波数の関係

13132-124

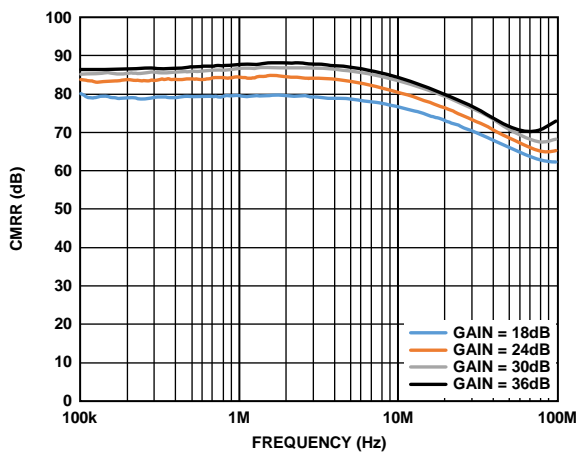


図 22. 各種ゲインでの CMRR と周波数の関係

13132-123

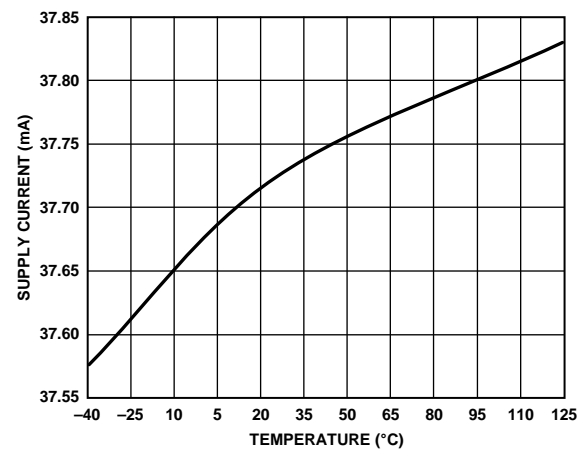


図 24. 静止電源電流と温度の関係

13132-120

## 動作原理

### レーダー受信経路の AFE

ADA8282 の主なアプリケーションは、高速ランプ、周波数変調、連続波レーダー（HSR-FMCW レーダー）です。図 25 に、HSR-FMCW レーダー・システムの簡略化されたブロック図を示します。シグナル・チェーンでは、LNA と PGA を含む複数のチャンネルが必要です。ADA8282 は、これらの主要コンポーネントを 1 つの 5 mm × 5 mm LFCSP で提供します。

各コンポーネントの性能は、HSR-FMCW レーダー・システムのニーズを満たすように設計されています。これらの性能基準の例として、LNA ノイズ、PGA ゲイン範囲、およびシグナル・チェーン帯域幅と消費電力が挙げられます。ADA8282 は、調整可能な消費電力モードも備えていて、さまざまなアプリケーションに適合できるように消費電力と性能を調整できます。

ADA8282 は、SPI を介してプログラムすることができます。SPI ポートを使用して、チャンネル・ゲイン、消費電力モード、およびオフセット電圧を調整できます。

### デフォルトの SPI 設定

初めて電源を投入したときに、デフォルトで ADA8282 のレジスタ 0x17 は 0x00 に設定されます。レジスタ 0x17 に 0x0F を書き込むことで、デバイスがイネーブルになります。

### 入力インピーダンス

ADA8282 への入力インピーダンスは、各入力の 785 Ω の内部抵抗によって設定され、内部電圧バッファによって電源の中央値にバイアスされます。正入力と負入力は両方とも同じネット

ワークでバイアスされ、1.57 kΩ の差動入力インピーダンスが生成されます。

通常、ADA8282 への入力は AC 結合されています。AC カップリング・コンデンサは、ADA8282 の入力インピーダンスで動作して、 $1/(2\pi 2RC)$  ( $R = 785 \Omega$ 、許容誤差 ±15 % (typ) ) に極を持つハイパス・フィルタを生成します。

### パワー・モード

ADA8282 には、4 つの消費電力モードがあります。これらのモードはレジスタ 0x14 (BIAS\_SEL) を通じて制御できます。消費電力モードを使用すれば、最終アプリケーションに適した消費電力と性能のトレードオフを調整できます。省電力が求められる場合は低消費電力モードを使用し、広帯域幅および低ノイズが求められるアプリケーションの場合は高消費電力モードを使用します。

表 6 に、各種 SPI 設定の消費電力と性能のトレードオフを示します。

表 6. 消費電力モードのトレードオフ

Mode Setting	Power per Channel (mW)	Input Referred Noise at 2 MHz (nV/√Hz)	Typical Bandwidth (MHz), Gain = 36 dB
b'00	18.3	4.5	20.5
b'01	26.5	3.8	34.2
b'10	34.8	3.6	42.3
b'11	54.8	3.4	52.3

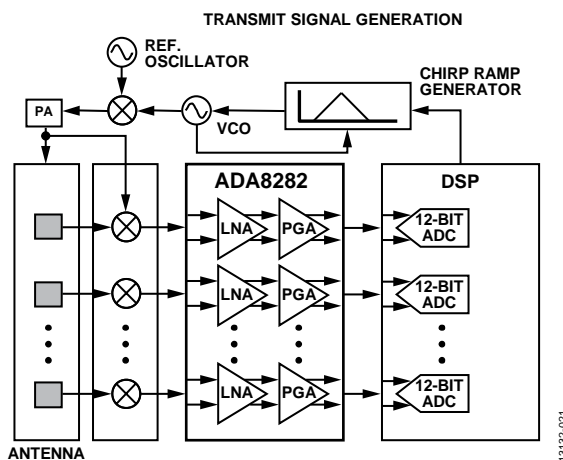


図 25. 代表的なシグナル・チェーンの概要

### プログラマブル・ゲイン範囲

ADA8282 は、プログラマブル・ゲインを備えていて、さまざまなアプリケーションに適合できるように信号の出力振幅を調整できます。ADA8282 のゲインは、18 dB ~ 36 dB の範囲で 6 dB のインクリメントでプログラムできます。ゲインは、レジスタ 0x15 を使用して制御します。同じレジスタで 4 つのチャンネルをすべて制御しますが、レジスタの適切なビットを使用して各チャンネルを個別に制御できます。チャンネル A は、レジスタ 0x15 の 2 つの LSB (ビット [1:0]) を使用して制御し、チャンネル B はビット [3:2]、チャンネル C はビット [5:4]、チャンネル D は 2 つの MSB (ビット [7:6]) を使用して制御します。

ゲイン設定とゲインを Table 7 に示します。

表 7. ゲイン設定

Register 0x15 Setting	Gain (dB)	Gain (V/V)
b'00	18	7.9
b'01	24	15.9
b'10	30	31.6
b'11	36	63.1

### ゲインによる出力振幅の変動

ADA8282 のゲインは、2 つの内部ゲイン・ステージを使用して実装されています。最初のステージはゲインが 24 dB の LNA で、2 番目のステージはゲインが -6 dB ~ +12 dB の範囲で変化する PGA です。LNA の出力の振幅範囲は固定されていて、チャンネル・ゲインが 18 dB のときに制限要因となります。LNA 振幅範囲の制限事項により、ADA8282 の出力振幅はゲインに依存します (Table 8 を参照)。

表 8. 各種ゲインでの出力振幅

Gain (dB)	Output Swing (V p-p)
18	3.1
24	6.3
30	6.3
36	6.3

### オフセット電圧の調整

レジスタ 0x10 ~ レジスタ 0x13 は、各チャンネルの DC オフセット電圧を調整します。0 V に最も近いオフセットの設定となるようにデフォルト値は 0x20 になっていますが、アプリケーションに応じて調整できます。

デフォルト設定 (0x20) はゼロ・オフセット、0x00 は負の最大オフセット、0x3F は正の最大オフセットを適用します。

LNA\_OFFSETx 調整の範囲と分解能は、表 9 で説明しているように LNA バイアス・モードに依存します。

表 9. オフセット電圧の調整

LNA_BIAS_SEL Setting	Referred to Input (RTI) Offset Resolution (μV)	RTI Offset Range (mV)
b'00	113	±4
b'01	186	±6
b'10	250	±8
b'11	440	±14

### VIO ピン

VIO ピンは、SPI インターフェースが使用する電圧レベルを設定します。VIO ピンを 3.3 V 電源に接続した場合、SPI ポートは 3.3 V ロジック上で機能します。

### シングルエンド入力または差動入力

ADA8282 は、差動またはシングルエンド信号源で動作します。どちらの構成でも最大入力電圧の振幅は同じです。シングルエンド信号源を使用する場合は、コンデンサで未使用入力をグラウンドに接続します。AC カップリング・コンデンサを AC グラウンド・コンデンサにマッチングさせると、CMRR 性能が最適化されます。

### 短絡電流

ADA8282 の短絡電流は、出力ピンあたり 205 mA (typ) です。このデバイスを使用したボードを設計する場合、これらの出力が意図せずに短絡した際に、短絡電流の熱的影響を考慮する必要があります。

### SPI インターフェース

ADA8282 SPI インターフェースは、4 線式インターフェースを使用して 16 ビットの命令ヘッダと後続の 8 ビットのデータを送信します。最初のビットは、リード/ライト・ビットです。W1 と W0 は転送されるバイト数を決定します。ADA8282 を 1 つのレジスタに書き込むには、両方ともゼロに設定する必要があります。このデータには、13 ビットのアドレスと 8 ビットのデータ・バイトが続きます。

SPI ポートは、最大 10 MHz の SCLK 周波数で動作します。SPI タイミングに関する詳細については、AN-877 アプリケーション・ノートを参照してください。

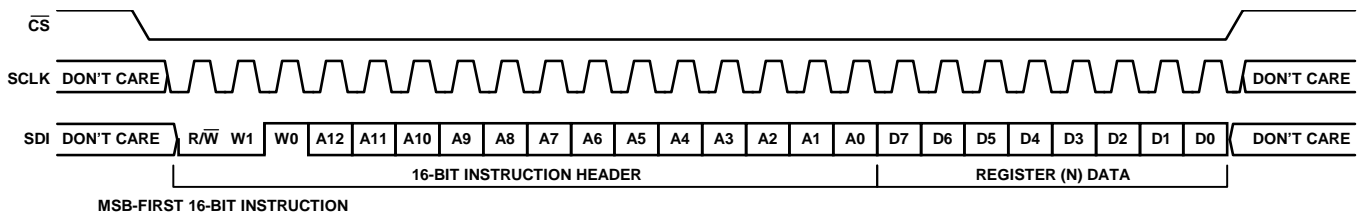


図 26. シリアル命令の詳細

### チャンネル間の位相整合

マルチチャンネル・レーダー・アプリケーションでは、チャンネル間で AC 性能をマッチングさせると (特に、アプリケーションの関心のある帯域での位相整合)、検出されたオブジェクトの距離と角度分解能が向上します。ADA8282 のレイアウトと設計は、位相整合が増大するように最適化されています。ADA8282 は、最大 5 MHz の入力信号のチャンネル間の位相変動を最小限に抑えることが可能な十分な帯域幅も備えています。

チャンネル間の位相不一致は特定の温度で較正できますが、温度範囲にわたる位相整合の変動によりシステム性能が低下します。ADA8282 は、温度が較正温度 (25 °C) から変化したときにチャンネル間の最大位相不一致を捕捉できるように特性評価されています。

図 27 に、最大 5 MHz の信号周波数のチャンネル間位相不一致の分布を示します。チャンネル間の初期位相不一致を +25 °C で 0° に正規化した場合、6σ 不一致は -40 °C で 0.43°、+125 °C で 0.6° になります。

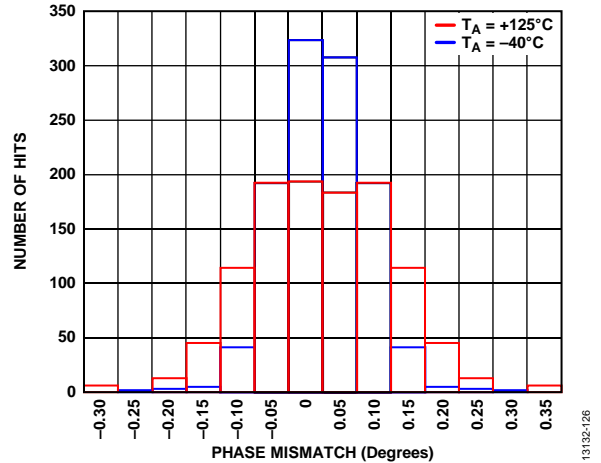


図 27. チャンネル間の位相不一致、25°C で 0° に正規化、LNA\_BIAS\_SEL = PGA\_BIAS\_SEL = b'00、PGA\_GAIN = b'11

チャンネル間の位相不一致の量は、消費電力モードとともに変化します。表 10 に、さまざまな消費電力モードのすべてのゲイン設定での、全温度範囲にわたる最大 5 MHz の 6σ 位相不一致を示します (各消費電力モードで、25 °C で 0° に正規化)。

表 10. 25 °C で較正後の温度範囲にわたるチャンネル間の最大位相不一致

PGA_BIAS_SEL	LNA_BIAS_SEL	6σ Channel to Channel Phase Mismatch over Temperature (Degrees)	Maximum Channel to Channel Phase Mismatch (Degrees)
b'00	b'00	0.60	±1
b'01	b'01	0.41	±1
b'10	b'10	0.33	±1
b'11	b'11	0.60	±1

## アプリケーション情報

### 2 個の ADA8282 デバイスを直列で使用するこ とによるゲインの増大

36 dB を超えるゲインが必要なアプリケーションの場合は、2 個の ADA8282 デバイスを直列で使用します。経路の信号振幅を最適化するには、Table 11 に従ってゲインをインクリメントします。

表 11. 直列接続した 2 個のデバイスのゲイン設定

Total Gain (dB)	A1 (Input Side ADA8282) Gain (dB)	A2 (Output Side ADA8282) Gain (dB)
36	18	18
42	18	24
48	24	24
54	30	24
60	30	30
66	36	30
72	36	36

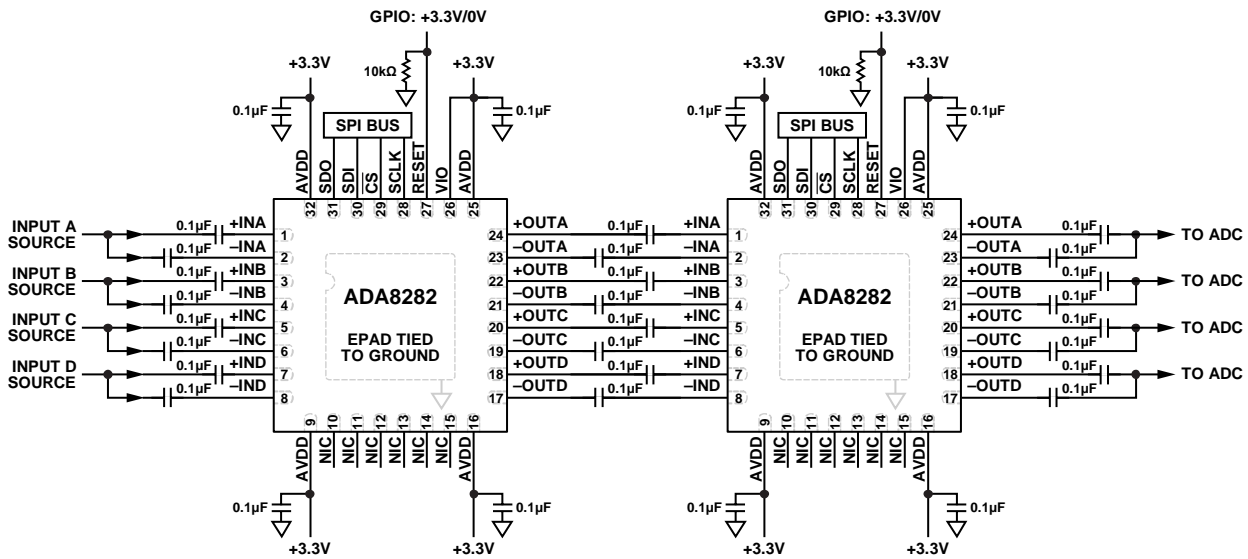


図 28. 2 個の ADA8282 デバイスを直列で使用するこ  
とによるゲインの増大

13132-023

### 複数の ADA8282 デバイスを使用したマルチプレクサ入力

2 個の ADA8282 デバイスを使用して、8 つの差動入力を 4 つの差動出力にマルチプレクスすることができます。1 度に 1 個の

デバイスをイネーブルにする場合に限り、2 個のデバイスの出力を接続できます (図 29 を参照)。1 個の ADA8282 がディスエーブルになると、これらの出力の結果として、出力バスに 6 kΩ の負荷が現れます。

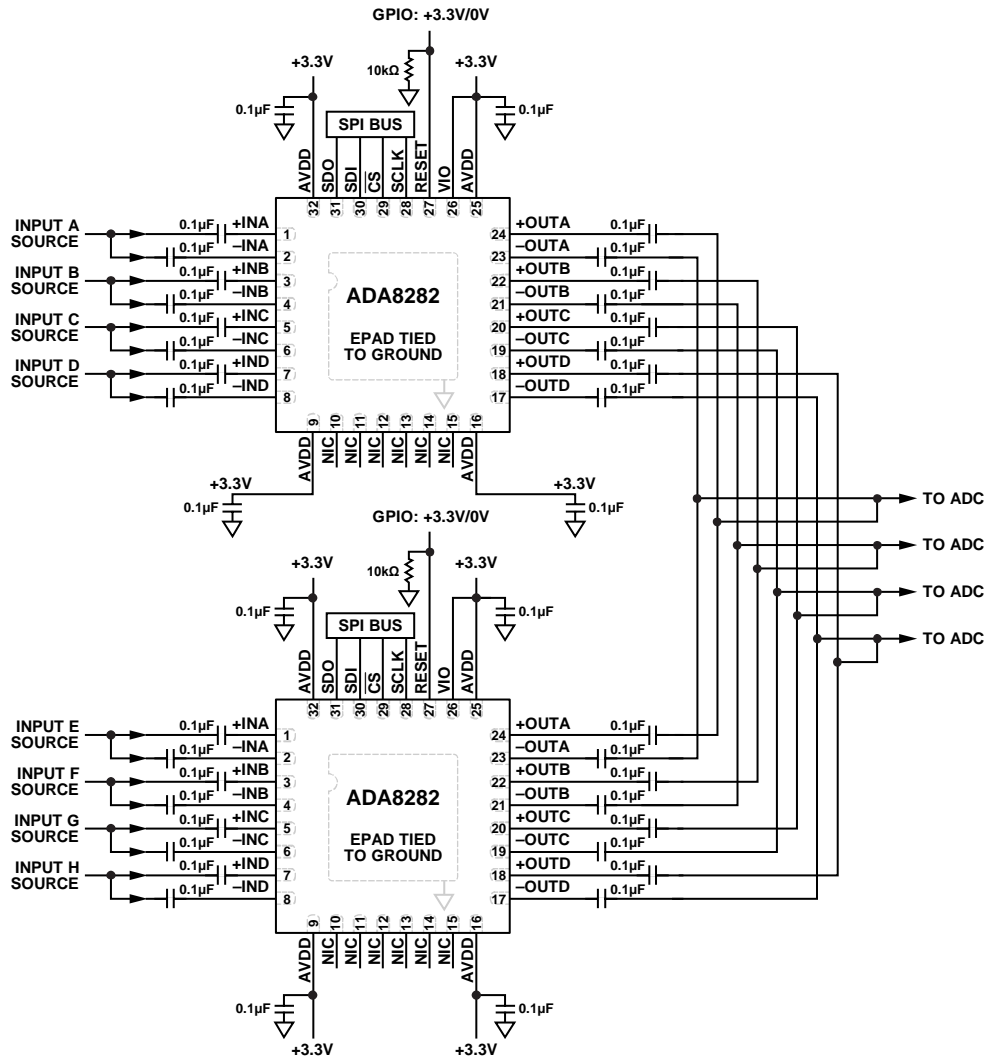


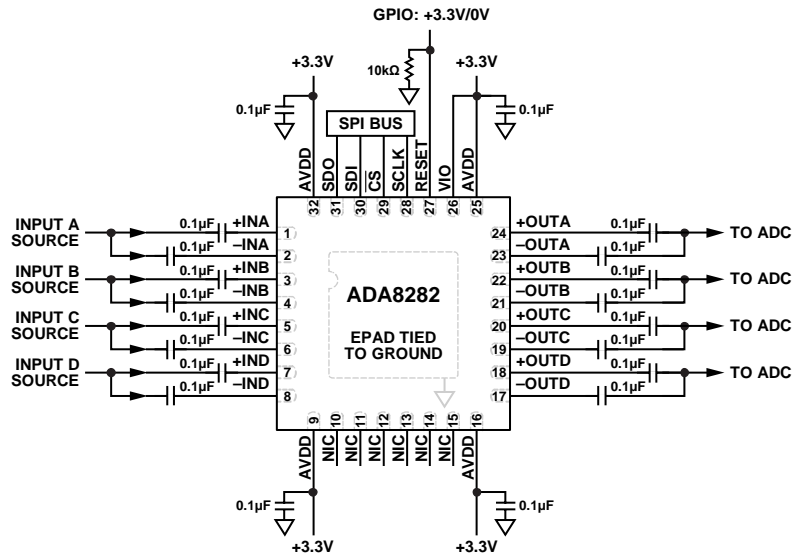
図 29. 2 個の ADA8282 を 1 つの出力バスに接続することによるマルチプレクス

13132-024

代表的なアプリケーションの基本的な接続

通常、ADA8282 は、EPAD をアナログ・グラウンド接続として使用して、公称電圧 3.3 V で動作するように設定します。バイパス・コンデンサを電源ピンのできるだけ近くに配置して、

バイパス経路と直列の金属パターンの長さを最小限に抑えます。Figure 30 に示すように、各チャンネルの入力と出力を AC 結合します。10 kΩ 抵抗を使用して RESET ピンをロー・レベルにプルダウンし、3.3 V GPIO ロジックで駆動します。SPI ピンは、SPI バスに直接接続できます。



13132-025

図 30. 代表的なコンポーネント接続



## レジスタ・マップ

## レジスタの一覧

表 12. レジスタの一覧

Reg.	Name	Bits	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset	RW
0x00	INTF_CONFA	[7:0]	INTF_CONFA2	LSBFIRST1	INTF_CONFA1	LSBFIRST0	INTF_CONFA0				0x00	RW
0x01	SOFT_RESET	[7:0]	Unused							SOFT_RESET	0x00	R
0x04	CHIP_ID1	[7:0]	CHIP_IDLOW							0x82	R	
0x05	CHIP_ID2	[7:0]	CHIP_IDHI							0x82	R	
0x06	Revision	[7:0]	Revision							0x00	R	
0x10	LNA_OFFSET0	[7:0]	Unused	LNA_OFFSET0						0x20	RW	
0x11	LNA_OFFSET1	[7:0]	Unused	LNA_OFFSET1						0x20	RW	
0x12	LNA_OFFSET2	[7:0]	Unused	LNA_OFFSET2						0x20	RW	
0x13	LNA_OFFSET3	[7:0]	Unused	LNA_OFFSET3						0x20	RW	
0x14	BIAS_SEL	[7:0]	Unused			PGA_BIAS_SEL		LNA_BIAS_SEL			0x0A	RW
0x15	PGA_GAIN	[7:0]	PGA_GAIN3	PGA_GAIN2	PGA_GAIN1			PGA_GAIN0			0x00	RW
0x17	EN_CHAN	[7:0]	Unused			EN_CHANNEL3	EN_CHANNEL2	EN_CHANNEL1	EN_CHANNEL0		0x00	RW
0x18	EN_BIAS_GEN	[7:0]	Unused							EN_BIAS_GEN	0x00	RW
0x1D	SPAREWR0	[7:0]	Unused					GPIO_WRITE	GPIO_WR_MODE		0x00	RW
0x1E	SPARERD0	[7:0]	Unused							GPIO_READ	0x00	R

## レジスタの詳細

## レジスタ 0x00: インターフェース設定レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTF_CONFA2	LSBFIRST1	INTF_CONFA1	LSBFIRST0	INTF_CONFA0			

INTF\_CONFA 設定レジスタは、最初に書き込む対称型レジスタで、データの方向 (LSB ファーストまたは MSB ファースト) の設定に使用します。

表 13. INTF\_CONFA 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	INTF_CONFA2	INTF_CONFA2 は b'00 を維持する必要があります。	0x00	RW
5	LSBFIRST1	LSBFIRST1 は、LSB ファースト動作の場合は b'1 に設定し、MSB ファースト動作の場合は b'0 に設定する必要があります。	0x00	RW
[4:3]	INTF_CONFA1	INTF_CONFA1 は b'00 に維持する必要があります。	0x00	RW
2	LSBFIRST0	LSBFIRST0 は、LSB ファースト動作の場合は b'1 に設定し、MSB ファースト動作の場合は b'0 に設定する必要があります。	0x00	RW
[1:0]	INTF_CONFA0	INTF_CONFA0 は b'00 に維持する必要があります。	0x00	RW

## レジスタ 0x01: ソフト・リセット・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Unused							SOFT_RESET

表 14. SOFT\_RESET 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
0	SOFT_RESET	SOFT_RESET ビットを b'1 に設定すると、すべてのレジスタがデフォルト値にリセットされます。	0x00	RW

## レジスタ 0x04: チップ ID ロー・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CHIP_IDLOW							

表 15. CHIP\_IDLOW 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIP_IDLOW	CHIP_ID1 レジスタと CHIP_ID2 レジスタは ADA8282 を特定します。	0x82	R

## レジスタ 0x05:チップ ID ハイ・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CHIP_IDHI							

表 16. CHIP\_IDHI 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	CHIP_IDHI	CHIP_ID1 レジスタと CHIP_ID2 レジスタは ADA8282 を特定します。	0x82	R

## レジスタ 0x06:リビジョン・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Revision							

表 17. リビジョン設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:0]	リビジョン	リビジョン・レジスタは、現在のチップのシリコン・リビジョンを特定します。	0x00	R

## レジスタ 0x10:LNA オフセット 0 レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Unused		LNA_OFFSET0					

表 18. LNA\_OFFSET0 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
[5:0]	LNA_OFFSET0	LNA_OFFSET0 はチャンネル A のオフセットを制御します。デフォルト設定 (0x20) は最小オフセットを適用し、0x00 は負の最大オフセットを適用し、0x3F は正の最大オフセットを適用します。 オフセットの分解能は、次のように LNA バイアス・モードによって異なります。 LNA バイアス・モード 0:113 $\mu$ V RTI オフセット分解能、 $\pm 4$ mV 範囲。 LNA バイアス・モード 1:186 $\mu$ V RTI オフセット分解能、 $\pm 6$ mV 範囲。 LNA バイアス・モード 2:250 $\mu$ V RTI オフセット分解能、 $\pm 8$ mV 範囲。 LNA バイアス・モード 3:440 $\mu$ V RTI オフセット分解能、 $\pm 14$ mV 範囲。	0x20	RW

## レジスタ 0x11:LNA オフセット 1 レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Unused		LNA_OFFSET1					

表 19. LNA\_OFFSET1 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
[5:0]	LNA_OFFSET1	LNA_OFFSET0 はチャンネル B のオフセットを制御します。デフォルト設定 (0x20) は最小オフセットを適用し、0x00 は負の最大オフセットを適用し、0x3F は正の最大オフセットを適用します。 オフセットの分解能は、次のように LNA バイアス・モードによって異なります。 LNA バイアス・モード 0:113 $\mu$ V RTI オフセット分解能、 $\pm 4$ mV 範囲。 LNA バイアス・モード 1:186 $\mu$ V RTI オフセット分解能、 $\pm 6$ mV 範囲。 LNA バイアス・モード 2:250 $\mu$ V RTI オフセット分解能、 $\pm 8$ mV 範囲。 LNA バイアス・モード 3:440 $\mu$ V RTI オフセット分解能、 $\pm 14$ mV 範囲。	0x20	RW

## レジスタ 0x12:LNA オフセット 2 レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Unused		LNA_OFFSET2					

表 20. LNA\_OFFSET2 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
[5:0]	LNA_OFFSET2	LNA_OFFSET0 はチャンネル C のオフセットを制御します。デフォルト設定 (0x20) は最小オフセットを適用し、0x00 は負の最大オフセットを適用し、0x3F は正の最大オフセットを適用します。 オフセットの分解能は、次のように LNA バイアス・モードによって異なります。 LNA バイアス・モード 0:113 $\mu$ V RTI オフセット分解能、 $\pm 4$ mV 範囲。 LNA バイアス・モード 1:186 $\mu$ V RTI オフセット分解能、 $\pm 6$ mV 範囲。 LNA バイアス・モード 2:250 $\mu$ V RTI オフセット分解能、 $\pm 8$ mV 範囲。 LNA バイアス・モード 3:440 $\mu$ V RTI オフセット分解能、 $\pm 14$ mV 範囲。	0x20	RW

## レジスタ 0x13:LNA オフセット 3 レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Unused			LNA_OFFSET3				

表 21. LNA\_OFFSET3 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
[5:0]	LNA_OFFSET3	LNA_OFFSET0 はチャンネル D のオフセットを制御します。デフォルト設定 (0x20) は最小オフセットを適用し、0x00 は負の最大オフセットを適用し、0x3F は正の最大オフセットを適用します。 オフセットの分解能は、次のように LNA バイアス・モードによって異なります。 LNA バイアス・モード 0:113 $\mu$ V RTI オフセット分解能、 $\pm 4$ mV 範囲。 LNA バイアス・モード 1:186 $\mu$ V RTI オフセット分解能、 $\pm 6$ mV 範囲。 LNA バイアス・モード 2:250 $\mu$ V RTI オフセット分解能、 $\pm 8$ mV 範囲。 LNA バイアス・モード 3:440 $\mu$ V RTI オフセット分解能、 $\pm 14$ mV 範囲。	0x20	RW

## レジスタ 0x14:PGA バイアス・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Unused			PGA_BIAS_SEL		LNA_BIAS_SEL		

PGA バイアス選択レジスタにより、消費電力と性能（帯域幅とノイズなど）をトレードオフすることができます。

表 22. BIAS\_SEL 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
[3:2]	PGA_BIAS_SEL	PGA バイアスを最小にするには PGA_BIAS_SEL を b'00 に設定し、PGA バイアスを最大にするには PGA_BIAS_SEL を b'11 に設定します。	0x00	RW
[1:0]	LNA_BIAS_SEL	LNA バイアスを最小にするには LNA_BIAS_SEL を b'00 に設定し、LNA バイアスを最小にするには LNA_BIAS_SEL を b'11 に設定します。	0x00	RW

## レジスタ 0x15:PGA ゲイン・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PGA_GAIN3		PGA_GAIN2		PGA_GAIN1		PGA_GAIN0	

PGA ゲイン・レジスタにより、各チャンネルのゲインを個別に設定できます。

表 23. PGA\_GAIN 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
[7:6]	PGA_GAIN3	チャンネル D のゲインを 18 dB にする場合は PGA_GAIN3 を b'00、24 dB にする場合は b'01、30 dB にする場合は b'10、36 dB にする場合は b'11 に設定します。	0x00	RW
[5:4]	PGA_GAIN2	チャンネル C のゲインを 18 dB にする場合は PGA_GAIN2 を b'00、24 dB にする場合は b'01、30 dB にする場合は b'10、36 dB にする場合は b'11 に設定します。	0x00	RW
[3:2]	PGA_GAIN1	チャンネル B のゲインを 18 dB にする場合は PGA_GAIN1 を b'00、24 dB にする場合は b'01、30 dB にする場合は b'10、36 dB にする場合は b'11 に設定します。	0x00	RW
[1:0]	PGA_GAIN0	チャンネル A のゲインを 18 dB にする場合は PGA_GAIN0 を b'00、24 dB にする場合は b'01、30 dB にする場合は b'10、36 dB にする場合は b'11 に設定します。	0x00	RW

## レジスタ 0x17:イネーブル・チャンネル・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Unused				EN_CHANNEL3	EN_CHANNEL2	EN_CHANNEL1	EN_CHANNEL0

イネーブル・チャンネル・レジスタにより、個別のチャンネルをイネーブルまたはディスエーブルにできます。チャンネルのデフォルト・モードは、ディスエーブルです。すべてのチャンネルをイネーブルにするには、EN\_CHAN レジスタに 0x0F を書き込みます。チャンネルはディスエーブルであるが、バイアス・ジェネレータがイネーブルになっている場合、チャンネルの電流消費量は 100  $\mu$ A 未満です。チャンネルがディスエーブルの場合、出力ピンは high-Z になります。イネーブル・チャンネル・レジスタは、高速電源ランプの突入電流を回避できるように AVDD パワーオン時に 0x00 にリセットされます。

表 24. EN\_CHAN レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
3	EN_CHANNEL3	チャンネル D をイネーブルにするには b'1 に設定し、ディスエーブルにするには b'0 に設定します。	0x00	RW
2	EN_CHANNEL2	チャンネル C をイネーブルにするには b'1 に設定し、ディスエーブルにするには b'0 に設定します。	0x00	RW
1	EN_CHANNEL1	チャンネル B をイネーブルにするには b'1 に設定し、ディスエーブルにするには b'0 に設定します。	0x00	RW
0	EN_CHANNEL0	チャンネル A をイネーブルにするには b'1 に設定し、ディスエーブルにするには b'0 に設定します。	0x00	RW

## レジスタ 0x18:イネーブル・バイアス・ジェネレータ・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Unused							EN_BIAS_GEN

いずれかのチャンネルがイネーブルになっている場合、バイアス・ジェネレータは自動的にイネーブルになります。EN\_BIAS\_GEN レジスタは、すべてのチャンネルがディスエーブルになっている場合でも、バイアス・ジェネレータをアクティブのままにするかどうかを制御します。バイアス・ジェネレータをアクティブのままにしておくと、デバイスのイネーブル時間が短くなります。

表 25. EN\_BIAS\_GEN レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
0	EN_BIAS_GEN	EN_BIAS_GEN を 1 に設定すると、バイアス・ジェネレータがアクティブのままになり、イネーブル時間が短くなります (約 2 $\mu$ s)。	0x00	RW

## レジスタ 0x1D:GPIO ライト・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Unused						GPIO_WRITE	GPIO_WR_MODE

GPIO\_WR\_MODE ビットは、SDO ピンを GPIO\_WRITE レジスタによって書き込んだり、GPIO\_READ レジスタによって読み出したりすることが可能な汎用入出力 (GPIO) ポートに再設定します。

表 26. SPAREWR0 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
1	GPIO_WRITE	GPIO 書き込みモードがアクティブな場合、データ・ビットは SDO ピンに出力されます。	0x00	RW
0	GPIO_WR_MODE	GPIO 書き込みモードをアクティブにするには、このレジスタに b'1 を書き込みます。	0x00	RW

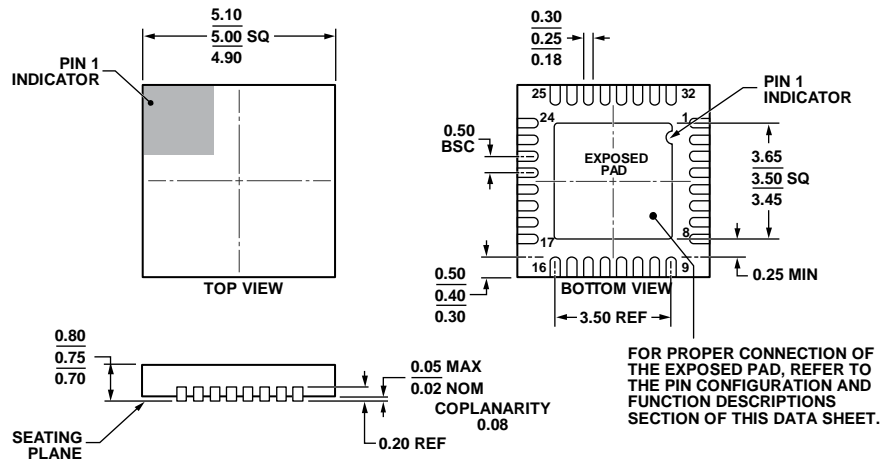
## レジスタ 0x1E:GPIO リード・レジスタ

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Unused							GPIO_READ

表 27. SPARERD0 設定レジスタ・ビットの説明

ビット	ビット名	説明	リセット	アクセス
0	GPIO_READ	GPIO_WR_MODE に b'0 が書き込まれた場合、このレジスタは SDO に出力されたロジック・レベルを反映します。	0x00	R

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-220-WHHD.

04-02-2012-A

図 31. 32 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP\_WQ]  
 5 mm × 5 mm ボディ、極薄型クワッド  
 (CP-32-11)  
 寸法単位: mm

オーダー・ガイド

Model <sup>1, 2</sup>	Temperature Range	Package Description	Package Option
ADA8282WBCPZ-R7	-40°C to +125°C	32-Lead LFCSP_WQ, 7" Tape and Reel	CP-32-11
ADA8282WBCPZ	-40°C to +125°C	32-Lead LFCSP_WQ	CP-32-11
ADA8282CP-EBZ		Evaluation Board	

<sup>1</sup> Z = RoHS 準拠製品。

<sup>2</sup> W = 車載アプリケーション向けの性能評価済み。

車載製品

ADA8282W モデルは、車載アプリケーションの品質と信頼性の要件をサポートするため、管理された環境で製造されています。これらの車載モデルの仕様は商用モデルと異なる場合があるため、設計者はこのデータシートの Specifications のセクションを慎重にレビューしてください。ここに記載する車載グレード製品のみを車載アプリケーション用として提供しています。特定製品のオーダー情報とこれらのモデルに特定の車載信頼性レポートについては、最寄りのアナログ・デバイセズのアカунト担当者にお尋ねください。