

特長

低入力電圧ノイズ : 1.2 nV/ $\sqrt{\text{Hz}}$

低同相出力 : 単電源で 0.9 V

極めて低い高調波歪み

HD2 : -104 dBc @10 MHz

HD2 : -79 dBc @70 MHz

HD2 : -73 dBc @100 MHz

HD3 : -101 dBc @10 MHz

HD3 : -82 dBc @70 MHz

HD3 : -75 dBc @100 MHz

高速

-3 dB 帯域幅 : 1.35 GHz, G = 1

スルーレート : :3400 V/ μs , 25% ~75%

0.1 dB 平坦度 : 380 MHz

高速なオーバードライブ回復時間: 1.5 ns

オフセット電圧 : 0.5 mV(typ)

外部調整可能なゲイン

差動 to 差動又はシングル・エンド to 差動の変換動作

調整可能な出力同相電圧

単電源動作 : 3.3 V 又は 5 V

機能ブロック図

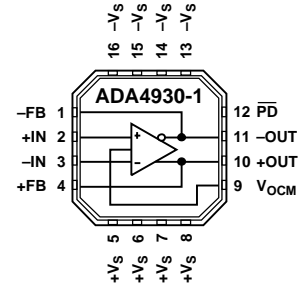


図 1.

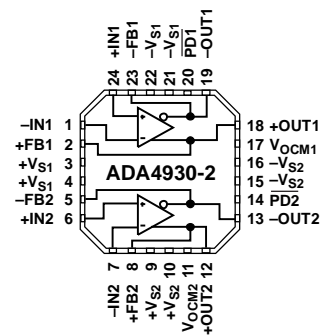


図 2.

アプリケーション

ADC ドライバ

シングル・エンド to 差動の変換

IF およびベースバンドのゲイン・ブロック

差動バッファ

ライン・ドライバ

概要

ADA4930-1/ADA4930-2 は、低ノイズ、超低歪みの高速差動アンプです。これらのデバイスは、DC~70 MHz で最大 14 ビットの分解能を持つ高性能 ADC の駆動に最適な選択肢です。出力の同相電圧は調整可能なので、ADA4930-1/ADA4930-2 の出力を A/D コンバータの入力に合わせる事ができます。内部の同相帰還ループは、優れた出力バランスを維持し、偶数次の高調波歪み成分を抑え、DC レベルを変換します。

ADA4930-1/ADA4930-2 を使うと、4 本の抵抗からなる簡単な外付け帰還回路によりアンプのクロズド・ループ・ゲインを決定できるので、差動ゲイン回路を容易に実現できます。

The ADA4930-1/ADA4930-2 はアナログ・デバイセズ社独自のシリコン・ゲルマニウム (SiGe) 相補バイポーラ・プロセスにより製造されているため、わずか 1.2 nV/ $\sqrt{\text{Hz}}$ の入力電圧ノイズで非常に低レベルの歪みを実現しています。

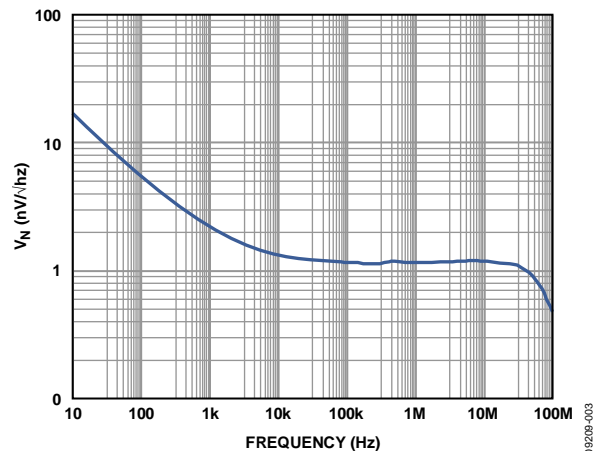


図 3. 電圧ノイズ・スペクトル密度

ADA4930-1/ADA4930-2 は、低オフセットで優れたダイナミック性能なので、さまざまなデータ・アクイジション・アプリケーションや信号処理アプリケーションに適しています。

ADA4930-1 のパッケージは 3mm \times 3mm の 16 ピン LFCSP (鉛フリー)、ADA4930-2 のパッケージは 4mm \times 4 mm の 24 ピン LFCSP パッケージ (鉛フリー) です。ピン配置は、PCB レイアウトが容易になり又歪みが最小になるように最適化されています。ADA4930-1 及び ADA4930-2 は、3.3V または 5V の電源電圧で -40 $^{\circ}\text{C}$ ~ +105 $^{\circ}\text{C}$ の温度範囲にわたっての動作が仕様化されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。※日本語資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

| | | | |
|---------------------------------------|---|------------------------------|----|
| 特長..... | 1 | テスト回路..... | 15 |
| アプリケーション..... | 1 | 動作説明..... | 16 |
| 概要..... | 1 | 用語の定義..... | 16 |
| 機能ブロック図..... | 1 | 動作原理..... | 17 |
| 改訂履歴..... | 2 | アプリケーション回路の解析..... | 17 |
| 仕様..... | 3 | クロズド・ループ・ゲインの設定..... | 17 |
| 3.3V 動作..... | 3 | 出力ノイズ電圧の計算..... | 17 |
| 3.3 V V_{OCM} to $V_{O,cm}$ 性能..... | 4 | 帰還回路でのミスマッチの影響..... | 18 |
| 3.3 V 一般性能..... | 4 | 入力同相電圧範囲..... | 19 |
| 5 V 動作..... | 5 | 最小 R_G 値..... | 19 |
| 5 V V_{OCM} to $V_{O,cm}$ 性能..... | 6 | 出力同相電圧の設定..... | 19 |
| 5 V 一般性能..... | 6 | アプリケーション回路の入力インピーダンスの計算..... | 19 |
| 絶対最大定格..... | 7 | レイアウト、グラウンド接続、バイアス..... | 23 |
| 熱抵抗..... | 7 | 高精度 ADC の駆動..... | 24 |
| 最大消費電力..... | 7 | 外形寸法..... | 25 |
| ESD の注意..... | 7 | オーダー・ガイド..... | 25 |
| ピン配置及びピン機能説明..... | 8 | | |
| 代表的な性能特性..... | 9 | | |

改訂履歴

10/10—Rev. 0 to Rev. A

| | |
|------------|---|
| 概要を変更..... | 1 |
|------------|---|

10/10—Revision 0:初版

仕様

3.3 V 動作

特に指定のない限り、 $V_S = 3.3\text{ V}$, $V_{ICM} = 0.9\text{ V}$, $V_{OCM} = 0.9\text{ V}$, $R_F = 301\ \Omega$, $R_G = 301\ \Omega$, $R_{L, dm} = 1\text{ k}\Omega$, シングル・エンド入力, 差動出力, $T_A = 25^\circ\text{C}$, $T_{MIN} \sim T_{MAX} = -40^\circ\text{C} \sim +105^\circ\text{C}$ 。

表 1.

| Parameter | Test Conditions/Comments | Min | Typ | Max | Unit |
|-----------------------------------|---|------|---------|------|------------------------------|
| DYNAMIC PERFORMANCE | | | | | |
| -3 dB Small Signal Bandwidth | $V_{O, dm} = 0.1\text{ V p-p}$ | | 1430 | | MHz |
| -3 dB Large Signal Bandwidth | $V_{O, dm} = 2\text{ V p-p}$ | | 887 | | MHz |
| Bandwidth for 0.1 dB Flatness | $V_{O, dm} = 0.1\text{ V p-p}$ | | | | |
| ADA4930-1 | | | 380 | | MHz |
| ADA4930-2 | | | 89 | | MHz |
| Slew Rate | $V_{O, dm} = 2\text{ V step, 25\% to 75\%}$ | | 2877 | | V/ μs |
| Settling Time to 0.1% | $V_{O, dm} = 2\text{ V step, } R_L = 200\ \Omega$ | | 6.3 | | ns |
| Overdrive Recovery Time | $G = 3, V_{IN, dm} = 0.7\text{ V p-p pulse}$ | | 1.5 | | ns |
| NOISE/HARMONIC PERFORMANCE | | | | | |
| HD2/HD3 | $V_{O, dm} = 2\text{ V p-p, } f_C = 10\text{ MHz}$ | | -98/-97 | | dB |
| | $V_{O, dm} = 2\text{ V p-p, } f_C = 30\text{ MHz}$ | | -91/-88 | | dB |
| | $V_{O, dm} = 2\text{ V p-p, } f_C = 70\text{ MHz}$ | | -79/-79 | | dB |
| | $V_{O, dm} = 2\text{ V p-p, } f_C = 100\text{ MHz}$ | | -73/-73 | | dB |
| Third-Order IMD | $V_{O, dm} = 1\text{ V p-p/tone, } f_C = 70.05\text{ MHz} \pm 0.05\text{ MHz}$ | | 91 | | dBc |
| | $V_{O, dm} = 1\text{ V p-p/tone, } f_C = 140.05\text{ MHz} \pm 0.05\text{ MHz}$ | | 86 | | dBc |
| Input Voltage Noise | $f = 100\text{ kHz}$ | | 1.15 | | nV/ $\sqrt{\text{Hz}}$ |
| Input Current Noise | $f = 100\text{ kHz}$ | | 3 | | pA/ $\sqrt{\text{Hz}}$ |
| Crosstalk | $f = 100\text{ MHz, ADA4930-2, } R_L = 200\ \Omega$ | | -90 | | dB |
| DC PERFORMANCE | | | | | |
| Input Offset Voltage | $V_{IP} = V_{IN} = V_{OCM} = 0\text{ V, } R_L = \text{open circuit}$ | -3.1 | -0.5 | +3.1 | mV |
| Input Offset Voltage Drift | T_{MIN} to T_{MAX} | | 2.75 | | $\mu\text{V}/^\circ\text{C}$ |
| Input Bias Current | | -36 | -24 | -16 | μA |
| Input Bias Current Drift | T_{MIN} to T_{MAX} | | -0.05 | | $\mu\text{A}/^\circ\text{C}$ |
| Input Offset Current | | -1.8 | +0.1 | +1.8 | μA |
| Open-Loop Gain | $R_F = R_G = 10\text{ k}\Omega, \Delta V_O = 0.5\text{ V, } R_L = \text{open circuit}$ | | 64 | | dB |
| INPUT CHARACTERISTICS | | | | | |
| Input Common-Mode Voltage Range | | 0.3 | | 1.2 | V |
| Input Resistance | Differential | | 150 | | k Ω |
| | Common mode | | 3 | | M Ω |
| Input Capacitance | Common mode | | 1 | | pF |
| CMRR | $\Delta V_{ICM} = 0.5\text{ V dc; } R_F = R_G = 10\text{ k}\Omega, R_L = \text{open circuit}$ | | -82 | -77 | dB |
| OUTPUT CHARACTERISTICS | | | | | |
| Output Voltage | Each single-ended output; $R_F = R_G = 10\text{ k}\Omega$ | 0.11 | | 1.74 | V |
| Linear Output Current | Each single-ended output; $f = 1\text{ MHz, } TDH \leq 60\text{ dBc}$ | | 30 | | mA |
| Output Balance Error | $f = 1\text{ MHz}$ | | 55 | | dB |

ADA4930-1/ADA4930-2

3.3 V V_{OCM} TO $V_{O,CM}$ 性能

表 2.

| Parameter | Test Conditions/Comments | Min | Typ | Max | Unit |
|---------------------------------|---|------|-------|------|------------------------|
| V_{OCM} DYNAMIC PERFORMANCE | | | | | |
| -3 dB Bandwidth | $V_{O,cm} = 0.1$ V p-p | | 745 | | MHz |
| Slew Rate | $V_{O,cm} = 2$ V p-p, 25% to 75% | | 828 | | V/ μ s |
| V_{OCM} INPUT CHARACTERISTICS | | | | | |
| Input Voltage Range | | 0.8 | | 1.1 | V |
| Input Resistance | | 7.0 | 8.3 | 10.3 | k Ω |
| Input Offset Voltage | $V_{OS,cm} = V_{O,cm} - V_{OCM}$; $V_{IP} = V_{IN} = V_{OCM} = 0$ V | -25 | +15.4 | +31 | mV |
| Input Voltage Noise | $f = 100$ kHz | | 23.5 | | nV/ $\sqrt{\text{Hz}}$ |
| Gain | | 0.99 | 1 | 1.02 | V/V |
| CMRR | $\Delta V_{OCM} = 0.5$ V dc; $R_F = R_G = 10$ k Ω , $R_L =$ open circuit | | -83 | -77 | dB |

3.3 V 一般性能

表 3.

| Parameter | Test Conditions/Comments | Min | Typ | Max | Unit |
|----------------------------------|--|------|------|------|-----------------------|
| POWER SUPPLY | | | | | |
| Operating Range | | | 3.3 | | V |
| Quiescent Current per Amplifier | Enabled | 32 | 35 | 40 | mA |
| | Enabled, T_{MIN} to T_{MAX} variation | | 81 | | μ A/ $^{\circ}$ C |
| | Disabled | 0.44 | 1.8 | 2.35 | mA |
| +PSRR | $\Delta V_{ICM} = 0.5$ V; $R_F = R_G = 10$ k Ω , $R_L =$ open circuit | | -74 | -70 | dB |
| -PSRR | $\Delta V_{ICM} = 0.5$ V; $R_F = R_G = 10$ k Ω , $R_L =$ open circuit | | -87 | -76 | dB |
| POWER-DOWN (\overline{PD}) | | | | | |
| \overline{PD} Input Voltage | Disabled | | <0.8 | | V |
| | Enabled | | >1.3 | | V |
| Turn-Off Time | | | 1 | | μ s |
| Turn-On Time | | | 12 | | ns |
| \overline{PD} Pin Bias Current | | | | | |
| Enabled | $\overline{PD} = 3.3$ V | | 0.09 | | μ A |
| Disabled | $\overline{PD} = 0$ V | | 97 | | μ A |
| OPERATING TEMPERATURE RANGE | | -40 | | +105 | $^{\circ}$ C |

5 V 動作

特に指定のない限り、 $V_S = 5\text{ V}$, $V_{ICM} = 0.9\text{ V}$, $V_{OCM} = 0.9\text{ V}$, $R_F = 301\ \Omega$, $R_G = 301\ \Omega$, $R_{L, dm} = 1\text{ k}\Omega$, シングル・エンド入力, 差動出力, $T_A = 25^\circ\text{C}$,
 $T_{MIN} \sim T_{MAX} = -40^\circ\text{C} \sim +105^\circ\text{C}$ 。

表 4.

| Parameter | Test Conditions/Comments | Min | Typ | Max | Unit |
|-----------------------------------|---|-------|-----------|-------|------------------------------|
| DYNAMIC PERFORMANCE | | | | | |
| -3 dB Small Signal Bandwidth | $V_{O, dm} = 0.1\text{ V p-p}$ | | 1350 | | MHz |
| -3 dB Large Signal Bandwidth | $V_{O, dm} = 2\text{ V p-p}$ | | 937 | | MHz |
| Bandwidth for 0.1 dB Flatness | $V_{O, dm} = 0.1\text{ V p-p}$ | | | | |
| ADA4930-1 | | | 369 | | MHz |
| ADA4930-2 | | | 90 | | MHz |
| Slew Rate | $V_{O, dm} = 2\text{ V step, 25% to 75%}$ | | 3400 | | V/ μs |
| Settling Time to 0.1% | $V_{O, dm} = 2\text{ V step, } R_L = 200\ \Omega$ | | 6 | | ns |
| Overdrive Recovery Time | $G = 3, V_{IN, dm} = 0.7\text{ V p-p pulse}$ | | 1.5 | | ns |
| NOISE/HARMONIC PERFORMANCE | | | | | |
| HD2/HD3 | $V_{O, dm} = 2\text{ V p-p, } f_c = 10\text{ MHz}$ | | -104/-101 | | dB |
| | $V_{O, dm} = 2\text{ V p-p, } f_c = 30\text{ MHz}$ | | -91/-93 | | dB |
| | $V_{O, dm} = 2\text{ V p-p, } f_c = 70\text{ MHz}$ | | -79/-82 | | dB |
| | $V_{O, dm} = 2\text{ V p-p, } f_c = 100\text{ MHz}$ | | -73/-75 | | dB |
| Third-Order IMD | $V_{O, dm} = 1\text{ V p-p/tone, } f_c = 70.05\text{ MHz} \pm 0.05\text{ MHz}$ | | 94 | | dBc |
| | $V_{O, dm} = 1\text{ V p-p/tone, } f_c = 140.05\text{ MHz} \pm 0.05\text{ MHz}$ | | 90 | | dBc |
| Input Voltage Noise | $f = 100\text{ kHz}$ | | 1.2 | | nV/ $\sqrt{\text{Hz}}$ |
| Input Current Noise | $f = 100\text{ kHz}$ | | 2.8 | | pA/ $\sqrt{\text{Hz}}$ |
| Crosstalk | $f = 100\text{ MHz, ADA4930-2, } R_L = 200\ \Omega$ | | -90 | | dB |
| DC PERFORMANCE | | | | | |
| Input Offset Voltage | $V_{IP} = V_{IN} = V_{OCM} = 0\text{ V, } R_L = \text{open circuit}$ | -3.1 | -0.15 | +3.1 | mV |
| Input Offset Voltage Drift | T_{MIN} to T_{MAX} | | 1.8 | | $\mu\text{V}/^\circ\text{C}$ |
| Input Bias Current | | -34 | -23 | -15 | μA |
| Input Bias Current Drift | T_{MIN} to T_{MAX} | | -0.05 | | $\mu\text{A}/^\circ\text{C}$ |
| Input Offset Current | | -0.82 | +0.1 | +0.82 | μA |
| Open-Loop Gain | $R_F = R_G = 10\text{ k}\Omega, \Delta V_O = 1\text{ V, } R_L = \text{open circuit}$ | | 64 | | dB |
| INPUT CHARACTERISTICS | | | | | |
| Input Common-Mode Voltage Range | | 0.3 | | 2.8 | V |
| Input Resistance | Differential | | 150 | | k Ω |
| | Common mode | | 3 | | M Ω |
| Input Capacitance | Common mode | | 1 | | pF |
| CMRR | $\Delta V_{ICM} = 1\text{ V dc; } R_F = R_G = 10\text{ k}\Omega, R_L = \text{open circuit}$ | | -82 | -77 | dB |
| OUTPUT CHARACTERISTICS | | | | | |
| Output Voltage | Each single-ended output; $R_F = R_G = 10\text{ k}\Omega$ | 0.18 | | 3.38 | V |
| Linear Output Current | Each single-ended output; $f = 1\text{ MHz, } TDH \leq 60\text{ dBc}$ | | 30 | | mA |
| Output Balance Error | $f = 1\text{ MHz}$ | | 55 | | dB |

ADA4930-1/ADA4930-2

5 V V_{OCM} TO $V_{O,CM}$ 性能

表 5.

| Parameter | Test Conditions/Comments | Min | Typ | Max | Unit |
|---------------------------------|---|------|-------|------|------------------------|
| V_{OCM} DYNAMIC PERFORMANCE | | | | | |
| -3 dB Bandwidth | $V_{O,cm} = 0.1$ V p-p | | 740 | | MHz |
| Slew Rate | $V_{O,cm} = 2$ V p-p, 25% to 75% | | 1224 | | V/ μ s |
| V_{OCM} INPUT CHARACTERISTICS | | | | | |
| Input Voltage Range | | 0.5 | | 2.3 | V |
| Input Resistance | | 7.0 | 8.3 | 10.2 | k Ω |
| Input Offset Voltage | $V_{OS,cm} = V_{O,cm} - V_{OCM}$; $V_{IP} = V_{IN} = V_{OCM} = 0$ V | -25 | +0.35 | +15 | mV |
| Input Voltage Noise | $f = 100$ kHz | | 23.5 | | nV/ $\sqrt{\text{Hz}}$ |
| Gain | | 0.99 | 1 | 1.02 | V/V |
| CMRR | $\Delta V_{OCM} = 1.5$ V; $R_F = R_G = 10$ k Ω , $R_L = \text{open}$ circuit | | -80 | -77 | dB |

5 V 一般性能

表 6.

| Parameter | Test Conditions/Comments | Min | Typ | Max | Unit |
|---|---|------|------|------|-----------------------|
| POWER SUPPLY | | | | | |
| Operating Range | | | 5 | | V |
| Quiescent Current per Amplifier | Enabled | 31.1 | 34 | 38.4 | mA |
| | Enabled, T_{MIN} to T_{MAX} variation | | 74.5 | | μ A/ $^{\circ}$ C |
| | Disabled | 0.45 | 1.8 | 2.6 | mA |
| +PSRR | $\Delta V_{ICM} = 1$ V; $R_F = R_G = 10$ k Ω , $R_L = \text{open}$ circuit | | -74 | -71 | dB |
| -PSRR | $\Delta V_{ICM} = 1$ V; $R_F = R_G = 10$ k Ω , $R_L = \text{open}$ circuit | | -91 | -75 | dB |
| POWER-DOWN ($\overline{\text{PD}}$) | | | | | |
| $\overline{\text{PD}}$ Input Voltage | Disabled | | <2.5 | | V |
| | Enabled | | >3 | | V |
| Turn-Off Time | | | 1 | | μ s |
| Turn-On Time | | | 12 | | ns |
| $\overline{\text{PD}}$ Pin Bias Current | | | | | |
| Enabled | $\overline{\text{PD}} = 5$ V | | 0.09 | | μ A |
| Disabled | $\overline{\text{PD}} = 0$ V | | 97 | | μ A |
| OPERATING TEMPERATURE RANGE | | -40 | | +105 | $^{\circ}$ C |

絶対最大定格

表 7.

| Parameter | Rating |
|--------------------------------------|-----------------|
| Supply Voltage | 5.5 V |
| Power Dissipation | 図 4.参照 |
| Storage Temperature Range | -65°C to +125°C |
| Operating Temperature Range | -40°C to +105°C |
| Lead Temperature (Soldering, 10 sec) | 300°C |
| Junction Temperature | 150°C |

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は EIA/JESD 51-7 で規定される熱伝導性の高い 2s2p 回路基板にハンダ付けしたデバイス(露出パッドを含む)に対して規定します。

表 8.熱抵抗

| Package Type | θ_{JA} | Unit |
|-----------------------------|---------------|------|
| 16-Lead LFCSP (Exposed Pad) | 98 | °C/W |
| 24-Lead LFCSP (Exposed Pad) | 67 | °C/W |

最大消費電力

ADA4930-1/ADA4930-2 のパッケージ内での安全な最大消費電力は、チップのジャンクション温度(T_J)上昇により制限されます。約 150°C のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、ADA4930-1/ADA4930-2 のパラメータ性能が永久的にシフトしてしまふことがあります。150°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージ内の消費電力(P_D)は、静止消費電力と全出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン(V_S)間の電圧に静止電流(I_S)を乗算して計算されます。負荷駆動に起因する消費電力は、特定のアプリケーションに依存します。負荷駆動に起因する電力は、負荷電流とデバイスの対応する電圧降下の積として計算されます。これらの計算では RMS 電圧と RMS 電流が使用されます。

強制空冷を使うと、放熱量が増えるため、実効的に θ_{JA} が小さくなります。さらに、パッケージ・ピン/露出パッドをメタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンなどのメタルと直接接触させる部分を多くする事により、 θ_{JA} を小さくできます。

図 4. に、JEDEC 規格 4 層基板を使用したシングル ADA4930-1 の 16 ピン LFCSP (98°C/W) と、デュアル ADA4930-2 の 24 ピン LFCSP (67°C/W) の、パッケージの最大安全消費電力対周囲温度を示します。

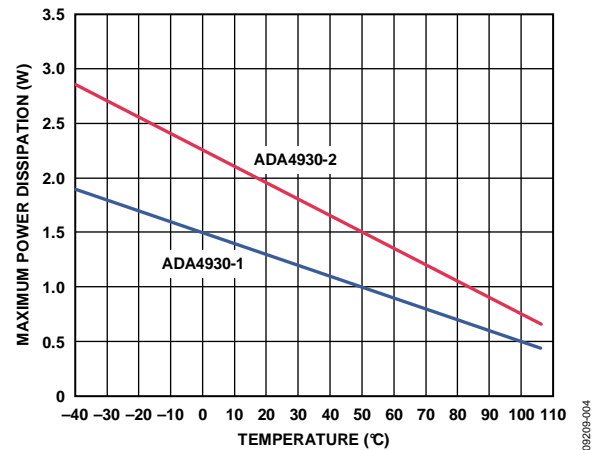


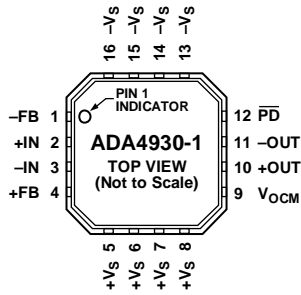
図 4.最大消費電力対周囲温度、4 層基板

ESD の注意



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

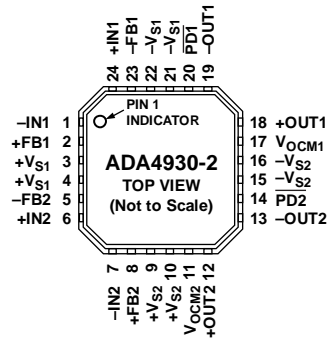
ピン配置およびピン機能説明



NOTES
1. EXPOSED PADDLE. THE EXPOSED PAD IS NOT ELECTRICALLY CONNECTED TO THE DEVICE. IT IS TYPICALLY SOLDERED TO GROUND OR A POWER PLANE ON THE PCB THAT IS THERMALLY CONDUCTIVE.

09209-0/05

図 5.ADA4930-1 のピン配置



NOTES
1. EXPOSED PADDLE. THE EXPOSED PAD IS NOT ELECTRICALLY CONNECTED TO THE DEVICE. IT IS TYPICALLY SOLDERED TO GROUND OR A POWER PLANE ON THE PCB THAT IS THERMALLY CONDUCTIVE.

09209-0/06

図 6.ADA4930-2 のピン配置

表 9.ADA4930-1 のピン機能の説明

| ピン番号 | 記号 | 説明 |
|-------|------------------|--|
| 1 | -FB | 帰還部品接続の負側出力 |
| 2 | +IN | 加算ノードへの正側入力 |
| 3 | -IN | 加算ノードへの負側入力 |
| 4 | +FB | 帰還部品接続の正側出力 |
| 5~8 | +VS | 正電源電圧。 |
| 9 | V _{OCM} | 出力同相電圧。 |
| 10 | +OUT | 負荷接続の正側出力 |
| 11 | -OUT | 負荷接続の負側出力 |
| 12 | PD | パワーダウン・ピン。 |
| 13~16 | -Vs | 負電源電圧。 |
| | EPAD | 露出パドル。露出パドルはデバイスには電氣的に接続されていません。露出パドルは標準的には熱伝導性のある PCB のグラウンド・プレーン又は電源プレーンに半田付けされます。 |

表 10.ADA4930-2 のピン機能の説明

| ピン番号 | 記号 | 説明 |
|--------|-------------------|--|
| 1 | -IN1 | 加算ノード 1 への負側入力 |
| 2 | +FB1 | 帰還部品接続 1 の正側出力 |
| 3, 4 | +VS1 | 正電源電圧 1 |
| 5 | -FB2 | 帰還部品接続 2 の負側出力 |
| 6 | +IN2 | 加算ノード 2 への正側入力 |
| 7 | -IN2 | 加算ノード 2 への負側入力 |
| 8 | +FB2 | 帰還部品接続 2 の正側出力 |
| 9, 10 | +VS2 | 正電源電圧 2 |
| 11 | V _{OCM2} | 出力同相電圧 2 |
| 12 | +OUT2 | 正側出力 2 |
| 13 | -OUT2 | 負側出力 2 |
| 14 | PD2 | パワーダウン・ピン 2 |
| 15, 16 | -Vs2 | 負電源電圧 2 |
| 17 | V _{OCM1} | 出力同相電圧 1 |
| 18 | +OUT1 | 正側出力 1 |
| 19 | -OUT1 | 負側出力 1 |
| 20 | PD1 | パワーダウン・ピン 1 |
| 21, 22 | -Vs1 | 負電源電圧 1 |
| 23 | -FB1 | 帰還部品接続 1 の負側出力 |
| 24 | +IN1 | 加算ノード 1 への正側入力 |
| | EPAD | 露出パドル。露出パドルはデバイスには電氣的に接続されていません。露出パドルは標準的には熱伝導性のある PCB のグラウンド・プレーン又は電源プレーンに半田付けされます。 |

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$, $V_S = 5\text{ V}$, $V_{ICM} = 0.9\text{ V}$, $V_{OCM} = 0.9\text{ V}$, $R_{L, dm} = 1\text{ k}\Omega$ 。

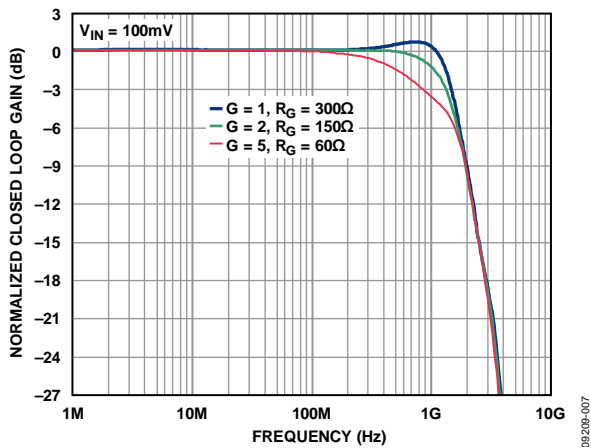


図 7. ゲイン=1、ゲイン=2、ゲイン=5 での小信号周波数応答

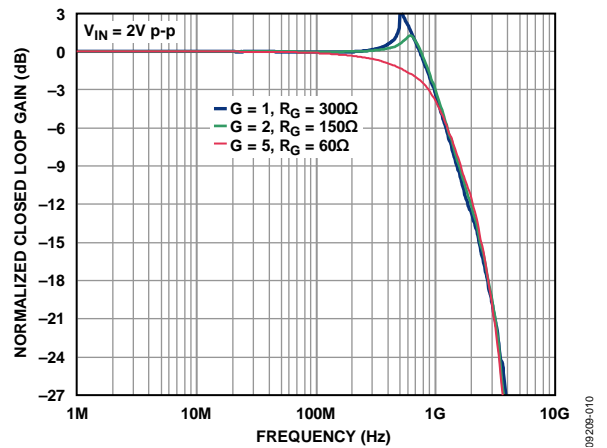


図 10. ゲイン=1、ゲイン=2、ゲイン=5 での大信号周波数応答

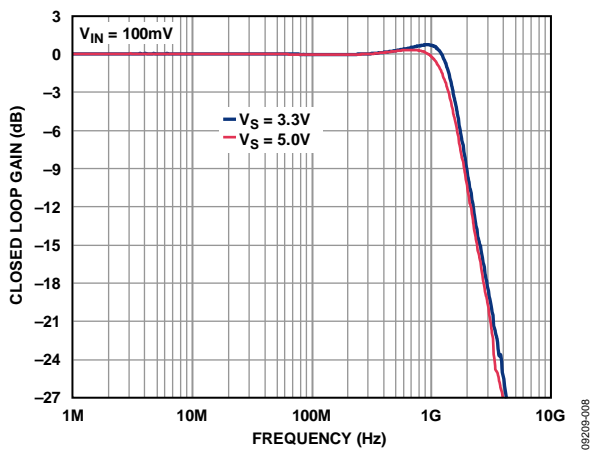


図 8. $V_S = 3.3\text{ V}$ と $V_S = 5\text{ V}$ での小信号周波数応答

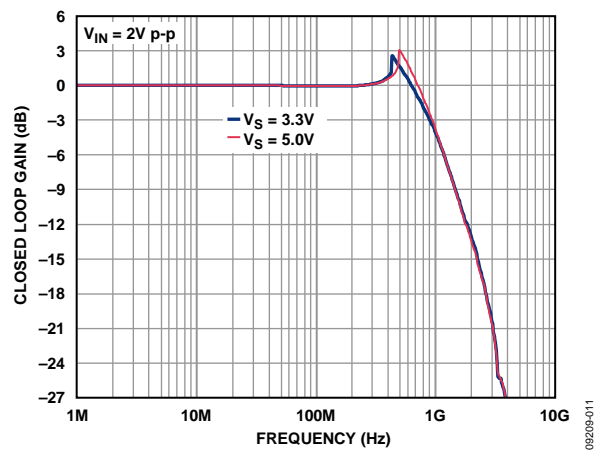


図 11. $V_S = 3.3\text{ V}$ と $V_S = 5\text{ V}$ での大信号周波数応答

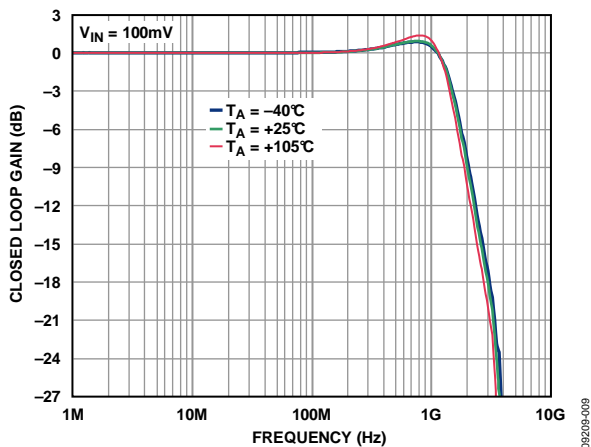


図 9. $T_A = -40^\circ\text{C}$, $T_A = 25^\circ\text{C}$, $T_A = 105^\circ\text{C}$ での小信号周波数応答

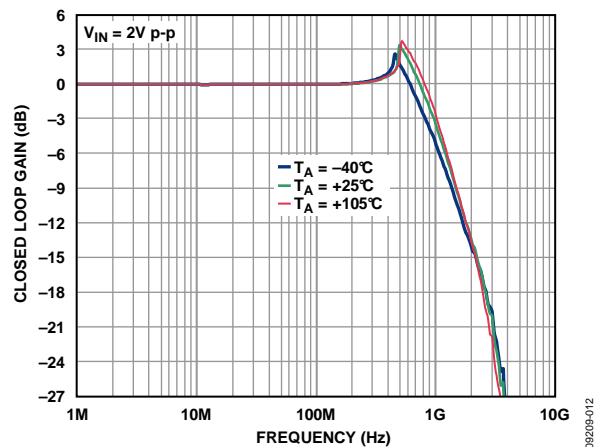


図 12. $T_A = -40^\circ\text{C}$, $T_A = 25^\circ\text{C}$, $T_A = 105^\circ\text{C}$ での小信号周波数応答

ADA4930-1/ADA4930-2

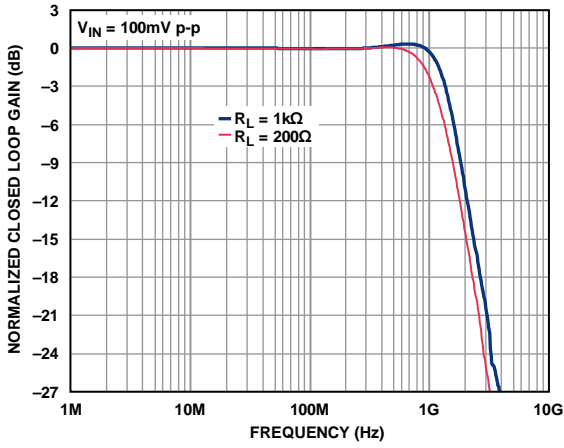


図 13. $R_L = 200 \Omega$ と $R_L = 1 \text{ k}\Omega$ での小信号周波数応答

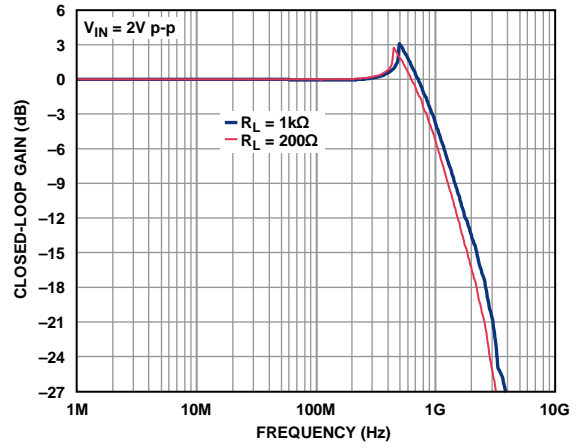


図 16. $R_L = 200 \Omega$ と $R_L = 1 \text{ k}\Omega$ での大信号周波数応答

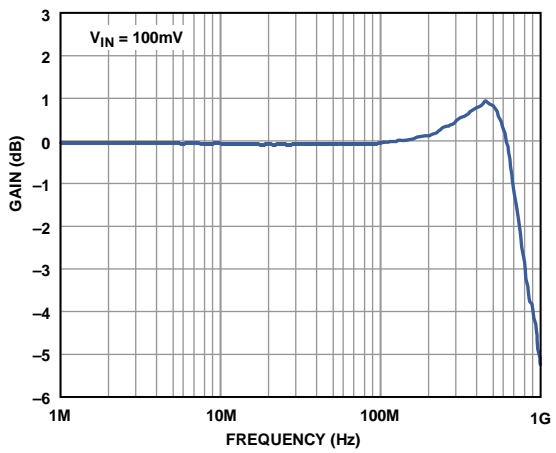


図 14. V_{OCM} 小信号周波数応答

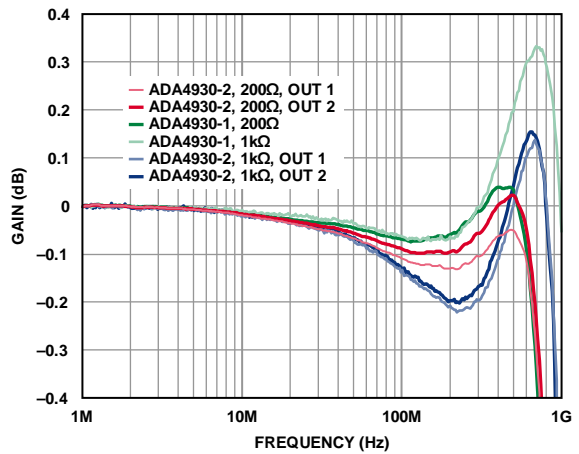


図 17. $R_L = 200 \Omega$ と $R_L = 1 \text{ k}\Omega$ での小信号 0.1 dB 平坦度 対 周波数

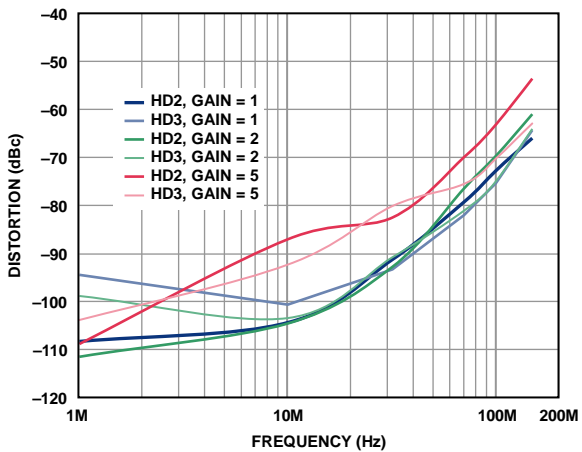


図 15. ゲイン=1、ゲイン=2、ゲイン=5 での高調波歪 対 周波数

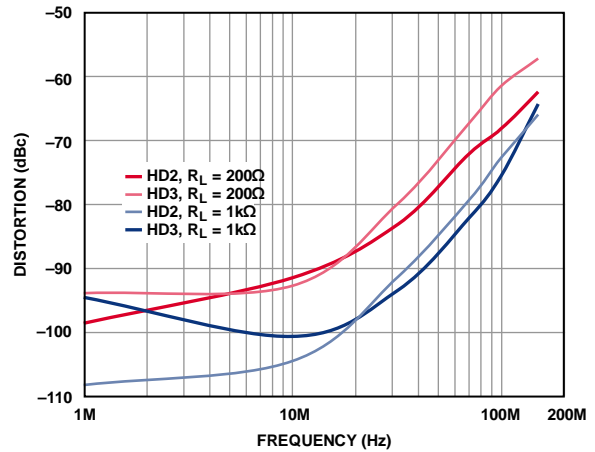


図 18. $R_L = 200 \Omega$ と $R_L = 1 \text{ k}\Omega$ での高調波歪 対 周波数

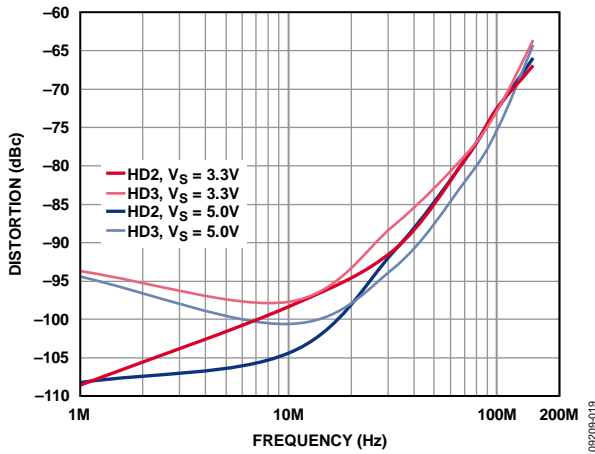


図 19. $V_S = 3.3\text{ V}$ と $V_S = 5\text{ V}$ での ADA4930-1 の高調波歪対周波数

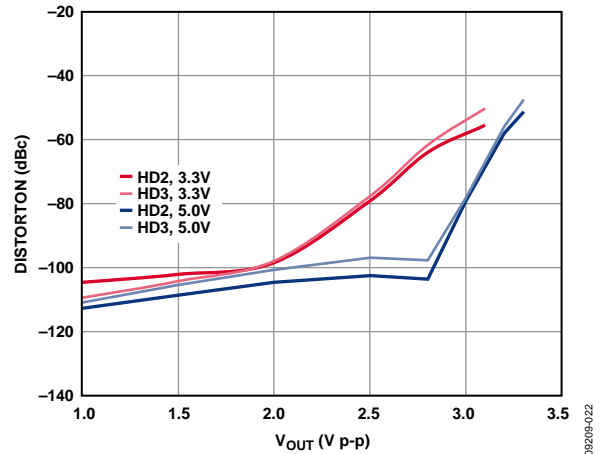


図 22. 高調波歪対出力 @ 10 MHz

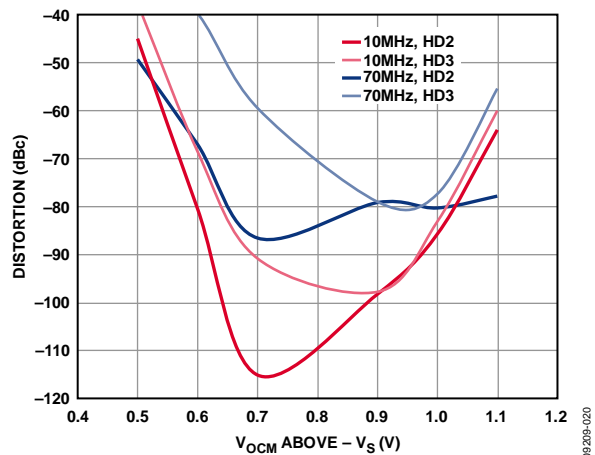


図 20. 10 MHz と 70 MHz での高調波歪対 V_{OCM} ($V_S = 3.3\text{ V}$)

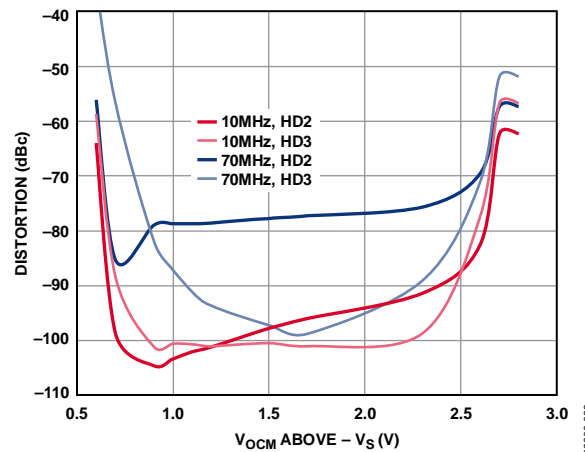


図 23. 10 MHz と 70 MHz での高調波歪対 V_{OCM}

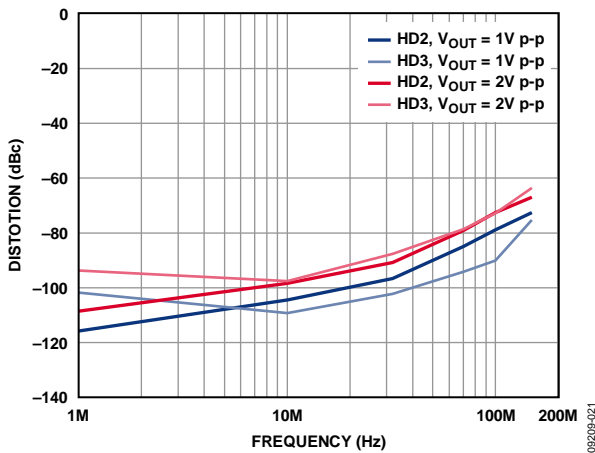


図 21. 高調波歪対 V_{OUT} ($V_S = 3.3\text{ V}$)

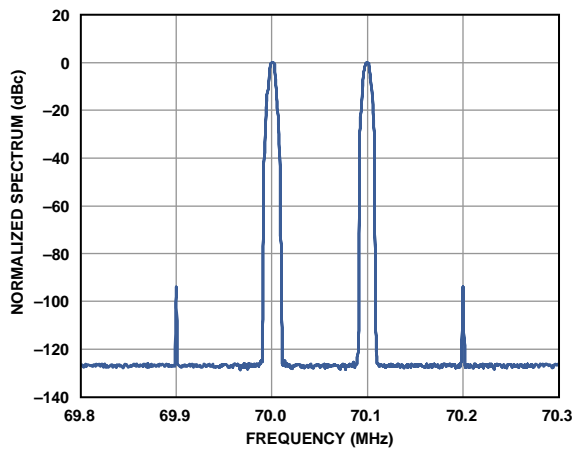


図 24. 70 MHz 相互変調歪み

ADA4930-1/ADA4930-2

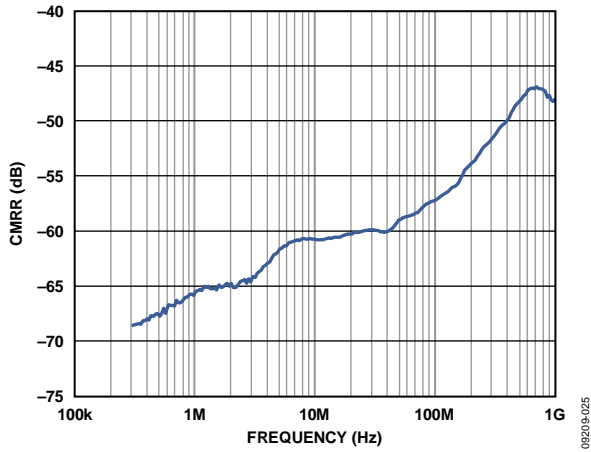


図 25. CMRR 対 周波数特性、 $R_L = 200 \Omega$

092019-025

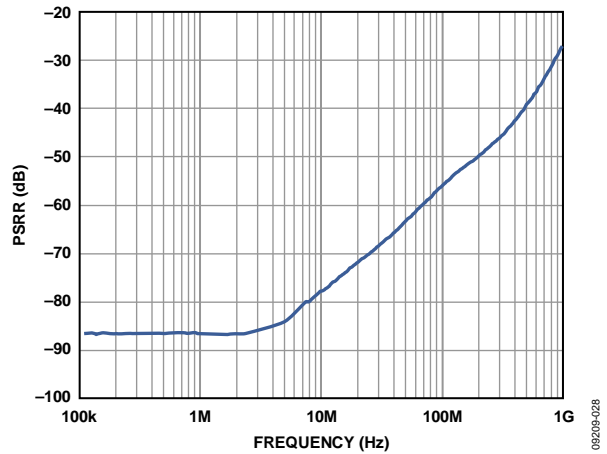


図 28. PSRR 対 周波数特性、 $R_L = 200 \Omega$

092019-028

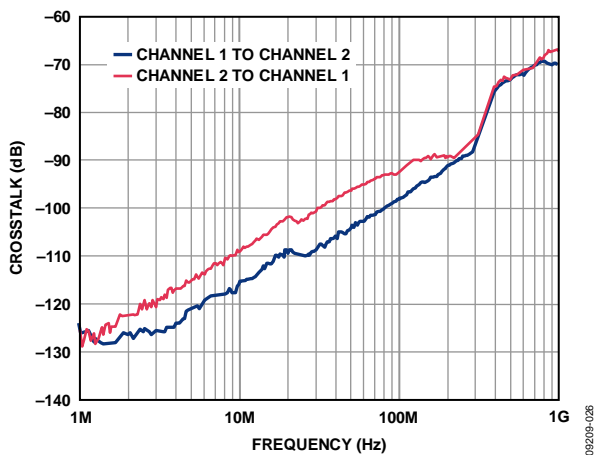


図 26. クロストーク 対 周波数、 $R_L = 200 \Omega$

092019-026

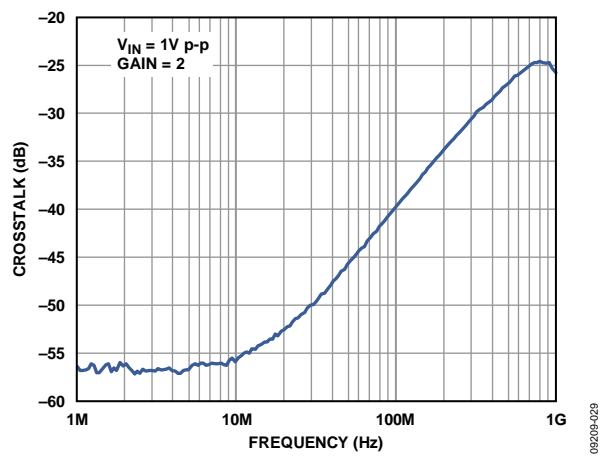


図 29. 出力バランス 対 周波数、 $R_L = 200 \Omega$

092019-029

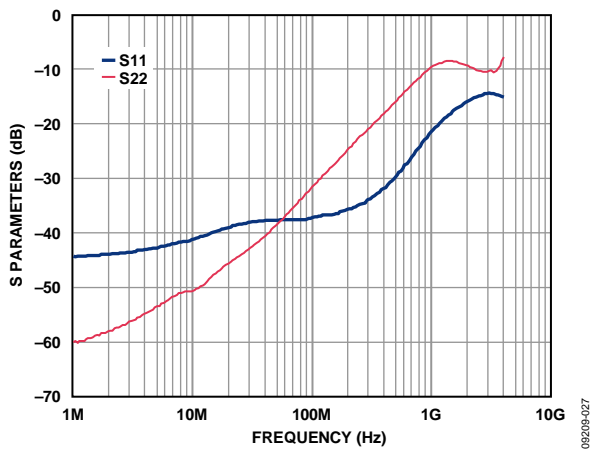


図 27. S_{11} , S_{22} , $R_L = 200 \Omega$

092019-027

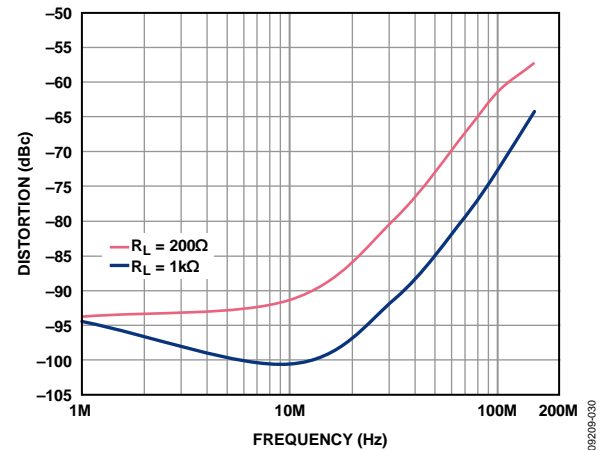


図 30. SFDR

092019-030

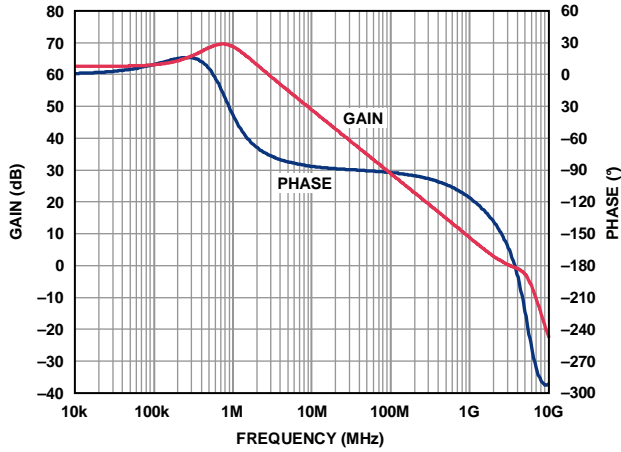


図 31. オープン・ループ・ゲインと位相

09209-031

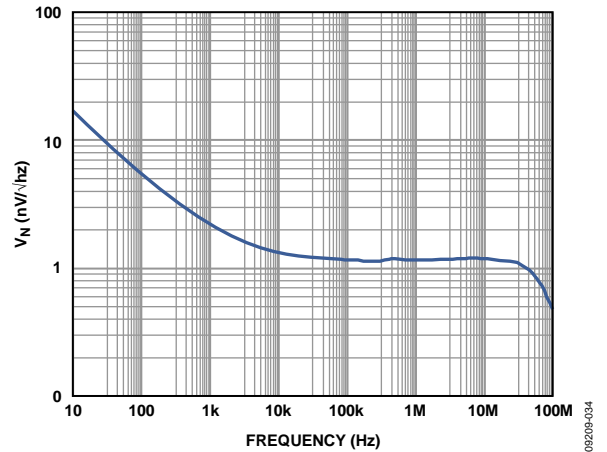


図 34. 電圧ノイズ・スペクトル密度

09209-034

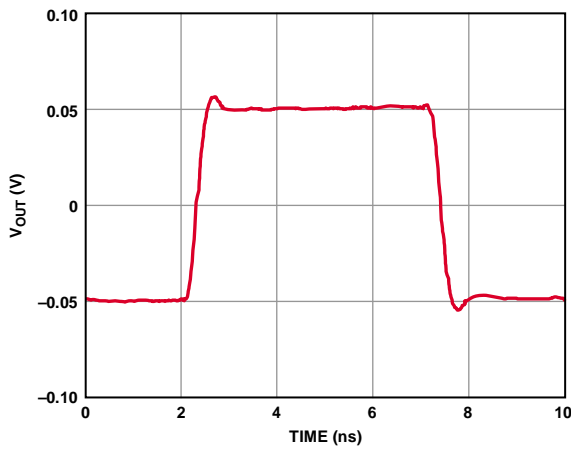


図 32. 小信号パルス応答

09209-032

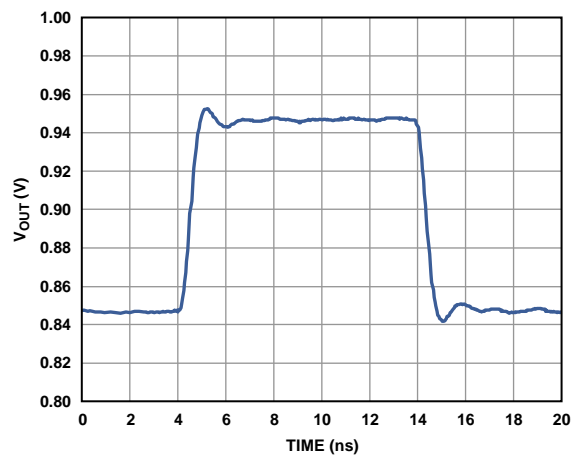


図 35. 小信号 V_{OCM} パルス応答

09209-035

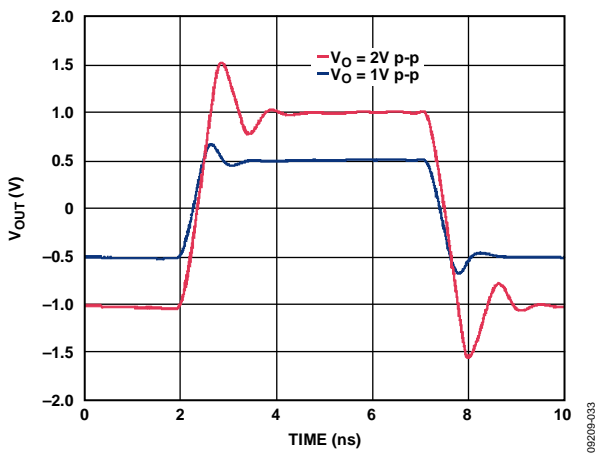


図 33. 大信号パルス応答

09209-033

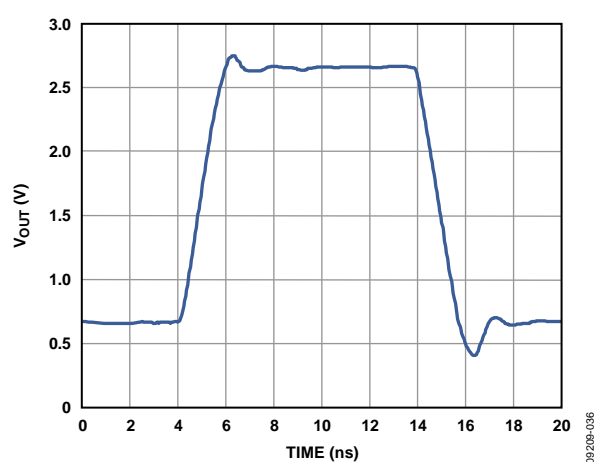


図 36. 大信号 V_{OCM} パルス応答

09209-036

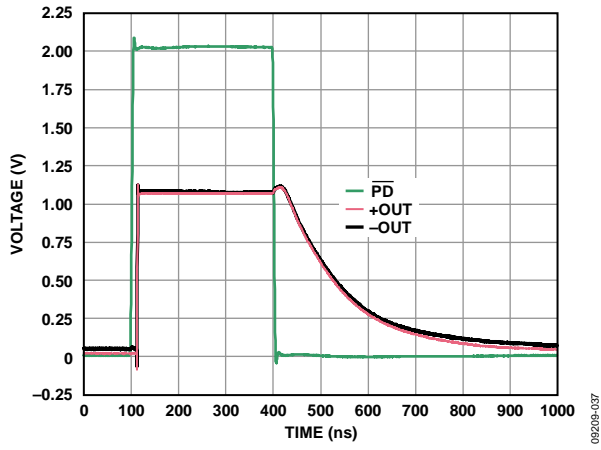


図 37. \overline{PD} 応答対時間

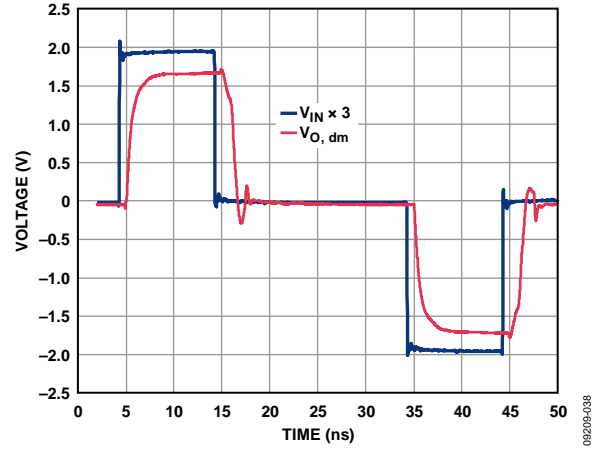


図 38. $V_{o, dm}$ オーバードライブ回復

テスト回路

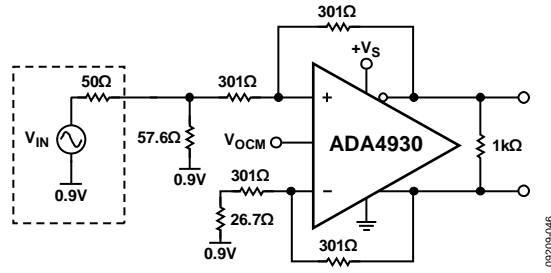


図 39.等価基本テスト回路

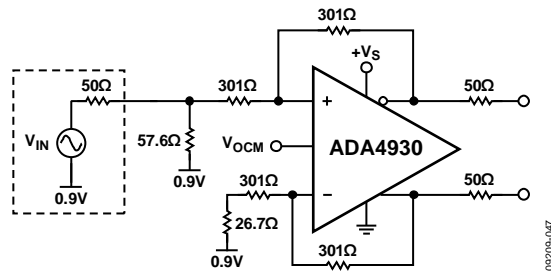


図 40.出力バランスのテスト回路

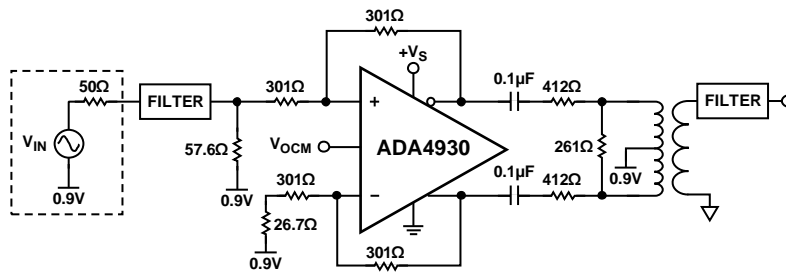


図 41.歪み測定 of テスト回路

動作説明

用語の定義

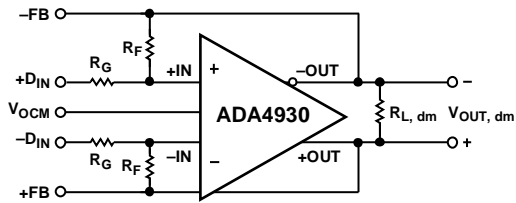


図 42.回路の定義

差動電圧

差動電圧は2つのノード電圧間の差です。たとえば、出力差動電圧(または等価な出力差動モード電圧)は、次のように定義されます。

$$V_{OUT, dm} = (V_{+OUT} - V_{-OUT})$$

ここで、 V_{+OUT} と V_{-OUT} は 共通リファレンスを基準にした $+OUT$ ピンと $-OUT$ ピンの電圧です。

同相電圧

同相電圧は、2つのノード電圧の平均です。出力同相電圧は次式で定義されます。

$$V_{OUT, cm} = (V_{+OUT} + V_{-OUT})/2$$

バランス

出力バランスは、2つの差動信号がどのくらい同じ振幅、逆位相の関係に対して近いかを表す目安です。出力バランスは、良くマッチングした抵抗デバイダを差動電圧ノード間に接続し、デバイダの midpoint での信号振幅を差動信号の振幅と比較することにより、容易に求めることができます(図 39. 参照)。この定義により、出力バランスは、出力同相電圧の振幅を出力差動電圧の振幅で除算した値になります。

$$Output\ Balance\ Error = \left| \frac{V_{OUT, cm}}{V_{OUT, dm}} \right|$$

動作原理

ADA4930-1/ADA4930-2 は従来型オペアンプと異り、電圧が反対方向に動く 2 つの出力があり、又入力 V_{OCM} が追加されています。このデバイスは、オペアンプと同様に、高いオープン・ループ・ゲインとこれらの出力を希望の電圧に導く負帰還に依存しています。ADA4930-1/ADA4930-2 は標準の電圧帰還オペアンプとほとんど同じように動作しますが、さらにシングル・エンド/差動変換、同相電圧のシフト、差動信号増幅の機能があります。ADA4930-1/ADA4930-2 はオペアンプと同様、高入力インピーダンスで低出力インピーダンスです。

2 つの帰還ループが、差動出力電圧と同相出力電圧を制御します。外付け抵抗で設定される差動帰還が、差動出力電圧を制御します。同相帰還は、同相出力電圧を制御します。この回路構成により、出力同相レベルを規定範囲内の任意の値に容易に設定することができます。出力同相電圧は内部同相帰還ループの働きにより、 V_{OCM} 入力に印加された電圧に等しくなります。

高精度にマッチングした外付け部品を使用しなくても、内部の同相帰還ループにより、広い周波数範囲で良くバランスのとれた出力を得る事ができます。このために互いに振幅が同等で、位相がちょうど 180° 違う理想に近い差動出力が得られます。

アプリケーション回路の解析

ADA4930-1/ADA4930-2 の差動出力電圧と同相出力電圧はその高オープン・ループ・ゲインと負帰還により、差動誤差電圧と同相誤差電圧が最小になるように制御されます。差動誤差電圧は、+IN と -IN と表示された 2 つの差動入力 間の電圧として定義されます (図 42. 参照)。ほとんどの場合、この電圧はゼロと見なすことができます。同様に、 V_{OCM} に印加される電圧と実際の出力同相電圧との差もゼロと見なすことができます。これら 2 つを仮定から開始すれば、どのようなアプリケーション回路も解析することができます。

クローズド・ループ・ゲインの設定

図 42. に示す回路の差動ゲインは次のように求めることができます。

$$\left| \frac{V_{OUT, dm}}{V_{IN, dm}} \right| = \frac{R_F}{R_G}$$

ここで、それぞれの側の入力抵抗 (R_G) と帰還抵抗 (R_F) は同等です。

出力ノイズ電圧の計算

ADA4930-1/ADA4930-2 の差動出力ノイズは、図 43. に示すノイズ・モデルを使って計算することができます。入力換算ノイズ電圧密度 v_{nIN} は差動としてモデル化されています。ノイズ電流 i_{nIN-} と i_{nIN+} は各入力とグラウンドの間で流れます。

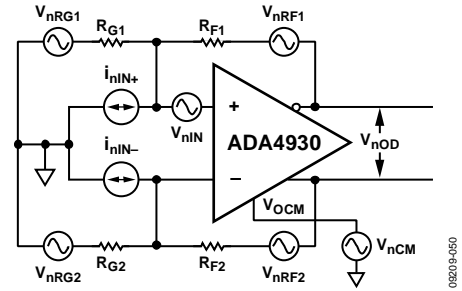


図 43. ノイズ・モデル

出力ノイズ電圧密度は、従来型オペアンプと同様に、+IN と -IN での入力換算項に該当する出力係数を乗算して求められます。

v_{nIN} に起因する出力電圧は、 v_{nIN} とノイズ・ゲイン G_N (G_N の式で定義) の積として求められます。

回路のノイズ・ゲインは

$$G_N = \frac{2}{(\beta_1 + \beta_2)}$$

ここで帰還係数は $\beta_1 = \frac{R_{G1}}{R_{F1} + R_{G1}}$ と $\beta_2 = \frac{R_{G2}}{R_{F2} + R_{G2}}$ 。

帰還係数がマッチングしていて、 $R_{F1}/R_{G1} = R_{F2}/R_{G2}$ 、

$\beta_1 = \beta_2 = \beta$ の場合、ノイズ・ゲインは $G_N = \frac{1}{\beta} = 1 + \frac{R_F}{R_G}$ です。

ノイズ電流は同じ 2 乗平均値と相関関係がなく、各々はノイズ電流と対応する帰還抵抗の積に等しい出力電圧を発生します。

V_{OCM} ピンでのノイズ電圧密度は v_{nCM} です。多くの場合と同様、帰還回路の帰還係数が同じ場合、 v_{nCM} に起因する出力ノイズは同相モードになり、 V_{OCM} からの出力ノイズはゼロになります。

4 本の各抵抗のノイズ寄与分は $(4kTR_{xx})^{1/2}$ になります。帰還抵抗からのノイズは直接出力に現れ、ゲイン抵抗からのノイズは R_F/R_G 倍されて出力に現れます。

合計差動出力ノイズ密度 v_{nOD} は、各出力ノイズ項の 2 乗和平方根になります。

$$v_{nOD} = \sqrt{\sum_{i=1}^8 (v_{nODi})^2}$$

表 11. マッチングした帰還回路の出力ノイズ電圧密度の計算

| Input Noise Contribution | Input Noise Term | Input Noise Voltage Density | Output Multiplication Factor | Differential Output Noise Voltage Density Terms |
|----------------------------|------------------|-----------------------------|------------------------------|---|
| Differential Input | V_{nIN} | V_{nIN} | G_N | $V_{nOD1} = G_N(V_{nIN})$ |
| Inverting Input | i_{nIN+} | $i_{nIN+} \times (R_{F2})$ | 1 | $V_{nOD2} = (i_{nIN+})(R_{F2})$ |
| Noninverting Input | i_{nIN-} | $i_{nIN-} \times (R_{F1})$ | 1 | $V_{nOD3} = (i_{nIN-})(R_{F1})$ |
| V_{OCM} Input | V_{nCM} | V_{nCM} | 0 | $V_{nOD4} = 0$ |
| Gain Resistor R_{G1} | V_{nRG1} | $(4kTR_{G1})^{1/2}$ | R_{F1}/R_{G1} | $V_{nOD5} = (R_{F1}/R_{G1})(4kTR_{G1})^{1/2}$ |
| Gain Resistor R_{G2} | V_{nRG2} | $(4kTR_{G2})^{1/2}$ | R_{F2}/R_{G2} | $V_{nOD6} = (R_{F2}/R_{G2})(4kTR_{G2})^{1/2}$ |
| Feedback Resistor R_{F1} | V_{nRF1} | $(4kTR_{F1})^{1/2}$ | 1 | $V_{nOD7} = (4kTR_{F1})^{1/2}$ |
| Feedback Resistor R_{F2} | V_{nRF2} | $(4kTR_{F2})^{1/2}$ | 1 | $V_{nOD8} = (4kTR_{F2})^{1/2}$ |

表 12. 差動入力、DC 結合、 $V_S=5V$

| Nominal Gain (dB) | R_{F1}, R_{F2} (Ω) | R_{G1}, R_{G2} (Ω) | $R_{IN, dm}$ (Ω) | Differential Output Noise Density (nV/\sqrt{Hz}) |
|-------------------|-------------------------------|-------------------------------|---------------------------|--|
| 0 | 301 | 301 | 602 | 4.9 |
| 6 | 301 | 150 | 300 | 6.2 |
| 10 | 301 | 95.3 | 190.6 | 7.8 |
| 14 | 301 | 60.4 | 120.4 | 10.1 |

表 13. グラウンド基準でシングル・エンドの入力、DC 結合、 $R_S = 50 \Omega$ 、 $V_S = 5 V$

| Nominal Gain (dB) | R_{F1}, R_{F2} (Ω) | R_{G1} (Ω) | R_T (Ω) | $R_{IN, cm}$ (Ω) | R_{G2} (Ω) ¹ | Differential Output Noise Density (nV/\sqrt{Hz}) |
|-------------------|-------------------------------|-----------------------|--------------------|---------------------------|------------------------------------|--|
| 0 | 301 | 142 | 64.2 | 190.67 | 170 | 5.9 |
| 6 | 301 | 63.4 | 84.5 | 95.06 | 95 | 7.8 |
| 10 | 301 | 33.2 | 1 k | 53.54 | 69.3 | 9.3 |
| 14 | 301 | 10.2 | 1.15 k | 17.5 | 57.7 | 10.4 |

¹ $R_{G2} = R_{G1} + (R_S || R_T)$.

表 11. に入力ノイズ源、乗算係数、出力換算ノイズ密度項をまとめてあります。

表 12. と表 13. に、平衡および不平衡入力回路のいくつかの代表的なゲイン設定、対応する抵抗値、入力インピーダンス、出力ノイズ密度を示します。

帰還回路でのミスマッチの影響

前述のように、外付け帰還回路 (R_F/R_G) がマッチングしていない場合でも、内部同相帰還ループにより出力のバランスが保たれます。各出力での信号は、同じ振幅かつ 180° の位相差に維持されます。入力から出力への差動ゲインは、帰還のミスマッチに比例して変動しますが、出力のバランスは影響を受けません。

V_{OCM} ピンから $V_{O, dm}$ までのゲインは次の値になります。

$$2(\beta_1 - \beta_2)/(\beta_1 + \beta_2)$$

$\beta_1 = \beta_2$ の場合、この項はゼロになるので、 V_{OCM} 入力の電圧(ノイズを含む)に起因する差動出力電圧は発生しません。極端なケースは、1つのループがオープンで、かつ他方が 100% 帰還の場合に起こりますが、この場合、 V_{OCM} 入力から $V_{O, dm}$ までのゲインは、どちらのループが閉じているかにより +2 又は -2 になります。多くのアプリケーションでは、帰還ループが公称 1% 以内にマッチングしているので、 V_{OCM} 入力に起因する出力ノイズとオフセットは無視できます。ループを意図的に大きくミスマッチさせた場合、 V_{OCM} から $V_{O, dm}$ までのゲイン項を含めることが必要で、ノイズ

が大きくなることを考慮する必要があります。たとえば、 $\beta_1 = 0.5$ かつ $\beta_2 = 0.25$ の場合、 V_{OCM} から $V_{O, dm}$ までのゲインは 0.67 になります。 V_{OCM} ピンを 0.9 V に設定した場合、出力に現れる差動オフセット電圧は $(0.9 V)(0.67) = 0.6 V$ になります。差動出力ノイズ成分は、 $(5 nV/\sqrt{Hz})(0.67) = 3.35 nV/\sqrt{Hz}$ になります。これらの結果は両方ともほとんどのアプリケーションで望ましくありません；従って公称通りにマッチングした帰還係数を使用するのがベストです。

ミスマッチした帰還回路は、従来のオペアンプと 4 つの抵抗で形成した差動アンプと同じく、入力同相信号を除去する回路の性能も低下します。

この問題を現実的にまとめると、1% 偏差の抵抗により入力 CMRR はワーストケース約 40 dB になり、 V_{OCM} 入力 0.9 V の場合の差動出力オフセットはワーストケース 9 mV になりますが、 V_{OCM} ノイズ成分は無視できるほど小さく、出力バランス誤差には大きな性能低下はないという事になります。

入力同相電圧範囲

ADA4930-1/ADA4930-2 の加算ノードでの入力同相電圧範囲は $V_S = 3.3 V$ で 0.3 V ~ 1.5 V と規定されています。非直線性を避けるためには、+IN ピンと -IN ピンでの電圧振幅をこれらの範囲に制限する必要があります。

最小 R_G 値

ADA4930-1/ADA4930-2 の帯域幅は広いので、アンプ・フロント・エンドで十分な制動を与えるためにユニティ・ゲインで R_G 値を 301Ω 以上にする必要があります。終端した場合、 R_G には信号源のテブナン抵抗と負荷終端が含まれます。

出力同相電圧の設定

ADA4930-1/ADA4930-2 の V_{OCM} ピンは内部の電圧分割器により $-V_S$ 以上の全電源電圧の $3/10$ にバイアスされています。 V_{OCM} ピンの入力インピーダンスは約 $8.4 \text{ k}\Omega$ です。内部バイアスを使用すると、出力同相電圧は期待値の約 100 mV 以内になります。

出力同相電圧を正確に制御する必要がある場合には、信号源抵抗 100Ω 以下の外付け電圧源または外付け抵抗分割器を使用することをお勧めします。「仕様」のセクションに記載されている出力同相オフセットは、 V_{OCM} 入力を低インピーダンス電圧源で駆動することが条件になっています。

V_{OCM} 入力を ADC の同相電圧 (V_{CM}) 出力に接続することもできます。しかしこの場合出力が十分な駆動能力を持つように注意する必要があります。 V_{OCM} ピンの入力インピーダンスは約 $10 \text{ k}\Omega$ です。複数の ADA4930-1/ADA4930-2 デバイスで 1 つのリファレンス出力を共用する場合は、バッファの使用をお勧めします。

アプリケーション回路の入力インピーダンスの計算

回路の実効入力インピーダンスは、シングル・エンドまたは差動のいずれの信号源でアンプを駆動するかに寄ります。図 44. に示したように、平衡差動入力信号の場合、入力間 ($+D_{IN}$ と $-D_{IN}$) の入力インピーダンス ($R_{IN, dm}$) は $R_{IN, dm} = 2 \times R_G$ になります。

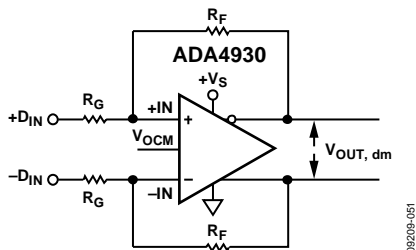


図 44. 平衡 (差動) 入力の ADA4930-1/ADA4930-2

図 45. に示すように、不平衡シングル・エンド入力信号の場合の入力インピーダンスは次式で表されます。

$$R_{IN, SE} = R_{G1} \frac{\beta 1 + \beta 2}{\beta 1 (\beta 2 + 1)}$$

ここで、

$$\beta 1 = \frac{R_{G1}}{R_{G1} + R_{F1}}$$

$$\beta 2 = \frac{R_{G2}}{R_{G2} + R_{F2}}$$

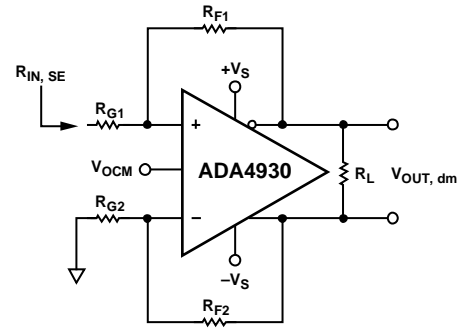


図 45. 不平衡 (シングル・エンド) 入力の ADA4930-1/ADA4930-2
平衡回路 ($R_{G1} = R_{G2} = R_G$ で $R_{F1} = R_{F2} = R_F$) の場合、公式は次のように簡略化できます。

$$\beta 1 = \beta 2 = \frac{R_G}{R_G + R_F} \text{ and } R_{IN, SE} = \left(\frac{R_G}{1 - \frac{R_F}{2(R_G + R_F)}} \right)$$

回路の入力インピーダンスは、反転回路として接続した従来型オペアンプに比べ実効的に高くなります。これは、差動出力電圧の成分が同相信号として入力に現れて、特に入力抵抗 R_{G1} 両端の電圧を持ち上げるためです。反転入力電圧は非反転出力電圧を R_{F2} と R_{G2} で構成される電圧デバイダで分割した値に等しくなるので、アンプ入力ピンの同相電圧は容易に求められます。この電圧は負電圧帰還により両方の入力ピンに加わりますが、入力信号と同相なので、 R_{G1} の両端の実効電圧が減少し、それを部分的に持ち上げます。

シングル・エンド入力の終端

このセクションではシングル・エンド入力を ADA4930-1/ADA4930-2 に適切に終端する 5 つのステップを説明します。システムのゲインが 1、 $R_{F1} = R_{F2} = 301 \Omega$ で解放出力電圧 2Vp-p、信号源抵抗 50Ω の入力信号源と仮定します。図 46.はこの回路を示します。

1. 入力インピーダンスを計算します。

$\beta_1 = \beta_2 = 301/602 = 0.5$ そして $R_{IN} = 401.333 \Omega$ となります。

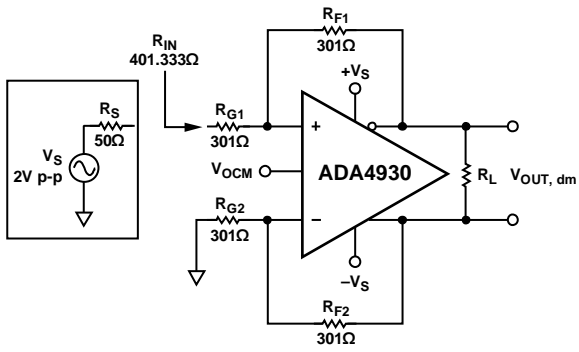


図 46. シングル・エンド入力インピーダンス R_{IN}

2. 終端抵抗 R_T を接続します。 50Ω の信号源抵抗とマッチングさせるために、 R_T を接続します。 $R_T || 401.33 \Omega = 50 \Omega$ の式から $R_T = 57.116 \Omega$ となります。

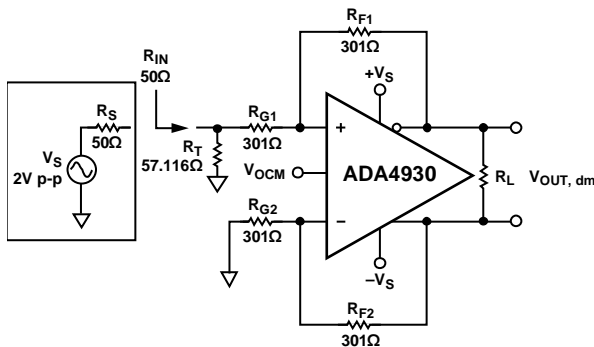


図 47. 終端抵抗 R_T の接続

3. 信号源抵抗と終端抵抗の組み合わせをテブナン等価電源と置き換えます。信号源抵抗 R_S と終端抵抗 R_T によるテブナン等価抵抗は、 $R_{TH} = R_S || R_T = 26.66 \Omega$ です。信号源電圧のテブナン等価電圧は

$$V_{TH} = V_S \frac{R_T}{R_S + R_T} = 1.066 \text{ V p-p となります。}$$

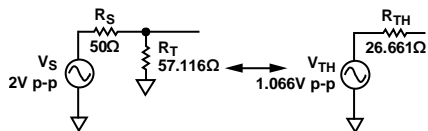


図 48. テブナン等価回路

4. 平衡回路を保つために $R_{F1} = R_{F2} = R_F$ とします。 R_{TH} によって生ずる不平衡を補正します。補正には次のように 2 つの方法があります。

- ゲイン抵抗を平衡させるために R_{G2} に R_{TH} を加え、システム・ゲインを保つために R_{F1} と R_{F2} を $R_F = \frac{V_S}{V_{TH}} \text{Gain}(R_G + R_{TH})$ に増やす。
- システムゲインを保つために R_{G2} を $R_{G2} = \frac{R_F \times V_{TH}}{V_S \times \text{Gain}}$ に小さくし、ゲイン抵抗を平衡させるために R_{G1} を $(R_{G2} - R_{TH})$ に小さくする。

最初の補正方法は [Diff Amp Calculator™](#) ツールで使用されています。 2 番目の補正方法を使用すると、 $R_{G2} = 160.498 \Omega$ 、 $R_{G1} = 160.498 - 26.66 = 133.837 \Omega$ となります。修正した回路を図 49. に示します。

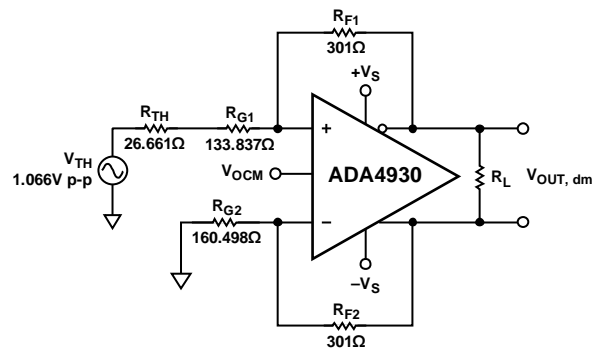


図 49. ゲイン抵抗をマッチングさせたテブナン等価回路

図 49. は、帰還ループがマッチングしており評価しやすい回路になっています。

5. ゲイン抵抗 R_{G1} を修正したので、入力インピーダンスが変わります。上記の修正した R_{G1} の値を使用し、ステップ 1 からステップ 4 までを、 R_T の値が直前の繰り返しで計算された値から変わらなくなるまで、何回か繰り返します。繰り返しを 3 回追加すると、 R_{G1} の変化は 0.1% 以下になります。最寄りの 0.5% 抵抗値を使用した最終回路を図 50. に示します。

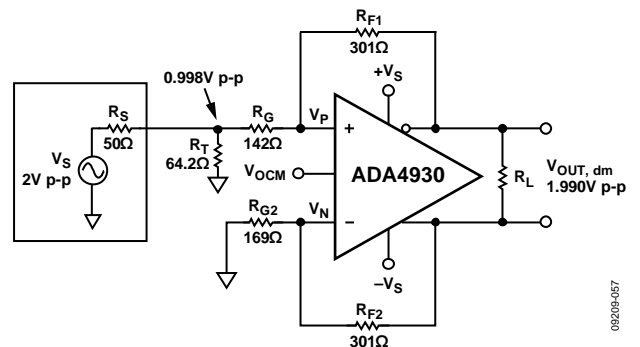


図 50. 終端シングルエンド/差動システム、 $G = 1$

単電源アプリケーションでのシングル・エンド入力の終端

図 50. のアプリケーション回路を単電源駆動させる場合は、アンプ入力 V_P と V_N の同相電圧を、規定された入力同相範囲内に収まるように高くする必要があります。2 つの方法があります：図 51. に示すように信号源に dc バイアスを加える、又は図 54. に示すように各入力と電源との間に抵抗 R_{CM} を接続する。

DC バイアスした信号源を使った入力同相電圧の調整

$V_{CM} = 1\text{ V}$ で 1.8 V ADC を駆動する場合、ADA4930-1/ADA4930-2 を単電源 3.3 V で駆動すると消費電力が最小になります。図 50. のアプリケーション回路を 3.3 V 単電源駆動とし、信号源に dc バイアスを加えた回路を図 51. に示します。

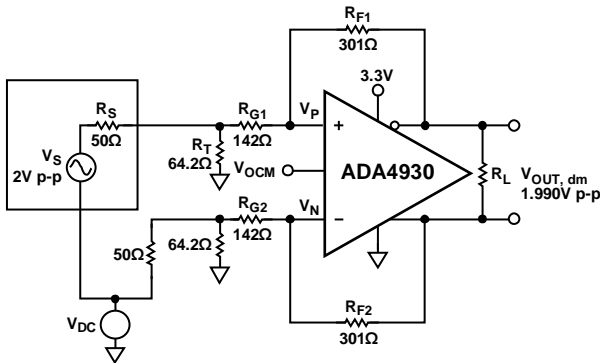


図 51. 単電源、終端シングル・エンド/差動システム、 $G = 1$

必要最小限の dc バイアスを決定するためには、次のステップを踏む必要があります。

1. 図 52. 回路に示すように終端された入力をテブナン等価電源に変換します。

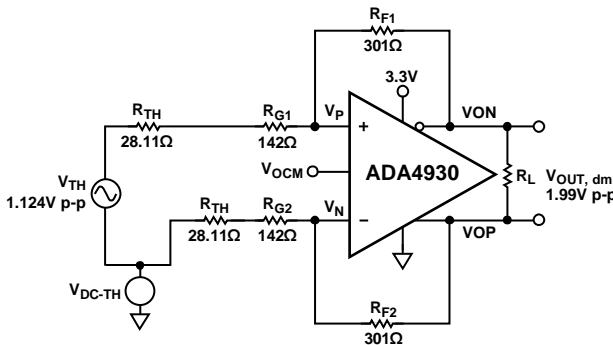


図 52. 単電源アプリケーション回路のテブナン等価電源

2. V_P 又は V_N について節点方程式を書きます。

$$V_P = V_{TH} + V_{DC-TH} + \frac{301}{301+142+28.11} (V_{ON} - V_{TH} - V_{DC-TH})$$

$$V_N = V_{DC-TH} + \frac{301}{301+142+28.11} V_{OP}$$

ADA4930-1/ADA4930-2 がそのリニア動作領域にある場合、 V_P と V_N は同じ電圧であると判断します。従って、ステップ 2 での両方の式は同じ結果になります。

3. $V_S = 3.3\text{ V}$ での規定された最小入力同相電圧 0.3 V を満たすために V_P と V_N の最小値を 0.3 V に設定します。
4. V_{OP} と V_S がそれぞれの最小値の時、 V_P と V_N がそれぞれの最小値になる (従って V_{ON} はその最大値になる) と判断します。

次の条件を設定します。

$$V_{P\min} = V_{N\min} = 0.3\text{ V}, V_{OCM} = V_{CM} = 1\text{ V}, V_{TH\min} = -V_{TH}/2$$

$$V_{ON\max} = V_{OCM} + V_{OUT,dm}/4$$

$$\text{そして } V_{OP\min} = V_{OCM} - V_{OUT,dm}/4$$

V_P についての節点方程式に条件を代入し V_{DC-TH} を求めます。

$$0.3 = -1.124/2 + V_{DC-TH} + 0.361 \times (1 + 1.99/4 = 1.124/2 - V_{DC-TH})$$

$$0.3 + 0.562 - 0.361 - 0.18 - 0.203 = 0.639 V_{DC-TH}$$

$$V_{DC-TH} = 0.186\text{ V}$$

又は

条件を V_N についての節点方程式に代入し V_{DC-TH} を求めます。

$$0.3 = V_{DC-TH} + 0.361 \times (1 - 1.99/4 - V_{DC-TH})$$

$$0.3 - 0.361 + 0.18 = 0.639 \times V_{DC-TH}$$

$$V_{DC-TH} = 0.186\text{ V}$$

5. V_{DC-TH} をテブナン等価値から変換すると次の結果を得ます。

$$V_{DC} = \frac{R_S + R_{TH}}{R_{TH}} \times 0.186 = 0.33\text{ V}$$

最終回路を図 53. に示します。入力に dc バイアスを 0.33 V を追加すれば、信号源の信号 2 V p-p 振幅で V_{OCM} が 1 V のバイポーラ信号の時、最小入力同相条件を満足する事がわかります。

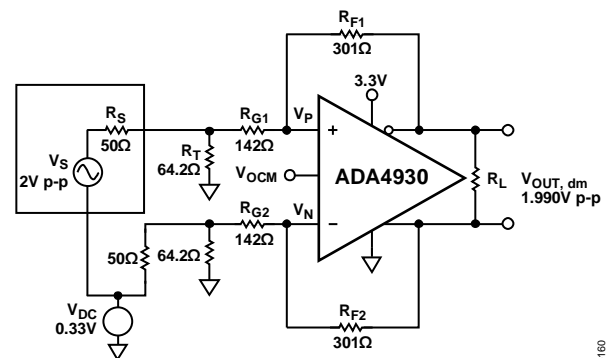


図 53. DC ソース・バイアスを加えた単電源アプリケーション回路

ADA4930-1/ADA4930-2

抵抗を使用した入力同相電圧の調整

図 54. に示した回路はアンプの入力をバイアスするもう一つの方法で、dc 信号源は無くなります。

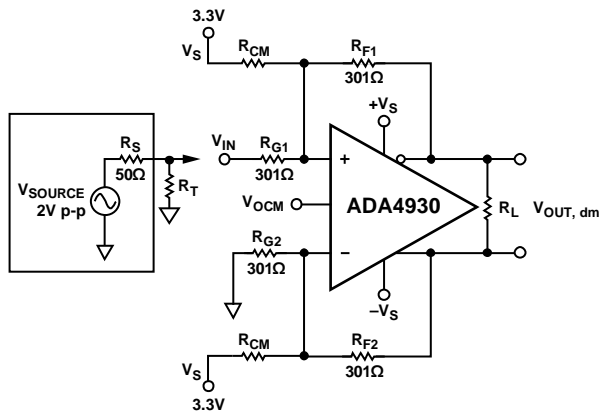


図 54. 抵抗を使用した単電源バイアス回路

$\beta_1 = R_P/R_{F1}$ として $\beta_2 = R_N/R_{F2}$, と定義します。ここで $R_P = R_{G1} || R_{CM} || R_{F1}$ として $R_N = R_{G2} || R_{CM} || R_{F2}$ 。

図に示したように、平衡回路を保つために $R_{F1} = R_{F2} = R_F$ とします。

V_P での節点方程式を書き、 V_P について解きます。

$$V_P = \frac{\beta_1 \beta_2}{\beta_1 + \beta_2} \left(\frac{R_F}{R_{G1}} V_{IN} + 2V_{OCM} + V_S \frac{2R_F}{R_{CM}} \right)$$

$V_{P \min}$ を決めます。 $V_{P \min}$ は「仕様」セクションに規定されている入力同相電圧の最小値です。3.3 V 電源では $V_{P \min} = 0.3$ V。

信号源の出力での最小入力電圧 $V_{IN \min}$ を決定します。適切に終端されていれば、信号源電圧はその解放回路の値の $1/2$ になると判断します。従って、 $V_{IN \min} = -0.5$ V。

V_P の式を R_{CM} についての式に書きなおします。

$$\frac{1}{R_{CM}} = \frac{1}{2V_S R_F} \left(\frac{\beta_1 + \beta_2}{\beta_1 \beta_2} V_{P \min} - \frac{R_F}{R_{G1}} V_{IN \min} - 2V_{OCM} \right)$$

次のように計算します：

1. β_1 と β_2 。
図 54. に示した回路では、 $\beta_1 = 0.5$ として $\beta_2 = 0.5$ になります。
2. $V_{P \min} = 0.3$ V で $V_{IN \min} = -0.5$ V の場合の R_{CM} 。
 $R_{CM} = 9933 \Omega$ 。
3. β_1 と β_2 の新しい値。
 $\beta_1 = 0.4925$ として $\beta_2 = 0.4925$ 。
4. 次の式を使って入力インピーダンスを計算します。

$$R_{IN-SE} = R_{G1} \left(\frac{1}{1 - \frac{V_P}{V_{INP}}} \right) = R_{G1} \left(\frac{\beta_1 + \beta_2}{\beta_1 + \beta_2 - \frac{R_{F1}}{R_{G1}} \beta_1 \beta_2} \right)$$

$$R_{IN-SE} = 399.35 \Omega$$

5. R_T , R_{TH} , として V_{TH} 。
 $R_T = 57.16 \Omega$, $R_{TH} = 26.67 \Omega$, として $V_{TH} = 1.067$ V。
6. R_{G1} と R_{G2} の新しい値。
 $R_{G2} = 160.55 \Omega$ として $R_{G1} = 133.88 \Omega$ 。
7. β_1 と β_2 の新しい値。
 $\beta_1 = 0.284$ として $\beta_2 = 0.317$ 。
8. R_{CM} の新しい値。 $R_{CM} = 4759.63 \Omega$ 。
9. ステップ 3 からステップ 8 までを R_{G1} と R_{G2} の値が繰り返している間に一定になるまで繰り返します。4 回の繰り返し後の最終回路を図 55. に示します。

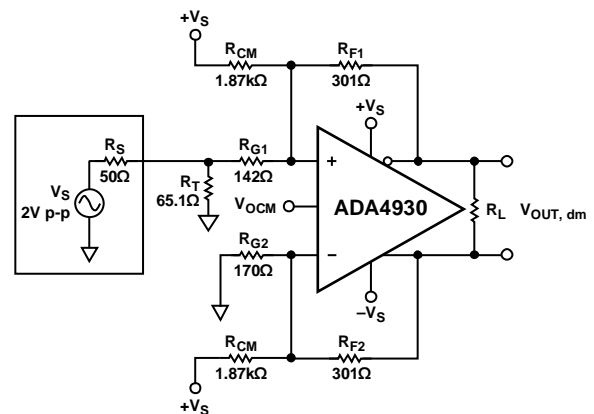


図 55. バイアス用抵抗を使用した単電源、シングル・エンド入力回路

レイアウト、グラウンド接続、バイパス

ADA4930-1/ADA4930-2は非常に高速なデバイスです。優れた性能を実現するためには、高速 PCB デザインに細心の注意を払う必要があります。

最初の条件は、できるだけ多くの基板領域をカバーする厚いグラウンド・プレーンと電源プレーンを持つ多相 PCB を使用する事です。

各電源ピンをデバイスのできるだけ近くで直接近くのグラウンド・プレーンにバイパスしてください。0.1 μF 高周波セラミック・チップ・コンデンサを使用してください。

10 μF タンタル・コンデンサを各電源とグラウンドとの間に接続し、低周波のバルクバイパスを与えます。

浮遊伝送線キャパシタンスとパッケージ寄生との組み合わせにより、高周波で共振回路が形成され過大なゲイン・ピーキングを生じたり、発振する可能性があります。

このような寄生の影響を防ぐため、信号配線は短く、かつダイレクトに行う必要があります。相補信号の場合はバランスした性能を最大限得るために、レイアウトを対称にしてください。

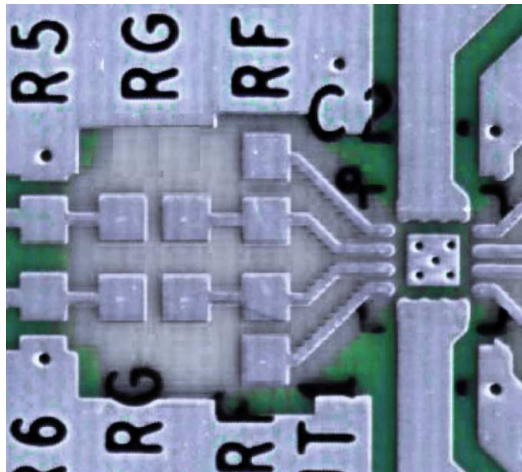


図 56. RF と RG の周辺を取り除いた ADA4930-1 のグラウンドプレーンと電源プレーン

ドライバやレシーバをアンプに接続する場合は無線周波数伝送線を使用してください。

入力/出力ピンの近くの下層のグラウンドや低インピーダンス・プレーンを取り除き、これらの入力/出力ピンでの浮遊容量を最小にしてください。(図 56.を参照)

もしドライバ/レシーバがアンプから波長の 1/8 以上ある場合は、信号パターン幅を最小にする必要があります。このような非伝送線回路の場合は、信号線近くの下層や近傍のグラウンド・プレーンそして低インピーダンス・プレーンを取り除く必要があります。

露出サーマル・パドルは内部でアンプのグラウンド・ピンに接続されています。規定の電気的性能と熱放散を実現するために、パドルを PCB 上の低インピーダンスのグラウンド・プレーンにハンダ付けしてください。熱抵抗をさらに小さくするには、パドルの下のすべての層のグラウンド・プレーンをビアと一緒に接続する事をお勧めします。

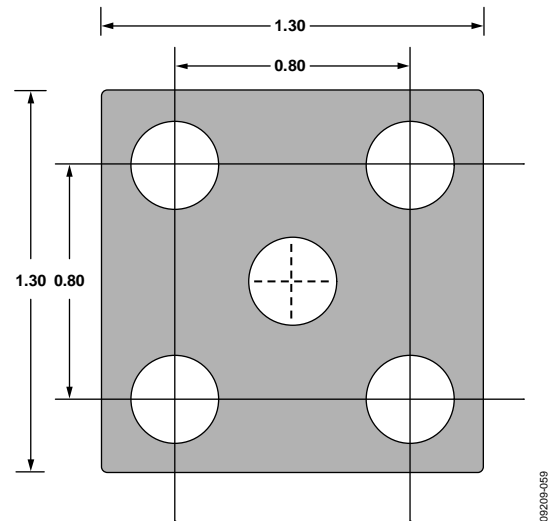


図 57. PCB サーマル・アタッチ・パッドの推奨寸法 (mm)

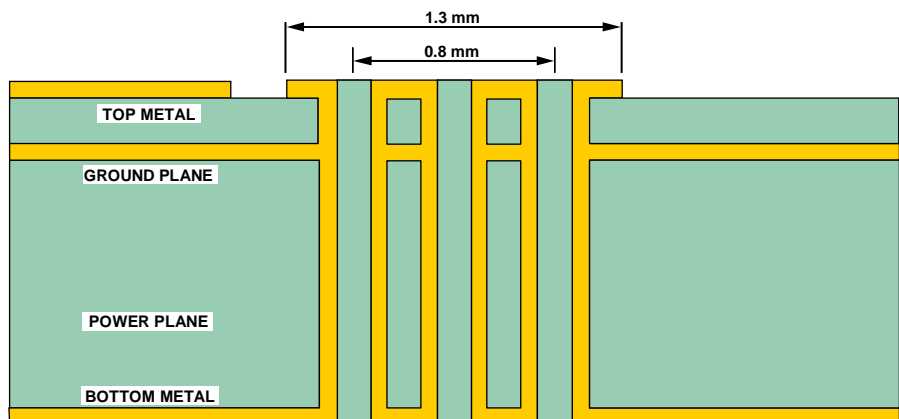


図 58. 埋め込みグラウンド・プレーンへ接続したサーマル・ビア接続を示す 4 層 PCB の断面 (寸法: mm)

高性能 ADC の駆動

ADA4930-1/ADA4930-2 は 3.3 V 単電源アプリケーションで優れた性能を示します。

図 59. に示した回路は単電源 1.8V 動作が規定されている 14 ビット、80MSPS ADC の AD9255 を駆動する ADA4930-1 の例です。ADC の性能は差動駆動に最適化されていて、1.8V 電源で利用可能な最大信号振幅を得られます。ADA4930-1 はシングル・エンド/差動変換、同相電圧のレベル・シフト、駆動信号のバッファリングを行います。

ADA4930-1 はゲイン 2 V/V のシングル・エンド入力 to 差動出力の回路構成になっています。95.1 Ω のシングル・エンド入力インピーダンスと並列に 84.5 Ω の終端抵抗を接続し、信号源に対して 50 Ω 終端を行っています。さらに反転入力に 31.6 Ω を追加(合計 95 Ω)して、信号源抵抗 50 Ω と非反転入力を駆動する終端抵抗との並列インピーダンスとバランスをとっています。

V_{OCM} ピンを AD9255 の VCM 出力に接続し、ADA4930-1 の出力同相電圧を 1 V に設定します。

ADA4930-1 の入力が常に規定された最小入力同相電圧以上になるように、信号源に dc バイアスを加え、反転側のゲイン抵抗にテブノン等価値を追加しなければなりません。

信号源に dc バイアス 0.5 V を加え、反転入力側のゲイン抵抗に dc バイアス 0.314 V を加えると、ADA4930-1 の入力は約 0.48 V dc になります。入力が最大信号振幅 1 V p-p の時、ADA4930-1 入力は 0.36 V と 0.6 V の間振れます。

1 V の出力同相電圧で、ADA4930-1 の各出力は 0.501 V と 1.498 V の間振れ、差動出力は 1.994 V p-p になります。

ADA4930-1 と AD9255 の間に接続されている 3 次、40MHz ローパス・フィルタはアンプのノイズ帯域幅を狭くし、ドライバ出力を ADC 入力から分離します。

図 60. に示した回路は単電源 1.8V の動作が規定されている 14 ビット、80MSPS ADC である AD9640 の 1/2 を駆動する ADA4930-2 の例です。

ADC の性能は差動駆動に、最適化されていて、1.8V 電源で利用可能な最大信号振幅を得られます。ADA4930-2 はシングル・エンド/差動変換、同相電圧のレベル・シフト、駆動信号のバッファリングを行います。

ADA4930-2 はゲイン 2 V/V のシングル・エンド入力 to 差動出力の回路構成になっています。114.75 Ω のシングル・エンド入力インピーダンスと並列に 88.5 Ω の終端抵抗を接続して、信号源に対して 50 Ω 終端を行っています。さらに反転入力側のゲイン抵抗を大きくして、50 Ω 信号源抵抗と非反転入力を駆動する終端抵抗とのバランスをとっています。

V_{OCM} ピンを AD9240 の VCM 出力に接続し、ADA4930-2 の出力同相電圧を 1 V に設定します。

各入力と 3.3 V 電源の間の 739 Ω は ADA4930-2 の入力同相範囲内での動作を保証するために必要な dc バイアスを与えます。

1 V の同相電圧で、各 ADA4930-2 の出力は 0.501 V と 1.498 V の間振れ、差動出力は 1.994 V p-p になります。

ADA4930-2 と AD9640 の間にある 3 次ローパス・フィルタはアンプのノイズ帯域幅を狭くし、ドライバ出力を ADC 入力から分離します。

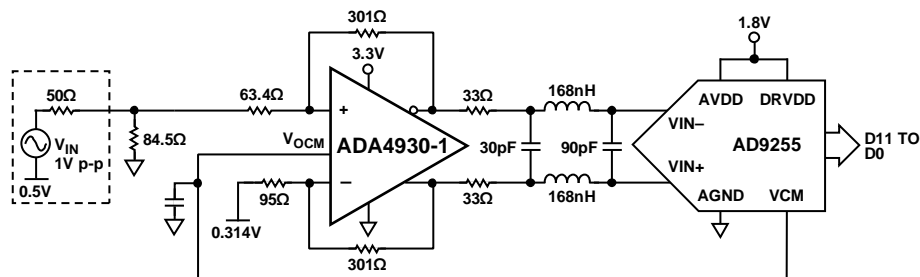


図 59. 14-Bit, 80 MSPS ADC の AD9255 を駆動

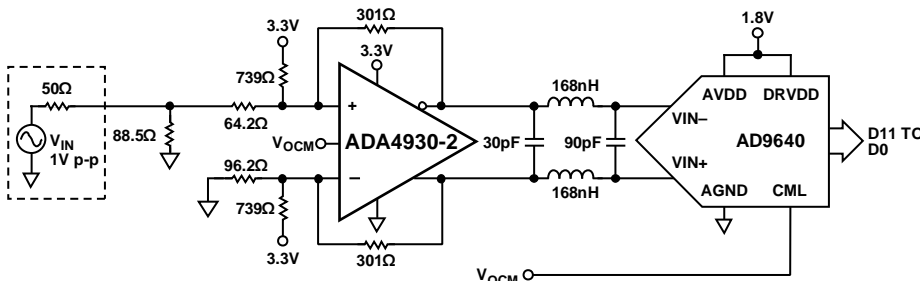
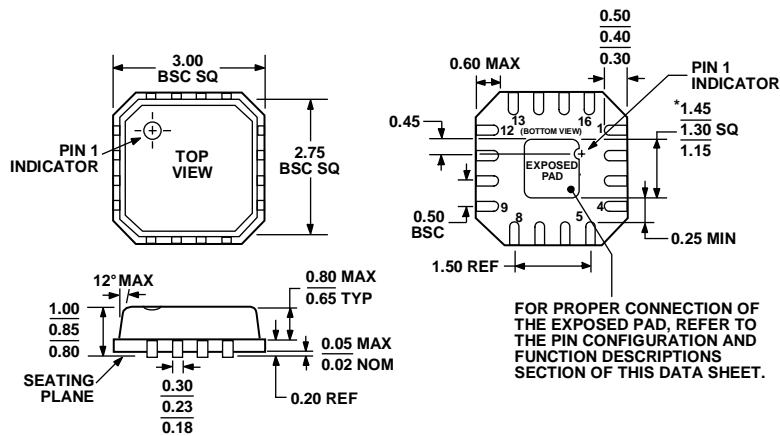


図 60. 14-Bit, 80 MSPS ADC の AD9640 を駆動

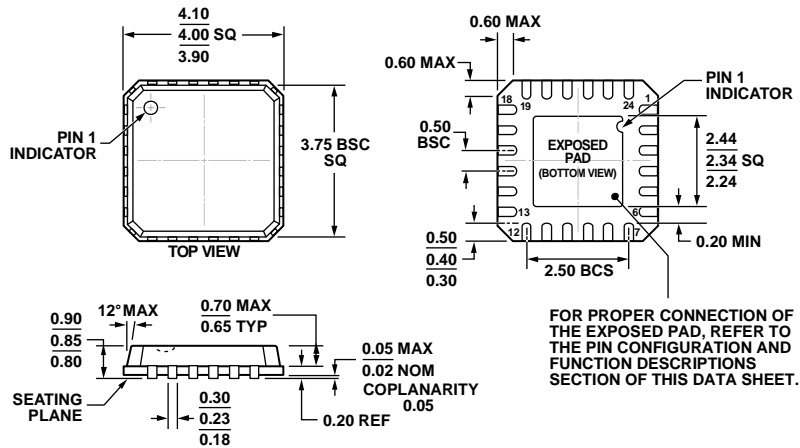
外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-220-VEED-2 EXCEPT FOR EXPOSED PAD DIMENSION.

072208-A

図 61.16 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ]
3 mm × 3 mm ボディ、極薄クワッド (CP-16-2)
(CP-16-2)
寸法表示: mm



COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-8

08-18-2010-A

図 62.24 ピン・リードフレーム・チップ・スケール・パッケージ [LFCSP_VQ]
4 mm × 4 mm、極薄クワッド
(CP-24-13)
寸法表示: mm

オーダー・ガイド

| Model ¹ | Temperature Range | Package Description | Package Option | Ordering Quantity | Branding |
|--------------------|-------------------|---------------------|----------------|-------------------|----------|
| ADA4930-1YCPZ-R2 | -40°C to +105°C | 16-Lead LFCSP_VQ | CP-16-2 | 250 | H1G |
| ADA4930-1YCPZ-RL | -40°C to +105°C | 16-Lead LFCSP_VQ | CP-16-2 | 5,000 | H1G |
| ADA4930-1YCPZ-R7 | -40°C to +105°C | 16-Lead LFCSP_VQ | CP-16-2 | 1,500 | H1G |
| ADA4930-1YCP-EBZ | | Evaluation Board | | | |
| ADA4930-2YCPZ-R2 | -40°C to +105°C | 24-Lead LFCSP_VQ | CP-24-1 3 | 250 | |
| ADA4930-2YCPZ-RL | -40°C to +105°C | 24-Lead LFCSP_VQ | CP-24-1 3 | 5,000 | |
| ADA4930-2YCPZ-R7 | -40°C to +105°C | 24-Lead LFCSP_VQ | CP-24-1 3 | 1,500 | |
| ADA4930-2YCP-EBZ | | Evaluation Board | | | |

¹ Z = RoHS 準拠製品

ノート

ノート

ノート