

### 特長

#### 超低ノイズ

- 0.9 nV/ $\sqrt{\text{Hz}}$
- 2.4 pA/ $\sqrt{\text{Hz}}$
- 10 Hz で 1.2 nV/ $\sqrt{\text{Hz}}$

超低歪み: 500 kHz で -93 dBc

広い電源電圧範囲:  $\pm 5\text{ V} \sim \pm 16\text{ V}$

#### 高速

- 3 dB 帯域幅: 65 MHz (G = +1)
- スルー・レート: 55 V/ $\mu\text{s}$

#### ユニティ・ゲイン安定

- 低入力オフセット電圧: 150  $\mu\text{V}$  最大
- 低入力オフセット電圧ドリフト: 1  $\mu\text{V}/^\circ\text{C}$
- 低入力バイアス電流: -0.1  $\mu\text{A}$
- 低入力バイアス電流ドリフト: 2 nA/ $^\circ\text{C}$
- 電源電流: 8 mA
- パワーダウン機能

### 接続図

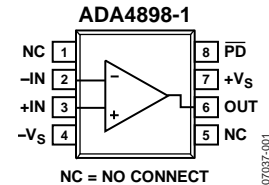


図 1.8 ピン SOIC\_N\_EP (RD-8-1)

### アプリケーション

- 計測機器
- アクティブ・フィルタ
- DAC バッファ
- SAR ADC ドライバ
- 光電子工学

### 概要

ADA4898-1 は、超低ノイズ、超低歪み、ユニティ・ゲイン安定の電圧帰還オペアンプであり、 $\pm 5\text{ V} \sim \pm 16\text{ V}$  の電源を使う 16 ビットおよび 18 ビット・システム向けに最適です。ADA4898-1 は、リニアな低ノイズ入力ステージと高いスルー・レートと低ノイズを実現する内部補償機能を内蔵しています。

ADA4898-1 は、広い電源電圧範囲、低いオフセット電圧、広い帯域幅を持つため極めて融通性が高く、さらに入力バイアス電流を削減する相殺回路を内蔵しています。

ADA4898-1 は、8 ピンの 150 ミル SOIC パッケージを採用しています。このパッケージには、負電源プレーンへ熱を逃して消費電力性能を向上させる露出金属パドルが付いています。この EPAD は、従来型プラスチック・パッケージの熱問題を大幅に改善します。ADA4898-1 の仕様は、 $-40^\circ\text{C} \sim +105^\circ\text{C}$  の車載温度範囲で規定されています。

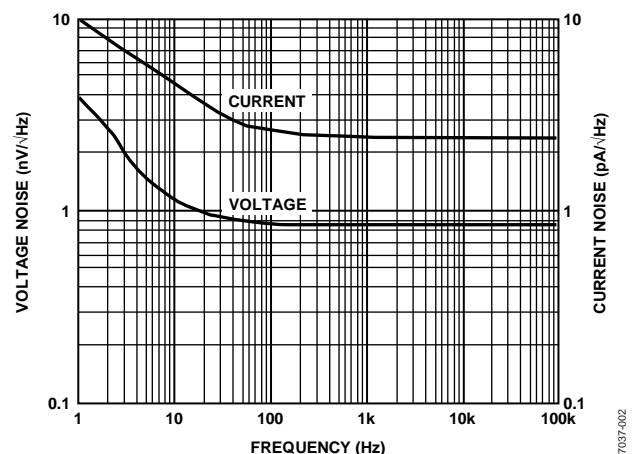


図 2. 入力の電圧ノイズと電流ノイズの周波数特性

アナログ・デバイゼスは、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイゼス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。  
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

©2008 Analog Devices, Inc. All rights reserved.

Rev. A

## 目次

特長 .....	1	$\overline{\text{PD}}$ (Power Down)ピン .....	13
アプリケーション .....	1	電流ノイズ測定 .....	13
接続図 .....	1	0.1~10 Hz のノイズ .....	14
概要 .....	1	アプリケーション情報 .....	15
改訂履歴 .....	2	高帰還ゲイン動作 .....	15
仕様 .....	3	さまざまなゲインに対する推奨値 .....	15
±15 V 電源 .....	3	ノイズ .....	16
±5 V 電源 .....	4	回路の注意事項 .....	16
絶対最大定格 .....	5	PCB レイアウト .....	16
熱抵抗 .....	5	電源のバイパス .....	16
最大消費電力 .....	5	グラウンド接続 .....	16
ESD の注意 .....	5	外形寸法 .....	17
ピン配置およびピン機能説明 .....	6	オーダー・ガイド .....	17
代表的な性能特性 .....	7		
テスト回路 .....	12		
動作原理 .....	13		

## 改訂履歴

### 8/08—Rev. 0 to Rev. A

Changes to General Description Section .....	1
Changes to Table 5 .....	6
Changes to Figure 17 .....	9
Changes to Figure 28 .....	10
Changes to Figure 29 and Figure 32 .....	11
Added 0.1 Hz to 10 Hz Noise Section .....	14
Added Figure 42 and Figure 43; Renumbered Sequentially .....	14
Changes to Grounding Section .....	16
Updated Outline Dimensions .....	17

### 5/08—Revision 0: Initial Release

## 仕様

## ±15 V 電源

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +1$ 、 $R_F = 0\ \Omega$ 、 $R_G = \text{オープン}$ 、 $R_L = 1\ \text{k}\Omega$  (GNDへ接続) ( $G > 1$  では  $R_F = 100\ \Omega$ )。

表 1.

Parameter	Conditions	Min	Typ	Max	Unit
<b>DYNAMIC PERFORMANCE</b>					
-3 dB Bandwidth	$V_{OUT} = 100\ \text{mV p-p}$		65		MHz
	$V_{OUT} = 2\ \text{V p-p}$		14		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$ , $V_{OUT} = 2\ \text{V p-p}$		3.3		MHz
Slew Rate	$V_{OUT} = 5\ \text{V step}$		55		V/ $\mu\text{s}$
Settling Time to 0.1%	$V_{OUT} = 5\ \text{V step}$		85		ns
<b>NOISE/DISTORTION PERFORMANCE</b>					
Harmonic Distortion SFDR	$f = 100\ \text{kHz}$ , $V_{OUT} = 2\ \text{V p-p}$		-116		dBc
	$f = 500\ \text{kHz}$ , $V_{OUT} = 2\ \text{V p-p}$		-93		dBc
	$f = 1\ \text{MHz}$ , $V_{OUT} = 2\ \text{V p-p}$		-79		dBc
Input Voltage Noise	$f = 100\ \text{kHz}$		0.9		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\ \text{kHz}$		2.4		pA/ $\sqrt{\text{Hz}}$
<b>DC PERFORMANCE</b>					
Input Offset Voltage			20	110	$\mu\text{V}$
Input Offset Voltage Drift			1		$\mu\text{V}/^\circ\text{C}$
Input Bias Current			-0.1	-0.4	$\mu\text{A}$
Input Bias Offset Current			0.03	0.3	$\mu\text{A}$
Input Bias Current Drift			2		nA/ $^\circ\text{C}$
Open-Loop Gain	$V_{OUT} = \pm 5\ \text{V}$	99	103		dB
<b>INPUT CHARACTERISTICS</b>					
Input Resistance	Differential mode		5		k $\Omega$
	Common mode		30		M $\Omega$
Input Capacitance	Differential mode		0.8		pF
	Common mode		2.2		pF
Input Common-Mode Voltage Range			$\pm 11$		V
Common-Mode Rejection Ratio	$\Delta V_{CM} = 2\ \text{V p-p}$	-103	-126		dB
<b>PD (Power-Down) PIN</b>					
PD Input Voltages	Chip powered down		$\leq -14$		V
	Chip enabled		$\geq -13$		V
Input Leakage Current	$\overline{\text{PD}} = +V_S$		-0.1		$\mu\text{A}$
	$\overline{\text{PD}} = -V_S$		-0.2		$\mu\text{A}$
<b>OUTPUT CHARACTERISTICS</b>					
Output Voltage Swing	$R_L = 1\ \text{k}\Omega$	-11.4 to +12.1	-11.7 to +12.2		V
	$R_L = \text{None}$	$\pm 12.76$	$\pm 12.82$		V
Short-Circuit Current	Sinking/sourcing		150		mA
Off Isolation	$f = 1\ \text{MHz}$ , $\overline{\text{PD}} = -V_S$		80		dB
<b>POWER SUPPLY</b>					
Operating Range		$\pm 4.5$		$\pm 16.5$	V
Quiescent Current	$\overline{\text{PD}} = +V_S$		8.1		mA
	$\overline{\text{PD}} = -V_S$		0.1		mA
Positive Power Supply Rejection Ratio	$+V_S = 15\ \text{V to } 17\ \text{V}$ , $-V_S = -15\ \text{V}$	-98	-107		dB
Negative Power Supply Rejection Ratio	$+V_S = 15\ \text{V}$ , $-V_S = -15\ \text{V to } -17\ \text{V}$	-100	-114		dB

## ±5 V 電源

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 、 $G = +1$ 、 $R_F = 0 \Omega$ 、 $R_G = \text{オープン}$ 、 $R_L = 1 \text{ k}\Omega$  (GNDへ接続) ( $G > 1$  では  $R_F = 100 \Omega$ )。

表 2.

Parameter	Conditions	Min	Typ	Max	Unit
<b>DYNAMIC PERFORMANCE</b>					
-3 dB Bandwidth	$V_{OUT} = 100 \text{ mV p-p}$		57		MHz
	$V_{OUT} = 2 \text{ V p-p}$		12		MHz
Bandwidth for 0.1 dB Flatness	$G = +2$ , $V_{OUT} = 2 \text{ V p-p}$		3		MHz
Slew Rate	$V_{OUT} = 2 \text{ V step}$		50		V/ $\mu\text{s}$
Settling Time to 0.1%	$V_{OUT} = 2 \text{ V step}$		90		ns
<b>NOISE/DISTORTION PERFORMANCE</b>					
Harmonic Distortion SFDR	$f = 500 \text{ kHz}$ , $V_{OUT} = 2 \text{ V p-p}$		-95		dBc
	$f = 1 \text{ MHz}$ , $V_{OUT} = 2 \text{ V p-p}$		-78		dBc
Input Voltage Noise	$f = 100 \text{ kHz}$		0.9		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100 \text{ kHz}$		2.4		pA/ $\sqrt{\text{Hz}}$
<b>DC PERFORMANCE</b>					
Input Offset Voltage			30	150	$\mu\text{V}$
Input Offset Voltage Drift			1		$\mu\text{V}/^\circ\text{C}$
Input Bias Current			-0.1	-0.4	$\mu\text{A}$
Input Bias Offset Current			0.01	0.3	$\mu\text{A}$
Input Bias Current Drift			2		nA/ $^\circ\text{C}$
Open-Loop Gain	$V_{OUT} = \pm 1 \text{ V}$	90	94		dB
<b>INPUT CHARACTERISTICS</b>					
Input Resistance	Differential mode		5		k $\Omega$
	Common mode		30		M $\Omega$
Input Capacitance	Differential mode		0.8		pF
	Common mode		2.2		pF
Input Common-Mode Voltage Range			-3 to +2.5		V
Common-Mode Rejection Ratio	$\Delta V_{CM} = 1 \text{ V p-p}$	-102	-120		dB
<b>PD (Power-Down) PIN</b>					
$\overline{\text{PD}}$ Input Voltages	Chip powered down		$\leq -4$		V
	Chip enabled		$\geq -3$		V
Input Leakage Current	$\overline{\text{PD}} = +V_S$		0.1		$\mu\text{A}$
	$\overline{\text{PD}} = -V_S$		-2		$\mu\text{A}$
<b>OUTPUT CHARACTERISTICS</b>					
Output Voltage Swing	$R_L = 1 \text{ k}\Omega$	$\pm 3.12$	$\pm 3.17$		V
	$R_L = \text{None}$	$\pm 3.3$	$\pm 3.34$		V
Short-Circuit Current	Sinking/sourcing		150		mA
Off Isolation	$f = 1 \text{ MHz}$ , $\overline{\text{PD}} = -V_S$		80		dB
<b>POWER SUPPLY</b>					
Operating Range		$\pm 4.5$		$\pm 16.5$	V
Quiescent Current	$\overline{\text{PD}} = +V_S$		7.7		mA
	$\overline{\text{PD}} = -V_S$		0.1		mA
Positive Power Supply Rejection Ratio	$+V_S = 5 \text{ V to } 7 \text{ V}$ , $-V_S = -5 \text{ V}$	-95	-100		dB
Negative Power Supply Rejection Ratio	$+V_S = 5 \text{ V}$ , $-V_S = -5 \text{ V to } -7 \text{ V}$	-97	-104		dB

## 絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	36 V
Power Dissipation	See Figure 3
Differential Mode Input Voltage	±1.5 V
Common-Mode Input Voltage	±11.4 V
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +105°C
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作の節に記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

### 熱抵抗

$\theta_{JA}$  はワーストケース条件で規定。すなわち、自然空冷下で銅プレーンに熱的に結合された回路ボード表面にデバイスの露出パドルを使ってハンダ付けした状態で規定。

表 4.

Package Type	$\theta_{JA}$	$\theta_{JC}$	Unit
8-Lead SOIC with EP on 4-Layer Board	47	29	°C/W

### 最大消費電力

ADA4898-1 のパッケージ内での安全な最大消費電力は、チップの接合温度 (T<sub>J</sub>) 上昇により制限されます。約 150°C のガラス遷移温度で、プラスチックの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力に変化して、ADA4898-1 のパラメータ性能を永久的にシフトさせてしまうことがあります。150°C の接合温度を長時間超えると、シリコン・デバイス内に変化が発生して、故障の原因になることがあります。

パッケージ内の消費電力 (PD) は、静止消費電力と出力での負荷駆動に起因するパッケージ内の消費電力との和になります。静止電力は、電源ピン (VS) 間の電圧に静止電流 (IS) を乗算して計算されます。負荷駆動に起因する消費電力は、アプリケーションに依存します。各出力について、負荷駆動に起因する消費電力は、負荷電流にそのデバイスの電圧降下を乗算して計算されます。これらの計算では RMS 電圧と電流を使う必要があります。

強制空冷により熱放散が大きくなるため、 $\theta_{JA}$  が小さくなります。また、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピンが直接接触する場合、これらのメタルによっても  $\theta_{JA}$  が小さくなります。規定の  $\theta_{JA}$  を実現するためには、パッケージ底面の露出パドルは、銅プレーンに熱的に結合されている PCB 表面のパッドへハンダ付けする必要があります。

表 3 に、パッケージ内での安全な最大消費電力と周囲温度の関係を、JEDEC 標準 4 層ボードに実装し、かつ底面パドルを PCB プレーンに熱的に結合したパッドにハンダ付けした 8 ピン SOIC\_N\_EP (47°C/W) パッケージについて示します。 $\theta_{JA}$  値は近似値です。

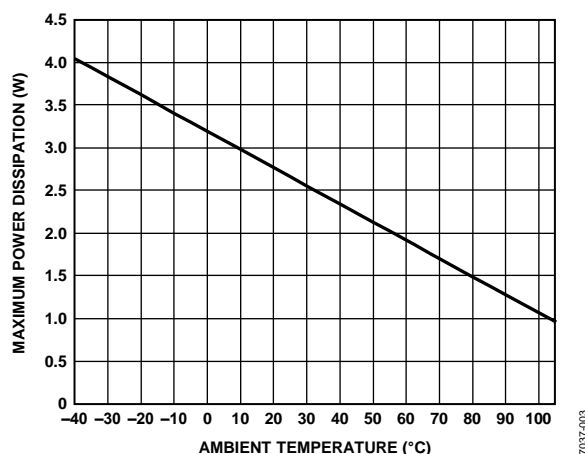


図 3.最大消費電力対周囲温度

### ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

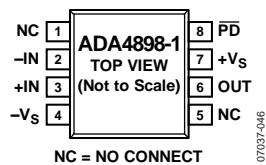


図 4. ピン配置

表 5. ピン機能の説明

ピン番号	記号	説明
1	NC	未接続。
2	-IN	反転入力。
3	+IN	非反転入力。
4	-Vs	負電源。
5	NC	未接続。
6	OUT	出力。
7	+Vs	正電源。
8	PD	パワーダウン。
EP	-Vs	露出パッド。負電源(-Vs)へ接続する必要があります。

## 代表的な性能特性

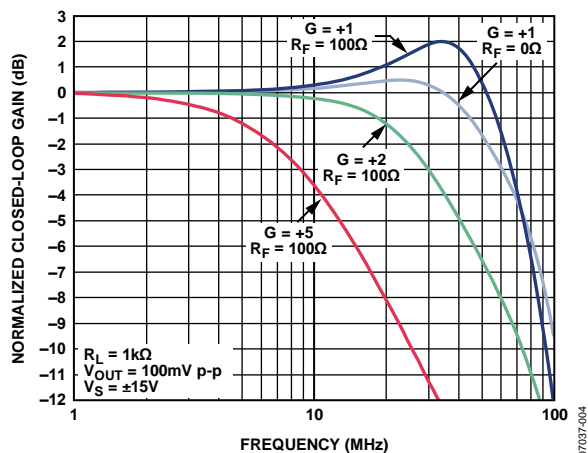


図 5.さまざまなゲインでの小信号周波数応答

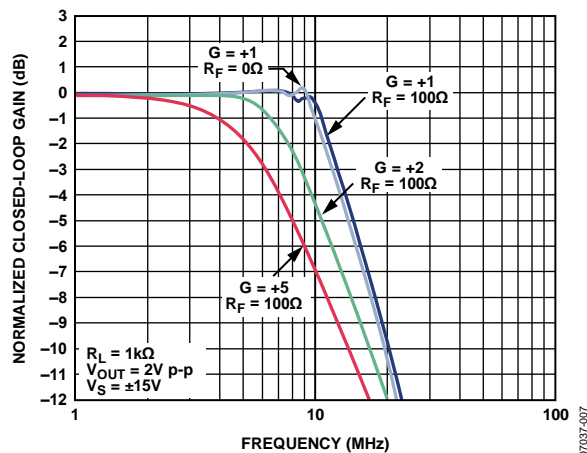


図 8.さまざまなゲインでの大信号周波数応答

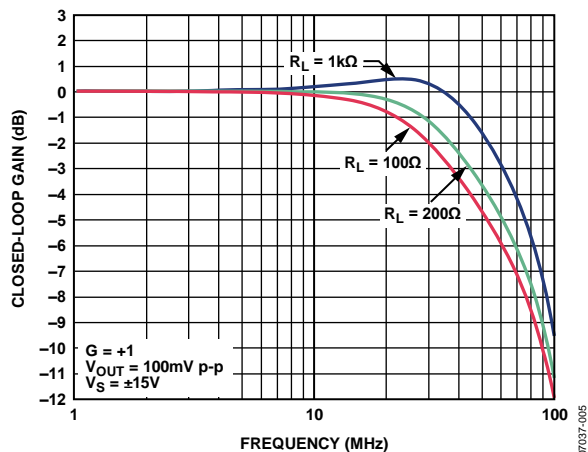


図 6.さまざまな負荷での小信号周波数応答

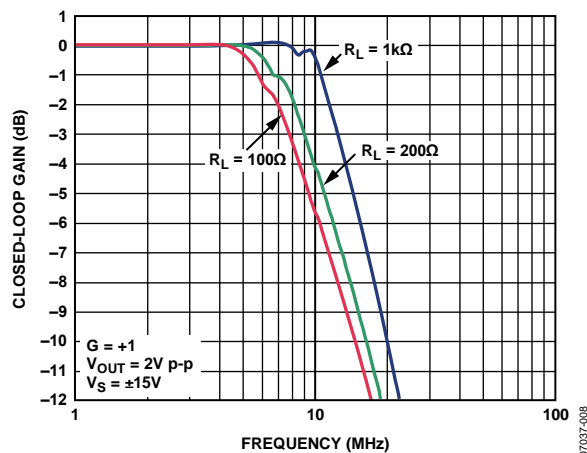


図 9.さまざまな負荷での大信号周波数応答

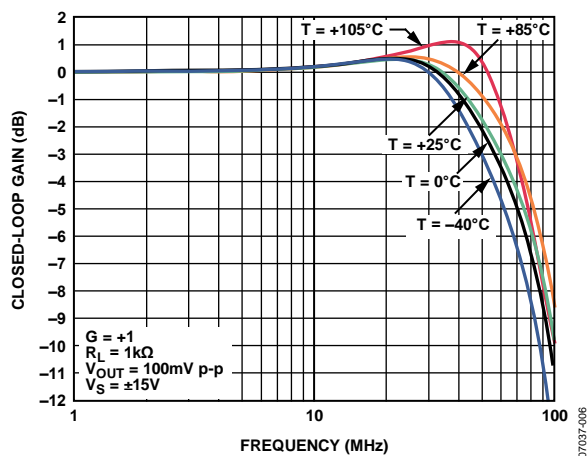


図 7.さまざまな温度での小信号周波数応答

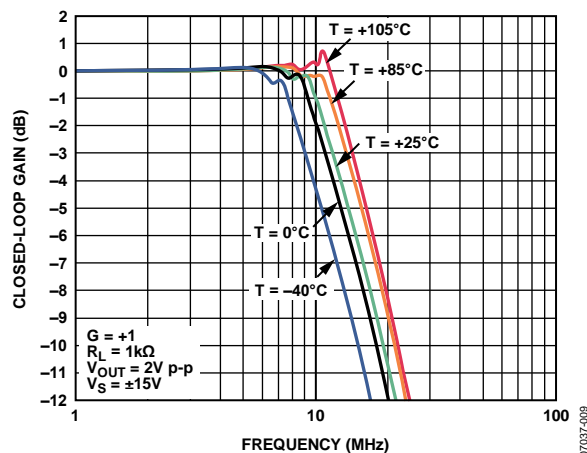


図 10.さまざまな温度での大信号周波数応答

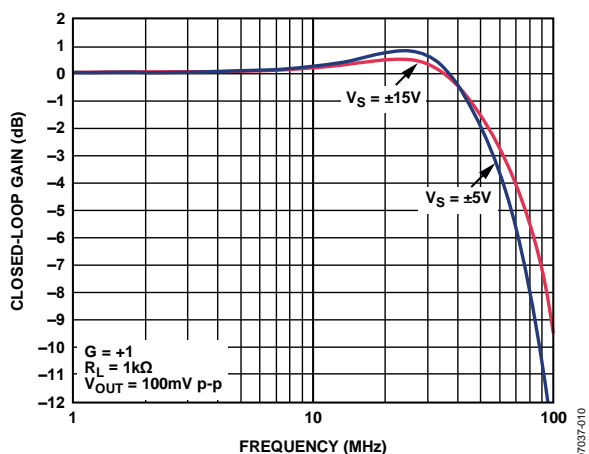


図 11.さまざまな電源電圧での小信号周波数応答

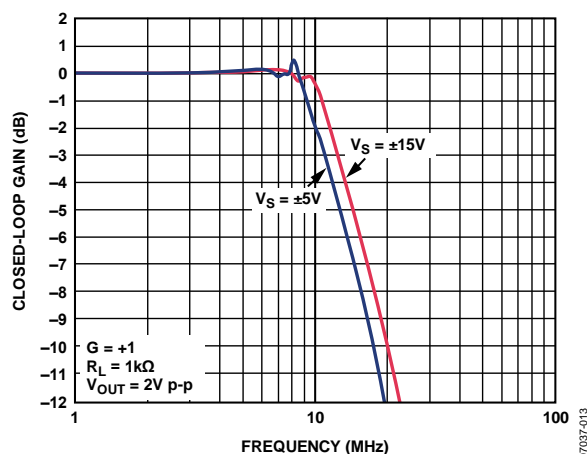


図 14.さまざまな電源電圧での大信号周波数応答

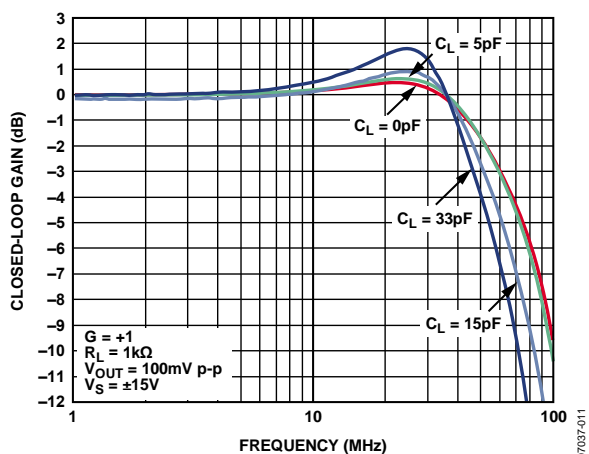


図 12.さまざまな容量負荷での小信号周波数応答

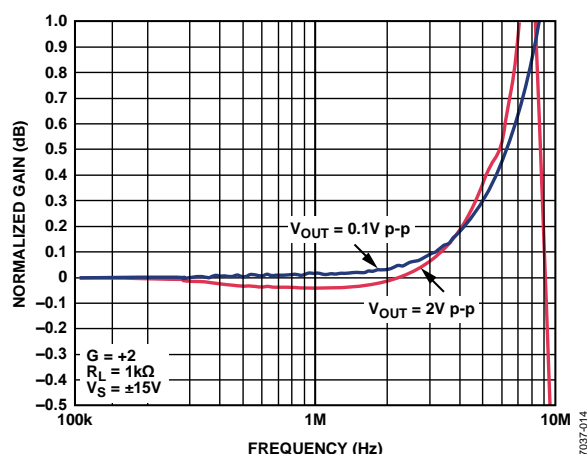


図 15.さまざまな出力電圧での 0.1 dB 平坦性周波数特性

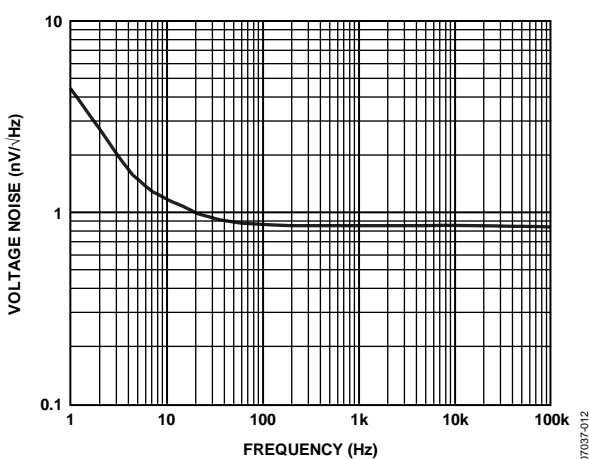


図 13.電圧ノイズの周波数特性

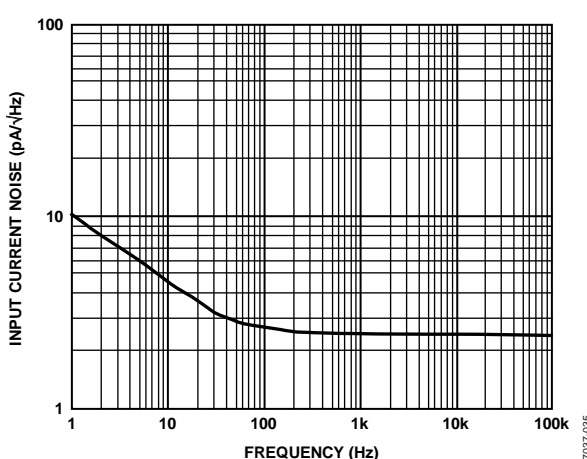


図 16.入力電流ノイズの周波数特性



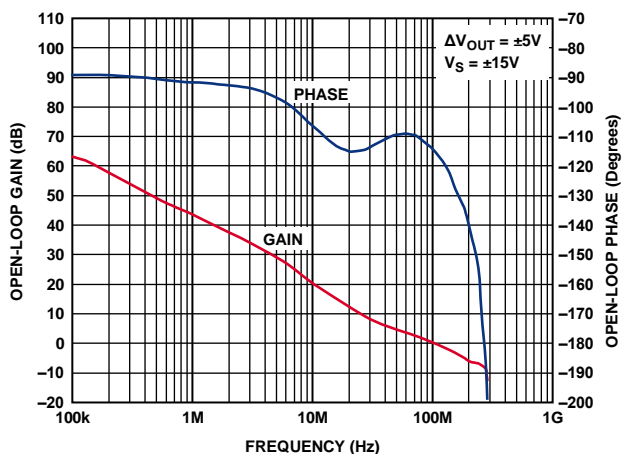


図 17. オープン・ループ・ゲインおよび位相の周波数特性

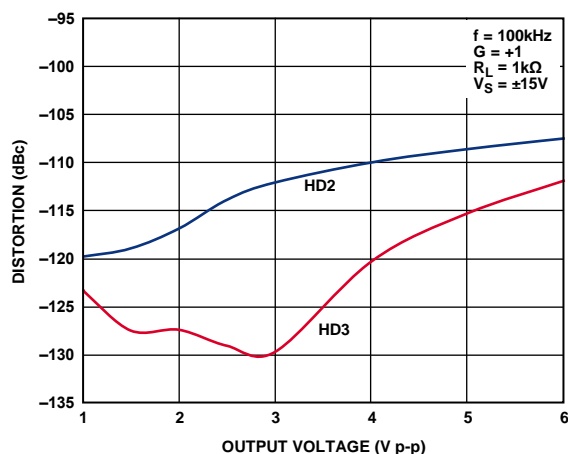


図 20. 高調波歪み対出力振幅

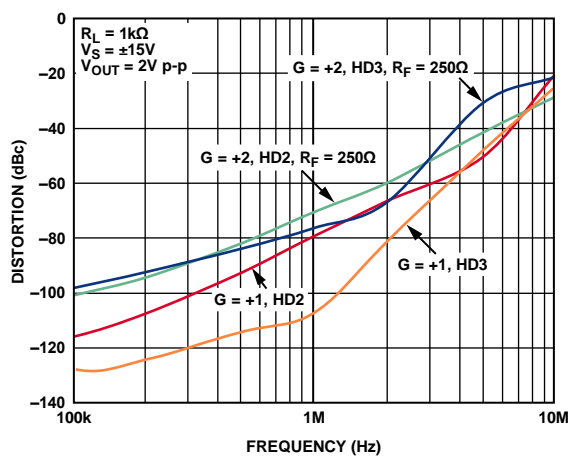


図 18. 高調波歪み対周波数およびゲイン

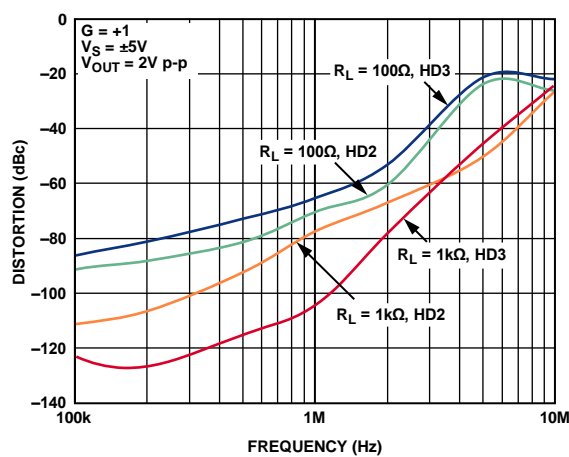


図 21. 高調波歪み対周波数および負荷

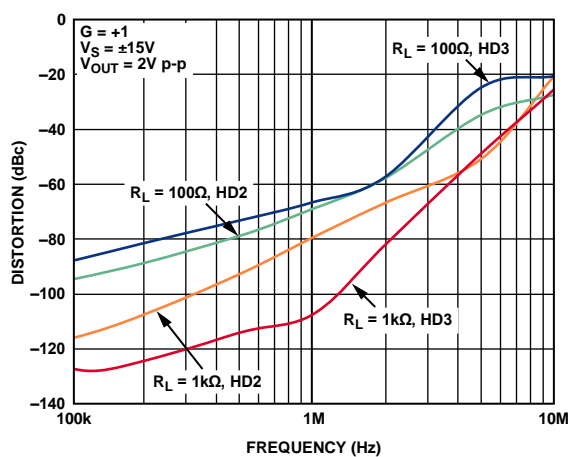


図 19. 高調波歪み対周波数および負荷

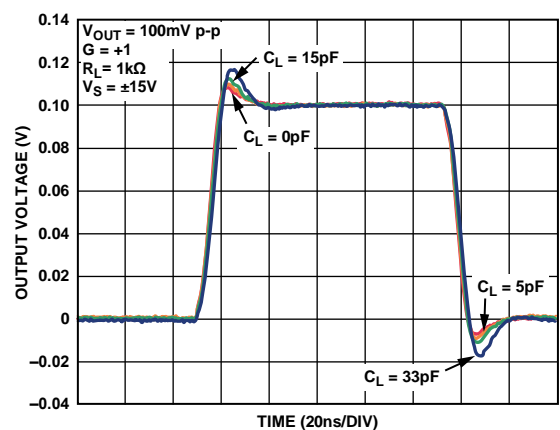


図 22. さまざまな容量負荷での小信号過渡応答

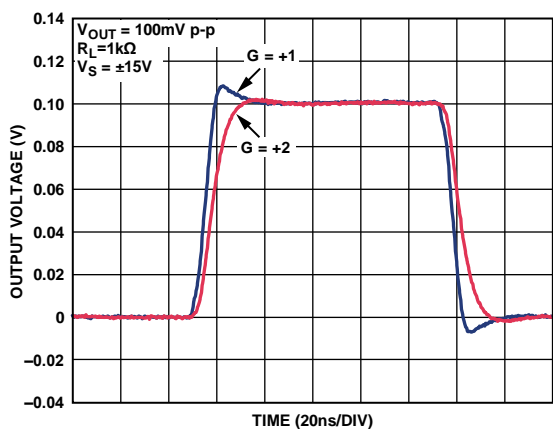


図 23.さまざまなゲインでの小信号過渡応答

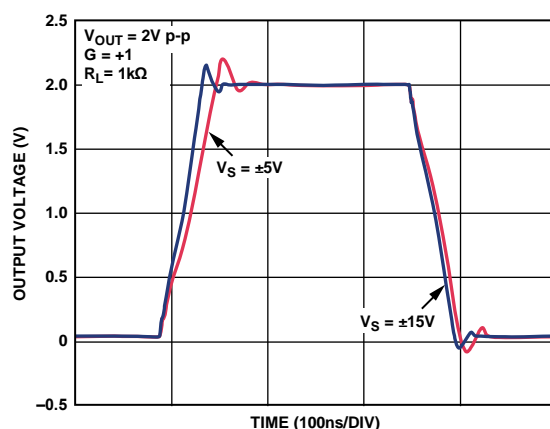


図 26.さまざまな電源電圧での大信号過渡応答  
RL = 1 kΩ

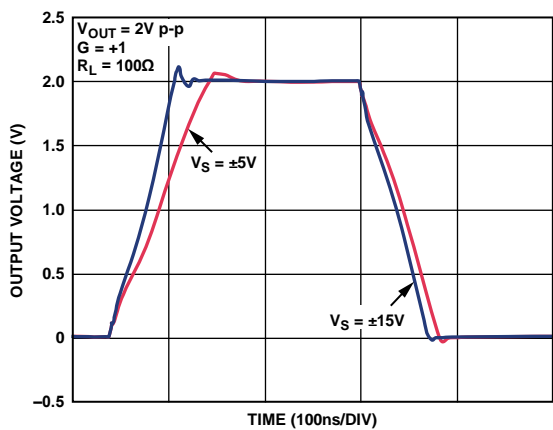


図 24.さまざまな電源電圧での大信号過渡応答  
RL = 100 Ω

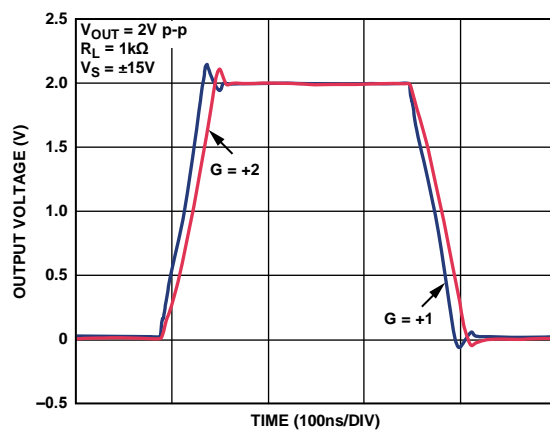


図 27.さまざまなゲインでの大信号過渡応答

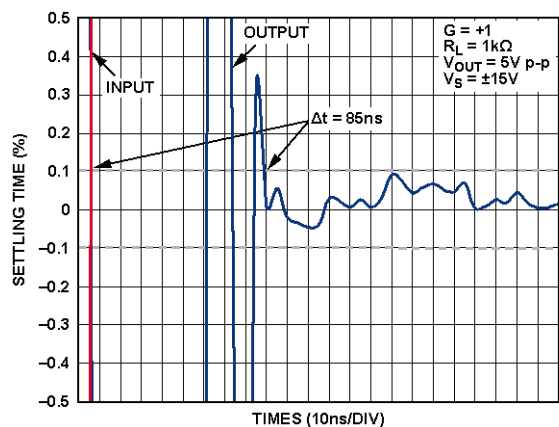


図 25.セトリング・タイム

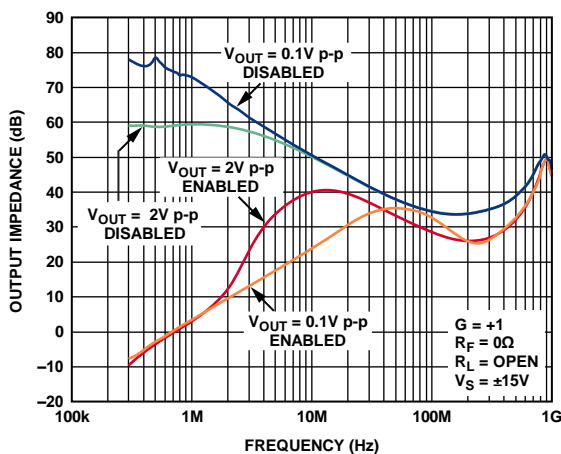


図 28.出カインピーダンスの周波数特性

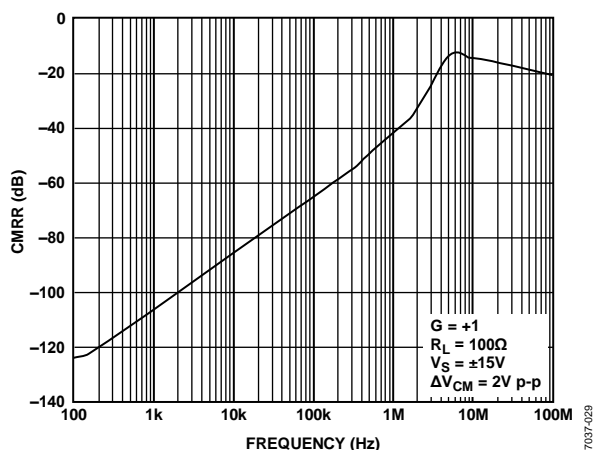


図 29. コモン・モード除去比(CMRR)の周波数特性

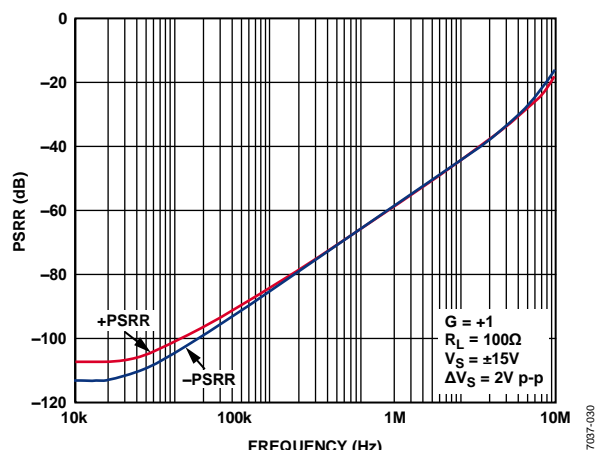


図 32. 電源除去比(PSRR)の周波数特性

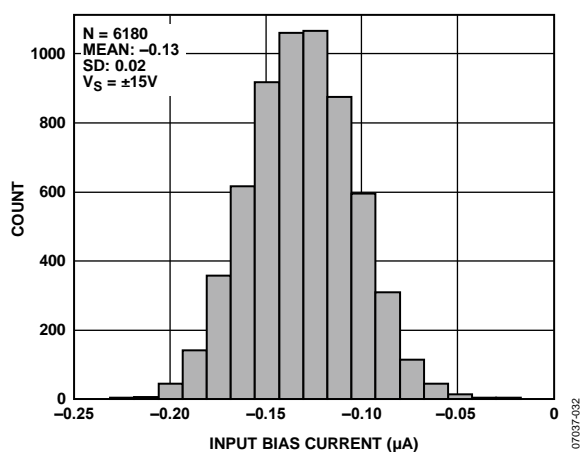


図 30. 入力バイアス電流の分布

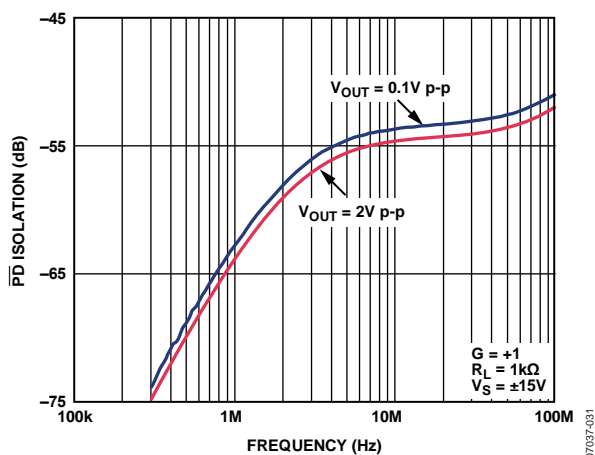


図 33. PD アイソレーションの周波数特性

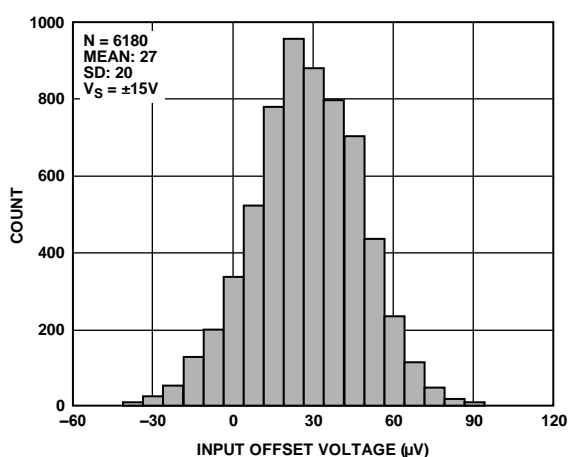


図 31. 入力オフセット電圧の分布  
 $V_S = \pm 15\text{ V}$

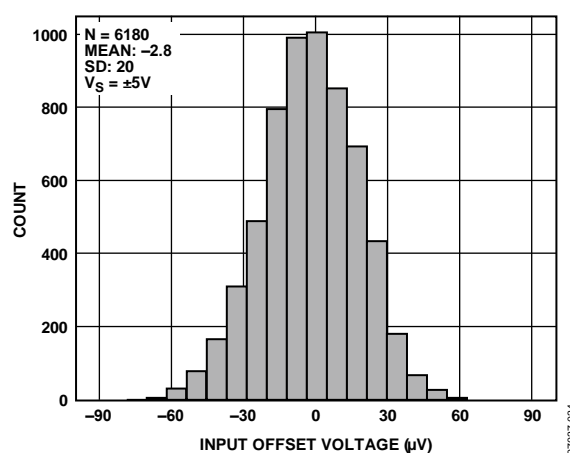
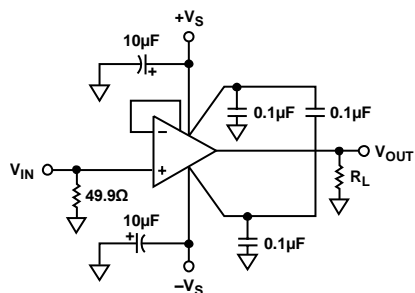


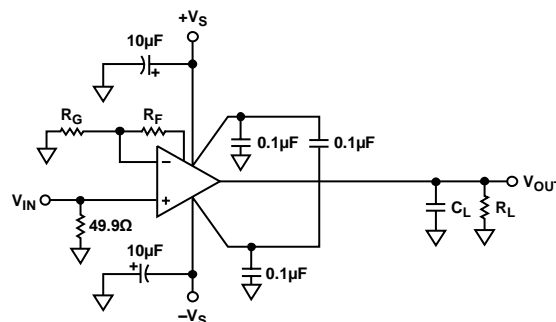
図 34. 入力オフセット電圧の分布  
 $V_S = \pm 5\text{ V}$

## テスト回路



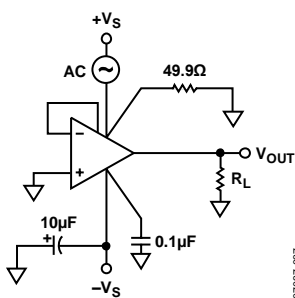
07037-036

図 35.一般的な非反転負荷構成



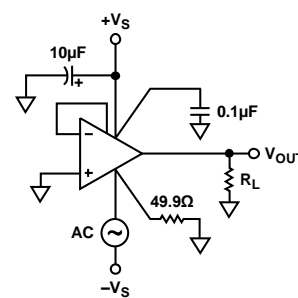
07037-039

図 38.一般的な容量負荷構成



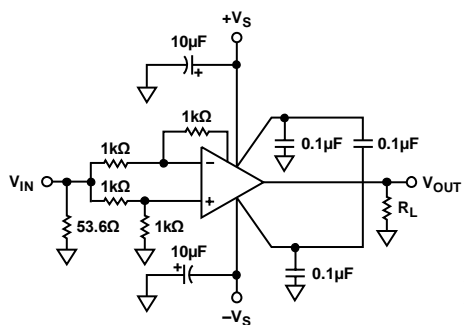
07037-037

図 36.正電源除去比



07037-040

図 39.負電源除去比



07037-038

図 37.コモン・モード除去比

## 動作原理

ADA4898-1は、ユニティ・ゲイン安定性と0.9 nV/√Hzの入力ノイズを組み合わせた電圧帰還オペアンプです。ユニティ・ゲイン設定で、500 kHzまで-90 dBc (2 V p-p)の歪みを維持できる直線性の優れた入力ステージを採用しています。低ゲインの安定性、低い入力換算ノイズ、極めて小さい歪みの貴重な組み合わせは、アナログ・デバイセズ独自のオペアンプ・アーキテクチャと高電圧バイポーラ・プロセス技術から得られたものです。

図40に示す簡略化したADA4898-1の回路は、ユニティ・ゲイン出力バッファを持つシングル・ゲイン・ステージです。このデバイスは100 dB以上のオープン・ループ・ゲインを持ち、CMRR、PSRR、オフセットのような高精度仕様を一般に2段以上のゲイン・ステージを持つ回路に相当するレベルに維持しています。

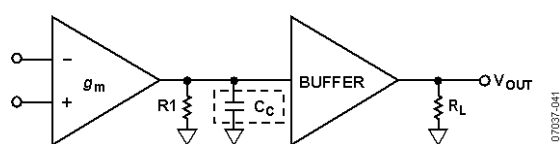


図 40.回路

## PD (Power Down)ピン

PDピンはデバイスで消費される静止電力を削減することにより、消費電力を節約します。消費電力が問題で常時動作が不要なデバイスの場合に便利です。パワーダウン・モードからフル・パワー動作モードへ変化する際のデバイス応答は高速です。PDは出力を高インピーダンス状態にしないことに注意してください。すなわち、ADA4898-1 はマルチプレクサとして使うことはできません。

## 電流ノイズ測定

ADA4898-1 の非常に小さい(2.4 pA/√Hz)入力電流ノイズを測定するときは、アンプの両入力に 10 kΩ の抵抗を使用しました。図 41 に、使用したノイズ測定回路を示します。入力インピーダンスをバランスさせて、コモン・モード・ノイズを相殺させるために、両入力に 10 kΩ の抵抗を使用します。さらに、高いゲイン設定を使用して、合計出力ノイズを大きくし、測定機器のノイズ・フロアより大きくするようにしました。

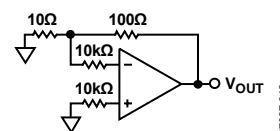


図 41.電流ノイズの測定回路

電流ノイズ密度( $I_n$ )は次式で計算します。

$$I_n = \frac{\left[ e_{no}^2 - (11 \times 18.4 \text{ nV} / \sqrt{\text{Hz}})^2 \right]^{1/2} \times \sqrt{2}}{20 \text{ k}\Omega \times 11}$$

### 0.1~10 Hz のノイズ

図 42 に、ADA4898-1 の 0.1 Hz~10 Hz での電圧ノイズと電流ノイズを示します。ピーク to ピーク・ノイズ電圧は 0.5  $\mu\text{V}$  以下です。図 43 に、低周波ノイズの測定に使用した回路を示します。この回路では、約 0.1 Hz と 10 Hz のバイパス・フィルタと計装アンプに出力する高ゲイン・ステージを使用しています。

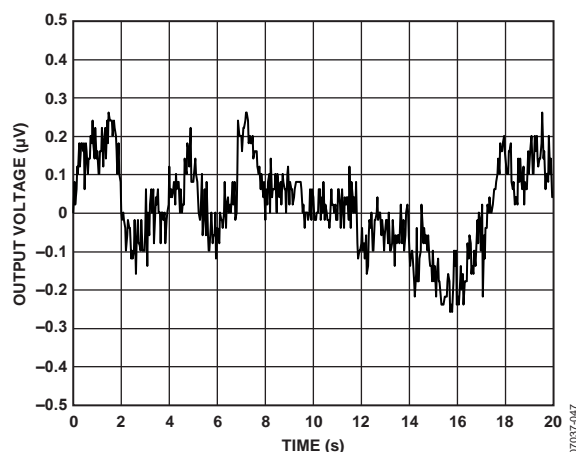


図 42.0.1~10 Hz のノイズ

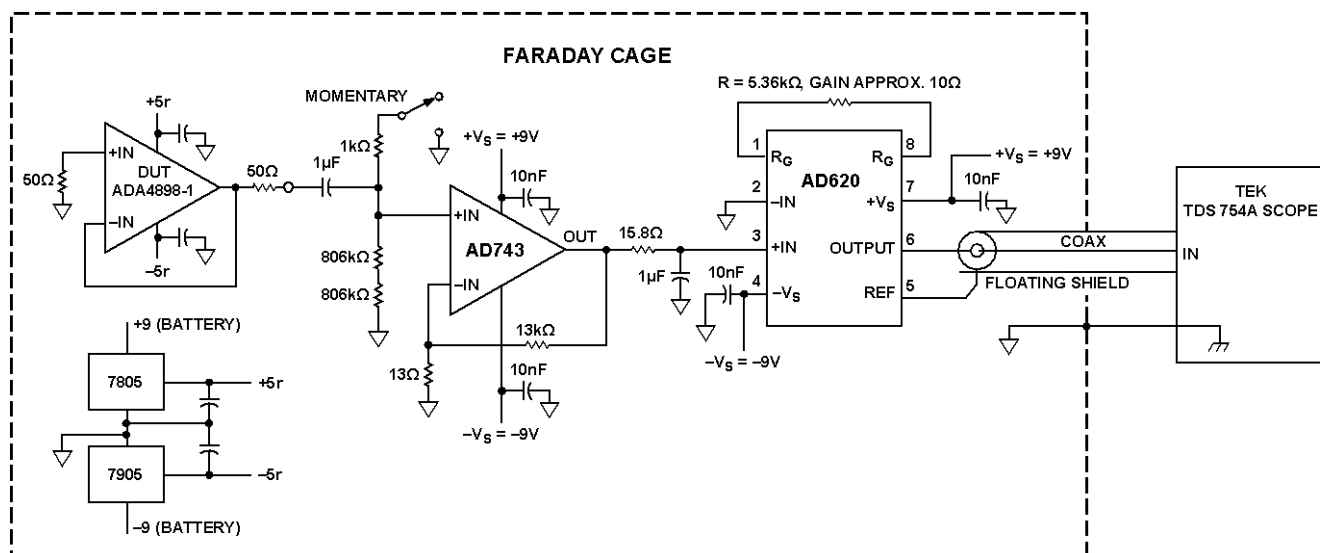


図 43.低周波ノイズ回路

## アプリケーション情報

### 高帰還ゲイン動作

非反転ゲイン構成の ADA4898-1 回路図は教科書によく使われる例に近いものです(図 44 参照)。唯一の例外は帰還抵抗  $R_F$  と並列に接続された帰還コンデンサですが、このコンデンサは大きな値の  $R_F$  ( $>300 \Omega$ ) を使う場合のみ推奨されます。図 45 に、 $100 \Omega$  の抵抗と  $1 \text{ k}\Omega$  の抵抗を使う場合の違いを示します。大きな帰還抵抗を使う場合、ADA4898-1 の入力容量は大きくなるため、クローズ・ループ・ゲイン内のピーキングが大きくなります。小さい帰還抵抗を使うと、この問題を解決できますが、 $R_F = 100 \Omega$  で高い電源( $\pm 15 \text{ V}$ )で動作させると、大きな電流が帰還回路に流れます。この問題を回避するため、大きな帰還抵抗を帰還コンデンサと並列に使用することができます。図 45 に、帰還コンデンサと並列に大きな  $R_F$  を使用する効果を示します。このゲイン=2 の設定では、 $R_F = R_G = 1 \text{ k}\Omega$ 、かつ  $C_F = 2.7 \text{ pF}$  になります。 $C_F$  を使用すると、ピーキングは 6 dB から 2 dB 以下に小さくなります。

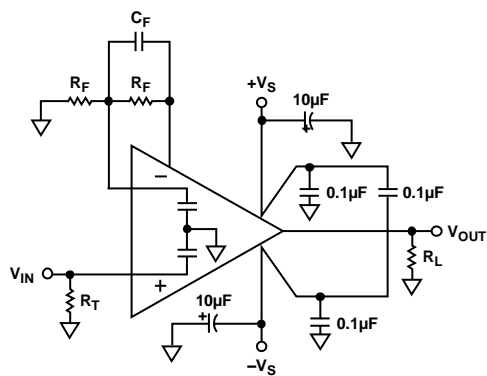


図 44.非反転ゲイン回路図

表 6 に、種々のゲインとそれに対する性能を求める便利な参考情報を示します。ゲイン  $> 1$  に対して  $R_F$  は  $100 \Omega$  に設定しています。帰還抵抗値  $R_F$  を小さくすると、ピーキングが小さ

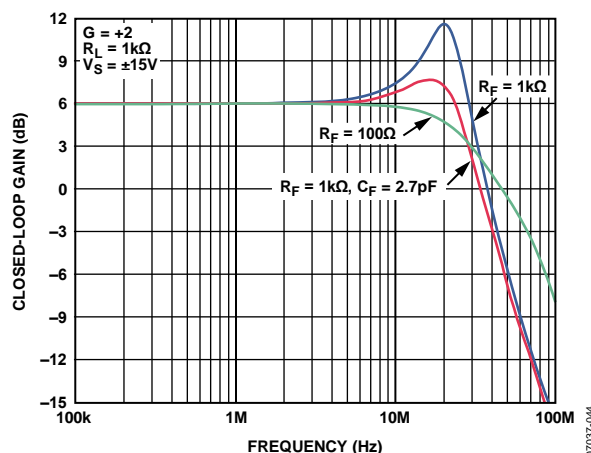


図 45.さまざまな帰還インピーダンスでの小信号周波数応答

### さまざまなゲインに対する推奨値

くなるため、アンプの全体ノイズ性能への影響分が小さくなります。

表 6.対応するさまざまなゲインと推奨抵抗値(条件:  $V_S = \pm 5 \text{ V}$ ,  $T_A = 25^\circ\text{C}$ ,  $R_L = 1 \text{ k}\Omega$ ,  $R_T = 49.9 \Omega$ )

Gain	$R_F$ ( $\Omega$ )	$R_G$ ( $\Omega$ )	-3 dB SS BW (MHz), $V_{OUT} = 100 \text{ mV p-p}$	Slew Rate (V/ $\mu\text{s}$ ), $V_{OUT} = 2 \text{ V Step}$	ADA4898-1 Voltage Noise (nV/ $\sqrt{\text{Hz}}$ ), RTO	Total System Noise (nV/ $\sqrt{\text{Hz}}$ ), RTO
+1	0	NA	65	55	0.9	1.29
+2	100	100	30	50	1.8	3.16
+5	100	24.9	9	45	4.5	7.07

## ノイズ

アンプ回路のノイズ性能を解析するときは、ノイズ源を特定してアンプの全体ノイズ性能に大きな影響を与えるか否かを調べます。ノイズの計算を簡単化するために、実際の電圧ではなくノイズ・スペクトル密度を使って、式から帯域幅を消去します(一般に  $nV/\sqrt{Hz}$  で表されるノイズ・スペクトル密度は、帯域幅 1 Hz 内のノイズと等価です)。

図 46 に示すノイズ・モデルは、3 個の抵抗の Johnson ノイズ、オペアンプ電圧ノイズ、アンプ各入力の電流ノイズからなる 6 個のノイズ源を持っています。各ノイズ源は、出力でのノイズにそれぞれ寄与しています。ノイズは一般に RTI (入力換算) で規定されますが、出力換算 (RTO) ノイズの計算の方が簡単であるため、これをノイズ・ゲインで除算して RTI ノイズを求めます。

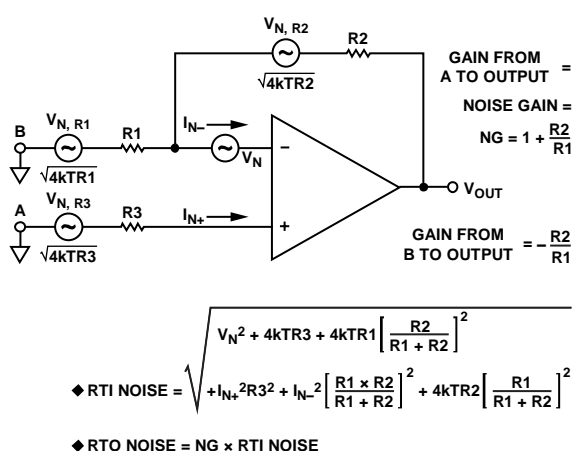


図 46. オペアンプ・ノイズの解析モデル

表 6 に示します。

## 回路の注意事項

ADA4898-1 ボードを注意深くレイアウトすると、最適性能が得られます。電源バイパス、寄生容量、部品の選択はすべてアンプの全体性能に関係します。

## PCB レイアウト

ADA4898-1 は最大 65 MHz まで動作するため、RF ボードのレイアウト技術を使うことが不可欠です。ADA4898-1 ピンの下のすべてのグラウンド・プレーンと電源プレーンの銅箔を除去して、入力ピンおよび出力ピンとグラウンドとの間の寄生容量が発生しないようにする必要があります。ピンの下のグラウンド・プレーンまたは電源プレーンの銅箔を除去しない場合、SOIC フットプリント上の 1 個の実装パッドは、グラウンドとの間に 0.2 pF もの容量を追加してしまいます。

## 電源のバイパス

ADA4898-1 の電源バイパスは、周波数応答と歪み性能に対して最適化されています。図 44 に、バイパス・コンデンサの推奨値と推奨位置を示します。電源バイパスは、安定性、周波数応答、歪み、PSR 性能にとって重要です。図 44 に示す 0.1  $\mu F$  のバイパス・コンデンサは、ADA4898-1 の電源ピンでできるだけ近くに配置する必要があります。10  $\mu F$  の電解コンデンサは 0.1  $\mu F$  のコンデンサの近くに接続しますが、不可欠ではあ

すべての抵抗は、次式で計算される Johnson ノイズを持っています。

$$\sqrt{(4kBTR)}$$

ここで、K はボルツマン定数 ( $1.38 \times 10^{-23}$  J/K)。B は Hz で表した帯域幅です。T はケルビン単位の絶対温度。R は抵抗 ( $\Omega$ )。覚え易い簡単な関係は、50  $\Omega$  の抵抗が 25°C で 1  $nV/\sqrt{Hz}$  の Johnson ノイズを発生することです。

ノイズ感度が重要なアプリケーションでは、他の大きなノイズ源がアンプに導入されないように注意する必要があります。各抵抗はノイズ源になります。デザイン、レイアウト、部品選択の領域に対する注意は、ロー・ノイズ性能を維持するために重要です。アンプと関連抵抗に対するノイズ性能のまとめ

りません。2 つの電源の間にコンデンサを接続すると、PSR と歪みの性能向上に役立ちます。ケースによっては、並列コンデンサを使用すると、周波数応答と過渡応答の向上に役立ちます。

## グラウンド接続

可能な場合は、グラウンド・プレーンと電源プレーンを使用します。グラウンド・プレーンと電源プレーンは、電源プレーンとグラウンド・リターンとの抵抗とインダクタンスを小さくします。入力のリターン、出力の終端、バイパス・コンデンサ、RG はすべて、ADA4898-1 のできるだけ近くに配置する必要があります。出力負荷のグラウンドとバイパス・コンデンサのグラウンドは寄生インダクタンスを小さくするためグラウンド・プレーン上の共通点に戻して、寄生パターン・インダクタンス、リンギング、オーバーシュート、歪みを抑える必要があります。

ADA4898-1 のパッケージには露出パドルが付いています。最適な熱性能と電気性能を得るためには、このパドルを負電源プレーンへハンダ付けする必要があります。高速回路のデザインについては、[www.analog.com](http://www.analog.com) の Analog Dialogue: PCB Layout にある「A Practical Guide to High-Speed Printed-Circuit-Board Layout」を参照してください。



## 外形寸法

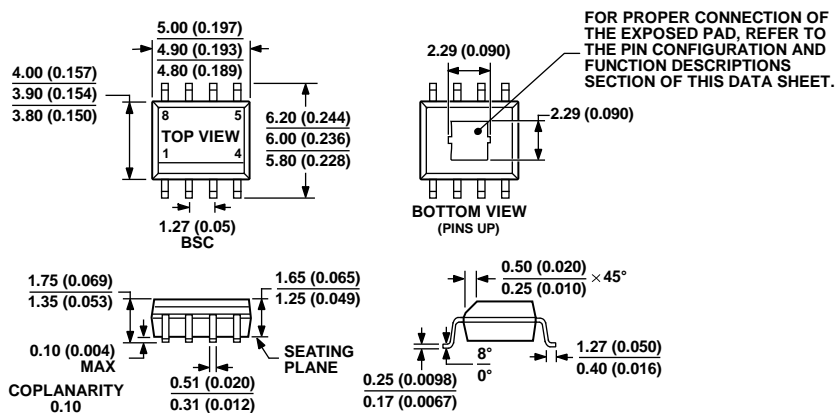


図 47.露出パッド付き 8 ピン標準スモール・アウトライン・パッケージ [SOIC\_N\_EP] (RD-8-1)  
 寸法: mm (インチ)

## オーダー・ガイド

Model	Temperature Range	Package Description	Package Option	Ordering Quantity
ADA4898-1YRDZ <sup>1</sup>	-40°C to +105°C	8-Lead SOIC_N_EP	RD-8-1	1
ADA4898-1YRDZ-R7 <sup>1</sup>	-40°C to +105°C	8-Lead SOIC_N_EP	RD-8-1	1,000
ADA4898-1YRDZ-RL <sup>1</sup>	-40°C to +105°C	8-Lead SOIC_N_EP	RD-8-1	2,500

<sup>1</sup> Z = RoHS 準拠製品