

ADA4891-1/ADA4891-2/ADA4891-3/ADA4891-4

特長

高速動作と高速セトリング

- 3 dB 帯域幅: 220 MHz ($G = +1$)
- スルーレート: 170 V/ μ s
- 0.1%へのセトリング・タイム: 28 ns

ビデオ仕様 ($G = +2$, $R_L = 150 \Omega$)

- ゲイン平坦性: 25 MHz まで 0.1 dB
- 微分ゲイン誤差: 0.05%
- 微分位相誤差: 0.25°

単電源動作

- 広い電源範囲: 2.7 V~5.5 V
- 出力振幅: 両レールの内側 50 mV まで

低歪み: 1 MHz で 79 dBc SFDR

リニアな出力電流: -40 dBc で 125 mA

低消費電力: アンプあたり 4.4 mA

アプリケーション

画像処理

民生ビデオ

アクティブ・フィルタ

同軸ケーブル・ドライバ

クロック・バッファ

フォトダイオードのプリアンプ

コンタクト・イメージ・センサーおよびバッファ

概要

ADA4891-1 (シングル)、ADA4891-2 (デュアル)、ADA4891-3 (トリプル)、ADA4891-4 (クワッド)は、低価格で高性能を提供する高速 CMOS アンプです。これらのアンプは真の単電源機能を持ち、負電源レールより下側 300 mV までの入力電圧範囲を持っています。

ADA4891 ファミリーは、低価格ですが優れた性能と多機能性を提供します。レール to レール出力ステージでは、出力は各電源レールの内側 50 mV まで変化することができるため、広いダイナミックレンジが可能になっています。

ADA4891 ファミリーのアンプは、民生用ビデオ、CCD バッファ、コンタクト・イメージ・センサーとバッファのような画像アプリケーションに最適です。また、低歪みと高速セトリング・タイムを持つため、アクティブ・フィルタ・アプリケーションにも最適です。

ADA4891-1/ADA4891-2/ADA4891-3/ADA4891-4 は、様々なパッケージを採用しています。ADA4891-1 は 8 ピン SOIC パッケージまたは 5 ピン SOT-23 パッケージを、ADA4891-2 は 8 ピン SOIC パッケージまたは 8 ピン MSOP パッケージを、ADA4891-3 と ADA4891-4 は 14 ピン SOIC パッケージまたは 14 ピン TSSOP パッケージを、それぞれ採用しています。これらのアンプの動作は、-40°C~+125°C の拡張温度範囲で規定されています。

接続図

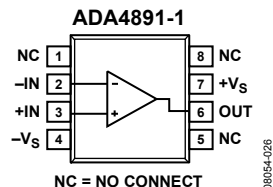


図 1.8 ピン SOIC_N (R-8)

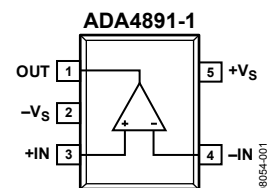


図 2.5 ピン SOT-23 (RJ-5)

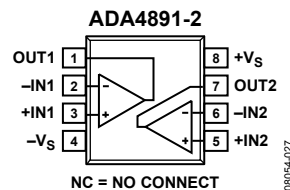


図 3.8 ピン SOIC_N (R-8)および 8 ピン MSOP (RM-8)

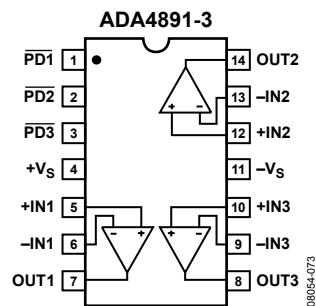


図 4.14 ピン SOIC_N (R-14)および 14 ピン TSSOP (RU-14)

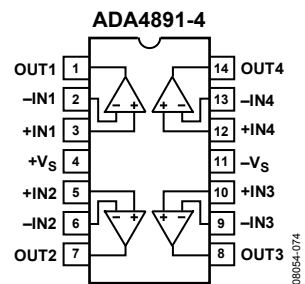


図 5.14 ピン SOIC_N (R-14)および 14 ピン TSSOP (RU-14)

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2010 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	推奨値.....	15
アプリケーション.....	1	R _F の0.1 DBゲイン平坦性への影響.....	16
概要.....	1	容量負荷の駆動.....	17
接続図.....	1	未使用アンプの終端.....	18
改訂履歴.....	2	ディスエーブル機能(ADA4891-3の場合).....	18
仕様.....	3	単電源動作.....	18
5 V動作.....	3	ビデオ再生フィルタ.....	19
3 V動作.....	4	マルチプレクサ.....	19
絶対最大定格.....	6	レイアウト、グラウンド接続、バイパス.....	20
最大消費電力.....	6	電源のバイパス.....	20
ESDの注意.....	6	グラウンド接続.....	20
代表的な性能特性.....	7	入力容量と出力容量.....	20
アプリケーション情報.....	15	入力から出力へのカップリング.....	20
ADA4891の使い方.....	15	リーク電流.....	20
広帯域非反転ゲイン動作.....	15	外形寸法.....	21
広帯域反転ゲイン動作.....	15	オーダー・ガイド.....	23

改訂履歴

9/10—Rev. B to Rev. C

Changes to Figure 23 and Figure 24.....	9
---	---

7/10—Rev. A to Rev. B

Added ADA4891-3 and ADA4891-4.....	Universal
Added 14-Lead SOIC and 14-Lead TSSOP Packages.....	Universal
Deleted Figure 4; Renumbered Figures Sequentially.....	1
Changes to Features Section and General Description Section.....	1
Added Figure 4 and Figure 5.....	1
Changes to Table 1.....	3
Changes to Table 2.....	4
Changes to Maximum Power Dissipation Section and Figure 6.....	6
Added Table 4; Renumbered Tables Sequentially.....	6
Deleted Figure 11.....	6
Changes to Typical Performance Characteristics Section.....	7
Deleted Figure 12.....	7
Changes to Wideband, Noninverting Gain Operation Section, Wideband, Inverting Gain Operation Section, and Table 5.....	15
Added Table 6.....	16

Changes to Figure 52.....	16
Added Figure 53.....	16
Changed Layout of Driving Capacitive Loads Section.....	17
Added Disable Feature (ADA4891-3 Only) Section and Single-Supply Operation Section.....	18
Added Multiplexer Section.....	19
Updated Outline Dimensions.....	21
Changes to Ordering Guide.....	23

6/10—Rev. 0 to Rev. A

Changes to Figure 26.....	9
Changes to Figure 33 and Figure 34.....	10
Updated Outline Dimensions.....	18
Changes to Ordering Guide.....	18

2/10—Revision 0: Initial Version

ADA4891-1/ADA4891-2/ADA4891-3/ADA4891-4

仕様

5 V動作

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{ V}$ 、 $R_L = 1\text{ k}\Omega \sim 2.5\text{ V}$ 。特に指定がない限り、すべての仕様は ADA4891-1、ADA4891-2、ADA4891-3、ADA4891-4 に対するものです。特に指定がない限り、ADA4891-1 と ADA4891-2 では $R_F = 604\ \Omega$ 、ADA4891-3 と ADA4891-4 では $R_F = 453\ \Omega$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small-Signal Bandwidth	ADA4891-1/ADA4891-2, $G = +1$, $V_O = 0.2\text{ V p-p}$		240		MHz
	ADA4891-3/ADA4891-4, $G = +1$, $V_O = 0.2\text{ V p-p}$		220		MHz
Bandwidth for 0.1 dB Gain Flatness	ADA4891-1/ADA4891-2, $G = +2$, $V_O = 0.2\text{ V p-p}$, $R_L = 150\ \Omega$ to 2.5 V		90		MHz
	ADA4891-3/ADA4891-4, $G = +2$, $V_O = 0.2\text{ V p-p}$, $R_L = 150\ \Omega$ to 2.5 V		96		MHz
Slew Rate, t_r/t_f	ADA4891-1/ADA4891-2, $G = +2$, $V_O = 2\text{ V p-p}$, $R_L = 150\ \Omega$ to 2.5 V , $R_F = 604\ \Omega$		25		MHz
	ADA4891-3/ADA4891-4, $G = +2$, $V_O = 2\text{ V p-p}$, $R_L = 150\ \Omega$ to 2.5 V , $R_F = 374\ \Omega$		25		MHz
-3 dB Large-Signal Frequency Response	$G = +2$, $V_O = 2\text{ V step}$, 10% to 90%		170/210		V/ μs
Settling Time to 0.1%	$G = +2$, $V_O = 2\text{ V p-p}$, $R_L = 150\ \Omega$		40		MHz
	$G = +2$, $V_O = 2\text{ V step}$		28		ns
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion, HD2/HD3	$f_C = 1\text{ MHz}$, $V_O = 2\text{ V p-p}$, $G = +1$		-79/-93		dBc
	$f_C = 1\text{ MHz}$, $V_O = 2\text{ V p-p}$, $G = -1$		-75/-91		dBc
Input Voltage Noise	$f = 1\text{ MHz}$		9		nV/ $\sqrt{\text{Hz}}$
Differential Gain Error (NTSC)	$G = +2$, $R_L = 150\ \Omega$ to 2.5 V		0.05		%
Differential Phase Error (NTSC)	$G = +2$, $R_L = 150\ \Omega$ to 2.5 V		0.25		Degrees
All-Hostile Crosstalk	$f = 5\text{ MHz}$, $G = +2$, $V_O = 2\text{ V p-p}$		-80		dB
DC PERFORMANCE					
Input Offset Voltage			± 2.5	± 10	mV
	T_{MIN} to T_{MAX}		± 3.1		mV
Offset Drift			6		$\mu\text{V}/^\circ\text{C}$
Input Bias Current		-50	+2	+50	pA
Open-Loop Gain	$R_L = 1\text{ k}\Omega$ to 2.5 V	77	83		dB
	$R_L = 150\ \Omega$ to 2.5 V		71		dB
INPUT CHARACTERISTICS					
Input Resistance			5		G Ω
Input Capacitance			3.2		pF
Input Common-Mode Voltage Range			$-V_S - 0.3$ to $+V_S - 0.8$		V
Common-Mode Rejection Ratio (CMRR)	$V_{\text{CM}} = 0\text{ V}$ to 3.0 V		88		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	$R_L = 1\text{ k}\Omega$ to 2.5 V		0.01 to 4.98		V
	$R_L = 150\ \Omega$ to 2.5 V		0.08 to 4.90		V
Output Current	1% THD with 1 MHz, $V_O = 2\text{ V p-p}$		125		mA
Short-Circuit Current			205		mA
			307		mA
POWER-DOWN PINS ($\overline{\text{PD1}}$, $\overline{\text{PD2}}$, $\overline{\text{PD3}}$)					
Threshold Voltage, V_{TH}	ADA4891-3 only		2.4		V

ADA4891-1/ADA4891-2/ADA4891-3/ADA4891-4

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Bias Current	Part enabled		65		nA
	Part powered down		-22		μ A
Turn-On Time	Part enabled, output rises to 90% of final value		166		ns
Turn-Off Time	Part powered down, output falls to 10% of final value		49		ns
POWER SUPPLY					
Operating Range		2.7		5.5	V
Quiescent Current per Amplifier			4.4		mA
Supply Current When Powered Down	ADA4891-3 only		0.8		mA
Power Supply Rejection Ratio (PSRR)					
Positive PSRR	+V _S = 5 V to 5.25 V, -V _S = 0 V		65		dB
Negative PSRR	+V _S = 5 V, -V _S = -0.25 V to 0 V		63		dB
OPERATING TEMPERATURE RANGE					
		-40		+125	$^{\circ}$ C

3 V動作

特に指定がない限り、T_A = 25 $^{\circ}$ C、V_S = 3 V、R_L = 1 k Ω ~1.5 V。特に指定がない限り、すべての仕様は ADA4891-1、ADA4891-2、ADA4891-3、ADA4891-4 に対するものです。特に指定がない限り、ADA4891-1 と ADA4891-2 では R_F = 604 Ω 、ADA4891-3 と ADA4891-4 では R_F = 453 Ω 。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Small-Signal Bandwidth	ADA4891-1/ADA4891-2, G = +1, V _O = 0.2 V p-p		190		MHz
	ADA4891-3/ADA4891-4, G = +1, V _O = 0.2 V p-p		175		MHz
	ADA4891-1/ADA4891-2, G = +2, V _O = 0.2 V p-p, R _L = 150 Ω to 1.5 V		75		MHz
	ADA4891-3/ADA4891-4, G = +2, V _O = 0.2 V p-p, R _L = 150 Ω to 1.5 V		80		MHz
Bandwidth for 0.1 dB Gain Flatness	ADA4891-1/ADA4891-2, G = +2, V _O = 2 V p-p, R _L = 150 Ω to 1.5 V, R _F = 604 Ω		18		MHz
	ADA4891-3/ADA4891-4, G = +2, V _O = 2 V p-p, R _L = 150 Ω to 1.5 V, R _F = 374 Ω		18		MHz
Slew Rate, t _r /t _f	G = +2, V _O = 2 V step, 10% to 90%		140/230		V/ μ s
-3 dB Large-Signal Frequency Response	G = +2, V _O = 2 V p-p, R _L = 150 Ω		40		MHz
Settling Time to 0.1%	G = +2, V _O = 2 V step		30		ns
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion, HD ₂ /HD ₃	f _c = 1 MHz, V _O = 2 V p-p, G = -1		-70/-89		dBc
Input Voltage Noise	f = 1 MHz		9		nV/ \sqrt Hz
Differential Gain Error (NTSC)	G = +2, R _L = 150 Ω to 0.5 V, +V _S = 2 V, -V _S = -1 V		0.23		%
Differential Phase Error (NTSC)	G = +2, R _L = 150 Ω to 0.5 V, +V _S = 2 V, -V _S = -1 V		0.77		Degrees
All-Hostile Crosstalk	f = 5 MHz, G = +2		-80		dB
DC PERFORMANCE					
Input Offset Voltage			\pm 2.5	\pm 10	mV
	T _{MIN} to T _{MAX}		\pm 3.1		mV
Offset Drift			6		μ V/ $^{\circ}$ C
Input Bias Current		-50	+2	+50	pA
Open-Loop Gain	R _L = 1 k Ω to 1.5 V	72	76		dB
	R _L = 150 Ω to 1.5 V		65		dB
INPUT CHARACTERISTICS					
Input Resistance			5		G Ω
Input Capacitance			3.2		pF

ADA4891-1/ADA4891-2/ADA4891-3/ADA4891-4

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
Input Common-Mode Voltage Range			$-V_S - 0.3$ to $+V_S - 0.8$		V
Common-Mode Rejection Ratio (CMRR)	$V_{CM} = 0$ V to 1.5 V		87		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	$R_L = 1$ k Ω to 1.5 V $R_L = 150$ Ω to 1.5 V		0.01 to 2.98 0.07 to 2.87		V V
Output Current	1% THD with 1 MHz, $V_O = 2$ V p-p		37		mA
Short-Circuit Current					
Sourcing			80		mA
Sinking			163		mA
POWER-DOWN PINS ($\overline{PD1}$, $\overline{PD2}$, $\overline{PD3}$)					
Threshold Voltage, V_{TH}	ADA4891-3 only		1.3		V
Bias Current	Part enabled		48		nA
	Part powered down		-13		μ A
Turn-On Time	Part enabled, output rises to 90% of final value		185		ns
Turn-Off Time	Part powered down, output falls to 10% of final value		58		ns
POWER SUPPLY					
Operating Range		2.7		5.5	V
Quiescent Current per Amplifier			3.5		mA
Supply Current When Powered Down	ADA4891-3 only		0.73		mA
Power Supply Rejection Ratio (PSRR)					
Positive PSRR	$+V_S = 3$ V to 3.15 V, $-V_S = 0$ V		76		dB
Negative PSRR	$+V_S = 3$ V, $-V_S = -0.15$ V to 0 V		72		dB
OPERATING TEMPERATURE RANGE					
		-40		+125	$^{\circ}$ C

絶対最大定格

表 3.

Parameter	Rating
Supply Voltage	6 V
Input Voltage (Common Mode)	$-V_S - 0.5 \text{ V to } +V_S$
Differential Input Voltage	$\pm V_S$
Storage Temperature Range	$-65^\circ\text{C to } +125^\circ\text{C}$
Operating Temperature Range	$-40^\circ\text{C to } +125^\circ\text{C}$
Lead Temperature (Soldering, 10 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

最大消費電力

ADA4891-1/ADA4891-2/ADA4891-3/ADA4891-4 のパッケージ内の安全な最大消費電力は、チップのジャンクション温度上昇により制限されます。プラスチック・パッケージを採用するデバイスの安全な最大ジャンクション温度は、プラスチックのガラス転移温度により決定され、約 150 °C です。この値を一時的に超えると、パッケージからチップに加わるストレスの変化によりパラメータ性能がシフトすることがあります。175°C のジャンクション温度を長時間超えると、故障の原因になることがあります。

自然空冷時のパッケージ熱特性(θ_{JA})、周囲温度(T_A)、パッケージ(P_D)内の合計消費電力によって、チップのジャンクション温度が決定されます。

ジャンクション温度は次式で計算されます。

$$T_J = T_A + (P_D \times \theta_{JA}) \quad (1)$$

パッケージ内の消費電力(P_D)は、静止消費電力と全出力での負荷駆動に起因するパッケージ内の消費電力との和になります。次式で計算することができます。

$$P_D = (V_T \times I_S) + (V_S - V_{OUT}) \times (V_{OUT}/R_L) \quad (2)$$

ここで、
 V_T は合計電源レール。
 I_S は静止電流。 V_S は正電源レール。
 V_{OUT} はアンプの出力。
 R_L はアンプの出力負荷。

正常動作のためには、図 6 の最大消費電力デレーティング・カーブに従う必要があります。これらのカーブは、式 1 で $T_J = 150^\circ\text{C}$ として求めたものです。図 6 に、4 層 JEDEC 標準ボードを使った場合のパッケージ最大安全消費電力対周囲温度を示します。

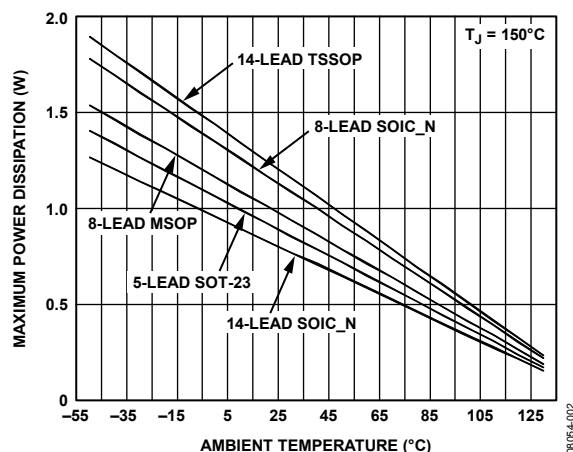


図 6. 周囲温度対最大消費電力

表 4 に、各 ADA4891-1/ ADA4891-2/ADA4891-3/ADA4891-4 パッケージの熱抵抗(θ_{JA})を示します。

表 4.

Package Type	θ_{JA}	Unit
5-Lead SOT-23	146	°C/W
8-Lead SOIC_N	115	°C/W
8-Lead MSOP	133	°C/W
14-Lead SOIC_N	162	°C/W
14-Lead TSSOP	108	°C/W

ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

特に指定がない限り、すべてプロットは ADA4891-1、ADA4891-2、ADA4891-3、ADA4891-4 に対してキャラクタライズしたものです。
 ADA4891-1 と ADA4891-2 では $R_F = 604 \Omega$ (typ)、ADA4891-3 と ADA4891-4 では $R_F = 453 \Omega$ (typ)。

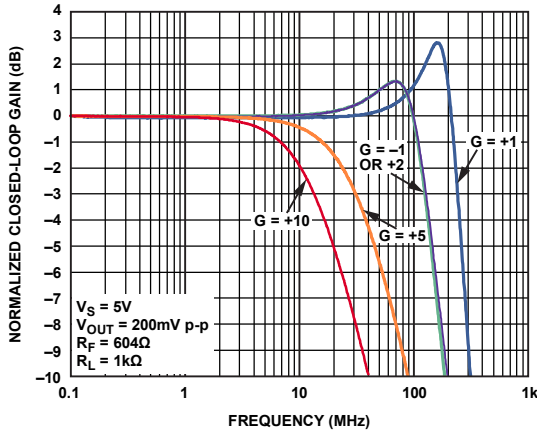


図 7. 様々なゲインでの小信号周波数応答
 $V_S = 5V$, ADA4891-1/ADA4891-2

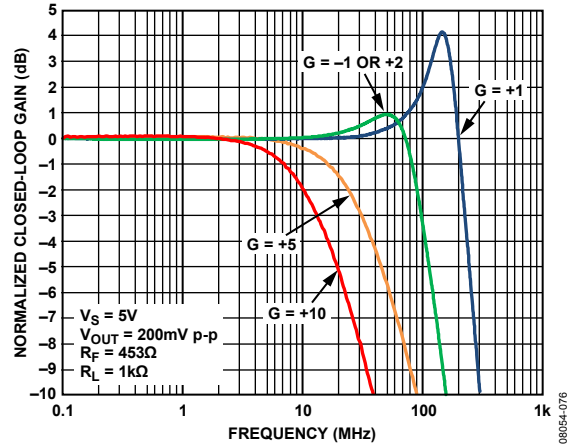


図 10. 様々なゲインでの小信号周波数応答
 $V_S = 5V$, ADA4891-3/ADA4891-4

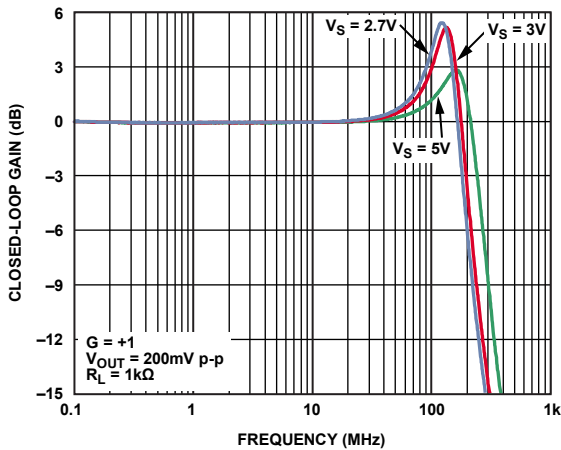


図 8. 様々な電源電圧での小信号周波数応答
 ADA4891-1/ADA4891-2

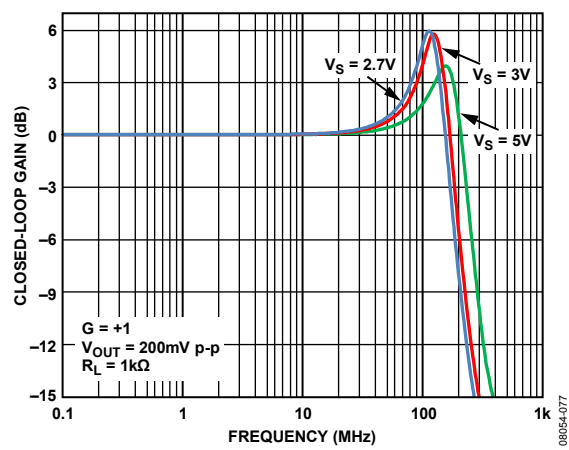


図 11. 様々な電源電圧での小信号周波数応答
 ADA4891-3/ADA4891-4

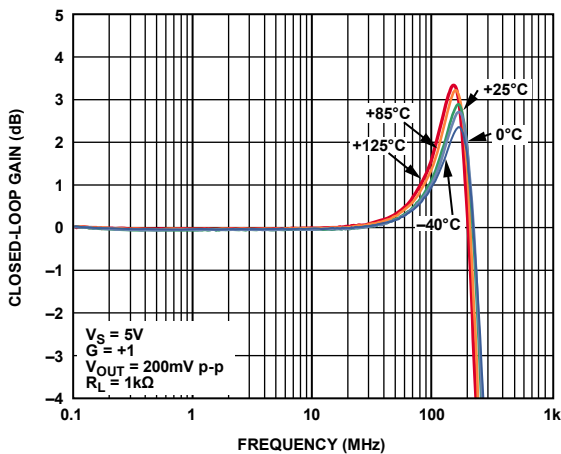


図 9. 様々な温度での小信号周波数応答
 $V_S = 5V$, ADA4891-1/ADA4891-2

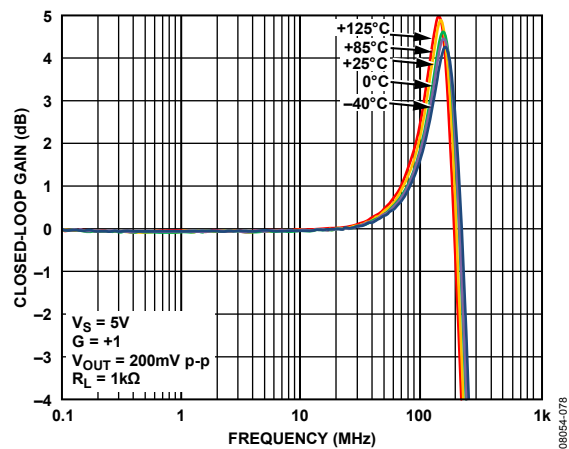


図 12. 様々な温度での小信号周波数応答
 $V_S = 5V$, ADA4891-3/ADA4891-4

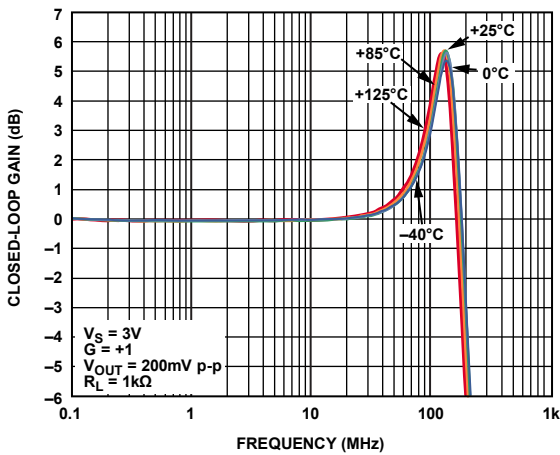


図 13. 様々な温度での小信号周波数応答
 $V_S = 3\text{ V}$ 、ADA4891-1/ADA4891-2

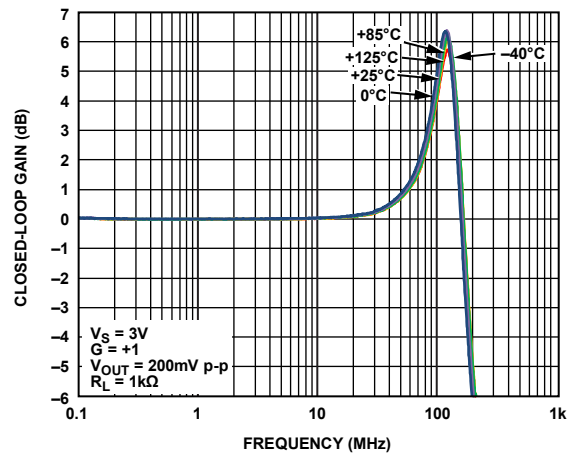


図 16. 様々な温度での小信号周波数応答
 $V_S = 3\text{ V}$ 、ADA4891-3/ADA4891-4

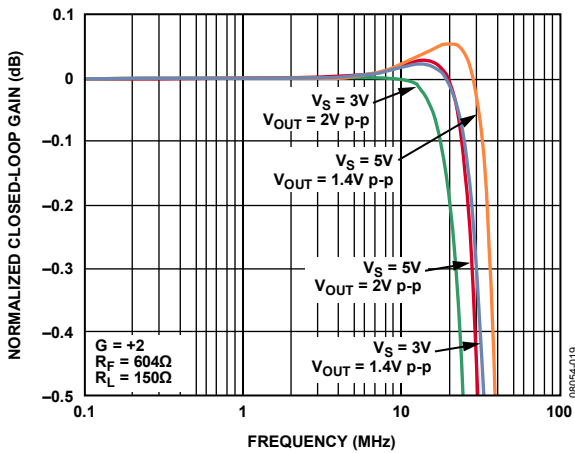


図 14. 電源電圧対 0.1 dB ゲイン平坦性
 $G = +2$ 、ADA4891-1/ADA4891-2

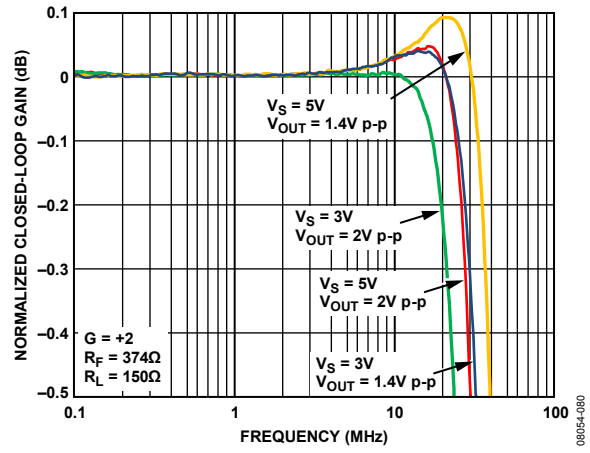


図 17. 電源電圧対 0.1 dB ゲイン平坦性
 $G = +2$ 、ADA4891-3/ADA4891-4

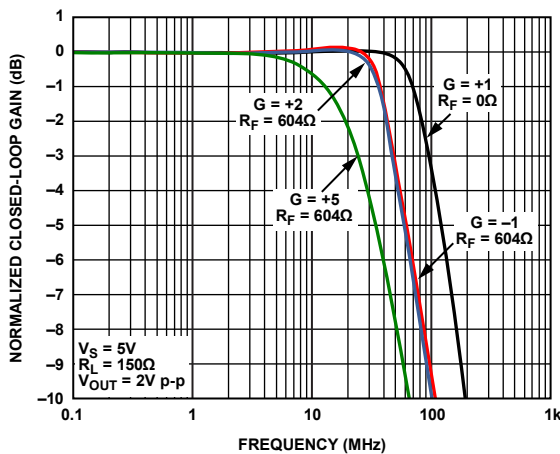


図 15. 様々なゲインでの大信号周波数応答
 $V_S = 5\text{ V}$ 、ADA4891-1/ADA4891-2

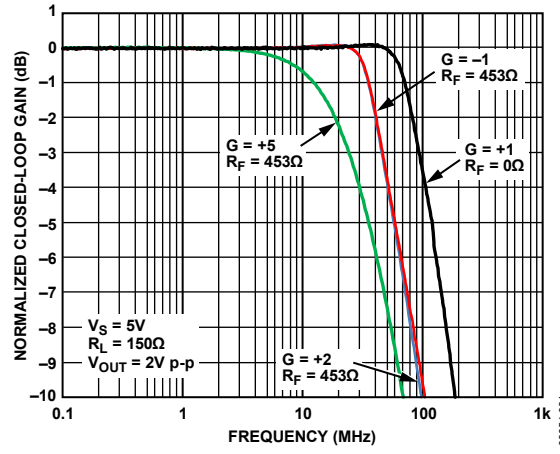


図 18. 様々なゲインでの大信号周波数応答
 $V_S = 5\text{ V}$ 、ADA4891-3/ADA4891-4

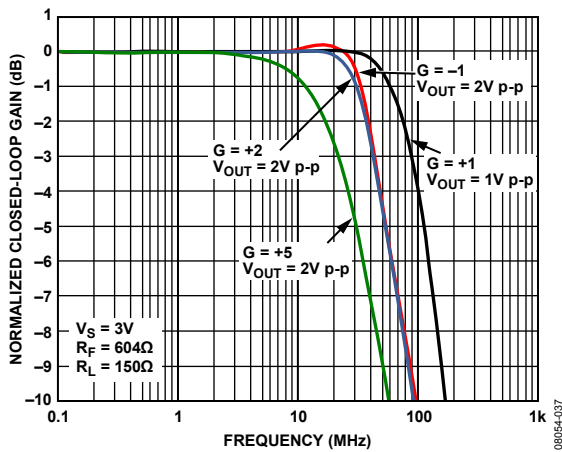


図 19.様々なゲインでの大信号周波数応答
 $V_S = 3\text{ V}$ 、ADA4891-1/ADA4891-2

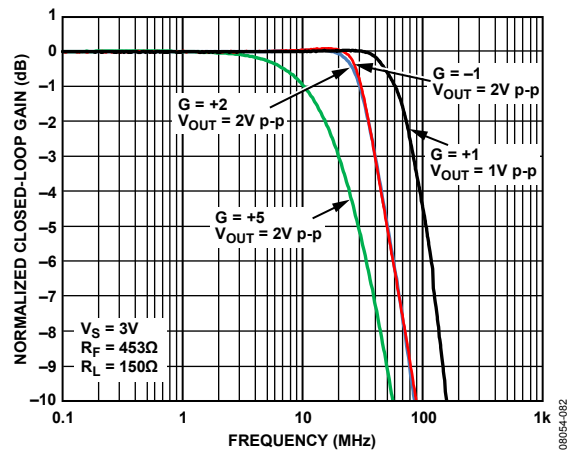


図 22.様々なゲインでの大信号周波数応答
 $V_S = 3\text{ V}$ 、ADA4891-3/ADA4891-4

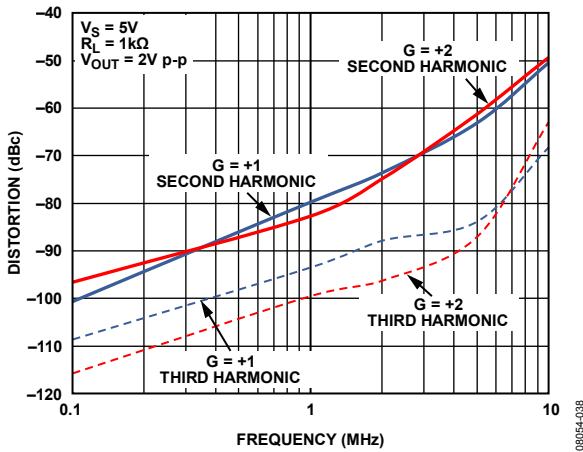


図 20.高調波歪み(HD2、HD3)の周波数特性
 $V_S = 5\text{ V}$

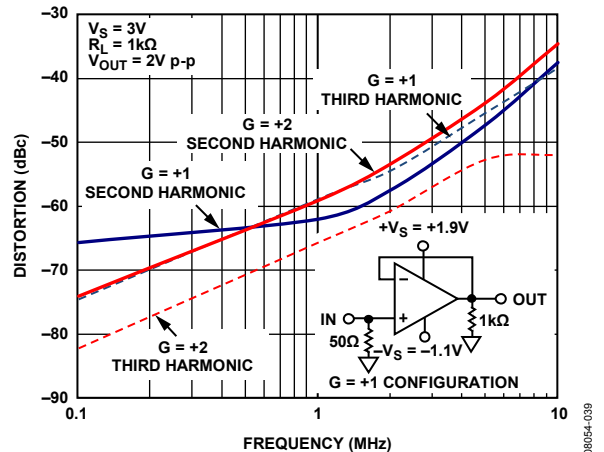


図 23.高調波歪み(HD2、HD3)の周波数特性
 $V_S = 3\text{ V}$

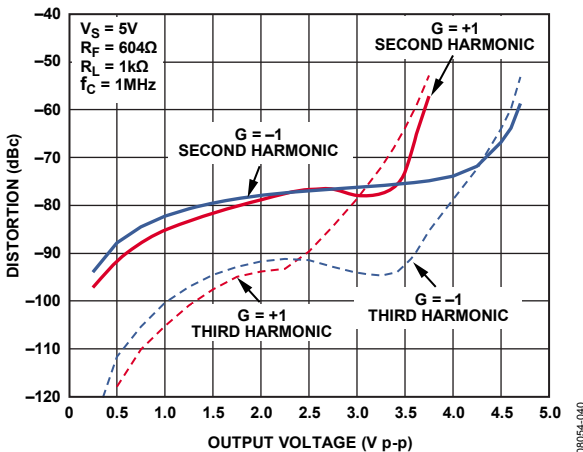


図 21.出力電圧対高調波歪み(HD2、HD3)、 $V_S = 5\text{ V}$

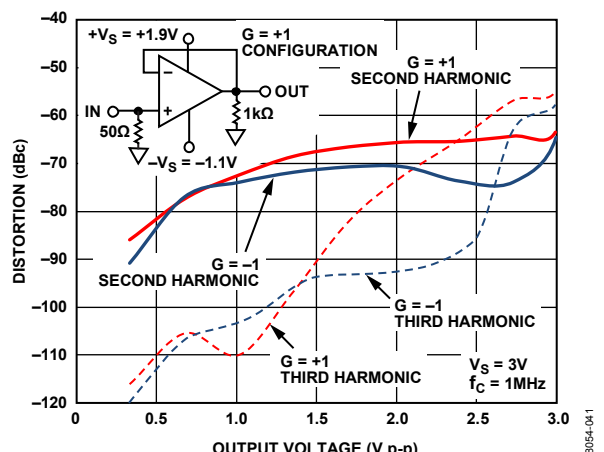


図 24.出力電圧対高調波歪み(HD2、HD3)、 $V_S = 3\text{ V}$

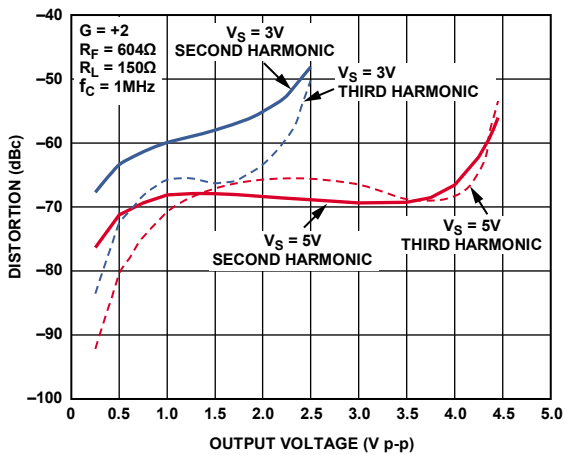


図 25.出力電圧対高調波歪み(HD2、HD3)、 $G = +2$

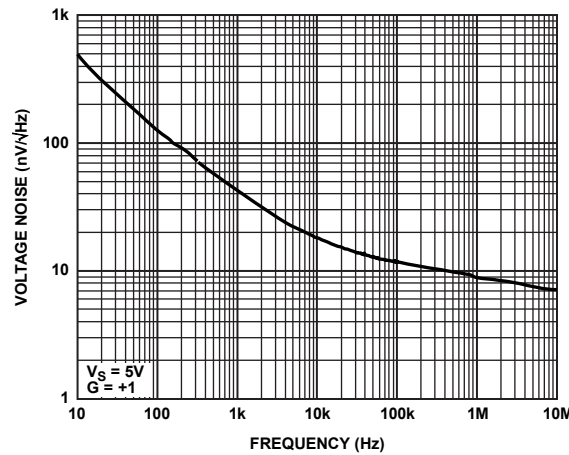


図 28.入力電圧ノイズの周波数特性

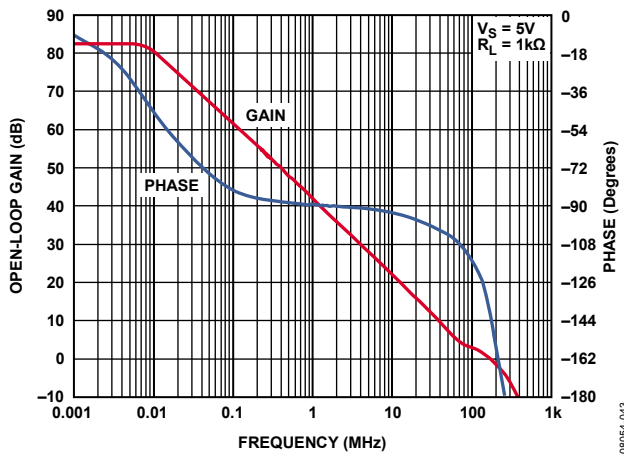


図 26.オープン・ループ・ゲインおよび位相の周波数特性

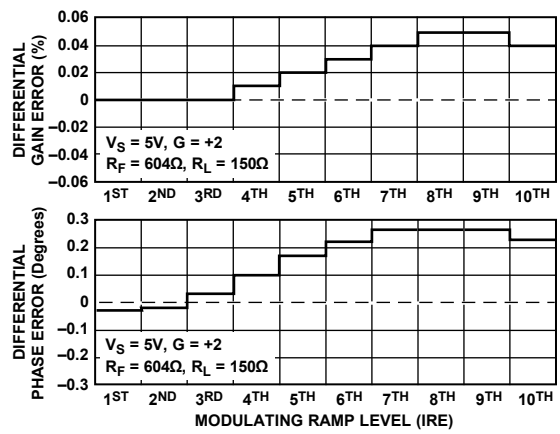


図 29.微分ゲイン誤差と微分位相誤差

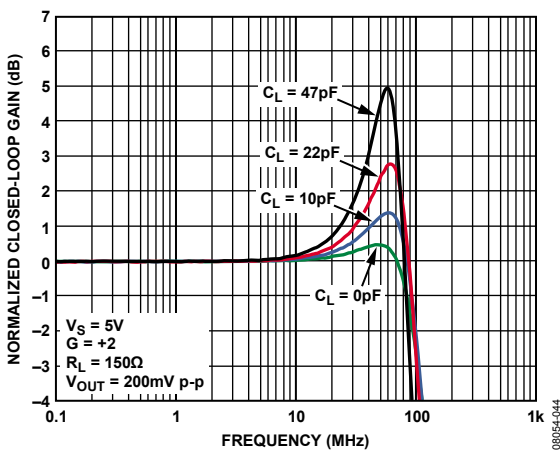


図 27.様々な C_L での小信号周波数応答
ADA4891-1/ADA4891-2

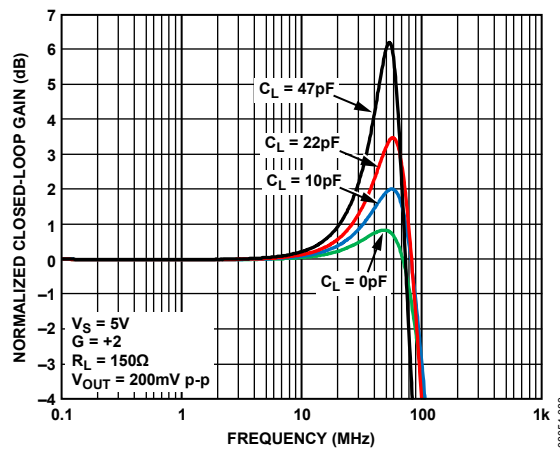


図 30.様々な C_L での小信号周波数応答
ADA4891-3/ADA4891-4

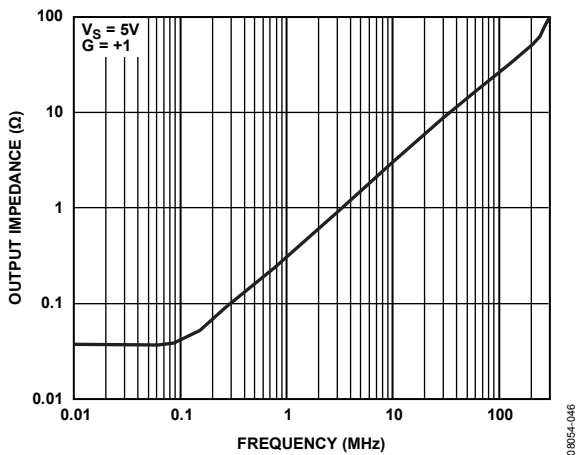


図 31.クローズド・ループ出力インピーダンスの周波数特性
デバイスをイネーブル

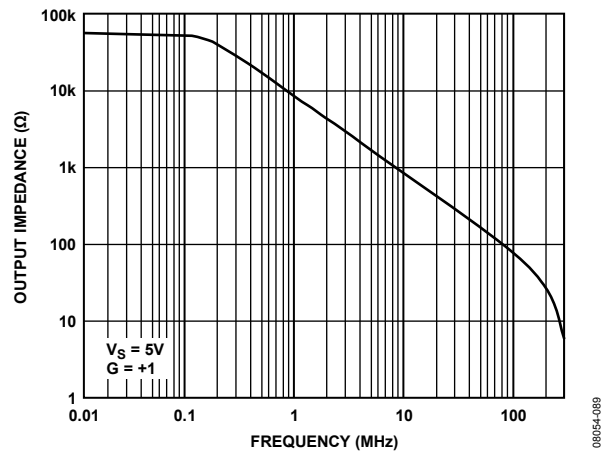


図 34.クローズド・ループ出力インピーダンスの周波数特性
デバイスをディスエーブル(ADA4891-3 の場合)

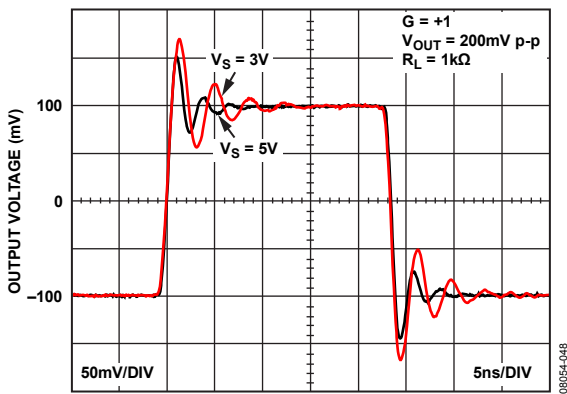


図 32.小信号ステップ応答
G = +1

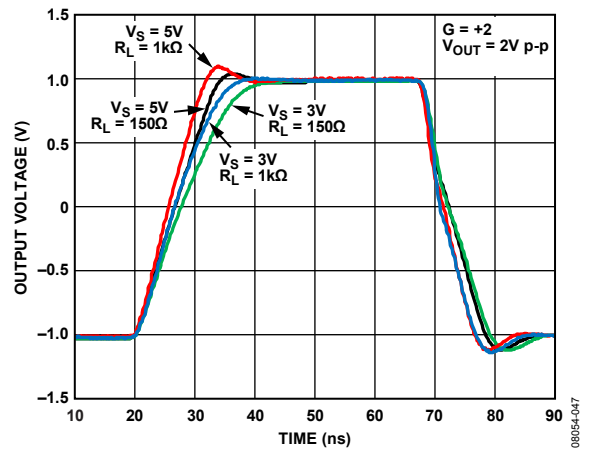


図 35.大信号ステップ応答
G = +2

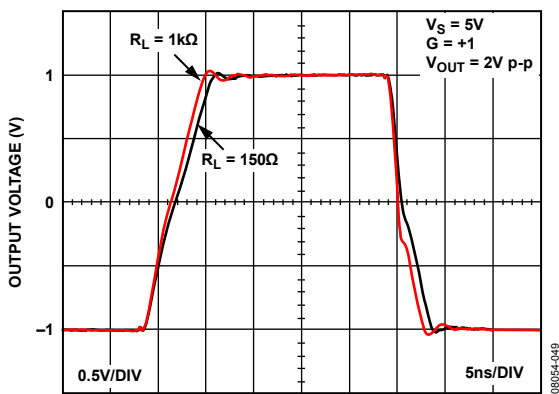


図 33.大信号ステップ応答
V_S = 5V、G = +1

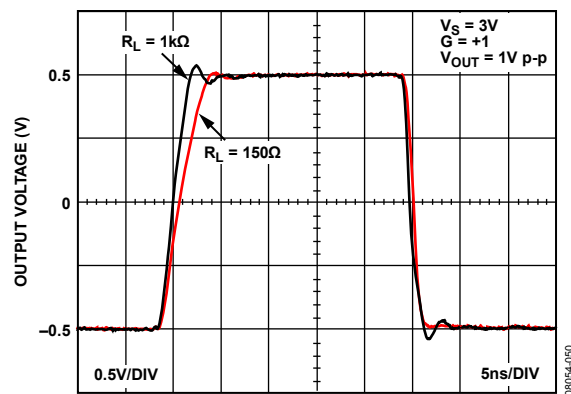


図 36.大信号ステップ応答
V_S = 3V、G = +1

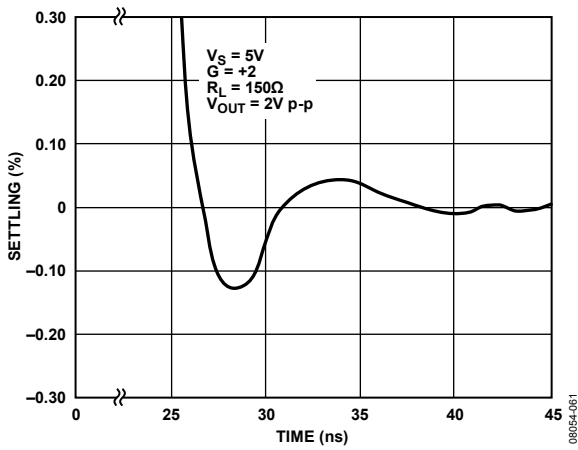


図 37. 0.1%への短時間セトリング・タイム

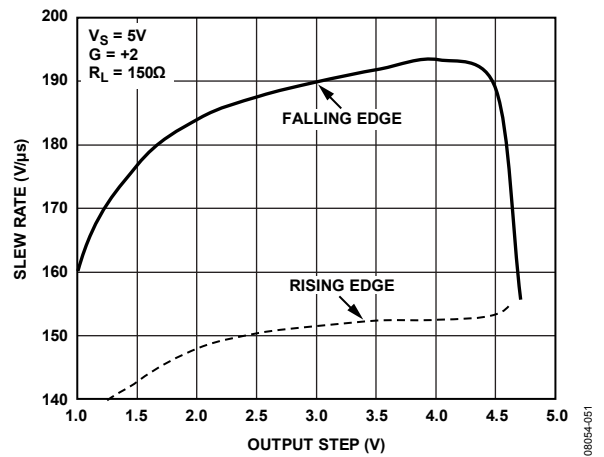


図 40. 出力ステップ対スルーレート

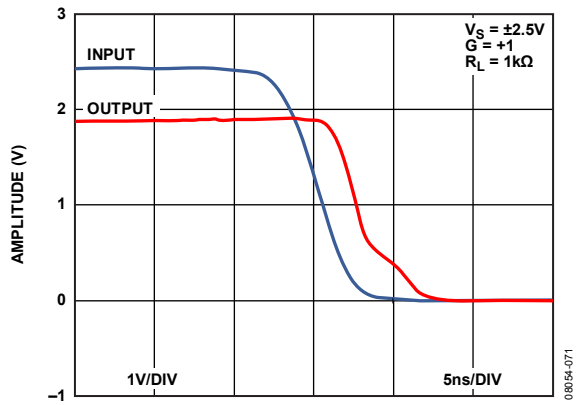


図 38. 正電源レールからの入力オーバードライブ回復

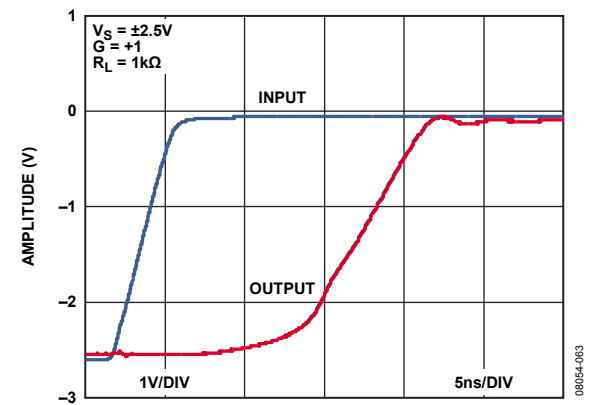


図 41. 負電源レールからの入力オーバードライブ回復

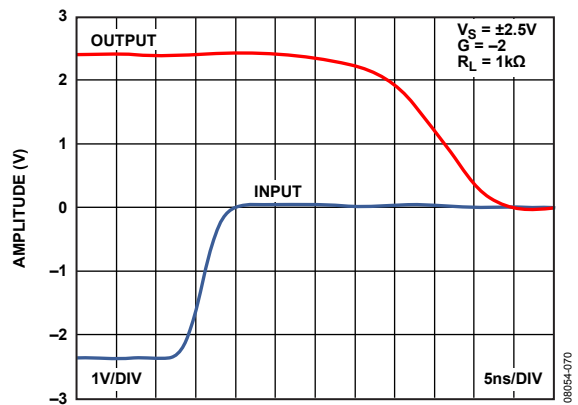


図 39. 正電源レールからの出力オーバードライブ回復

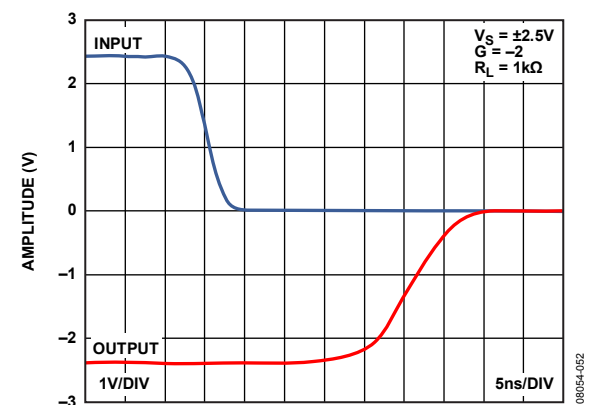


図 42. 負電源レールからの出力オーバードライブ回復

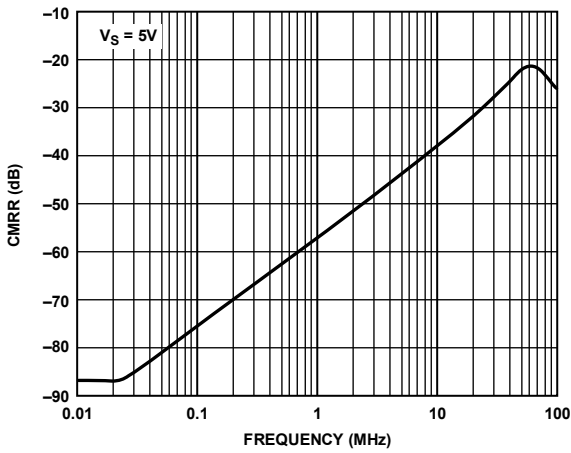


図 43. CMRR の周波数特性

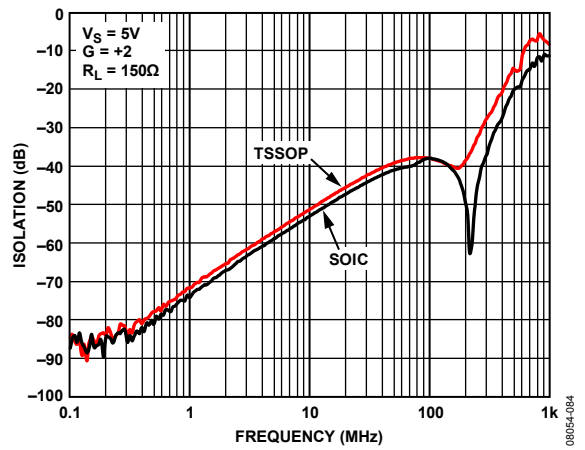


図 46. 順方向アイソレーションの周波数特性 (ADA4891-3 の場合)

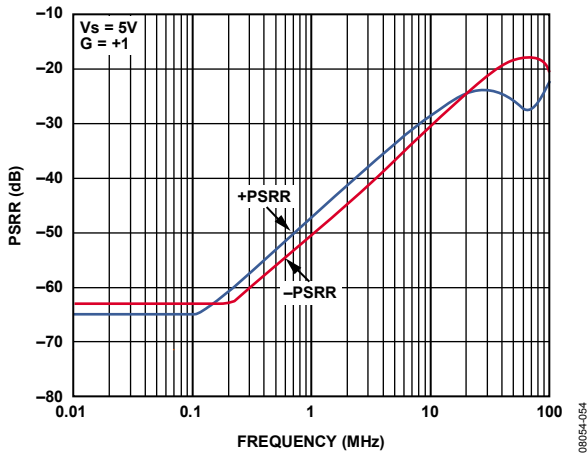


図 44. PSRR の周波数特性

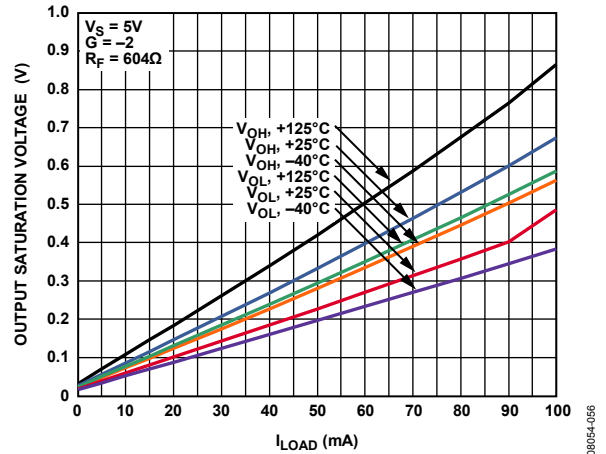


図 47. 出力飽和電圧対負荷電流および温度

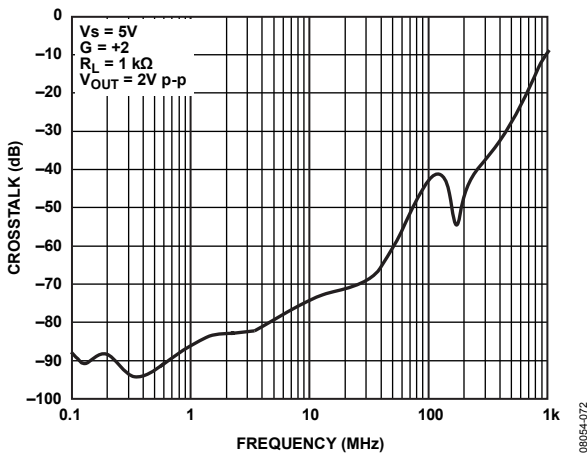


図 45. 全クロストーク(出力-出力間)の周波数特性

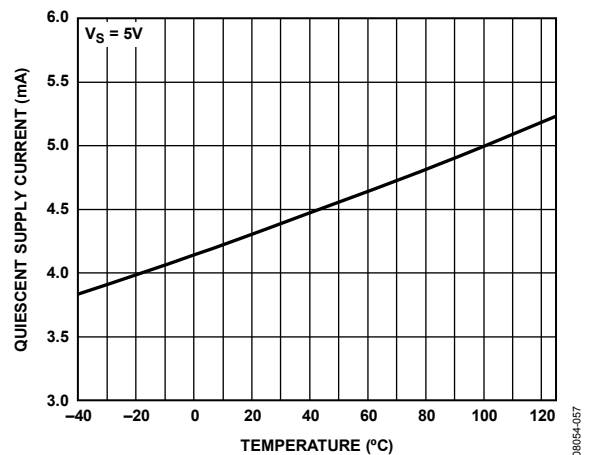


図 48. アンプ 1 個あたりの電源電流の温度特性

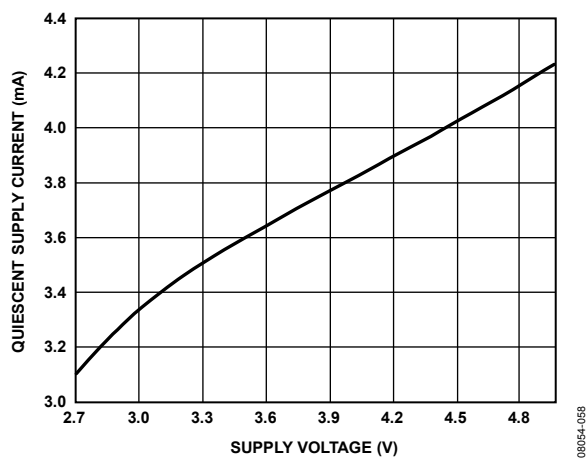


図 49.電源電圧対アンプあたりの電源電流

08054-058

アプリケーション情報

ADA4891 の使い方

ADA4891 ファミリーのアンプの微妙な点を理解すると、デバイスからピーク性能を取り出す方法が見えてきます。次のセクションでは、ゲインの影響、部品値、ADA4891 性能の寄生について説明します。ADA4891 の広帯域非反転ゲイン構成を図 50 に、ADA4891 の広帯域反転ゲイン構成を図 51 に、それぞれ示します。

広帯域非反転ゲイン動作

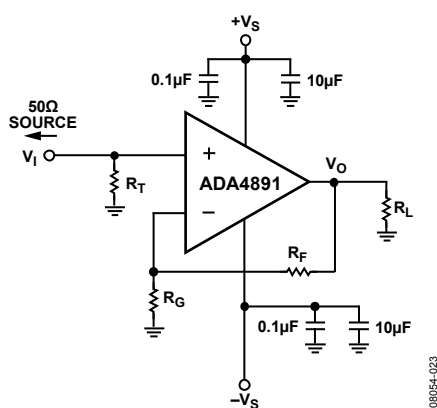


図 50. 非反転ゲイン構成

図 50 で、 R_F と R_G はそれぞれ帰還抵抗とゲイン抵抗を表します。 R_F と R_G の組み合わせにより、アンプのノイズ・ゲインが決まります。 R_F 値は 0.1 dB 帯域幅を決定します(詳細については、 R_F の 0.1 dB ゲイン平坦性に対する影響のセクション参照)。ADA4891-1/ADA4891-2 に対する R_F 値 (typ) の範囲は 549 Ω ~ 698 Ω に、ADA4891-3/ADA4891-4 に対する R_F 値 (typ) の範囲は 301 Ω ~ 453 Ω に、それぞれなります。

制御されたインピーダンス信号パスでは、 R_T は入力ソース・インピーダンスに一致するようにデザインされた入力終端抵抗として使われます。 R_T は通常の動作では必要とされないことに注意してください。 R_T は一般に入力ソース・インピーダンスに一致するように設定されます。

広帯域反転ゲイン動作

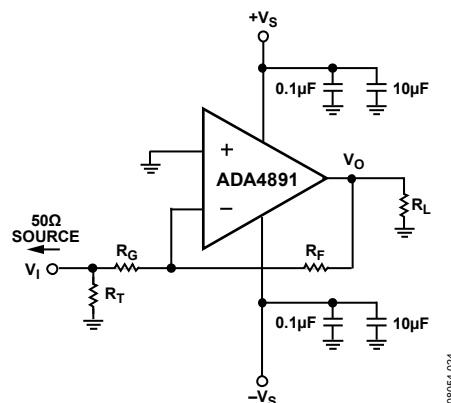


図 51. 反転ゲイン構成

図 51 に反転ゲイン構成を示します。反転ゲイン構成の場合、 R_T と R_G の並列接続を入力ソース・インピーダンスに一致するように設定します。

バイアス電流の相殺抵抗は、ADA4891 の入力バイアス電流が非常に小さいため (2 pA 以下)、アンプの非反転入力では不要なことに注意してください。このため、バイアス電流により発生する DC 誤差は無視できます。

非反転構成と反転ゲイン構成では、 R_F 値を大きくして出力負荷を小さくすることが役立つことがあります。 R_F 値を大きくすると、高調波歪みが改善されますが、アンプの 0.1 dB 帯域幅が狭くなります。この影響については、 R_F の 0.1 dB ゲイン平坦性への影響のセクションで説明します。

推奨値

表 5 と表 6 に、種々の構成に対するクイック・リファレンスを示して、ゲインの -3 dB 小信号帯域幅に対する影響、スルーレート、ADA4891-1/ADA4891-2/ ADA4891-3/ADA4891-4 のピーキングを示します。ゲイン帯域幅積の関係から予想されるように、ゲインを大きくすると、小信号帯域幅が減少します。さらに、ゲインが大きくなると位相マージンが改善され、アンプの安定性が強化されます。結果として、周波数応答のピーキングが小さくなります(図 7 と 図 10 参照)。

表 5. 推奨部品値およびゲインの ADA4891-1/ADA4891-2 性能に対する影響 ($R_L = 1 \text{ k}\Omega$)

Gain	Feedback Network Values		-3 dB Small-Signal Bandwidth (MHz) $V_{OUT} = 200 \text{ mV p-p}$	Slew Rate (V/μs)		Peaking (dB)
	R_F (Ω)	R_G (Ω)		t_R	t_F	
-1	604	604	118	188	192	1.3
+1	0	Open	240	154	263	2.6
+2	604	604	120	170	210	1.4
+5	604	151	32.5	149	154	0
+10	604	67.1	12.7	71	72	0

ADA4891-1/ADA4891-2/ADA4891-3/ADA4891-4

表 6. 推奨部品値およびゲインの ADA4891-3/ADA4891-4 性能に対する影響 ($R_L = 1\text{ k}\Omega$)

Gain	Feedback Network Values		-3 dB Small-Signal Bandwidth (MHz) $V_{OUT} = 200\text{ mV p-p}$	Slew Rate (V/ μ s)		Peaking (dB)
	R_F (Ω)	R_G (Ω)		t_R	t_F	
-1	453	453	97	186	194	0.9
+1	0	Open	220	151	262	4.1
+2	453	453	97	181	223	0.9
+5	453	90.6	31	112	120	0
+10	453	45.3	13	68	67	0

R_F の 0.1 dB ゲイン平坦性への影響

ゲイン平坦性はビデオ・アプリケーションで重要な仕様です。この仕様は、通過帯域内での信号振幅の最大許容偏差を表します。テストによれば、人間の目は 1% 以下の輝度変動を区別できないと言われています。この 1% 以下の輝度変動は通過帯域内での 0.1 dB 信号低下に、または単純に 0.1 dB のゲイン平坦性に対応します。

PCB のレイアウト構成とチップの接続パッドは、しばしば漂遊容量の原因になります。反転入力での漂遊容量は、帰還抵抗およびゲイン抵抗と一緒に極を形成します。この極の追加により、位相シフトが増えてクローズド・ループ位相応答で位相マージンが小さくなるため、アンプの不安定性と周波数応答でのピーキングが発生します。

図 52 と 図 53 に、帰還抵抗 R_F に種々の値を使った場合について、デバイスの 0.1 dB ゲイン平坦性に対する R_F 値の影響を示します。図 52 に、ADA4891-1/ADA4891-2 に対する影響を示します。図 53 に、ADA4891-3/ADA4891-4 に対する影響を示します。 R_F 値が大きいくほど、ピーキングが大きくなることに注意してください。これは、 R_F と入力漂遊容量で形成される追加極の周波数が下に移動して、アンプの内部極との干渉が大きくなるためです。

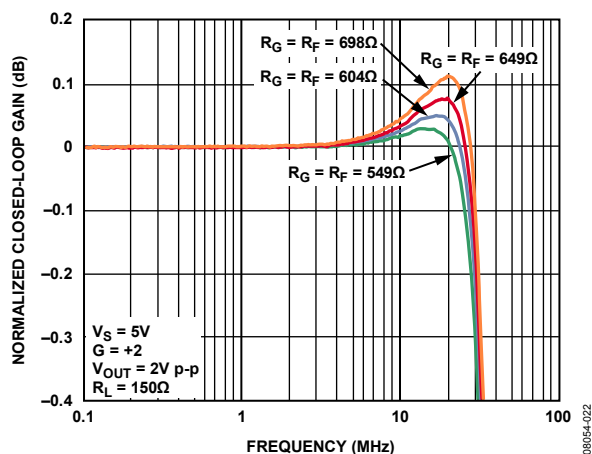


図 52. 0.1 dB ゲイン平坦性
非反転ゲイン構成、ADA4891-1/ADA4891-2

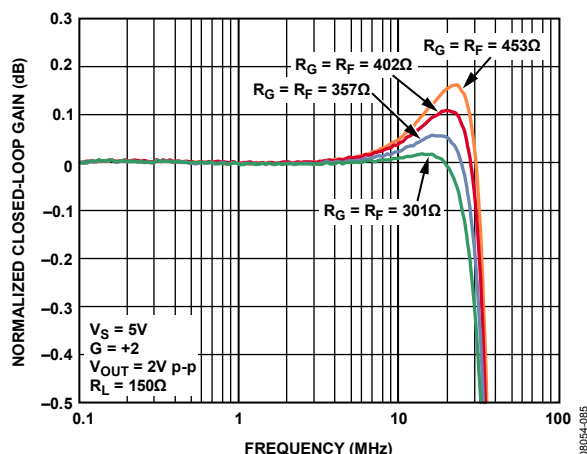


図 53. 0.1 dB ゲイン平坦性
非反転ゲイン構成、ADA4891-3/ADA4891-4

所望の 0.1 dB 帯域幅を得るためには、図 52 と 図 53 に示すように、帰還抵抗 R_F を調節します。 R_F を調節できない場合は、小さいコンデンサを R_F に並列接続してピーキングを小さくします。

帰還コンデンサ C_F と帰還抵抗によりゼロ点が形成され、このゼロ点は入力漂遊容量、ゲイン、帰還抵抗により形成される極により相殺されます。 C_F 値決定の最初のパスでは、次の式を使います。

$$R_G \times C_S = R_F \times C_F$$

ここで、
 R_G はゲイン抵抗。
 C_S は入力漂遊容量。
 R_F は帰還抵抗。
 C_F は帰還コンデンサ。

この式を使うと、アンプの元のクローズド・ループ周波数応答が回復されます(漂遊入力容量がない場合のように)。ただし、多くの場合 C_F 値は経験的に決定されます。

図 54 に、ピーキングを小さくするために帰還コンデンサに種々の値を使った場合の影響を示します。この場合は、ADA4891-1/ADA4891-2 をデモ目的で使用し、 $R_F = R_G = 604\ \Omega$ としてあります。入力漂遊容量とボード寄生の組み合わせは、約 2 pF です。

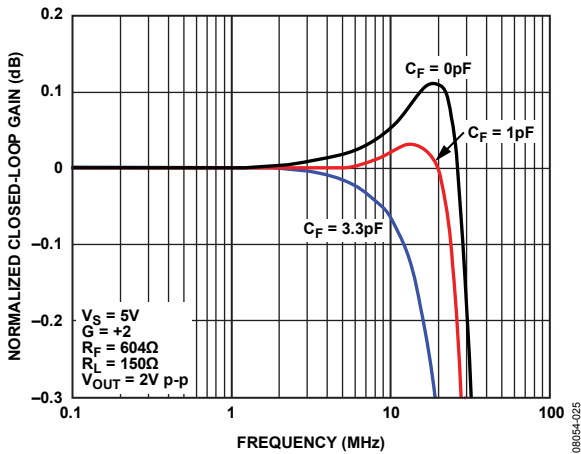


図 54.0.1 dB ゲイン平坦性対 C_F
 $V_S = 5\text{ V}$ 、ADA4891-1/ADA4891-2

容量負荷の駆動

容量性の大きい負荷はアンプ出力インピーダンスと干渉して、位相マージンの低下と後段でのピーキングまたは発振の原因になります。ADA4891-1/ADA4891-2 を使ってこの影響を示します (図 55 と 図 56 参照)。

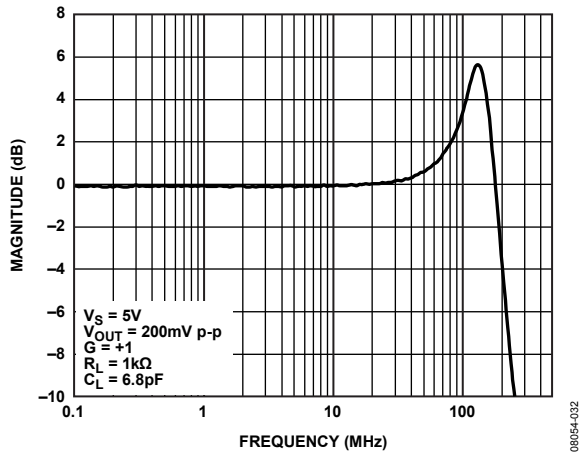


図 55.クローズド・ループ周波数応答
 $C_L = 6.8\text{ pF}$ 、ADA4891-1/ADA4891-2

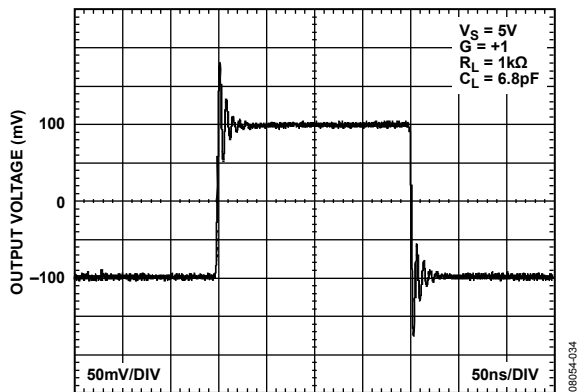


図 56.200 mV ステップ応答
 $C_L = 6.8\text{ pF}$ 、ADA4891-1/ADA4891-2

次の 4 つの方法により、出力容量負荷の影響を小さくすることができます。

- 出力抵抗負荷を小さくします。これにより極が遠ざけられるため、位相マージンが改善されます。
- 位相マージンを大きくするほど、ノイズ・ゲインが大きくなります。クロズド・ループ・ゲインが増加すると、位相マージンが増えるため、大きなコンデンサ負荷を接続してもピーキングが大きくなりません。
- IN から出力までの間に、 R_F と並列にコンデンサ(C_F)を追加します。これによりクロズド・ループ周波数応答にゼロ点が追加されます。このゼロ点は、容量負荷とアンプの出力インピーダンスにより形成される極を相殺させる傾向を持ちます。詳細については、 R_F の 0.1 dB ゲイン平坦性への影響のセクションを参照してください。
- 小さい値の抵抗を出力に直列に挿入して、アンプの出力ステージから負荷容量を分離します。

図 57 に、ワーストケース周波数応答(ゲイン=+1)でピーキングを小さくするためにスナブ抵抗(R_S)を使う効果を示します。 $R_S = 100\ \Omega$ を使うと、ピーキングが 3 dB だけ小さくなります。ただし、出力で減衰するためクロズド・ループ・ゲインが 0.9 dB 小さくなります。 R_S を $0\ \Omega \sim 100\ \Omega$ で調節して、ピーキングの許容レベルとクロズド・ループ・ゲインを維持することができます (図 57 参照)。

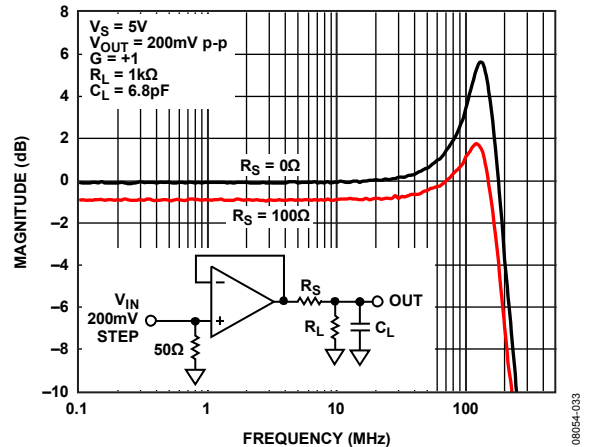


図 57.スナブ抵抗を使ったクローズド・ループ周波数応答
 $C_L = 6.8\text{ pF}$

図 58 は、図 56 の過渡応答と比較した場合、スナブ抵抗($R_S = 100\ \Omega$)の使用により過渡応答が大きく改善されていることを示しています。

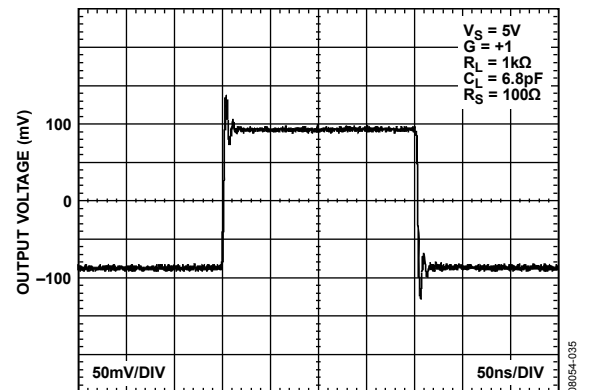


図 58.200 mV ステップ応答
 $C_L = 6.8\text{ pF}$ 、 $R_S = 100\ \Omega$

未使用アンプの終端

複数のアンプを実装したパッケージでの未使用アンプの終端は、機能的なアンプの正常動作を保証する重要なステップです。未終端アンプは発振して消費電力が大きくなることがあります。未使用アンプの推奨終端手順は、すべての未使用アンプをユニティ・ゲインに構成して、非反転入力を電源電圧の midpoint に接続することです。対称なバイポーラ電源の場合、これは非反転入力をグラウンドへ接続することを意味します(図 59 参照)。

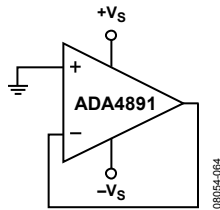


図 59.対称バイポーラ電源での未使用アンプの終端

単電源アプリケーションでは、仮想電源 midpoint を設ける必要があります。これはシンプルな抵抗分圧器で実現することができます。図 60 に、単電源構成で未使用アンプを終端する適切な接続を示します。

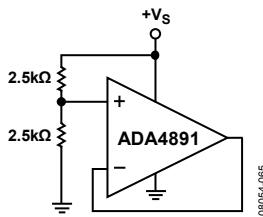


図 60.単電源での未使用アンプの終端

ディスエーブル機能(ADA4891-3 の場合)

ADA4891-3 には、アンプを使用しないとき消費電力を小さくするために使用できるディスエーブル機能があります。アンプがパワーダウンすると、出力は高インピーダンス状態になります。周波数が高くなると出力インピーダンスは小さくなります。この影響は 図 34 から分かります。パワーダウン機能を使うと、50 MHz で -40 dB の順方向アイソレーションを実現することができます。図 46 に、順方向アイソレーションの周波数特性データを示します。PD1 ピン、PD2 ピンまたは PD3 ピンをロー・レベルにすると、パワーダウン機能がアサートされます。

表 7 に、パワーダウン機能の動作をまとめます。

表 7.ディスエーブル機能

Power-Down Pin Connection (PDx)	Amplifier Status
$>V_{TH}$ or floating	Enabled
$<V_{TH}$	Disabled

単電源動作

ADA4891 は単電源でも動作することができます。図 61 に、5 V 単電源ビデオ・ドライバとして構成された ADA4891-3 を示します。

- 入力信号は、コンデンサ C1 を介してアンプに AC 結合されます。
- 抵抗 R2 と抵抗 R4 により、アンプ入力のリファレンスが電源中心値に設定されます。
- コンデンサ C5 はゲイン設定抵抗(R_G)に定電流が流れるのを阻止し、ADA4891-3 入力の電源 midpoint 電圧に対して DC ユニティ・ゲインとなるようにして、出力電圧が電源 midpoint となるように設定します。
- コンデンサ C6 は出力結合コンデンサです。

単電源動作で得られる大信号周波数応答は両電源動作と同じです(図 18 に大信号周波数応答を示します)。

4 個の低周波極が、R2/2 と C2、R3 と C1、 R_G と C5、 R_L と C6 により形成されます。この構成では、低周波での -3 dB カットオフ周波数が 12 Hz です。C1、C2、C5、C6 の値を調節することにより、低周波 -3 dB カットオフ・ポイントを変えて、個々のデザインに合わせるすることができます。

オペアンプの単電源動作の詳細については、<http://www.analog.com/jp/index.html> から提供しているアナログ・ダイアログ資料「Avoiding Op Amp Instability Problems in Single-Supply Applications (Volume 35, Number 2)」をご覧ください。

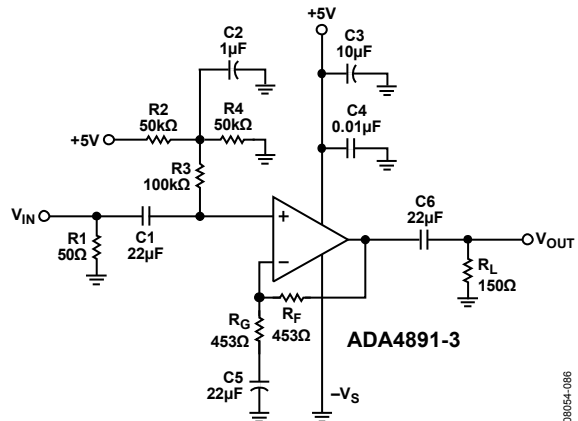


図 61.単電源ビデオ・ドライバの回路図

ビデオ再生フィルタ

アクティブ・フィルタの一般的なアプリケーションの 1 つは、ビデオ D/A コンバータ(DAC)/エンコーダの出力に存在します。このフィルタ(ビデオ再生フィルタ)は、ビデオ DAC/エンコーダ出力で、DAC 内のサンプリング・プロセスで発生した複数のイメージを除去するために使用されます。携帯型ビデオ・アプリケーションの場合、ADA4891 は低消費電力条件と高性能を持っているため最適な選択肢になります。

アクティブ・フィルタの場合、アンプの-3 dB 帯域幅をフィルタのコーナー周波数の少なくとも 10 倍にすることが経験則により採用されています。これにより、アンプによる初期ロールオフが生じないため、通過帯域がカットオフ周波数まで平坦になります。

15 MHz、3 極、Sallen-Keyローパス・ビデオ再生フィルタの例を図 62 に示します。この回路では、ゲイン=+2、0.1 dB帯域幅=7.3 MHz、29.7 MHzで 17 dB以上の減衰が得られます(図 63 参照)。このフィルタには 3 個の極があり、2 個はアクティブ極、1 個は出力にあるパッシブ極(R6 とC4)です。C3 によりフィルタ・ロールオフが改善されています。R6、R7、R8 は、150 Ωのビデオ負荷を構成しています。部品R6、C4、R7、R8、およびネットワーク・アナライザの入力終端により 6 dB減衰器が構成されているため、リファレンス・レベルはほぼ 0 dBになっています(図 63 参照)。

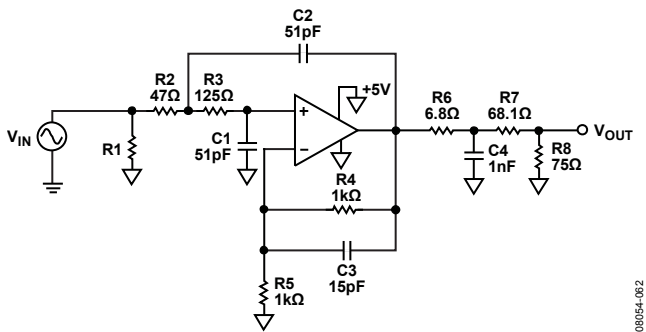


図 62.15 MHz ビデオ再生フィルタの回路図

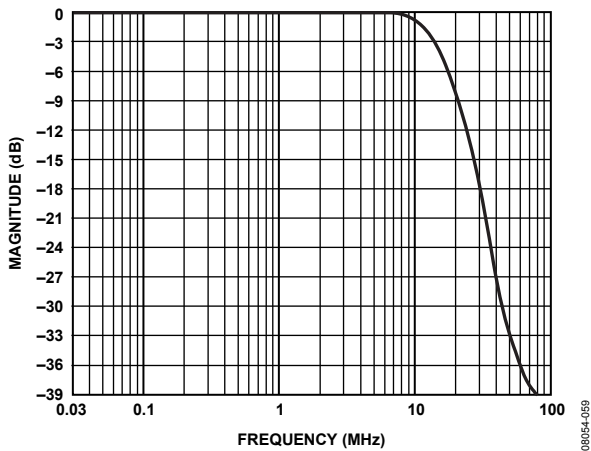


図 63.ビデオ再生フィルタの周波数性能

マルチプレクサ

ADA4891-3 には、消費電力を節約するためにアンプをパワーダウンさせるか、またはマルチプレクサ回路を構成するときに使うディセーブル・ピンがあります。複数の ADA4891-3 出力を相互接続して、1 つの出力のみをイネーブルする場合、イネーブルされたアンプの信号のみが出力に現れます。この構成は、種々の入力信号ソースを選択するときに使われます。さらに、同じ入力信号を異なるゲイン・ステージまたは異なるチューニングのフィルタに入力して、ゲイン・ステップ・アンプまたは周波数選択可能アンプを構成します。

図 64 に、2 個の ADA4891-3 デバイスを使って 2 つの入力を選択するマルチプレクサを構成する回路図を示します。1 つの入力は 1 V p-p の 3 MHz正弦波で、他の入力は 2 V p-p の 1 MHz正弦波です。

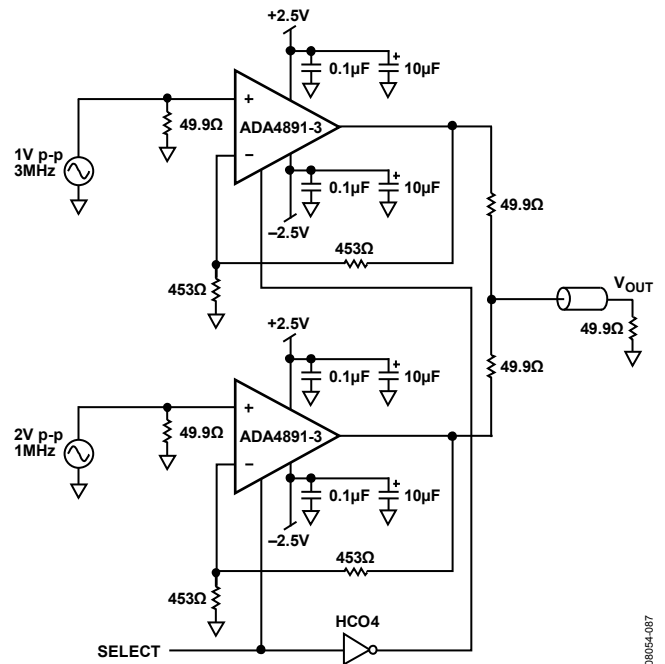


図 64.2 個の ADA4891-3 デバイスを使用した 2:1 マルチプレクサ

図 65 に、この回路のセレクト信号と出力波形を示します。

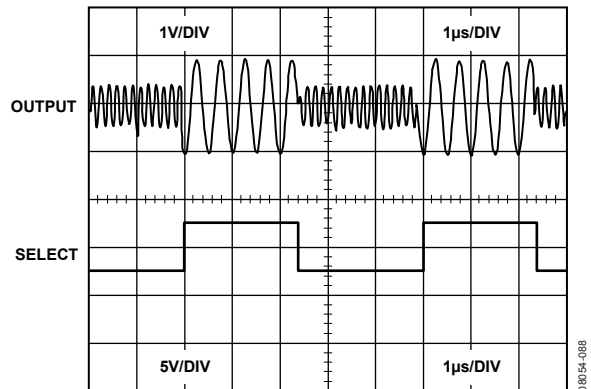


図 65.ADA4891-3 マルチプレクサの出力

レイアウト、グラウンド接続、バイパス

電源のバイパス

電源ピンはもう 1 つのオペアンプ入力と見なすことができます。このため、これらの入力に対してクリーンな低ノイズの DC 電圧源を接続するように注意する必要があります。バイパス・コンデンサの目的は、電源からグラウンドまでの低インピーダンス・パスを広い周波数範囲で実現することですが、このためにノイズの大部分がグラウンドへシャントまたはフィルタされます。バイパスも、安定性、周波数応答、歪み、PSRR 性能にとって重要です。

部品とパッケージの間でパターンを使用する場合、0.1 μF のチップ・コンデンサ(X7R または NPO)は不可欠であり、アンプ・パッケージのできるだけ近くに配置する必要があります。このようなコンデンサに対しては、直列インダクタンスの小さい優れた高周波性能を提供する 0508 ケース・サイズが推奨されます。0.1 μF コンデンサのような大きなチップ・コンデンサは、同じ信号パス内の隣接する複数のアクティブ部品間で共用することができます。10 μF のコンデンサは高周波バイパスに重要ではありませんが、低周波に対するバイパス機能を強化します。

グラウンド接続

可能な場合は、グラウンド・プレーンと電源プレーンを使用します。グラウンド・プレーンと電源プレーンは、電源配線とグラウンド・リターンとの抵抗とインダクタンスを小さくします。複数のプレーンを使う場合は、複数のビアを使って相互接続する必要があります。入力のリターン、出力の終端、バイパス・コンデンサ、 R_G はすべて、ADA4891 のできるだけ近くに配置する必要があります。グラウンド・ビアを部品実装パッドの側または端に配置して、確実なグラウンド・リターンを確保する必要があります。出力負荷のグラウンドとバイパス・コンデンサのグラウンドは寄生インダクタンスを小さくするためグラウンド・プレーン上の共通の 1 点に戻して、歪み性能を良くする必要があります。

入力容量と出力容量

寄生容量はピーキングと不安定性を発生させるため、安定動作のためには小さくする必要があります。

高速アンプは入力とグラウンドとの間の寄生容量に対して敏感です。高い周波数では、数 pF の容量でも入力インピーダンスを低下させて、アンプ・ゲインを大きくするため、周波数応答でピーキングが生じ、最悪の場合には発振することもあります。入力ピンに接続される外付けの受動部品は、寄生容量を回避するため出来るだけ入力の近くに配置することが推奨されます。

さらに、ADA4891 ピンの下のすべてのグラウンド・プレーンと電源プレーンの銅箔を除去して、入力ピンおよび出力ピンとグラウンドとの間に寄生容量が発生しないようにする必要があります。ADA4891 ピンの下からグラウンド・プレーンまたは電源プレーンの銅箔を除去しない場合、SOIC フットプリント上の 1 個のマウント・パッドにより、グラウンドとの間に 0.2 pF もの容量が追加されてしまいます。実際、グラウンド・プレーンと電源プレーンは、ボードの全層で入力ピンから少なくとも 0.05 mm 離す必要があります。

入力から出力へのカップリング

入力と出力の間の容量結合を小さくして、正帰還を防止するため、入力信号パターンと出力信号パターンを並行させないようにしてください。さらに、入力パターンを互いに近づけないようにします。2 つの入力を最小 7 ミル離すことが推奨されます。

リーク電流

入力バイアス電流が極めて小さいアンプ・アプリケーションでは、漂遊リーク電流パスを小さく維持する必要があります。アンプ入力と近傍のパターンとの間に電位差があると、PCB を通るリーク・パスが発生します。アンプ入力に、1 V の信号とグラウンドまでの 100 G Ω が存在するとします。これによるリーク電流は 10 pA になります。これは、アンプの一般的な入力バイアス電流の 5 倍の大きさです。不適切な PCB レイアウト、汚染物質、ボード材料により大きなリーク電流が発生します。一般的なボード上の汚染物質は、皮脂、湿気、ハンダ溶剤、洗浄剤です。したがって、ボードを完全にクリーンにし、ボード表面の汚染物質をなくして、ADA4891 の低入力バイアス電流をフル利用できるようにする必要があります。

リーク・パスを大幅に小さくするためには、ガード・リング/シールドを入力周囲に使用する必要があります。入力ピンを囲むガード・リングを入力信号と同じ電位にすると、ピン間の電位差を小さくすることができます。ガード・リングを有効にするためには、比較的 low インピーダンス・ソースでそれを駆動し、多層ボードを使用する場合入力リードのすべての面(上と下)を完全に取り囲む必要があります(図 66 参照)。

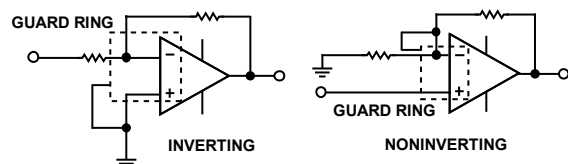


図 66. ガード・リングの構成

ADA4891-1 の 5 ピン SOT-23 パッケージでは、リーク・パスを最小にする上で困難が伴います。ピン間隔が非常に狭いため、ガード・リングを構成する際に注意が必要です(推奨ガード・リング構造については図 67 を参照)。

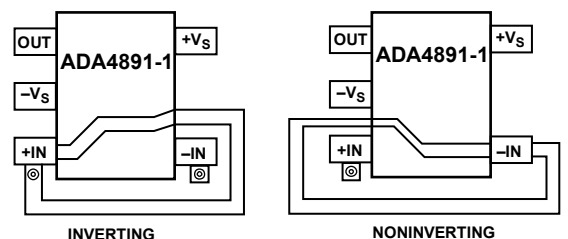
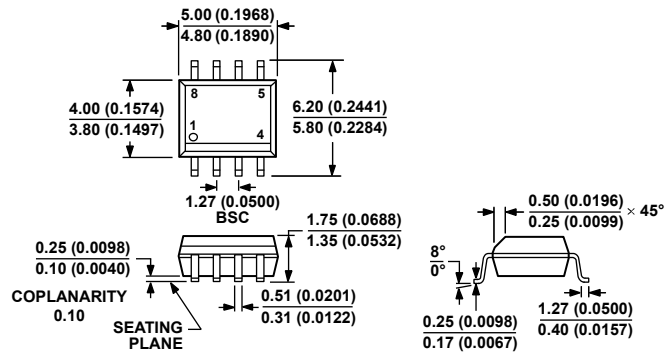


図 67. ガード・リングのレイアウト、5 ピン SOT-23

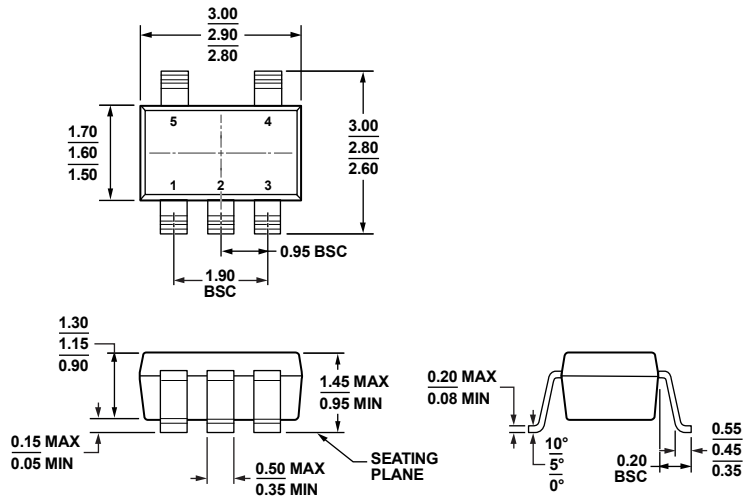
外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
 CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
 (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
 REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 68.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
 ナロー・ボディ
 (R-8)
 寸法: mm (インチ)

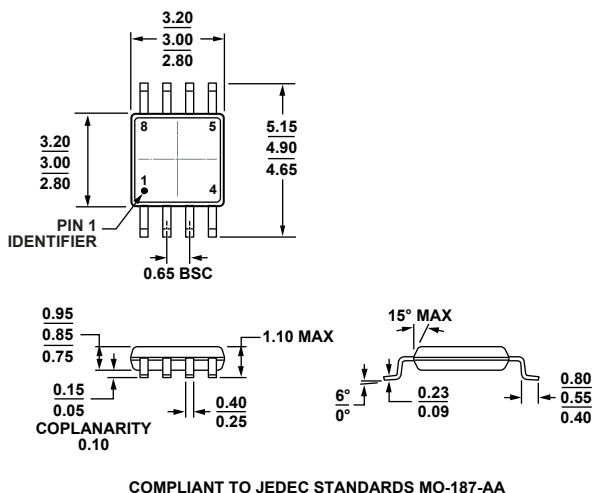


COMPLIANT TO JEDEC STANDARDS MO-178-AA

121608-A

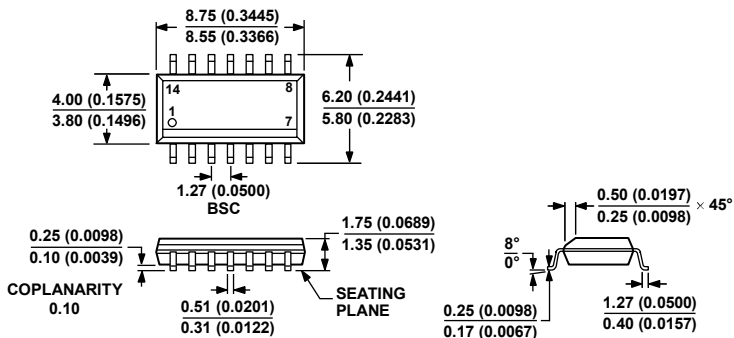
図 69.5 ピン・スモール・アウトライン・トランジスタ・パッケージ[SOT-23]
 (RJ-5)
 寸法: mm

ADA4891-1/ADA4891-2/ADA4891-3/ADA4891-4



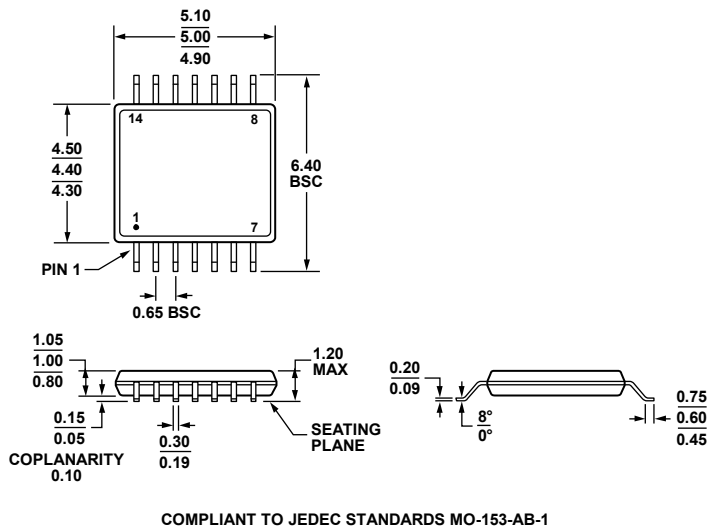
10-07-2009-B

図 70.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP]
(RM-8)
寸法: mm



060606-A

図 71.14 ピン標準スモール・アウトライン・パッケージ[SOIC_N]
ナロー・ボディ
(R-14)
寸法: mm (インチ)



061806-A

図 72.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-14)
寸法: mm

ADA4891-1/ADA4891-2/ADA4891-3/ADA4891-4

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADA4891-1ARZ	-40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4891-1ARZ-RL	-40°C to +125°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
ADA4891-1ARZ-R7	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	
ADA4891-1ARJZ-R7	-40°C to +125°C	5-Lead SOT-23, 7" Tape and Reel	RJ-5	H1W
ADA4891-1ARJZ-RL	-40°C to +125°C	5-Lead SOT-23, 13" Tape and Reel	RJ-5	H1W
ADA4891-2ARZ	-40°C to +125°C	8-Lead SOIC_N	R-8	
ADA4891-2ARZ-RL	-40°C to +125°C	8-Lead SOIC_N, 13" Tape and Reel	R-8	
ADA4891-2ARZ-R7	-40°C to +125°C	8-Lead SOIC_N, 7" Tape and Reel	R-8	
ADA4891-2ARMZ	-40°C to +125°C	8-Lead MSOP	RM-8	H1U
ADA4891-2ARMZ-RL	-40°C to +125°C	8-Lead MSOP, 13" Tape and Reel	RM-8	H1U
ADA4891-2ARMZ-R7	-40°C to +125°C	8-Lead MSOP, 7" Tape and Reel	RM-8	H1U
ADA4891-3ARUZ	-40°C to +125°C	14-Lead TSSOP	RU-14	
ADA4891-3ARUZ-R7	-40°C to +125°C	14-Lead TSSOP, 7" Tape and Reel	RU-14	
ADA4891-3ARUZ-RL	-40°C to +125°C	14-Lead TSSOP, 13" Tape and Reel	RU-14	
ADA4891-3ARZ	-40°C to +125°C	14-Lead SOIC_N	R-14	
ADA4891-3ARZ-R7	-40°C to +125°C	14-Lead SOIC_N, 7" Tape and Reel	R-14	
ADA4891-3ARZ-RL	-40°C to +125°C	14-Lead SOIC_N, 13" Tape and Reel	R-14	
ADA4891-4ARUZ	-40°C to +125°C	14-Lead TSSOP	RU-14	
ADA4891-4ARUZ-R7	-40°C to +125°C	14-Lead TSSOP, 7" Tape and Reel	RU-14	
ADA4891-4ARUZ-RL	-40°C to +125°C	14-Lead TSSOP, 13" Tape and Reel	RU-14	
ADA4891-4ARZ	-40°C to +125°C	14-Lead SOIC_N	R-14	
ADA4891-4ARZ-R7	-40°C to +125°C	14-Lead SOIC_N, 7" Tape and Reel	R-14	
ADA4891-4ARZ-RL	-40°C to +125°C	14-Lead SOIC_N, 13" Tape and Reel	R-14	
ADA4891-1AR-EBZ		Evaluation Board for 8-Lead SOIC_N		
ADA4891-1ARJ-EBZ		Evaluation Board for 5-Lead SOT-23		
ADA4891-2AR-EBZ		Evaluation Board for 8-Lead SOIC_N		
ADA4891-2ARM-EBZ		Evaluation Board for 8-Lead MSOP		
ADA4891-3AR-EBZ		Evaluation Board for 14-Lead SOIC_N		
ADA4891-3ARU-EBZ		Evaluation Board for 14-Lead TSSOP		
ADA4891-4AR-EBZ		Evaluation Board for 14-Lead SOIC_N		
ADA4891-4ARU-EBZ		Evaluation Board for 14-Lead TSSOP		

¹ Z = RoHS 準拠製品