

**ANALOG
DEVICES****0.2 $\mu\text{V}/^\circ\text{C}$ オフセット・ドリフト、105 MHz、低消費電力、マルチモード、レール to レール・アンプ**

データシート

ADA4806-1

特長

超低電源電流

通常消費電力モード: 500 μA スリープ・モード: 74 μA シャットダウン・モード: 2.9 μA

ダイナミック消費電力スケールリング

シャットダウン・モードからのターンオン時間: 1.5 μs スリープ・モードからのターンオン時間: 0.45 μs

高速性能と DC 精度の両立

入力オフセット電圧: 125 μV (max)入力オフセット電圧ドリフト: 1.5 $\mu\text{V}/^\circ\text{C}$ (max)

-3 dB 帯域幅: 105 MHz

スルー・レート: 160 V/ μs

低ノイズかつ低歪み

5.9 nV/ $\sqrt{\text{Hz}}$ の入力電圧ノイズ、8 Hz の 1/f コーナー

-102 dBc/-126 dBc HD2/HD3 @ 100 kHz

広い電源範囲: 2.7 V ~ 10 V

小型パッケージ: 8 ピン SOT-23

アプリケーション

ポータブルなバッテリー駆動の計測機器およびシステム

高チャンネル密度データ・アキュジション・システム

高精度 A/D コンバータ・ドライバ

電圧リファレンス・バッファ

携帯用 POS ターミナル

アクティブ RFID リーダー

概要

ADA4806-1 は、通常消費電力モード、スリープ・モード、シャットダウン・モードの 3 つの消費電力モードを備えた高速電圧帰還型レール to レール出力のシングル・オペアンプです。通常消費電力モードの場合、このアンプは、広い帯域幅 (105 MHz @ ゲイン = +1)、高速スルー・レート (160 V/ μs)、低入力オフセット電圧 (125 μV (max))、入力オフセット電圧ドリフト (1.5 $\mu\text{V}/^\circ\text{C}$ (max)) を実現し、消費静止電流はわずか 500 μA です。ADA4806-1 は、低消費電力アンプであると同時に優れた全体性能を提供するため、低消費電力の高分解能データ変換システムに最適です。

消費電力を最小限に抑える必要があるデータ変換アプリケーション向けに、ADA4806-1 では、サンプリングとサンプリングの間にアンプを低消費電力モードに切り換えることで、ADC ドライバの静止電力をシステムのサンプリング・レートでダイナミックにスケールリングして省電力化を図ることができます。

代表的なアプリケーション回路

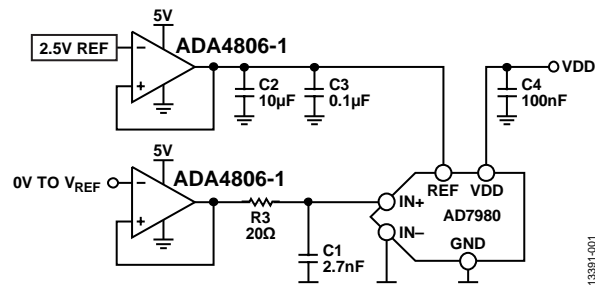


図 1. ADA4806-1 による AD7980 の駆動

スリープ・モードではアンプの静止電流は 74 μA まで低くなり、わずか 0.45 μs のターンオン時間で、2 MS/ps に到達するサンプル・レートでダイナミック消費電力スケールリングを使用することができます。サンプル・レートが低い場合にさらに節電を実現できるように、シャットダウン・モードでは静止電流はわずか 2.9 μA まで低下します。

ADA4806-1 は、広い範囲の電源電圧で動作でき、3 V、5 V、および $\pm 5\text{V}$ で仕様が規定されています。このアンプは、コンパクトな 8 ピン SOT-23 パッケージを採用していて、工業用温度範囲 -40°C ~ $+125^\circ\text{C}$ で動作仕様が規定されています。

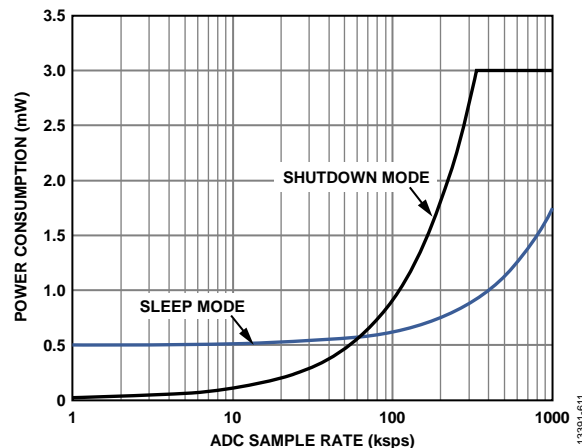


図 2. 静止消費電力と ADC サンプル・レートの関係、2 つの低消費電力モードでダイナミック消費電力スケールリングを使用

表 1. ADA4806-1 に接続可能な相補型 ADC

Product	ADC Power (mW)	Throughput (MSPS)	Resolution (Bits)	SNR (dB)
AD7980	4.0	1	16	90.5 ¹
AD7982	7.0	1	18	98
AD7984	10.5	1.33	18	98.5

¹ この SNR 値は、AD7980 の A グレード・バージョンの値。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

Rev. 0

©2016 Analog Devices, Inc. All rights reserved.

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸 1-16-1 ニューピア竹芝サウスタワービル
電話 03 (5402) 8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原 3-5-36 新大阪トラストタワー
電話 06 (6350) 6868

目次

特長.....	1	動作原理.....	18
アプリケーション.....	1	アンプに関する説明.....	18
概要.....	1	入力保護.....	18
代表的なアプリケーション回路.....	1	シャットダウン/スリープ・モード動作.....	18
改訂履歴.....	2	ノイズに関する考慮事項.....	19
仕様.....	3	アプリケーション情報.....	20
±5 V 電源.....	3	スルー強化.....	20
5 V 電源.....	4	周波数応答に対する帰還抵抗の影響.....	20
3 V 電源.....	6	大信号周波数応答のピーキングの補償.....	20
絶対最大定格.....	8	低消費電力の高分解能逐次比較型レジスタ (SAR) ADC の 駆動.....	20
熱抵抗.....	8	ダイナミック消費電力スケールリング.....	21
最大消費電力.....	8	シングルエンドから差動への変換.....	23
ESD に関する注意.....	8	レイアウト時の考慮事項.....	23
ピン配置およびピン機能の説明.....	9	外形寸法.....	24
代表的な性能特性.....	10	オーダー・ガイド.....	24
テスト回路.....	17		

改訂履歴

9/15—Revision 0:初版

仕様

±5 V 電源

特に指定のない限り、 $V_S = \pm 5\text{ V}$ ($T_A = 25\text{ }^\circ\text{C}$)、 $R_F = 0\ \Omega$ ($G = +1$) または $R_F = 1\ \text{k}\Omega$ ($G = +1$ 以外の場合)、 $R_L = 2\ \text{k}\Omega$ (グラウンドに接続)。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = +1$, $V_{OUT} = 0.02\text{ V p-p}$		120		MHz
	$G = +1$, $V_{OUT} = 2\text{ V p-p}$		40		MHz
Bandwidth for 0.1 dB Flatness	$G = +1$, $V_{OUT} = 0.02\text{ V p-p}$		18		MHz
Slew Rate	$G = +1$, $V_{OUT} = 2\text{ V step}$		190		V/ μs
	$G = +2$, $V_{OUT} = 4\text{ V step}$		250		V/ μs
Settling Time to 0.1%	$G = +1$, $V_{OUT} = 2\text{ V step}$		35		ns
	$G = +2$, $V_{OUT} = 4\text{ V step}$		78		ns
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion, HD2/HD3 ¹	$f_C = 20\text{ kHz}$, $V_{OUT} = 2\text{ V p-p}$		-114/-140		dBc
	$f_C = 100\text{ kHz}$, $V_{OUT} = 2\text{ V p-p}$		-102/-128		dBc
	$f_C = 20\text{ kHz}$, $V_{OUT} = 4\text{ V p-p}$, $G = +1$		-109/-143		dBc
	$f_C = 100\text{ kHz}$, $V_{OUT} = 4\text{ V p-p}$, $G = +1$		-93/-130		dBc
	$f_C = 20\text{ kHz}$, $V_{OUT} = 4\text{ V p-p}$, $G = +2$		-113/-142		dBc
	$f_C = 100\text{ kHz}$, $V_{OUT} = 4\text{ V p-p}$, $G = +2$		-96/-130		dBc
Input Voltage Noise	$f = 100\text{ kHz}$		5.2		nV/ $\sqrt{\text{Hz}}$
Input Voltage Noise 1/f Corner Frequency			8		Hz
0.1 Hz to 10 Hz Voltage Noise			44		nV rms
Input Current Noise	$f = 100\text{ kHz}$		0.7		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Offset Voltage	Full power mode		13	125	μV
	Low power mode, $\overline{\text{SLEEP}} = -V_S$		800		μV
Input Offset Voltage Drift ²	T_{MIN} to T_{MAX} , $4\ \sigma$		0.2	1.5	$\mu\text{V}/^\circ\text{C}$
Input Bias Current (I_B)	Full power mode		550	800	nA
	Low power mode, $\overline{\text{SLEEP}} = -V_S$		3		nA
Input Offset Current			2.1	25	nA
Open-Loop Gain	$V_{OUT} = -4.0\text{ V to }+4.0\text{ V}$	107	111		dB
INPUT CHARACTERISTICS					
Input Resistance					
Common Mode			50		M Ω
Differential Mode			260		k Ω
Input Capacitance			1		pF
Input Common-Mode Voltage Range		-5.1		+4	V
Common-Mode Rejection Ratio (CMRR)	$V_{IN, CM} = -4.0\text{ V to }+4.0\text{ V}$	103	130		dB
SHUTDOWN PIN					
$\overline{\text{SHUTDOWN}}$ Voltage					
Low	Powered down		<-1.3		V
High	Enabled		>-0.9		V
$\overline{\text{SHUTDOWN}}$ Current					
Low	Powered down	-1.0	+0.2		μA
High	Enabled		0.02	1.0	μA
Turn-Off Time	50% of $\overline{\text{SHUTDOWN}}$ to <10% of enabled quiescent current		1.25	2.75	μs
Turn-On Time	50% of $\overline{\text{SHUTDOWN}}$ to >99% of final V_{OUT}		1	3	μs

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
SLEEP PIN					
SLEEP Voltage					
Low	Powered down		<-1.3		V
High	Enabled		>-0.9		V
SLEEP Current					
Low	Low Power Mode, $\overline{\text{SLEEP}} = -V_S$	-1.0	+0.2		μA
High	Enabled		0.02	1.0	μA
Turn-Off Time (Full Power Mode to Sleep Mode)	50% of $\overline{\text{SLEEP}}$ to 30% of enabled quiescent current		180	240	ns
Turn-On Time (Sleep Mode to Full Power Mode)	50% of $\overline{\text{SLEEP}}$ to >99% of final V_{OUT}		450	600	ns
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time (Rising/Falling Edge)	$V_{\text{IN}} = +6\text{ V to } -6\text{ V}, G = +2$		95/100		ns
Output Voltage Swing	$R_L = 2\text{ k}\Omega$	-4.98		+4.98	V
Short-Circuit Current	Sourcing/sinking; full power mode		85/73		mA
	Sourcing/sinking; low power mode, $\overline{\text{SLEEP}} = -V_S$		1.4/1.8		mA
Linear Output Current	<1% total harmonic distortion (THD) at 100 kHz, $V_{\text{OUT}} = 2\text{ V p-p}$		± 58		mA
Off Isolation	$V_{\text{IN}} = 0.5\text{ V p-p}, f = 1\text{ MHz}, \overline{\text{SHUTDOWN}} = -V_S$		41		dB
Capacitive Load Drive	30% overshoot		15		pF
POWER SUPPLY					
Operating Range		2.7		10	V
Quiescent Current per Amplifier	Full power mode		570	625	μA
	Low power mode, $\overline{\text{SLEEP}} = -V_S$		85		μA
	$\overline{\text{SHUTDOWN}} = -V_S$		7.4	12	μA
Power Supply Rejection Ratio (PSRR)					dB
Positive	$+V_S = +3\text{ V to } +5\text{ V}, -V_S = -5\text{ V}$	100	119		dB
Negative	$+V_S = +5\text{ V}, -V_S = -3\text{ V to } -5\text{ V}$	100	122		dB

¹ f_c は、基本周波数。

² 保証値であるが、テスト未実施。

5 V 電源

特に指定のない限り、 $V_S = 5\text{ V}$ ($T_A = 25^\circ\text{C}$)、 $R_F = 0\ \Omega$ ($G = +1$) または $R_F = 1\ \text{k}\Omega$ ($G = +1$ 以外の場合)、 $R_L = 2\ \text{k}\Omega$ (電源電圧の 1/2 に接続)。

表 3.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = +1, V_{\text{OUT}} = 0.02\text{ V p-p}$		105		MHz
	$G = +1, V_{\text{OUT}} = 2\text{ V p-p}$		35		MHz
Bandwidth for 0.1 dB Flatness	$G = +1, V_{\text{OUT}} = 0.02\text{ V p-p}$		20		MHz
Slew Rate	$G = +1, V_{\text{OUT}} = 2\text{ V step}$		160		$\text{V}/\mu\text{s}$
	$G = +2, V_{\text{OUT}} = 4\text{ V step}$		220		$\text{V}/\mu\text{s}$
Settling Time to 0.1%	$G = +1, V_{\text{OUT}} = 2\text{ V step}$		35		ns
	$G = +2, V_{\text{OUT}} = 4\text{ V step}$		82		ns

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion, HD2/HD3 ¹	$f_C = 20 \text{ kHz}$, $V_{OUT} = 2 \text{ V p-p}$		-114/-135		dBc
	$f_C = 100 \text{ kHz}$, $V_{OUT} = 2 \text{ V p-p}$		-102/-126		dBc
	$f_C = 20 \text{ kHz}$, $G = +2$, $V_{OUT} = 4 \text{ V p-p}$		-107/-143		dBc
	$f_C = 100 \text{ kHz}$, $G = +2$, $V_{OUT} = 4 \text{ V p-p}$		-90/-130		dBc
Input Voltage Noise	$f = 100 \text{ kHz}$		5.9		nV/ $\sqrt{\text{Hz}}$
Input Voltage Noise 1/f Corner			8		Hz
0.1 Hz to 10 Hz Voltage Noise			54		nV rms
Input Current Noise	$f = 100 \text{ kHz}$		0.6		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Offset Voltage	Full power mode		10	125	μV
	Low power mode, $\overline{\text{SLEEP}} = -V_S$		500		μV
Input Offset Voltage Drift ²	T_{MIN} to T_{MAX} , 4σ		0.2	1.5	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	Full power mode		470	720	nA
	Low power mode, $\overline{\text{SLEEP}} = -V_S$		3		nA
Input Offset Current			0.4		nA
Open-Loop Gain	$V_{OUT} = 1.25 \text{ V to } 3.75 \text{ V}$	105	109		dB
INPUT CHARACTERISTICS					
Input Resistance					
Common Mode			50		M Ω
Differential Mode			260		k Ω
Input Capacitance			1		pF
Input Common-Mode Voltage Range		-0.1		+4	V
Common-Mode Rejection Ratio	$V_{IN, CM} = 1.25 \text{ V to } 3.75 \text{ V}$	103	133		dB
SHUTDOWN PIN					
SHUTDOWN Voltage					
Low	Powered down		<1.5		V
High	Enabled		>1.9		V
SHUTDOWN Current					
Low	Powered down	-1.0	+0.1		μA
High	Enabled		0.01	1.0	μA
Turn-Off Time	50% of SHUTDOWN to <10% of enabled quiescent current		0.9	1.25	μs
Turn-On Time	50% of SHUTDOWN to >99% of final V_{OUT}		1.5	4	μs
SLEEP PIN					
SLEEP Voltage					
Low	Powered down		<1.5		V
High	Enabled		>1.9		V
SLEEP Current					
Low	Low power mode, $\overline{\text{SLEEP}} = -V_S$	-1.0	+0.1		μA
High	Enabled		0.01	1.0	μA
Turn-Off Time (Full Power Mode to Sleep Mode)	50% of SLEEP to 30% of enabled quiescent current		150	185	ns
Turn-On Time (Sleep Mode to Full Power Mode)	50% of SLEEP to >99% of final V_{OUT}		450	600	ns

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
OUTPUT CHARACTERISTICS					
Overdrive Recovery Time (Rising/Falling Edge)	$V_{IN} = -1 \text{ V to } +6 \text{ V}, G = +2$		130/145		ns
Output Voltage Swing	$R_L = 2 \text{ k}\Omega$	0.02		4.98	V
Short-Circuit Current	Sourcing/sinking; full power mode		73/63		mA
	Sourcing/sinking; low power mode, $\overline{\text{SLEEP}} = -V_S$		1.0/1.3		mA
Linear Output Current	$<1\% \text{ THD at } 100 \text{ kHz}, V_{OUT} = 2 \text{ V p-p}$		± 47		mA
Off Isolation	$V_{IN} = 0.5 \text{ V p-p}, f = 1 \text{ MHz}, \overline{\text{SHUTDOWN}} = -V_S$		41		dB
Capacitive Load Drive	30% overshoot		15		pF
POWER SUPPLY					
Operating Range		2.7		10	V
Quiescent Current per Amplifier	Full power mode		500	520	μA
	Low power mode, $\overline{\text{SLEEP}} = -V_S$		74		μA
	$\overline{\text{SHUTDOWN}} = -V_S$		2.9	4	μA
Power Supply Rejection Ratio					dB
Positive	$+V_S = 1.5 \text{ V to } 3.5 \text{ V}, -V_S = -2.5 \text{ V}$	100	120		dB
Negative	$+V_S = 2.5 \text{ V}, -V_S = -1.5 \text{ V to } -3.5 \text{ V}$	100	126		dB

¹ f_c は、基本周波数。

²保証値であるが、テスト未実施。

3 V 電源

特に指定のない限り、 $V_S = 3 \text{ V}$ ($T_A = 25^\circ\text{C}$)、 $R_F = 0 \Omega$ ($G = +1$) または $R_F = 1 \text{ k}\Omega$ ($G = +1$ 以外の場合)、 $R_L = 2 \text{ k}\Omega$ (電源電圧の 1/2 に接続)。

表 4.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = +1, V_{OUT} = 0.02 \text{ V p-p}$		95		MHz
	$G = +1, V_{OUT} = 1 \text{ V p-p}, +V_S = 2 \text{ V}, -V_S = -1 \text{ V}$		30		MHz
Bandwidth for 0.1 dB Flatness	$G = +1, V_{OUT} = 0.02 \text{ V p-p}$		35		MHz
Slew Rate	$G = +1, V_{OUT} = 1 \text{ V step}, +V_S = 2 \text{ V}, -V_S = -1 \text{ V}$		85		V/ μs
Settling Time to 0.1%	$G = +1, V_{OUT} = 1 \text{ V step}$		41		ns
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion, HD2/HD3 ¹	$f_c = 20 \text{ kHz}, V_{OUT} = 1 \text{ V p-p}, +V_S = 2 \text{ V}, -V_S = -1 \text{ V}$		-123/-143		dBc
	$f_c = 100 \text{ kHz}, V_{OUT} = 1 \text{ V p-p}, +V_S = 2 \text{ V}, -V_S = -1 \text{ V}$		-107/-133		dBc
Input Voltage Noise	$f = 100 \text{ kHz}$		6.3		nV/ $\sqrt{\text{Hz}}$
Input Voltage Noise 1/f Corner			8		Hz
0.1 Hz to 10 Hz Voltage Noise			55		nV rms
Input Current Noise	$f = 100 \text{ kHz}$		0.8		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Offset Voltage	Full power mode		7	125	μV
	Low power mode, $\overline{\text{SLEEP}} = -V_S$		300		μV
Input Offset Voltage Drift ²	T_{MIN} to T_{MAX} , 4σ		0.2	1.5	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	Full power mode		440	690	nA
	Low power mode, $\overline{\text{SLEEP}} = -V_S$		3		nA
Input Offset Current			0.5		nA
Open-Loop Gain	$V_{OUT} = 1.1 \text{ V to } 1.9 \text{ V}$	100	107		dB

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS					
Input Resistance					
Common Mode			50		M Ω
Differential Mode			260		k Ω
Input Capacitance			1		pF
Input Common-Mode Voltage Range		-0.1		+2	V
Common-Mode Rejection Ratio	$V_{IN, CM} = 0.5 \text{ V to } 2 \text{ V}$	89	117		dB
SHUTDOWN PIN					
SHUTDOWN Voltage					
Low	Powered down		<0.7		V
High	Enabled		>1.1		V
SHUTDOWN Current					
Low	Powered down	-1.0	+0.1		μA
High	Enabled		0.01	1.0	μA
Turn-Off Time	50% of SHUTDOWN to <10% of enabled quiescent current		0.9	1.25	μs
Turn-On Time	50% of SHUTDOWN to >99% of final V_{OUT}		2.5	8	μs
SLEEP PIN					
SLEEP Voltage					
Low	Powered down		<0.7		V
High	Enabled		>1.1		V
SLEEP Current					
Low	Low Power Mode, $\overline{\text{SLEEP}} = -V_S$	-1.0	+0.1		μA
High	Enabled		0.01	1.0	μA
Turn-Off Time (Full Power Mode to Sleep Mode)	50% of SLEEP to 30% of enabled quiescent current		155	210	ns
Turn-On Time (Sleep Mode to Full Power Mode)	50% of SLEEP to >99% of final V_{OUT}		450	600	ns
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time (Rising/Falling Edge)	$V_{IN} = -1 \text{ V to } +4 \text{ V}, G = +2$		135/175		ns
Output Voltage Swing	$R_L = 2 \text{ k}\Omega$	0.02		2.98	V
Short-Circuit Current	Sourcing/sinking; full power mode		65/47		mA
	Sourcing/sinking; low power mode, $\overline{\text{SLEEP}} = -V_S$		1.0/1.3		mA
Linear Output Current	<1% THD at 100 kHz, $V_{OUT} = 1 \text{ V p-p}$		± 40		mA
Off Isolation	$V_{IN} = 0.5 \text{ V p-p}, f = 1 \text{ MHz}, \overline{\text{SHUTDOWN}} = -V_S$		41		dB
Capacitive Load Drive	30% overshoot		15		pF
POWER SUPPLY					
Operating Range		2.7		10	V
Quiescent Current per Amplifier	Full power mode		470	495	μA
	Low power mode, $\overline{\text{SLEEP}} = -V_S$		70		μA
	$\overline{\text{SHUTDOWN}} = -V_S$		1.3	3	μA
Power Supply Rejection Ratio					
Positive	$+V_S = 1.5 \text{ V to } 3.5 \text{ V}, -V_S = -1.5 \text{ V}$	96	119		dB
Negative	$+V_S = 1.5 \text{ V}, -V_S = -1.5 \text{ V to } -3.5 \text{ V}$	96	125		dB

¹ f_C は、基本周波数。² 保証値であるが、テスト未実施。

絶対最大定格

表 5.

Parameter	Rating
Supply Voltage	11 V
Power Dissipation	See 図 3
Common-Mode Input Voltage	$-V_S - 0.7 \text{ V}$ to $+V_S + 0.7 \text{ V}$
Differential Input Voltage	$\pm 1 \text{ V}$
Storage Temperature Range	-65°C to $+125^\circ\text{C}$
Operating Temperature Range	-40°C to $+125^\circ\text{C}$
Lead Temperature (Soldering, 10 sec)	300°C
Junction Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作のセクションに記載する規定値以上のデバイス動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと、製品の信頼性に影響を与えることがあります。

熱抵抗

θ_{JA} は最悪の条件、すなわち、回路基板に表面実装パッケージをハンダ付けした状態で仕様規定されています。表 6 に、ADA4806-1 の θ_{JA} を示します。

表 6. 熱抵抗

Package Type	θ_{JA}	Unit
8-Lead SOT-23	209.1	$^\circ\text{C}/\text{W}$

最大消費電力

ADA4806-1 の最大安全消費電力は、チップのジャンクション温度 (T_J) の上昇により制限されます。約 150°C のガラス転移温度で、プラスチック・パッケージの属性が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、ADA4806-1 のパラメータ性能が永久的にシフトしてしまうことがあります。 175°C のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、性能低下または故障の原因になることがあります。

パッケージ内の消費電力 (P_D) は、静止消費電力と ADA4806-1 出力での負荷駆動に起因するチップ内の消費電力との和になります。

静止消費電力は、電源ピン (V_S) 間の電圧に静止電流 (I_S) を乗算して計算されます。

$$P_D = \text{静止電力} + (\text{合計駆動電力} - \text{負荷消費電力})$$

$$P_D = (V_S \times I_S) + \left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

RMS 出力電圧を考慮する必要があります。単電源動作の場合のように R_L が $-V_S$ を基準とすると、合計駆動電力は $V_S \times I_{OUT}$ になります。rms 信号レベルが不定の場合は、最悪時（電源電圧の 1/2 に接続された R_L に対して $V_{OUT} = V_S/4$ の場合）を考慮に入れます。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L}$$

$-V_S$ を基準とする R_L を使う単電源動作では、最悪時は $V_{OUT} = V_S/2$ です。

空気流があると放熱効果が良くなり θ_{JA} が実質的に小さくなります。また、金属パターン、スルー・ホール、グラウンド・プレーン、電源プレーンからのパッケージ・ピンおよび露出パッドへ直接接触する金属が増えると θ_{JA} が小さくなります。

図 3 に、JEDEC 規格の 4 層ボードでのパッケージ内の最大安全消費電力と周囲温度の関係を示します。 θ_{JA} の値は近似値です。

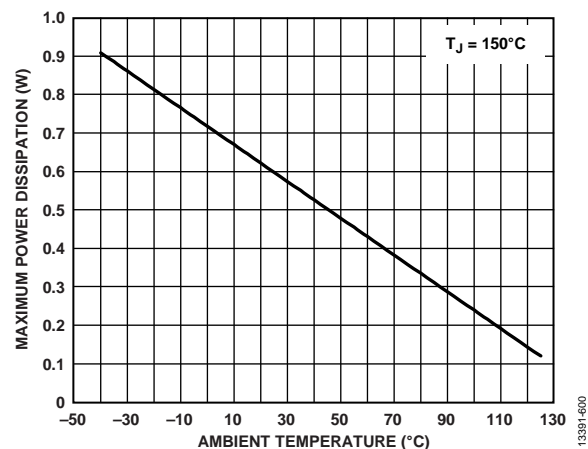


図 3.4 層基板での最大消費電力と周囲温度の関係

ESD に関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能の説明

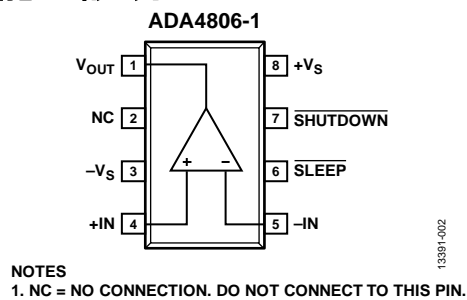


図 4. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	V _{OUT}	出力。
2	NC	未接続。このピンは接続しないでください。
3	-V _S	負電源。
4	+IN	非反転入力。
5	-IN	反転入力。
6	SLEEP	低消費電力モード。
7	SHUTDOWN	パワーダウン・モード。
8	+V _S	正電源。

代表的な性能特性

特に指定のない限り、 $R_L = 2\text{ k}\Omega$ 、 $G = +1$ 、 $R_F = 0\ \Omega$ の場合。

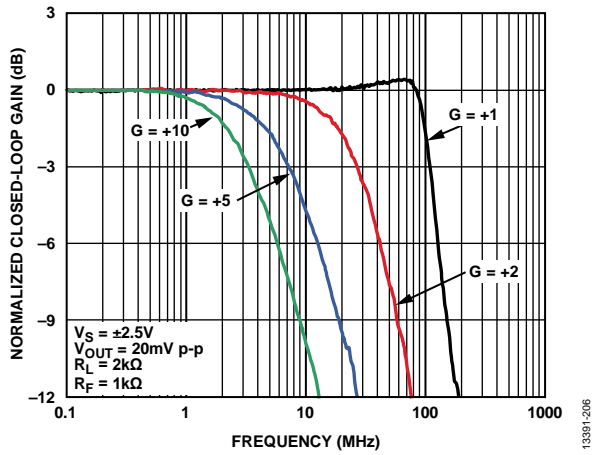


図 5. 各種ゲインでの小信号周波数応答

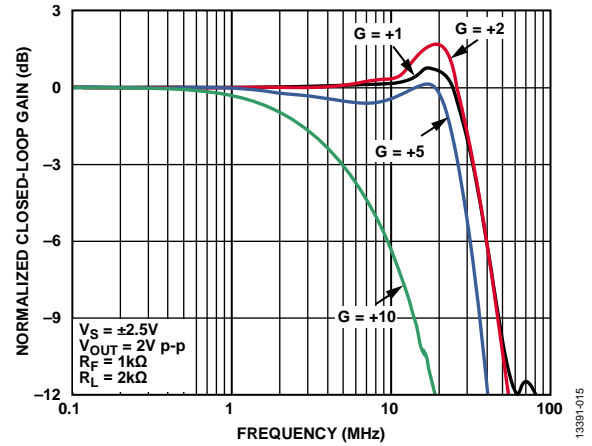


図 8. 各種ゲインでの大信号周波数応答

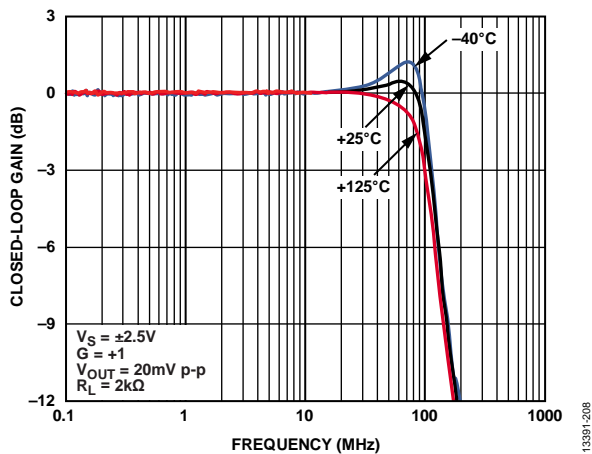


図 6. 各種温度での小信号周波数応答

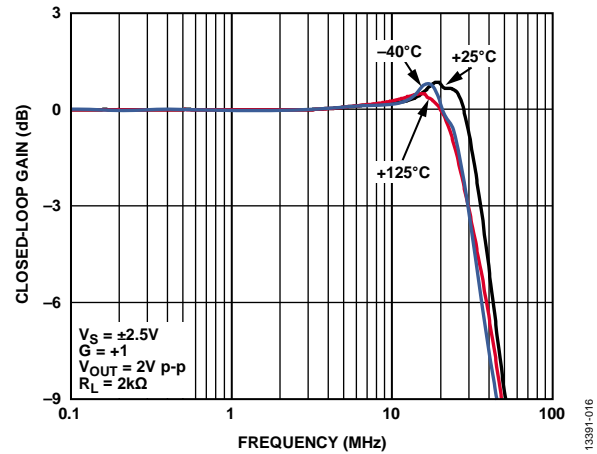


図 9. 各種温度での大信号周波数応答

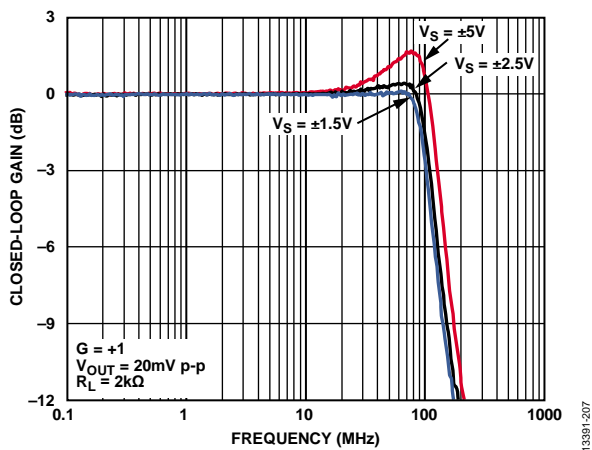


図 7. 各種電源電圧での小信号周波数応答

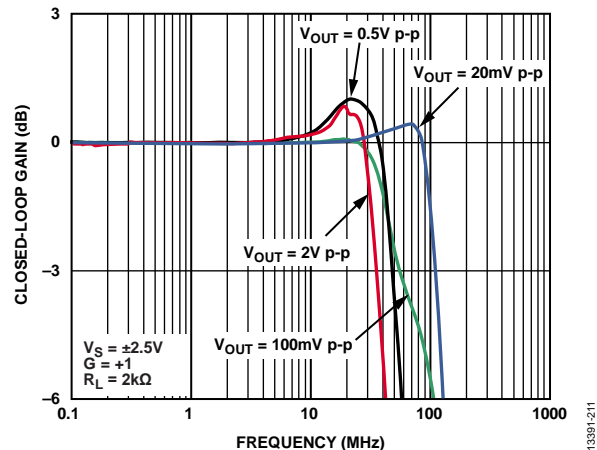


図 10. 各種電源電圧での周波数応答

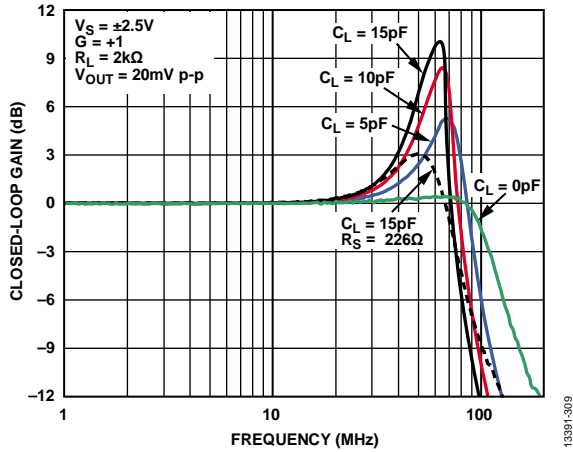


図 11. 各種容量性負荷での小信号周波数応答 (図 47 を参照)

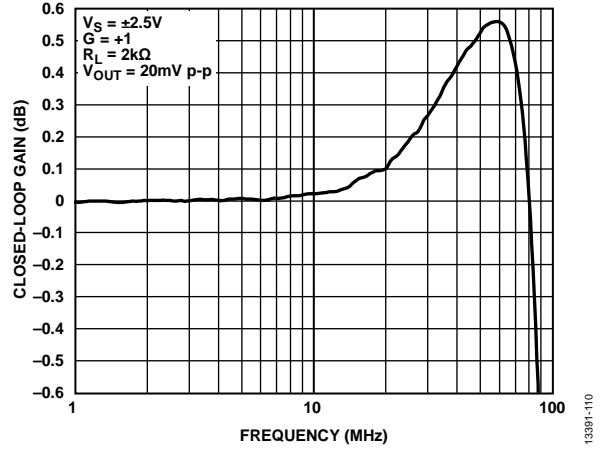


図 14. 小信号 0.1 dB 帯域幅

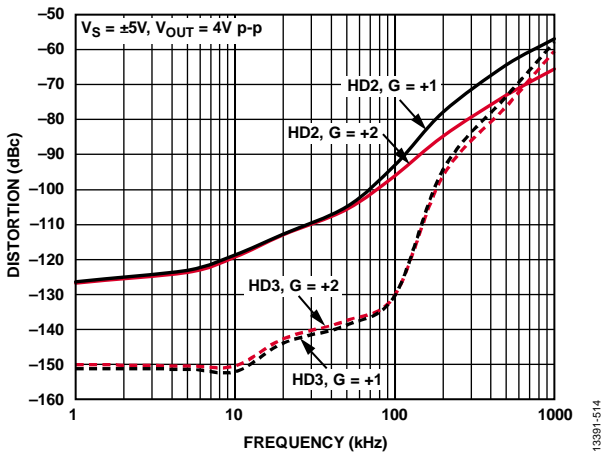


図 12. 各種ゲインでの歪みと周波数の関係

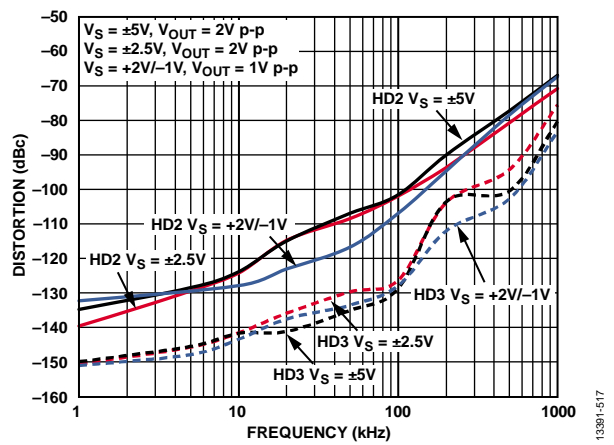


図 15. 各種電源電圧での歪みと周波数の関係 (G = +1)

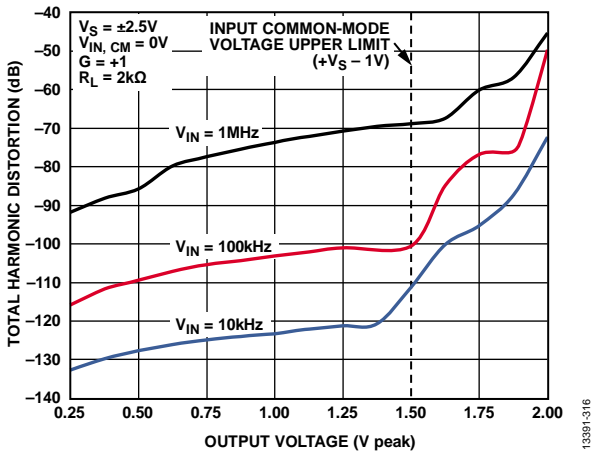


図 13. 各種周波数での全高調歪み (THD) と出力電圧の関係

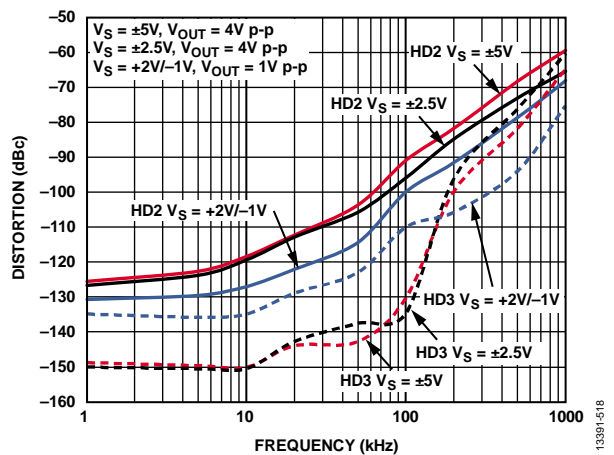


図 16. 歪みと周波数の関係 (G = +2)

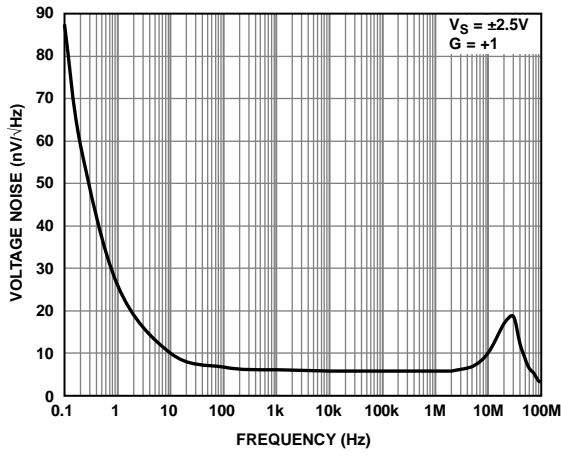


図 17. 電圧ノイズと周波数の関係

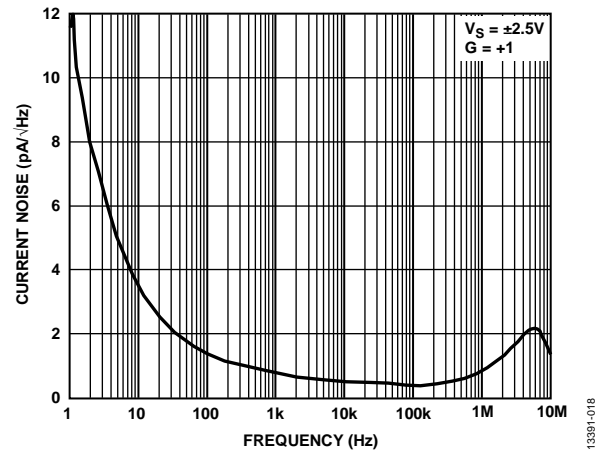


図 20. 電流ノイズと周波数の関係 (図 48 を参照)

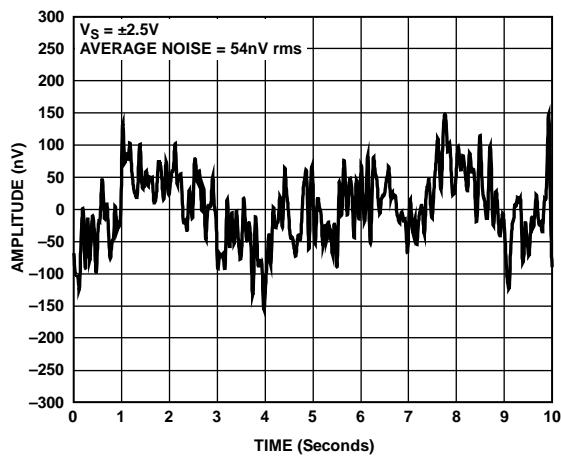


図 18. 0.1 Hz ~ 10 Hz 電圧ノイズ

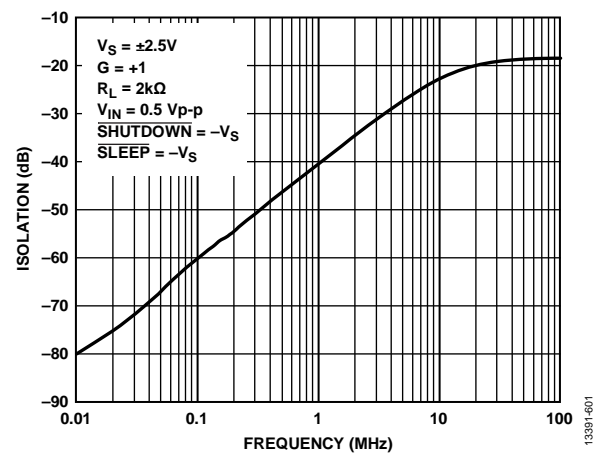


図 21. 順方向アイソレーションと周波数の関係

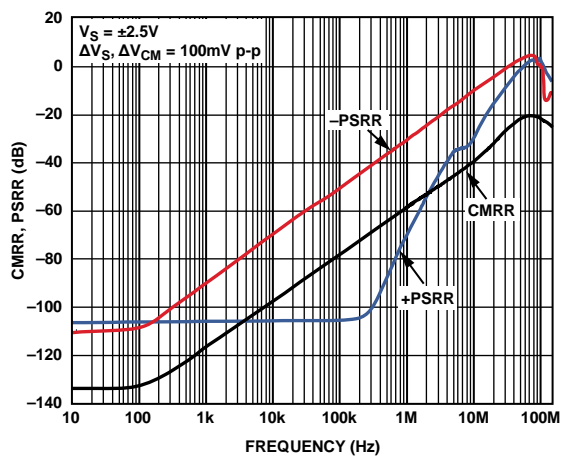


図 19. CMRR、PSRR と周波数の関係

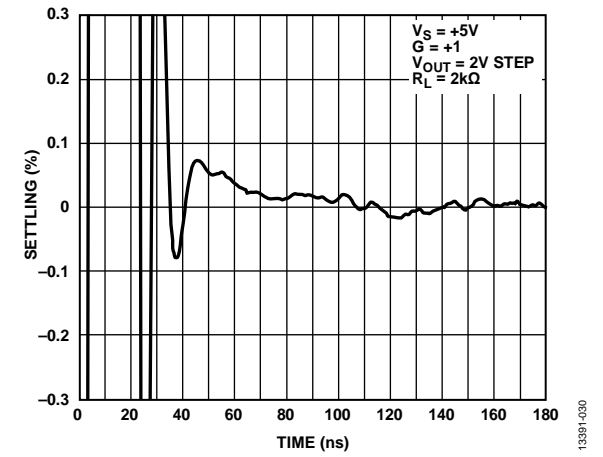


図 22. 0.1% へのセッティング・タイム

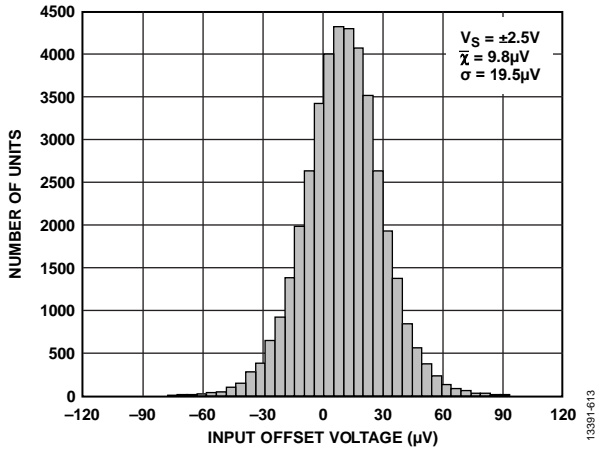


図 23. 入力オフセット電圧の分布

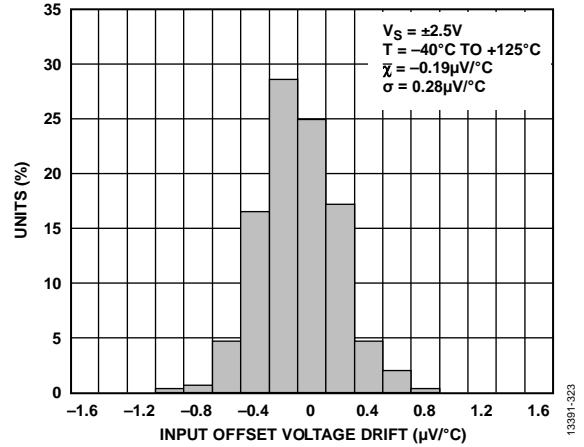


図 26. 入力オフセット電圧ドリフトの分布

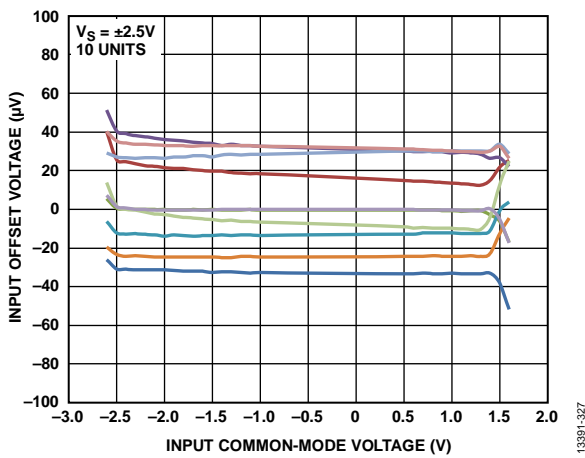


図 24. 入力オフセット電圧と入力共通モード電圧の関係

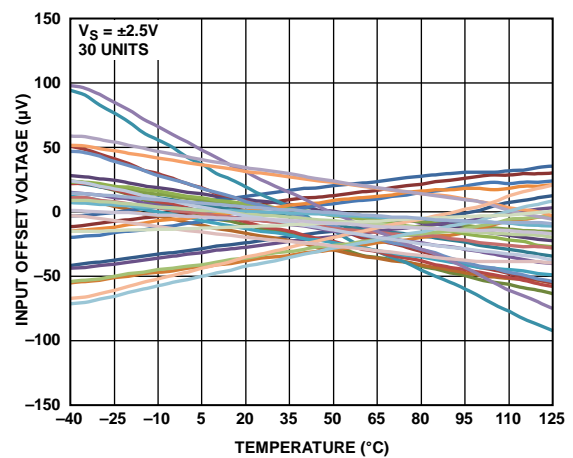


図 27. 入力オフセット電圧と温度の関係

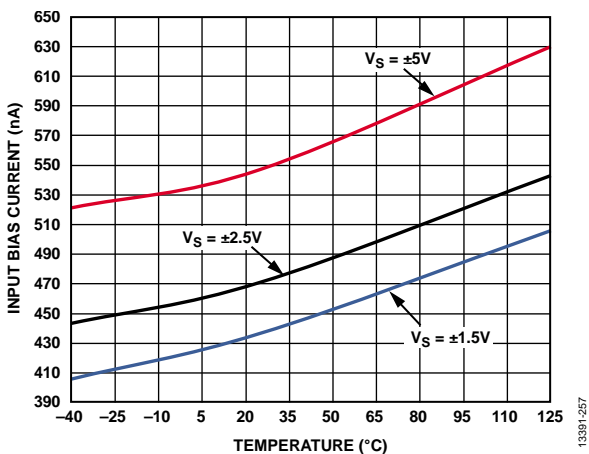


図 25. 各種電源電圧での入力バイアス電流と温度の関係 (図 49 を参照)

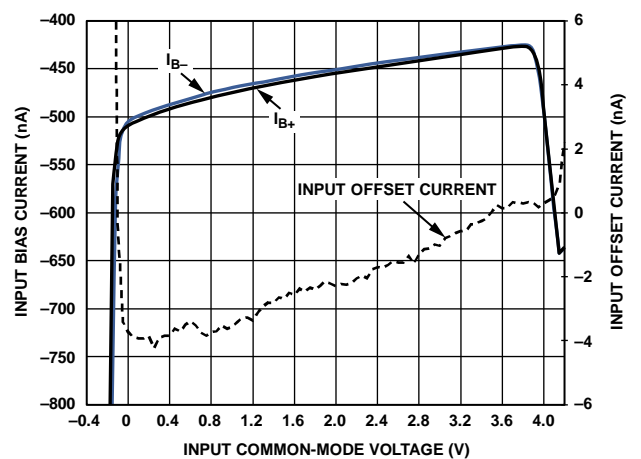


図 28. 入力バイアス電流/入力オフセット電流と入力共通モード電圧の関係

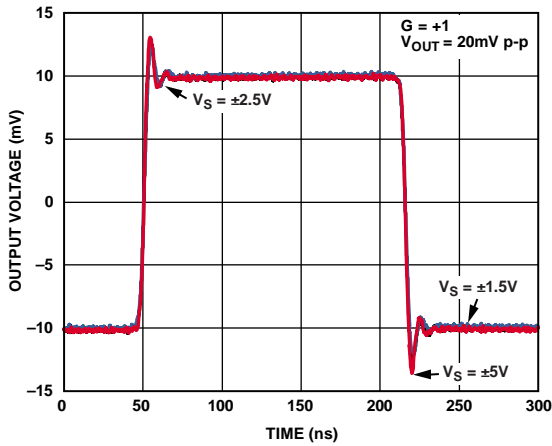


図 29. 各種電源電圧での小信号過渡応答

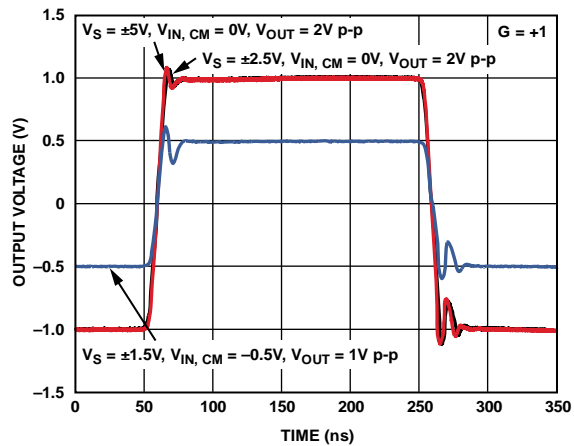


図 32. 各種電源電圧での大信号過渡応答

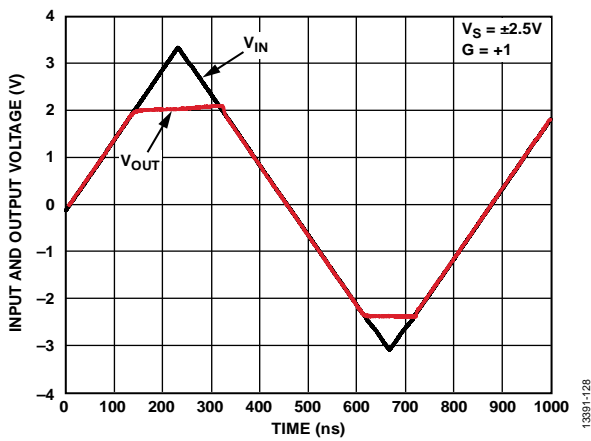


図 30. 入力オーバードライブ回復時間

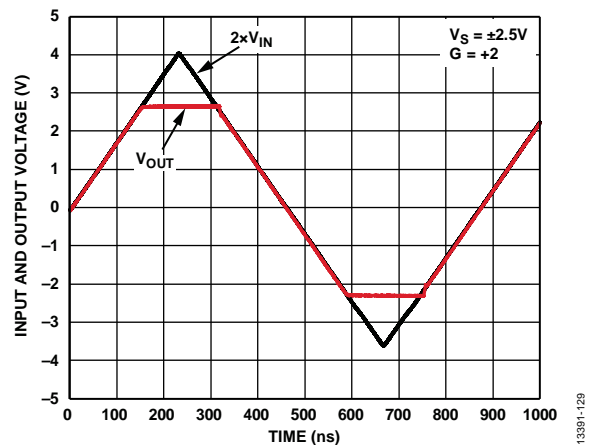


図 33. 出力オーバードライブ回復時間

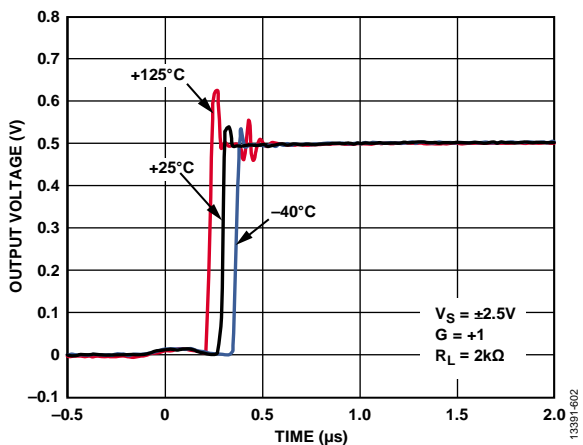


図 31. 各種温度でのシャットダウンからのターンオン応答時間 (図 50 を参照)

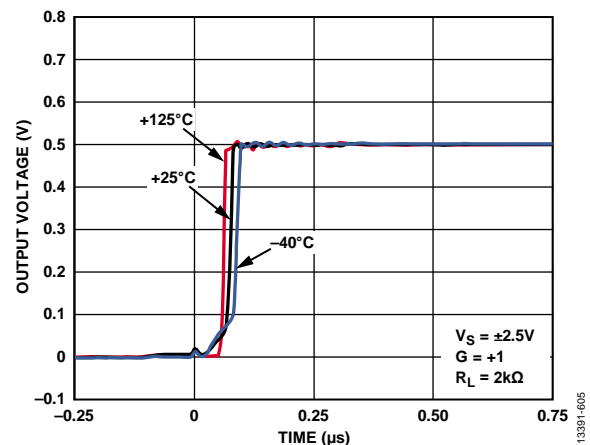


図 34. 各種温度でのスリープからのターンオン応答時間 (図 50 を参照)

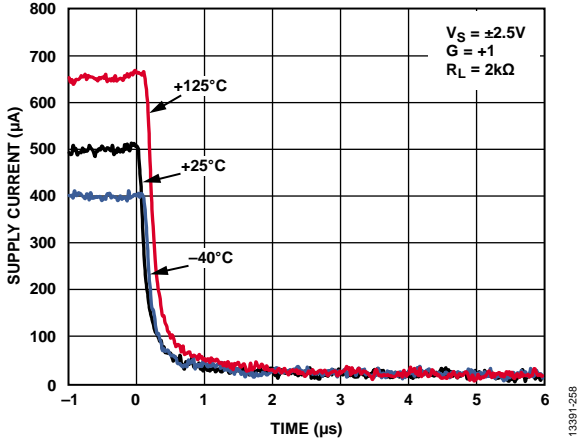


図 35. 各種温度でのシャットダウンまでのターンオフ応答時間 (図 51 を参照)

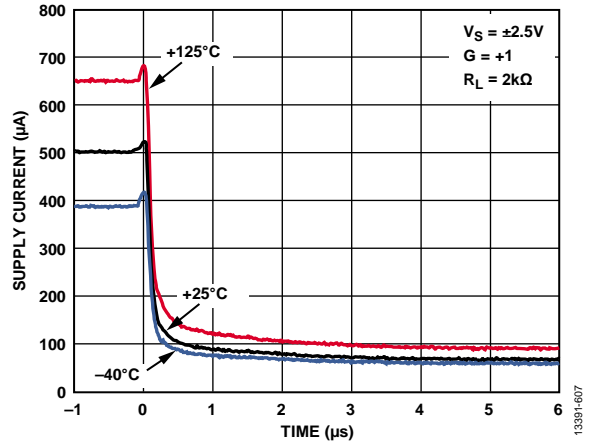


図 38. 各種温度でのスリープまでのターンオフ応答時間 (図 51 を参照)

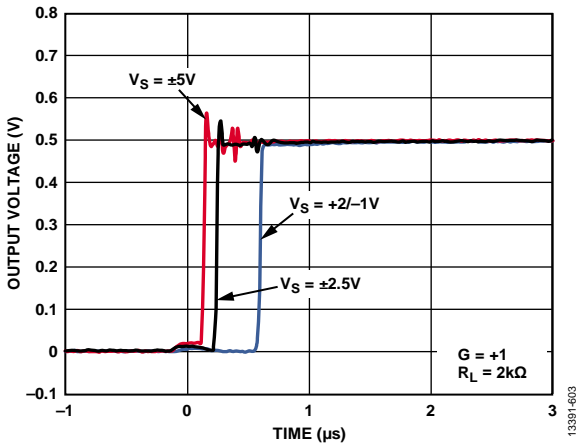


図 36. 各種電源電圧でのシャットダウンからのターンオン応答時間

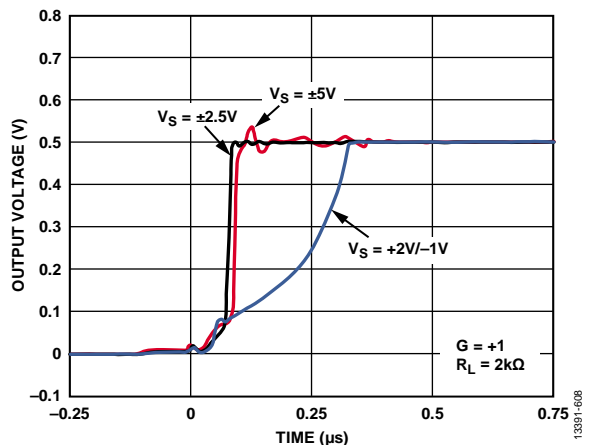


図 39. 各種電源電圧でのスリープからのターンオン応答時間

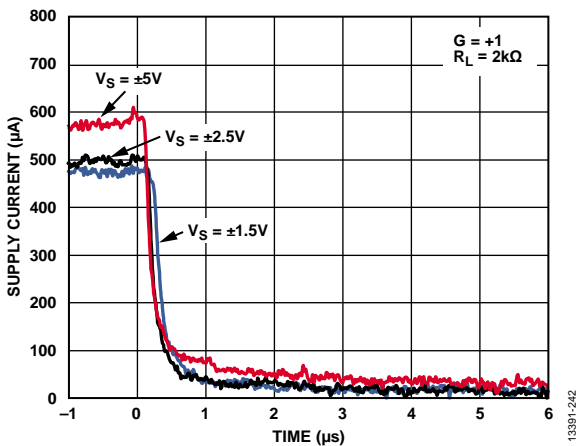


図 37. 各種電源電圧でのシャットダウンまでのターンオフ応答時間

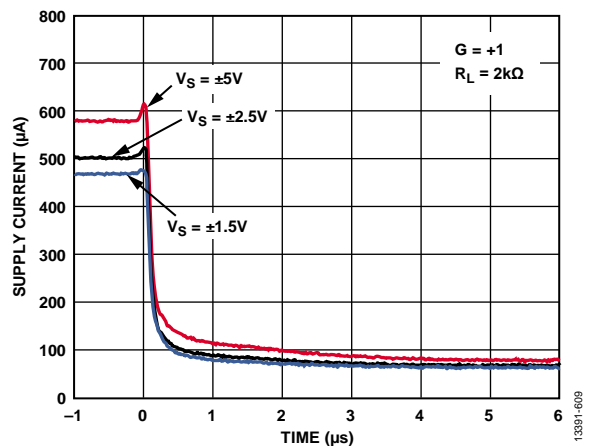


図 40. 各種電源電圧でのスリープまでのターンオフ応答時間

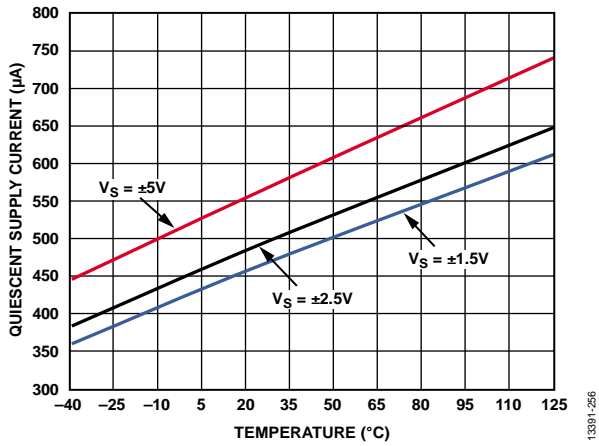


図 41. 静止電源電流と温度の関係

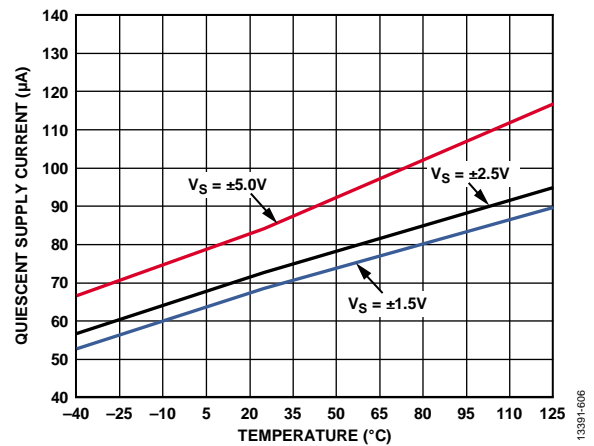


図 44. スリープ・モード静止電源電流と温度の関係

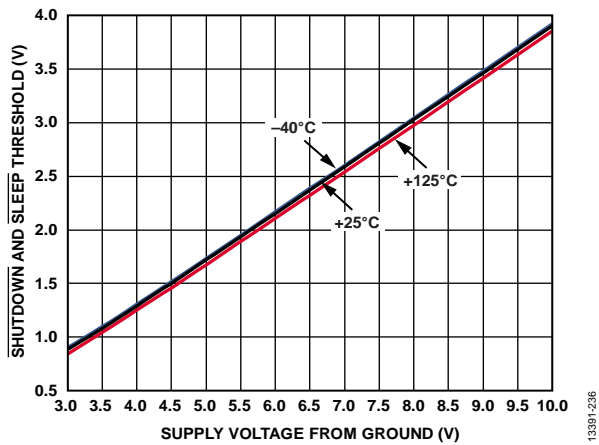


図 42. SHUTDOWNおよび SLEEP 閾値とグラウンドからの電源電圧の関係 (各種温度)

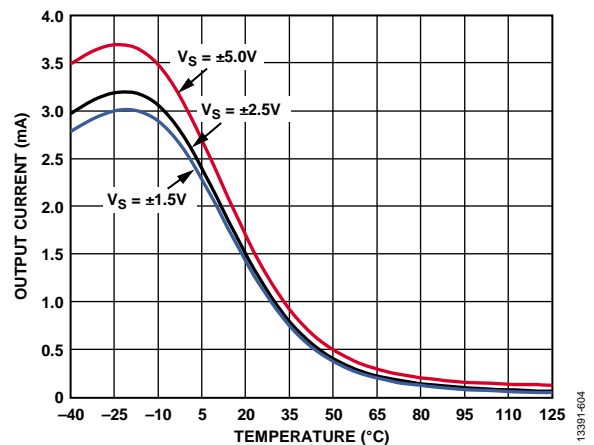


図 45. スリープ・モード出力電流と温度の関係

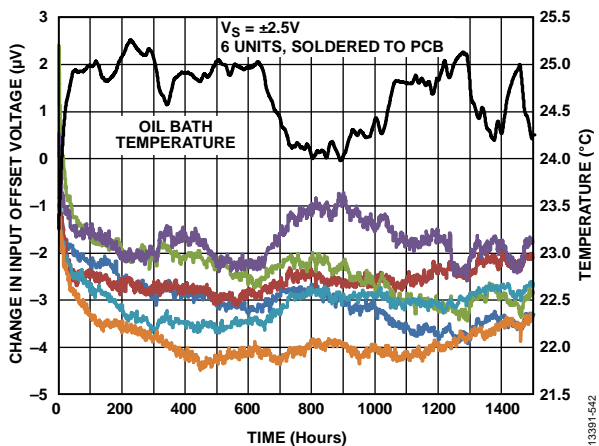


図 43. 長時間 V_{OS} ドリフト

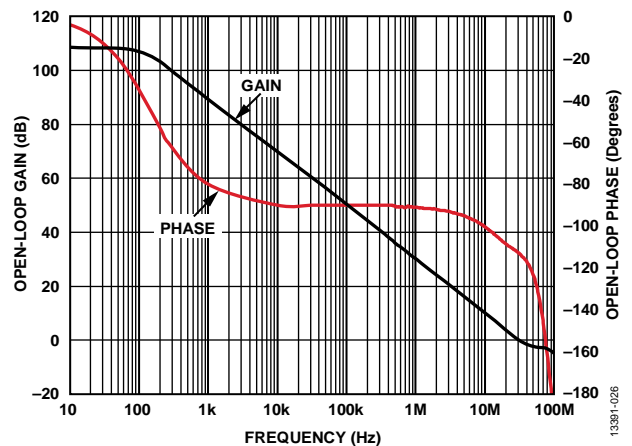


図 46. オープンループ・ゲインと位相マージン

テスト回路

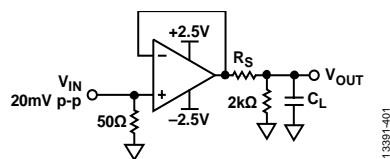


図 47. 出力容量性負荷動作テスト回路 (図 11 を参照)

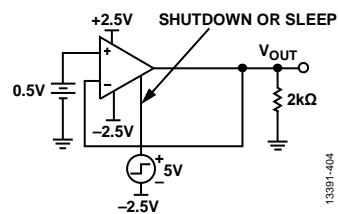


図 50. ターンオン応答テスト回路 (図 31 および図 34 を参照)

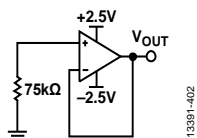


図 48. 電流ノイズ・テスト回路 (図 20 を参照)

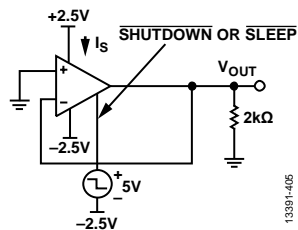


図 51. ターンオフ応答テスト回路 (図 35 および図 38 を参照)

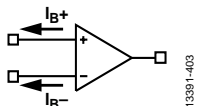


図 49. 入力バイアス電流温度テスト回路 (図 25 を参照)

動作原理

アンプに関する説明

ADA4806-1 の帯域幅は 105 MHz でスルー・レートは 160 V/μs です。入力換算電圧ノイズは、わずか 5.9 nV/√Hz です。ADA4806-1 は、2.7 V ~ 10 V の電源電圧範囲で動作し、 $V_S = 5\text{ V}$ での消費電源電流はわずか 500 μA です。電源範囲の最小値の場合は 3 V 電源の -10% の変動が許容されます。アンプはユニティゲイン安定であり、その入力構造により極めて低い入力 1/f ノイズが実現されています。ADA4806-1 には、スルー強化アーキテクチャが採用されています (図 52 を参照)。スルー強化回路は、2 つの入力間の絶対差を検出します。その後、入力段のテール電流 I_{TAIL} を変調して、スルー・レートをブーストします。このアーキテクチャにより、低ノイズを維持した状態で、高いスルー・レート、高速なセトリング・タイム、低静止電流を実現できます。

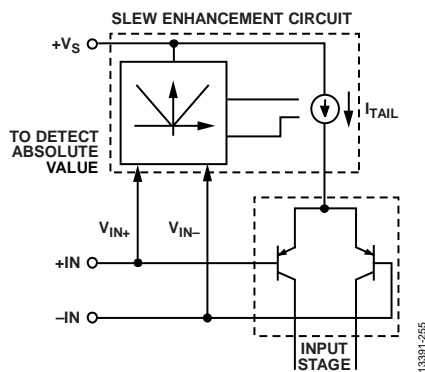


図 52. スルー強化回路

入力保護

ADA4806-1 は、ESD から包括的に保護されていて、測定可能な性能低下なしに $\pm 3.5\text{ kV}$ の人体モデル ESD、および $\pm 1.25\text{ kV}$ の電荷デバイス・モデルに耐えることができます。高精度入力は、電源の間の ESD 回路と入力デバイス・ペアをまたぐダイオード・クランプで保護されています (図 53 を参照)。

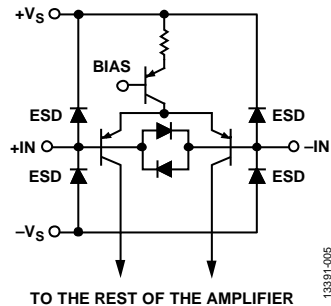


図 53. 入力段と保護ダイオード

約 1.2 V (室温) または 0.8 V (125 °C 時) を超える差動電圧でダイオード・クランプの導通が開始されます。入力ピン間で大きな差動電圧を維持する必要がある場合は、入力クランプを流れる電流を 10 mA 未満に制限する必要があります。予期される差動過電圧に適したサイズの直列入力抵抗を接続して、必要な保護を実現できます。

正電源より 0.7 V 以上高い入力電圧と、負電源より 0.7 V 以上低い入力電圧で、ESD クランプが導通を開始します。過電圧状態が予期される場合は、入力電流を 10 mA 以下に制限する必要があります。

シャットダウン/スリープ・モード動作

図 54 に ADA4806-1 のシャットダウン回路を示します。シャットダウン・モードで非常に低い電源電流を維持するために内部プルアップ抵抗は組み込まれていません。このため、SHUTDOWN ピンは外部的にハイ・レベルまたはロー・レベルで駆動する必要があります。フロート状態のままにしておくてはいけません。5 V 電源電圧の場合、SHUTDOWN ピンを電源電圧の 1/2 よりも 1 V 以上低い電圧にプルダウンするとデバイスがオフになり電源電流が 2.9 μA に低減します。アンプがパワー・ダウンすると、出力は高インピーダンス状態になります。周波数が高くなると出力インピーダンスは小さくなります。シャットダウン・モードでは、100 kHz で -62 dB の順方向アイソレーションを実現できます (図 21 を参照)。

スリープ・モード動作では図 54 のような回路が使用されます。SLEEP ピンをロー・レベルにプルダウンすると、アンプが低消費電力状態になり、5 V 電源電圧時の消費電流はわずか 74 μA になります。アンプを非常に低いレベルでバイアスしたままにしておくことで、スリープ・モードから通常消費電力モードへのターンオン時間を大幅に短縮でき、高いサンプル・レートでの ADA4806-1 のダイナミック消費電力スケールが可能になります。

ADA4806-1 のスリープ・モードでの動作は特性化されていません。

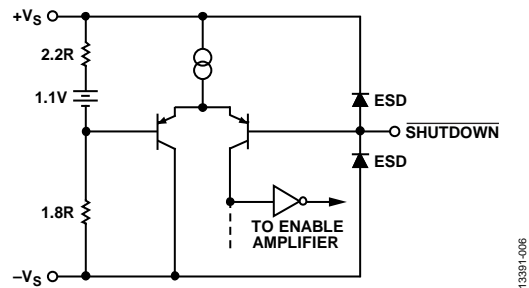


図 54. シャットダウン/スリープ等価回路

SHUTDOWN ピンと SLEEP ピンは ESD クランプにより保護されています (図 54 を参照)。電圧が電源を超えると、これらのダイオードが導通します。SHUTDOWN と SLEEP ピンを保護できるように、これらのピンへの電圧が、正電源より 0.7 V 以上高い電圧、または負電源より 0.7 V 以上低い電圧にならないようにしてください。過電圧状態が予期される場合は、直列抵抗を使用して入力電流を 10 mA 以下に制限する必要があります。

表 8 に、各種電源電圧での **SHUTDOWN** ピンと **SLEEP** ピンの閾値電圧を示します。表 9 に、**SHUTDOWN** ピンと **SLEEP** ピンの真理値表を示します。

表 8. イネーブル・モードとシャットダウン/スリープ・モードの閾値電圧

Mode	+3 V	+5 V	±5 V	+7 V/-2 V
Enabled	>+1.1 V	>+1.9 V	>-0.9 V	>+1.6 V
Shutdown/Sleep Mode	<+0.7 V	<+1.5 V	<-1.3 V	<+1.2 V

表 9. **SHUTDOWN** ピンと **SLEEP** ピンの真理値表

SHUTDOWN	SLEEP	Operating State
Low	Low	Powered down
Low	High	Powered down
High	Low	Low power mode
High	High	Full power mode

ノイズに関する考慮事項

図 55 に、代表的なゲイン設定での主なノイズ成分を示します。総合出力ノイズ (v_{n_OUT}) は、すべてのノイズ成分の 2 乗和平方根になります。

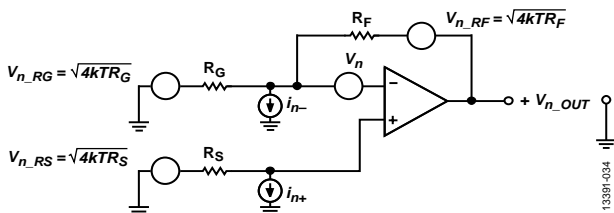


図 55. 代表的な接続でのノイズ源

出力ノイズ密度は、次の式で計算します。

$$v_{n_OUT} = \sqrt{4kTR_F + \left(1 + \frac{R_F}{R_G}\right)^2 [4kTR_S + i_{n+}^2 R_S^2 + v_n^2] + \left(\frac{R_F}{R_G}\right)^2 4kTR_G + i_{n-}^2 R_F^2}$$

ここで、

k は、ボルツマン定数。

T は、絶対温度 (ケルビン)。

R_F と R_G は、帰還回路抵抗 (図 55 を参照)。

R_S は、ソース抵抗 (図 55 を参照)。

i_{n+} と i_{n-} は、アンプ入力電流ノイズ・スペクトル密度 (pA/√Hz)。

v_n は、アンプ入力電圧ノイズ・スペクトル密度 (nV/√Hz)。

ソース抵抗ノイズ、アンプの入力電圧ノイズ (v_n)、アンプの入力電流ノイズからの電圧ノイズ ($i_{n+} \times R_S$) はすべて、ノイズ・ゲインの項 ($1 + R_F/R_G$) に依存します。

図 56 に、アンプによる合計入力換算 (RTI) ノイズとソース抵抗の関係を示します。入力電圧ノイズ 5.9 nV/√Hz および入力電流ノイズ 0.6 pA/√Hz の場合、約 2.6 kΩ ~ 47 kΩ のソース抵抗でのアンプのノイズ成分は比較的小さいことに注目してください。

ADA4806-1 の 5.9 nV/√Hz という低ノイズは、アナログ・デバイス用のシリコン・ゲルマニウム (SiGe) バイポーラ・プロセスにより実現されています。このノイズは、電源電流が数百マイクロアンペアの範囲の同様の低消費電力アンプと比較して大幅に改善されています。

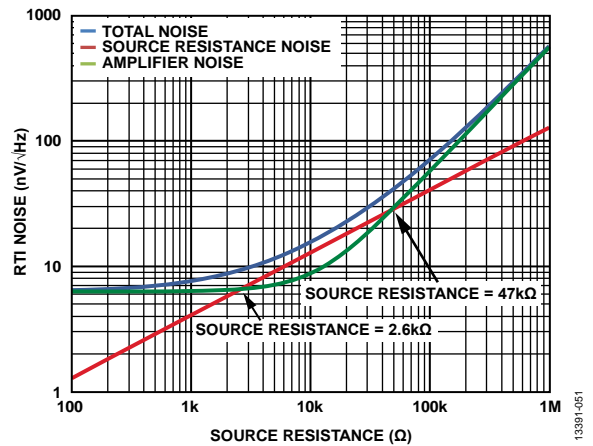


図 56. RTI ノイズとソース抵抗の関係

アプリケーション情報

スルー強化

ADA4806-1 には、帰還誤差電圧の増加に伴ってスルー・レートが増加するスルー強化回路が内蔵されています。この回路により、アンプは大信号ステップ応答のセトリング・タイムを短縮できます (図 57 を参照)。これは、複数の入力信号がマルチプレクスされる ADC アプリケーションで便利です。スルー強化の影響は、大信号周波数応答にも現れ、大きな入力信号によりピーク形成がわずかに増加します (図 58 を参照)。

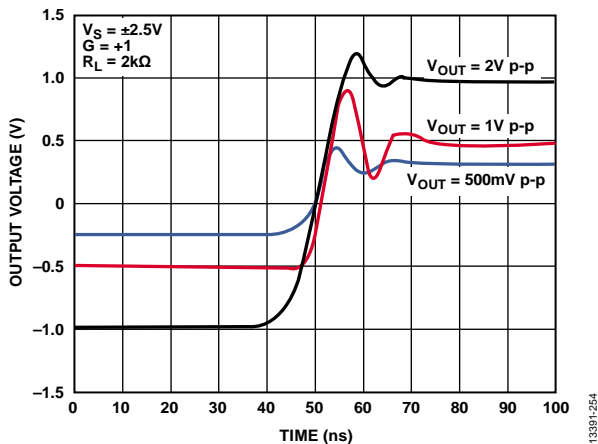


図 57. 選択した出力ステップでのステップ応答

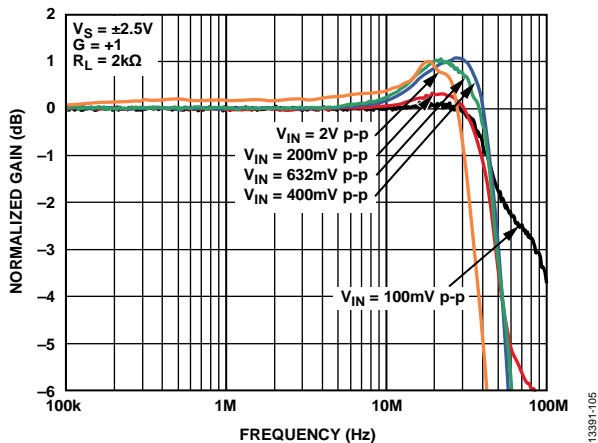


図 58. 信号レベルの変化と周波数応答のピーク形成、G = +1

周波数応答に対する帰還抵抗の影響

アンプの入力容量と帰還抵抗は 1 つの極を形成します。帰還抵抗の値が大きい場合、この極は位相マージンを低減し、周波数応答のピーク形成に寄与する可能性があります。図 59 に、アンプがゲイン +2 に設定されている場合の、選択した帰還抵抗 (R_F) のピーク形成を示します。図 59 は、アンプの帰還抵抗をまたぐように小さな値のコンデンサを追加することで、どのようにピーク形成を緩和できるかも示しています。

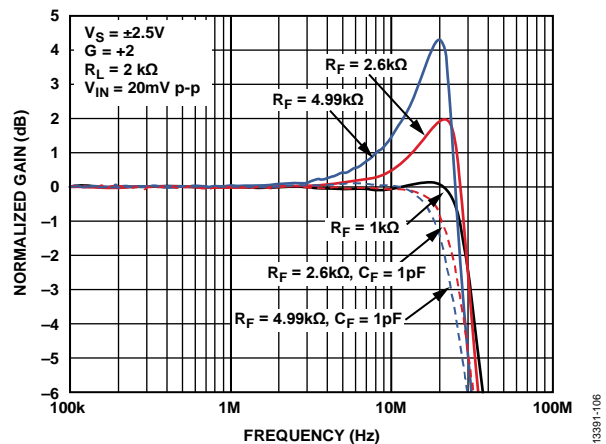


図 59. 選択した R_F 値での周波数応答のピーク形成

大信号周波数応答のピーク形成の補償

高い周波数で、スルー強化回路は大信号周波数応答のピーク形成に寄与する可能性があります。図 59 に、小信号応答での帰還コンデンサの効果を示し、図 60 に同じ手法が大信号応答のピーク形成の低減に効果的であることを示します。

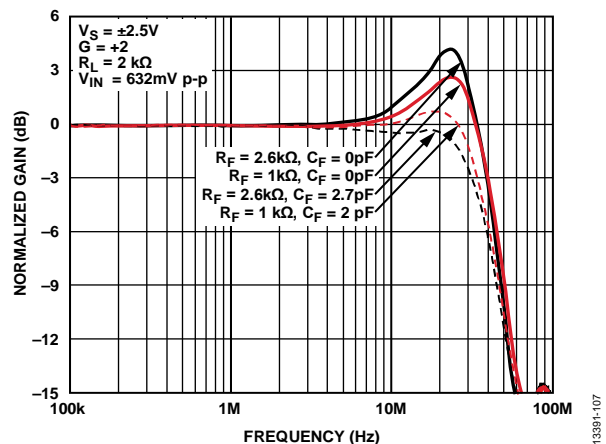


図 60. 大信号周波数応答のピーク形成の軽減

低消費電力の高分解能逐次比較型 (SAR) ADC の駆動

ADA4806-1 は、低消費電力の高分解能 SAR ADC を駆動するのに適しています。ADA4806-1 の $5.9 \text{ nV}/\sqrt{\text{Hz}}$ 入力電圧ノイズおよびレール to レール出力段により、大出力レベルでの歪みを最小限に抑えることができます。500 μA という低消費電流により、アンプの消費電力は、一般的にマイクロワット (μW) から数ミリワット (mW) の範囲である低消費電力 SAR ADC に匹敵します。さらに ADA4806-1 は単電源構成をサポートして、入力コモンモード電圧範囲は、負電源よりも 0.1 V 低い電圧と、正電源よりも 1 V 低い電圧です。

図 61 に、代表的な 16 ビット単電源アプリケーションを示します。ADA4806-1 は、低消費電力構成で 16 ビット、1 MSPS、SAR ADC である AD7980 を駆動します。AD7980 は、2.5 V 電源で動作し、0 V ~ V_{REF} の入力をサポートします。この場合、ADR435 は 5 V リファレンスを提供します。ADA4806-1 は、AD7980 のドライバおよび ADR435 のリファレンス・バッファとして使用されます。

R3 と C1 により形成されるローパス・フィルタは、ADC の入力へのノイズを低減します（図 61 を参照）。低周波数アプリケーションでは、フィルタのコーナー周波数を低減して他のノイズを除去することができます。

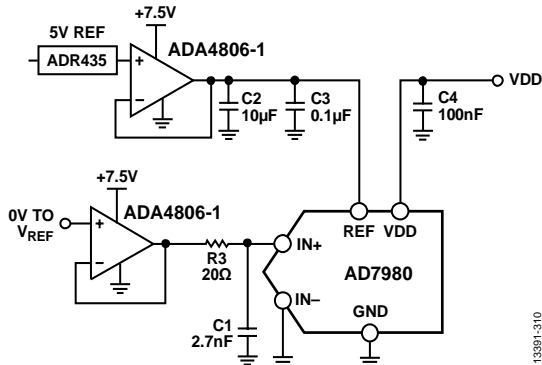


図 61. ADA4806-1 による AD7980 の駆動

この構成の場合、ADA4806-1 は 7.2 mW の静止電力を消費します。10 kHz 信号でのシステム全体の計測した S/N 比 (SNR)、THD、信号/ノイズ+歪み (SINAD) は、それぞれ 89.4 dB、104 dBc、89.3 dB です。これは、10 kHz での有効ビット数 (ENOB) が 14.5 であることを意味し、AD7980 の性能と互換性があります。表 10 に、選択した入力周波数でのこのセットアップの性能を示します。

ダイナミック消費電力スケーリング

AD7980 などの SAR ADC のメリットの 1 つとして、サンプリング・レートとともに消費電力がスケーリングすることが挙げられます。この消費電力のスケーリングにより、特に低サンプリング周波数で動作しているときに SAR ADC の電力効率は非常に高くなります。ただし、SAR ADC とともに使用する ADC ドライバは、サンプリング周波数にかかわらず従来どおり一定の電力を消費します。

図 62 に、ADC ドライバの静止電力をシステムのサンプリング・レートで動的にスケーリングする方法を示します。ADC の変換入力 (CNV) ピン、および ADA4806-1 の SHUTDOWN ピンと SLEEP ピンに適切なタイミングの信号を提供することで、両方のデバイスは最高の効率で動作することができます。

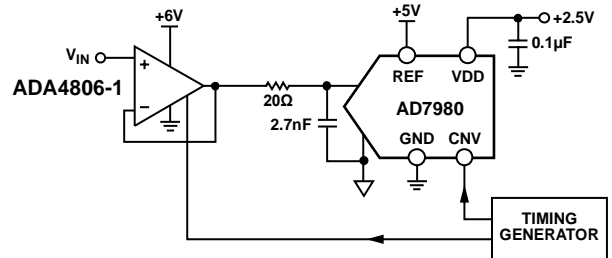


図 62. ADA4806-1/AD7980 パワー・マネージメント回路

図 63 に、ADA4806-1 と AD7980 の消費電力をスケーリングするための相対的な信号タイミングを示します。ADC の性能が低下しないように、CNV ピンをアクティブにする前に ADA4806-1 の ADC への出力が完全にセッティングされている必要があります。アンプのオン時間 (t_{AMP,ON}) は、CNV 信号の立上がりエッジの前にアンプがイネーブルになる時間です。この時間は、SHUTDOWN ピンまたは SLEEP ピンのどちらが駆動されるかによって決まります。図 64 に示している例では、t_{AMP,ON} は、SHUTDOWN ピンの場合は 3 μs で、SLEEP ピンの場合は 0.5 μs です。変換後、ADA4806-1 の SHUTDOWN ピンと SLEEP ピンは、ADC の入力がサンプル間で非アクティブになっているときにロー・レベルにプルダウンされます。シャットダウン・モードのときに、ADA4806-1 出力インピーダンスはハイ・レベルになります。

表 10. シングルエンド信号で AD7980 を駆動するための、選択した入力周波数でのシステム性能

Input Frequency (kHz)	ADC Driver		Reference Buffer		Results			
	Supply (V)	Gain	Supply (V)	Gain	SNR (dB)	THD (dBc)	SINAD (dB)	ENOB
1	7.5	1	7.5	1	89.8	103	89.6	14.6
10	7.5	1	7.5	1	89.4	104	89.3	14.5
20	7.5	1	7.5	1	89.9	103	89.7	14.6
50	7.5	1	7.5	1	88.5	99	88.1	14.3
100	7.5	1	7.5	1	86.3	93.7	85.6	13.9

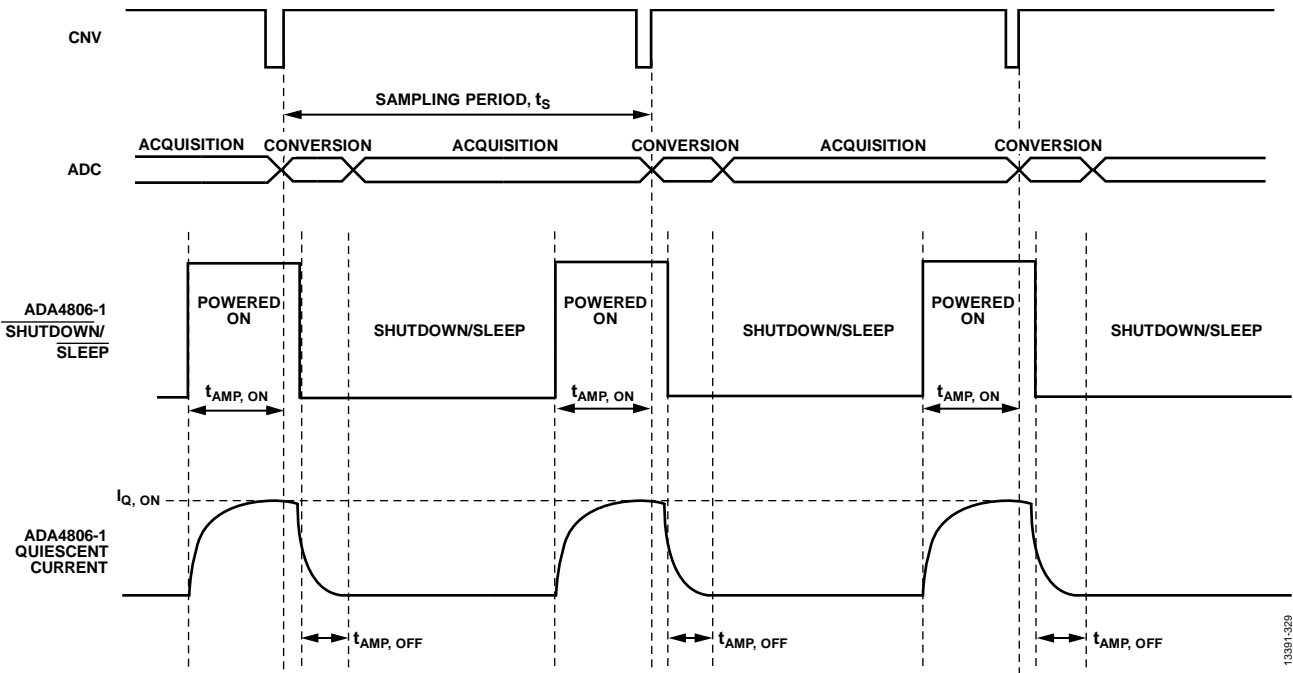


図 63. タイミング波形

図 64 に、+6 V の単電源で動作する ADA4806-1 に関して、消費電力スケールなしの場合と、SHUTDOWN ピンおよび SLEEP ピンを介した消費電力スケールありの場合の静止電力を示します。消費電力スケールなしの場合、ADA4806-1 はサンプリング周波数にかかわらず一定の電力を消費します (式 1 を参照)。

$$P_Q = I_Q \times V_S \tag{1}$$

消費電力スケールありの場合、静止電力は、アンプのオン時間 $t_{AMP, ON}$ とサンプリング時間 t_S の比率に比例するようになります。

$$P_Q = \left(I_{Q_on} \times V_S \times \frac{t_{AMP, ON}}{t_S} \right) + \left(I_{Q_off} \times V_S \times \frac{t_S - t_{AMP, ON}}{t_S} \right) \tag{2}$$

このため、ADA4806-1 をシャットダウン/スリープ・モードと通常消費電力モード間でダイナミックに切り換えることで、ドライバの静止電力はサンプリング・レートでスケールします。

図 64 の $t_{AMP, ON}$ は、SHUTDOWN ピンの場合は 3 μ s で、SLEEP ピンの場合は 0.5 μ s です。

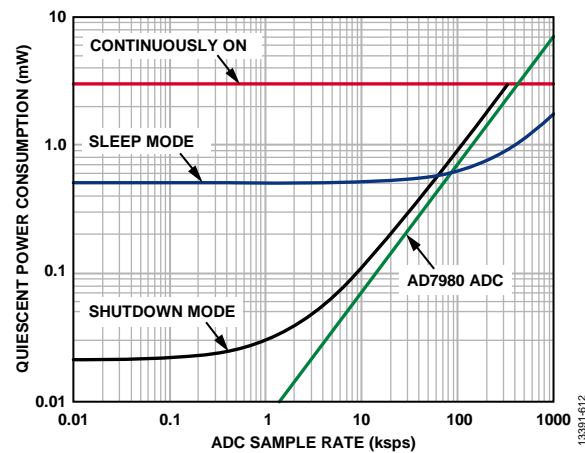


図 64. ADA4806-1 の静止消費電力と ADC サンプル・レートの関係、ダイナミック消費電力スケール使用時

シングルエンドから差動への変換

ほとんどの高分解能 ADC には、コモンモード・ノイズと高調波歪みを低減するための差動入力があります。このため、ADC を駆動するには、アンプを使用してシングルエンド信号を差動信号に変換する必要があります。

シングルエンド信号を差動信号に変換するための一般的な方法として、差動アンプを使用する方法と、図 65 に示しているように 2 つのアンプを構成する方法があります。差動アンプを使用する方法では優れた性能を得られ、2 つのオペアンプを使用するソリューションではシステム・コストを低く抑えることができます。ADA4806-1 は両方の長所を併せ持っているため、トレードオフを気にする必要がなくなります。低い高調波歪み、低いオフセット電圧、および低いバイアス電流により、高分解能 ADC の性能に適切な差動出力を生成できます。

図 65 に、ADA4806-1 を使用してシングルエンド信号を差動出力に変換する方法を示します。最初のアンプは出力がゲイン +1 に設定され、その後反転されて相補信号を生成します。次に差動出力が 18 ビット、1 MSPS SAR ADC である AD7982 を駆動します。R1 と R2 の値を小さくして、さらにノイズを低減できます。ただし、これにより消費電力が増加します。ADC ドライバのローパス・フィルタが ADC へのノイズを制限します。

10 kHz 信号でのシステム全体の計測した SNR、THD、SINAD は、それぞれ 93 dB、113 dBc、93 dB です。これは、10 kHz での ENOB が 15.1 であることを意味し、AD7982 の性能と互換性があります。表 11 に、選択した入力周波数でのこのセットアップの性能を示します。

表 11. 差動信号で AD7982 を駆動するための、選択した入力周波数でのシステム性能

Input Frequency (kHz)	Results			
	SNR (dB)	THD (dBc)	SINAD (dB)	ENOB
1	93	104	93	15.1
10	93	113	93	15.1
20	93	110	93	15.1
50	92	102	91	14.8
100	89	96	88	14.3

レイアウト時の考慮事項

最高の性能を実現するためには、基板レイアウト、信号ルーティング、電源バイパス、グラウンド配置に注意を払い熟考する必要があります。

グラウンド・プレーン

ADA4806-1 の入力と出力の下と周囲の領域にはグラウンドを設けないことが重要です。グラウンド・プレーンとデバイスの入力パッドおよび出力パッドとの間に形成される浮遊容量は、高速アンプ性能を低下させます。反転入力の浮遊容量とアンプ入力容量により、位相マージンが低下して安定性が損なわれます。出力の浮遊容量により帰還ループ内に極が形成されて、位相マージンが低下して回路が不安定になります。

電源のバイパス

電源のバイパスは ADA4806-1 の性能に影響するため重要です。各電源ピンからグラウンドへコンデンサを並列接続する方法が最も効果的です。小さい値のセラミック・コンデンサは優れた高周波応答を提供し、大きい値のセラミック・コンデンサは優れた低周波性能を提供します。

値とサイズが異なるコンデンサを並列接続することで、広い周波数帯域にわたって電源ピンの AC インピーダンスを低くすることができます。バイパス・コンデンサにより PSRR 性能の低下を軽減できるため、これは特にアンプの PSRR がロールオフし始めるときにアンプへのノイズ混入を小さくするのに重要です。

最小値のコンデンサは、アンプと同じ側の基板面に配置し、できるだけアンプの電源ピンの近くに配置します。コンデンサのグラウンド・ピンは、直接グラウンド・プレーンに接続します。

0508 ケース・サイズの 0.1 μF セラミック・コンデンサを使用することを推奨します。0508 ケース・サイズは、低い直列インダクタンスと優れた高周波性能を提供します。10 μF 電解コンデンサを 0.1 μF コンデンサと並列に配置します。回路のパラメータによっては、コンデンサを追加することで性能を強化できます。回路ごとに違いがあるため、最高の性能を実現するには個別に解析する必要があります。

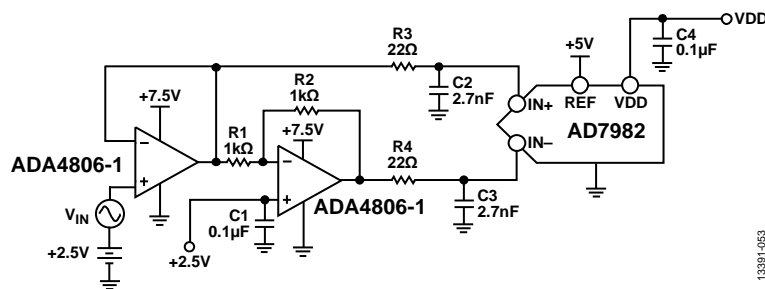
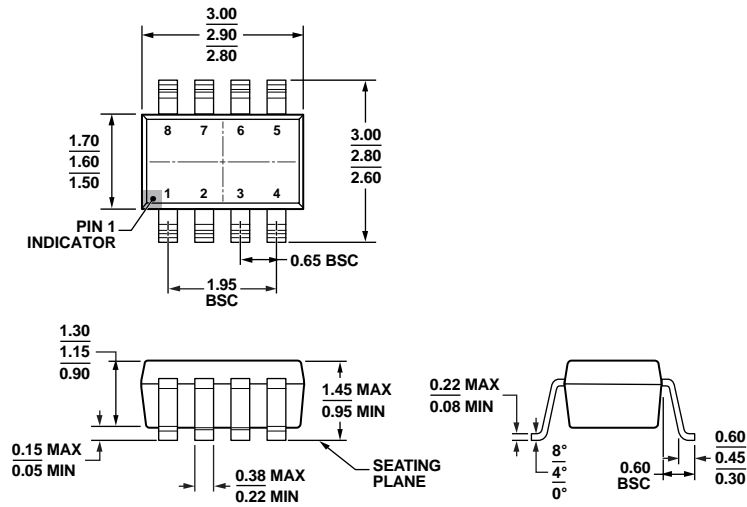


図 65. ADA4806-1 による AD7982 の駆動

外形寸法



COMPLIANT TO JEDEC STANDARDS MO-178-BA

図 66.8 ピン、スモール・アウトライン・トランジスタ・パッケージ [SOT-23] (RJ-8)

寸法単位: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADA4806-1ARJZ-R2	-40°C to +125°C	8-Lead Small Outline Transistor Package [SOT-23]	RJ-8
ADA4806-1ARJZ-R7	-40°C to +125°C	8-Lead Small Outline Transistor Package [SOT-23]	RJ-8
ADA4806-1RJ-EBZ		Evaluation Board for 8-Lead SOT-23	

¹Z = RoHS 準拠製品。