

この製品のデータシート内容に不足がありましたので、お詫びして添付いたします。

この Appendix は、2015 年 7 月 7 日現在、アナログ・デバイセズ株式会社で確認した内容を記したものです。

なお、英語のデータシート改版時に、これらの内容が加筆される場合があります。

Appendix 作成年月日：2015 年 7 月 7 日

製品名：ADA4350

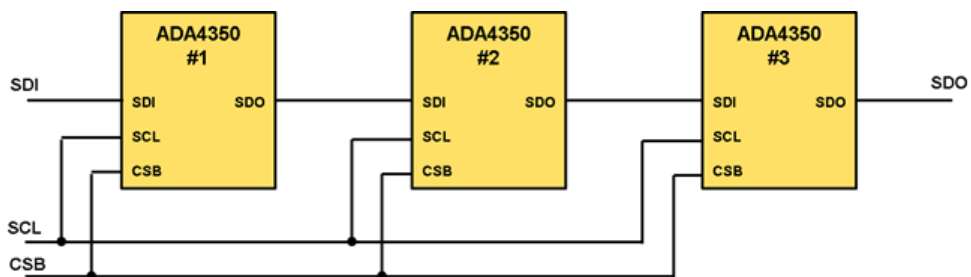
対象となるデータシートのリビジョン(Rev)：Rev.0

1. 内部レジスタのリードバック

ADA4350 の内部制御レジスタの内容は、SDO ピンを通して読み出す（リードバック）ことができます。この動作のタイミングは図 3 に示す通りです。最初に読み出し動作を素子に指示するため、リードバック・コマンドの書き込みが必要です。24 ビット・ワードの Bit23（データの最初のビット）をロジック 1 にして書き込むと、次のフレームで 24 ビットのデータが SDO から出力されます。この時データは、MSB より出力されます。最初の書き込みと、次の読み出しフレームの間には、必ず \overline{CS} を一度ロジック 1 に戻す必要があります。出力されるデータは、表 14 に示されています

2. デイジーチェーン接続

ADA4350 は、複数の素子を直列に接続し一組の制御線でコントロールすることができます。N 個の ADA4350 を下図のように接続（デイジーチェーン接続）すると、内部の制御レジスタが直列に接続されて動作し、 $24 \times N$ ビットの 1 本のシフト・レジスタとみなすことができます。



ADA4350 デイジーチェーン 接続図

デジチェーン接続（続き）

ADA4350 をデジチェーン接続で使用する場合は、制御レジスタの Bit14 (SDO Enable) をロジック 0 に設定します。データワードは、最も上流の素子（図では#1 の素子）の SDI から入力しますが、このデータは一番下流の素子（図では#3 の素子）のためのデータから始まります。必要なビット数のデータを書き込んだ後、 \overline{CS} 信号をロジック 1 に戻すと、それぞれの素子に制御コードが書き込まれます。書き込み、読み出しともにデジチェーンでの動作が可能ですが、1 回の動作でそれらを混在させることはできません。24×N ビットのひとつのシフト・レジスタとして扱ってください。



ADCドライバ内蔵の FET入力アナログ・フロントエンド

データシート

ADA4350

特長

- 低ノイズ低入力バイアス電流のFET入力アンプを内蔵
 - 非常に小さい入力バイアス電流: 25°C で ± 0.25 pA (typ)
 - 低入力電圧ノイズ
 - 10 Hz、5 V 電源で 92 nV/ $\sqrt{\text{Hz}}$ (typ)
 - 100 kHz、 ± 5 V 電源で 5 nV/ $\sqrt{\text{Hz}}$ (typ)
- ゲイン帯域幅積: 175 MHz
- 入力容量
 - 差動モード: 3 pF (typ)
 - 同相モード: 2 pF (typ)
- ゲイン設定切り替え機能を内蔵
 - サンプリングおよび帰還スイッチのオフ・リーク: ± 0.5 pA (typ)
 - ワーストケース $t_{\text{ON}}/t_{\text{OFF}}$ 時間: 105 ns (typ)/65 ns (typ)
- A/Dコンバータ(ADC)ドライバ・アンプを内蔵
 - 差動モードおよびシングルエンド・モード
 - 調整可能な出力同相モード電圧
 - ± 5 V 電源で -5 V ~ $+3.8$ V (typ)
 - 広い出力電圧振幅: ± 5 V 電源で最小 ± 4.8 V
 - リニアな出力電流: ± 5 V 電源で 18 mA rms (typ)
- すべての機能をSPIまたはパラレル・スイッチから制御
- 広い動作電圧範囲: 3.3 V ~ 12 V
- ± 5 V フル・システムでの静止電流: 8.5 mA (typ)

アプリケーション

- 電流/電圧 (IV) 変換
- フォトダイオードのプリアンプ
- 化学分析器
- 質量分析
- 分子分光学
- レーザーLED レシーバ
- データ・アクイジション・システム

概要

ADA4350 は、検出したパラメータに比例する電流を出力する光検出器 (PD: フォト・ディテクタ) またはその他のセンサー用、あるいはダイナミックレンジを広くするために非常に正確なゲイン・レベルを選択する必要がある電圧入力アプリケーション用の、アナログ・フロントエンドです。

ADA4350 は、FET 入力アンプ、スイッチング回路、ADC ドライバを内蔵し、すべての機能はシリアル・ペリフェラル・インターフェース (SPI) またはパラレル制御ロジックから設定することができます。FET 入力アンプの電圧ノイズと電流ノイズは非常に低いため、広い範囲の光検出器 (フォト・ディテクタ)、センサー、高精度データ・アクイジション・システムと組み合わせる優れた選択肢です。

内蔵のスイッチング回路を使うと、最大 6 種類の外部設定可能な帰還回路を個別に選択することができます。帰還回路用の外付け部品を使い、光検出器またはセンサーの能力に合わせてシステムを容易に最適化することができます。この機能の中では、必要に応じて低温度ドリフト抵抗を使うことも可能です。

スイッチング回路は誤差を最小限にするよう設計され、信号の経路に加わる誤差が、実質的にゼロとなるよう作られています。出力ドライバはシングルエンド・モードまたは差動モードで使用できるため、この後ろに接続される ADC 入力への駆動に最適です。

ADA4350 は、+3.3 V の単電源または ± 5 V の両電源で動作できるため、ディテクタの極性を選択する際に柔軟な対応を提供します。鉛フリーの 28 ピン TSSOP パッケージを採用し、動作は -40°C ~ $+85^{\circ}\text{C}$ の温度範囲で規定されています。共用ピンの名前は、関連する側の機能で参照してください。

機能ブロック図

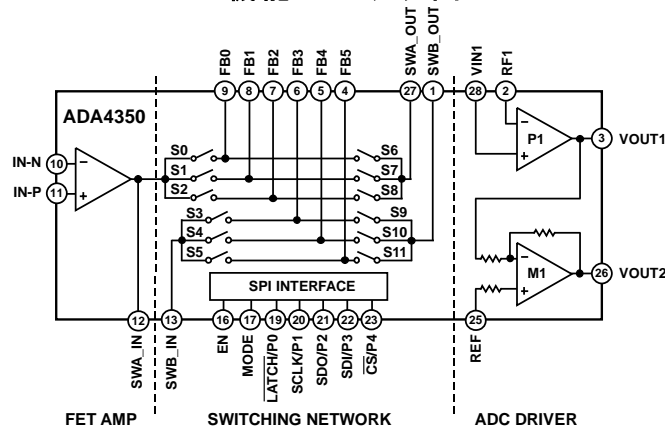


図 1.

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本誌記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

目次

特長.....	1	代表的な性能特性.....	17
アプリケーション.....	1	フル・システム.....	17
概要.....	1	FET 入力アンプ.....	19
機能ブロック図.....	1	ADC ドライバ.....	22
改訂履歴.....	2	テスト回路.....	26
仕様.....	3	動作原理.....	27
±5 V フル・システム.....	3	ケルビン・スイッチング技術.....	27
±5 V FET 入力アンプ.....	4	アプリケーション情報.....	28
±5 V 内蔵スイッチング回路とデジタル・ピン.....	5	ADA4350 の設定.....	28
±5 V ADC ドライバ.....	6	マニュアルあるいはパラレル・インターフェースによるトランスインピーダンス・ゲイン・パスの選択.....	28
5 V フル・システム.....	8	SPI インターフェースからのトランスインピーダンス・ゲイン・パスの選択 (シリアル・モード).....	28
5 V FET 入力アンプ.....	9	SPICE モデル.....	30
5 V 内蔵スイッチング回路とデジタル・ピン.....	10	トランスインピーダンス・アンプ設計の方法.....	32
5 V ADC ドライバ.....	11	トランスインピーダンス・ゲイン・アンプの性能.....	34
タイミング仕様.....	13	低い帰還抵抗 R_{FX} の影響.....	35
絶対最大定格.....	15	大きな帰還抵抗値を実現する T 回路の使用.....	36
熱抵抗.....	15	外形寸法.....	37
最大消費電力.....	15	オーダー・ガイド.....	37
ESD の注意.....	15		
ピン配置およびピン機能説明.....	16		

改訂履歴

4/15—Revision 0: Initial Version

仕様

±5 V システム全体の仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = +5\text{ V}$ 、 $-V_S = -5\text{ V}$ 、 $R_L = 1\text{ k}\Omega$ 差動。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = -5$, $V_{OUT} = 200\text{ mV p-p}$		20		MHz
	$G = -5$, $V_{OUT} = 2\text{ V p-p}$		12		MHz
Slew Rate	$V_{OUT} = 2\text{ V step}$, 10% to 90%		60		V/ μs
HARMONIC PERFORMANCE					
Harmonic Distortion (HD2/HD3)	$G = -5$, $f_C = 100\text{ kHz}$		-95/-104		dBc
	$G = -5$, $f_C = 1\text{ MHz}$		-77/-78		dBc
DC PERFORMANCE					
Input Bias Current	At 25°C		± 0.25	± 1	pA
	At 85°C		± 8	± 25	pA
INPUT CHARACTERISTICS					
Input Resistance	Common mode		100		$\text{G}\Omega$
Input Capacitance	Common mode		2		pF
	Differential mode		3		pF
Input Common-Mode Voltage Range	Common-mode rejection ratio (CMRR) > 80 dB		-4.5 to +3.8		V
	CMRR > 68 dB		-5 to +3.9		V
Common-Mode Rejection	$V_{CM} = \pm 3.0\text{ V}$	92	104		dB
OUTPUT CHARACTERISTICS					
Linear Output Current	$V_{OUT} = 4\text{ V p-p}$, 60 dB spurious-free dynamic range (SFDR)		18		mA rms
Short-Circuit Current	Sinking/sourcing		43/76		mA
Settling Time to 0.1%	$G = -5$, $V_{OUT} = 2\text{ V step}$		100		ns
POWER SUPPLY					
Operating Range		3.3		12	V
Quiescent Current	Enabled		8.5	10	mA
	M1 disabled (see Figure 1)		7		mA
	All disabled		2		μA
Positive Power Supply Rejection Ratio			90		dB
Negative Power Supply Rejection Ratio			85		dB

±5 V FET 入カンプ

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = +5\text{ V}$ 、 $-V_S = -5\text{ V}$ 、 $R_L = 1\text{ k}\Omega$ 。

表 2.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = -5$, $V_{OUT} = 100\text{ mV p-p}$ $G = -5$, $V_{OUT} = 2\text{ V p-p}$		26 24		MHz MHz
Gain Bandwidth Product			175		MHz
Slew Rate	$V_{OUT} = 2\text{ V step}$, 10% to 90%		100		V/ μs
Settling Time to 0.1%	$G = -5$, $V_{OUT} = 2\text{ V step}$		28		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (HD2/HD3)	$f = 100\text{ kHz}$, $V_{OUT} = 2\text{ V p-p}$, $G = -5$ $f = 1\text{ MHz}$, $V_{OUT} = 2\text{ V p-p}$, $G = -5$		-106/-114 -83/-93		dBc dBc
Input Voltage Noise	$f = 10\text{ Hz}$ $f = 100\text{ kHz}$		85 5		nV/ $\sqrt{\text{Hz}}$ nV/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Offset Voltage			15	80	μV
Input Offset Voltage Drift	From -40°C to $+85^\circ\text{C}$ From 25°C to 85°C		0.1 0.1	1.6 1.0	$\mu\text{V}/^\circ\text{C}$ $\mu\text{V}/^\circ\text{C}$
Input Bias Current	At 25°C At 85°C		± 0.25 ± 8	± 1 ± 25	pA pA
Input Bias Offset Current	At 25°C At 85°C		± 0.1 ± 0.5	± 0.8	pA pA
Open-Loop Gain	$V_{OUT} = \pm 2\text{ V}$	106	115		dB
INPUT CHARACTERISTICS					
Input Resistance	Common mode		100		G Ω
Input Capacitance	Common mode Differential mode		2 3		pF pF
Input Common-Mode Voltage Range	CMRR > 80 dB CMRR > 68 dB		-4.5 to +3.8 -5 to +3.9		V V
Common-Mode Rejection Ratio	$V_{CM} = \pm 3\text{ V}$	92	115		V
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	$V_{OUT} = V_S \pm 10\%$		60		ns
Output Voltage Swing	$G = +21$, $R_F = 1\text{ k}\Omega$, R_L open measured at FBx $G = +21$, $R_F = 100\text{ k}\Omega$, R_L open measured at FBx	-3.6 to +3.9 -4.7 to +4.8	-4.05 to +4.07 -4.9 to +4.86		V V
Linear Output Current	$V_{OUT} = 2\text{ V p-p}$, 60 dB SFDR		18		mA rms
Short-Circuit Current	Sinking/sourcing		41/45		mA
POWER SUPPLY					
Operating Range		3.3		12	V
Positive Power Supply Rejection Ratio		90	109		dB
Negative Power Supply Rejection Ratio		90	109		dB

±5 V 内蔵スイッチング回路とデジタル・ピン

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = +5\text{ V}$ 、 $-V_S = -5\text{ V}$ 。帰還スイッチとサンプリング・スイッチの表記については図 1 を参照してください。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FEEDBACK/SAMPLE ANALOG SWITCH						
Analog Signal Range			-5		+5	V
Switch On-Resistance						
Feedback	$R_{ON, FB}$	For S0 to S2, $V_{CM} = 0\text{ V}$ $T_A = 85^\circ\text{C}$		149	196	Ω
		For S3 to S5, $V_{CM} = 0\text{ V}$ $T_A = 85^\circ\text{C}$		149	196	Ω
		For S6 to S8, $V_{CM} = 0\text{ V}$ $T_A = 85^\circ\text{C}$		297	356	Ω
Sampling	$R_{ON, S}$	For S9 to S11, $V_{CM} = 0\text{ V}$ $T_A = 85^\circ\text{C}$		297	356	Ω
				388		Ω
On-Resistance Match Between Channels						
Feedback Resistance	$\Delta R_{ON, FB}$	$V_{CM} = 0\text{ V}$		2	15	Ω
Sampling Resistance	$\Delta R_{ON, S}$	$V_{CM} = 0\text{ V}$		2	14	Ω
SWITCH LEAKAGE CURRENTS						
Sampling and Feedback Switch Off Leakage	$I_{S(OFF)}$	$T_A = 85^\circ\text{C}$	± 0.5		± 1.7	pA
			± 40		± 120	pA
DYNAMIC CHARACTERISTICS						
Power-On Time	t_{ON}	DVDD = 5 V DVDD = 3.3 V		76		ns
				80		ns
Power-Off Time	t_{OFF}	DVDD = 5 V DVDD = 3.3 V		86		ns
				90		ns
Off Isolation		$R_L = 50\ \Omega$, $f = 1\text{ MHz}$				
Feedback Switches				-92		dB
Sampling Switches				-118		dB
Channel-to-Channel Crosstalk		$R_L = 50\ \Omega$, $f = 1\text{ MHz}$		-86		dB
Worst-Case Switch Feedback Capacitance (Switch Off)	$C_{FB(OFF)}$			0.1		pF
THRESHOLD VOLTAGES FOR DIGITAL INPUT PINS						
Input High Voltage	V_{IH}	EN, MODE, DGND, LAT \overline{CH} /P0, SCLK/P1, SDO/P2, SDI/P3, CS/P4 ¹ DVDD = 5 V	2.0			V
		DVDD = 3.3 V	1.5			V
Input Low Voltage	V_{IL}	DVDD = 5 V			1.4	V
		DVDD = 3.3 V			1.0	V
DIGITAL SUPPLIES						
Digital Supply Range		DVDD, DGND		3.3 to 5.5		V
Quiescent Current		Enabled		50		μA
		Disabled		0.6		μA
+V _S to DGND Head Room				≥ 3.3		V

¹ 共用ピンの 1 つの機能を参照する場合、ピン名の仕様に係る部分のみを記載します。共用ピンのフル名称については、ピン配置およびピン機能説明のセクションを参照してください。

±5 V ADC ドライバ

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = +5\text{ V}$ 、 $-V_S = -5\text{ V}$ 。P1 アンプと M1 アンプについては図 1 を参照してください。差動の場合 $R_L = 1\text{ k}\Omega$ で、シングルエンドの場合 $R_L = 500\ \Omega$ です。

表 4.

Parameter	Test Conditions/Comments ¹	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	When used differentially, $V_{OUT} = 0.1\text{ V p-p}$		38		MHz
	When used differentially, $V_{OUT} = 2.0\text{ V p-p}$		16		MHz
	When P1 is used, $V_{OUT} = 50\text{ mV p-p}$		55		MHz
	When P1 is used, $V_{OUT} = 1.0\text{ V p-p}$		17		MHz
	When M1 is used, $V_{OUT} = 50\text{ mV p-p}$		45		MHz
	When M1 is used, $V_{OUT} = 1.0\text{ V p-p}$		21		MHz
Overdrive Recovery Time	Positive (+) recovery/negative (-) recovery for P1		200/180		ns
	Positive (+) recovery/negative (-) recovery for M1		100/100		ns
Slew Rate	When differentially used, $V_{OUT} = 2\text{ V step}$		57		V/ μs
	When P1 or M1 is single-ended, $V_{OUT} = 1\text{ V step}$		30		V/ μs
Settling Time 0.1%	When used differentially, $V_{OUT} = 2\text{ V step}$		95		ns
	When P1 is used, $V_{OUT} = 1\text{ V step}$		80		ns
	When M1 is used, $V_{OUT} = 1\text{ V step}$		80		ns
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion (HD2/HD3)	When used differentially, $f_C = 100\text{ kHz}$, $V_{OUT} = 4\text{ V p-p}$		-105/-109		dBc
	When used differentially, $f_C = 1\text{ MHz}$, $V_{OUT} = 4\text{ V p-p}$		-75/-73		dBc
	When P1 is used, $f_C = 100\text{ kHz}$, $V_{OUT} = 2\text{ V p-p}$		-112/-108		dBc
	When P1 is used, $f_C = 1\text{ MHz}$, $V_{OUT} = 2\text{ V p-p}$		-75/-73		dBc
	When M1 is used, $f_C = 100\text{ kHz}$, $V_{OUT} = 2\text{ V p-p}$		-98/-103		dBc
	When M1 is used, $f_C = 1\text{ MHz}$, $V_{OUT} = 2\text{ V p-p}$		-70/-69		dBc
Referred to Input (RTI) Voltage Noise	For P1, $f = 10\text{ Hz}$		55		nV/ $\sqrt{\text{Hz}}$
	For P1, $f = 100\text{ kHz}$		5		nV/ $\sqrt{\text{Hz}}$
Referred to Output (RTO) Voltage Noise	For P1 and M1, $f = 10\text{ Hz}$, measured at VOUT2		95		nV/ $\sqrt{\text{Hz}}$
	For P1 and M1, $f = 100\text{ kHz}$, measured at VOUT2		16		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\text{ kHz}$, referred to P1		1.1		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Output Offset Voltage	Differential		0.125	0.5	mV
Output Offset Voltage Drift	Differential		0.7	13	$\mu\text{V}/^\circ\text{C}$
Input Offset Voltage	Single-ended, P1 only		50	180	μV
	Single-ended, M1 only		40	180	μV
Input Offset Voltage Drift	Single-ended, P1 only		0.2	4.75	$\mu\text{V}/^\circ\text{C}$
	Single-ended, M1 only		0.4	3.6	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	P1 only at VIN1 pin		60	220	nA
	P1 only at RF1 pin		60	325	nA
	M1 at REF pin		60	200	nA
Input Offset Current	P1 only		60	260	nA
Open-Loop Gain	P1 only, $V_{OUT} = \pm 2\text{ V}$	102	112		dB
	M1 only	1.99	1.9996	2.01	V/V
Gain Error		-0.5		+0.5	%
Gain Error Drift			0.6	1.9	ppm/ $^\circ\text{C}$
INPUT CHARACTERISTICS					
Input Resistance	VIN1 and REF		200		M Ω
Input Capacitance	VIN1 and REF		1.4		pF
Input Common-Mode Voltage Range			-5 to +3.8		V
Common-Mode Rejection Ratio	For P1, $V_{CM} = \pm 3.0\text{ V}$	82	100		dB

Parameter	Test Conditions/Comments ¹	Min	Typ	Max	Unit
OUTPUT CHARACTERISTICS					
Output Voltage Swing	$R_L = \text{no load, single-ended}$	± 4.8	± 4.83		V
	$R_L = 500 \Omega, \text{single-ended}$	± 4.55	± 4.6		V
Output Common-Mode Voltage Range			-5 to +3.8		V
Linear Output Current	P1 or M1, $V_{OUT} = 2 \text{ V p-p}, 60 \text{ dB SFDR}$		18		mA rms
	Differential output, $V_{OUT} = 4 \text{ V p-p}, 60 \text{ dB SFDR}$		18		mA rms
Short Circuit Current	P1 or M1, sinking/sourcing		43/76		mA
Capacitive Load Drive	When used differentially at each V_{OUTx} , 30% overshoot, $V_{OUT} = 200 \text{ mV p-p}$		33		pF
	When P1/M1 is used, 30% overshoot, $V_{OUT} = 100 \text{ mV p-p}$		47		pF
POWER SUPPLY					
Operating Range		3.3		12	V
Positive Power Supply Rejection Ratio	For P1	90	106		dB
	For M1	86	100		dB
Negative Power Supply Rejection Ratio	For P1	80	100		dB
	For M1	78	90		dB

¹ この表内の P1 と M1 は、図 1 のアンプを表します。

5 V システム全体の仕様

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = 5\text{ V}$ 、 $-V_S = 0\text{ V}$ 、 $R_F = 1\text{ k}\Omega$ 差動。

表 5.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = -5$, $V_{OUT} = 200\text{ mV p-p}$		15		MHz
	$G = -5$, $V_{OUT} = 1\text{ V p-p}$		14		MHz
Slew Rate	$V_{OUT} = 2\text{ V step}$, 10% to 90%		30		V/ μs
HARMONIC PERFORMANCE					
Harmonic Distortion (HD2/HD3)	$G = -5$, $f_C = 100\text{ kHz}$		-85/-94		dBc
	$G = -5$, $f_C = 1\text{ MHz}$		-66/-75		dBc
Input Voltage Noise	$f = 10\text{ Hz}$		92		nV/ $\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$		4.4		nV/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Bias Current	At 25°C		± 0.35	± 1.6	pA
	At 85°C		± 8.5	± 30	pA
INPUT CHARACTERISTICS					
Input Resistance	Common mode		100		G Ω
Input Capacitance	Common mode		2		pF
	Differential mode		3		pF
Input Common-Mode Voltage Range	CMRR > 80 dB		0.5 to 3.8		V
	CMRR > 68 dB		0 to 3.9		V
Common-Mode Rejection	$V_{CM} = \pm 0.5\text{ V}$	88	94		dB
OUTPUT CHARACTERISTICS					
Linear Output Current	$V_{OUT} = 1\text{ V p-p}$, 60 dB SFDR		9		mA rms
Short-Circuit Current	Sinking/sourcing, $R_L < 1\ \Omega$		41/63		mA
Settling Time to 0.1%	$G = -5$, $V_{OUT} = 2\text{ V step}$		130		ns
POWER SUPPLY					
Operating Range		3.3		12	V
Quiescent Current	Enabled		8	9	mA
	M1 disabled (see Figure 1)		6.5		mA
	All disabled		2		μA
Positive Power Supply Rejection Ratio			86		dB
Negative Power Supply Rejection Ratio			80		dB

5 V FET 入カンプ

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = 5\text{ V}$ 、 $-V_S = 0\text{ V}$ 、 $R_L = 1\text{ k}\Omega$ 。

表 6.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	$G = -5$, $V_{OUT} = 100\text{ mV p-p}$		25		MHz
	$G = -5$, $V_{OUT} = 1\text{ V p-p}$		24		MHz
Gain Bandwidth Product			175		MHz
Slew Rate	$V_{OUT} = 2\text{ V step}$, 10% to 90%		56		V/ μs
Settling Time to 0.1%	$G = -5$, $V_{OUT} = 2\text{ V step}$		60		ns
NOISE/HARMONIC PERFORMANCE					
Harmonic Distortion (HD2/HD3)	$f = 100\text{ kHz}$, $V_{OUT} = 1\text{ V p-p}$, $G = -5$		-113/-117		dBc
	$f = 1\text{ MHz}$, $V_{OUT} = 1\text{ V p-p}$, $G = -5$		-82/-83		dBc
Input Voltage Noise	$f = 10\text{ Hz}$		92		nV/ $\sqrt{\text{Hz}}$
	$f = 100\text{ kHz}$		4.4		nV/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Input Offset Voltage			25	80	μV
Input Offset Voltage Drift	From -40°C to $+85^\circ\text{C}$		0.1	1.5	$\mu\text{V}/^\circ\text{C}$
	From 25°C to 85°C		0.05	1	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	At 25°C		± 0.35	± 1.6	pA
	At 85°C		± 8.5	± 30	pA
Input Bias Offset Current	At 25°C		± 0.25	± 1.25	pA
	At 85°C		± 0.4		pA
Open-Loop Gain	$V_{OUT} = 1.5\text{ V to }3.5\text{ V}$	98	102		dB
INPUT CHARACTERISTICS					
Input Resistance	Common mode		100		G Ω
Input Capacitance	Common mode		2		pF
	Differential mode		3		pF
Input Common-Mode Voltage Range	CMRR > 80 dB		0.5 to 3.8		V
	CMRR > 68 dB		0 to 3.9		V
Common-Mode Rejection Ratio	$V_{CM} = \pm 0.5\text{ V}$	88	94		dB
OUTPUT CHARACTERISTICS					
Output Overdrive Recovery Time	$V_{OUT} = V_S \pm 10\%$, positive/negative		60/50		ns
Output Voltage Swing	$G = +21$, $R_F = 1\text{ k}\Omega$, R_L open measured at FBx	1.15 to 3.46	0.86 to 3.66		V
	$G = +21$, $R_F = 100\text{ k}\Omega$, R_L open measured at FBx	0.27 to 4.80	0.08 to 4.87		V
Linear Output Current	$V_{OUT} = 1\text{ V p-p}$, 60 dB SFDR		10		mA rms
Short-Circuit Current	Sinking/sourcing		32/38		mA
POWER SUPPLY					
Operating Range		3.3		12	V
Positive Power Supply Rejection Ratio		90	100		dB
Negative Power Supply Rejection Ratio		86	100		dB

5 V 内蔵スイッチング回路とデジタル・ピン

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = 5\text{ V}$ 、 $-V_S = 0\text{ V}$ 。帰還スイッチとサンプリング・スイッチの位置については図 1 を参照してください。

表 7.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
FEEDBACK/SAMPLE ANALOG SWITCH						
Analog Signal Range			0		5	V
Switch On Resistance						
Feedback	$R_{ON, FB}$	S0 to S2, $V_{CM} = 2.5\text{ V}$ $T_A = 85^\circ\text{C}$		308	390	Ω
		S3 to S5, $V_{CM} = 2.5\text{ V}$ $T_A = 85^\circ\text{C}$		308	390	Ω
		S6 to S8, $V_{CM} = 2.5\text{ V}$ $T_A = 85^\circ\text{C}$		384		Ω
Sampling	$R_{ON, S}$	S9 to S11, $V_{CM} = 2.5\text{ V}$ $T_A = 85^\circ\text{C}$		610	770	Ω
				762		Ω
				612	770	Ω
				764		Ω
On-Resistance Match Between Channels						
Feedback Resistance	$\Delta R_{ON, FB}$	$V_{CM} = 2.5\text{ V}$		3	21	Ω
Sampling Resistance	$\Delta R_{ON, S}$	$V_{CM} = 2.5\text{ V}$		3	23	Ω
SWITCH LEAKAGE CURRENTS						
Sampling and Feedback Switch Off Leakage	$I_{S(OFF)}$	$T_A = 85^\circ\text{C}$		± 0.4	± 1.2	pA
				± 30	± 80	pA
DYNAMIC CHARACTERISTICS						
Power-On Time	t_{ON}	DVDD = 3.3 V		105		ns
Power-Off Time	t_{OFF}	DVDD = 3.3 V		65		ns
Off Isolation		$R_L = 50\ \Omega$, $f = 1\text{ MHz}$				
Feedback Switches				-93		dB
Sampling Switches				-116		dB
Channel-to-Channel Crosstalk		$R_L = 50\ \Omega$, $f = 1\text{ MHz}$		-83		dB
Worst-Case Switch Feedback Capacitance (Switch Off)	$C_{FB(OFF)}$			0.1		pF
THRESHOLD VOLTAGES FOR DIGITAL INPUT PINS						
Input High Voltage	V_{IH}	EN, MODE, DGND, LATCH/P0, SCLK/P1, SDO/P2, SDI/P3, CS/P4 ¹	2.0			V
			1.5			V
Input Low Voltage	V_{IL}	DVDD = 5 V			1.4	V
		DVDD = 3.3 V			1.0	V
DIGITAL SUPPLIES						
Digital Supply Range		DVDD, DGND		3.3 to 5.5		V
Quiescent Current		Enabled		50		μA
		Disabled		0.6		μA
+V _S to DGND Head Room				≥ 3.3		V

¹ 共用ピンの 1 つの機能を参照する場合、ピン名の仕様に係る部分のみを記載します。共用ピンのフル名称については、ピン配置およびピン機能説明のセクションを参照してください。

5 V ADC ドライバ

特に指定がない限り、 $T_A = 25^\circ\text{C}$ 、 $+V_S = 5\text{ V}$ 、 $-V_S = 0\text{ V}$ 。P1 アンプと M1 アンプについては図 1 を参照してください。差動の場合 $R_L = 1\text{ k}\Omega$ で、シングルエンドの場合 $R_L = 500\ \Omega$ です。

表 8.

Parameter	Test Conditions/Comments ¹	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE					
-3 dB Bandwidth	When used differentially, $V_{OUT} = 0.1\text{ V p-p}$		33		MHz
	When used differentially, $V_{OUT} = 2.0\text{ V p-p}$		16		MHz
	When P1 is used, $V_{OUT} = 50\text{ mV p-p}$		47		MHz
	When P1 is used, $V_{OUT} = 1.0\text{ V p-p}$		16		MHz
	When M1 is used, $V_{OUT} = 50\text{ mV p-p}$		37		MHz
	When M1 is used, $V_{OUT} = 1.0\text{ V p-p}$		18		MHz
Overdrive Recovery Time	For P1, positive (+) recovery/ negative (-) recovery		200/200		ns
	For M1, positive (+) recovery/ negative (-) recovery		140/120		ns
Slew Rate	When differentially used, $V_{OUT} = 2\text{ V step}$		37		V/ μs
	When P1 or M1 is single-ended, $V_{OUT} = 1\text{ V step}$		20		V/ μs
Settling Time 0.1%	When used differentially, $V_{OUT} = 2\text{ V step}$		75		ns
	When P1 is used, $V_{OUT} = 1\text{ V step}$		60		ns
	When M1 is used, $V_{OUT} = 1\text{ V step}$		60		ns
NOISE/DISTORTION PERFORMANCE					
Harmonic Distortion (HD2/HD3)	When used differentially, $f_C = 100\text{ kHz}$, $V_{OUT} = 1\text{ V p-p}$		-117/-116		dBc
	When used differentially, $f_C = 1\text{ MHz}$, $V_{OUT} = 1\text{ V p-p}$		-80/-85		dBc
	When P1 is used, $f_C = 100\text{ kHz}$, $V_{OUT} = 500\text{ mV p-p}$		-108/-115		dBc
	When P1 is used, $f_C = 1\text{ MHz}$, $V_{OUT} = 500\text{ mV p-p}$		-80/-83		dBc
	When M1 is used, $f_C = 100\text{ kHz}$, $V_{OUT} = 500\text{ mV p-p}$		-103/-107		dBc
	When M1 is used, $f_C = 1\text{ MHz}$, $V_{OUT} = 500\text{ mV p-p}$		-75/-78		dBc
Referred to Input (RTI) Voltage Noise	For P1, $f = 10\text{ Hz}$		60		nV/ $\sqrt{\text{Hz}}$
	For P1, $f = 100\text{ kHz}$		5.2		nV/ $\sqrt{\text{Hz}}$
Referred to Output (RTO) Voltage Noise	For P1 and M1, $f = 10\text{ Hz}$, measured at VOUT2		140		nV/ $\sqrt{\text{Hz}}$
	For P1 and M1, $f = 100\text{ kHz}$, measured at VOUT2		18		nV/ $\sqrt{\text{Hz}}$
Input Current Noise	$f = 100\text{ kHz}$, referred to P1		1.1		pA/ $\sqrt{\text{Hz}}$
DC PERFORMANCE					
Output Offset Voltage	Differential		0.15	0.75	mV
Input Offset Voltage Drift	Differential		0.6	16	$\mu\text{V}/^\circ\text{C}$
Output Offset Voltage	Single-ended, P1 only		60	275	μV
	Single-ended, M1 only		70	250	μV
Input Offset Voltage Drift	Single-ended, P1 only		0.1	5.9	$\mu\text{V}/^\circ\text{C}$
	Single-ended, M1 only		0.3	4.5	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	P1 only at VIN1 pin		60	230	nA
	P1 only at RF1 pin		60	350	nA
	M1 only at REF pin		60	200	nA
Input Offset Current	P1 only		60	270	nA
Open-Loop Gain	P1 only, $V_{OUT} = 1.5\text{ V to }3.5\text{ V}$	94	100		dB
	M1 only	1.99	1.9995	2.01	V/V
Gain Error		-0.5		+0.5	%
Gain Error Drift			0.6	3.4	ppm/ $^\circ\text{C}$

Parameter	Test Conditions/Comments ¹	Min	Typ	Max	Unit
INPUT CHARACTERISTICS					
Input Resistance	VIN1 and REF		200		MΩ
Input Capacitance	VIN1 and REF		1.4		pF
Input Common-Mode Voltage Range			0 to 3.9		V
Common-Mode Rejection Ratio	For P1, $V_{CM} = \pm 0.5$ V	84	94		dB
OUTPUT CHARACTERISTICS					
Output Voltage Swing	$R_L =$ no load, single-ended	0.15 to 4.85	0.125 to 4.875		V
	$R_L = 500 \Omega$, single-ended	0.28 to 4.72	0.24 to 4.76		V
Output Common-Mode Voltage Range			0 to 3.9		V
Linear Output Current	For P1 or M1, $V_{OUT} = 1$ V p-p, 60 dB SFDR		4		mA rms
	Differential output, $V_{OUT} = 1$ V p-p, 60 dB SFDR		10		mA rms
Short-Circuit Current	For P1 or M1, sinking/sourcing		41/63		mA
Capacitive Load Drive	When used differentially at each V_{OUTx} , 30% overshoot, $V_{OUT} = 100$ mV p-p		33		pF
	When P1/M1 is used, 30% overshoot, $V_{OUT} = 50$ mV p-p		47		pF
POWER SUPPLY					
Operating Range		3.3		12	V
Positive Power Supply Rejection Ratio	For P1	86	104		dB
	For M1	80	94		dB
Negative Power Supply Rejection Ratio	For P1	80	92		dB
	For M1	76	88		dB

¹ この表内の P1 と M1 は、図 1 のアンプを表します。

タイミング仕様

すべての入力信号は $t_R = t_F = 2 \text{ ns}$ (DVDD の 10% から 90%) で規定し、DVDD = 3.3 V で $V_{TH} = 1.3 \text{ V}$ または DVDD = 5 V で $V_{TH} = 1.7 \text{ V}$ の電圧閾値レベルからの時間とします。設計上保証ですが、出荷テストは行いません。図 2～図 4 を参照。

表 9.

Parameter	Description ¹	DVDD = 3.3 V		DVDD = 5 V		Unit
		Min	Max	Min	Max	
t ₁	SCLK period.	20		20		ns
t ₂	SCLK positive pulse width.	10		10		ns
t ₃	SCLK negative pulse width.	10		10		ns
t ₄	$\overline{\text{CS}}$ setup time. The time required to begin sampling data after $\overline{\text{CS}}$ goes low.	1		1		ns
t ₅	$\overline{\text{CS}}$ hold time. The amount of time required for $\overline{\text{CS}}$ to be held low after the last data bit is sampled before bringing $\overline{\text{CS}}$ high. Data is latched on the $\overline{\text{CS}}$ rising edge. If LATCH is held low, data is also applied on the $\overline{\text{CS}}$ rising edge.	7		5		ns
t ₆	$\overline{\text{CS}}$ positive pulse width. The amount of time required between consecutive words.	2		1		ns
t ₇	Data setup time. The amount of time the data bit (SDI) must be set before sampling on the falling edge of SCLK.	1		1		ns
t ₈	Data hold time. The amount of time SDI must be held after the falling edge of SCLK for valid data to be sampled.	2		2		ns
t ₉	Data latched to the internal switches updated. The amount of time it takes from the latched data being applied until the internal switches are updated.		145		140	ns
t ₁₀	$\overline{\text{LATCH}}$ disabled referenced from the rising edge of $\overline{\text{CS}}$.					
t ₁₀	$\overline{\text{LATCH}}$ enabled referenced from the falling edge of LATCH.					
t ₁₁ ²	SCLK rising edge to SDO valid. The amount of time between the SCLK rising edge and the valid SDO transitions ($CL_{SDO}^3 = 20 \text{ pF}$).	3	15	3	10	ns
t ₁₂	$\overline{\text{CS}}$ rising edge to the SCLK falling edge. The amount of time required to prevent a 25 th SCLK edge from being recognized (only 24 bits allowed for valid word).	1		1		ns

¹ 共用ピンの 1 つの機能を参照する場合、ピン名の仕様に関係する部分のみを記載します。共用ピンのフル名称については、ピン配置およびピン機能説明のセクションを参照してください。

² これは、ディジーチェーン・モードとリードバック・モードの場合です。

³ CL_{SDO} は SDO 出力の容量負荷です。

シリアル・モードのタイミング図

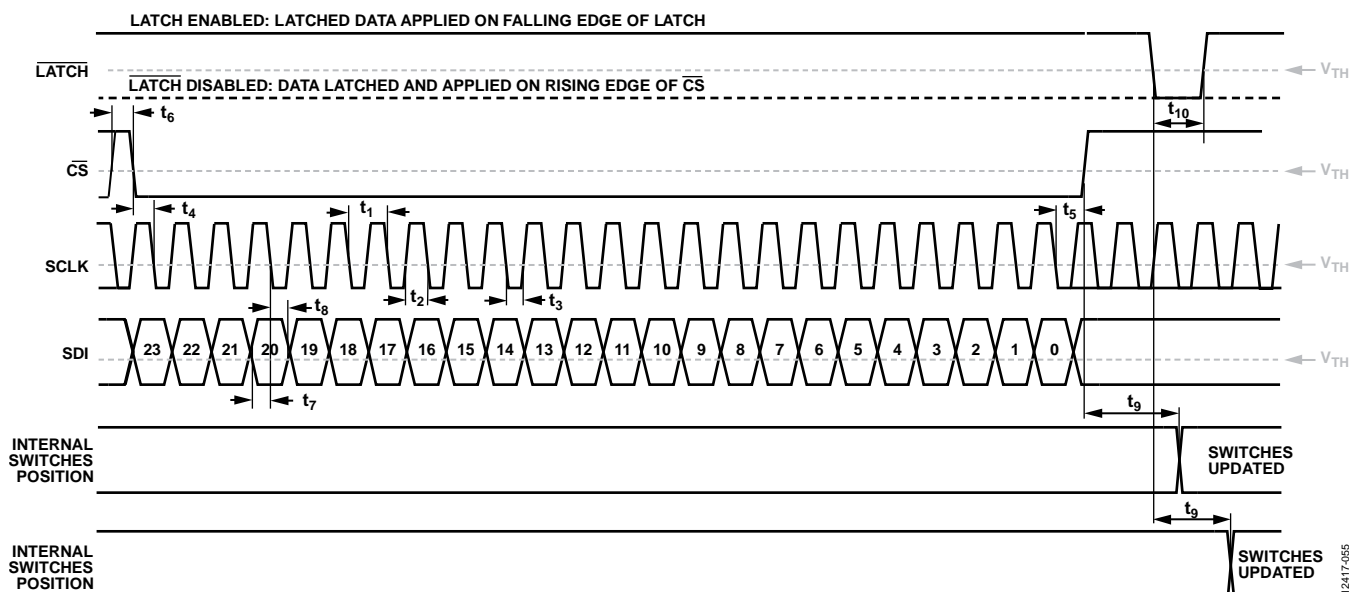


図 2. 書き込み動作

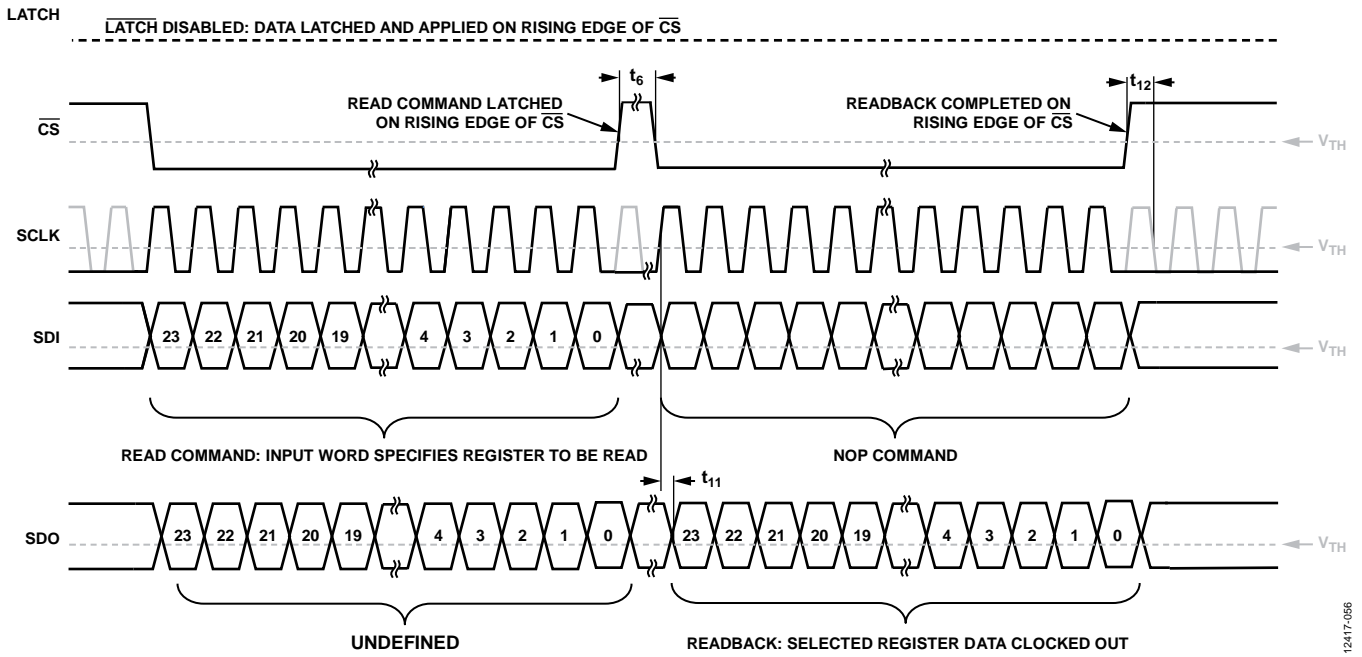


図 3. 読み出し動作

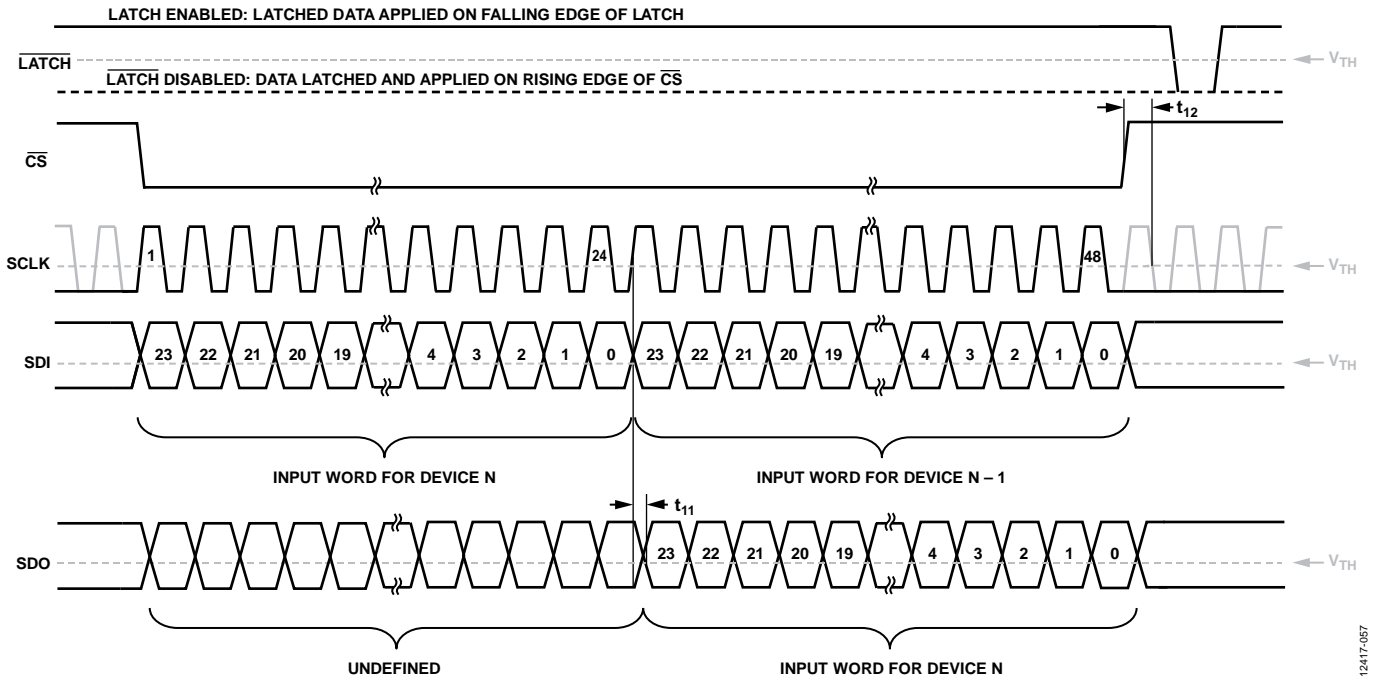


図 4. デイジーチェーン・タイミング図

絶対最大定格

表 10.

Parameter	Rating
Supply Voltage	14 V
Power Dissipation	See Figure 5
Common-Mode Input Voltage	$\pm V_S \pm 0.3 V$
Differential Input Voltage	$\pm 0.7 V$
Input Current (IN-N, IN-P, VIN1, RF1, and REF)	20 mA
Storage Temperature Range	$-65^{\circ}C$ to $+125^{\circ}C$
Operating Temperature Range	$-40^{\circ}C$ to $+85^{\circ}C$
Lead Temperature (Soldering, 10 sec)	$300^{\circ}C$
Junction Temperature	$150^{\circ}C$

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスを回路ボードにハンダ付けした状態で θ_{JA} を規定。表 11 に ADA4350 の θ_{JA} を示します。

表 11. 熱抵抗

Package Type	θ_{JA}	Unit
28-Lead TSSOP	72.4	$^{\circ}C/W$

最大消費電力

ADA4350 の安全な最大消費電力は、チップのジャンクション温度 (T_J) 上昇により制限されます。約 $150^{\circ}C$ のガラス転移温度で、プラスチックの組成が変わります。この温度規定値を一時的に超えた場合でも、パッケージからチップに加えられる応力が変化して、ADA4350 のパラメータ性能を永久的にシフトしてしまふことがあります。 $175^{\circ}C$ のジャンクション温度を長時間超えると、シリコン・デバイス内に変化が発生して、性能低下または故障の原因になることがあります。

パッケージ内の消費電力 (P_D) は、静止消費電力と ADA4350 の負荷駆動に起因するチップ内の消費電力との和になります。

静止消費電力は、電源ピン ($\pm V_S$) 間の電圧に静止電流 (I_S) を乗算して計算されます。

$P_D = \text{静止消費電力} + (\text{合計駆動電力} - \text{負荷消費電力})$

$$P_D = (\pm V_S \times I_S) + \left(\frac{\pm V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L}$$

rms 出力電圧を考慮してください。単電源動作の場合のように R_L が $-V_S$ を基準とすると、合計駆動電力は $+V_S \times I_{OUT}$ になります。rms 信号レベルが不確定の場合は、両電源の場合は中点を基準とする R_L に対して $V_{OUT} = +V_S/4$ とし、単電源の場合は $V_{OUT} = +V_S/2$ とするときの、ワーストケースを検討します。

$$P_D = (+V_S \times I_S) + \frac{(V_{OUT})^2}{R_L}$$

空気流があると放熱効果が良くなり、実質的に θ_{JA} が小さくなります。さらに、メタル・パターン、スルー・ホール、グラウンド・プレーン、電源プレーンとパッケージ・ピン/エクスポーズド・パッドが直接接触する場合、これらのメタルによっても θ_{JA} が小さくなります。

図 5 に、4 層 JEDEC 標準ボードを使った場合のパッケージ最大安全消費電力対周囲温度を示します。 θ_{JA} の値は近似値です。

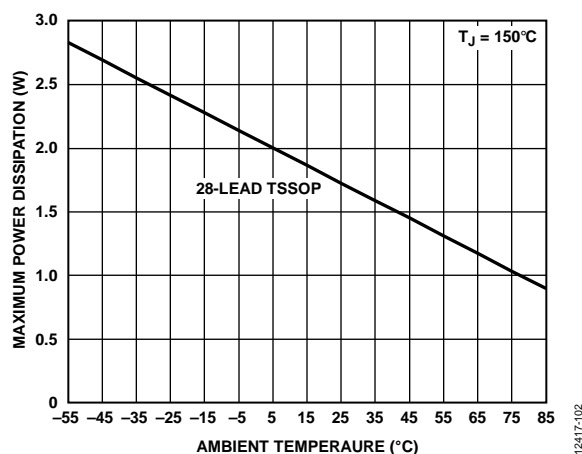


図 5. 4 層ボードの周囲温度対最大消費電力

ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

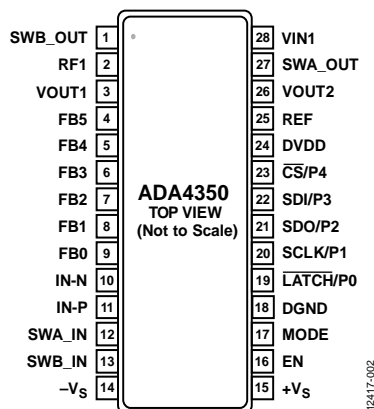


図 6. ピン配置

表 12. ピンの機能説明

ピン番号	記号	説明
1	SWB_OUT	スイッチ・グループ B (S3～S5 および S9～S11)出力。
2	RF1	出力差動アンプの帰還抵抗。
3	VOUT1	差動アンプ出力 1。
4	FB5	FET 入力アンプの帰還ピン 5。
5	FB4	FET 入力アンプの帰還ピン 4。
6	FB3	FET 入力アンプの帰還ピン 3。
7	FB2	FET 入力アンプの帰還ピン 2。
8	FB1	FET 入力アンプの帰還ピン 1。
9	FB0	FET 入力アンプの帰還ピン 0。
10	IN-N	FET 入力アンプの反転入力。
11	IN-P	FET 入力アンプの非反転入力。
12	SWA_IN	スイッチ・グループ A (S0～S2 および S6～S8)入力。
13	SWB_IN	スイッチ・グループ B (S3～S5 および S9～S11)入力。
14	-Vs	アナログ負電源。
15	+Vs	アナログ正電源。
16	EN	イネーブル・ピン。
17	MODE	モード・ピン。このピンを使って、SPI インターフェースとパラレル・インターフェースを切り替えます。
18	DGND	デジタル・グラウンド。
19	LATCH/P0	シリアル・モードではラッチ・ビット (LATCH)。パラレル・モードではパラレル・データビット 0 (P0)。
20	SCLK/P1	シリアル・モードではデジタル・クロック (SCLK)。パラレル・モードではパラレル・データビット 1 (P1)。
21	SDO/P2	シリアル・モードではシリアル・データ出力 (SDO)。パラレル・モードではパラレル・データビット 2 (P2)。
22	SDI/P3	シリアル・モードではシリアル・データ入力 (SDI)。パラレル・モードではパラレル・データビット 3 (P3)。
23	CS/P4	シリアル・モードではセレクト・ビット (CS)。パラレル・モードではパラレル・データビット 4 (P4)。
24	DVDD	デジタル正電源。
25	REF	ADC ドライバのリファレンス電圧、M1 アンプ用。
26	VOUT2	差動アンプ出力 2。
27	SWA_OUT	スイッチ・グループ A (S0～S2 および S6～S8)出力。
28	VIN1	差動アンプの非反転入力。

代表的な性能特性

システム全体

これらのプロットは、FET 入力アンプ、スイッチング回路、ADC ドライバを内蔵するシステム全体のものです。特に指定がない限り、 $R_L = 1\text{ k}\Omega$ 差動。 $V_S = \pm 5\text{ V}$ の場合 $DVDD = +5\text{ V}$ 、 $V_S = +5\text{ V}$ (または $\pm 2.5\text{ V}$) の場合 $DVDD = +3.3\text{ V}$ 。

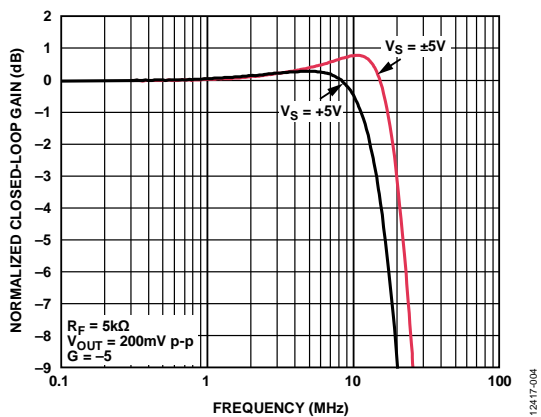


図 7. 様々な電源に対する小信号周波数応答
図 50 のテスト回路参照

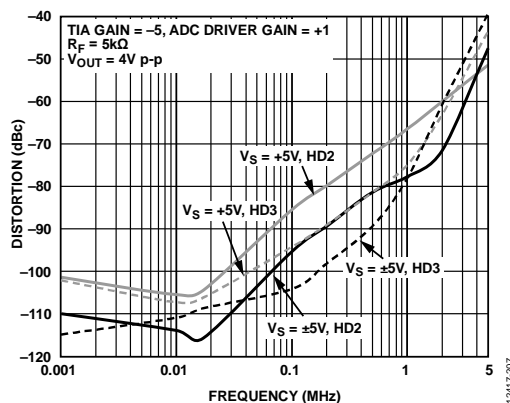


図 10. 様々な電源での高調波歪みの周波数特性
図 49 のテスト回路参照

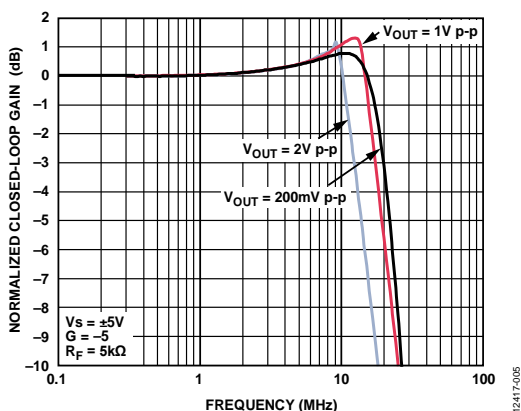


図 8. 様々な電圧出力に対する周波数応答
図 50 のテスト回路参照

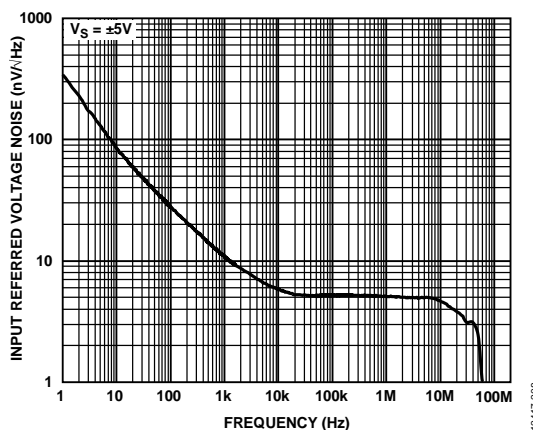


図 11. 入力換算電圧ノイズの周波数特性

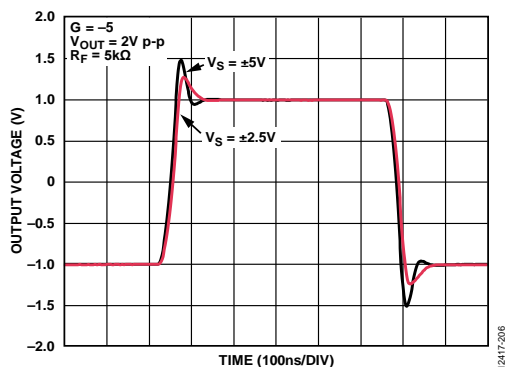


図 9. 様々な電源での大信号ステップ応答、 $G = -5$

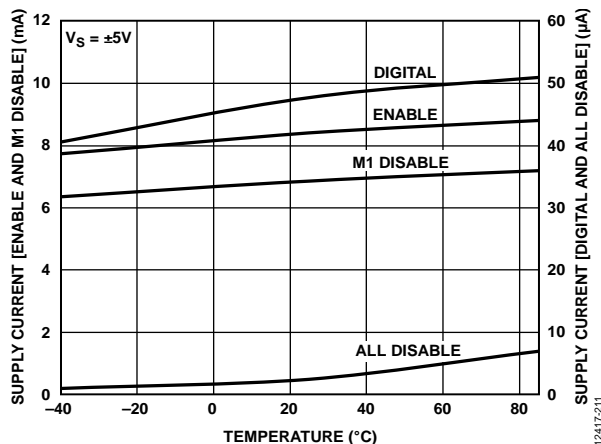


図 12. 電源電流の温度特性、差動モード

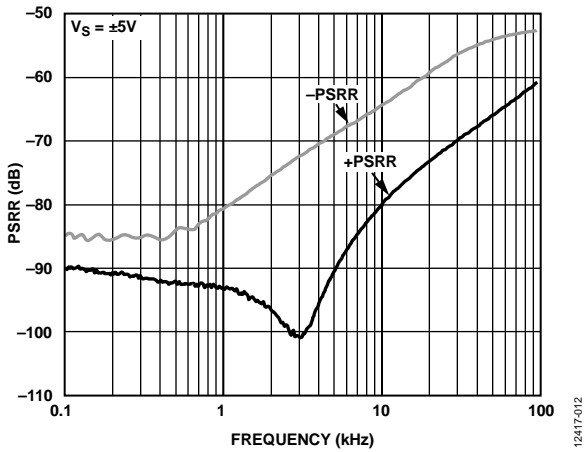


図 13. PSRR の周波数特性

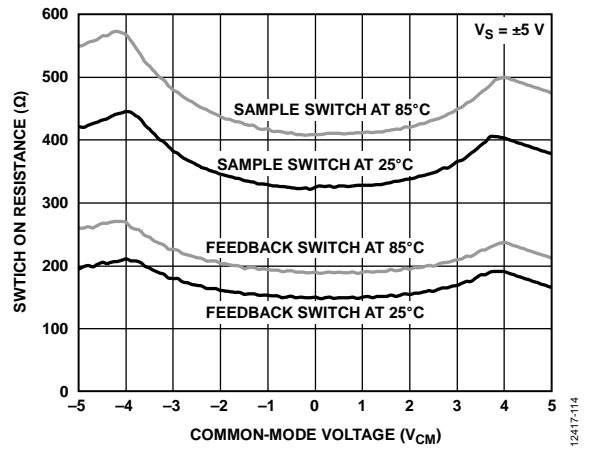


図 15. 様々な温度でのスイッチ同相モード電圧対スイッチのオン抵抗

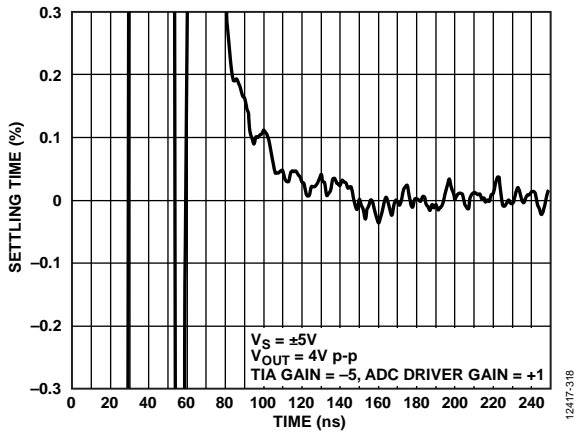


図 14. 0.1% セトリング・タイム
図 50 のテスト回路参照

FET 入力アンプ

特に指定がない限り、 $R_L = 1\text{ k}\Omega$ 。 $V_S = \pm 5\text{ V}$ の場合 $DVDD = +5\text{ V}$ 、 $V_S = \pm 2.5\text{ V}$ の場合 $DVDD = +3.3\text{ V}$ 。

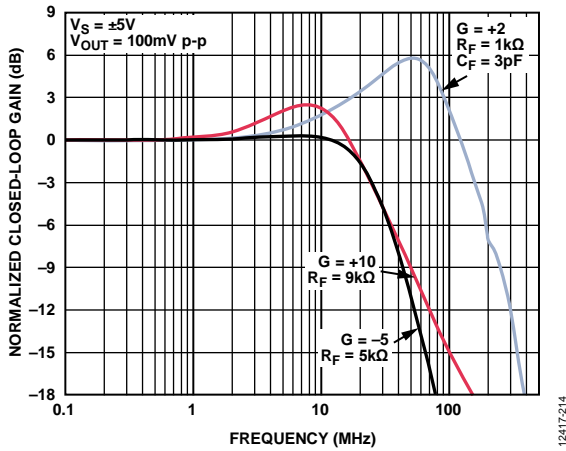


図 16. 様々なゲインでの小信号周波数応答、 $V_S = \pm 5\text{ V}$
図 51 と図 52 のテスト回路参照

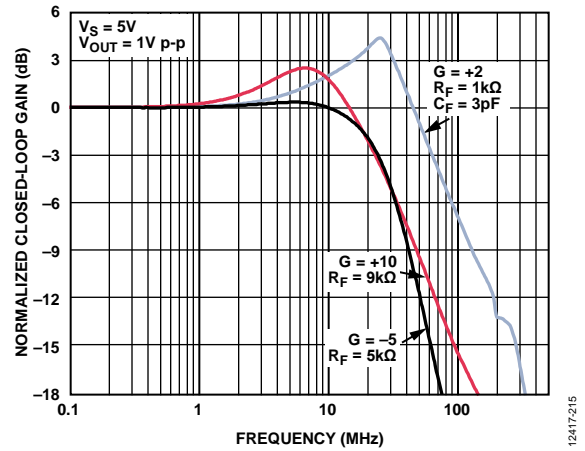


図 19. 様々なゲインでの大信号周波数応答、 $V_S = 5\text{ V}$
図 51 と図 52 のテスト回路参照

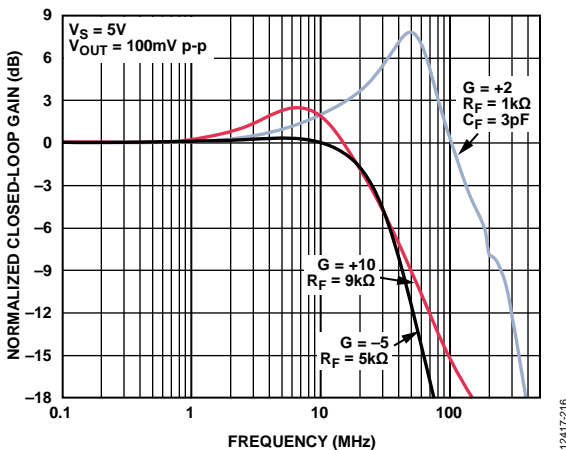


図 17. 様々なゲインでの小信号周波数応答、 $V_S = 5\text{ V}$
図 51 と図 52 のテスト回路参照

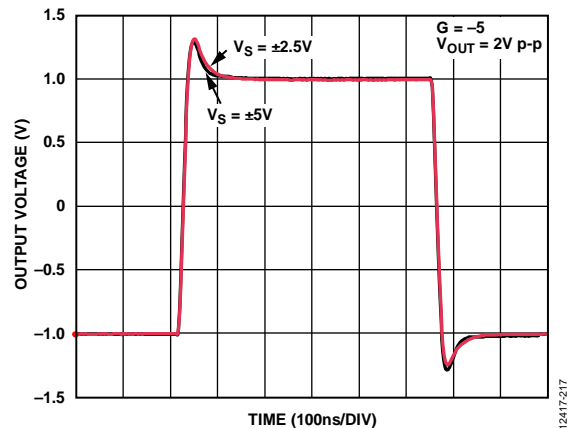


図 20. 様々な電源での大信号ステップ応答、 $G = -5$

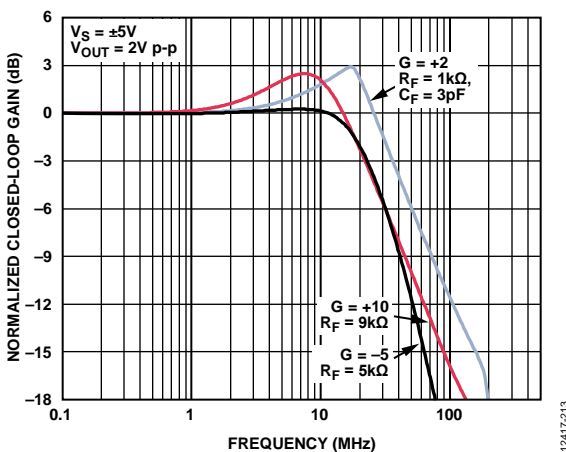


図 18. 様々なゲインでの大信号周波数応答、 $V_S = \pm 5\text{ V}$
図 51 と図 52 のテスト回路参照

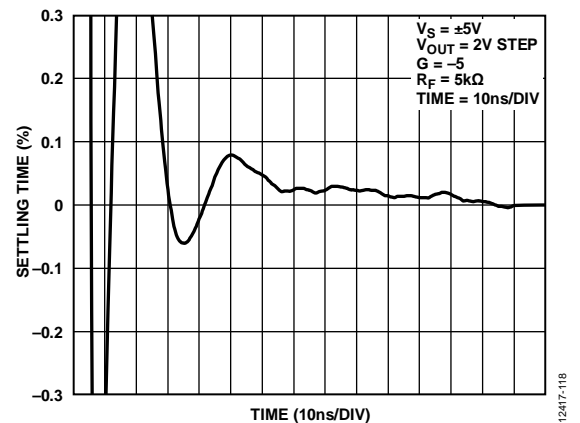


図 21. 0.1% セットリング・タイム

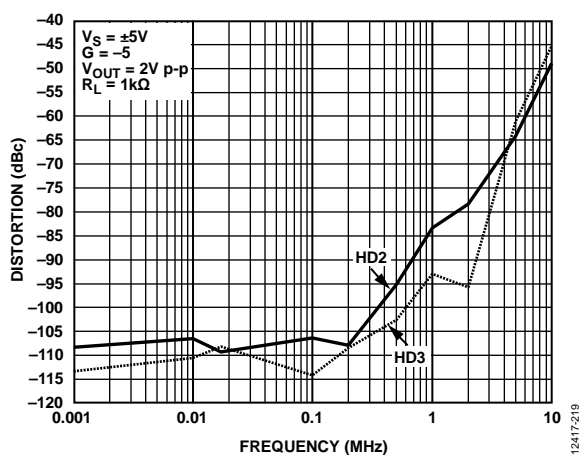


図 22. 歪み (HD2/HD3)の周波数特性、G = -5

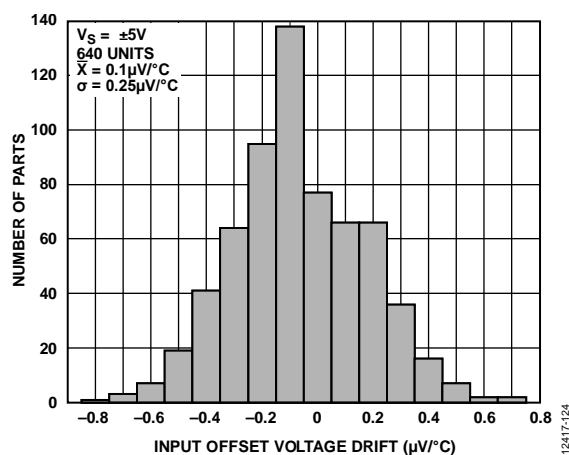


図 25. 入力オフセット電圧ドリフトの分布

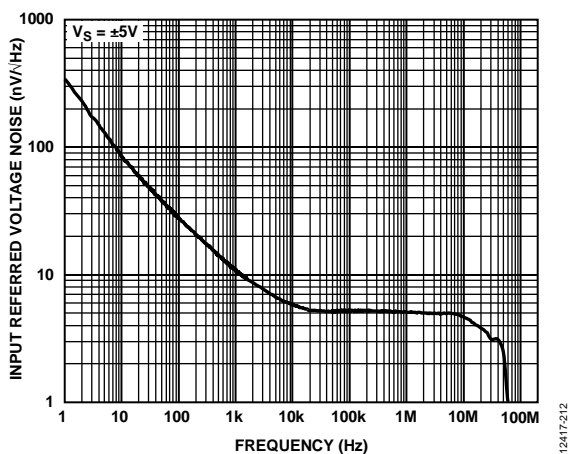


図 23. 入力電圧ノイズ

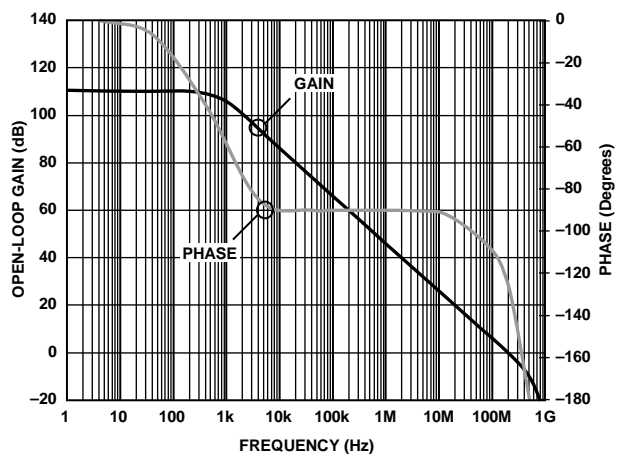


図 26. オープン・ループ・ゲインと位相の周波数応答

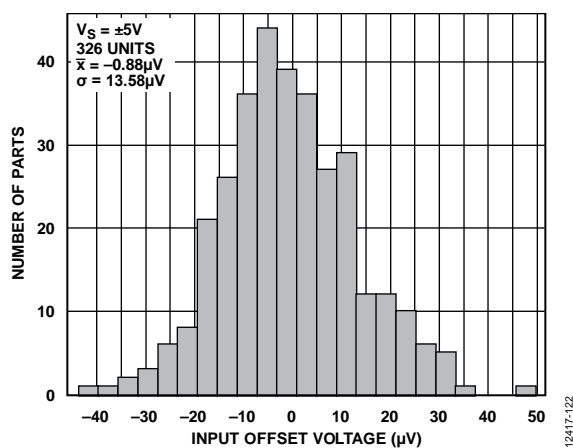


図 24. 入力オフセット電圧の分布

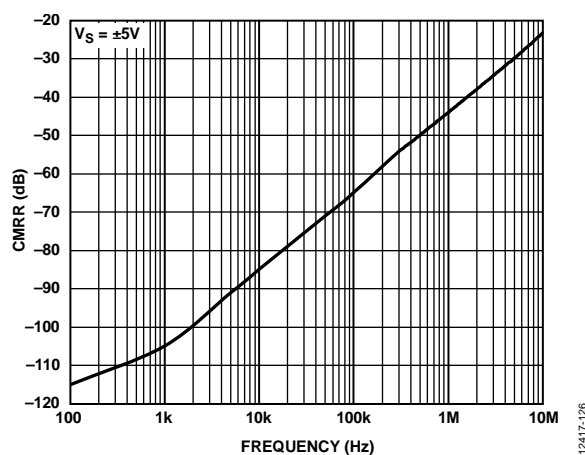


図 27. CMRRの周波数特性

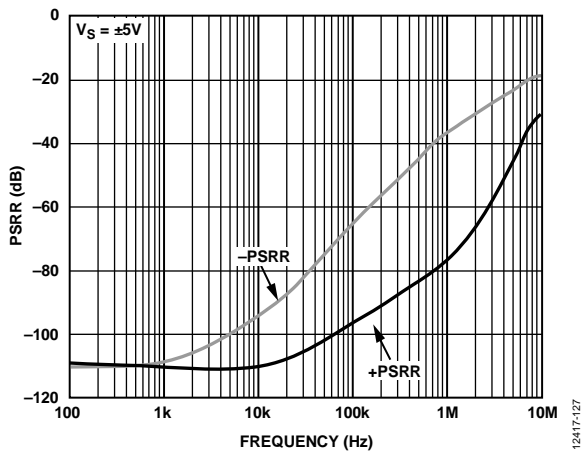


図 28. PSRR の周波数特性

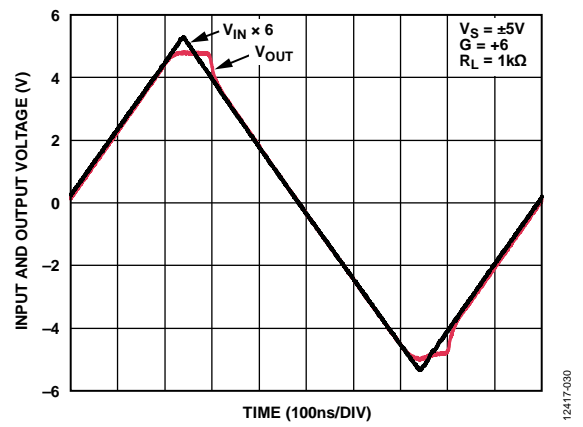


図 29. アンプ回路とした時の出力オーバードライブ・リカバリ

ADC ドライバ

特に指定がない限り、差動の場合 $R_L = 1\text{ k}\Omega$ 、シングルエンドの場合 $R_L = 500\ \Omega$ 、 $V_S = \pm 5\text{ V}$ の場合 $DVDD = +5\text{ V}$ 、 $V_S = +5\text{ V}$ (または $\pm 2.5\text{ V}$) の場合 $DVDD = +3.3\text{ V}$ 。

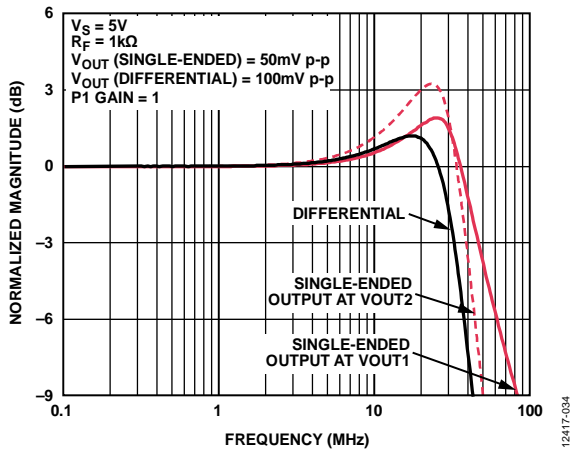


図 30. 小信号周波数応答、 $V_S = 5\text{ V}$

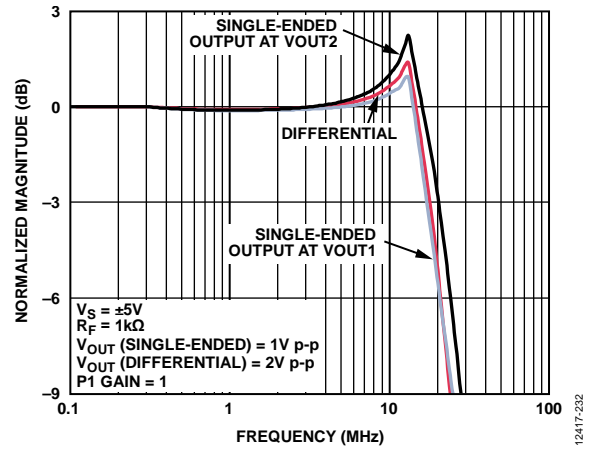


図 33. 大信号周波数応答、 $V_S = \pm 5\text{ V}$

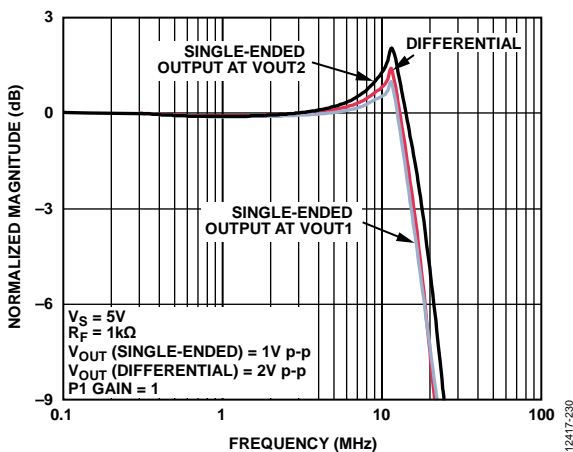


図 31. 大信号周波数応答、 $V_S = 5\text{ V}$

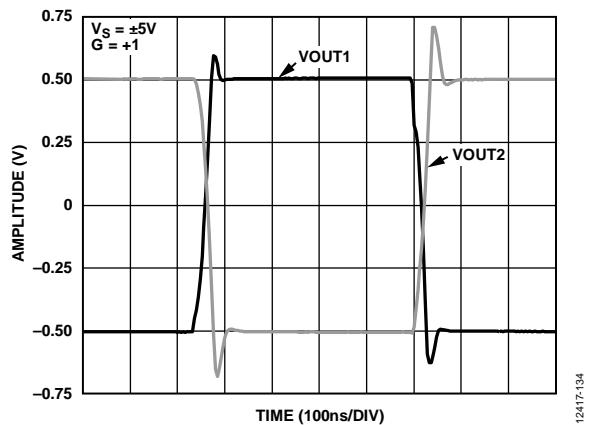


図 34. 大信号ステップ応答 (シングルエンド出力)、 $V_S = \pm 5\text{ V}$

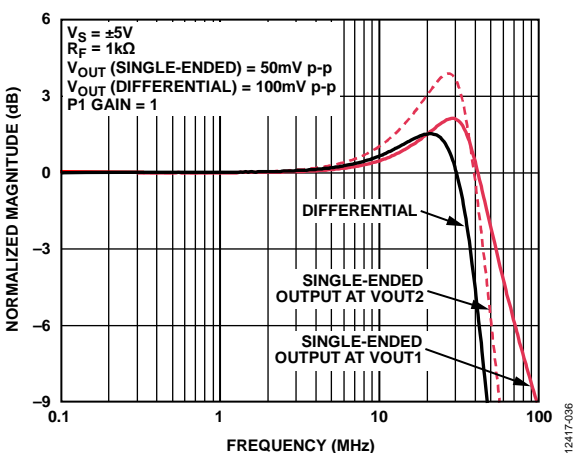


図 32. 小信号周波数応答、 $V_S = \pm 5\text{ V}$

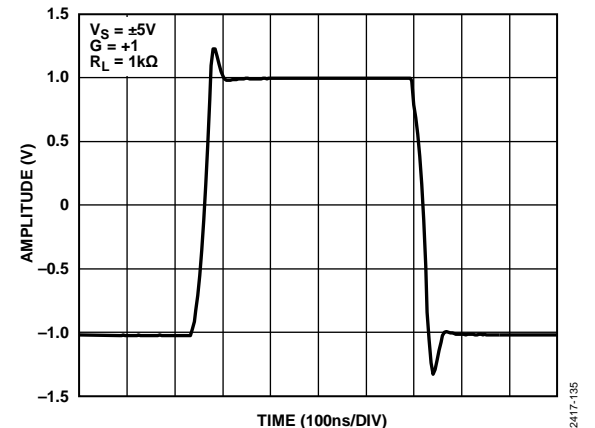
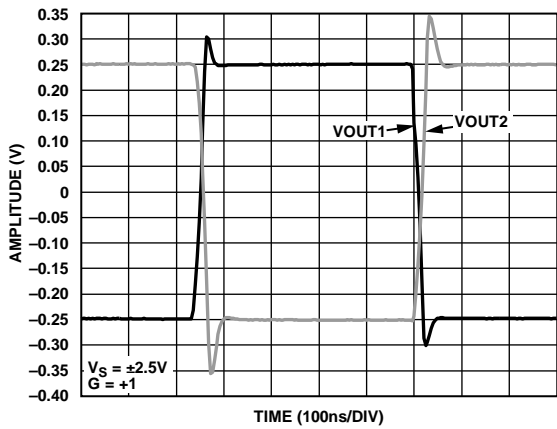
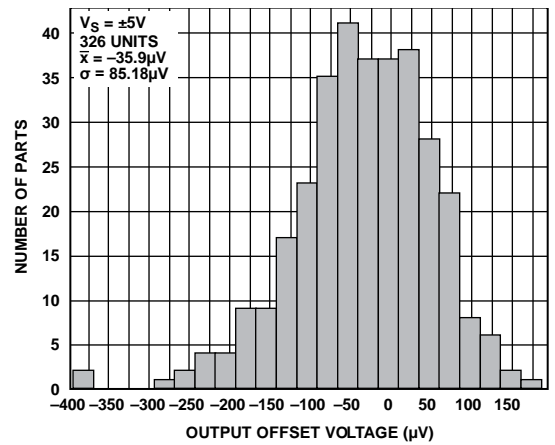


図 35. 大信号ステップ応答 (差動出力)、 $V_S = \pm 5\text{ V}$



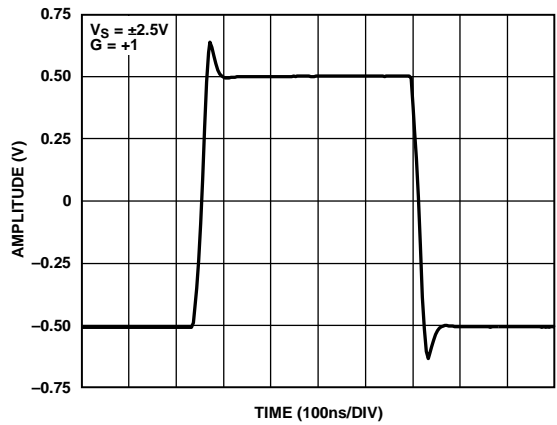
12417-235

図 36. 大信号ステップ応答 (シングルエンド出力)
 $V_S = \pm 2.5\text{ V}$



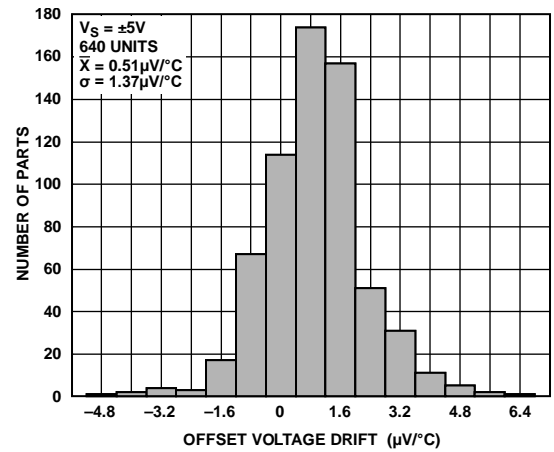
12417-141

図 39. 差動出力オフセット電圧の分布



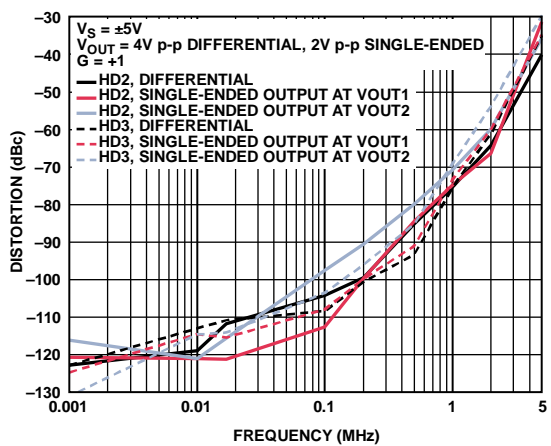
12417-137

図 37. 大信号ステップ応答 (差動出力)
 $V_S = \pm 2.5\text{ V}$



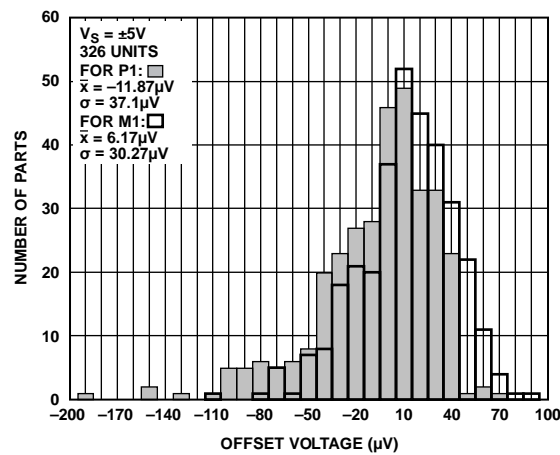
12417-237

図 40. 差動出力オフセット電圧ドリフトの分布



12417-138

図 38. 高調波歪みの周波数特性



12417-241

図 41. シングルエンド出力オフセット電圧の分布

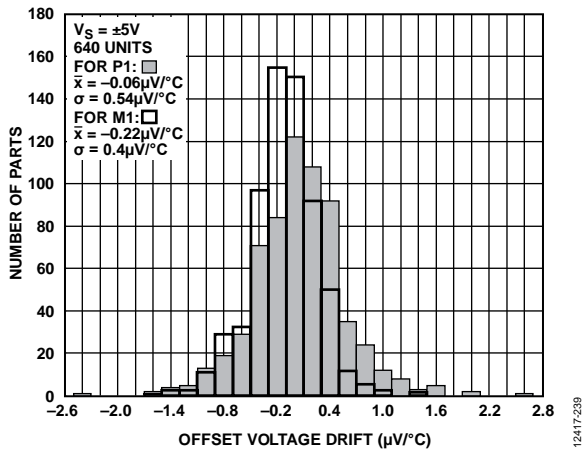


図 42. シングルエンド・オフセット電圧ドリフトの分布

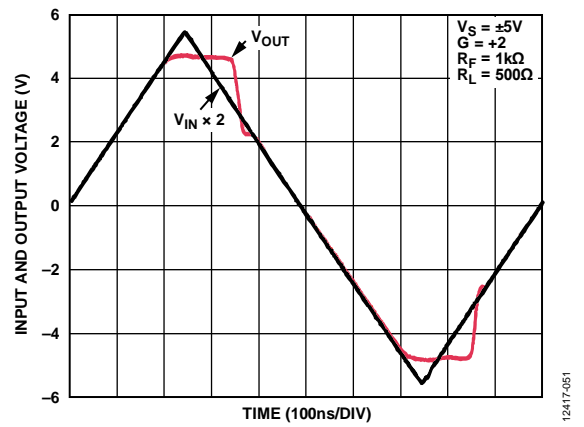


図 45. 出力オーバードライブ・リカバリー (M1 の場合)

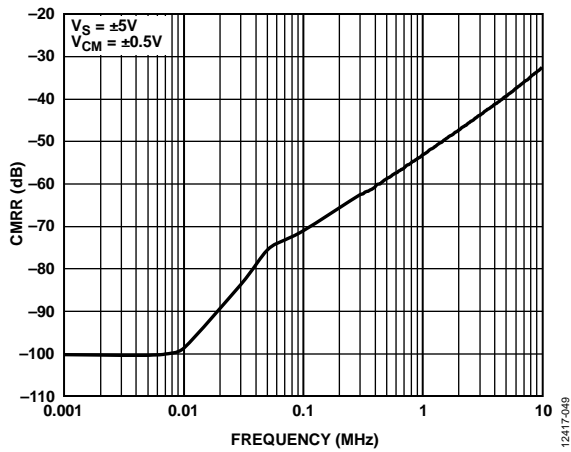


図 43. CMRR の周波数特性

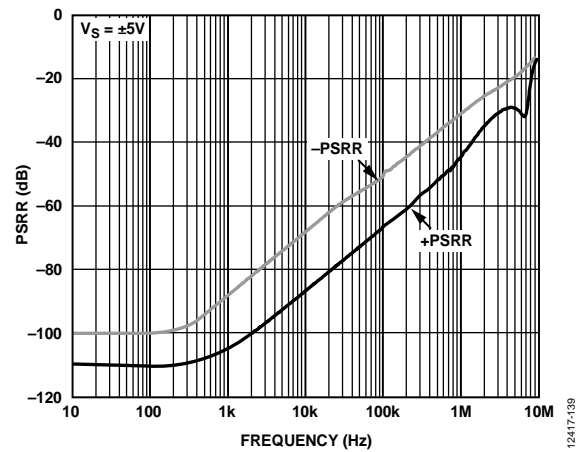


図 46. PSRR の周波数特性 (P1 の場合)

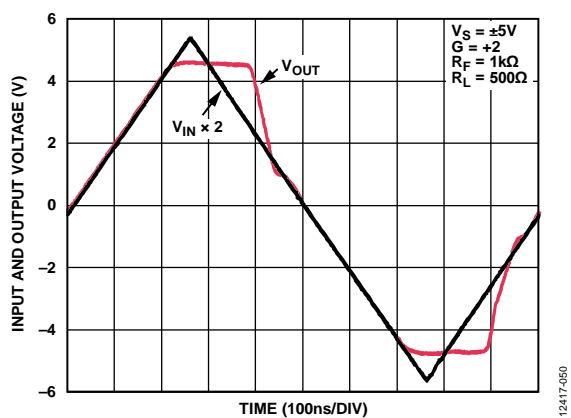
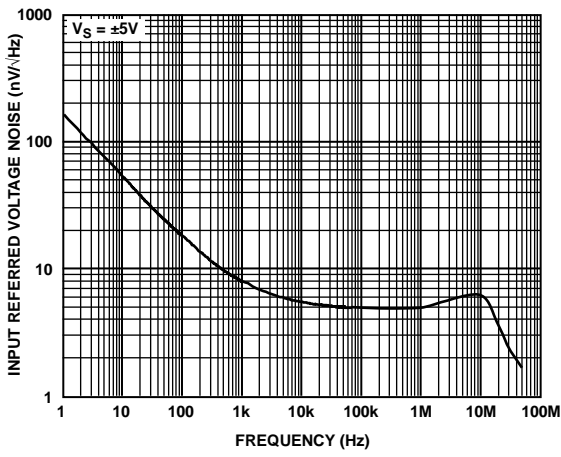
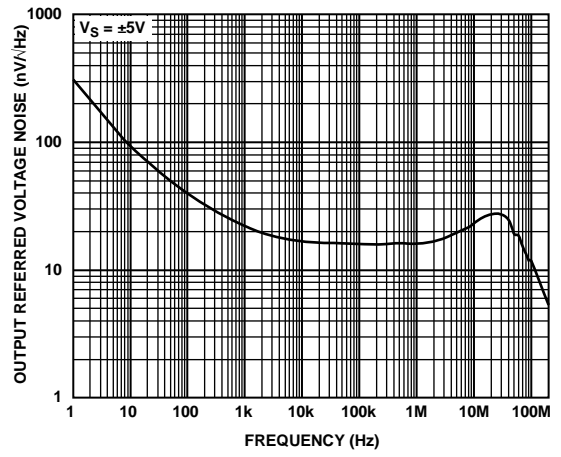


図 44. 出力オーバードライブ・リカバリー (P1 の場合)



12417-242

図 47. 入力換算電圧ノイズの周波数特性
P1 の場合、図 53 のテスト回路参照



12417-243

図 48. 出力換算電圧ノイズの周波数特性
P1 と M1、図 54 のテスト回路参照

テスト回路

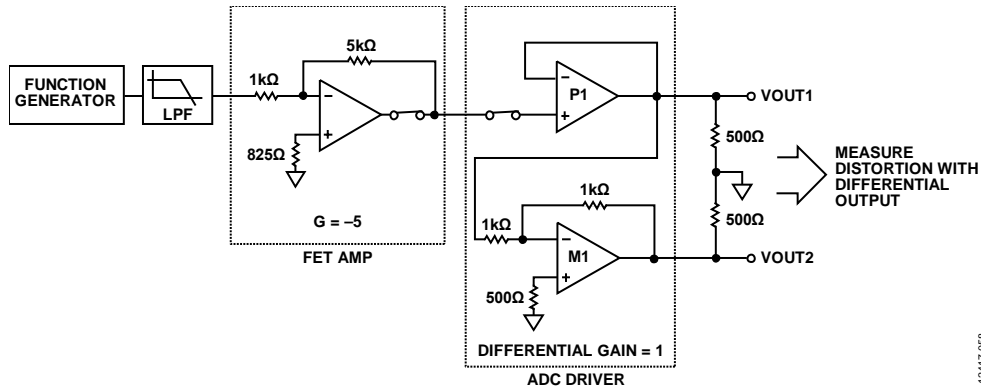


図 49. システム全体の高調波歪み

12417-058

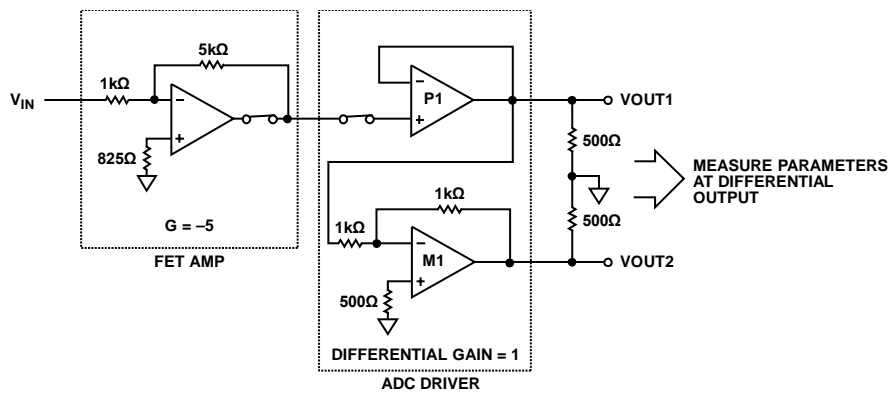


図 50. その他のパラメータ、システム全体の測定

12417-059

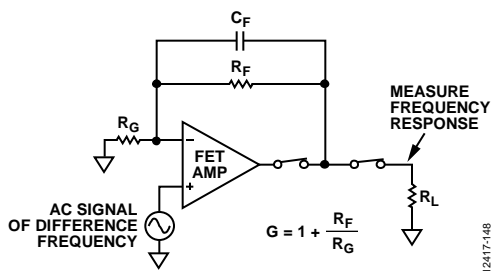


図 51. FET 入力アンプの周波数応答、非反転ゲイン構成

12417-148

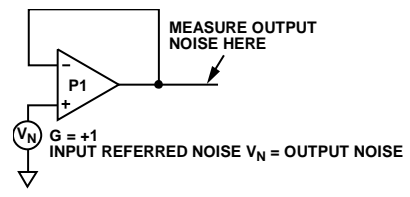


図 53. P1 の入力換算電圧ノイズ

12417-150

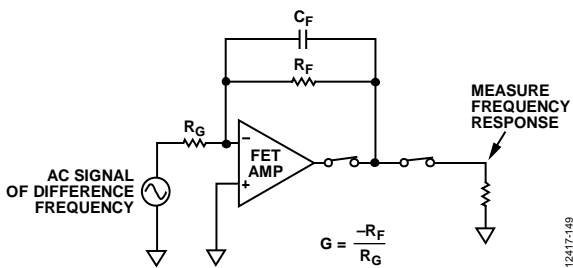


図 52. FET 入力アンプの周波数応答、反転ゲイン構成

12417-149

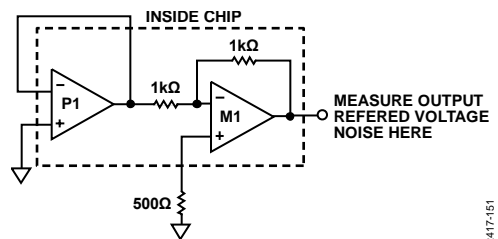


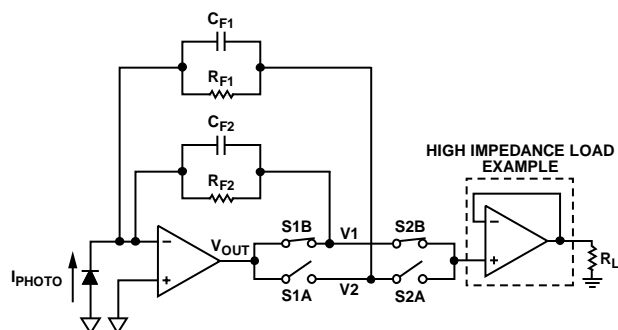
図 54. P1 と M1 の出力換算電圧ノイズ

12417-151

動作原理

ケルビン・スイッチング技術

従来型のゲイン切り替えが可能なアンプでは、帰還ループ内でアナログ・スイッチを使って該当する帰還パスを選択し、ディスクリート外付け抵抗とコンデンサを反転入力に接続していました。この方法ではループ内のアナログ・スイッチの理想的ではない特性に起因して誤差が発生していました。例えば、アナログ・スイッチのオン抵抗により電圧と温度に依存するゲイン誤差が発生し、同時に特に高温では、リーク電流によりオフセット誤差が発生します。ケルビン・スイッチング技術では、各ゲイン選択ループに 2 個のスイッチを導入してこの問題を解決します(1 個はトランスインピーダンス/オペアンプ出力を帰還回路へ接続し、他の 1 個は帰還回路出力を後段の素子へ接続)。図 55 にケルビン・スイッチングを使用したプログラマブル・ゲインのトランスインピーダンス・アンプを示します。



NOTES

1. S1A, S1B, S2A, AND S2B ARE THE ANALOG SWITCHES.
R_{Fx} ARE THE FEEDBACK RESISTORS SPECIFIC TO EACH TRANSIMPEDANCE PATH. C_{Fx} ARE THE FEEDBACK CAPACITORS SPECIFIC TO EACH TRANSIMPEDANCE PATH.

12417-103

図 55. ケルビン・スイッチングを使用したプログラマブルなゲイン・トランスインピーダンス・アンプ

この技術では使用するスイッチ数が 2 倍になりますが、中央ノードの電圧 (V_x)はスイッチに依存しなくなり、選択した抵抗の電流にのみ依存します(式 1~式 3 参照)。

$$V_{OUT} = -I_{PHOTO} \times (R_{F2} + R_{S1B}) \quad (1)$$

$$V_I = V_{OUT} \times (R_{F2} / (R_{F2} + R_{S1B})) \quad (2)$$

式 1 を式 2 に代入すると、

$$V_I = -I_{PHOTO} \times R_{F2} \quad (3)$$

ここで、

V_{OUT} は初段のアンプの出力。

I_{PHOTO} はフォトダイオードの電流。

R_{F2} はトランスインピーダンス経路 2 の帰還抵抗。

R_{S1B} は S1B スwitchのスイッチ抵抗。

図 55 で右側に示すスイッチ (S2A および S2B) のみが小さい出力インピーダンスを持ち、アンプが高インピーダンス負荷を駆動する場合の誤差は無視できます。ADA4350 の場合、内蔵 ADC ドライバが高インピーダンス負荷になります。

アプリケーション情報

ADA4350 の設定

ADA4350 の基本設定と評価用ボードの使い方については、UG-655 ユーザーガイドを参照してください。差動ゲイン構成での ADC ドライバの設定については、ADA4941-1 データシートを参照してください。

ADA4350 のゲイン設定は、SPI インターフェースから、または 5 ピンの DIP スイッチを使ってマニュアルで選択することができます。

マニュアルあるいはパラレル・インターフェースによるトランスインピーダンス・ゲイン・パスの選択

マニュアル・モード (あるいはパラレル・モード) では、6 つのトランスインピーダンス・パス (スイッチ・ネットワーク) の内 5 つ (FB0~FB4) のみを使用することができます。図 56 に、ADA4350 の簡略化した回路図と FB0~FB4 の位置を示します。この例では、最初の 2 つの帰還パス (FB0 と FB1) が 2 つの差動トランスインピーダンス・ゲイン・パスとして構成されます。

マニュアル・モードすなわちパラレル・モードで動作させるときは、EN ピン (ピン 16) と MODE ピン (ピン 17) にロジック 1 を設定します。このモードでは、ピン 19~ピン 23 はそれぞれ P0~P4 で表されます。ゲインの 1 つを選択するときは、対応する Px ピンにロジック 1 を設定し、他のすべての Px ピンにロジック 0 を設定します。表 13 に、ゲイン・セレクト・スイッチ (P0

~P4) と選択するゲイン・パスとの関係を示します。

複数の Px ピンにロジック 1 を設定すると、選択したゲイン・パスが並列接続されます。

表 13. マニュアル・モードすなわちパラレル・モードの動作

Bit On	Switch Closed	Gain Path Selected
P0	S0 and S6	FB0
P1	S1 and S7	FB1
P2	S2 and S8	FB2
P3	S3 and S9	FB3
P4	S4 and S10	FB4

SPI インターフェースからのトランスインピーダンス・ゲイン・パスの選択 (シリアル・モード)

シリアル・モード動作の場合、EN ピン (ピン 16) にはロジック 1 を、モード・ピン (ピン 17) にはロジック 0 をそれぞれ設定します。シリアル・モードでは、ピン 19 は LATCH に、ピン 20 は SCLK に、ピン 21 は SDO に、ピン 22 は SDI に、ピン 23 は CS に、それぞれなります。シリアル・モード動作では、24 ビット長のコマンドを使って、各スイッチ (S0~S11) とその他のオプションを設定します。表 14 に、シリアル・モード動作で使用される 24 ビット・ワードのビット・マップを示します。表 15 に、種々のトランスインピーダンス・ゲイン・パスの選択に使用されるコード例を示します。

共用ピンの名前は、関連する機能でのみ参照できます。

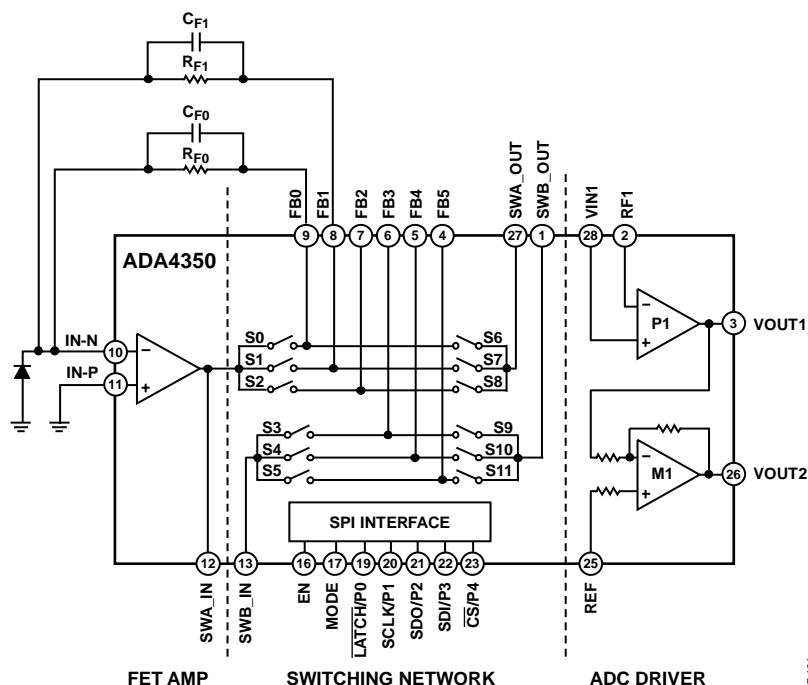


図 56. 簡略化した回路図

表 14. シリアル・モード動作で使用される 24 ビット・ワードのビット・マップ

Bit No.	Function	Default Setting
1	S0 on/off 切り替え. 1 をセットすると Switch S0 が閉じます.	0
2	S1 on/off 切り替え. 1 をセットすると Switch S1 が閉じます.	0
3	S2 on/off 切り替え. 1 をセットすると Switch S2 が閉じます.	0
4	S3 on/off 切り替え. 1 をセットすると Switch S3 が閉じます.	0
5	S4 on/off 切り替え. 1 をセットすると Switch S4 が閉じます.	0
6	S5 on/off 切り替え. 1 をセットすると Switch S5 が閉じます.	0
7	S6 on/off 切り替え. 1 をセットすると Switch S6 が閉じます.	0
8	S7 on/off 切り替え. 1 をセットすると Switch S7 が閉じます.	0
9	S8 on/off 切り替え. 1 をセットすると Switch S8 が閉じます.	0
10	S9 on/off 切り替え. 1 をセットすると Switch S9 が閉じます.	0
11	S10 on/off 切り替え. 1 をセットすると Switch S10 が閉じます.	0
12	S11 on/off 切り替え. 1 をセットすると Switch S11 が閉じます.	0
13	Reserved. ロジック L を設定.	0
14	オプションの内部 1pF フィードバック・コンデンサ (反転入力ピンと出力ピンの間に接続) 1 をセットするとこのコンデンサが接続されます.	0
15	SDO ピンの有効/無効を設定. 1 をセットすることで SDO ピンを無効 (Disable) .	0
16	Disable the M1 アンプの有効/無効を設定. 1 をセットすることで M1 を無効 (Disable).	0
17	Reserved. ロジック L を設定.	0
18	Reserved. ロジック L を設定.	0
19	Reserved. ロジック L を設定.	0
20	Reserved. ロジック L を設定.	0
21	Reserved. ロジック L を設定.	0
22	Reserved. ロジック L を設定.	0
23	Reserved. ロジック L を設定.	0
24	Read/Write 制御ビット. 1 で Read 0 で Write.	0

表 15. シリアル・モード動作時のコマンド・ワードのスク립ト例

Command (Hex Code Format, B23...B0)	Switch Closed	Gain Path Selected
00 00 41 (MSB Side)	S0 and S6	FB0
00 20 41	S0 and S6	FB0, optional internal feedback capacitor on
00 00 82	S1 and S7	FB1
00 01 04	S2 and S8	FB2
00 02 08	S3 and S9	FB3
00 04 10	S4 and S10	FB4
00 08 40	S5 and S11	FB5

SPICE モデル

SPICE モデルでは、パラレル・モード動作のみをサポートしています。ピン P5 がパラレル・モードをイネーブルして、フル・スイッチング回路機能を可能にします。EN 入力と MODE 入力は内部でそれぞれハイ・レベルとロー・レベルに設定され、このモデルでは使用できません。

図 57 に、SPICE シミュレータで ADA4350 シンボルを生成する際の推奨シンボル・ピンを示します。

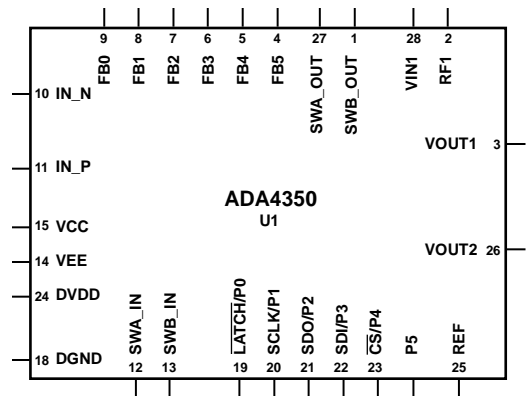
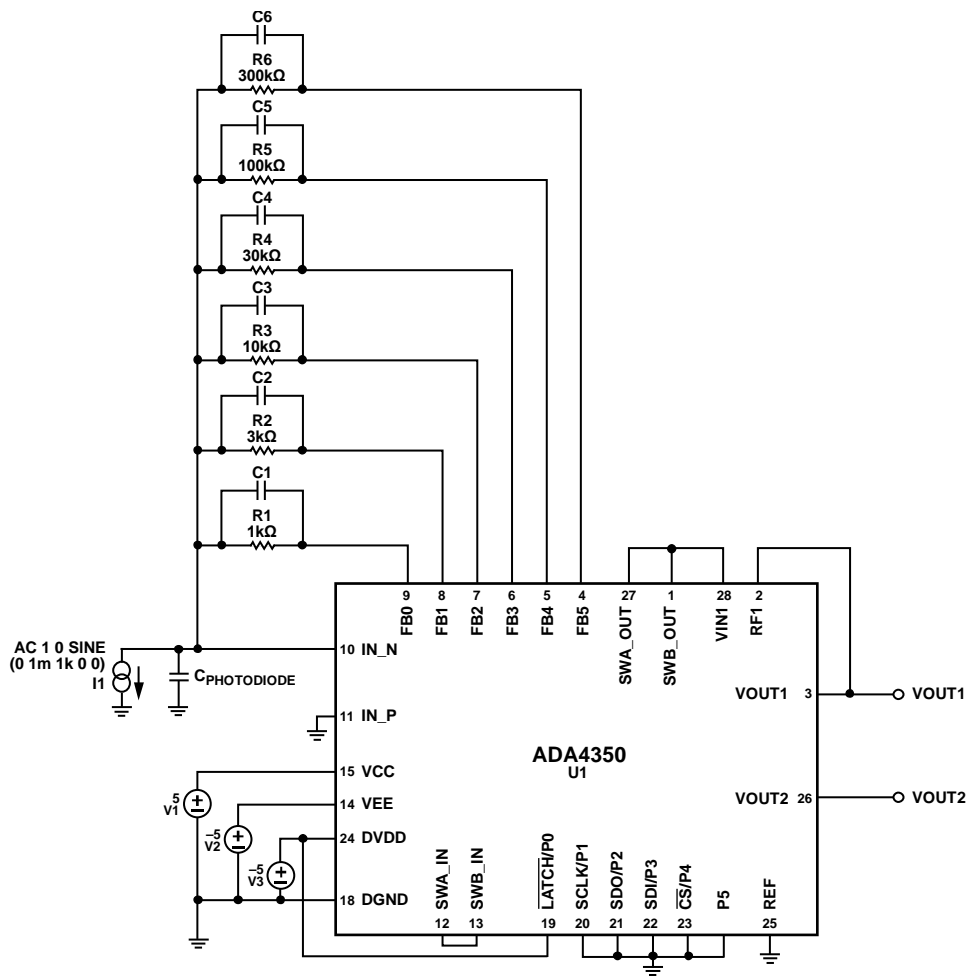


図 57. 推奨シンボル・レイアウト

表 16. モデル・ピンの説明

Symbol Pin	Model Node	Pin No.	Mnemonic
1	N10	10	IN_N
2	N11	11	IN_P
3	VCC	15	VCC
4	VEE	14	VEE
5	VDD	24	DVDD
6	DGND	18	DGND
7	N12	12	SWA_IN
8	N13	13	SWB_IN
9	PO	19	LATCH/P0
10	P1	20	SCLK/P1
11	P2	21	SDO/P2
12	P3	22	SDI/P3
13	P4	23	CS/P4
14	P5	Not applicable	P5
15	N25	25	REF
16	N26	26	VOUT2
17	N3	3	VOUT1
18	N2	2	RF1
19	N28	28	VIN1
20	27	27	SWA_OUT
21	1	1	SWB_OUT
22	4	4	FB5
23	5	5	FB4
24	6	6	FB3
25	7	7	FB2
26	8	8	FB1
27	9	9	FB0



12417-201

図 58. 基本機能をテストするための SPICE 回路例

トランスインピーダンス・アンプ回路設計の方法

入力バイアス電流が小さいため、プリアンプ出力での DC 誤差が小さくなるため、ADA4350 はフォトダイオード・プリアンプ・アプリケーションに適しています。さらに、大きなゲイン帯域幅積と低入力容量により、フォトダイオード・プリアンプとしての信号帯域幅が広がります。図 59 に ADA4350 のトランスインピーダンス・アンプ・モデルを示します。

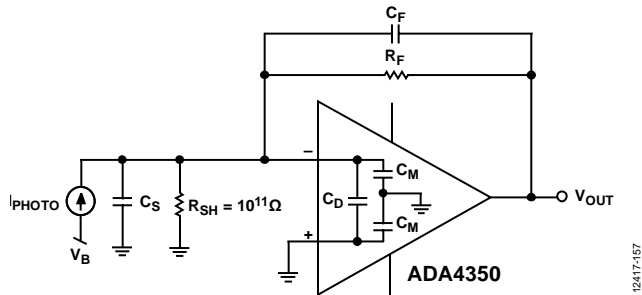


図 59. ADA4350 のトランスインピーダンス・アンプ・モデル

式 4 の基本伝達関数は、フォトダイオード・プリアンプのトランスインピーダンス・ゲインを表します。

$$V_{OUT} = \frac{I_{PHOTO} \times R_F}{1 + sC_F R_F} \quad (4)$$

ここで、
 I_{PHOTO} はフォトダイオードの出力電流。
 R_F は帰還抵抗。
 C_F は帰還容量。

信号帯域幅は $1/(R_F \times C_F)$ です(式 4 参照)。一般に、可能な最大出力電圧が最大ダイオード電流(I_{PHOTO})に対応するように R_F を設定して、フル出力振幅を使用できるようにします。

このプリアンプで実現可能な信号帯域幅は、 R_F 、アンプのゲイン帯域幅積 (f_{GBW})、 C_S およびアンプ入力容量 (C_D と C_M) を含むアンプ加算点での合計容量の関数になります。 R_F と合計容量はループ周波数 (f_p) で極 (ポール) を形成します。

$$f_p = 1/2\pi R_F C_S \quad (5)$$

アンプのオープン・ループ応答に極が追加されると、位相マージンが充分でないため、この 2 極システムにはピーキングと不安定性が発生します (図 60 に示すノイズ・ゲインと位相の灰色の線を参照)。

C_F を帰還ループに追加すると、入力極の影響を補償する (極と逆向きの効果がある) ゼロ点がループ伝達関数に形成され、位相マージンが増えるためフォトダイオード・プリアンプ設計が安定化されます (図 61 に示すノイズのゲインと位相の灰色の線を参照)。これにより信号帯域幅 f_z も設定されます(図 61 に示す信号ゲインの I/V ゲイン・ライン参照)。信号帯域幅とゼロ周波数 (f_z) は次式で決定されます。

$$f_z = \frac{1}{2\pi R_F C_F} \quad (6)$$

ゼロ点周波数 f_z と f_x 周波数を一致させると、 45° の位相マージンで信号帯域幅が最大になります。 f_x は f_p と f_{GBW} の幾何平均であるため、 f_x は次のように計算されます。

$$f_x = \sqrt{f_p \times f_{GBW}} \quad (7)$$

式 5、式 6、式 7 から、 f_x を創り出す C_F 値は次のように求められます。

$$C_F = \sqrt{\frac{C_S}{2\pi \times R_F \times f_{GBW}}} \quad (8)$$

このケースの周波数応答では、約 2 dB のピーキングと 15% のオーバーシュートが発生しています。 C_F を 2 倍にして、帯域幅を半分にする、平坦な周波数応答が得られ、トランジションのオーバーシュートは約 5% になります。

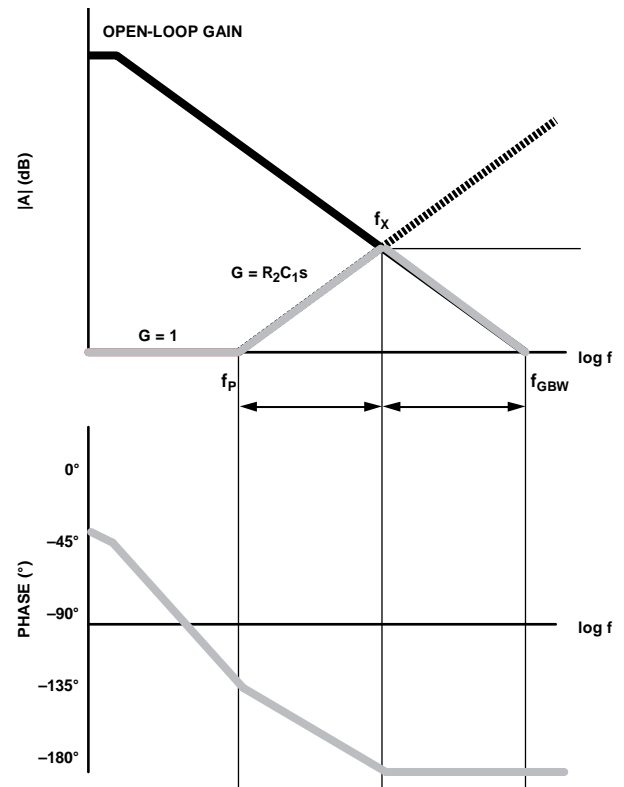


図 60. 補償なしのトランスインピーダンス・アンプ回路設計のノイズのゲインと位相の周波数特性

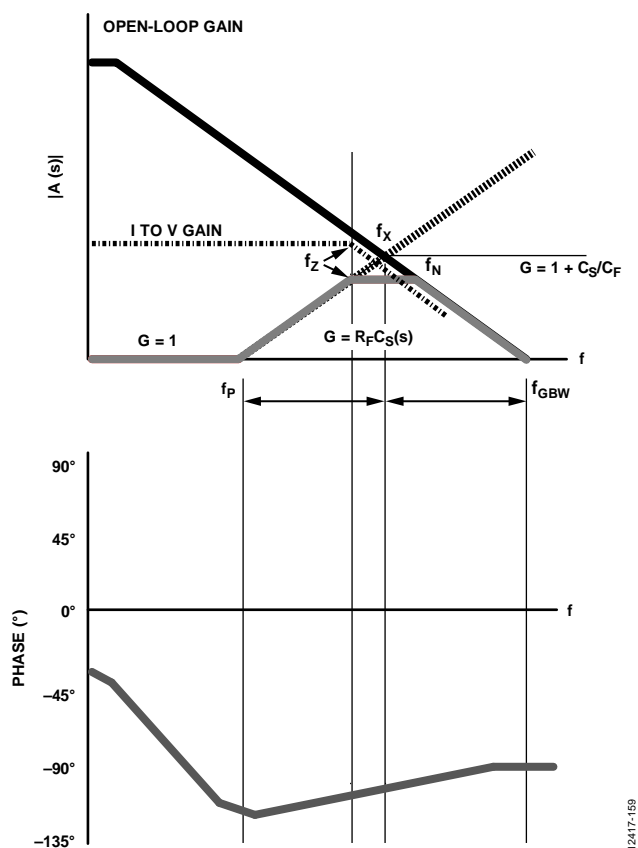


図 61. 補償を加えたトランスインピーダンス・アンプ回路設計の信号とノイズのゲインと位相の周波数特性

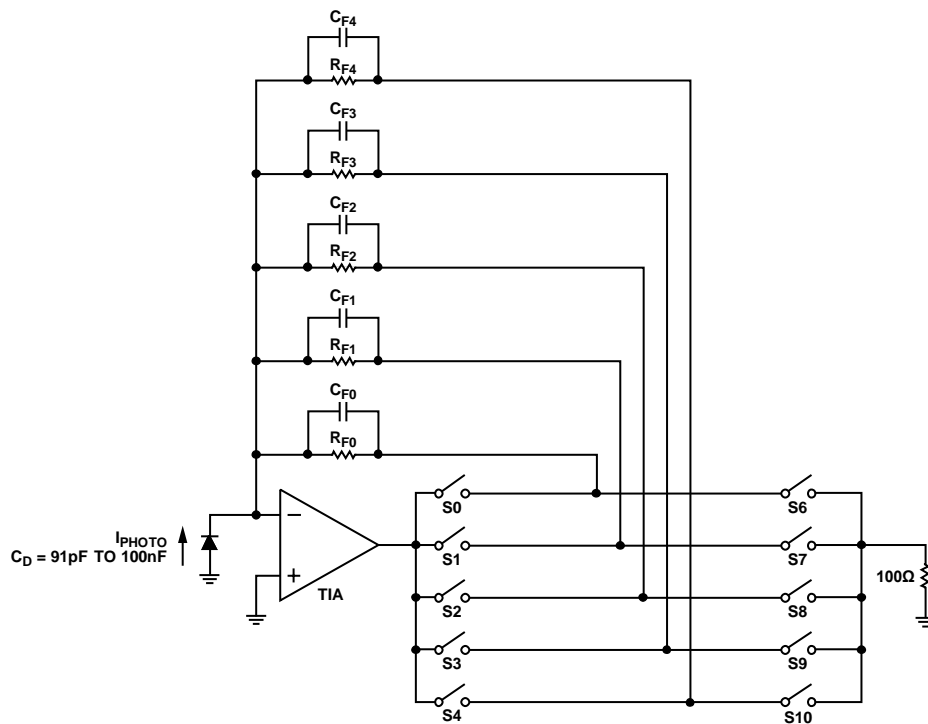
トランスインピーダンス・アンプ回路での出力ノイズの支配的なソースは、アンプの入力電圧ノイズ V_{NOISE} と R_F の抵抗性熱ノイズ（ジョンソン・ノイズ）です。電流ノイズの影響は比較的無視できます。図 61 の灰色の線は、トランスインピーダンス・アンプの周波数に対するノイズのゲインと位相を表します。ノイズ帯域幅は周波数 f_N で決まり、次式で計算することができます。

$$f_N = \frac{f_{GBW}}{(C_S + C_F)/C_F} \quad (9)$$

表 17 に、最大帯域幅で 45° の位相マージンを持つ場合（このケースでは、 $f_Z = f_X = f_N$ ）のトランスインピーダンス・アンプの支配的なノイズ・ソース (R_F と V_{NOISE}) を示します。

表 17. トランスインピーダンス・アンプの RMS ノイズ成分

Contributor	Expression
R_F	$\sqrt{4kT \times R_F \times f_N \times \frac{\pi}{2}}$
V_{NOISE}	$V_{NOISE} \times \frac{(C_S + C_M + C_F + 2C_D)}{C_F} \times \sqrt{\frac{\pi}{2} \times f_N}$



NOTES
 1. R_{Fx} ARE THE FEEDBACK RESISTORS SPECIFIC TO EACH TRANSIMPEDANCE PATH. C_{Fx} ARE THE FEEDBACK CAPACITORS SPECIFIC TO EACH TRANSIMPEDANCE PATH.

12417-085

図 62. 5 種類の差動ゲインを持つトランスインピーダンス・アンプとして構成された ADA4350

トランスインピーダンス・ゲイン・アンプの性能

図 62 に、5 種類の差動ゲインを持つトランスインピーダンス・アンプとして構成された ADA4350 を示します。フォトダイオード・センサー容量 C_D が 91 pF~100 nF の幅での、種々の周波数でのトランスインピーダンス・ゲイン性能を示します。図 63~図 66 に、様々な C_D 設定値でのトランスインピーダンスの周波数特性を示します。補償コンデンサ $C_{F0} \sim C_{F4}$ がトランスインピーダンス構成に固有な不安定性を補償していることに注意してください。ここではトランスインピーダンス・ゲイン応答が最大帯域幅を確保して、 45° の位相マージンに近くなるように補償コンデンサを選択しています。

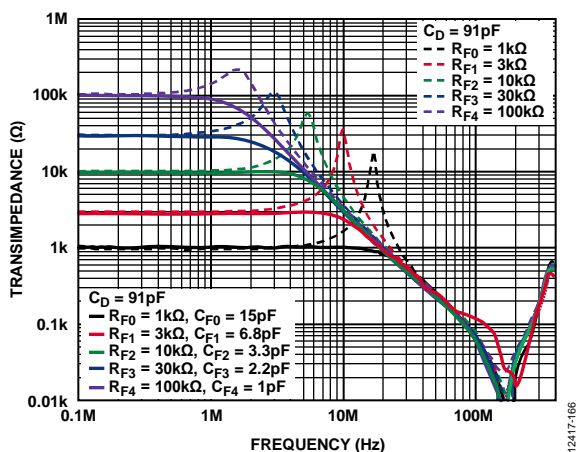


図 63. トランスインピーダンスの周波数特性、 $C_D = 91$ pF

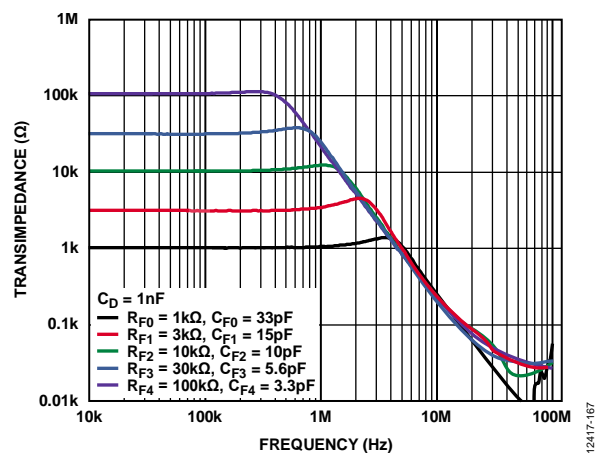


図 64. トランスインピーダンスの周波数特性、 $C_D = 1$ nF

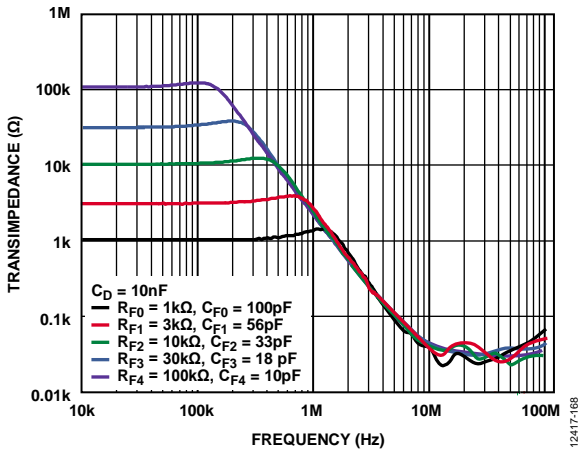


図 65. トランスインピーダンスの周波数特性、 $C_D = 10\text{ nF}$

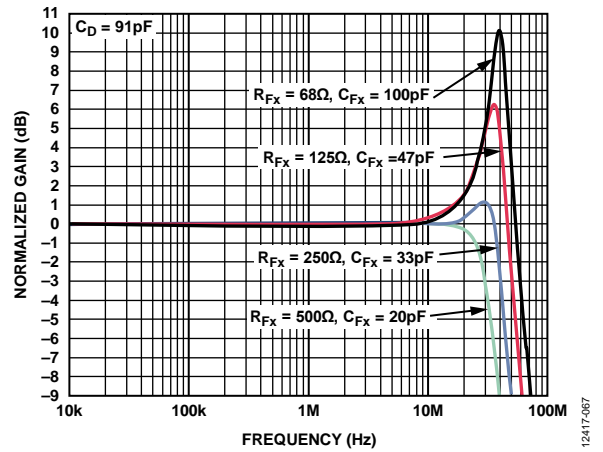


図 68. R_F を減少させた際の正規化周波数応答 (図 67 参照)

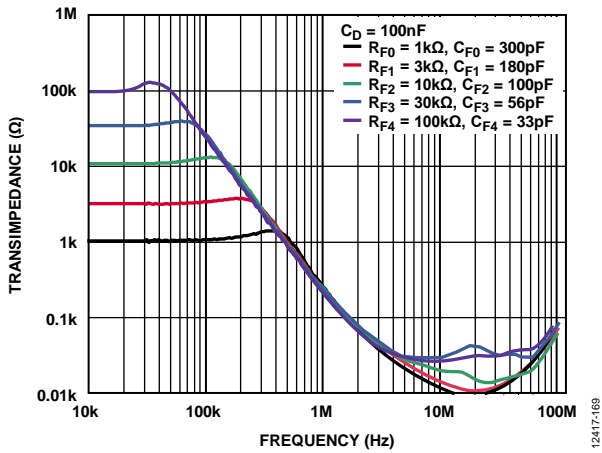


図 66. トランスインピーダンスの周波数特性、 $C_D = 100\text{ nF}$

この影響を小さくするときは、FET 入力アンプ出力に R-C によるスナバ回路を追加します (図 69)。この構成例では、帰還抵抗 (R_{FX}) は $68\ \Omega$ で、フォトダイオード容量は $40\ \text{pF}$ です。

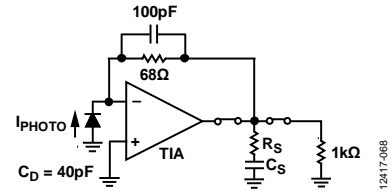


図 69. ピーキングを小さくするスナバ回路の追加

図 70 に、ピーキングをクランプする種々のスナバ回路の効果を示します。スナバ回路がない場合、 $100\ \text{pF}$ の過補償 C_{FX} を使用したとき $6\ \text{dB}$ のピーキングがあります。スナバ回路を使うと、帯域幅が約 $10\ \text{MHz}$ に制限されます。ピーキングと帯域幅との間で勘案して、スナバ回路の値を調整します。

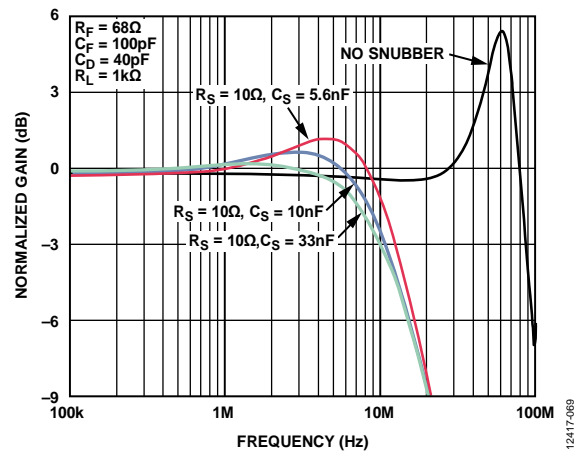


図 70. トランスインピーダンス周波数応答に対するスナバ回路の効果 (図 69 参照)

低い帰還抵抗 R_{FX} の影響

トランスインピーダンス・アンプの負荷が重くなると、 R_{FX} 値が小さ過ぎるとき周波数応答に大きなピーキングが現れます。このピーキングは、大きな C_{FX} を使って過補償する場合にも発生します。図 67 に、 $91\ \text{pF}$ のフォトダイオード容量値と $1\ \text{k}\Omega$ のトランスインピーダンス負荷で構成された ADA4350 を示します。図 68 に、この構成の正規化周波数応答を示します。 R_F を $500\ \Omega$ から $68\ \Omega$ へ減少させると、周波数応答のピーキングが段々大きくなります。大きなピーキングはパルス応答で大きなオーバーシュートに変換されて、望ましくない結果になります。

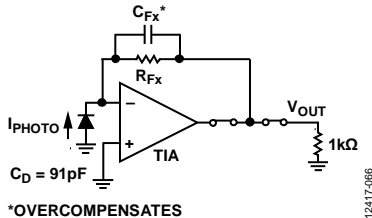


図 67. トランスインピーダンス・アンプ回路

大きな帰還抵抗値を実現する T 回路の使用

大きな帰還抵抗 (1 MΩ 以上) を使おうとすると、トランスインピーダンス・アンプの設計で次の 2 つの問題が生じます。

- 帰還抵抗の寄生容量が最適補償値を超える場合、TIA の信号帯域幅が大幅に狭くなります。
- 所要補償容量が小さ過ぎる場合 (1 pF 以下)、帰還コンデンサの選択が現実的にできなくなります。

T 回路 (R_{Fx} 、 R_2 、 R_1 抵抗で構成) は、より小さい帰還抵抗値と抵抗ゲイン回路を使ってトランスインピーダンス・ゲインと信号帯域幅を維持することができます(図 71 参照)。

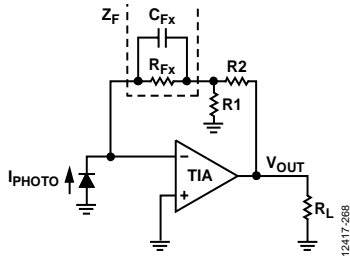


図 71. T 回路

トランスインピーダンス V_{OUT}/I_{PHOTO} と T 回路抵抗 (R_{Fx} 、 R_1 、 R_2)との関係は、次のように表されます。

$$\frac{V_{OUT}}{I_{PHOTO}} = -Z_F \times \left(1 + \frac{R_2}{R_1} + \frac{R_2}{Z_F} \right) \quad (10)$$

ここで、

V_{OUT} は TIA の出力電圧。

I_{PHOTO} は入力フォトダイオード電流。

$Z_F = R_{Fx} / ((R_{Fx} \times C_{Fx})s + 1)$ 、ここで R_{Fx} と C_{Fx} は選択されたトランスインピーダンス・ゲイン・パスのそれぞれ帰還抵抗とコンデンサ。

R_1 と R_2 は T 回路ゲイン抵抗。

$Z_F \gg R_2$ の場合、トランスインピーダンス式は次のように簡単になります。

$$\frac{V_{OUT}}{I_{PHOTO}} = -\frac{R_{Fx}}{(R_{Fx} \times C_{Fx})s + 1} \times \left(1 + \frac{R_2}{R_1} \right)$$

このため、標準の TIA 設計と比較して、T 回路では同じトランスインピーダンスを得るため $1/(1 + R_1/R_2)$ 倍小さい帰還抵抗値を使います。このため、大きな帰還抵抗の使用で生じる大きな寄生容量の問題がなくなります。同じ信号帯域幅 (すなわち同じ極) を維持するため、 C_F を $1 + R_2/R_1$ 倍に大きくして、非現実的に小さい補償コンデンサの問題を解消させます。

標準の TIA 設計と比較して、T 回路はノイズが大きくなります。これは支配的な電圧ノイズ密度が $1 + R_2/R_1$ 倍に増幅されるためです。

図 72 に、1 MΩ トランスインピーダンス・パスおよび等価 T 回路として構成された ADA4350 を示します。図 73 に、1 MΩ パスおよび等価 T 回路について、補償コンデンサの有無に対して性能比較を示します。

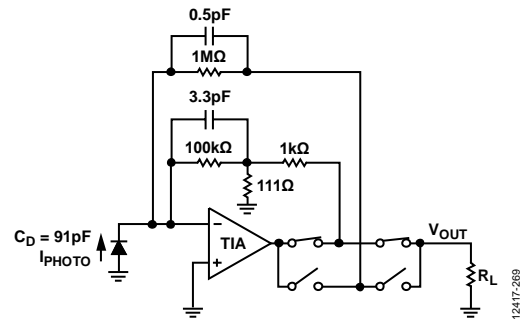


図 72. 1 MΩ トランスインピーダンス・パスおよび等価 T 回路

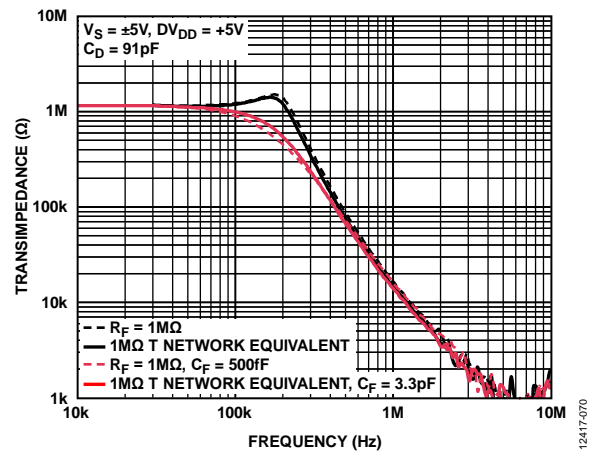


図 73. 1 MΩ トランスインピーダンス・パスおよび T 回路の性能比較

外形寸法

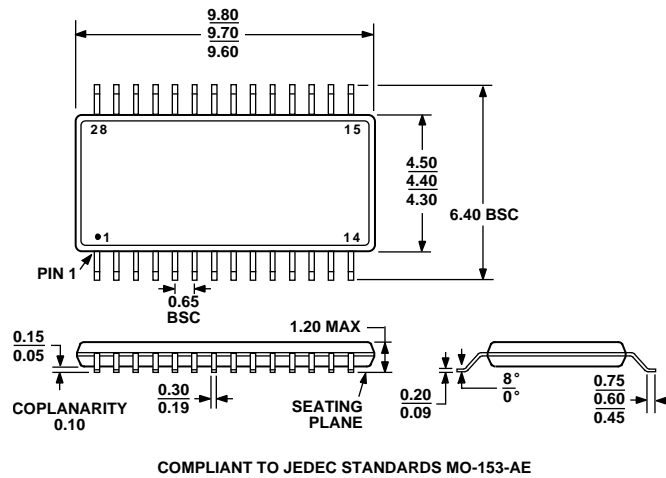


図 74. 28 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP] (RU-28)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADA4350ARUZ	-40°C to +85°C	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28
ADA4350ARUZ-R7	-40°C to +85°C	28-Lead Thin Shrink Small Outline Package [TSSOP]	RU-28
EVAL-ADA4350RUZ-P		Evaluation Board for 28-Lead TSSOP, Precision Version with Guard Rings	

¹Z = RoHS 準拠製品。