

特長

- 単電源動作: 2.7 V ~ 36 V
- 広い入力電圧範囲
- レール to レールの出力振幅
- 低電源電流: アンプ 1 個あたり 200 μ A
- 広い帯域幅: 1.4 MHz
- 高位相マージン: 69°
- スルーレート: 0.4 V/ μ s
- 低オフセット電圧: 最大 1.50 mV
- 位相反転なし
- 過電圧保護機能(OVP)
 - ± 5 V で電源レールの上下 25 V
 - ± 15 V で電源レールの上下 12 V

アプリケーション

- 工業用プロセス制御
- バッテリー駆動の計装機器
- 電源の制御と保護
- 通信
- リモート・センサー
- 低電圧ストレイン・ゲージ・アンプ
- DAC 出力アンプ

概要

ADA4092-4 は、レール to レールの入力と出力を持つマイクロパワー、単電源、1.4 MHz 帯域幅のクワッド・アンプです。+2.7 V ~ +30 V の単電源と ± 1.35 V ~ ± 15 V の両電源での動作が保証されています。

ADA4092-4 は、入力電圧が位相反転またはラッチアップを起こさずに安全にいずれかの電源電圧を超えることを可能にする独自の入力ステージを採用しています。この機能は過電圧保護機能(OVP)と呼ばれています。

これらのアンプのアプリケーションとしては、携帯型通信機器、電源の制御/保護、広い出力範囲を持つトランスジューサのインターフェースなどがあります。レール to レール入力のアンプを必要とするセンサーとしては、ホール効果、圧電、抵抗などのトランスジューサがあります。

例えば、入力と出力でレール to レールの振幅が可能であるため、単電源システムでマルチステージ・フィルタを構築し、高い信号対ノイズ比(SNR)を維持することができます。

ピン配置

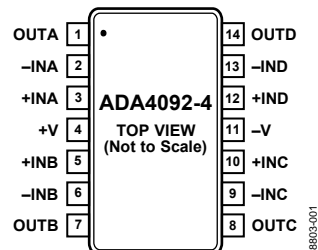


図 1. 14 ピン TSSOP (RU-14)

ADA4092-4 は、 -40°C ~ $+125^{\circ}\text{C}$ の拡張工業温度範囲で仕様が規定されています。ADA4092-4 はアナログ・デバイセズの 36 V 低消費電力オペアンプ・ファミリーに属し、このファミリーの拡張は続いています(表 1 参照)。

ADA4092-4 は、14 ピン TSSOP 表面実装パッケージを採用しています。

表 1. 低消費電力、36 V オペアンプ

Family	Rail-to-Rail I/O	RRIO Precision	PJFET	Low Noise
Single				OP1177
Dual		ADA4091-2	AD8682	OP2177
Quad	ADA4092-4	ADA4091-4	AD8684	OP4177

目次

特長.....	1	ESDの注意.....	6
アプリケーション.....	1	代表的な性能特性.....	7
ピン配置.....	1	動作原理.....	15
概要.....	1	入力ステージ.....	15
改訂履歴.....	2	出力ステージ.....	15
仕様.....	3	入力過電圧保護機能.....	16
電氣的仕様.....	3	コンパレータ動作.....	16
絶対最大定格.....	6	外形寸法.....	17
熱抵抗.....	6	オーダー・ガイド.....	17

改訂履歴

5/10—Rev. 0 to Rev. A

Changes to Data Sheet Title, General Description, and Table 1	1
--	---

4/10—Revision 0: Initial Version

仕様

電氣的仕様

特に指定がない限り、 $V_{SY} = \pm 1.5\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-1.5	+0.2	+1.5	mV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$		-2.5	3	+2.5	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	-60	-45		nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-60		+60	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	-275		+275	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-4	+1	+4	nA
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	-5		+5	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-75		+75	nA
Input Voltage Range	IVR		-1.5		+1.5	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -1.5\text{ V to }+1.5\text{ V}$	70	85		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	68			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 100\text{ k}\Omega$, $V_O = -1.2\text{ V to }+1.2\text{ V}$	106	113		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	101			dB
		$R_L = 10\text{ k}\Omega$, $V_O = -1.2\text{ V to }+1.2\text{ V}$	92	94		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	85			dB
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 100\text{ k}\Omega$ to GND	1.485	1.495		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	1.480			V
		$R_L = 10\text{ k}\Omega$ to GND	1.470	1.480		V
		$-40^\circ\text{C to }+125^\circ\text{C}$	1.455			V
Output Voltage Low	V_{OL}	$R_L = 100\text{ k}\Omega$ to GND		-1.497	-1.490	V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			-1.480	V
		$R_L = 10\text{ k}\Omega$ to GND		-1.495	-1.485	V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			-1.475	V
Short-Circuit Limit	I_{SC}	Source/sink		± 30		mA
Closed-Loop Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_v = +1$		130		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7\text{ V to }36\text{ V}$	98	112		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	90			dB
Supply Current per Amplifier	I_{SY}	$I_O = 0\text{ mA}$		165	200	μA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			300	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 100\text{ k}\Omega$, $C_L = 30\text{ pF}$		0.4		V/ μs
Settling Time	t_s	To 0.01%		25		μs
Gain Bandwidth Product	GBP			1.2		MHz
Phase Margin	Φ_M			66		Degrees
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.8		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		30		nV/ $\sqrt{\text{Hz}}$

特に指定がない限り、 $V_{SY} = \pm 5.0\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}		-1.5	+0.2	+1.5	mV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-2.5		+2.5	mV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$			3		$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	-60	-53		nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-80		+80	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-350		+350	nA
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	-4	+1	+4	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-7		+7	nA
Input Voltage Range	IVR		-100		+100	nA
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -5.0\text{ V to }+5.0\text{ V}$	-5		+5	V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	82	95		dB
Large Signal Voltage Gain	A_{VO}	$R_L = 100\text{ k}\Omega$, $V_O = \pm 4.7\text{ V}$	78			dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	113	117		dB
		$R_L = 10\text{ k}\Omega$, $V_O = \pm 4.7\text{ V}$	106			dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	98	100		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	90			dB
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 100\text{ k}\Omega$ to GND	4.980	4.990		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.975			V
		$R_L = 10\text{ k}\Omega$ to GND	4.945	4.960		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.900			V
Output Voltage Low	V_{OL}	$R_L = 100\text{ k}\Omega$ to GND		-4.997	-4.990	V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			-4.980	V
		$R_L = 10\text{ k}\Omega$ to GND		-4.990	-4.980	V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			-4.975	V
Short-Circuit Limit	I_{SC}	Source/sink		± 20		mA
Closed-Loop Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = +1$		90		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7\text{ V to }36\text{ V}$	98	112		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	90			dB
Supply Current per Amplifier	I_{SY}	$I_O = 0\text{ mA}$		180	225	μA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			300	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 100\text{ k}\Omega$, $C_L = 30\text{ pF}$		0.4		$\text{V}/\mu\text{s}$
Settling Time	t_s	To 0.01%		25		μs
Gain Bandwidth Product	GBP			1.3		MHz
Phase Margin	Φ_M			67		Degrees
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.8		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		30		$\text{nV}/\sqrt{\text{Hz}}$

特に指定がない限り、 $V_{SY} = \pm 15.0\text{ V}$ 、 $V_{CM} = 0\text{ V}$ 、 $V_O = 0\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

表 4.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-1.5	+0.2	+1.5	mV
			-2.5		+2.5	mV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$			3		$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B	$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	-60	-50		nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-80		+80	nA
Input Offset Current	I_{OS}	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-500		+500	nA
		$-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$	-4	+1	+4	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-10		+10	nA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	-140		+140	nA
Input Voltage Range	IVR		-15		+15	V
Common-Mode Rejection Ratio	CMRR	$V_{CM} = -15.0\text{ V to }+15.0\text{ V}$	90	103		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	87			dB
Large Signal Voltage Gain	A_{VO}	$R_L = 100\text{ k}\Omega$, $V_O = \pm 14.7\text{ V}$	116	118		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	108			dB
		$R_L = 10\text{ k}\Omega$, $V_O = \pm 14.7\text{ V}$	102	104		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	93			dB
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 100\text{ k}\Omega$ to GND	14.970	14.980		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	14.950			V
		$R_L = 10\text{ k}\Omega$ to GND	14.900	14.915		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	14.800			V
Output Voltage Low	V_{OL}	$R_L = 100\text{ k}\Omega$ to GND		-14.985	-14.980	V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			-14.965	V
		$R_L = 10\text{ k}\Omega$ to GND		-14.970	-14.950	V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			-14.940	V
Short-Circuit Limit	I_{SC}	Source/sink		± 20		mA
Closed-Loop Impedance	Z_{OUT}	$f = 1\text{ MHz}$, $A_V = +1$		68		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$V_{SY} = 2.7\text{ V to }36\text{ V}$	98	112		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	90			dB
Supply Current per Amplifier	I_{SY}	$I_O = 0\text{ mA}$		200	250	μA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			350	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR	$R_L = 100\text{ k}\Omega$, $C_L = 30\text{ pF}$		0.4		$\text{V}/\mu\text{s}$
Settling Time	t_s	To 0.01%		25		μs
Gain Bandwidth Product	GBP			1.4		MHz
Phase Margin	Φ_M			69		Degrees
Channel Separation	CS	$f = 1\text{ kHz}$		100		dB
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	0.1 Hz to 10 Hz		0.8		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		30		$\text{nV}/\sqrt{\text{Hz}}$

絶対最大定格

表 5.

Parameter	Rating
Supply Voltage	36 V
Input Voltage	Refer to the Input Overvoltage Protection section
Differential Input Voltage	$\pm V_{SY}$
Input Current	± 5 mA
Output Short-Circuit Duration to GND	Indefinite
Storage Temperature Range	-65°C to +150°C
Operating Temperature Range	-40°C to +125°C
Junction Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 60 sec)	300°C

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} は、4層の JEDEC 標準プリント回路ボード (PCB) にハンダ付けしたデバイスに対して自然空冷で規定します。

表 6. 熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
14-Lead TSSOP (RU-14)	112	35	°C/W

ESDの注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

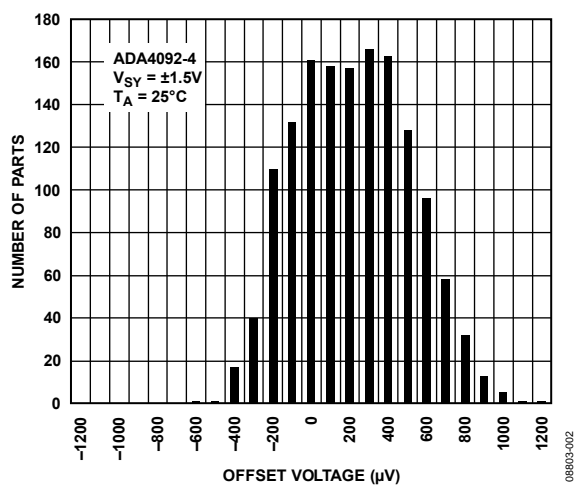


図 2.入力オフセット電圧の分布、3 V

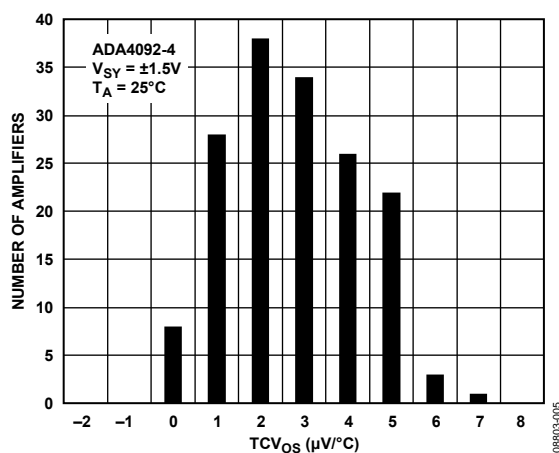


図 5.TC V_{OS} の分布、3 V

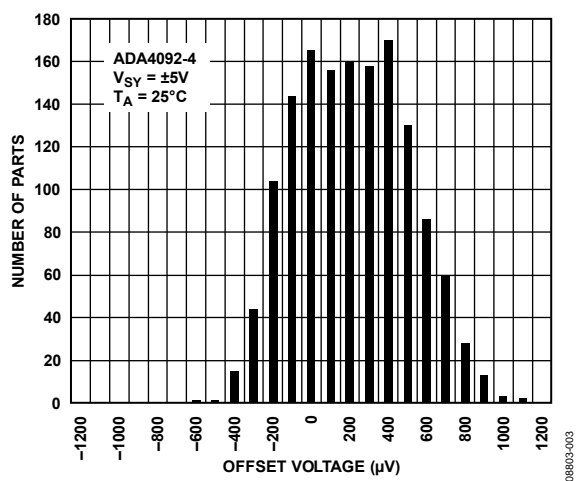


図 3.入力オフセット電圧の分布、10 V

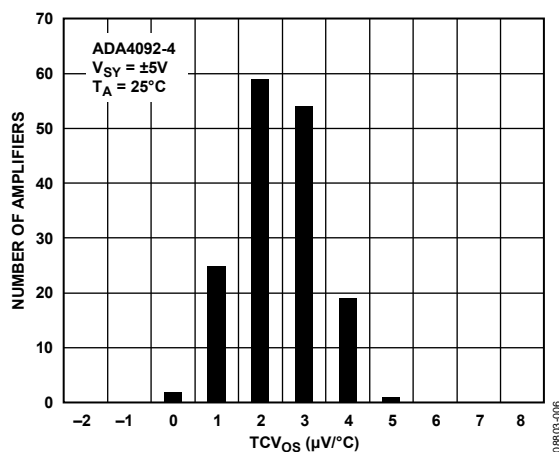


図 6.TC V_{OS} の分布、10 V

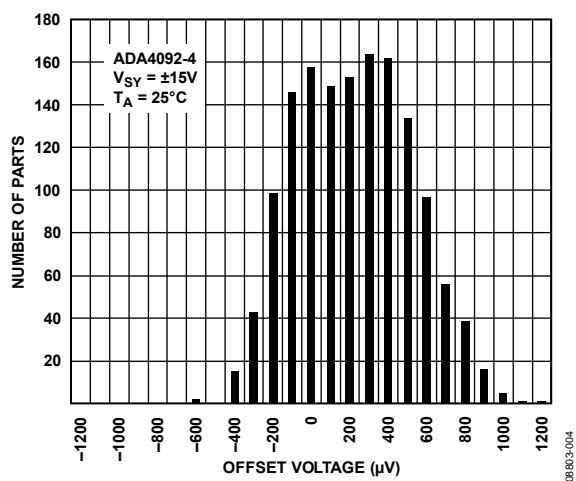


図 4.入力オフセット電圧の分布、30 V

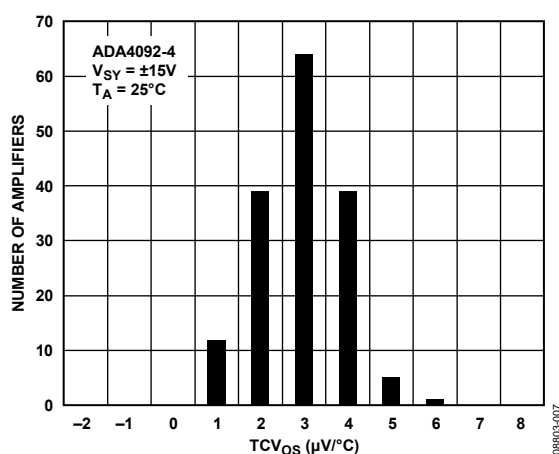


図 7.TC V_{OS} の分布、30 V

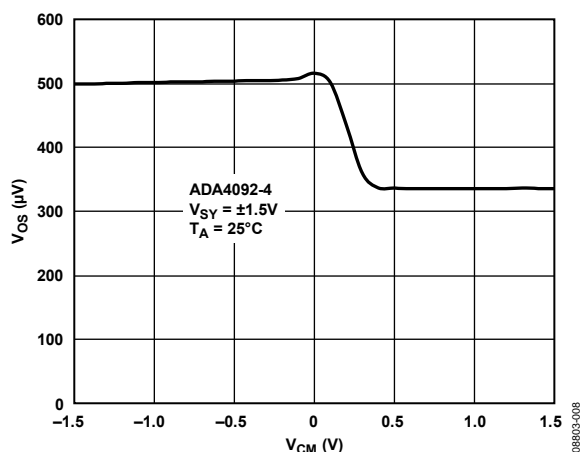


図 8.同相モード電圧対入力オフセット電圧、3 V

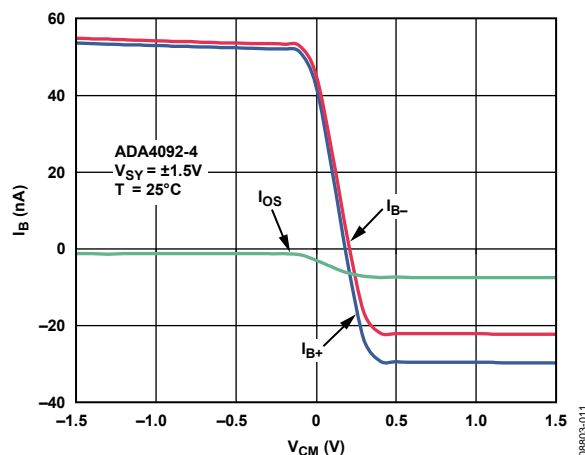


図 11.同相モード電圧対入力バイアス電流、3 V

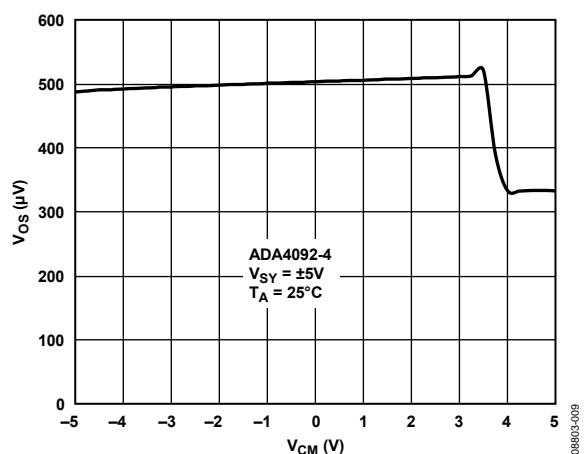


図 9.同相モード電圧対入力オフセット電圧、10 V

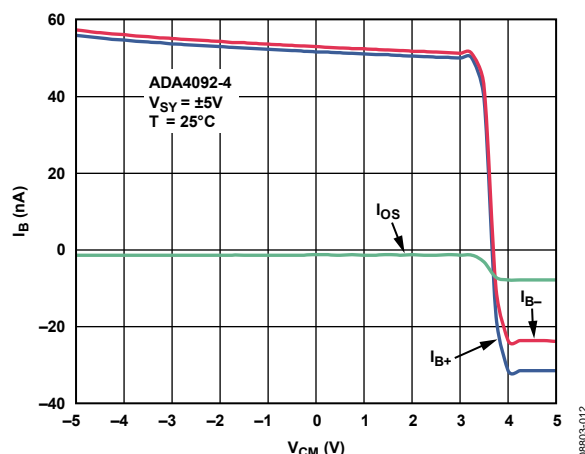


図 12.同相モード電圧対入力バイアス電流、10 V

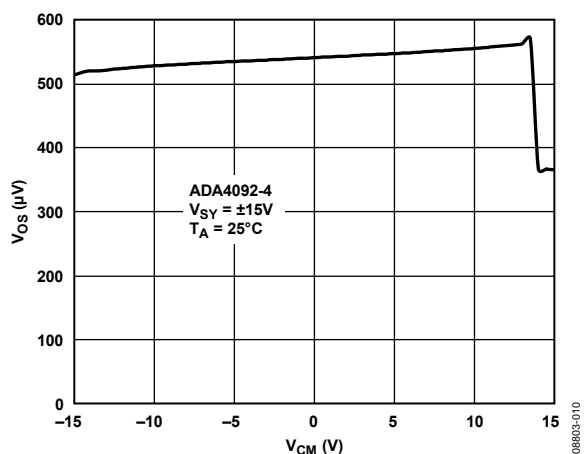


図 10.同相モード電圧対入力オフセット電圧、30 V

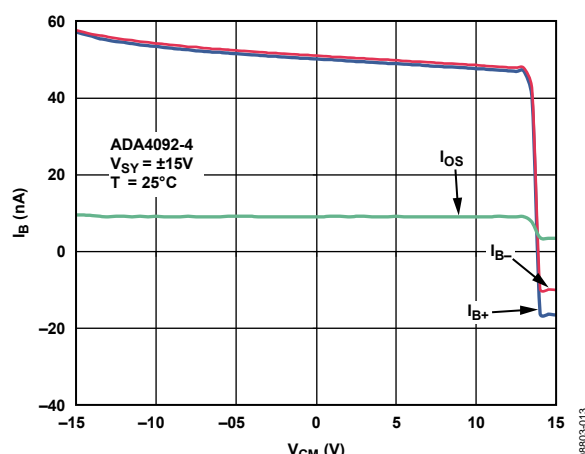


図 13.同相モード電圧対入力バイアス電流、30 V

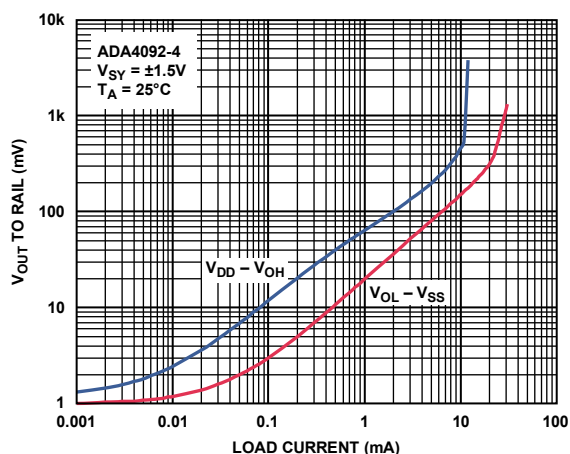


図 14. 負荷電流対ドロップアウト電圧、3 V

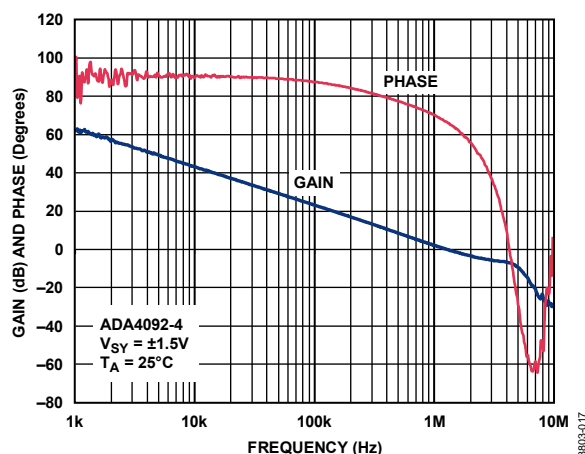


図 17. オープン・ループ・ゲインおよび位相の周波数特性 3 V

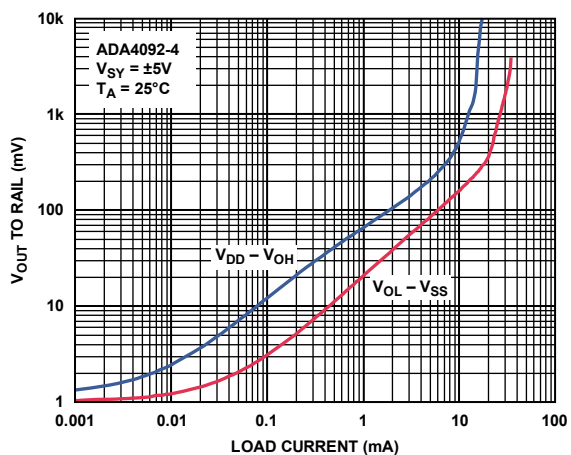


図 15. 負荷電流対ドロップアウト電圧、10 V

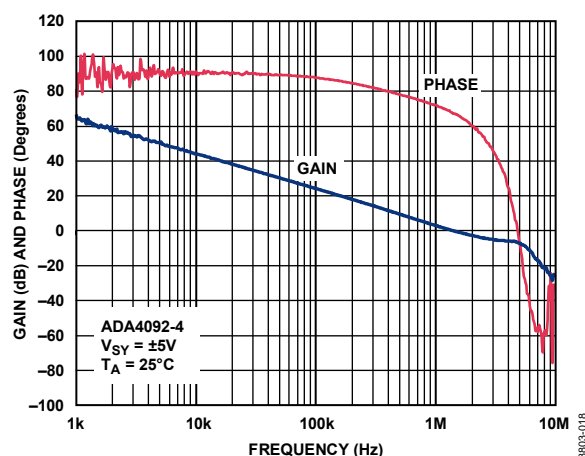


図 18. オープン・ループ・ゲインおよび位相の周波数特性 10 V

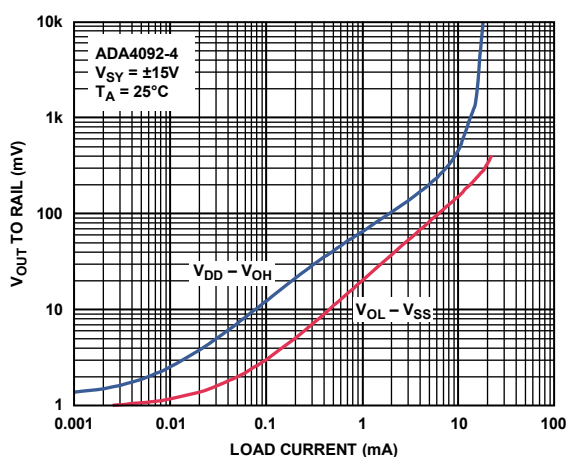


図 16. 負荷電流対ドロップアウト電圧、30 V

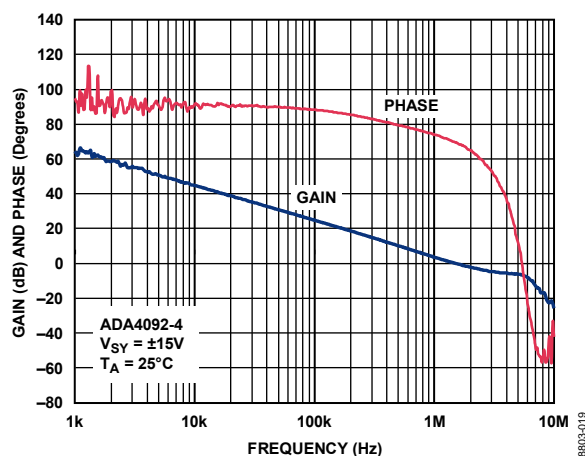


図 19. オープン・ループ・ゲインおよび位相の周波数特性 30 V

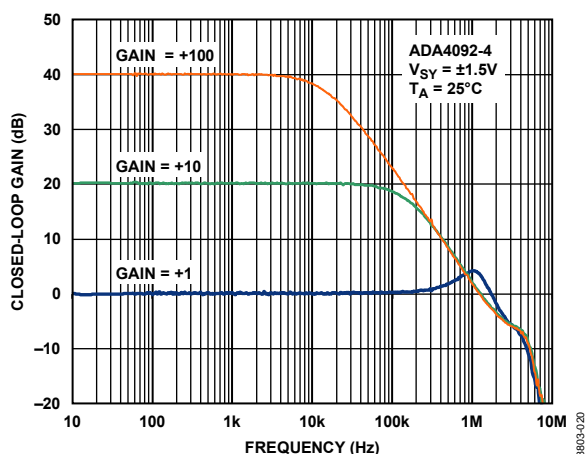


図 20.クローズド・ループ・ゲインの周波数特性
3 V

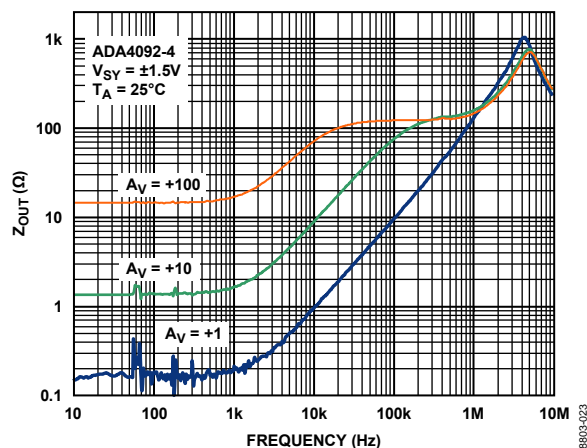


図 23.クローズド・ループ出力インピーダンスの周波数特性
3 V

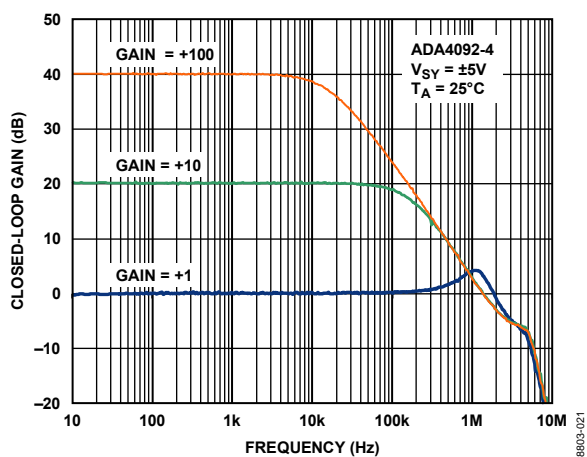


図 21.クローズド・ループ・ゲインの周波数特性
10 V

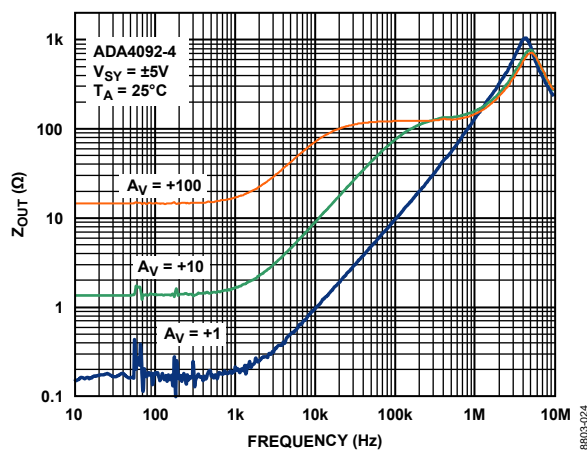


図 24.クローズド・ループ出力インピーダンスの周波数特性
10 V

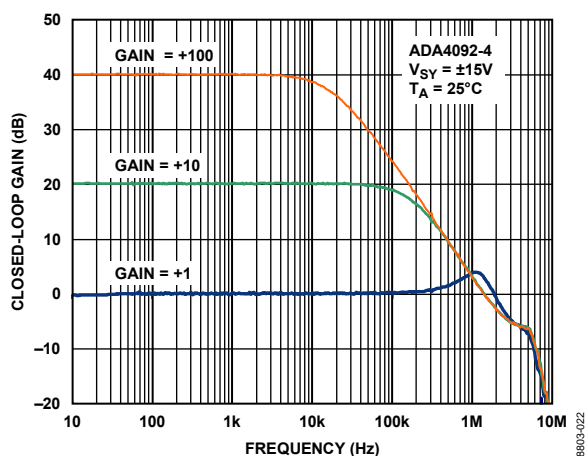


図 22.クローズド・ループ・ゲインの周波数特性
30 V

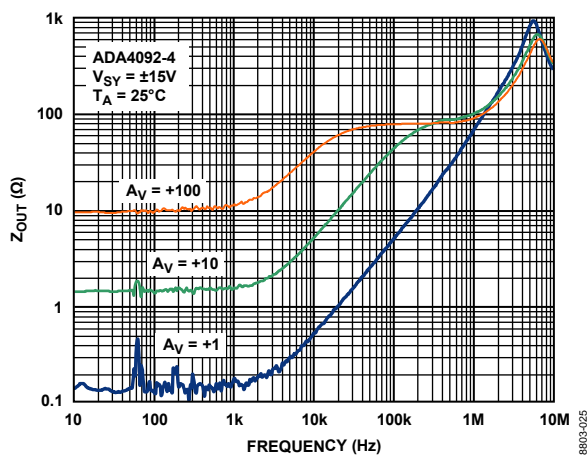


図 25.出力インピーダンスの周波数特性
30 V

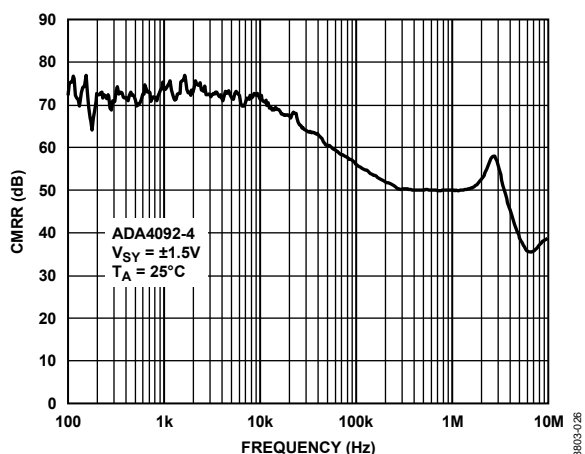


図 26. CMRR の周波数特性、3 V

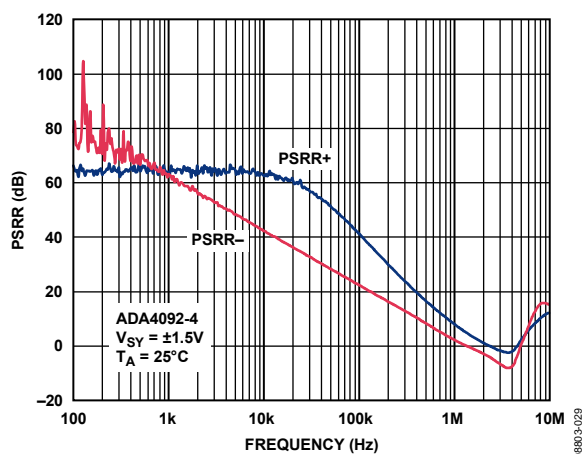


図 29. PSRR の周波数特性、3 V

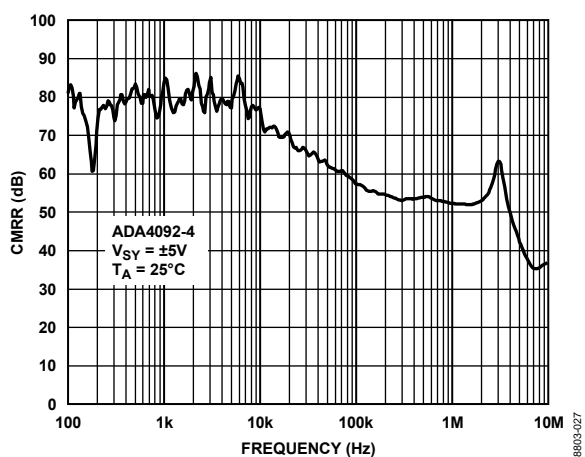


図 27. CMRR の周波数特性、10 V

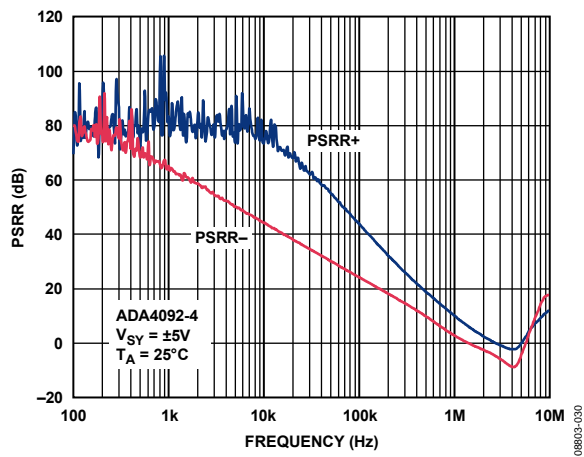


図 30. PSRR の周波数特性、10 V

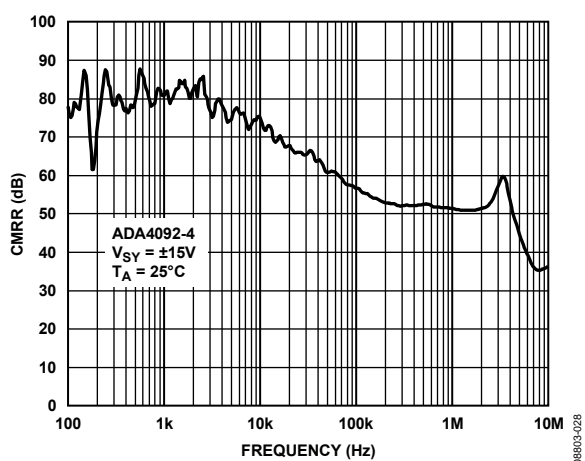


図 28. CMRR の周波数特性、30 V

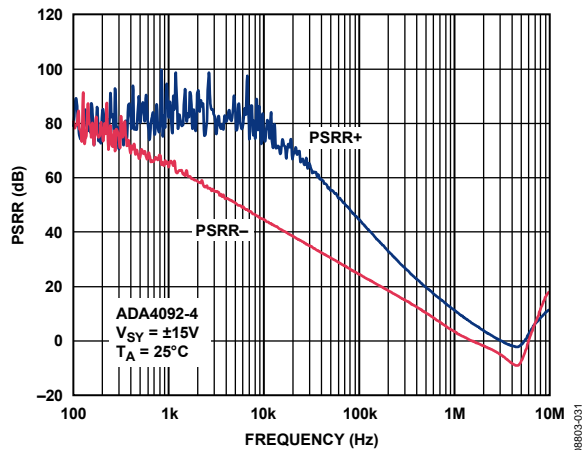


図 31. PSRR の周波数特性、30 V

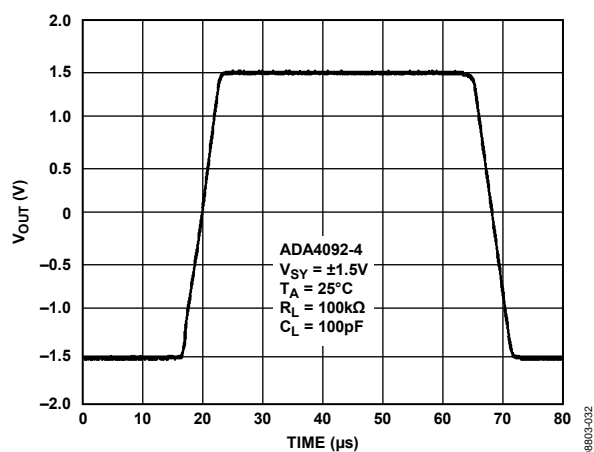


图 32.大信号过渡应答、3 V

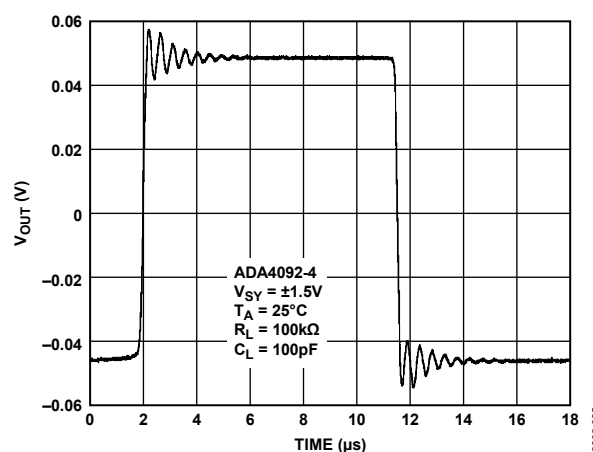


图 35.小信号过渡应答、3 V

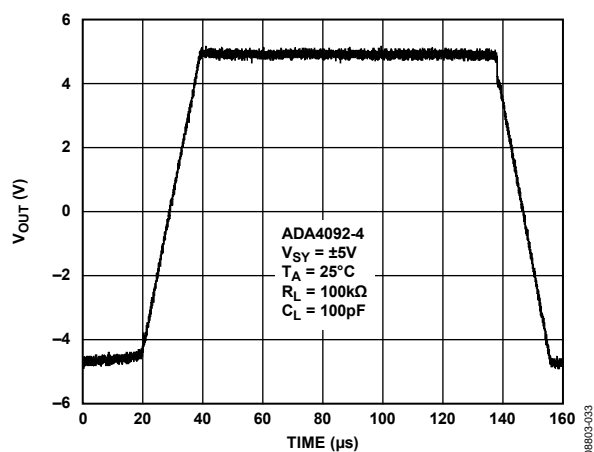


图 33.大信号过渡应答、10 V

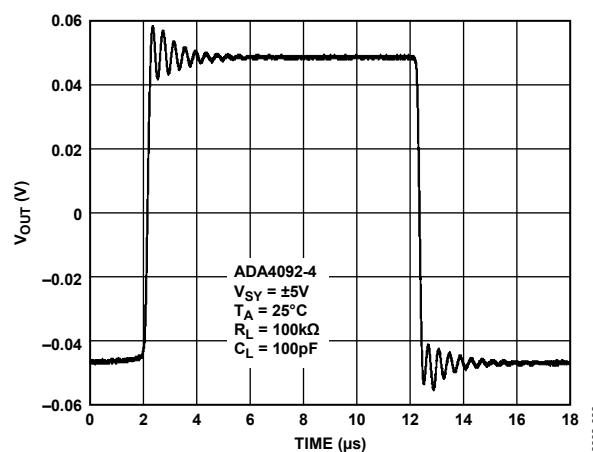


图 36.小信号过渡应答、10 V

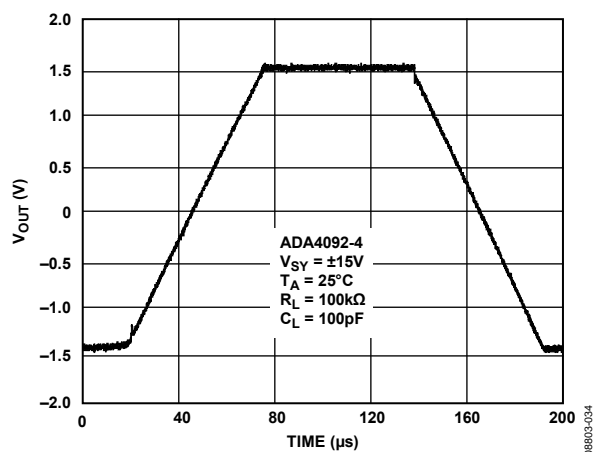


图 34.大信号过渡应答、30 V

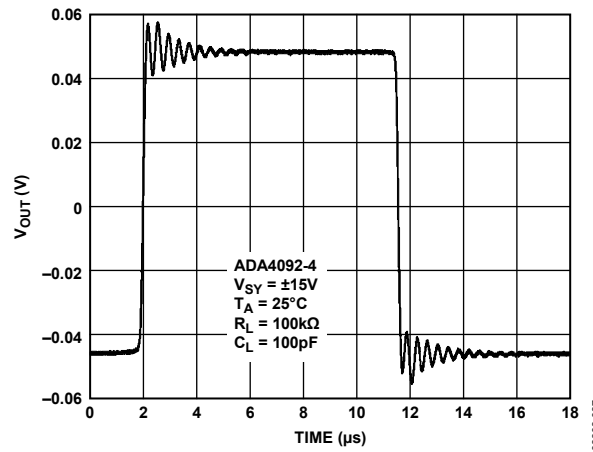


图 37.小信号过渡应答、30 V

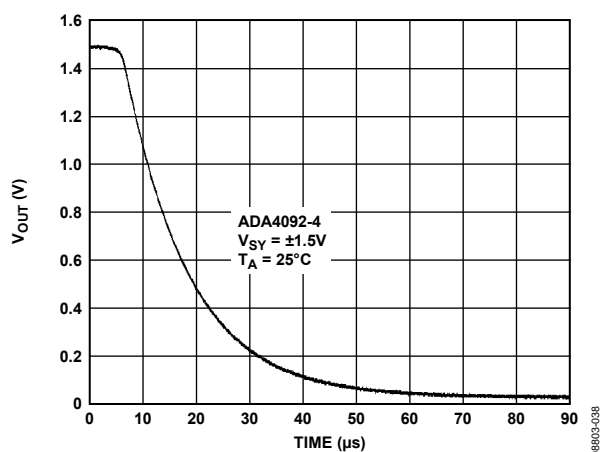


图 38.正側過負荷回復、3 V

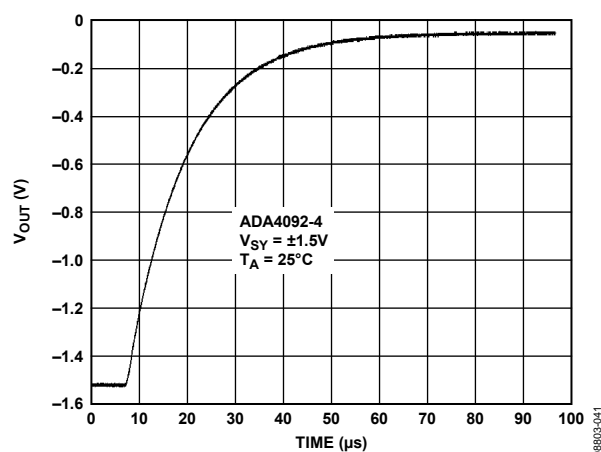


图 41.負側過負荷回復、3 V

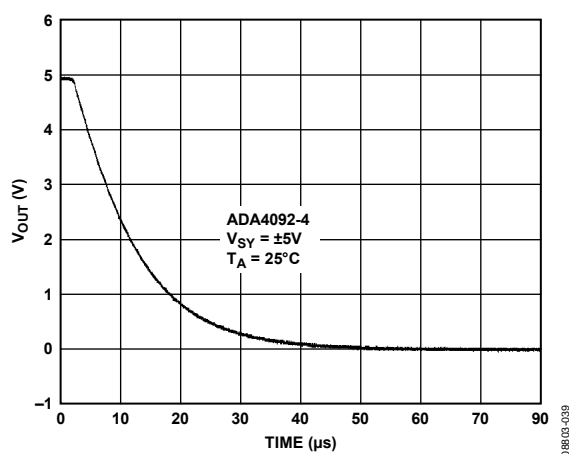


图 39.正側過負荷回復、10 V

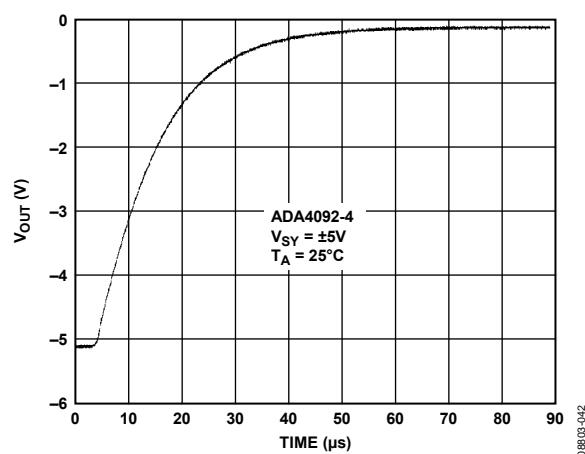


图 42.負側過負荷回復、10 V

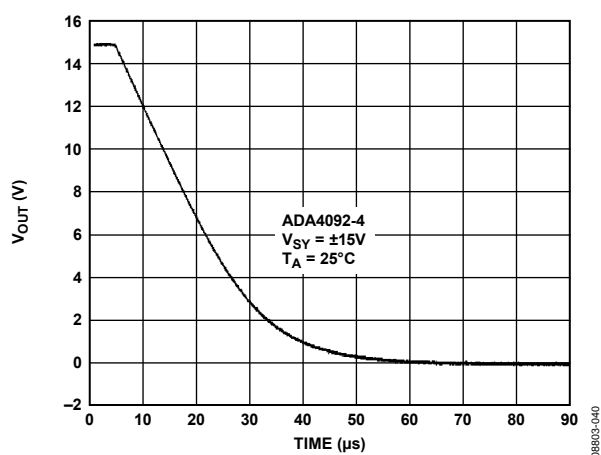


图 40.正側過負荷回復、30 V

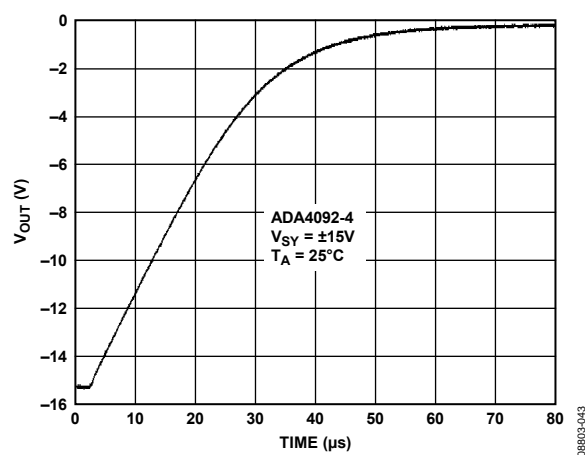


图 43.負側過負荷回復、30 V

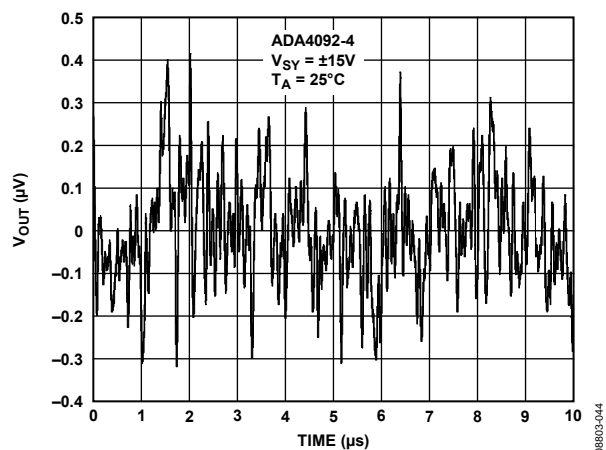


図 44. ピーク to ピーク電圧ノイズ

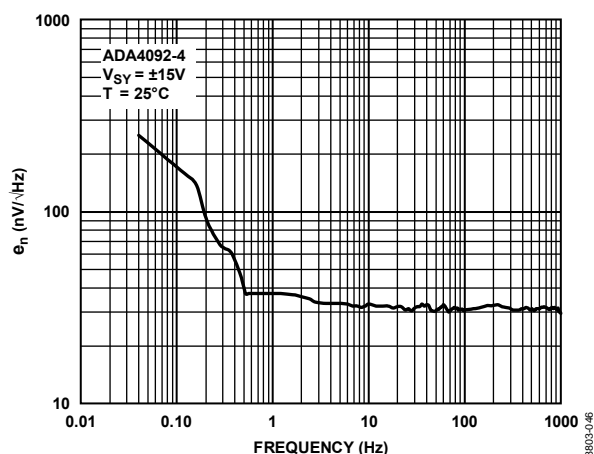


図 46. 電圧ノイズ密度

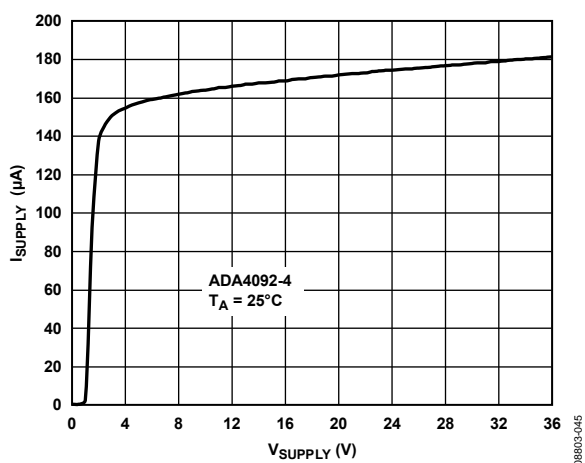


図 45. 電源電圧対電源電流

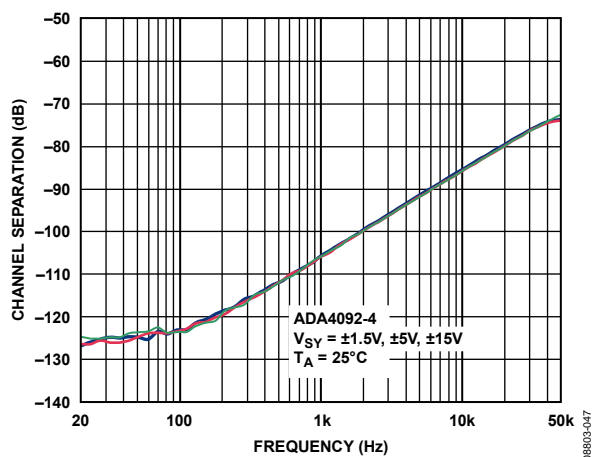


図 47. チャンネル・セパレーションの周波数特性

動作原理

ADA4092-4 は、レール to レールの入力と出力を持つ単電源のマイクロパワー・アンプです。これらのアンプでは、広い入力/出力範囲を実現するために、独自の入力/出力ステージを採用しています。

入力ステージ

図 48 に、PNP対(PNP入力ステージ)とNPN対(NPN入力ステージ)の 2 つの差動対から構成されている入力ステージを示します。これらのステージは並行動作をせずに、与えられた入力同相モード信号レベルに対して 1 ステージのみが動作します。PNPステージ(トランジスタ Q1 とトランジスタ Q2)では、入力電圧が負電源レールに近づき一致しても、アンプがリニア領域で動作ことが要求されます。これに対して、NPNステージ(トランジスタ Q5 とトランジスタ Q6)は、入力電圧が正電源レールに近づき一致する場合に動作する必要があります。

PNPステージは、入力同相モード範囲の大部分で動作します(図 8~図 13 参照)。V_{OS}がシフトし、さらに正電源レールより約 1.5 V下でバイアス電流の方向が変わることに注意してください。このレベルより下の電圧で、バイアス電流はADA4092-4 のPNP入力ステージから流出します。この電圧の上では、バイアス電流はNPNステージからデバイスへ流入します。アンプ内での入力ステージの切り替えの実際のメカニズムは、Q3、Q4、Q7 により構成されています。入力同相モード電圧が上昇すると、Q1 と Q2 のエミッタがその電圧とダイオード電圧降下の和に追従します。Q1 と Q2 のエミッタ電圧が高くなりQ3 をターンオンさせる、NPN入力ステージを流れるテール電流が減少してターンオフします。PNP対のテール電流がQ4/Q7 電流ミラー に供給されて、NPN入力ステージがアクティブになります(図 48 参照)。

大きな差動電圧から入力トランジスタを保護するためにバイボラ・アンプで一般に採用されている方法は、直列抵抗と差動ダイオードを接続する方法です(入力保護回路については 図 49 を参照)。差動電圧が約 0.6 Vを超えると、これらのダイオードがターンオンします。この状態では、電流が入力ピン間に流れ、この電流を制限するのは 2 本の 5 k Ω 抵抗だけになります。各アプリケーションを注意深く調べて、電流が増加しても性能に影響しないことを確認してください。

出力ステージ

ADA4092-4 デバイスの出力ステージでは、大部分の出力ステージと同様に、PNP トランジスタと NPN トランジスタを使っています。ただし、出力トランジスタ(Q32 と Q33)では、レール to レール出力振幅を実現するためにコレクタが出力ピンに接続されています。

出力電圧が正または負の電源レールに近づくと、これらのトランジスタは飽和し始めます。したがって、出力電圧の最終値は、これらトランジスタの飽和電圧(約 50 mV)になります。出力ステージは、トランジスタの出力インピーダンスおよび外付け負荷インピーダンスから生ずる固有のゲインを持っているため、オペアンプのオープン・ループ・ゲインは負荷抵抗に依存し、出力電圧がいずれかの電源レールに近づくと減少します。

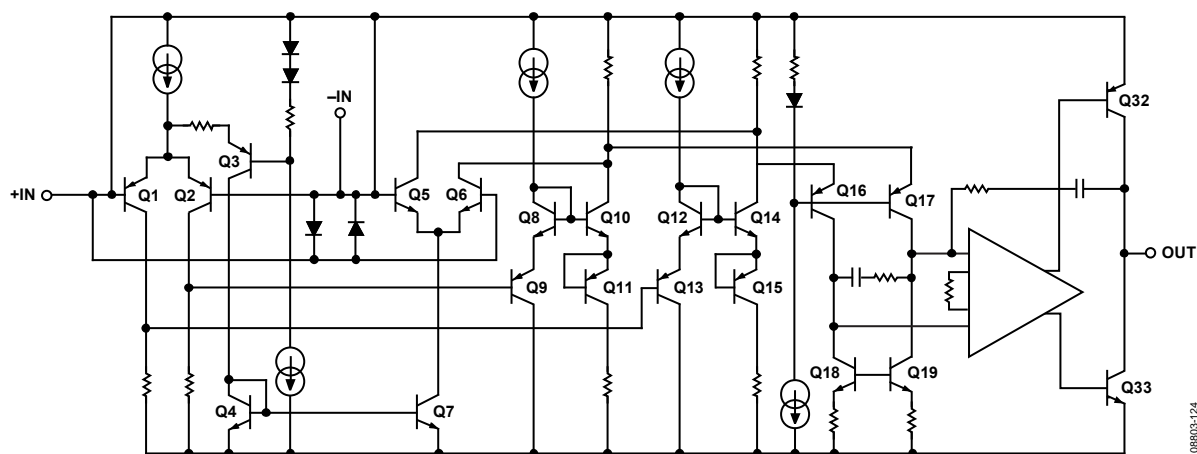


図 48. 入力保護のない簡略化した回路図(図 49 参照)

入力過電圧保護機能

ADA4092-4 には、保護機能を強化する 2 種類の ESD 回路があります(図 49)。

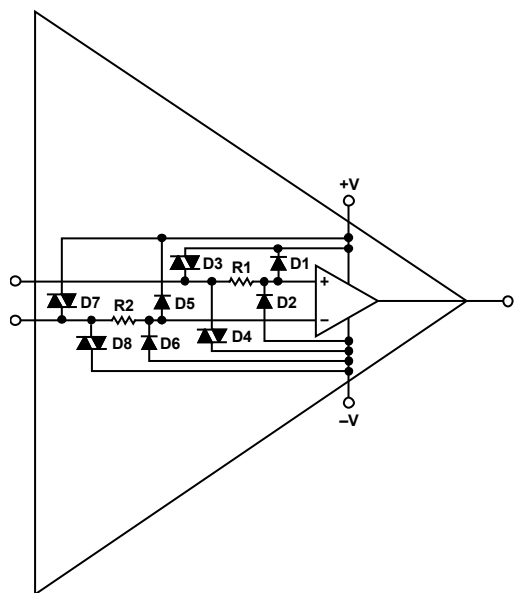


図 49. 詳細な入力保護回路

1 つ目の回路は、内部入力への 5 kΩ 直列抵抗と、内部入力と電源レールとの間のダイオード(D1 と D2 または D5 と D6)です。2 つ目の保護回路は、電源レールに対する 2 個の DIAC (D3 と D4 または D7 と D8)を使った回路です。DIACは、図 50 に示す伝達特性を持つ双方向ツェナー・ダイオードと見なすことができます。

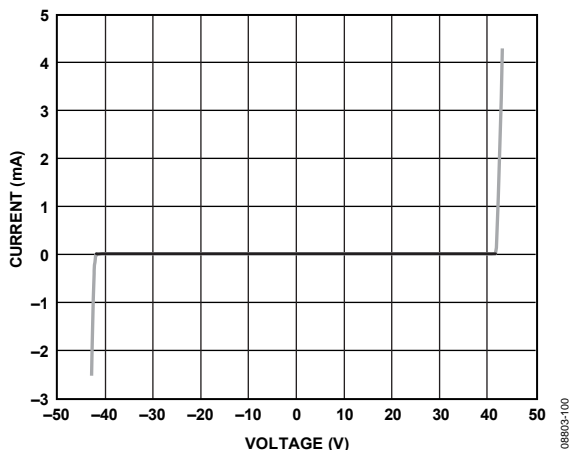


図 50. DIAC の伝達特性

ワーストケース・デザイン解析では、2 つのケースを検討します。ADA4092-4 は、内部オペアンプ入力から電源レールまでの通常の ESD 構造を持っています。さらに、外部入力から電源レールまでの 42 V DIAC も持っています(図 48)。

したがって、いずれが支配的かを見つけるためには、2 つの条件を検討する必要があります。

1. 例えば、±15 V 動作で、入力が負電源レールの上+42 V まで行くことを検討します。-V ピン= -15 V の場合、この電源(負電源)の上+42 V とは+27 V を意味します。
2. 5 kΩ 抵抗を流れて ESD 構造と正電源レールへ行く入力電流には 5 mA の制限もあります。条件 1 で、5 kΩ 抵抗を経て+15 V までの+27 V により 2.4 mA の電流が発生します。したがって、DIAC が支配的になります。ADA4092-4 の電源電圧が±5 V に変わった場合には、-5 V + 42 V = +37 V になります。ただし、+5 V + (5 kΩ × 5 mA) = 30 V です。したがって、低い電源電圧で動作するときには通常の抵抗-ダイオード構造が支配的になります。

さらに高いピーク電圧から保護するためには、各入力に直列に外付け抵抗を接続することができますが、抵抗の熱ノイズが増加することに注意する必要があります。

ADA4092-4 のフラットバンド電圧ノイズは約 25 nV/√Hz で、5 kΩ 抵抗のノイズは 9 nV/√Hz です。5 kΩ 抵抗を追加すると、合計ノイズが 2 乗平均(rss)で 15%弱増加します。このため、全体のノイズ性能が問題となる場合には、抵抗値をこの値(5 kΩ)より小さくする必要があります。

このような入力保護機能は、通常状態では発生しないことに注意してください。正しいアンプ動作入力電圧範囲 (IVR)は、表 2、表 3、表 4 で規定されています。

コンパレータ動作

オペアンプはコンパレータとかなり異なりますが、デュアルまたはクワッド・オペアンプの未使用部分をコンパレータとして使用することがありますが、これは推奨できません。レールtoレール出力のオペアンプの場合、一般に出力ステージはバイポーラ・トランジスタまたは MOSFET トランジスタに対して比例電流ミラーになっています。デバイスをオープン・ループで動作させる場合、2 ステージ目は電流駆動を比例ミラーまで増やしてループを閉じようとはしますが、これを閉じることができないため、電源電流が増えます。3 個のオペアンプが通常の動作を行い、4 個目がコンパレータ・モードで動作する場合、電源電流は約 200 μA 増えます(図 51 参照)。

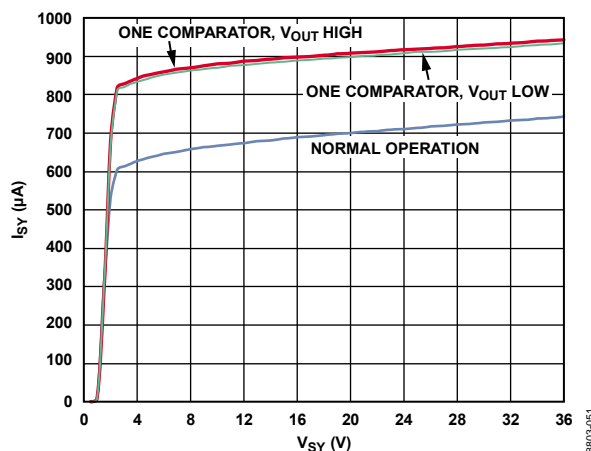


図 51. コンパレータ電源電流

外形寸法

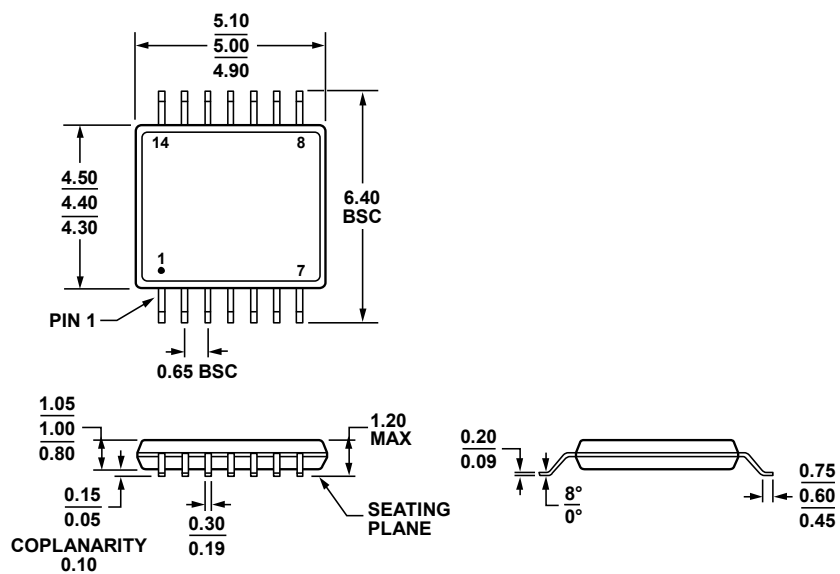


図 52.14 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]
(RU-14)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option
ADA4092-4ARUZ	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14
ADA4092-4ARUZ-RL	-40°C to +125°C	14-Lead Thin Shrink Small Outline Package [TSSOP]	RU-14

¹ Z = RoHS 準拠製品