

特長

- 非常に小さい電源電流: 13 μ A (typ)
- 低オフセット電圧: 最大 15 μ V
- オフセット電圧ドリフト: 20 nV/ $^{\circ}$ C
- 単電源動作: 1.8 V~5.5 V
- 高い PSRR: 最小 110 dB
- 高い CMRR: 最小 110 dB
- レール to レール入力/出力
- ユニティ・ゲイン安定
- 拡張工業用温度範囲

アプリケーション

- 圧力センサーと位置センサー
- 温度計測
- 重量計
- 医療計測機器
- バッテリー駆動の装置
- 携帯型テスト装置

ピン配置

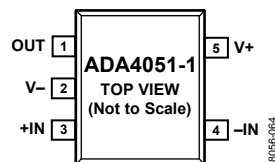


図 1.5 ピン SOT-23 (RJ-5)

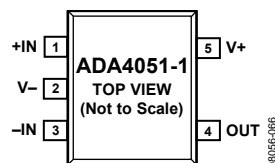
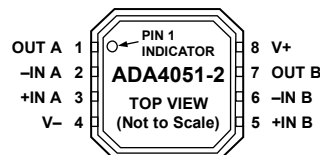


図 2.5 ピン SC-70 (KS-5)



図 3.8 ピン MSOP (RM-8)



NOTES
1. IT IS RECOMMENDED THAT THE EXPOSED PAD BE CONNECTED TO V-.

図 4.8 ピン LFCSP (CP-8-2)

概要

ADA4051-1/ADA4051-2 は、技術革新的なチョッピング技術を採用した CMOS、マイクロパワー、ゼロ・ドリフトのオペアンプです。これらのアンプは、レール to レールの入力/出力振幅と極めて小さいオフセット電圧を持ち、1.8 V~5.5 V の電源で動作します。さらに、これらのアンプは高い電源除去比(PSRR)と同相モード除去比(CMRR)を提供し、アンプあたり 13 μ A (typ) の電源電流で動作します。ADA4051-1/ADA4051-2 アンプは、この機能の組み合わせにより、高精度と低消費電力が重要であるバッテリー駆動アプリケーションに最適です。

ADA4051-1/ADA4051-2 の仕様は-40 $^{\circ}$ C~+125 $^{\circ}$ C の拡張工業用温度範囲で規定されています。ADA4051-1 アンプは 5 ピン SOT-23 パッケージまたは 5 ピン SC-70 パッケージを採用しています。

ADA4051-2 アンプは、8 ピン MSOP パッケージまたは 8 ピン LFCSP パッケージを採用しています。

ADA4051-1/ADA4051-2 は、アナログ・デバイセズから提供しているゼロ・ドリフト・オペアンプのシリーズに属し、このシリーズの拡張は続いています。これらデバイスの一覧を表 1 に示します。

表 1. オペアンプ

Supply	Low Power, 5 V	5 V	16 V
Single	AD8538	AD8628	AD8638
Dual	AD8539	AD8629	AD8639
Quad		AD8630	

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートは REVISION が古い場合があります。最新の内容については、英語版をご参照ください。
©2009–2010 Analog Devices, Inc. All rights reserved.

目次

特長.....	1	熱抵抗.....	5
アプリケーション.....	1	電源シーケンス.....	5
ピン配置.....	1	ESDの注意.....	5
概要.....	1	代表的な性能特性.....	6
改訂履歴.....	2	動作原理.....	15
仕様.....	3	入力電圧範囲.....	16
電気的特性—1.8 V動作.....	3	出力位相の反転.....	16
電気的特性—5 V動作.....	4	外形寸法.....	17
絶対最大定格.....	5	オーダー・ガイド.....	18

改訂履歴

1/10—Rev. A to Rev. B

Added ADA4051-1, 5-Lead SC-70 Package	Universal
Added Figure 2; Renumbered Sequentially	1
Changes to Figure 4 and General Description Section.....	1
Changes to Electrical Characteristics—1.8 V Operation Section and Table 2	3
Changes to Electrical Characteristics—5 V Operation Section and Table 3	4
Changes to Table 5	5
Updated Outline Dimensions.....	17
Changes to Ordering Guide	18

10/09—Rev. 0 to Rev. A

Added ADA4051-1, 5-Lead SOT-23 Package	Universal
Added ADA4051-2, 8-Lead LFCSP Package	Universal
Changes to the Features and General Description Section, Added Figure 1 and Figure 3	1
Moved Electrical Characteristics—1.8 V Operation Section	3
Changes to Offset Voltage Parameter and Supply Current per Amplifier Parameter, Table 2.....	3
Moved Electrical Characteristics—5 V Operation Section.....	4
Changes to Offset Voltage Parameter and Supply Current per Amplifier Parameter, Table 2.....	4
Changes to Thermal Resistance Section and Table 5	5
Changes to Figure 22 and Figure 25	9
Changes to Theory of Operation Section	15
Updated Outline Dimensions.....	17
Changes to Ordering Guide	18

7/09—Revision 0: Initial Version

仕様

電気的特性—1.8 V動作

特に指定がない限り、 $V_{SY} = 1.8\text{ V}$ 、 $V_{CM} = V_{SY}/2\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $R_L = 100\text{ k}\Omega$ (GNDへ接続)。

表 2.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}					
ADA4051-2		$0\text{ V} \leq V_{CM} \leq 1.8\text{ V}$		2	15	μV
ADA4051-1		$0\text{ V} \leq V_{CM} \leq 1.8\text{ V}$		2	17	μV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.02	0.1	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B			5	50	pA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			200	pA
Input Offset Current	I_{OS}			10	100	pA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			150	pA
Input Voltage Range		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	0		1.8	V
Common-Mode Rejection Ratio	CMRR	$0\text{ V} \leq V_{CM} \leq 1.8\text{ V}$	105	125		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	100			dB
Large-Signal Voltage Gain	A_{VO}	$R_L = 10\text{ k}\Omega$ to V_{CM} , $0.1\text{ V} \leq V_{OUT} \leq V_{SY} - 0.1\text{ V}$	106	130		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	100			dB
Input Resistance	R_{IN}			8		$\text{M}\Omega$
Input Capacitance, Differential Mode	C_{INDM}			2		pF
Input Capacitance, Common Mode	C_{INCM}			5		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 100\text{ k}\Omega$ to V_{CM}	1.796	1.799		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	1.79			V
		$R_L = 10\text{ k}\Omega$ to V_{CM}	1.76	1.796		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	1.7			V
Output Voltage Low	V_{OL}	$R_L = 100\text{ k}\Omega$ to V_{CM}		1	3	mV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			9	mV
		$R_L = 10\text{ k}\Omega$ to V_{CM}		3	20	mV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			40	mV
Short-Circuit Current	I_{SC}	$V_{OUT} = V_{SY}$ or GND		13		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ kHz}$, $G = 10$		1		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$1.8\text{ V} \leq V_{SY} \leq 5.5\text{ V}$	110	135		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	106			dB
Supply Current per Amplifier	I_{SY}					
ADA4051-2		$V_{OUT} = V_{SY}/2$		13	17	μA
ADA4051-1		$V_{OUT} = V_{SY}/2$		15	18	μA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			20	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR+	$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$, $G = 1$		0.04		$\text{V}/\mu\text{s}$
	SR-	$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$, $G = 1$		0.03		$\text{V}/\mu\text{s}$
Settling Time	t_S	To 0.1%, $V_{IN} = 1\text{ V p-p}$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$		120		μs
Gain Bandwidth Product	GBP	$C_L = 100\text{ pF}$, $G = 1$		115		kHz
Phase Margin	Φ_M	$C_L = 100\text{ pF}$, $G = 1$		40		Degrees
Channel Separation	CS	$V_{IN} = 1.7\text{ V}$, $f = 100\text{ Hz}$		140		dB
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	$f = 0.1\text{ Hz}$ to 10 Hz		1.96		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		95		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		100		$\text{fA}/\sqrt{\text{Hz}}$

電氣的特性—5 V動作

特に指定がない限り、 $V_{SY} = 5.0\text{ V}$ 、 $V_{CM} = V_{SY}/2\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 、 $R_L = 100\text{ k}\Omega$ (GNDへ接続)。

表 3.

Parameter	Symbol	Test Conditions/Comments	Min	Typ	Max	Unit
INPUT CHARACTERISTICS						
Offset Voltage	V_{OS}					
ADA4051-2		$0\text{ V} \leq V_{CM} \leq 5\text{ V}$		2	15	μV
ADA4051-1		$0\text{ V} \leq V_{CM} \leq 5\text{ V}$		2	17	μV
Offset Voltage Drift	$\Delta V_{OS}/\Delta T$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		0.02	0.1	$\mu\text{V}/^\circ\text{C}$
Input Bias Current	I_B			20	70	pA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			200	pA
Input Offset Current	I_{OS}			40	100	pA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			150	pA
Input Voltage Range		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	0		5	V
Common-Mode Rejection Ratio	CMRR	$0\text{ V} \leq V_{CM} \leq 5\text{ V}$	110	135		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	106			dB
Large-Signal Voltage Gain	A_{VO}	$R_L = 10\text{ k}\Omega$ to V_{CM} , $0.1\text{ V} \leq V_{OUT} \leq V_{SY} - 0.1\text{ V}$	115	135		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	106			dB
Input Resistance	R_{IN}			8		$\text{M}\Omega$
Input Capacitance, Differential Mode	C_{INDM}			2		pF
Input Capacitance, Common Mode	C_{INCM}			5		pF
OUTPUT CHARACTERISTICS						
Output Voltage High	V_{OH}	$R_L = 100\text{ k}\Omega$ to V_{CM}	4.996	4.998		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.985			V
		$R_L = 10\text{ k}\Omega$ to V_{CM}	4.96	4.99		V
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	4.9			V
Output Voltage Low	V_{OL}	$R_L = 100\text{ k}\Omega$ to V_{CM}		1	4	mV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			13	mV
		$R_L = 10\text{ k}\Omega$ to V_{CM}		9	30	mV
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			90	mV
Short-Circuit Current	I_{SC}	$V_{OUT} = V_{SY}$ or GND		15		mA
Closed-Loop Output Impedance	Z_{OUT}	$f = 1\text{ kHz}$, $G = 10$		1		Ω
POWER SUPPLY						
Power Supply Rejection Ratio	PSRR	$1.8\text{ V} \leq V_{SY} \leq 5.5\text{ V}$	110	135		dB
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	106			dB
Supply Current per Amplifier	I_{SY}					
ADA4051-2		$V_{OUT} = V_{SY}/2$		13	17	μA
ADA4051-1		$V_{OUT} = V_{SY}/2$		15	18	μA
		$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			20	μA
DYNAMIC PERFORMANCE						
Slew Rate	SR+	$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$, $G = 1$		0.06		$\text{V}/\mu\text{s}$
	SR-	$R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$, $G = 1$		0.04		$\text{V}/\mu\text{s}$
Settling Time	t_S	To 0.1%, $V_{IN} = 1\text{ V p-p}$, $R_L = 10\text{ k}\Omega$, $C_L = 100\text{ pF}$		110		μs
Gain Bandwidth Product	GBP	$C_L = 100\text{ pF}$, $G = 1$		125		kHz
Phase Margin	Φ_M	$C_L = 100\text{ pF}$, $G = 1$		40		Degrees
Channel Separation	CS	$V_{IN} = 4.99\text{ V}$, $f = 100\text{ Hz}$		140		dB
NOISE PERFORMANCE						
Voltage Noise	e_n p-p	$f = 0.1\text{ Hz}$ to 10 Hz		1.96		$\mu\text{V p-p}$
Voltage Noise Density	e_n	$f = 1\text{ kHz}$		95		$\text{nV}/\sqrt{\text{Hz}}$
Current Noise Density	i_n	$f = 1\text{ kHz}$		100		$\text{fA}/\sqrt{\text{Hz}}$

絶対最大定格

表 4.

Parameter	Rating
Supply Voltage	6 V
Input Voltage	$\pm V_{SY} \pm 0.3 \text{ V}$
Input Current ¹	$\pm 10 \text{ mA}$
Differential Input Voltage ²	$\pm V_{SY}$
Output Short-Circuit Duration to GND	Indefinite
Storage Temperature Range	-65°C to $+150^{\circ}\text{C}$
Operating Temperature Range	-40°C to $+125^{\circ}\text{C}$
Junction Temperature Range	-65°C to $+150^{\circ}\text{C}$
Lead Temperature (Soldering, 60 sec)	300°C

¹入力ピンには、電源ピンへのクランプ・ダイオードが付いています。入力信号が電源レールを 0.3 V 以上超えるときは、入力電流を 10 mA 以下に制限する必要があります。

²入力が高い差動電圧に対して、1.33 k Ω の内蔵直列抵抗と N-MOSFET の逆向きダイオード接続($V_{CM} = 0 \text{ V}$ で $V_T = 0.7 \text{ V (typ)}$)により保護されています。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

熱抵抗

θ_{JA} はワーストケース条件で規定。すなわち表面実装パッケージの場合、デバイスのエクスポーズド・パッドを回路ボードにハンダ付けした状態で規定。表 5 に、特に指定がない限り、4 層 (2S2P) JEDEC 標準熱テスト・ボードの熱シミュレーション値を示します。

表 5.熱抵抗

Package Type	θ_{JA}	θ_{JC}	Unit
5-Lead SOT-23 (RJ-5)	190	92	$^{\circ}\text{C}/\text{W}$
5-Lead SC-70 (KS-5)	534	173	$^{\circ}\text{C}/\text{W}$
8-Lead MSOP (RM-8)	142	45	$^{\circ}\text{C}/\text{W}$
8-Lead LFCSP (CP-8-2)	77	14	$^{\circ}\text{C}/\text{W}$

電源シーケンス

オペアンプの電源は、入力信号と同時またはそれ以前に安定している必要があります。これが不可能な場合には、入力電流を 10 mA に制限する必要があります。

ESDの注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵していますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

代表的な性能特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

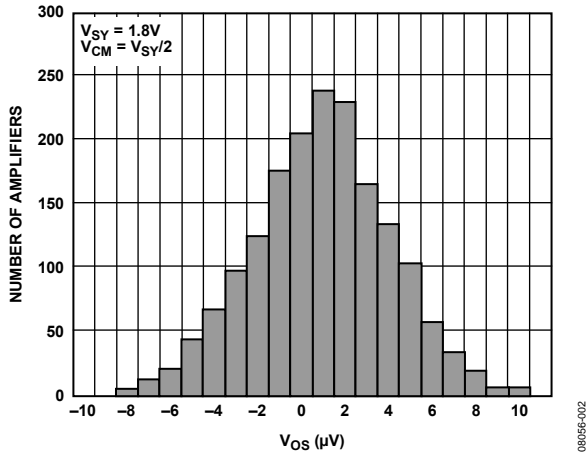


図 5. 入力オフセット電圧の分布

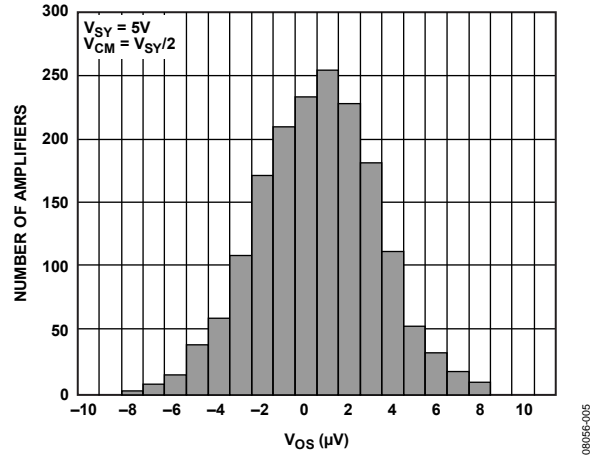


図 8. 入力オフセット電圧の分布

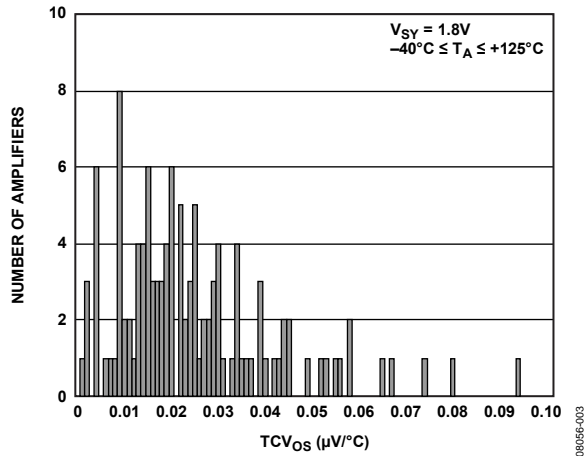


図 6. 温度に対する入力オフセット電圧ドリフトの分布

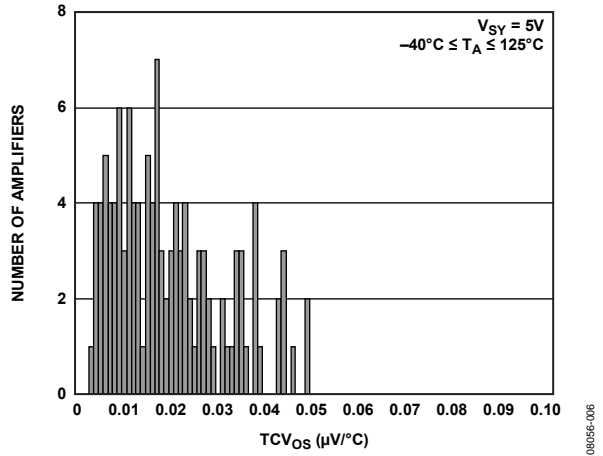


図 9. 温度に対する入力オフセット電圧ドリフトの分布

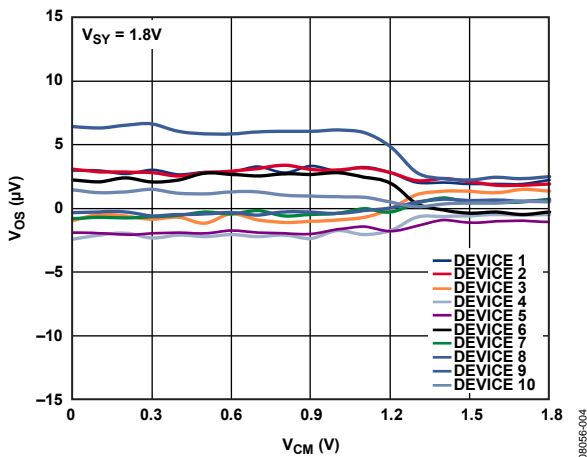


図 7. 入力オフセット電圧対入力同相モード電圧

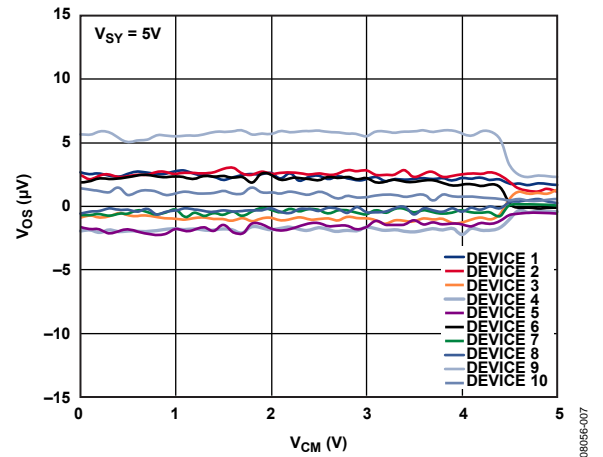


図 10. 入力オフセット電圧対入力同相モード電圧

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

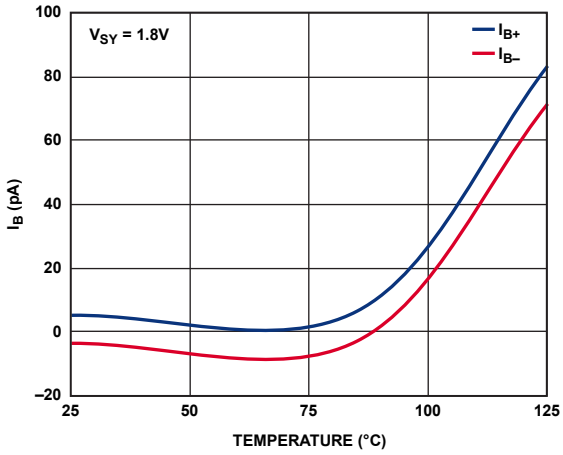


図 11. 入力バイアス電流の温度特性

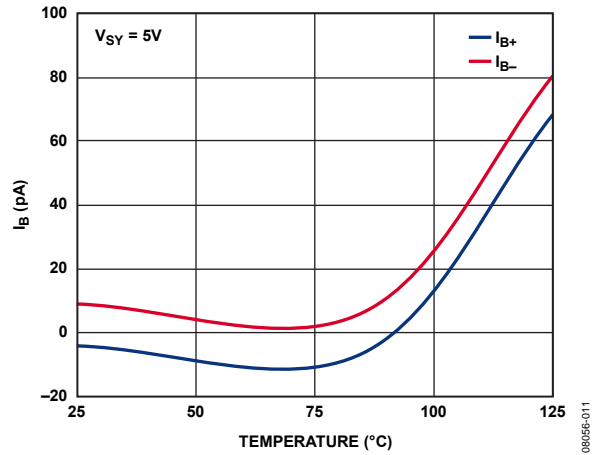


図 14. 入力バイアス電流の温度特性

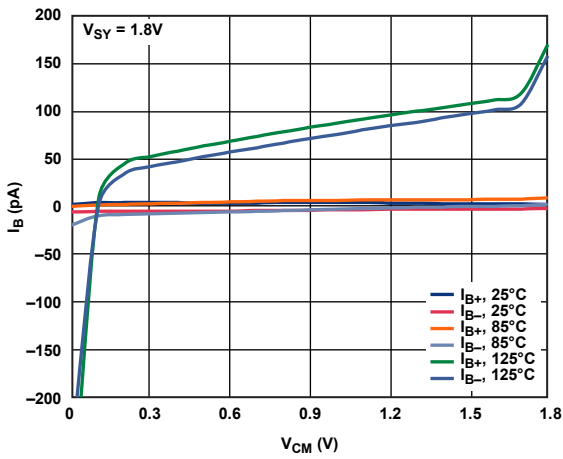


図 12. 入力バイアス電流対同相モード電圧および温度

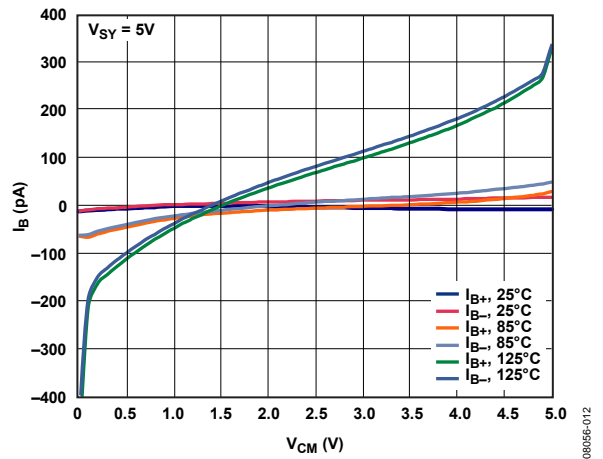


図 15. 入力バイアス電流対同相モード電圧および温度

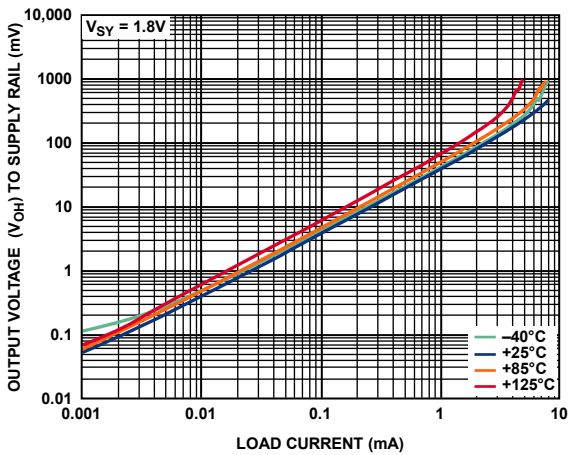


図 13. 出力電圧(V_{OH}) / 電源レール比対負荷電流および温度

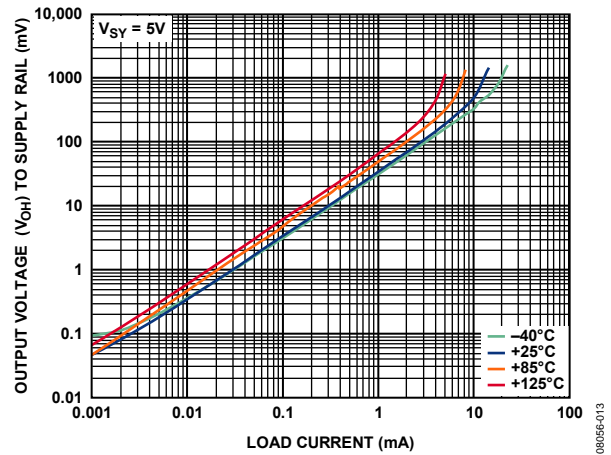


図 16. 出力電圧(V_{OH}) / 電源レール比対負荷電流および温度

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

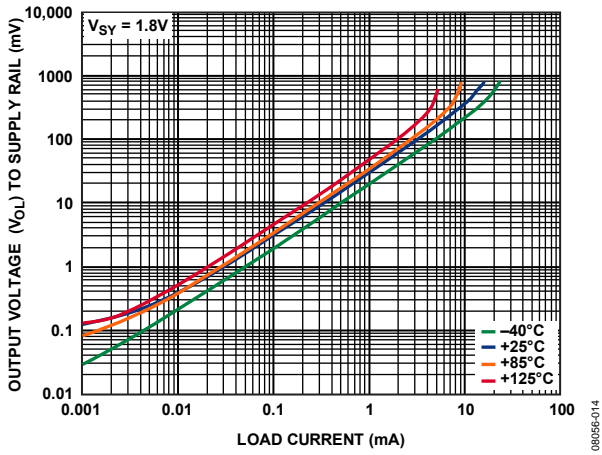


図 17.出力電圧(V_{OU})/電源レール比対負荷電流および温度

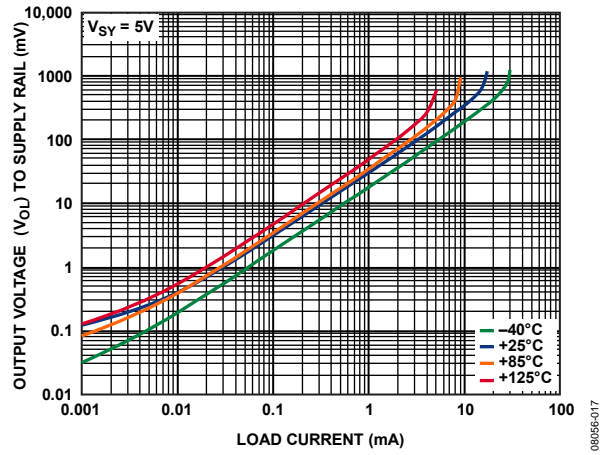


図 20.出力電圧(V_{OU})/電源レール比対負荷電流および温度

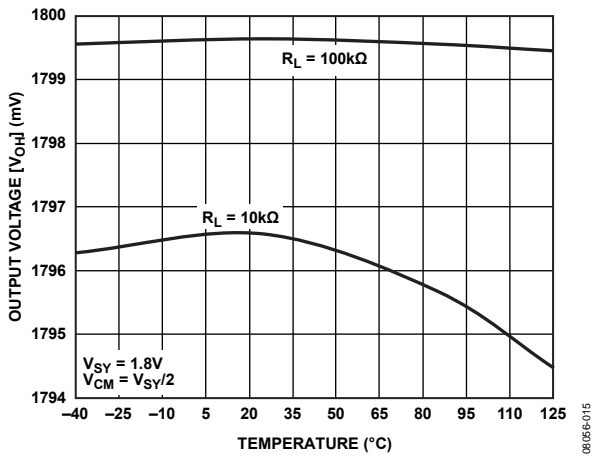


図 18.出力電圧(V_{OH})の温度特性

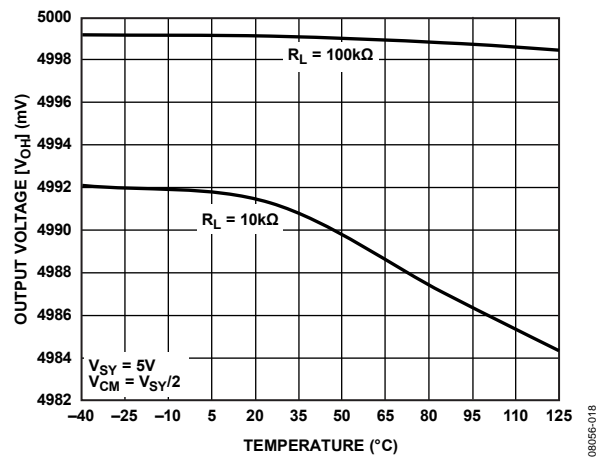


図 21.出力電圧(V_{OH})の温度特性

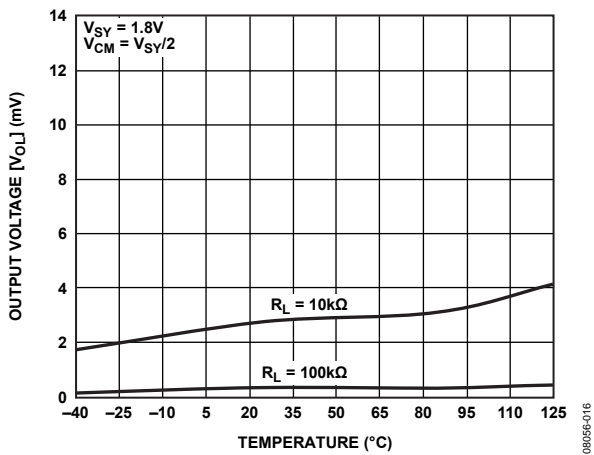


図 19.出力電圧(V_{OU})の温度特性

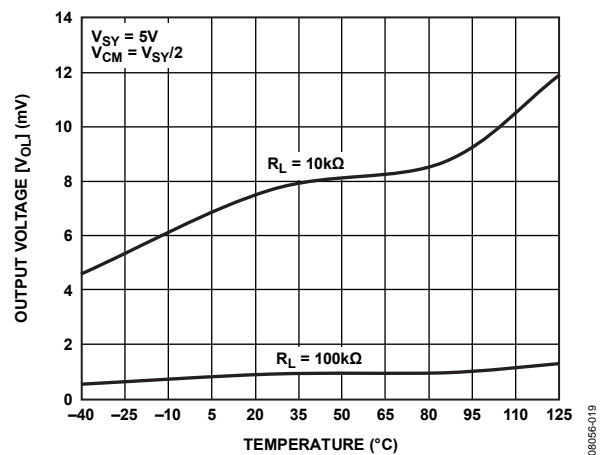


図 22.出力電圧(V_{OU})の温度特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

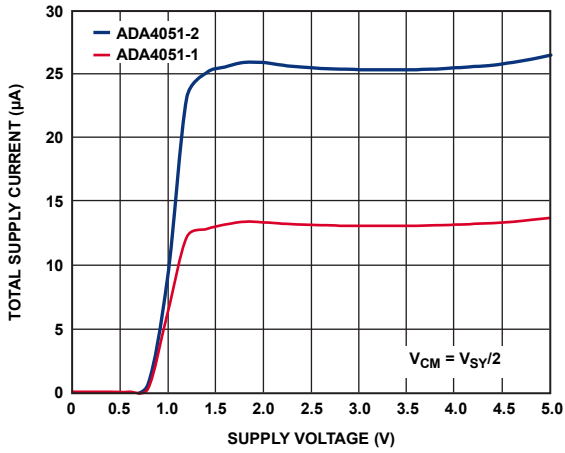


図 23. 総合電源電流対電源電圧

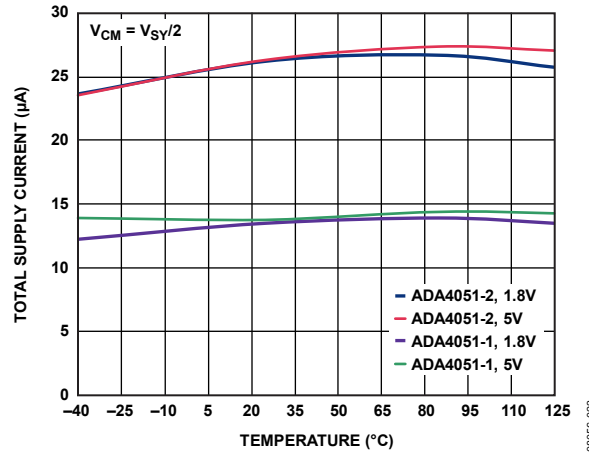


図 26. 総合電源電流の温度特性

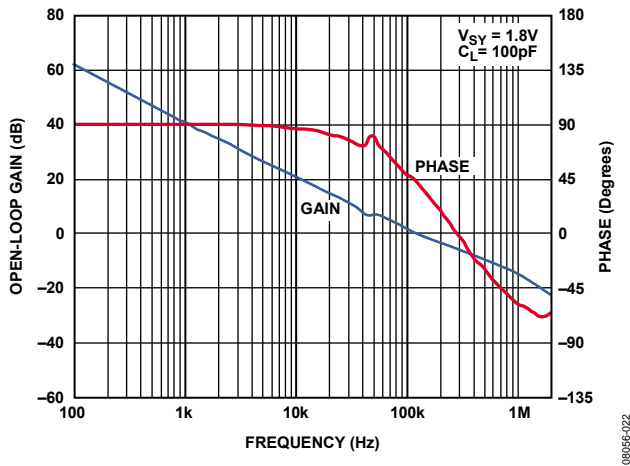


図 24. オープン・ループ・ゲインおよび位相の周波数特性

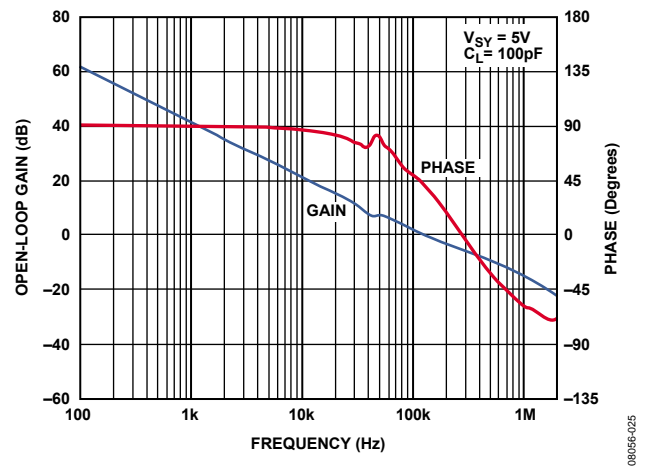


図 27. オープン・ループ・ゲインおよび位相の周波数特性

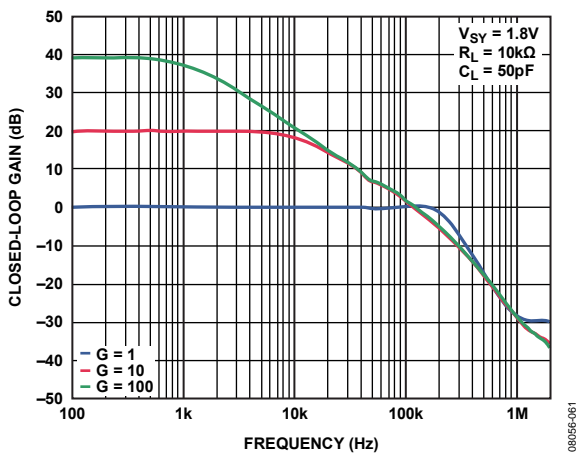


図 25. クローズド・ループ・ゲインの周波数特性

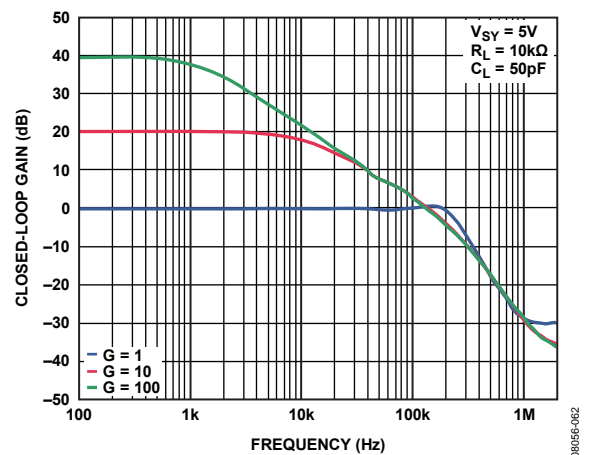


図 28. クローズド・ループ・ゲインの周波数特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

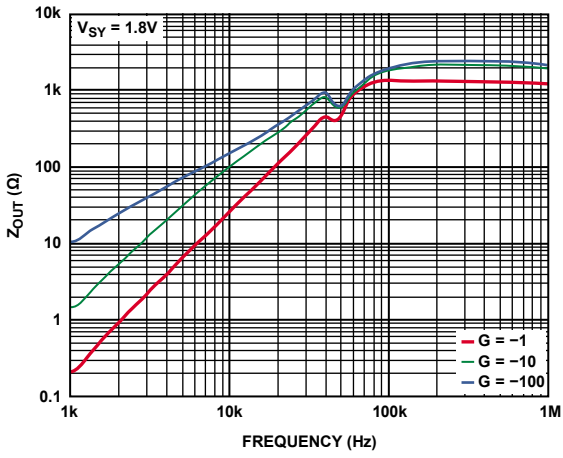


図 29.出力インピーダンスの周波数特性

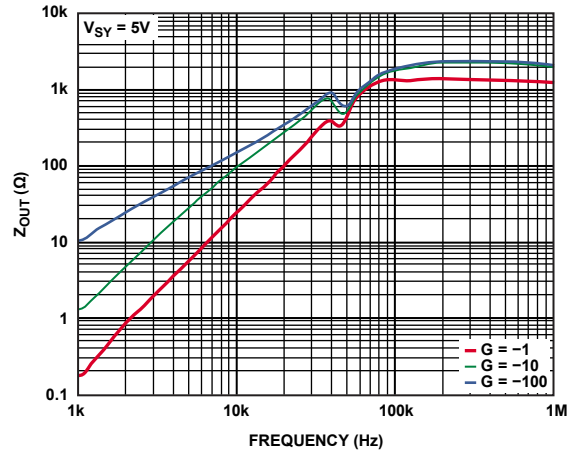


図 32.出力インピーダンスの周波数特性

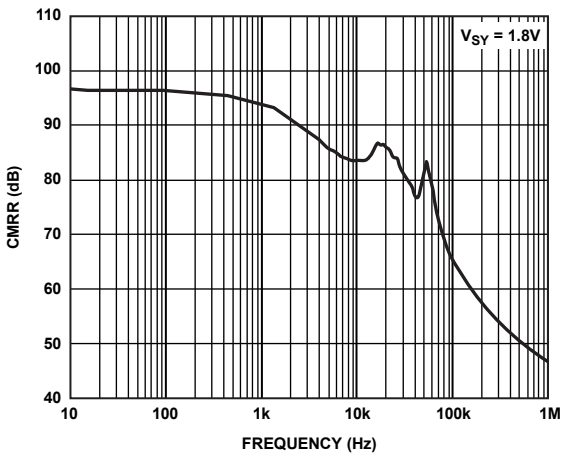


図 30.CMRR の周波数特性

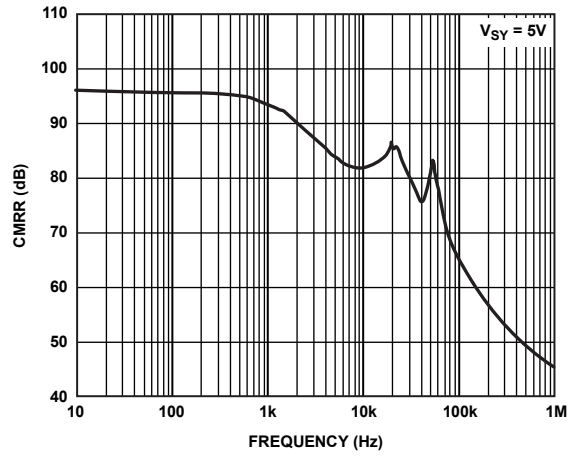


図 33.CMRR の周波数特性

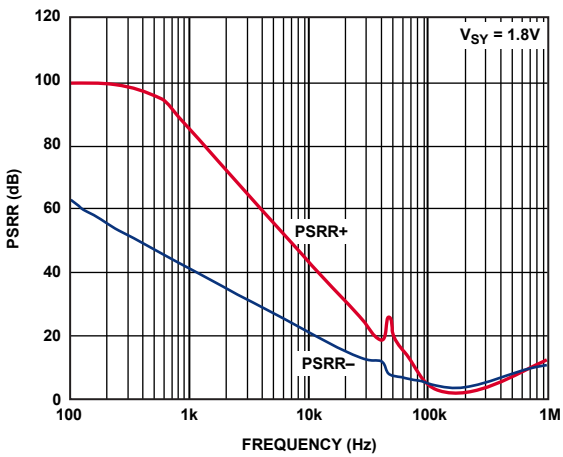


図 31.PSRR の周波数特性

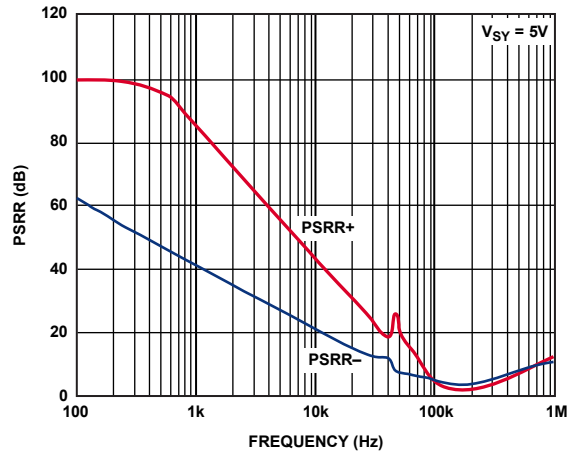


図 34.PSRR の周波数特性

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

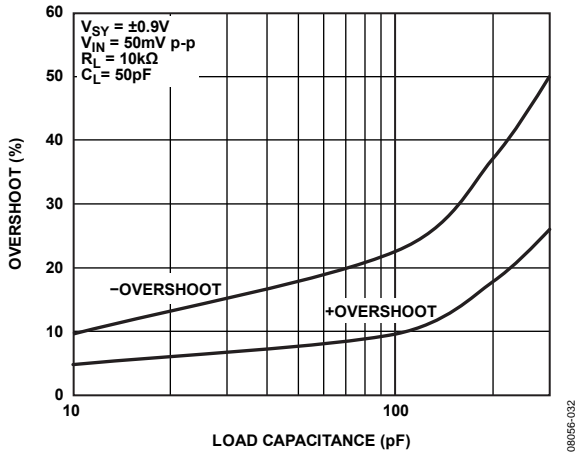


図 35. 負荷容量対小信号オーバーシュート

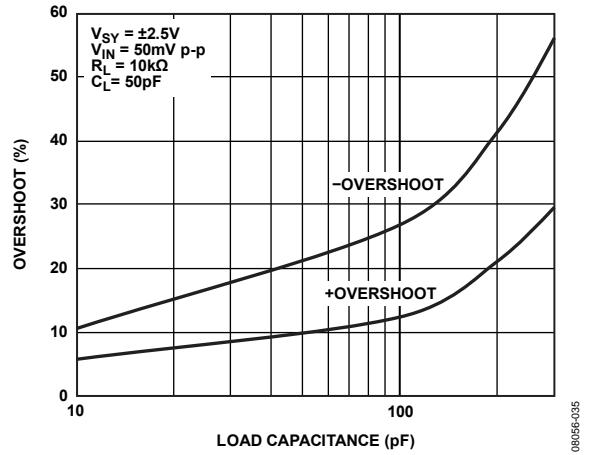


図 38. 負荷容量対小信号オーバーシュート

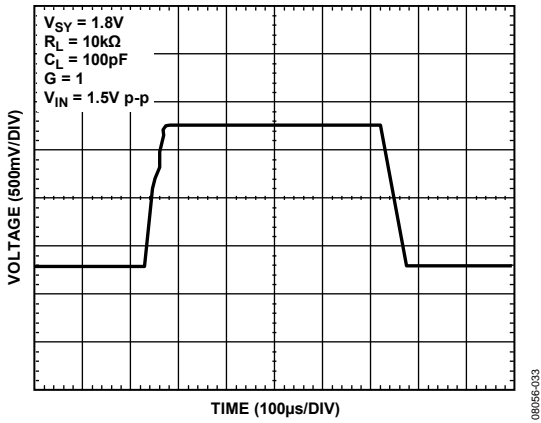


図 36. 大信号過渡応答

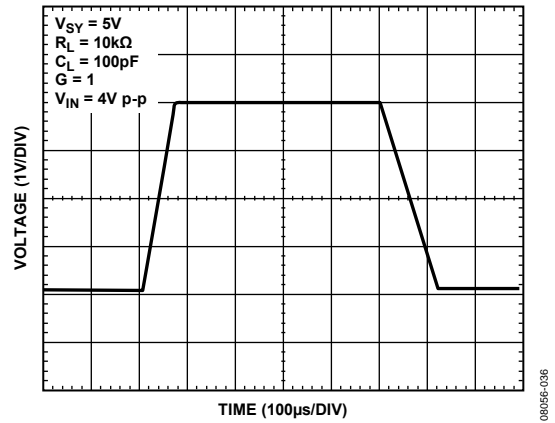


図 39. 大信号過渡応答

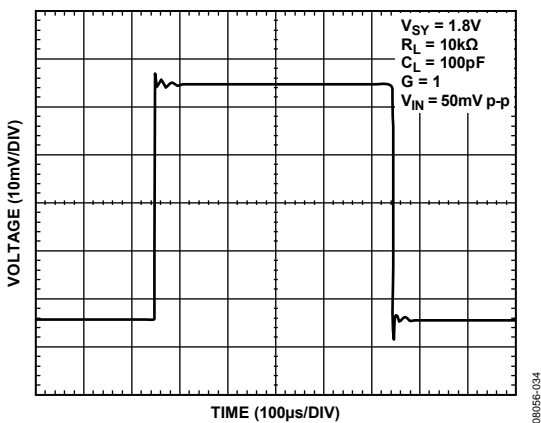


図 37. 小信号過渡応答

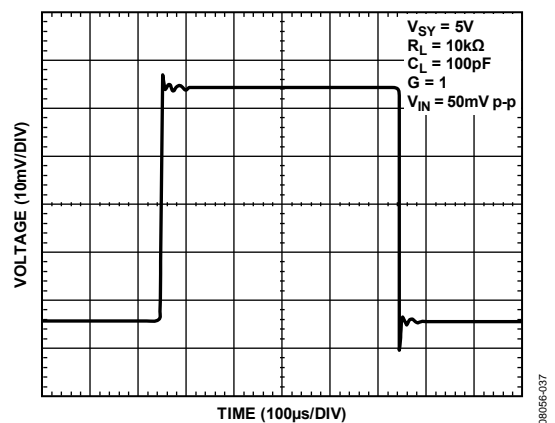


図 40. 小信号過渡応答

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

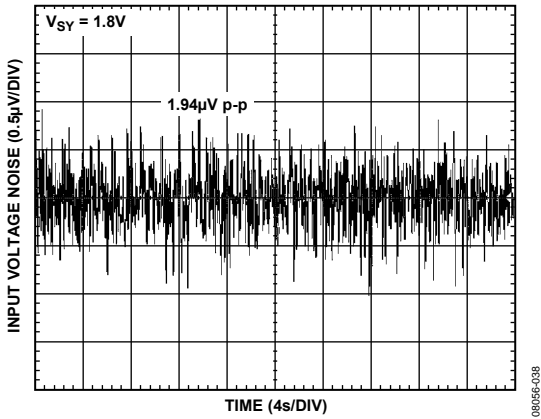


図 41.入力電圧ノイズ、0.1 Hz~10 Hz

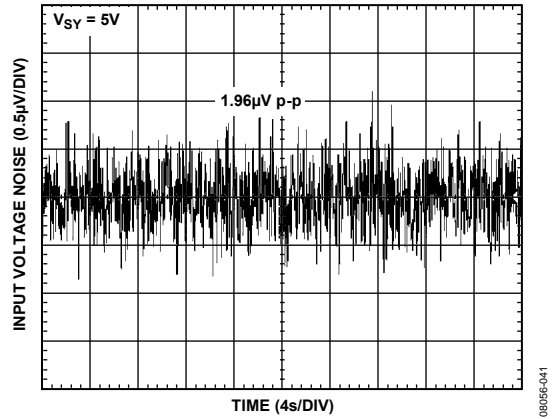


図 44.入力電圧ノイズ、0.1 Hz~10 Hz

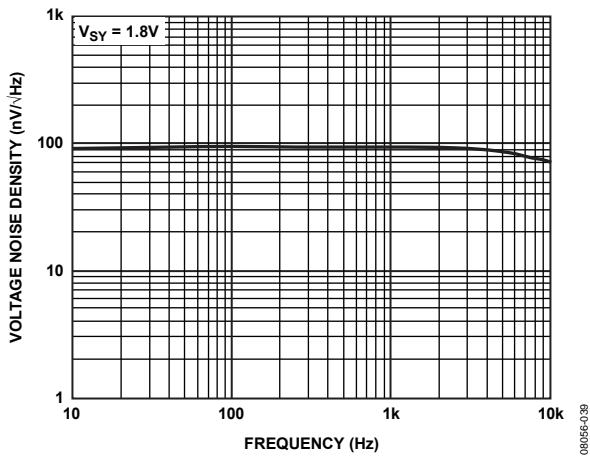


図 42.電圧ノイズ密度の周波数特性

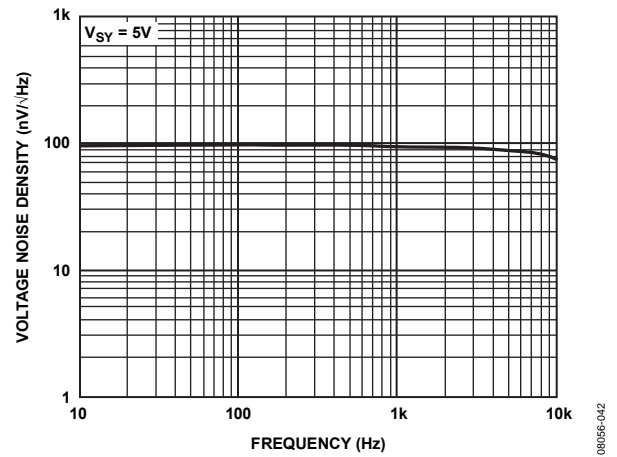


図 45.電圧ノイズ密度の周波数特性

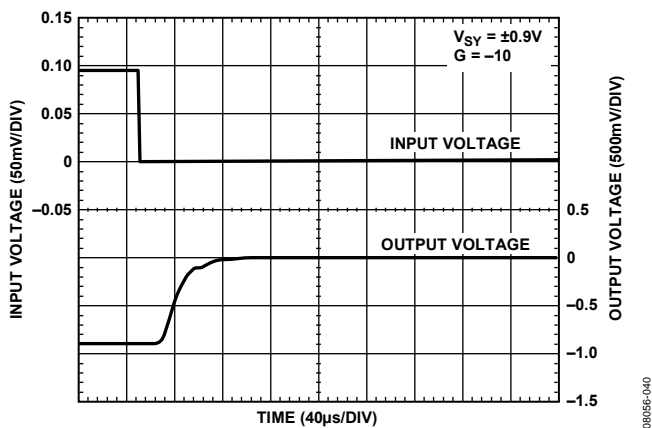


図 43.正側過負荷回復

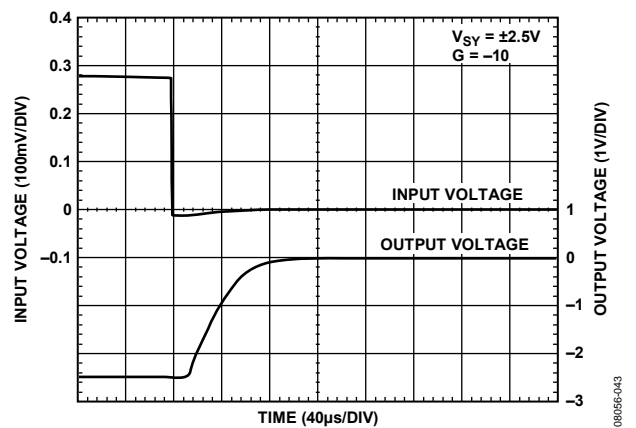


図 46.正側過負荷回復

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

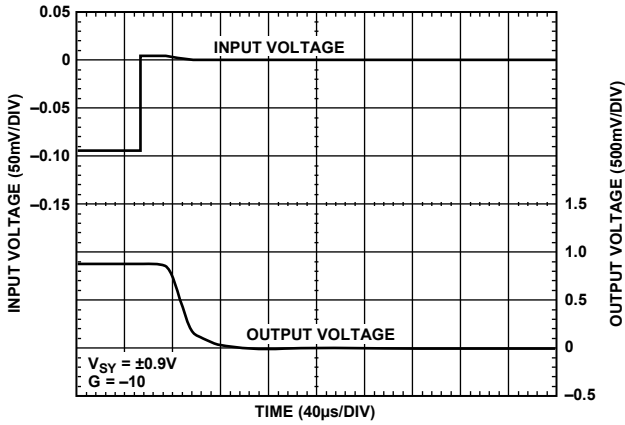


図 47.負側過負荷回復

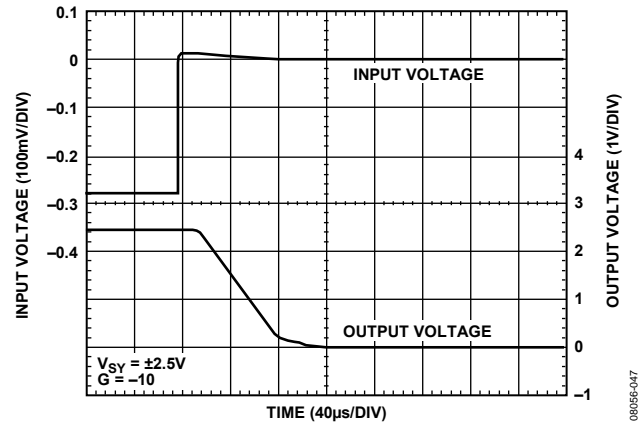


図 50.負側過負荷回復

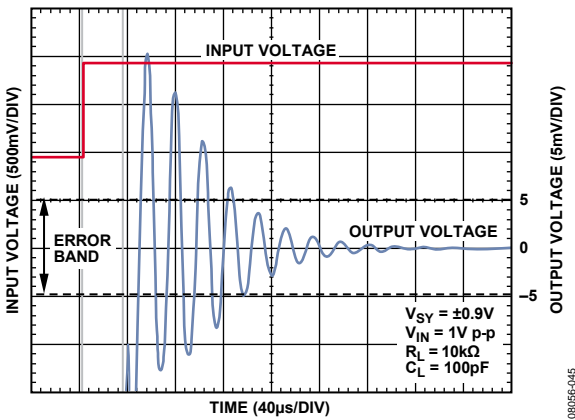


図 48.0.1%への正セトリング・タイム

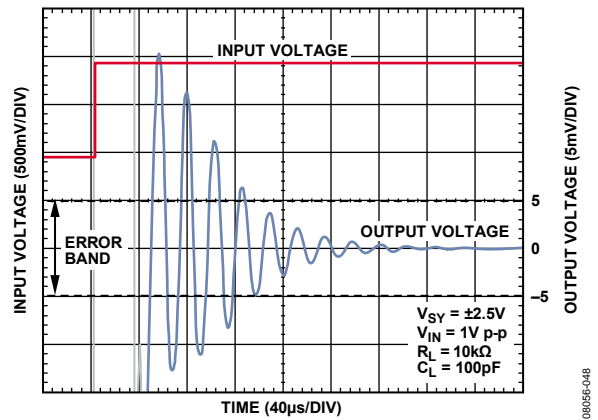


図 51.0.1%への正セトリング・タイム

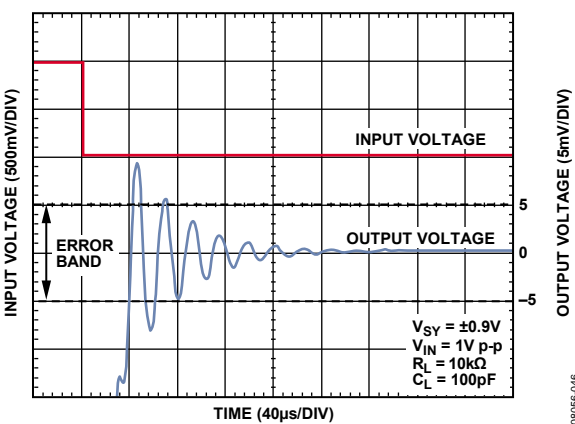


図 49.0.1%への負セトリング・タイム

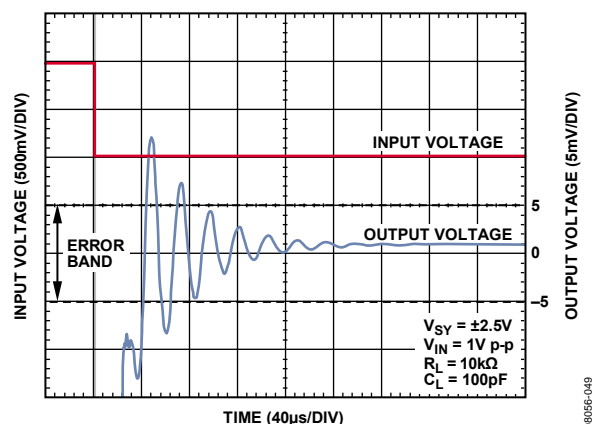


図 52.0.1%への負セトリング・タイム

特に指定のない限り、 $T_A = 25^\circ\text{C}$ 。

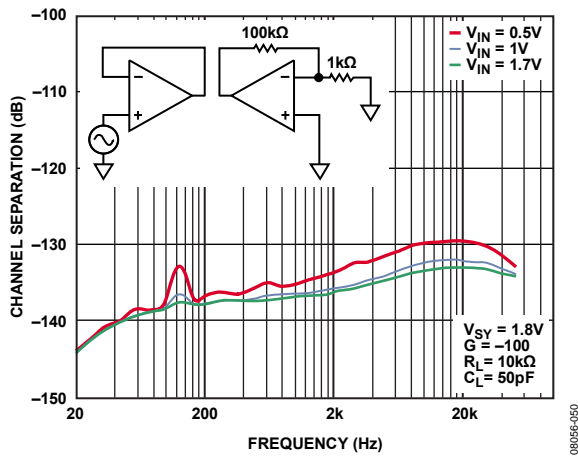


図 53. チャンネル・セパレーションの周波数特性

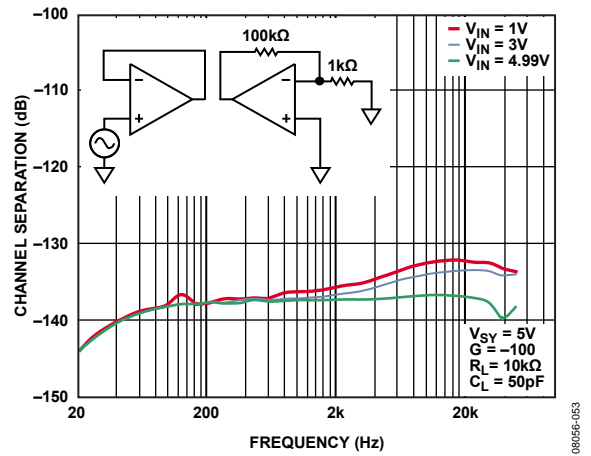


図 56. チャンネル・セパレーションの周波数特性

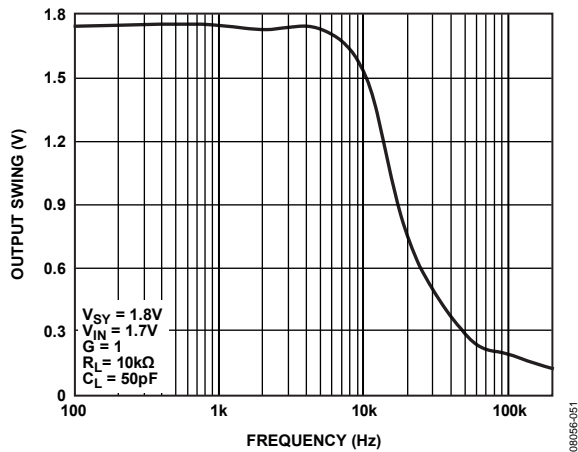


図 54. 出力振幅の周波数特性

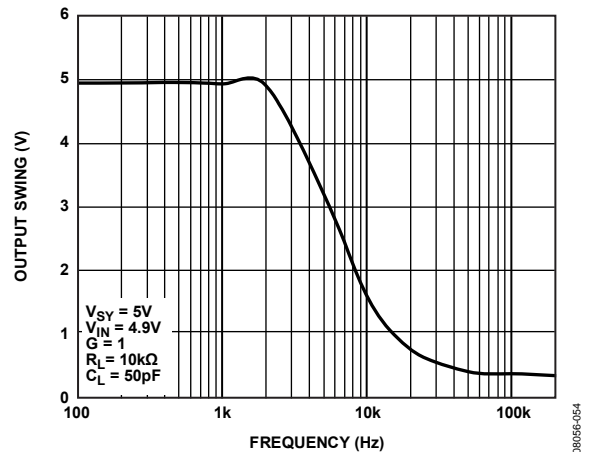


図 57. 出力振幅の周波数特性

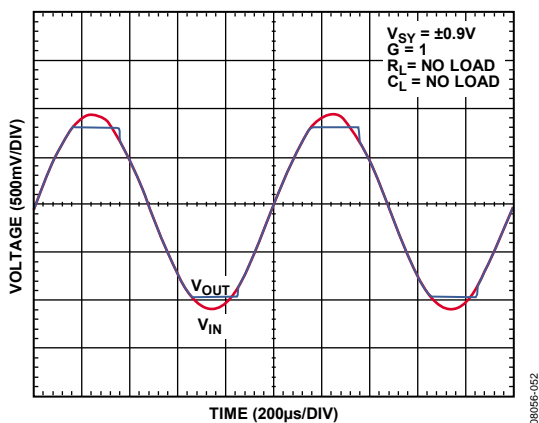


図 55. 位相反転なし

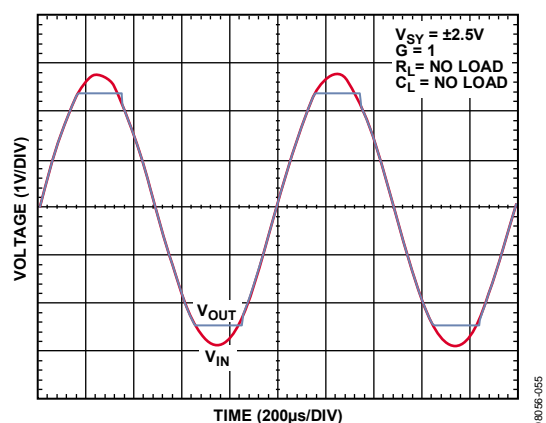


図 58. 位相反転なし

動作原理

ADA4051-1/ADA4051-2 マイクロパワー・チョップ・オペアンプは、チョップ・アンプ内のオフセット関連リップルを除去する特許申請中の新しい技術を採用しています。AC領域でリップルをフィルタで除去する代わりに、この技術では DC 領域でアンプの初期オフセットをゼロにするため、全体出力でのリップルがなくなります。

オート・ゼロとチョッピングは、高精度 CMOS アンプで低オフセット、低オフセット・ドリフト、ゼロ $1/f$ ノイズを実現するために広く採用されている 2 つの技術です。これらの各技術には利点と弱点があります。オート・ゼロでは、サンプリングにより発生する折り返しによる帯域内ノイズが増えます。一方、チョッピングではオフセット関連リップルが発生します。これは、アンプの初期オフセットがチョッピング周波数で変調されるためです。

最適ノイズと消費電力とのトレードオフでは、チョッピング技術では帯域内ノイズが増えないため、この技術の方が低オフセット・アンプをデザインする際に優れた方法です。オフセット関連リップルはチョップ・アンプ内部で除去することが望ましく、そうしないとオフセット関連リップルは外付けポストフィルタにより除去する必要があります。

図 59 に、自動補正帰還(ACFB)と呼ばれるローカル帰還ループを採用した ADA4051-1/ADA4051-2 チョップ・アンプのブロック図を示します。メイン信号パスには、入力チョッピング・スイッチ回路(CHOP1)、最初の相互コンダクタンス・アンプ(Gm1)、出力チョッピング・スイッチ回路(CHOP2)、2 番目の相互コンダクタンス・アンプ(Gm2)、3 番目の相互コンダクタンス・アンプ(Gm3)が含まれています。CHOP1 と CHOP2 は 40 kHz のチョッピング周波数で動作し、Gm1 の初期オフセットと $1/f$ ノイズをチョッピング周波数で変調します。ACFB 内の 4 番目の相互コンダクタンス・アンプ(Gm4)は、Gm1 の初期オフセット電圧に起因して発生する、変調されたリップルを CHOP2 出力で電圧に出します。次に、リップルは、CHOP1 および CHOP2 と同じチョッピング・クロックで動作する 3 番目のチョッピング・スイッチ回路(CHOP3)で DC 領域へ復調されます。最後に、ヌル相互コンダクタンス・アンプ(Gm5)により、Gm1 出力でのすべての DC 成分をゼロに相殺させます(相殺させないとリップルとして出力されます)。

スイッチド・キャパシタ・ノッチ・フィルタ(NF)は、必要な入力信号を乱すことなく、全体入力から不要なオフセット関連リップルを選択的に除去する機能を持っています。必要とされる入力 DC 信号は、CHOP2 出力に DC 信号として現れます。次に、初期オフセットが CHOP3 によりチョッピング周波数で変調され、NF によりフィルタ処理されます。このため、初期オフセットは帰還されないため、必要とされる入力信号を乱すことはありません。NF は、変調された成分をフィルタで除去するようにチョッピング・クロックに同期しています。同様に、Gm5 のオフセットも CHOP3 と NF の組み合わせによるフィルタで除去されて、CHOP2 出力での正確なリップル検出が可能になります。

ACFB により導入されたチョッピング周波数の位相シフトをバイパスさせるために、高 DC ゲイン・パスと並列にフィード・フォワード相互コンダクタンス・アンプ(Gm6)が追加されています。Gm6 は、二重ゼロ極を回避するため Gm1 と同じ相互コンダクタンスを持つようにデザインされています。このデザインにより、全体帰還ループ内で ACFB により発生する不安定性が回避されます。

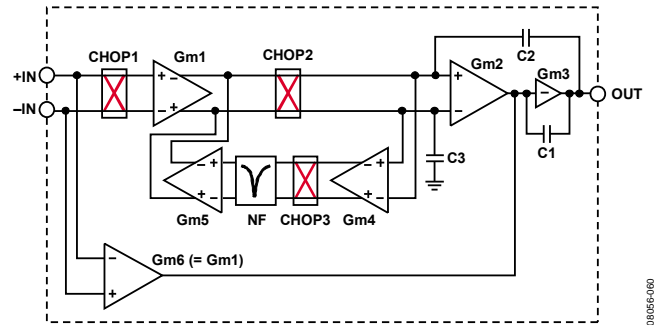


図 59. ADA4051-1/ADA4051-2 チョップ・アンプのブロック図

電圧ノイズ密度 (これは熱ノイズ・フロアに等しく Gm1 に支配されます)は、本来 DC からチョッピング周波数まで平坦です。これは、CHOP1 と CHOP2 が Gm1 で発生する $1/f$ ノイズを除去するので、ACFB がノイズの増加に寄与しなくなるためです。ACFB がチョッピングに関係するリップルを除去しますが、電圧リップルは残ります。残ったリップルを所要レベルまで小さくするためには、アンプ出力にポストフィルタを設けることが推奨されます。

残った電圧リップルは 2 つのソースから発生しています。リップルの 1 つ目のタイプは、Gm1 の初期オフセットに対応する残留リップルから発生するものです。これは初期オフセットの大きさに比例し、チョッピング周波数(f_{CHOP})にスペクトルを発生させます。アンプをユニティ・ゲイン・バッファとして構成した場合、このリップルの typ 値は $4.9 \mu\text{V rms}$ に、最大値は $34.7 \mu\text{V rms}$ に、それぞれなります。リップルの 2 つ目のタイプは、高周波入力信号とチョッピング周波数との間の相互変調により発生するものです。このリップルは入力周波数(f_{IN})に依存し、チョッピング周波数と入力周波数との差の周波数($f_{\text{CHOP}} - f_{\text{IN}}$)に、およびチョッピング周波数と入力周波数との和の周波数($f_{\text{CHOP}} + f_{\text{IN}}$)に、それぞれスペクトルを発生させます。様々な入力周波数に対するリップルの大きさを図 60 に示します。

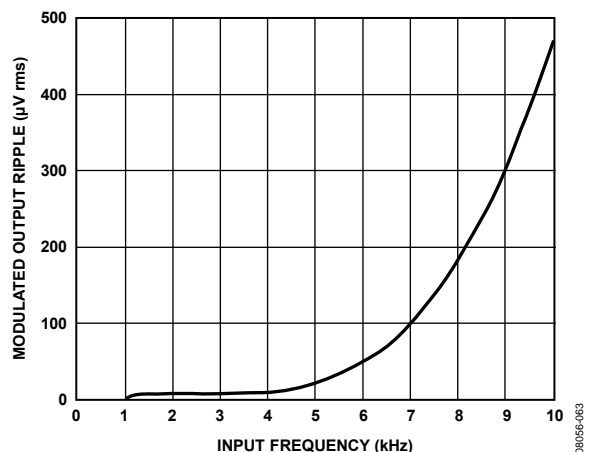


図 60. ADA4051-1/ADA4051-2 の変調された出力リップル対入力周波数

ADA4051-1/ADA4051-2 のデザイン・アーキテクチャは、特に DC から 10 Hz の帯域幅で正確で安定な性能を必要とする高精度シグナル・コンデショニング・アプリケーションを対象にしています。要約すると、ADA4051-1/ADA4051-2 チョップ・アンプの主な機能は次のようになります。

- オフセット関連リップルを大幅に減衰させます。
- 入力信号の周波数がチョッピング周波数より低いほど、入力信号を乱しません(図 60 参照)
- 従来型チョップ・アンプと同程度の低オフセットを実現します。
- ノイズの増加はありません。

ADA4051-1/ADA4051-2 チョップ・アンプは、1.8 V~5.5 V の電源電圧範囲と 20 μ A の電源消費電流で、かつ-40°C~+125°C の拡張工業用温度範囲で、レール to レールの入力範囲を提供します。最大 100 pF の負荷容量でユニティ・ゲイン安定アンプとしてのゲイン帯域幅は 125 kHz です。

入力電圧範囲

ADA4051-1/ADA4051-2はESD保護ダイオードを内蔵しています。これらのダイオードは、静電放電に対して入力MOSFETを保護するために入力と各電源レールとの間に接続されており、通常動作時は逆バイアスされています。この保護方式では、電源電圧より約0.3 V高い電圧($\pm V_{SY} \pm 0.3$ V)を永久的な損傷なしにいずれかの入力に加えることができます。

いずれかの入力が電源レールより0.3 V以上高くなると、これらのESDダイオードが順方向バイアスされて大きな電流が流れます。この大きな電流を制限しないとデバイスに恒久的な損傷を与えることがあります。入力で過電圧状態が予測される場合、各入力に直列に抵抗を接続して入力電流を最大10 mAに制限してください。

ADA4051-1/ADA4051-2も、高い差動電圧から入力ステージを保護する回路を内蔵しています。この回路は、各入力に直列な1.33 k Ω の抵抗と、これらの直列抵抗の後ろに互いに逆向きに接続されたダイオードN-MOSFET ($V_{CM} = 0$ Vで $V_T = 0.7$ V (typ))から構成されています。通常の負帰還動作状態では、ADA4051-1/ADA4051-2アンプが出力を補正して2つの入力が同じ電圧になりますが、デバイスがコンパレータとして構成された場合、または異常な動作状態の場合、各入力電圧が異なる電位になることがあります。このために、ダイオード接続のN-MOSFETに大きな電流が流れます。

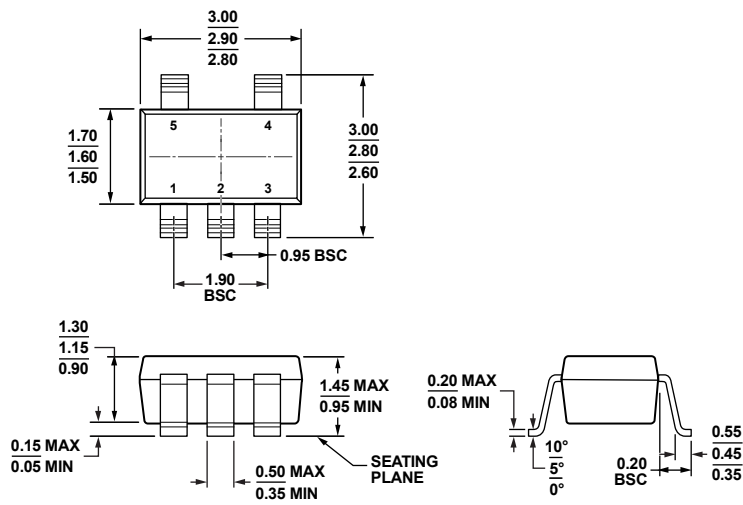
ADA4051-1/ADA4051-2はレールtoレール入力のアンプですが、デバイスの損傷を回避するため各入力間の電位差が $\pm V_{SY}$ を超えないように注意する必要があります。

出力位相の反転

他のアンプでは入力同相モード電圧範囲を超えると出力位相の反転が発生することがありますが、ADA4051-1/ADA4051-2アンプは、両入力が電源電圧の約0.3 V以内($\pm V_{SY} \pm 0.3$ V)に維持されるかぎり、出力位相反転が生じないようにデザインされています。

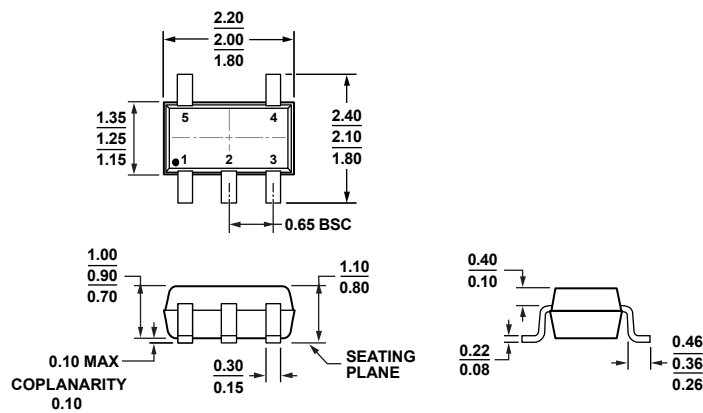
他のアンプでは、同相モード電圧が同相モード範囲を超えると、出力が電源レールの逆方向へジャンプすることがあります。これは通常、アンプの内部ステージの1つが十分なバイアス電圧を持つことができなくなって、ターンオフすることにより発生しますが、ADA4051-1/ADA4051-2アンプでは、一方または両方の入力が入力電圧範囲を超えても、 $\pm V_{SY} \pm 0.3$ Vの範囲内に留まる場合、内部ループがオープンになるため、入力電圧が入力電圧範囲内に戻るまで、位相反転なしで出力がサチレーション・モードに留まります(図55と図58参照)。

外形寸法



121808-A

図 61.5 ピン・スモール・アウトライン・トランジスタ・パッケージ[SOT-23] (RJ-5)
寸法: mm



072809-A

図 62.5 ピン薄型シュリンク・スモール・アウトライン・トランジスタ・パッケージ[SC-70] (KS-5)
寸法: mm

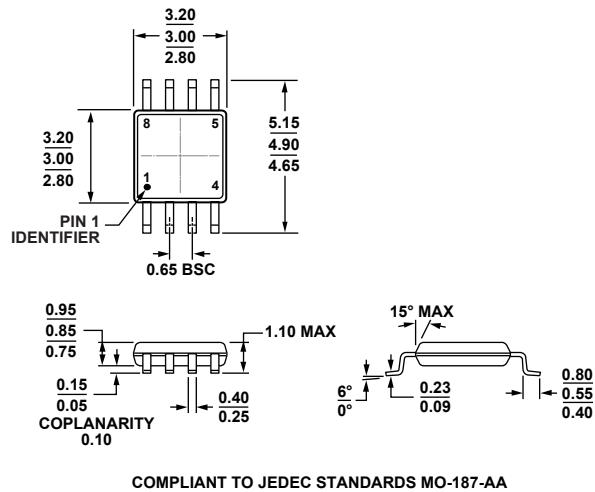


図 63.8 ピン・ミニ・スモール・アウトライン・パッケージ[MSOP] (RM-8)
寸法表示: mm

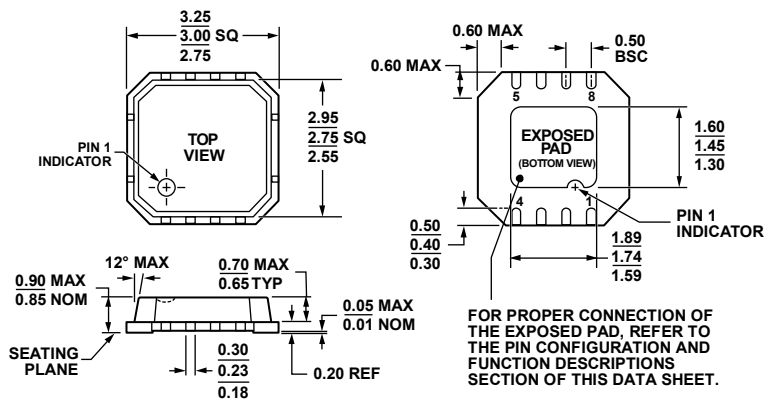


図 64.8 ピン・リードフレーム・チップ・スケール・パッケージ[LFCSP_VD]
3 mm × 3 mm ボディ、極薄、デュアル・リード
(CP-8-2)
寸法: mm

オーダー・ガイド

Model ¹	Temperature Range	Package Description	Package Option	Branding
ADA4051-1ARJZ-R2	-40°C to +125°C	5-Lead SOT-23	RJ-5	A0U
ADA4051-1ARJZ-R7	-40°C to +125°C	5-Lead SOT-23	RJ-5	A0U
ADA4051-1ARJZ-RL	-40°C to +125°C	5-Lead SOT-23	RJ-5	A0U
ADA4051-1AKSZ-R2	-40°C to +125°C	5-Lead SC-70	KS-5	A0U
ADA4051-1AKSZ-R7	-40°C to +125°C	5-Lead SC-70	KS-5	A0U
ADA4051-1AKSZ-RL	-40°C to +125°C	5-Lead SC-70	KS-5	A0U
ADA4051-2ACPZ-R2	-40°C to +125°C	8-Lead LFCSP_VD	CP-8-2	A2M
ADA4051-2ACPZ-R7	-40°C to +125°C	8-Lead LFCSP_VD	CP-8-2	A2M
ADA4051-2ACPZ-RL	-40°C to +125°C	8-Lead LFCSP_VD	CP-8-2	A2M
ADA4051-2ARMZ	-40°C to +125°C	8-Lead MSOP	RM-8	A2M
ADA4051-2ARMZ-R7	-40°C to +125°C	8-Lead MSOP	RM-8	A2M
ADA4051-2ARMZ-RL	-40°C to +125°C	8-Lead MSOP	RM-8	A2M

¹ Z = RoHS 準拠製品。