

**特長**

- 30 kHz までの信号入力帯域幅を復調
- 設定可能なフィルタで可変帯域幅を実現
  - フィルタが入力キャリア周波数に追従
  - リファレンス・クロック周波数が設定可能
- 柔軟なシステム・インターフェース
  - 入力と出力でシングルエンド信号/差動信号が可能
  - レール to レール出力で A/D コンバータ (ADC) を直接駆動
- 位相検出感度:  $9.3m^\circ/\theta_{REL}$  rms
- 3 線式および 4 線式シリアル・ポート・インターフェース (SPI) から設定可能、または I<sup>2</sup>C EEPROM からシームレス・ブート
- 低消費電力動作
  - $f_{CLKIN} = 500$  kHz で 395  $\mu$ A
- 単電源動作: 2.7 V~3.6 V
- 規定温度範囲: -40°C~+85°C
- 16 ピン TSSOP パッケージを採用

**アプリケーション**

- 同期復調
- センサー・シグナル・コンディショニング
- ロックイン・アンプ
- 位相検出器
- 高精度チューナブル・フィルタ
- 信号再生
- 制御システム

**概要**

ADA2200 は、工業用、医用、通信用アプリケーションでのシグナル・コンディショニング向けのサンプルド・アナログ技術<sup>1</sup> 同期復調器です。ADA2200 はアナログを入力してサンプルド・アナログを出力するデバイスです。信号処理は、コンデンサ間の電荷シェアリングにより完全にアナログ領域で行われるため、量子化ノイズと丸め誤差の影響はありません。ADA2200 は、アナログ領域のローパス・デシメーション・フィルタ、プログラマブルな無限インパルス応答 (IIR) フィルタ、ミキサを内蔵しています。この機能組み合わせにより、ADC のサンプル・レートを下げることで、ダウンストリームでのデジタル信号処理要求を軽減することができます。

復調機能をディスプレイすると、ADA2200 は高精度フィルタとして機能します。このフィルタの帯域幅はプログラマブルで中心周波数はチューニング可能です。フィルタ特性は、温度、電源、プロセス変動に対して非常に安定しています。

入力ピンと出力ピンでシングルエンド信号インターフェースと

<sup>1</sup> 特許申請中。

**機能ブロック図**

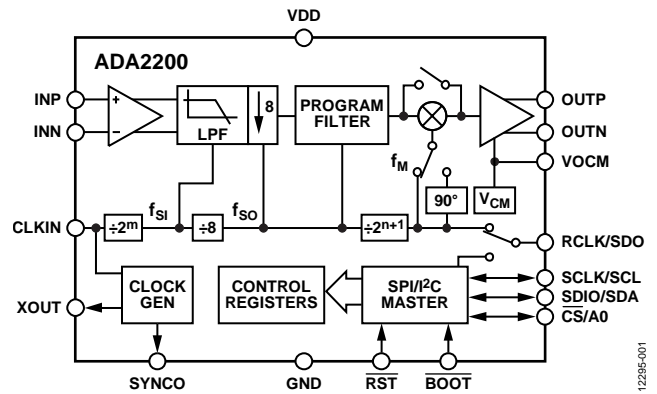


図 1.

差動信号インターフェースが可能であるため、他の部品との接続が簡素化されます。低消費電力で、かつレール to レール動作であるため、バッテリー駆動の低電圧システムに最適です。

ADA2200 は SPI 互換シリアル・ポートを使用して設定するか、または I<sup>2</sup>C インターフェースを使って自動的に EEPROM からブートすることができます。内蔵のクロック発生機能により、プログラマブルな周波数と位相を持つミックス信号を発生します。さらに、ADA2200 同期出力信号により、データ・コンバータやマルチプレクサのような、その他のサンプルド・システムに対するインターフェースが容易になります。

ADA2200 は 16 ピンの TSSOP パッケージを採用しています。性能は、-40°C~+85°C の工業用温度範囲で規定されています。このデータシートでは、SCLK/SCL などの多機能ピンは、ピン全体名またはピンの単機能名(注目する方の機能だけの例えば SCLK など)で呼びます。

アナログ・デバイス社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイス社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、それぞれの所有者の財産です。※日本語版資料は REVISION が古い場合があります。最新の内容については、英語版をご参照ください。

## 目次

特長.....	1	アプリケーション情報.....	16
アプリケーション.....	1	振幅測定.....	16
機能ブロック図.....	1	位相測定.....	16
概要.....	1	振幅と位相の測定.....	16
改訂履歴.....	2	アナログ出力システム.....	17
仕様.....	3	ADC に対するインターフェース.....	17
SPI タイミング特性.....	4	ロックイン・アンプ.....	17
絶対最大定格.....	7	マイクロコントローラに対するインターフェース.....	18
熱抵抗.....	7	EEPROM ブート構成.....	18
ESD の注意.....	7	消費電力.....	18
ピン配置およびピン機能説明.....	8	デバイスの設定.....	19
代表的な性能特性.....	9	シリアル・ポート動作.....	19
用語.....	10	データ・フォーマット.....	19
動作原理.....	11	シリアル・ポート・ピンの説明.....	19
同期復調の基礎.....	11	シリアル・ポートのオプション.....	19
ADA2200 のアーキテクチャ.....	12	EEPROM からのブート.....	20
デシメーション・フィルタ.....	12	デバイス・コンフィギュレーション・レジスタ・マップと説明.....	21
IIR フィルタ.....	13	外形寸法.....	24
ミキサー.....	13	オーダー・ガイド.....	24
クロック・オプション.....	14		
入力アンプと出力アンプ.....	15		

## 改訂履歴

8/14—Revision 0: Initial Version

## 仕様

特に指定がない限り、 $V_{DD} = 3.3\text{ V}$ 、 $V_{OCM} = V_{DD}/2$ 、 $f_{CLKIN} = f_{SI} = 500\text{ kHz}$ 、デフォルトのレジスタ設定、差動入力/出力、 $R_L = 1\text{ M}\Omega$  (GNDへ接続)、 $T_A = 25^\circ\text{C}$ 。

表 1.

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>SYNCHRONOUS DEMODULATION</b>					
	Measurements are cycle mean values, <sup>1</sup> 4 V p-p differential, $f_{IN} = 7.8125\text{ kHz}$				
Conversion Gain <sup>1</sup>		1.02	1.055	1.09	V/V rms
Average Temperature Drift			5		ppm/°C
Output Offset, Shorted Inputs		-39		+39	mV
Average Temperature Drift			6.5		$\mu\text{V}/^\circ\text{C}$
Power Supply Sensitivity	Change in output over change in $V_{DD}$		0.5		mV/V
Measurement Noise	Input signal at $83^\circ\theta_{REL}$ <sup>1</sup>		240		$\mu\text{V rms}$
Phase Delay ( $^\circ\theta_{DELAY}$ ) <sup>1</sup>	Input signal relative to RCLK		83		$^\circ\theta_{REL}$
Average Temperature Drift			70		$\mu^\circ\theta_{REL}/^\circ\text{C}$
Phase Measurement Noise	Input signal at $83^\circ\theta_{REL}$		9.3		$m^\circ\theta_{REL rms}$
Shorted Input Noise	0.1 Hz to 10 Hz		300		$\mu\text{V p-p}$
Common-Mode Rejection <sup>2</sup>	0 kHz to 1 kHz offset from $f_{MOD}$		75		dB
Demodulation Signal Bandwidth	$f_{CLKIN} = 1\text{ MHz}$		30		kHz
<b>INPUT CHARACTERISTICS</b>					
Input Voltage Range	INP or INN to GND	0.3		$V_{DD} - 0.3$	V
Common-Mode Input Voltage Range	4 V p-p differential input	$V_{OCM} - 0.2$		$V_{OCM} + 0.2$	V
Single-Ended Input Voltage Range					
Reference Input		$V_{OCM} - 0.2$		$V_{OCM} + 0.2$	V
Signal Input		$V_{OCM} - 1.0$		$V_{OCM} + 1.0$	V
Input Impedance <sup>3</sup>	INP to INN		80		k $\Omega$
Input Signal Bandwidth (-3 dB)	Input sample and hold circuit		4		MHz
<b>OUTPUT CHARACTERISTICS</b>					
	Each output, $R_L = 10\text{ k}\Omega$ to GND				
Output Voltage Range		0.3		$V_{DD} - 0.3$	V
Short-Circuit Current	OUTP or OUTN to GND		15		mA
Common-Mode Output (VOCM)					
Voltage		1.63	1.65	1.67	V
Average Temperature Drift			9		$\mu\text{V}/^\circ\text{C}$
Output Settling Time, to 0.1% of Final Value	3.7 V output step, $R_{LOAD} = 10\text{ k}\Omega  10\text{ pF}$ , $f_{CLKIN} = 125\text{ kHz}$		15		$\mu\text{s}$
<b>DEFAULT FILTER CHARACTERISTICS</b>					
	Mixing disabled, $V_{IN} = 4\text{ V p-p differential}$				
Center Frequency ( $f_C$ )	$f_C = f_{SO}/8$		7.8125		kHz
Quality Factor (Q)	$f_C/(\text{filter } 3\text{ dB bandwidth})$		1.9		Hz/ $\Delta\text{Hz}$
Pass Band Gain	$f_{IN} = 7.8125\text{ kHz}$		1.05		V/V
<b>TOTAL HARMONIC DISTORTION (THD)</b>					
	Filter configuration = LPF at $f_{NYQ}/6$ , $f_{IN} = 850\text{ Hz}$ , $V_{IN} = 4\text{ V p-p differential input}$				
Second Through Fifth Harmonics			-80		dBc
<b>CLOCKING CHARACTERISTICS</b>					
	$T_A = -40^\circ\text{C to } +85^\circ\text{C}$				
CLKIN Frequency Range ( $f_{CLKIN}$ )	CLKIN DIV[2:0] = 256	2.56		20	MHz
	CLKIN DIV[2:0] = 64	0.64		20	MHz
	CLKIN DIV[2:0] = 16	0.16		16	MHz
	CLKIN DIV[2:0] = 1	0.01		1	MHz
Maximum CLKIN Frequency	While booting from EEPROM			12.8	MHz

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
<b>DIGITAL I/O</b>					
Logic Thresholds	All inputs/outputs				
Input Voltage					
Low				0.8	V
High		2.0			V
Output Voltage					
Low	While sinking 200 $\mu$ A			0.4	V
High	While sourcing 200 $\mu$ A	$V_{DD} - 0.4$			V
Maximum Output Current	Sink or source			8	mA
Input Leakage				1	$\mu$ A
Internal Pull-Up Resistance	$\overline{\text{BOOT}}$ and $\overline{\text{RST}}$ only		40		k $\Omega$
<b>CRYSTAL OSCILLATOR</b>					
Internal Feedback Resistor			500		k $\Omega$
CLKIN Capacitance			2		pF
XOUT Capacitance			2		pF
<b>POWER REQUIREMENTS</b>					
Power Supply Voltage Range		2.7		3.6	V
Total Supply Current Consumption			395	485	$\mu$ A

<sup>1</sup> 用語のセクションを参照してください。

<sup>2</sup> 同相モード信号を  $f_{MOD} - 1$  kHz から  $f_{MOD} + 1$  kHz まで掃引。出力は  $f_{MOD}$  からの周波数オフセットで測定。例えば、 $f_{MOD} = 500$  Hz の同相モード信号は 500 Hz で測定。

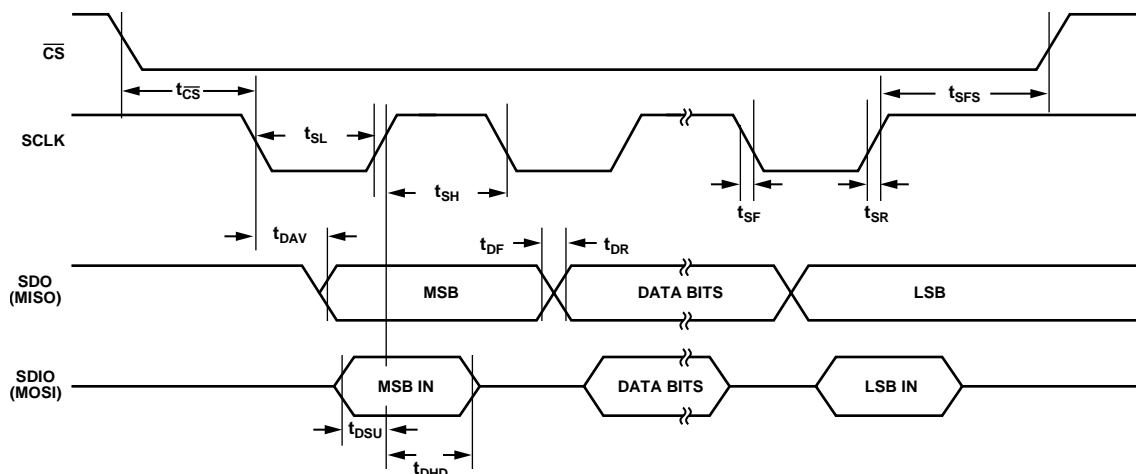
<sup>3</sup> 入力インピーダンスは、 $f_{CLKIN}$  でスイッチされる 4 pF コンデンサと一致。そのため、入力インピーダンス =  $10^{12}/(2\pi f_{CLKIN} \times 4)$ 。

## SPI タイミング特性

特に指定がない限り、 $V_{DD} = 2.7$  V ~ 3.6 V、デフォルトのレジスタ設定、 $T_A = -40 \sim +85^\circ\text{C}$ 。

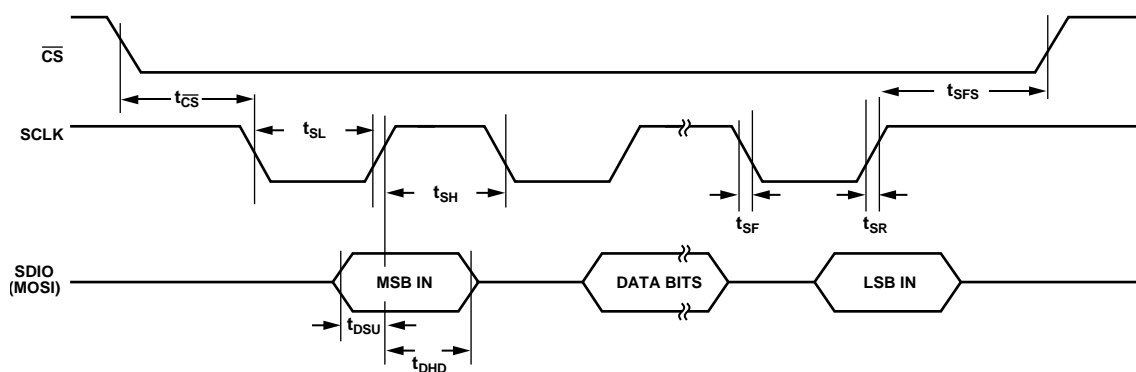
表 2.SPI のタイミング

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
$f_{SCLK}$	50% $\pm$ 5% duty cycle			20	MHz
$t_{CS}$	$\overline{\text{CS}}$ to SCLK edge	2			ns
$t_{SL}$	SCLK low pulse width	10			ns
$t_{SH}$	SCLK high pulse width	10			ns
$t_{DAV}$	Data output valid after SCLK edge			20	ns
$t_{DSU}$	Data input setup time before SCLK edge	2			ns
$t_{DHD}$	Data input hold time after SCLK edge	2			ns
$t_{DF}$	Data output fall time			1	ns
$t_{DR}$	Data output rise time			1	ns
$t_{SR}$	SCLK rise time			10	ns
$t_{SF}$	SCLK fall time			10	ns
$t_{DOCS}$	Data output valid after $\overline{\text{CS}}$ edge			1	ns
$t_{SFS}$	$\overline{\text{CS}}$ high after SCLK edge	2			ns



12295-003

図 2.SPI 読出しのタイミング図 (ADA2200 からの SPI マスター読出し)



12295-004

図 3.SPI 書込みのタイミング図 (ADA2200 に対する SPI マスターからの書込み)

表 3.EEPROM マスター I<sup>2</sup>C ブート・タイミング

Parameter <sup>1</sup>	Symbol	Min	Typical	Max	Unit
BOOT					
Load from $\overline{\text{BOOT}}$ Complete				9600	CLKIN cycles
$\overline{\text{RST}}$ to $\overline{\text{BOOT}}$ Setup Time	$t_2$			2	CLKIN cycles
$\overline{\text{BOOT}}$ Pulse Width	$t_3$			1	CLKIN cycles
RESET					
Minimum $\overline{\text{RST}}$ Pulse Width	$t_1$	25			ns
START CONDITION					
$\overline{\text{BOOT}}$ Low Transition to Start Condition	$t_4$			3	CLKIN cycles

<sup>1</sup> CLKIN DIV[2:0] = 000 の場合の CLKIN サイクル数。

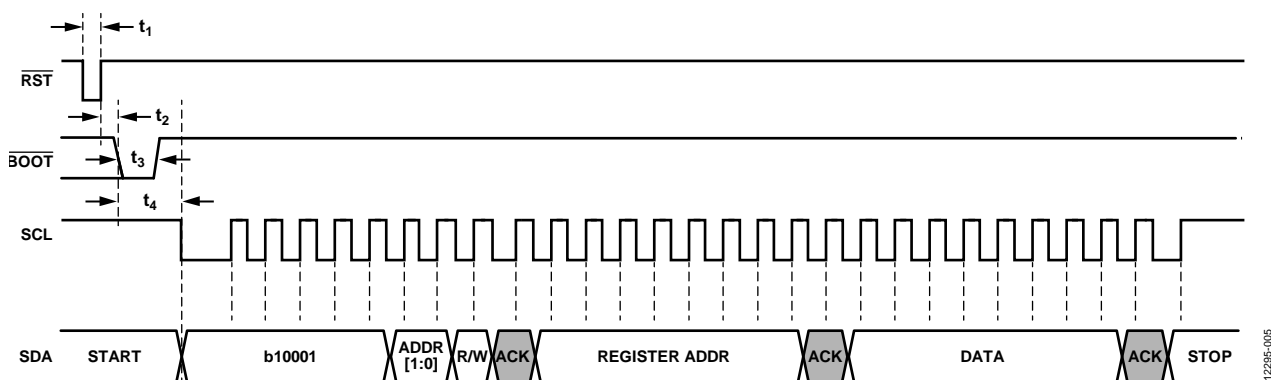


図 4.EEPROM からのロードのタイミング図

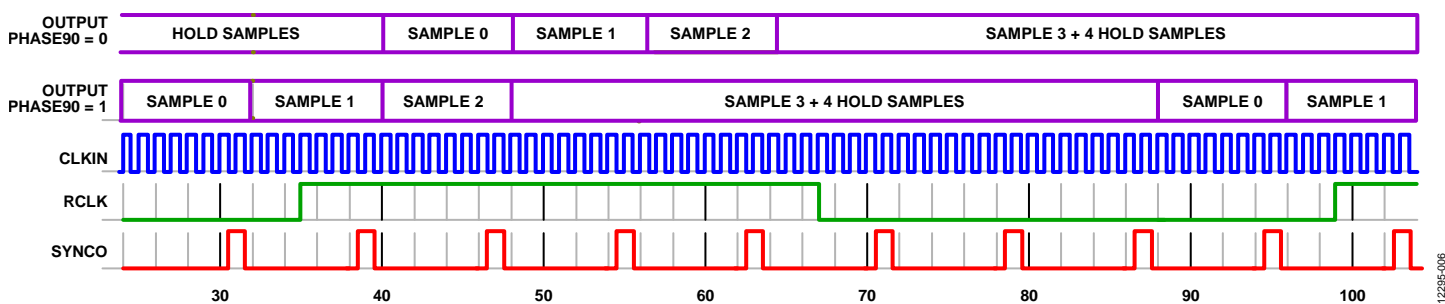


図 5.CLKIN、RCLK、SYNCO、OUTP/OUTN のサンプル・タイミング

表 4.出力、SYNCO、RCLK タイミング、デフォルトのレジスタ設定

Parameter	Test Conditions/Comments	Min	Typ	Max	Unit
$t_1$	CLKIN to OUTx sample update delay		50		ns
$t_2$	CLKIN to SYNCO delay, rising or falling edge to rising edge			40	ns
$t_3$	SYNCO pulse width		$1/f_{S1}$		ns
$t_4$	CLKIN to RCLK delay, rising edge to rising or falling edge			70	ns

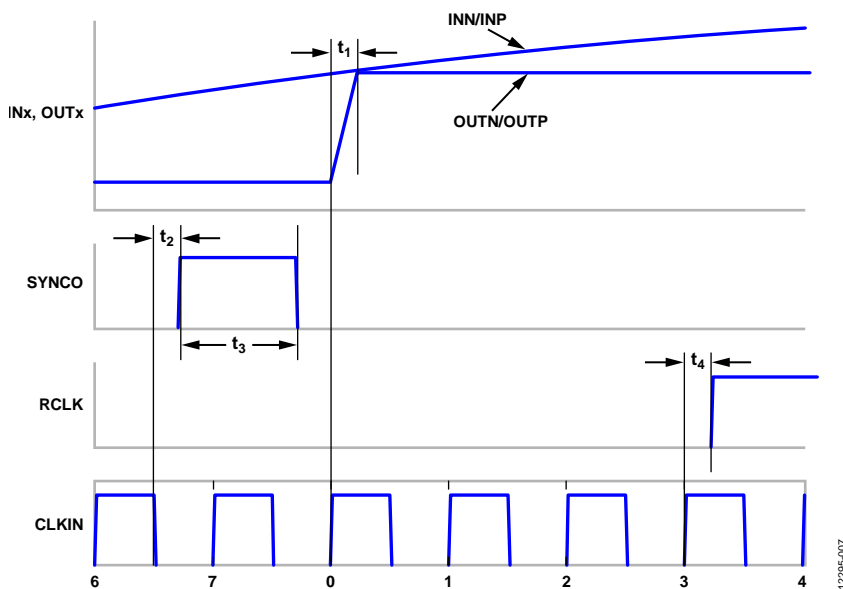


図 6.CLKIN に対する入力、出力、SYNCO、RCLK のタイミング

## 絶対最大定格

表 5.

Parameter	Rating
Supply Voltage	3.9 V
Output Short-Circuit Current Duration	Indefinite
Maximum Voltage at Any Input	$V_{DD} + 0.3 \text{ V}$
Minimum Voltage at Any Input	$\text{GND} - 0.3 \text{ V}$
Operational Temperature Range	$-40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
Storage Temperature Range	$-65^{\circ}\text{C}$ to $+150^{\circ}\text{C}$
Package Glass Transition Temperature	$150^{\circ}\text{C}$
ESD Ratings	
Human Body Model (HBM)	1000 V
Device Model (FICDM)	500 V
Machine Model (MM)	50 V

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上での製品動作を定めたものではありません。製品を長時間絶対最大定格状態に置くと製品の信頼性に影響を与えます。

## 熱抵抗

$\theta_{JA}$  は、自然空冷で 4 層 JEDEC プリント回路ボード(PCB)にハンダ付けしたデバイスに対して規定します。

表 6.

Package	$\theta_{JA}$	$\theta_{JC}$	Unit
16-Lead TSSOP	100	14.8	$^{\circ}\text{C}/\text{W}$

## ESD の注意



ESD (静電放電) の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

## ピン配置およびピン機能説明

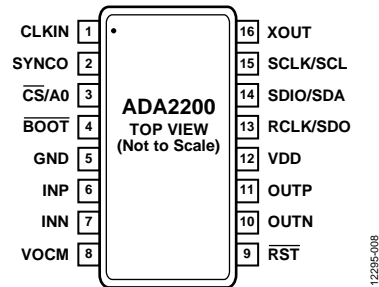


図 7. ピン配置

表 7. ピン機能の説明

ピン番号	記号	説明
1	CLKIN	システム・クロック入力。
2	SYNCO	同期信号出力。
3	$\overline{CS/A0}$	シリアル・インターフェース・チップ・セレクト入力/ブート EEPROM アドレス 0 入力。
4	$\overline{BOOT}$	EEPROM コントロール入力からのブート。
5	GND	電源グラウンド。
6	INP	非反転信号入力。
7	INN	反転信号入力。
8	VOCM	同相モード電圧出力。
9	$\overline{RST}$	リセット・コントロール入力。
10	OUTN	反転出力。
11	OUTP	非反転出力。
12	VDD	正の電源入力。
13	RCLK/SDO	リファレンス・クロック出力/シリアル・インターフェース・データ出力 (4 線式 SPI モード)。
14	SDIO/SDA	双方向シリアル・データ (4 線式 SPI モードでは入力専用)/I <sup>2</sup> C 双方向データ。
15	SCLK/SCL	シリアル・インターフェース・クロック入力/I <sup>2</sup> C クロック出力。
16	XOUT	水晶ドライバ出力。このピンと CLKIN の間に水晶を接続します。その他の場合はこのピンを未接続のままにします。



代表的な性能特性

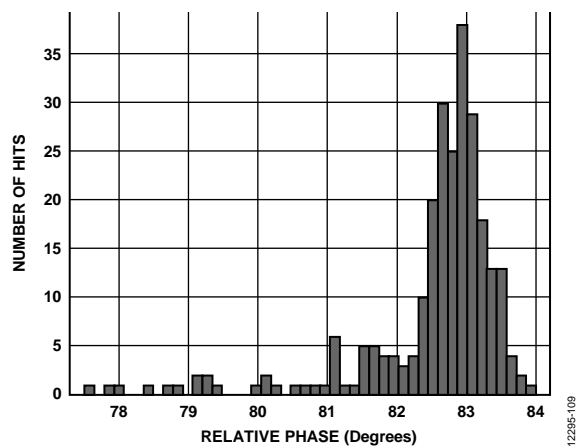


図 8. デバイス間位相遅延変動のヒストグラム

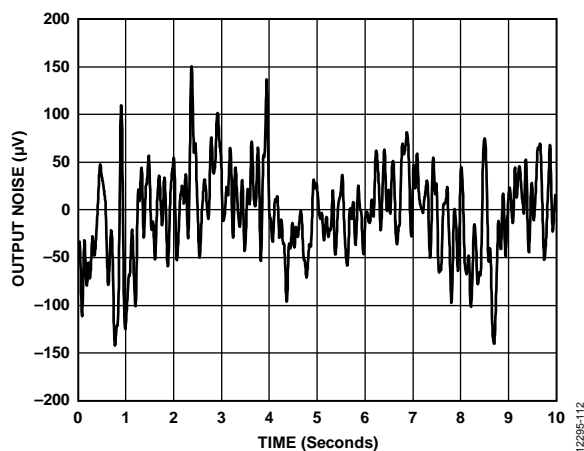


図 11. 0.1 Hz~10 Hz の出力ノイズ、入力を短絡

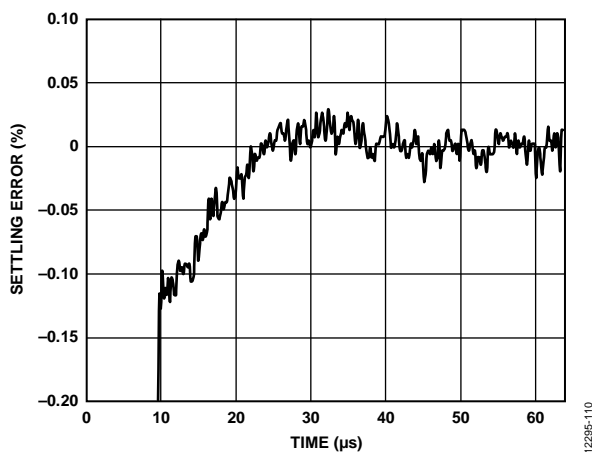


図 9. SYNCO 立下がりエッジからの出力セトリング  
3.7 V ステップ

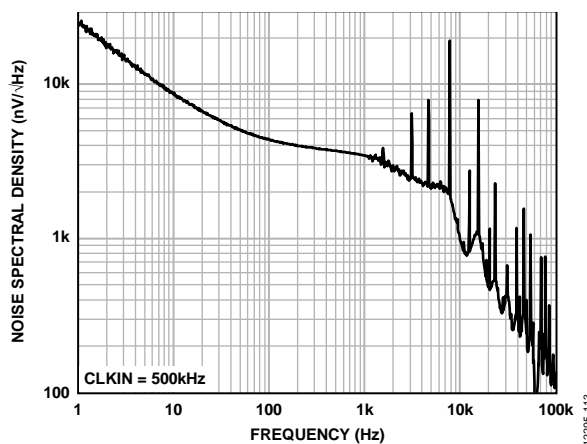


図 12. ノイズ・スペクトル密度の周波数特性  
 $f_{CLKIN} = 500 \text{ kHz}$

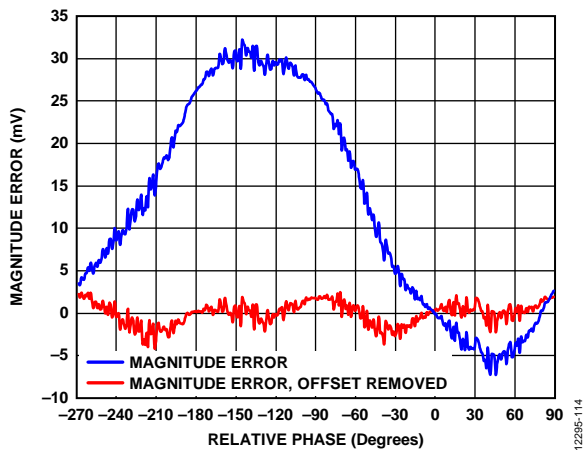


図 10. 相対位相対振幅測定誤差

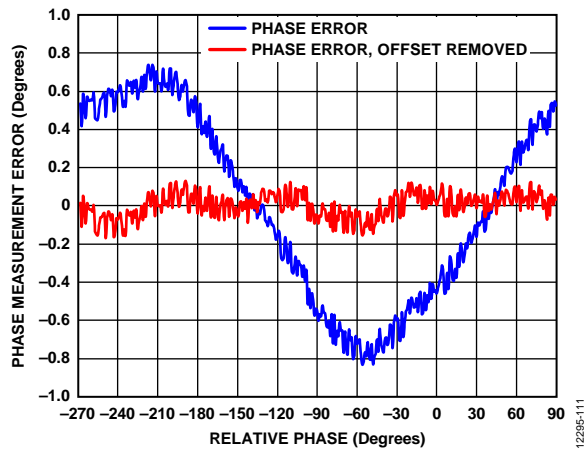


図 13. 相対位相対位相測定誤差

## 用語

### サイクル平均

サイクル平均は、全出力サンプル (OUTP/OUTN) の 1 RCLK 周期での平均です。デフォルト設定では、1 RCLK サイクルあたり 8 個の出力サンプルがあります。このため、サイクル平均は 8 個の連続出力サンプルの平均になります。RCLK 周波数が  $f_{SO}/4$  となるようにデバイスを再設定した場合、サイクル平均は 4 個の連続出力サンプルの平均になります。

### 変換ゲイン

変換ゲインは次式で計算されます。

$$\text{変換ゲイン} = \frac{\sqrt{I^2 + Q^2}}{V_{IN}}$$

ここで、

$I$  はオフセット補正済みサイクル平均、PHASE90 ビット = 0。  
 $Q$  はオフセット補正済みサイクル平均、PHASE90 ビット = 1。  
 $V_{IN}$  は入力電圧の rms 値。

オフセット補正済みサイクル平均 = サイクル平均 - 出力オフセット。

### 相対位相 ( $\theta_{REL}$ )

相対位相は、INN/INP 入力での正弦波の上向きのゼロ交差と、RCLK の次の立上がりエッジとの間の位相差です。

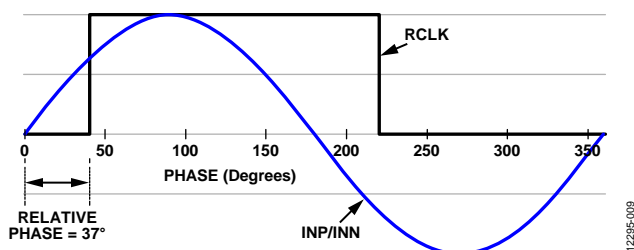


図 14. 相対位相  $\theta_{REL} = 37^\circ$  の例

### 位相遅延 ( $\theta_{DELAY}$ )

位相遅延は、周波数  $f_{RCLK}$  の正弦波入力に対してサイクル平均出力値 = 0 となる相対位相 ( $\theta_{REL}$ ) です。位相遅延は、位相測定伝達関数の正ゼロ交差に対応する相対位相値です。

### 位相測定伝達関数

図 15 に、 $\theta_{REL}$  を  $0^\circ$  から  $360^\circ$  へ変化させたときの 1 V rms 入力正弦波に対する出力のサイクル平均値を示します。

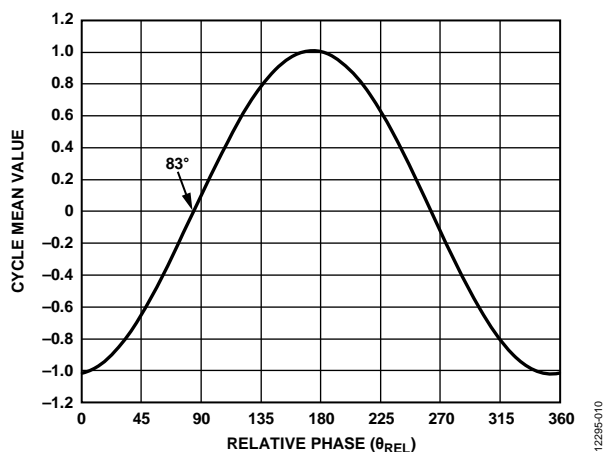


図 15. 位相遅延 =  $83^\circ$ 、1 V rms 入力での位相伝達関数

## 動作原理

ADA2200 は、サンプルド・アナログ技術 (SAT)を採用した同期復調器およびチューナブル・フィルタです。ロックイン・アンプと呼ばれる同期復調器を使うと、信号振幅より数桁大きいノイズ干渉が存在する中から小さい AC 信号を正確に測定することができます。同期復調器では、位相検出を使って特定のリファレンス周波数と位相の信号成分を分離します。リファレンス周波数から離れた周波数でのノイズは容易に除去できるため測定に大きな影響を与えません。

SAT は、電荷シェアリングの原理で動作します。サンプルド・アナログ信号は、振幅を量子化していない階段状の連続信号です。これは、ADC でサンプルされた信号(振幅を量子化した離散時間信号になります)と対照的です。

SAT では、入力信号サンプリング時点の電圧をコンデンサに保持します。次に、コンデンサ間で電荷をシェアリングすることによりアナログ領域で基本信号処理を行うことができます。ADA2200 は、アナログ領域のローパス・デシメーション・フィルタ、プログラマブルな IIR フィルタ、ミキサーを内蔵しています。この機能組み合わせにより、ADC のサンプル・レートを下げて、信号をデジタル化した場合ダウンストリームのデジタル信号処理条件を軽減できます。

また、ADA2200 出力はすべてのアナログ信号パスで使用することができます。これらのアプリケーションでは、信号パス内で ADA2200 の後ろに再生フィルタを接続します。

### 同期復調の基礎

同期復調をセンサー・シグナル・コンディショニング技術として使用すると、他の方法と比較して感度を上げることができます。同期復調は、ノイズの中で小さいセンサー出力信号を再生する際に 2 つの重要な利点を追加します。1 つ目の利点は励起信号を加えることで、これによりセンサー出力信号を低いノイズ周波数帯域へ移動させることができます。2 つ目の利点は、同期復調を使うと、シンプルなローパス・フィルタで残りの不要なノイズ成分の大部分を除去できることです。

図 16 に、センサー出力の測定に使う基本的な同期復調システムを示します。

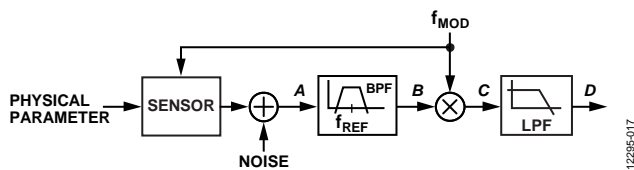


図 16.基本的な同期復調器のブロック図

キャリア信号 ( $f_{MOD}$ )がセンサーを励起します。これにより、センサーで測定する物理パラメータによって発生される信号がキャリア周波数へシフトされます。このシフトによって、所望の信号をノイズの低い周波数帯域へ移動できるため、測定精度が上がります。バンドパス・フィルタ (BPF)が、帯域外ノイズの一部を除去します。同期復調器 (すなわちミキサー)が、信号周波数を DC に戻します。最終ステージのローパス・フィルタが、残りのノイズの大部分を除去します。図 17 と図 18 に、同期復調器内の様々なポイントの信号の周波数スペクトルを示します。

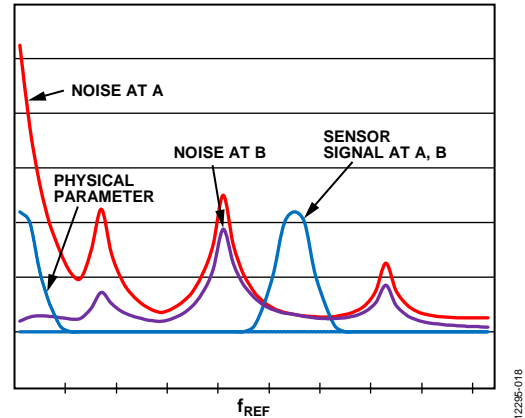


図 17.復調前の同期復調器の出力スペクトル

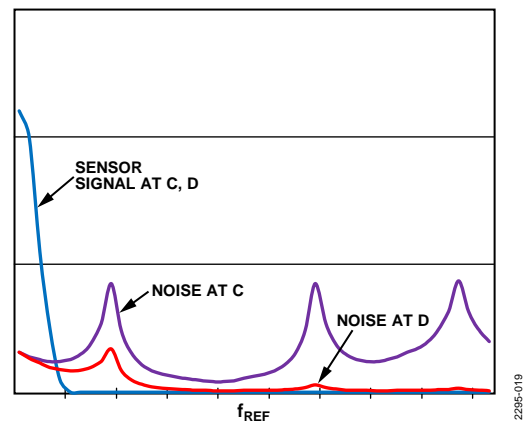


図 18.復調後の同期復調器の出力スペクトル

### 位相検出

同期復調は、位相検出の原理を使って注目する信号を不要な信号から分離します。図 16 では、ミキサーが位相検出を行います。ミキサー出力 (C)の信号は、リファレンス信号とセンサー出力 (B) をフィルタ処理した信号との積です。リファレンス信号が正弦波である場合、物理パラメータは定数であるため、システム内にノイズは存在しません。BPF 出力の信号は、次式で表される正弦波です。

$$V_B \sin(\omega_{REF} t + \phi_B)$$

そうすると、ミキサー (乗算器で構成した場合)の出力は、

$$\frac{1}{2}V_{BREF} \cos(\phi_B - \phi_{REF}) - \frac{1}{2}V_{BREF} \cos(2\phi_{REF} + \phi_B + \phi_{REF})$$

この信号は、DC 信号とリファレンス周波数の 2 倍の AC 信号です。LPF が AC 信号を十分除去するとすると、LPF 出力 (D)の信号は、

$$\frac{1}{2}V_{BREF} \cos(\phi_B - \phi_{REF})$$

LPF 出力は、BPF 出力 (B)の信号の振幅と位相に比例する DC 信号になります。入力振幅を一定にすると、LPF 出力イネーブルを使って位相を測定することができます。入力位相を一定にすると、LPF を使って振幅を測定することができます。

リファレンス信号は純粋な正弦波である必要がないことに注意してください。位相検出を行うときは、励起信号と復調信号は共通の周波数と位相を持つ必要があります。アプリケーションによっては、ADA2200 RCLK 出力からの方波出力を直接使用できる場合があります。

ADA2200 内部では、REFCLK 信号と入力信号との乗算による 2 倍復調ではなく、出力を 1/2 サンプル出力周期間に一定に保持することによる復調です。この動作は、入力信号の半波復調と同じです。この機能を使用した信号検出の詳細については、アプリケーション情報のセクションを参照してください。

### ADA2200 のアーキテクチャ

ADA2200 の信号パスは、高インピーダンス入力バッファ、その後続く固定ローパス・フィルタ (FIR デシメーション・フィルタ)、プログラマブルな IIR フィルタ、ミキサー機能、差動ピン・ドライバから構成されています。図 19 に ADA2200 の詳細ブロック図を示します。信号処理ブロックは、すべて電荷シェアリング技術を使って実現されています。

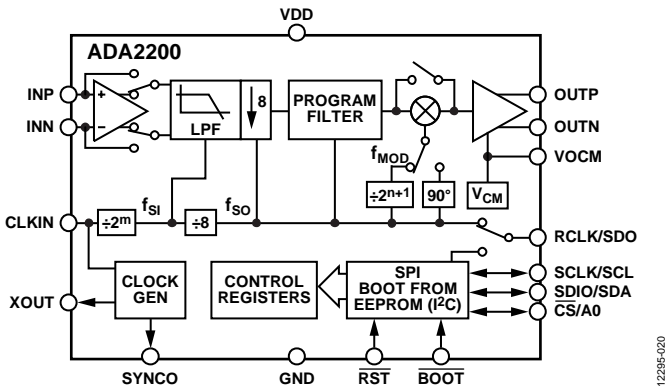


図 19. ADA2200 のアーキテクチャ

### デシメーション・フィルタ

クロック信号分周器 (CLKIN の後ろ) により、デシメーション・フィルタの入力サンプリング周波数  $f_{SI}$  が決定されます。デシメーション・フィルタは、8 個の入力サンプルごとに 1 個のフィルタ済みサンプルを発生します。図 20 に、デシメーション・フィルタの広帯域周波数応答を示します。フィルタはサンプルされたデータに対して動作するため、フィルタのイメージは入力サンプル・レート  $f_{SI}$  の倍数位置に現れます。デシメーション・フィルタの阻止帯域は、出力データ・レート  $f_{SO}$  の約 1/2 から始まります。イメージ通過帯域は  $f_{SI}$  を中心にして存在するため、 $f_{SI}$  を中心とする通過帯域内の不要な信号は、DC へ折り返されるので低周波入力信号と区別できません。

ADA2200 のフル・ダイナミックレンジを維持するため、 $7.5 f_{SI}$  より上の周波数でのノイズが注目周波数のノイズ・フロアより低くない場合には、入力折り返し防止フィルタを使用してください。折り返し防止フィルタには、通常 1 次ローパス・フィルタで十分です。

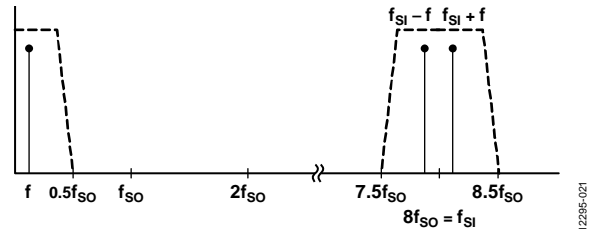


図 20. デシメーション・フィルタの周波数応答

図 21 に、さらに狭い帯域幅のデシメーション伝達関数を示します。デシメーション・フィルタの阻止帯域は、出力サンプル・レートの 1/2 から始まります。デシメータ・ローパス・フィルタ阻止帯域の除去比は約 55 dB です。デシメーション・フィルタの通過帯域は、出力サンプル・レートの 1/4、すなわちデシメータ入力サンプル・レートの 1/32 まで伸びます。

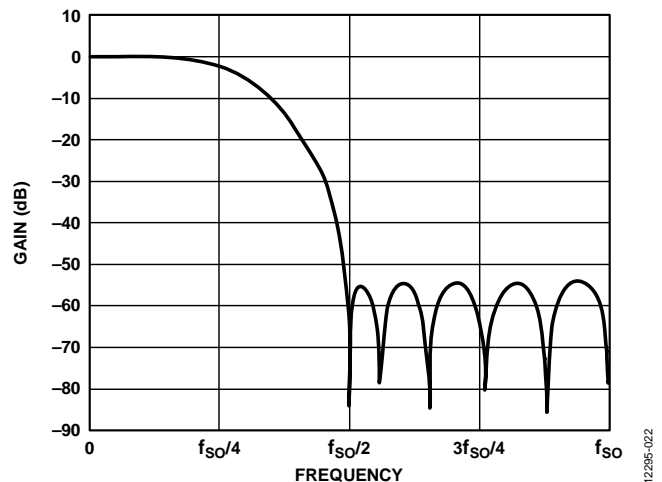


図 21. デシメーション・フィルタの伝達関数、 $f_{SI} = 800 \text{ kHz}$

## IIR フィルタ

IIR ブロックは、入力サンプル・レート ( $f_{SI}$ ) の 1/8 に等しい出力サンプル・レート  $f_{SO}$  で動作します。デフォルトでは、IIR フィルタは中心周波数  $f_{SO}/8$  ( $f_{SI}/64$ ) のバンドパス・フィルタに構成されています。この周波数はデフォルトのミキシング周波数に対応し、通過帯域の中心にある入力信号がミキシングされて DC になることが保証されます。

図 22 に、IIR フィルタのデフォルトの周波数応答を示します。

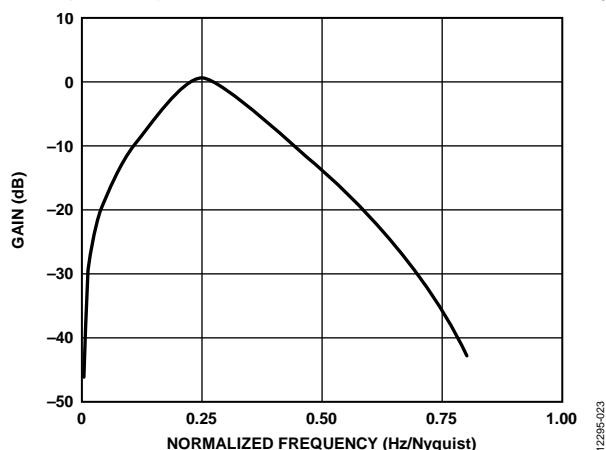


図 22. デフォルトの IIR フィルタ周波数応答 ( $f_{SO}/8$  BPF)

異なる周波数応答が必要な場合、IIR を異なる応答に設定することができます。レジスタ 0x0011～レジスタ 0x0027 に、フィルタ応答を設定する係数値が格納されます。フィルタを設定するときは、まずコンフィギュレーション・レジスタ (レジスタ 0x0011～レジスタ 0x0027) に所望の係数を設定します。次に、レジスタ 0x0010 ～ 0x03 を書込んで、係数をフィルタにロードすることができます。

表 8 に示す係数をロードして、IIR フィルタを全通過動作に設定することができます。

表 8. 全通過フィルタに対する IIR 係数

Register	Value
0x0011	0xC0
0x0012	0x0F
0x0013	0x1D
0x0014	0xD7
0x0015	0xC0
0x0016	0x0F
0x0017	0xC0
0x0018	0x0F
0x0019	0x1D
0x001A	0x97
0x001B	0x7E
0x001C	0x88
0x001D	0xC0
0x001E	0x0F
0x001F	0xC0
0x0020	0x0F
0x0021	0xC0
0x0022	0x0F
0x0023	0x00
0x0024	0x0E
0x0025	0x23
0x0026	0x02
0x0027	0x24

## ミキサー

ADA2200 は、 $1/2$  RCLK 周期間出力サンプルを一定に保持することにより、ミキシング機能を実行します。これは、半波整流機能と同じです。ただし、出力は  $1/2$  出力周期間ゼロに戻らずに前のサンプル値を保持します。

デフォルト設定では、各 RCLK サイクル間に 8 個の出力サンプル周期が存在します。RCLK 信号がハイ・レベルの間に、出力サンプルが 4 回更新されます。RCLK がロー・レベルの間に、4 個目に更新されたサンプルが、その後の 4 出力サンプル周期間一定に保持されます。デフォルト設定での出力サンプルのタイミングを表 4 に示します。

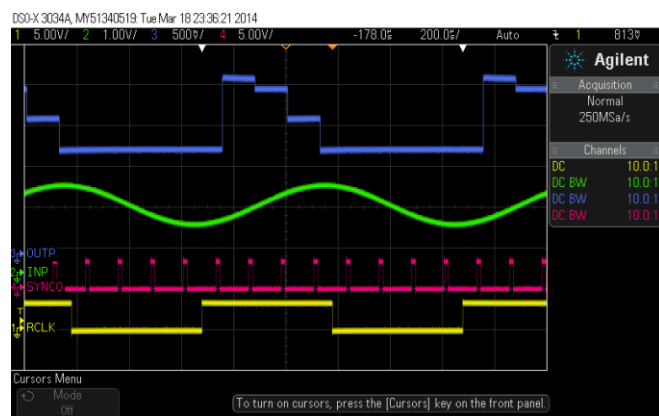
RCLK 分周比 RCLK DIV[1:0] を  $f_{SO}$  の 4 分周に設定することができます。このモードを選択すると、各 RCLK サイクル間に 4 個の出力サンプル周期が発生します。RCLK 信号がハイ・レベルの間に 2 個の出力サンプルが発生します。RCLK がロー・レベルの間に、2 個目に更新されたサンプルが、その後の 2 出力サンプル周期間一定に保持されます。

ミキサーはバイパスすることができます。ミキサーをバイパスすると、各出力サンプル周期で更新されたサンプル値が出力されません。

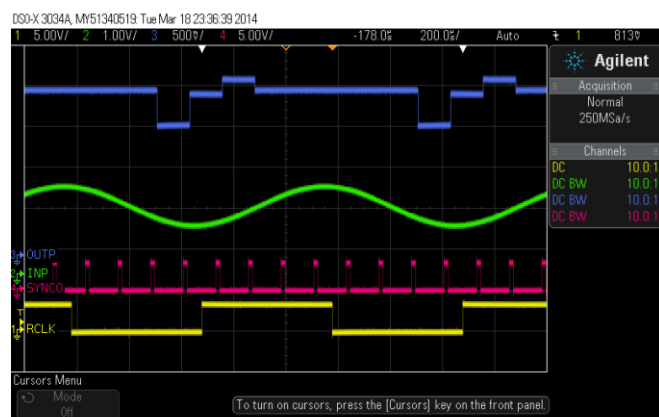
### 位相シフト

レジスタ 0x002A の PHASE90 ビットに書き込みを行って、RCLK に対する出力サンプルのタイミングを変えることができます。別のタイミング・オプションを選択すると、RCLK がロー・レベルの間に 2 個の出力サンプルが更新され、RCLK がハイ・レベル間に 2 個の出力サンプルが更新されます。RCLK がハイ・レベルのとき取得した 2 個目のサンプルが、その後の 4 出力サンプル周期間保持されます。このタイミングを図 5 に示します。

多くの場合に、90° 位相シフトを行うことが有効です。これにより、一對の ADA2200 デバイスで同相復調と直交復調を実行できるようになります。また、制御システムで適切な誤差信号出力を選択する際にも 90° 位相シフトは役立ちます。



(A)



(B)

図 23.RCLK に対する出力サンプルのタイミング  
(A) PHASE90 = 0、(B) PHASE90 = 1

### クロック・オプション

ADA2200 には、システム構築を容易にする複数のクロック・オプションがあります。

#### クロック分周器

ADA2200 には、システム・クロックを発生する一対の内蔵クロック分周器があります。入力クロック分周器 CLKIN DIV[2:0]は、CLKIN 信号を分周してデシメータの入力サンプル・レート( $f_{SI}$ )を設定します。CLKIN DIV[2:0] 値は、1、16、64、または 256 に設定することができます。

出力サンプル・レート ( $f_{SO}$ )は、常にデシメータ入力サンプル・レートの 1/8 です。

RCLK 分周器 RCLK DIV[1:0]は、 $f_{SO}$  を 4 分周または 8 分周して、ミキサー周波数  $f_M$  (= RCLK 周波数)を設定します。

#### 同期パルス出力

ADA2200 は出力パルス (SYNCO)を発生します。このパルスはマイクロプロセッサが使用するか、または直接 ADC が使用して、ADA2200 出力の A/D 変換を開始させます。SYNCO 信号は、ADA2200 出力サンプル・ウィンドウ内の最適なタイミングで ADC サンプルングが行われることを保証します。

ADA2200 の 1 個の出力サンプルは、 $f_{SI}$  クロック・サイクルの 8 個分の長さです。SYNCO パルスの幅は、 $f_{SI}$  クロック・サイクル 1 個分です。図 24 に示すように、SYNCO パルスは、16 種類のタイミング・オフセットで発生するように設定することができます。タイミング・オフセットは、 $\frac{1}{2} f_{SI}$  クロック・サイクル間隔で、フル出力サンプル・ウィンドウまで可能です。

SYNCO パルスは反転可能で、SYNCO 出力をディスエーブルすることもできます。SYNCO タイミング発生設定値の操作はレジスタ 0x0029 で行います。

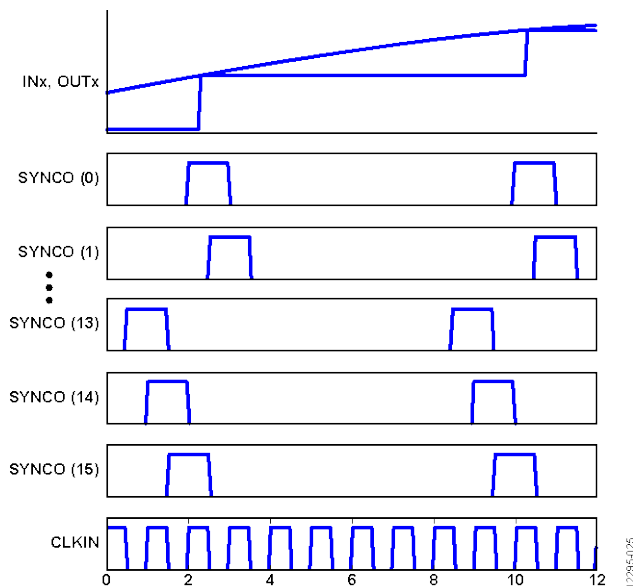


図 24.OUTPUTN、INP/INN、CLKIN に対する SYNCO 出力のタイミング

## 入力アンプと出力アンプ

### シングルエンド構成

シングルエンド入力構成が必要な場合は、入力信号は電源中心値に近い同相モード電圧を持つ必要があります。他の入力を入力信号の同相モード電圧へデカップリングしてください。

INP 入力と INN 入力との間の同相モード・レベルの差により、デバイス内部にオフセット電圧が発生することに注意してください。BPF でオフセットを除去したうえでも、デバイス内部での有効信号振幅の減少を回避するためオフセットを小さくしてください。

シングルエンド出力の場合、OUTP または OUTN を使用することができます。未使用出力はフローティングのままにしてください。

### 差動構成

ADA2200 を差動モードで使用すると、デバイスのフル・ダイナミックレンジを使用するため、最適なノイズ性能と同相モード除去比が得られます。

## アプリケーション情報

ADA2200 出力に現れる信号は、入力に加えらるる信号の振幅と相対位相に依存します。振幅または位相が既知で一定の場合、出力変動は変調パラメータに起因します。このため、入力の相対位相が一定の場合、ADA2200 は振幅復調を行います。振幅が一定の場合、ADA2200 は位相復調を行います。

サンプリングと復調のプロセスにより、出力信号へ周波数成分が加わります。ADA2200出力信号をアナログ領域で使用する場合、または ADA2200 サンプル・クロックに非同期でサンプルされる場合、ADA2200の後ろに再生フィルタを使用してこれらの高周波成分を除去することができます。

ADA2200 出力を ADA2200 出力サンプル・レートに同期してサンプルする場合、アナログ再生フィルタは不要です。これは ADC が元々サンプリング・ノイズを除去する機能を持つためです。復調プロセスから生ずる周波数ノイズは、デジタル・フィルタで除去することができます。

### 振幅測定

ADA2200 への入力信号の相対位相が一定に維持される場合、出力振幅は入力信号振幅に比例します。信号ゲインは入力信号相対位相の関数であることに注意してください。図 15 に、サイクル平均出力と相対位相との関係を示します。サイクル平均出力電圧は、

$$V_{CYCLEMEAN} = \text{変換ゲイン} \times V_{IN(RMS)} \times \sin(\theta_{REL} - \theta_{DEL}) = 1.05 \times V_{IN(RMS)} \times \sin(\theta_{REL} - \theta_{DEL})$$

したがって、最大ゲインおよび信号対ノイズ比の最大測定値は、ADA2200 を  $\theta_{REL} = \theta_{DEL} + 90^\circ = 173^\circ$  で動作させたときに得られます。 $\theta_{REL}$  のこの値は、相対位相変化に対する最小感度の動作ポイントでもあります。 $\theta_{REL} = \theta_{DEL} - 90^\circ = -7^\circ$  で動作すると、同じゲインと測定精度が得られますが、符号が反対になります。

### 位相測定

ADA2200への入力信号の振幅が一定に維持される場合、出力振幅は入力信号の相対位相の関数になります。相対位相は次のように測定されます。

$$\theta_{REL} = \sin^{-1}(V_{CYCLEMEAN} / (\text{変換ゲイン} \times V_{IN(RMS)})) + \theta_{DEL} = \sin^{-1}(V_{CYCLEMEAN} / (1.05 \times V_{IN(RMS)})) + \theta_{DEL}$$

出力電圧は入力信号振幅に比例することに注意してください。フルスケール入力信号で、最大位相感度 ( $V^\circ/\theta_{REL}$ ) および信号対ノイズ比の最大測定値が得られます。

また、位相感度は相対位相により変化します。感度は、 $\theta_{REL} = 83^\circ$  のとき最大になります。このため、最適な測定範囲は相対位相が位相遅延  $\pm 45^\circ$  に等しい入力信号に対して得られます。この範囲では、最大ゲインおよび信号対ノイズ比の最大測定が得られます。この範囲は、相対位相変化に対する最小感度の動作ポイントでもあります。位相遅延が  $-135^\circ \sim -225^\circ$  に等しい相対位相で動作すると、同じゲインと測定精度が得られますが、符号が反対になります。

位相遅延に等しい相対位相を持つ 4 V p-p 差動入力動作での位相感度では、位相感度が  $36.6 \text{ mV}^\circ/\theta_{REL}$  になります。

### 振幅と位相の測定

入力信号の振幅と相対位相が既知の場合、振幅または相対位相または両方を求めるためには、信号の 2 つの直交成分を取得する必要があります。これらの 2 つの信号成分は、信号の同相 (I) 成分および直交 (Q) 成分と呼ばれます。

2 つの既知直交座標成分を持つ信号は、対応する振幅と位相を持つベクトルで表されます (図 25 参照)。

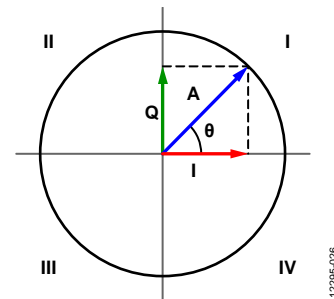


図 25. 信号の直交座標または極座標表示

信号振幅が測定継続時間ほぼ一定の場合、連続する 2 回の測定の間 PHASE90 ビットをトグルさせて、信号の I 成分と Q 成分を測定することができます。I 成分を測定するときは、PHASE90 ビットに 0 を設定します。Q 成分を測定するときは、PHASE90 ビットに 1 を設定します。

I 成分と Q 成分を取得した後、振幅と位相の変動の影響を分離することができます。次に、次式で振幅と相対位相を計算します。

$$A = \sqrt{I^2 + Q^2}$$

$$\theta_{REL} = \cos^{-1}\left[\frac{Q}{A}\right] + \theta_{DEL}$$

あるいは、

$$\theta_{REL} = \sin^{-1}\left[\frac{I}{A}\right] + \theta_{DEL}$$



逆 sin 関数または逆 cos 関数が信号の相対位相と測定した角度の間の関係を直線化します。逆 sin と逆 cos は 2 象限でのみ定義されているので、I と Q の符号は、結果を全 360° 範囲の相対位相値に対応させる際に考慮する必要があります。逆 tan 関数の使用は推奨されません。これは、位相計算値が  $\pm 90^\circ$  に近づくと、位相測定値がノイズに対して極めて敏感になるためです。

### アナログ出力システム

ADA2200 出力信号をアナログ領域で使用する場合、または ADA2200 サンプル・クロックに非同期でサンプルされる場合、再構成フィルタの使用が必要です。

### 再生フィルタ

アナログ再構成フィルタの帯域幅は、アナログ出力の復調帯域幅を設定します。ノイズと復調帯域幅との間にトレードオフがあります。このため、再生フィルタのカットオフ周波数をできるだけ低くすると同時に、注目する復調信号の減衰を小さくすることが推奨されます。

D/A コンバータ (DAC)と同様に、ADA2200 出力はステップ状の連続出力になります。この波形には、所望信号の正と負のイメージが  $f_{so}$  の整数倍の位置に含まれます。多くの場合、イメージは減衰させるべき不要なノイズ成分です。

出力スペクトルに現れる最小周波数イメージは、 $f_{so} - f_{IN}$  の周波数で発生します。イメージの振幅は  $\sin(x)/x$  ロールオフで減少させられます。出力サンプルのイメージを除去するためにローパス・フィルタの追加が必要か否かは、システム精度条件によります。

### ADC に対するインターフェース

#### セトリング・タイム条件

ADC で ADA2200 出力をコヒーレントにサンプリングする場合、出力サンプルが ADC サンプリングの前に安定するように出力フィルタをデザインしてください。出力フィルタが、ADA2200 で発生したサンプリング・イメージを除去する必要はありません。イメージは、ADC サンプリング・プロセスにより自然に除去されます。

#### クロック同期

SYNCO 出力が ADC サンプリング・プロセスを直接起動するか、マイクロコントローラが SYNCO を使って ADC サンプリング時間を調整することができます。SYNCO パルス・タイミングを調整すると、ADA2200 出力が ADC サンプリングの前に安定するために要する時間を大きくすることができます。

#### 多チャンネル ADC

同時サンプリングを必要とする多チャンネル・システムでは、ADA2200 がチャンネルごとにプログラマブルなフィルタと同時サンプリングを提供することができます。

図 26 に、1 MHz の合計スループット・レートを持つ 8 チャンネル・システムを示します。ADA2200 が各チャンネルを 1 MSPS でサンプルし、各出力サンプル・レート 125 kHz でフィルタ済みサンプルを発生します。AD7091R-8 はマルチプレクス入力の 8 チャンネル 1 MHz ADC で、8 チャンネルを 125 kHz で繰り返して、1 MHz の合計出力サンプル・レートを発生します。

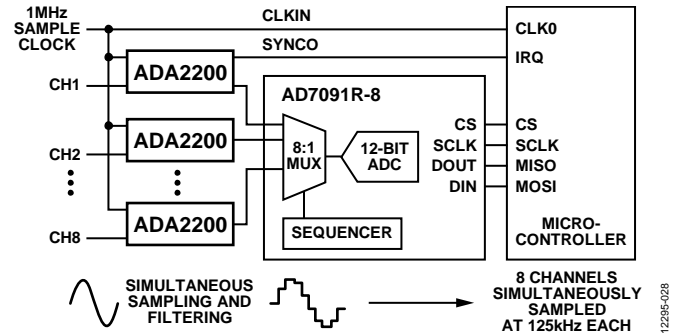


図 26. 8 チャンネル同時サンプリング・アプリケーションでの ADA2200

### ロックイン・アンプ

図 27 に、ロックイン・アンプ・アプリケーションでの ADA2200 を示します。80 kHz のマスター・クロック信号で、デシメーション・フィルタ  $f_{SI}$  の入力サンプル・レートを設定します。出力サンプル・レートは 10 kHz です。デフォルト設定では、RCLK で発生される励起信号は 1.25 kHz です。これは、内蔵 IIR フィルタの中心周波数でもあります。

多くの場合、RCLK 信号はバッファされた後センサーへの方角波励起信号を供給します。センサーへ正弦波励起信号を供給するためさらにシグナル・コンディショニングが必要なこともあります。

低ノイズ計装アンプは、ADA2200 に入力される信号のノイズ・フロアが ADA2200 入力を基準とする ADA2200 と ADC の合計ノイズ・フロアより高くなるように、信号を増幅する十分なゲインを提供します。

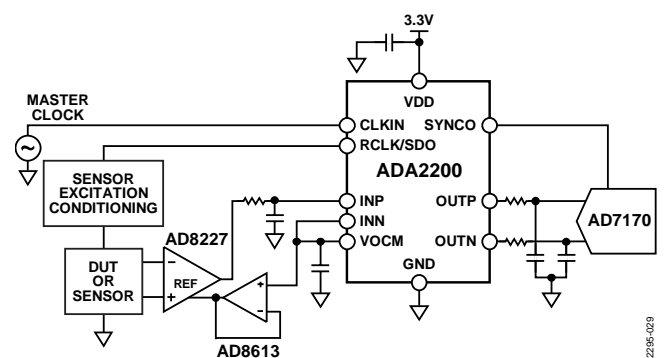


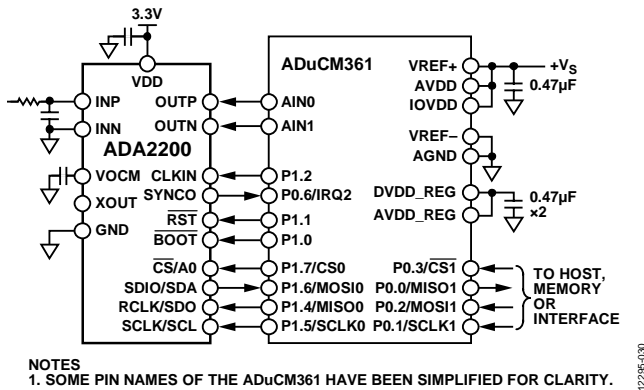
図 27. ロックイン・アンプ・アプリケーション

デフォルト・モードでは、ADA2200 は励起 (RCLK) 信号の各サイクルで 8 個の出力サンプルを発生します。4 個の出力サンプル値が存在します。出力に 4 番目の値が、5 個の連続出力サンプル周期に対して現れます。

測定精度、帯域幅、スループット・レートを最適化するためには、出力サンプルをデジタル的に処理する複数の方法があります。1つの方法は、8個のサンプルの和をとって値を返す方法です。平均フィルタを移動すると、返り値のノイズ・フロアが低くなります。平均フィルタの移動長は、ノイズ・フロアとセトリング・タイム条件により決定されます。

### マイクロコントローラに対するインターフェース

図 28 に、低消費電力マイクロコントローラ (ADuCM361) から駆動される基本回路構成を示します。この場合、ADA2200 は ADC サンプルング・レートを 1/8 にして、マイクロコントローラで必要とされる後続の信号処理能力を減らします。



NOTES  
1. SOME PIN NAMES OF THE ADuCM361 HAVE BEEN SIMPLIFIED FOR CLARITY.

図 28.フル設定可能な低消費電力マイクロコントローラに対するインターフェース

### EEPROM ブート構成

図 29 に、ADA2200 の EEPROM ブートを使用するスタンドアロン構成を示します。CLKIN と XOUT の間に接続した標準の発振器回路がクロック信号を発生します。パワーオン・リセット (POR) の間 BOOT をロー・レベルにすると、ADA2200 は書き込み済みの EEPROM から設定値をロードします。また、デバイスがリセット中でないときに、BOOT ピンをロー・レベルにしたときにも EEPROM ブートが起動されます。

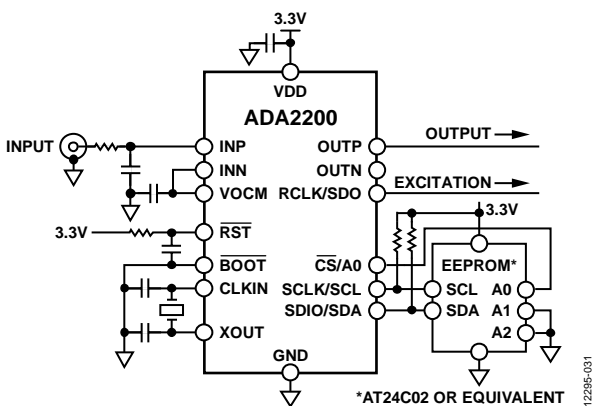


図 29.スタンドアロン構成

### 消費電力

ADA2200 の電源電流は、アンプ・バイアス電流とスイッチド・キャパシタ電流の 2 つのメイン成分で構成されます。アンプ電流はクロック周波数に無関係ですが、スイッチド・キャパシタ電流は  $f_{SI}$  に比例します。

図 30 に、入力クロックが 1 kHz から 1 MHz へ変化し、CLKIN DIV[2:0] = 1 のときの、電源電圧 = 2.7 V と 3.3 V での ADA2200 の電源電流測定値 (typ) を示します。電源電圧 = 3.3 V での電源電流は次式で計算できます。

$$I_{DD} = 290 \times 0.2 \times f_{CLKIN} \mu A$$

ここで、 $f_{CLKIN}$  の単位は kHz です。

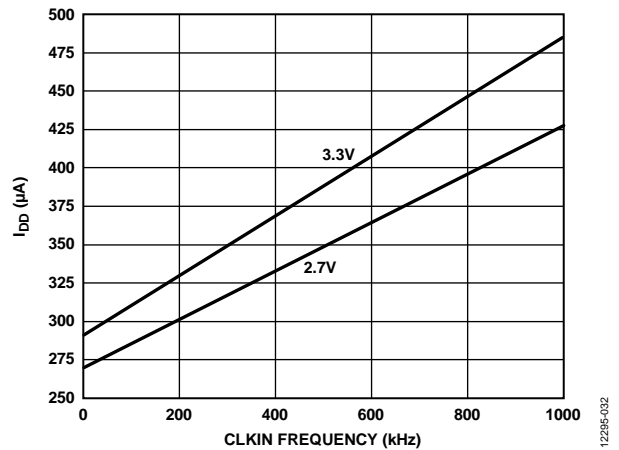


図 30. CLKIN 周波数対電源電流 (typ)、 $V_{DD} = 2.7 V$  および  $3.3 V$

## デバイスの設定

ADA2200 には、デバイス動作をカスタマイズするときに設定できるレジスタがあります。レジスタの設定には 2 つの方法があります。シリアル・ポート・インターフェースを経由してデバイスを設定する方法と、I<sup>2</sup>C マスターを使ってシリアル EEPROM から設定値を読み出す方法です。

### シリアル・ポート動作

シリアル・ポートは柔軟な同期シリアル通信ポートであり、多くの業界標準マイクロコントローラ/マイクロプロセッサと容易にインターフェースすることができます。シリアル I/O は、モトローラ社の SPI プロトコルや Intel®社の SSR プロトコルなどの大部分の同期転送フォーマットと互換性を持っています。このインターフェースを使うと、ADA2200 を設定するすべてのレジスタに対してリード/ライト・アクセスが可能になります。1 バイト転送または複数バイト転送、および MSB ファースト転送フォーマットまたは LSB ファースト転送フォーマットをサポートしています。シリアル・ポート・インターフェースは、1 本ピンの I/O (SDIO) または入力と出力に 2 本のピンを使う双方向 (SDIO と SDO) に設定することができます。

ADA2200 との通信サイクルには 2 つのフェーズがあります。フェーズ 1 は命令サイクル(デバイスに対する命令バイトの書き込み)であり、最初の 16 個の SCLK 立ち上がりエッジを使います。命令バイトは、データ転送サイクルすなわち通信サイクルのフェーズ 2 についての情報をシリアル・ポート・コントローラに提供します。フェーズ 1 の命令バイトは、後続のデータ転送が読み出されたか書き込みのいずれかを指定し、さらにデータ転送の先頭バイトの開始レジスタ・アドレスを指定します。各通信サイクルの最初の 16 個の SCLK 立ち上がりエッジは、命令バイトをデバイスへ書き込むのに使用されます。

$\overline{CS}/A0$  ピンにハイ・レベルを入力し、続いてロー・レベルを入力すると、シリアル・ポートのタイミングが命令サイクルの初期状態にリセットされます。この状態から次の 16 個の SCLK 立ち上がりエッジで、現在の I/O 動作の命令ビットが表示されます。

残りの SCLK エッジが、通信サイクルのフェーズ 2 に該当します。フェーズ 2 では、デバイスとシステム・コントローラとの間で実際にデータ転送が行われます。通信サイクルのフェーズ 2 は、1 バイト以上のデータ転送です。レジスタは、各転送バイトの最終ビットを書き込むと、直ちに更新されます。

### データ・フォーマット

命令バイトは表 9 に示す情報から構成されています。

表 9. シリアル・ポートの命令バイト

MSB					LSB		
I15	I14	I13	I12	...	I2	I1	I0
R/W	A14	A13	A12	...	A2	A1	A0

$\overline{R/W}$  (命令バイトのビット 15) は、命令バイトの書き込み後に、読み出しと書き込みのいずれのデータ転送が行われるかを指定します。ロジック 1 は読み出し動作を、ロジック 0 は書き込み動作を、それぞれ表します。

A14~A0 (命令バイトのビット 14~ビット 0) は、通信サイクルのデータ転送部分でアクセスされるレジスタを指定します。複数バイト転送の場合、A14 は開始バイト・アドレスになります。残りのレジスタ・アドレスは、LSB ファースト・ビット (レジスタ 0x0000、ビット 6) に基づいてデバイスにより発生されます。

### シリアル・ポート・ピンの説明

#### シリアル・クロック (SCLK/SCL)

シリアル・クロック・ピンは、デバイスとの間のデータを同期化し、内部ステート・マシンを動作させます。SCLK の最大周波数は 20 MHz です。すべてのデータ入力は、SCLK 信号の立ち上がりエッジで入力されます。すべてのデータは SCLK 信号の立ち上がりエッジで出力されます。

#### チップ・セレクト ( $\overline{CS}/A0$ )

アクティブ・ローを入力すると、通信サイクルが開始されます。この信号を使うと、複数のデバイスを同じシリアル・コミュニケーション・ライン上で動作させることができます。 $\overline{CS}/A0$  をハイ・レベルにすると、SDO 信号と SDIO 信号は高インピーダンス状態になります。通信サイクルの間、 $\overline{CS}/A0$  ピンをロー・レベルに維持してください。

#### シリアル・データ I/O (SDIO/SDA)

データは常にこのピンからデバイスへ書込まれます。このピンは双方向データラインとして使うことができます。このピンの設定は、レジスタ 0x0000 のビット 3 とビット 4 から制御されます。デフォルトはロジック 0 で、SDIO/SDA ピンは単方向に設定されます。

#### シリアル・データ出力 (RCLK/SDO)

ADA2200 を 4 線式 SPI 動作に設定すると、このピンはシリアル・データ出力ピンとして使用することができます。デバイスを 3 線式 SPI 動作に設定すると、このピンはリファレンス・クロック (RCLK) 信号の出力として使用することができます。RCLK 選択ビット (レジスタ 0x002A、ビット 3) にハイ・レベルを設定すると、RCLK 信号がアクティブ化されます。

### シリアル・ポートのオプション

シリアル・ポートでは、MSB ファーストと LSB ファーストのデータ・フォーマットをサポートすることができます。この機能は、LSB ファースト・ビット (レジスタ 0x0000、ビット 6) から制御されます。デフォルトは MSB ファースト (LSB ファースト = 0) です。

LSB ファースト = 0 (MSB ファースト) の場合、命令とデータバイトは、MSB から LSB への順序で書き込む必要があります。MSB ファースト・フォーマットでの複数バイトのデータ転送は、上位データバイトのレジスタ・アドレスを含む命令バイトから開始されます。後続のデータバイトは、上位アドレスから下位アドレスの順で続く必要があります。MSB ファースト・モードでは、シリアル・ポート・バイト内部アドレス・ジェネレータが、複数バイトの通信サイクルの各データバイトに対してデクリメントします。

LSB ファースト = 1 の場合、命令ビットとデータビットは、LSB から MSB への順序で書き込む必要があります。LSB ファースト・フォーマットでの複数バイトのデータ転送は、下位データバイトのレジスタ・アドレスを含む命令バイトから開始されます。後続のデータバイトは、下位アドレスから上位アドレスの順で続く必要があります。LSB ファースト・モードでは、シリアル・ポート・バイト内部アドレス・ジェネレータが、複数バイトの通信サイクルの各データバイトに対してインクリメントされます。

MSB ファースト・モードがアクティブの場合、複数バイト・レジスタ・アクセスで実行された各連続する読み出しまたは書き込み動作に対して、データ・アドレスはデクリメントされます。LSB ファースト・モードがアクティブの場合、複数バイト・レ

レジスタ・アクセスで実行された各連続する読み出しまたは書き込み動作に対して、データ・アドレスはインクリメントされます。

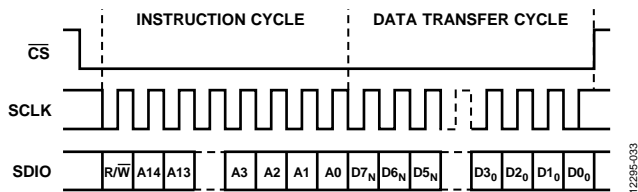


図 31. シリアル・ポート・インターフェース・タイミング、MSB ファースト

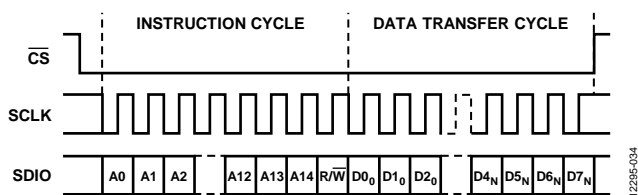


図 32. シリアル・ポート・インターフェース・タイミング、LSB ファースト

## EEPROM からのブート

デバイスは内部 I<sup>2</sup>C マスターを使って EEPROM から内部レジスタへロードして、ADA2200 の動作をカスタマイズすることができます。この機能をイネーブ爾するときは、RST ピンまたは BOOT ピンを制御する必要があります。いずれの場合も、デバイスはリセットから抜け出してマスター・クロックがアクティブのときにのみ、デバイスは EEPROM からブートします。

### メモリからのロードのイネーブ爾

EEPROM からのブートは 2 つの方法で起動されます。

BOOT ピンを使ってロードを開始するときは、デバイスがリセットから抜け出した後、BOOT ピンをマスター・クロックの最小 2 クロック・サイクル間ロー・レベルにする必要があります。開始されると、ブートは BOOT ピンの状態に無関係に完了します。後続のブートを起動するときは、BOOT ピンをハイ・レベルにした後、マスター・クロックの最小 2 クロック・サイクル間ロー・レベルにする必要があります。

RST ピンを使ってロードを起動するときは、BOOT ピンをロー・レベルにする必要があります。RST ピンをハイ・レベルに固定して、デバイスがパワーアップするときに ADA2200 を EEPROM からロードして、内部 POR サイクルを完了させることができます。後続ブートを起動するときは、ADA2200 の電源をオン/オフするか、RST ピンをロー・レベルにした後にハイ・レベルします。

ADA2200 が EEPROM をロードしている間、SPI インターフェースはディスエーブルされます。

### メモリ・サイクルからのロード

ADA2200 は、EEPROM の先頭の 28 バイトを読み出します。先頭の 27 バイトは、レジスタ 0x0011～レジスタ 0x0027 にロードされる値を表します。バイト 28 は、EEPROM に保存されるチェックサムを格納します。

ADA2200 は、先頭の 27 バイトのチェックサムを計算し、これをリードバックして EEPROM 内のチェックサムと比較します。ADA2200 が計算したチェックサムは、EEPROM チェックサム・レジスタ (レジスタ 0x002E) を読み出すことによりアクセスすることができます。ADA2200 チェックサムが EEPROM 内のチェックサムと一致すると、EEPROM からのロードが正常終了

します。EEPROM からのロードの可否ステータスは、EEPROM ステータス・レジスタ (レジスタ 0x002F) に格納されます。

さらに、EEPROM ステータス・レジスタの LSB はロード・サイクルの完了を表示します。ロジック 1 は、ロード・サイクルの正常完了を表します。ロジック 0 は、ロード・サイクルでタイムアウト違反が発生したことを表します。メモリ・サイクルからのロードのタイムアウトまたは正常完了の場合、ADA2200 I<sup>2</sup>C マスター・インターフェースがディスエーブルされ、ADA2200 SPI インターフェースが再イネーブ爾されて、デバイスへの通信アクセスが可能になります。

ロード・サイクルは、CLKIN の 10,000 クロック・サイクル(または、BOOT ピンでロード・サイクルを起動する場合は CLKIN を CLKIN DIV[2:0]の現在値で分周したサイクル数) 内で完了します。

### 2 つの設定/2 つのデバイス・メモリのロード

CS/A0 ピンを使うと、1 つの EEPROM デバイスが 1 つの ADA2200 デバイスで 2 つの設定を、または 2 つ異なる ADA2200 デバイスで異なる設定を、それぞれサポートすることができます。信頼度の高い動作を保証するため、ブート開始前に CS/A0 ピンを所望の状態に設定し、ブートの継続時間中その状態を維持してください。

1 つの ADA2200 デバイスを設定するためには、EEPROM は最小 32 ワードをサポートするワード・ページ・サイズを持つ必要があります(ワードあたり 8 ビット)。2 個のデバイス、または 1 個のデバイスに対して 2 つの設定をサポートするためには、EEPROM は少なくとも 2 ワード・ページ持つ必要があります。各デバイスに対する ADA2200 設定データは、1 ワード・ページ内の EEPROM メモリに割り当てる必要があります。

### EEPROM ロードでの SPI マスターの使用

メモリ・サイクルからのロードでは、ADA2200 と EEPROM デバイスの間に I<sup>2</sup>C 通信バスが必要ですが、メモリ・サイクルからのロードが完了した後、ADA2200 は SPI インターフェースから制御することができます。メモリ・サイクルからのロード後の、最初の SPI 読み出しコマンドまたは書き込みコマンドの前に、CS/A0 ピンをハイ・レベルに戻すことが推奨されます。これにより、SPI リード/ライト・コマンドの開始前に適切なセットアップ時間の経過が保証されます(表 2 参照)。

## デバイス・コンフィギュレーション・レジスタ・マップと説明

表 10. デバイス・コンフィギュレーション・レジスタ・マップ<sup>1</sup>

Addr. (Hex)	Register Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Default <sup>2</sup>
0x0000	Serial interface	Reset	LSB first	Address increment	SDO active	SDO active	Address increment	LSB first	Reset	0x00
0x0006	Chip type	0	0	0	0	Die revision[3:0]				0x00 (read only)
0x0010	Filter strobe	0	0	0	0	0	0	Load coefficients[1:0]		0x00
0x0011 to 0x0027	Filter configuration	Coefficient[7:0]								See Table 11
0x0028	Analog pin configuration	X	X	X	X	X	X	INP gain	Clock source select	0x00
0x0029	Sync control	X	X	SYNCO output enable	SYNCO invert	SYNCO edge select[3:0]				0x2D
0x002A	Demod control	X	PHASE90	X	Mixer enable	RCLK select	VOCM select[2:0]			0x18
0x002B	Clock configuration	X	X	X	CLKIN DIV[2:0]			RCLK DIV[1:0]		0x02
0x002C	Digital pin configuration	X	X	X	X	X	X	X	RCLK/SDO output enable	0x01
0x002D	Core reset	X	X	X	X	X	X	X	Core reset	0x00
0x002E	Checksum	Checksum value[7:0]								N/A (read only)
0x002F	EEPROM status	X	X	X	X	X	Checksum failed	Checksum passed	Boot from EEPROM complete	N/A (read only)

<sup>1</sup> X は don't care.<sup>2</sup> N/A は該当なし。

表 11. デバイス・コンフィギュレーション・レジスタの説明

Name	Address (Hex)	Bits	Bit Name	Description	Default <sup>1</sup>
Serial Interface	0x0000	7	Reset	Writing a 1 to this bit places the device in reset. The device remains in reset until a 0 is written to this bit. All of the configuration registers return to their default values.	0
		6	LSB first	Serial port communication, LSB or MSB first. 0 = MSB first. 1 = LSB first.	0
		5	Address increment	Controls address increment mode for multibyte register access. 0 = address decrement. 1 = address increment.	0
		4	SDO active	4-wire SPI select. 0 = SDIO operates as a bidirectional input/output. The SDO signal is disabled. 1 = SDIO operates as an input only. The SDO signal is active.	0
		3	SDO active	This bit is a mirror of Bit 4 in Register 0x0000.	0
		2	Address increment	This bit is a mirror of Bit 5 in Register 0x0000.	0
		1	LSB first	This bit is a mirror of Bit 6 in Register 0x0000.	0
		0	Reset	This bit is a mirror of Bit 7 in Register 0x0000.	0
Chip Type	0x0006	[3:0]	Die revision[3:0]	Die revision number.	0000
Filter Strobe	0x0010	[7:0]	Load coefficients[1:0]	When toggled from 0 to 1, the filter coefficients in configuration Register 0x0011 through Register 0x0027 are loaded into the IIR filter.	00
Filter	0x0011	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0xC02 <sup>2</sup>

Name	Address (Hex)	Bits	Bit Name	Description	Default <sup>1</sup>
Configuration	0x0012	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x0F <sup>2</sup>
	0x0013	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x1D <sup>2</sup>
	0x0014	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0xD7 <sup>2</sup>
	0x0015	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0xC0 <sup>2</sup>
	0x0016	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x0F <sup>2</sup>
	0x0017	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0xC0 <sup>2</sup>
	0x0018	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x0F <sup>2</sup>
	0x0019	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x1D <sup>2</sup>
	0x001A	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x97 <sup>2</sup>
	0x001B	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x7E <sup>2</sup>
	0x001C	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x88 <sup>2</sup>
	0x001D	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0xC0 <sup>2</sup>
	0x001E	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x0F <sup>2</sup>
	0x001F	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0xC0 <sup>2</sup>
	0x0020	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x0F <sup>2</sup>
	0x0021	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0xC0 <sup>2</sup>
	0x0022	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x0F <sup>2</sup>
	0x0023	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x00 <sup>2</sup>
	0x0024	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0xE0 <sup>2</sup>
	0x0025	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x23 <sup>2</sup>
0x0026	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x02 <sup>2</sup>	
0x0027	[7:0]	Coefficient[7:0]	Programmable filter coefficients.	0x24 <sup>2</sup>	
Analog Pin Configuration	0x0028	1	INP gain	1 = only the INP input signal is sampled. An additional 6 dB of gain is applied to the signal path.	0
		0	Clock source select	0 = device is configured to generate a clock if a crystal or resonator is placed between the XOUT and CLKIN pins. 1 = device is configured to accept a CMOS level clock on the CLKIN pin. The internal XOUT driver is disabled.	0
Sync Control	0x0029	5	SYNCO output enable	1 = enables the SYNCO output pad driver.	1
		4	SYNCO invert	1 = inverts the SYNCO signal.	0
		[3:0]	SYNCO edge select	These bits select one of 16 different edge locations for the SYNCO pulse relative to the output sample window. See Figure 24 for details.	1101
Demod Control	0x002A	6	PHASE90	1 = delays the phase between the RCLK output and the strobe controlling the mixing signal. See Figure 23 for details.	0
		4	Mixer enable	1 = the last sample that is taken while RCLK is active remains held while RCLK is inactive.	1
		3	RCLK select	0 = sends the SDO signal to the output driver of Pin 13. 1 = sends the RCLK signal to the output driver of Pin 13.	1
		[2:0]	VOCM select	000 = set the VOCM pin to $V_{DD}/2$ . Low power mode. 001 = use the external reference to drive VOCM. 010 = set the VOCM pin to $V_{DD}/2$ . Fast settling mode. 101 = set the VOCM pin to 1.2 V.	000
Clock Configuration	0x002B	[4:2]	CLKIN DIV[2:0]	The division factor between $f_{CLKIN}$ and $f_{SI}$ . 000 = divide by 1. 001 = divide by 16. 010 = divide by 64. 100 = divide by 256.	000
		[1:0]	RCLK DIV[1:0]	These bits set the division factor between $f_{SO}$ and $f_M$ . 00 = reserved. 01 = the frequency of RCLK is $f_{SO}/4$ . 10 = the frequency of RCLK is $f_{SO}/8$ . 11 = reserved.	10
Digital Pin Configuration	0x002C	0	RCLK/SDO output enable	1 = RCLK/SDO output pad driver is enabled.	1

Name	Address (Hex)	Bits	Bit Name	Description	Default <sup>1</sup>
Core Reset	0x002D	0	Core reset	1 = puts the device core into reset. The values of the SPI registers are preserved. This does not initiate a boot from the EEPROM. 0 = core reset is deasserted.	0
Checksum	0x002E	[7:0]	Checksum value[7:0]	This is the 8-bit checksum calculated by the ADA2200, performed on the data it reads from the EEPROM.	N/A
EEPROM Status	0x002F	2	Checksum failed	1 = calculated checksum does not match the checksum byte read from the EEPROM.	N/A
		1	Checksum passed	1 = calculated checksum matches the checksum byte read from the EEPROM.	N/A
		0	Boot from EEPROM complete	1 = boot from the EEPROM has completed. 0 = boot from the EEPROM has timed out. Wait 10,000 clock cycles after the boot is initiated to check for boot completion.	N/A

<sup>1</sup> N/A は該当なし。

<sup>2</sup> 記載するフィルタ係数は、リセット時にフィルタに設定されるデフォルト値。レジスタからリードバックした値は 0x00。

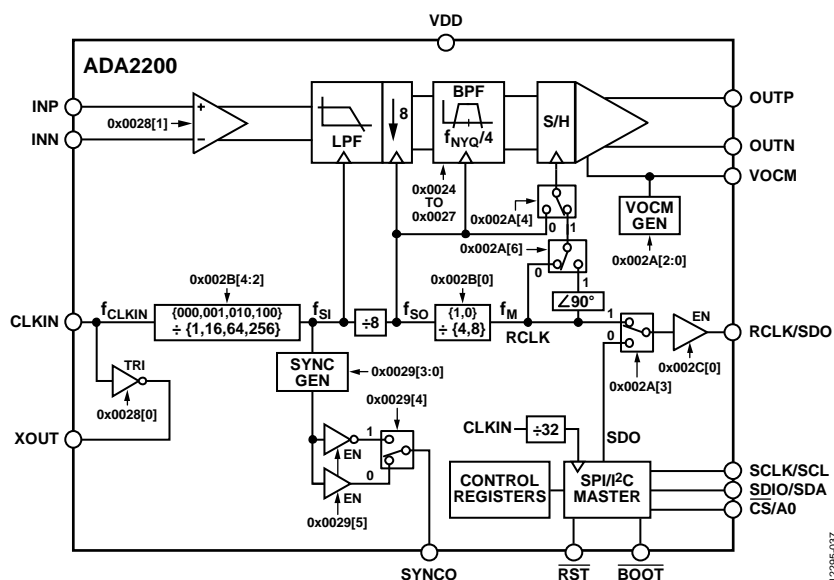


図 33.詳細ブロック図

## 外形寸法

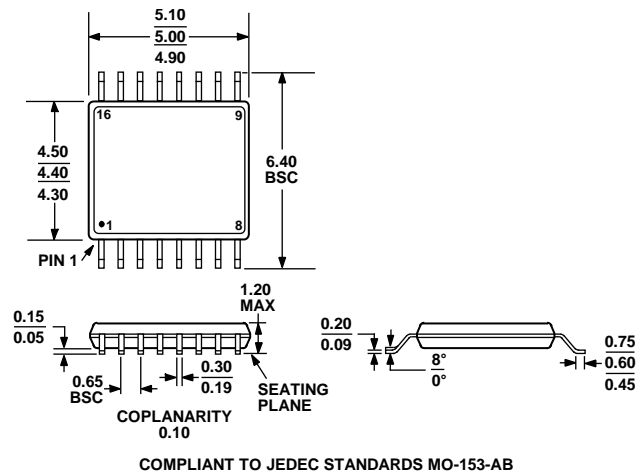


図 34.16 ピン薄型シュリンク・スモール・アウトライン・パッケージ[TSSOP]  
(RU-16)  
寸法: mm

## オーダー・ガイド

Model <sup>1</sup>	Temperature Range	Package Description	Package Option
ADA2200ARUZ	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADA2200ARUZ-REEL7	-40°C to +85°C	16-Lead Thin Shrink Small Outline Package [TSSOP]	RU-16
ADA2200-EVALZ		Evaluation board with EEPROM boot	
ADA2200SDP-EVALZ		Evaluation board with SDP-B interface option	

<sup>1</sup> Z = RoHS 準拠製品。