

特長

概要

HDMI 1.2a、DVI v1.0、HDCP 1.1と互換のHDMI™/DVIトランスミッタ

1.8V単電源

ビデオ/オーディオ入力：1.8~3.3Vのロジック・レベルを受信

76ピンCSP_BGA、鉛フリー・パッケージ

デジタル・ビデオ

80MHz動作は480i~720p/1,080iおよびXGA-75Hzのすべての解像度に対応

プログラマブルな双方向カラスペース・コンバータ

RGB、YCbCr、DDRに対応

ITU656ベースの組込み同期を利用可能

入力ビデオ・フォーマットのタイミングの自動検出 (CEA-861B)

デジタル・オーディオ

最大192kHzのステレオLPCM/圧縮オーディオの標準S/PDIFに対応

最大192kHzの8チャンネル未圧縮LPCMのI²Sオーディオ

システム設計を簡素化する技術特性

HDCP動作とEDID読出し動作を実行するI²C®マスターで動作するOn Chipコントローラを内蔵

5VトレラントなI²CおよびHPD入出力 (余分なデバイスは不要)

S/PDIFおよびI²Sのサポートにオーディオ・マスター・クロックは不要

オンチップのMPUは割込みとレジスタによりHDMIイベントを報告

機能ブロック図

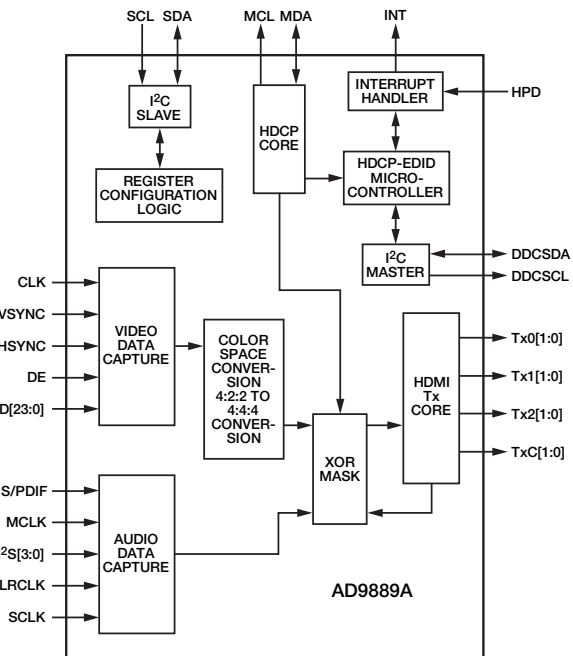


図1

08114-001

アプリケーション

DVDプレーヤ/レコーダ

デジタル・セットトップ・ボックス

A/Vレシーバ

デジタル・カメラ/カムコーダ

HDMIリピータ/スプリッタ

概要

AD9889A-BBCZは、80MHzのHDMI 1.2a (High-Definition Multimedia Interface) トランスミッタです。最大720p/1,080iまでのHDTVフォーマットとXGA (1024×768ドット@75Hz)までのコンピュータ・グラフィック (CG) 解像度を利用できます。HDCPに対応したAD9889Aは、HDCP 1.1プロトコルで規定された保護対象のコンテンツを安全に送信できます。

AD9889Aは、S/PDIFと8チャンネルI²Sオーディオの両方に対応しています。このハイファイの8チャンネルI²Sは、192kHzのステレオ・オーディオまたは7.1chサラウンド・オーディオを送信できます。S/PDIFは、ステレオLPCM (リニア・パルス・コード変調) オーディオまたは圧縮オーディオ (Dolby® Digital、DTS®、THX®など) を伝送できます。

AD9889Aは、システム設計の複雑さやコストを軽減するために、HDCP動作の内部MPU、EDID読出し用のI²Cマスター、1.8V単電源、I²Cに基づく5Vトレランス、ホット・プラグ検出ピンなどの機能/特性を備えています。

高度なCMOSプロセスで製造されたAD9889Aは、省スペース型の76ピンCSP_BGA表面実装パッケージを採用しています。CSP_BGAパッケージは、-25~+90℃で仕様規定されています。

アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を明示的または暗示的に許諾するものでもありません。仕様は、予告なく変更される場合があります。本紙記載の商標および登録商標は、各社の所有に属します。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。
© 2006 Analog Devices, Inc. All rights reserved.

AD9889A

目次

特長	1	アプリケーション	7
アプリケーション	1	設計資源.....	7
機能ブロック図	1	本書の表記規則.....	7
概要	1	PCBレイアウトの推奨事項	8
改訂履歴	2	電源のバイパス.....	8
仕様	3	デジタル入力.....	8
絶対最大定格	4	外付けのスイング抵抗.....	8
テスト・レベルについて.....	4	出力信号.....	8
ESDに関する注意.....	4	外形寸法	9
ピン配置と機能の説明	5	オーダー・ガイド.....	9

改訂履歴

10/06—Revision 0: Initial Version

仕様

表1

Parameter	Conditions	Temp	Test Level ¹	Min	Typ	Max	Unit
DIGITAL INPUTS							
Input Voltage, High (V_{IH})		Full	VI	1.4			V
Input Voltage, Low (V_{IL})		Full	VI			0.7	V
Input Capacitance		25°C	V		3		pF
DIGITAL OUTPUTS							
Output Voltage, High (V_{OH})		Full	VI	$V_{DD} - 0.1$			V
Output Voltage, Low (V_{OL})		Full	VI			0.4	V
THERMAL CHARACTERISTICS							
Thermal Resistance							
θ_{JC} Junction-to-Case			V		15.2		°C/W
θ_{JA} Junction-to-Ambient			V		59		°C/W
Ambient Temperature		Full	V	-25	+25	+90	°C
DC SPECIFICATIONS							
Input Leakage Current, I_{IL}		25°C	VI	-10		+10	μA
Input Clamp Voltage	-16 mA	25°C	V		-0.8		V
	+16 mA	25°C	V		+0.8		V
Differential High Level Output Voltage			V		AV_{CC}		V
Differential Output Short-Circuit Current			IV			10	μA
POWER SUPPLY							
V_{DD} (All) Supply Voltage		Full	IV	1.71	1.8	1.89	V
V_{DD} Supply Voltage Noise		Full	V			50	mV p-p
Power-Down Current	With active video applied	25°C	IV		9		mA
Transmitter Supply Current ²	80 MHz, typical random pattern	25°C	IV		143	155	mA
Transmitter Total Power		Full	VI		257	280	mW
AC SPECIFICATIONS							
CLK Frequency		25°C	IV	13.5		80	MHz
TMDS Output CLK Duty Cycle		25°C	IV	48		52	%
Worst Case CLK Input Jitter		Full	IV			2	ns
Input Data Setup Time		Full	IV	1			ns
Input Data Hold Time		Full	IV	1			ns
TMDS Differential Swing			VI	800	1000	1200	mV
V_{SYNC} and H_{SYNC} Delay from DE Falling Edge			VI		1		UI ³
V_{SYNC} and H_{SYNC} Delay to DE Rising Edge			VI		1		UI
DE High Time		25°C	VI			8191	UI
DE Low Time		25°C	VI		138		UI
Differential Output Swing							
Low-to-High Transition Time		25°C	VII	75		490	ps
High-to-Low Transition Time		25°C	VII	75		490	ps
AUDIO AC TIMING							
Sample Rate	I ^S and S/PDIF	Full	IV	32		192	kHz
I ^S Cycle Time		25°C	IV			1	UI
I ^S Setup Time		25°C	IV		15		ns
I ^S Hold Time		25°C	IV		0		ns
Audio Pipeline Delay		25°C	IV		75		μs

¹ 「テスト・レベルについて」を参照。² 低い出力ドライブ強度を使用。³ UI=Unit Interval (単位間隔)

絶対最大定格

表2

Parameter	Rating
Digital Inputs	5 V to 0.0 V
Digital Output Current	20 mA
Operating Temperature Range	-40°C to +90°C
Storage Temperature Range	-65°C to +150°C
Maximum Junction Temperature	150°C
Maximum Case Temperature	150°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

テスト・レベルについて

- I. 100%の出荷テストを実施
- II. 25°Cの温度で100%の出荷テストを実施し、規定の温度でサンプル・テストを実施
- III. サンプル・テストのみを実施
- IV. パラメータは設計／特性評価テストにより保証しています。
- V. パラメータは代表値のみとなります。
- VI. 25°Cの温度で100%の出荷テストを実施し、設計／特性評価テストにより保証しています。
- VII. 制限値はHDMI仕様により規定し、設計／特性評価テストにより保証しています。

ESDに関する注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されなまま放電することがあります。本製品は当社独自の特許技術であるESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。

ピン配置と機能の説明

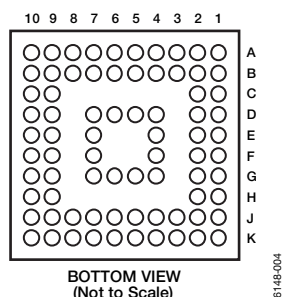


図2. 76ピンBGAの配置（上面図）

表3. ピン機能の説明

ピン番号	記号	タイプ ¹	説明
A1～A10、B1～B10、C9、C10、D9、D10	D[23:0]	I	ビデオ・データ入力。RGBまたはYCbCrフォーマットのデジタル入力。1.8～3.3VのCMOSロジック・レベルに対応します。
D1	CLK	I	ビデオ・クロック入力。1.8～3.3VのCMOSロジック・レベルに対応します。
C2	DE	I	デジタル・ビデオのデータ・イネーブル・ビット。1.8～3.3VのCMOSロジック・レベルに対応します。
C1	HSYNC	I	水平同期入力。1.8～3.3VのCMOSロジック・レベルに対応します。
D2	VSYSNC	I	垂直同期入力。1.8～3.3VのCMOSロジック・レベルに対応します。
J3	EXT_SW	I	内部リファレンス電流の設定。このピンとグラウンドの間に887Ωの抵抗（許容誤差1%）を接続してください。
K3	HPD	I	ホットプラグ検出信号。レシーバの接続の有無をインターフェースに知らせます。1.8～5.0VのCMOSロジック・レベルに対応します。
E2	S/PDIF	I	S/PDIF（Sony/Philipsデジタル・インターフェース）オーディオ入力。これはSony/Philipsデジタル・インターフェースからのオーディオ入力です。1.8～3.3VのCMOSロジック・レベルに対応します。
E1	MCLK	I	オーディオ・リファレンス・クロック。128×N×f _S （N=1、2、3、または4）。128×サンプリング周波数（f _S ）、256×f _S 、384×f _S 、512×f _S に設定します。1.8～3.3VのCMOSロジック・レベルに対応します。
F2、F1、G2、G1	FS[3:0]	I	FSオーディオ・データ入力。これらは、FSを介して得られる8チャンネルのオーディオ（1入力当たり2つ）です。1.8～3.3VのCMOSロジック・レベルに対応します。
H2	SCLK	I	FSオーディオ・クロック。1.8～3.3VのCMOSロジック・レベルに対応します。
H1	LRCLK	I	左/右チャンネルの選択。1.8～3.3VのCMOSロジック・レベルに対応します。
J7	PD/A0	I	パワーダウン制御とPCアドレスの選択。PCアドレスとPD極性は、AD9889Aへの電源供給時にPD/A0ピンで設定します。1.8～3.3VのCMOSロジック・レベルに対応します。
K1、K2	TxC-/TxC+	O	差動クロック出力。ピクセル・クロック・レート時の差動クロック出力。TMDS（Transition Minimized Differential Signaling）ロジック・レベルに対応します。
K10、J10	Tx2-/Tx2+	O	差動出力チャンネル2。10×ピクセル・クロック・レート時の赤色データの差動出力。TMDSロジック・レベルに対応します。
K7、K8	Tx1-/Tx1+	O	差動出力チャンネル1。10×ピクセル・クロック・レート時の緑色データの差動出力。TMDSロジック・レベルに対応します。
K4、K5	Tx0-/Tx0+	O	差動出力チャンネル0。10×ピクセル・クロック・レート時の青色データの差動出力。TMDSロジック・レベルに対応します。
H10	INT	O	割込み。CMOSロジック・レベル。マイクロコントローラI/O電源に2kΩのプルアップ抵抗を接続するとよいでしょう。
J2、J5、J8、K9	AVDD	P	TMDS出力用の1.8V電源。
D5、D6、D7、E7	DVDD	P	デジタル対応の1.8V電源とI/O電源。これらのピンは、デジタル・ロジックおよびI/Oに電源を供給します。これらはフィルタ処理を行い、できる限り静かな状態を維持します。

AD9889A

ピン番号	記号	タイプ ¹	説明
G4, G5, J1	PVDD	P	1.8V PLL電源。AD9889Aの最もセンシティブな部分はクロック生成回路です。これらのピンは、クロックPLLに電源を供給します。設計者は、これらのピンに静かでノイズのない電源を供給しなければなりません。
D4, E4, F4, J4, G6, J6, K6, F7, G7, H9, J9	GND	P	グラウンド。内蔵の全回路のグラウンド・リターンです。グラウンド電流経路に注意して、AD9889Aを1つの一体化されたグラウンド・プレーンに集積することを推奨します。
F9	SDA	C ²	シリアル・ポート・データI/O。レジスタにアクセスするためのシリアル・ポート・データI/Oスレーブとして機能します。1.8~3.3VのCMOSロジック・レベルに対応します。
F10	SCL	C ²	シリアル・ポート・データ・クロック。レジスタにアクセスするためのシリアル・ポート・データ・クロック・スレーブとして機能します。1.8~3.3VのCMOSロジック・レベルに対応します。
E10	MDA	C ²	HDCPキー（EEPROM）に対するシリアル・ポート・データI/Oマスター。1.8~3.3VのCMOSロジック・レベルに対応します。
E9	MCL	C ²	HDCPキー（EEPROM）に対するシリアル・ポート・データ・クロック・マスター。1.8~3.3VのCMOSロジック・レベルに対応します。
G9	DDCSDA	C ²	レシーバに対するシリアル・ポート・データI/O。このピンはDDCバスへのマスターとして機能します。5VのCMOSロジック・レベルに対応します。
G10	DDCSCL	C ²	レシーバに対するシリアル・ポート・データ・クロック。このピンはDDCバスのマスター・クロックとして機能します。5VのCMOSロジック・レベルに対応します。

¹ I=入力、O=出力、P=電源、C=制御

² 2線式シリアル・インターフェースとその機能の詳細については、NDA（flatpanel_apps@analog.com）をご覧ください。

アプリケーション

設計資源

アナログ・デバイセズの評価用キット、リファレンス・デザイン回路図、その他の文書については、NDA（非開示契約）のもとで取得できます（flatpanel_apps@analog.com）。

このほかにも以下の資源を利用できます。

EIA/CEA-861B：オーディオ／ビデオ・インフォフレーム（infoframe）HDMIのE-EDID構造について説明。この文書は全米家電協会（CEA：Consumer Electronics Association）から取得できます。

HDMIバージョン1.2に関する定義文書HDMI v.1.2aとHDMI規格適合試験仕様書バージョン1.2aは、HDMI Licensing, LLCから取得できます。

HDCPバージョン1.1に関する定義文書HDCP v.1.1はDigital Content Protection, LLCから取得できます。

本書の表記規則

このデータシートでは、表4の表記規則に従って記載されています。

表4. 文書の表記規則

データの 種類	フォーマット
0xNN	16進数（基数16）は、数値の頭に0xを付けるC言語の表記法で表します。
0bNN	2進数（基数2）は、数値の頭に0bを付けるC言語の表記法で表します。
NN	10進数（基数10）は、数値の前後に何も付けずに表記します。
Bit	ビットはリトル・エンディアン形式で示し、バイトまたはワードの最下位ビットがビット0となります。

PCBレイアウトの推奨事項

AD9889Aは、高精度の高速アナログ・デバイスです。デバイスの最大限の性能を得るには、優れたレイアウトのPCボードを作ることが大切です。

電源のバイパス

各電源ピンは0.1 μ Fコンデンサでバイパスするとよいでしょう。ただし、複数の電源ピンが互いに隣接して設けられている場合は例外とします。電源/グラウンドがグループ化されているため、1つのバイパス・コンデンサを設置すれば充分です。基本的には、各電源ピンの約0.5cm以内にバイパス・コンデンサを設置します。また、AD9889AからみてPCボードの反対側にコンデンサを設置するのは避けてください。その場合は、経路に抵抗性のビアを付加することになるからです。

バイパス・コンデンサは、電源プレーンと電源ピンの間に接続します。電流は、電源プレーン、コンデンサ、電源ピンの順に流れます。コンデンサと電源ピンの間に電源の配線をしないようにします。コンデンサのパッドの下にビアを配置して電源プレーンに配線するのが、一般的に最適の手法といえます。

低ノイズで安定したPVDD (PLL電源) は、特に重要です。PVDDの急激な変化は、サンプリング・クロックの位相と周波数に同じような急激な変化をもたらします。これは、電源の安定化、フィルタ処理、およびバイパス処理によって避けられます。各アナログ回路グループ (AVDD and PVDD) に対しては、分離して安定させた電源を供給することが最も適正な方法です。

さらに、ボード全体のグラウンド・プレーンは1つにするとよいでしょう。グラウンド・プレーンは1つのほうが複数の場合より同等以上のノイズ特性を実現できることが経験的に知られているからです。グラウンド・プレーンを複数にすると、各プレーンが小さくなり、長いグラウンド・ループが形成されて好ましくない結果を招くことがあります。

デジタル入力

ビデオ/オーディオ・データ入力信号

AD9889Aのデジタル入力は、1.8~3.3Vのロジック・レベルの信号で動作するように設計されています。したがって、3.3Vロジックを使用するときに、他にコンポーネントを追加する必要はありません。クロック入力 (CLKと表示された) パターンにノイズが混入すると、システムにジッタが加わります。したがって、ビデオ・クロック入力 (6番ピン: CLK) のパターン長を最小限に抑えて、その近くにデジタルその他の高周波パターンを設けないようにします。各入力データ信号の長さはマッチングさせてデータ・キャプチャを最適化します。これは、高周波モード (720pやXGA 75MHzなど) やダブル・データレート入力フォーマットの場合に特に必要です。

その他の入力信号

HPDは、HDMIコネクタに接続します。グラウンドに対して10k Ω のプルダウン抵抗を接続するとよいでしょう。

PD/A0入力ピンは、抵抗または制御信号によってGNDまたは電源に接続できます。デバイスのアドレスとパワー・ダウンの極性は、AD9889A電源の供給時 (イネーブル時) のPD/A0ピンの状態に応じて設定されます。たとえば、PD/A0ピンがローレベルの場合 (電源がオンのとき)、デバイス・アドレスは0x72で、パワー・ダウンはアクティブ・ハイレベルとなります。また、PD/A0ピンがハイレベルの場合 (電源がオンのとき)、デバイス・アドレスは0x7Aで、パワー・ダウンはアクティブ・ローレベルとなります。

SCL、SDAの各ピンは、I²Cマスターに接続します。1.8Vまたは3.3Vへの2k Ω プルアップ抵抗を接続するとよいでしょう。

外付けのスイング抵抗

外付けのスイング抵抗は、EXT_SWGピンとグラウンドに直接接続します。この抵抗値は887 Ω とします ($\pm 1\%$ の許容誤差)。EXT_SWGピンの隣または近くで高速AC信号やノイズの多い信号を流すのは避けてください。

出力信号

TMDS出力信号

AD9889Aは、3つのTMDS出力チャンネル (0、1、2) があり、最大800MHzの信号とTMDS出力データ・クロックを出力します。チャンネル間スキューを最小限に抑えるには、これらの信号のパターン長を同じにします。また、これらのパターンには50 Ω の特性インピーダンスを持たせ、100 Ω の差動ペアとして配線する必要があります。PCボードの最上層に配線してビアの使用を避けることも推奨します。

その他の出力信号 (非TMDS)

DDCSCL、DDCSDA

DDCSCL、DDCSDAの各出力は、最高のシグナル・インテグリティを得るために、容量負荷を最小限に抑える必要があります。DDCSCLとDDCSDAの容量負荷は、HDMI対応の仕様を満たすために50pF未満とします。DDCSCLとDDCSDAはHDMIコネクタに接続し、また5Vへのプルアップ抵抗接続が必要となります。プルアップ抵抗は1.5k Ω 以上、2k Ω 以下のものとします。

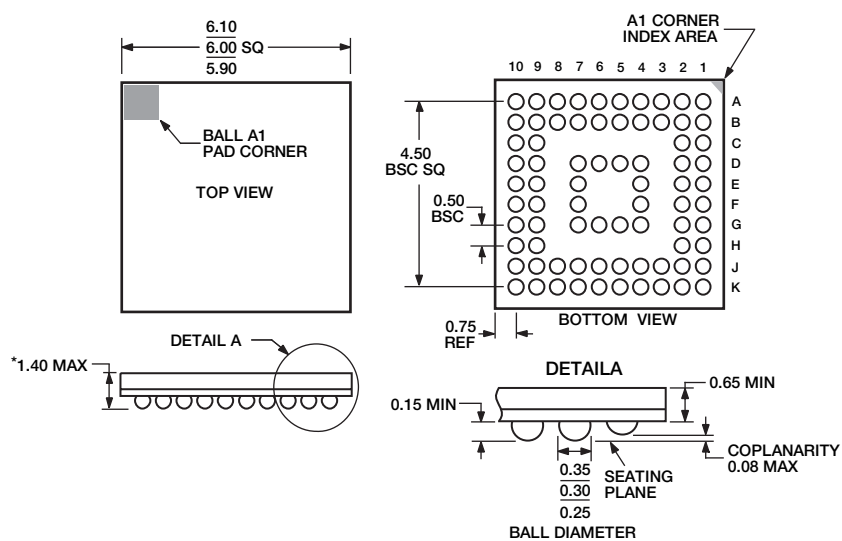
INTピン

INTピン (出力) は、システムのマイクロコントローラに接続します。適正な動作を得るには、プルアップ抵抗を1.8Vまたは3.3Vに接続する必要があります (推奨値は2k Ω 抵抗)。

MCL、MDA

MCL、MDAの各出力は、HDCPキー (HDCPが実装されている場合) を含むEEPROMに接続します。2k Ω のプルアップ抵抗を使用するとよいでしょう。

外形寸法



*COMPLIANT TO JEDEC STANDARDS MO-225
WITH THE EXCEPTION TO PACKAGE HEIGHT.

012006-0

図3. 76ボール・チップ・スケール・パッケージ・ボール・グリッド・アレイ [CSP_BGA]
6mm×6mm×1.4mm
(BC-76)
寸法単位：mm

D06148-0-10/06(0)-J

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9889ABBCZ-80 ¹	-25°C to +90°C	76-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-76
AD9889ABBCZRL-80 ¹	-25°C to +90°C	76-Ball Chip Scale Package Ball Grid Array [CSP_BGA]	BC-76
AD9889A/PCB		Evaluation Board	

¹ Z=鉛フリー製品