

特長

デジタル設定可能な周波数と位相
3Vで20mWの消費電力
0~12.5MHzの出力周波数レンジ
28ビット分解能 (25MHzリファレンス・クロックで0.1Hz)
サイン波/三角波/方形波の出力
2.3~5.5V電源
外付け部品は不要
3線式SPI[®]インターフェース
拡張温度範囲: -40~+105°C
パワーダウン・オプション
10ピンMSOPパッケージ

アプリケーション

周波数励振/波形生成
液体と気体の流量測定
センサー・アプリケーション — 接近、動き、欠陥の検出
ライン損失/減衰
テストおよび医療機器
掃引/クロック発生器
TDR

概要

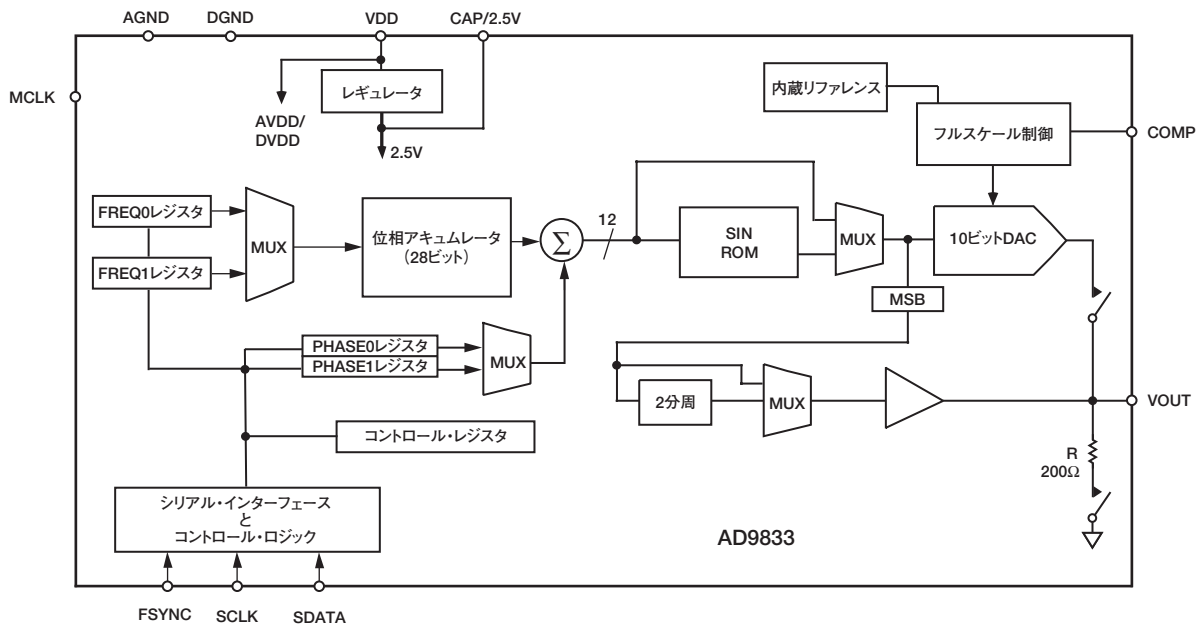
AD9833は、低消費電力のプログラマブル波形発生器で、サイン波、三角波、および方形波の出力を生成できます。波形の生成は、さまざまなタイプの感知、起動、および時間領域反射率測定アプリケーションで必要とされます。出力周波数と位相はソフトウェアで設定でき、簡単に調整できます。外付け部品は不要です。周波数レジスタは28ビットで、25MHzのクロック・レートで、0.1Hzの分解能を実現します。また、1MHzのクロック・レートでは、AD9833を0.004Hzの分解能に調整できます。

AD9833への書き込みには、3線式シリアル・インターフェースを使用します。このシリアル・インターフェースは、最高40MHzのクロック・レートで動作し、標準のDSPやマイクロコントローラに対応しています。デバイスは2.3~5.5Vの電源で動作します。

AD9833にはパワーダウン機能 (SLEEP) があります。これによって、使用していないデバイス部分をパワーダウンして、デバイスの消費電流を最小限に抑えることができます。たとえば、クロック出力を生成するときに、DACをパワーダウンすることが可能です。

AD9833は、10ピンのMSOPパッケージを採用しています。

機能ブロック図



アナログ・デバイセズ社は、提供する情報が正確で信頼できるものであることを期していますが、その情報の利用に関して、あるいは利用によって生じる第三者の特許やその他の権利の侵害に関して一切の責任を負いません。また、アナログ・デバイセズ社の特許または特許の権利の使用を暗示的または明示的に許諾するものでもありません。記載の商標および登録商標は、それぞれの企業が所有するものです。
※日本語データシートはREVISIONが古い場合があります。最新の内容については、英語版をご参照ください。

REV. 0

アナログ・デバイセズ株式会社

本社 / 〒105-6891 東京都港区海岸1-16-1 ニューピア竹芝サウスタワービル
電話03(5402)8200
大阪営業所 / 〒532-0003 大阪府大阪市淀川区宮原3-5-36 新大阪MTビル2号
電話06(6350)6868 (代)

AD9833 — 仕様* (特に指定のない限り、VDD=2.3~5.5V、AGND=DGND=0V、 $T_A=T_{MIN}~T_{MAX}$ 、 V_{OUT} に対して $R_{SET}=6.8k\Omega$)

パラメータ	Min	Typ	Max	単位	テスト条件/備考
DACの信号仕様					
分解能		10		ビット	
更新レート			25	MSPS	
V_{OUT} 最大		0.65		V	
V_{OUT} 最小		38		mV	
V_{OUT} TC		200		ppm/°C	
DC精度					
積分非直線性		±1.0		LSB	
微分非直線性		±0.5		LSB	
DDS仕様					
ダイナミック仕様					
S/N比	55	60		dB	$f_{MCLK}=25MHz$ 、 $f_{OUT}=f_{MCLK}/4096$
全高調波歪み		-66	-56	dBc	$f_{MCLK}=25MHz$ 、 $f_{OUT}=f_{MCLK}/4096$
スプリアスフリー・ダイナミックレンジ (SFDR)					
広帯域 (0~ナイキスト)		-60		dBc	$f_{MCLK}=25MHz$ 、 $f_{OUT}=f_{MCLK}/50$
狭帯域 (±200kHz)		-78		dBc	$f_{MCLK}=25MHz$ 、 $f_{OUT}=f_{MCLK}/50$
クロック・フィードスルー		-60		dBc	
ウェイクアップ時間		1		ms	
ロジック入力					
V_{INH} 、ハイレベル入力電圧					
	1.7			V	2.3~2.7V電源
	2.0			V	2.7~3.6V電源
	2.8			V	4.5~5.5V電源
V_{INL} 、ローレベル入力電圧					
			0.5	V	2.3~2.7V電源
			0.7	V	2.7~3.6V電源
			0.8	V	4.5~5.5V電源
I_{INH}/I_{INL} 、入力電流					
			10	μA	
C_{IN} 、入力容量					
		3		pF	
電源					
VDD					
	2.3		5.5	V	$f_{MCLK}=25MHz$ 、 $f_{OUT}=f_{MCLK}/4096$
I_{DD}					
		4.5	5.5	mA	I_{DD} コード依存。特性2を参照
低消費電力スリープ・モード					
		0.5		mA	DACはパワーダウン、MCLK動作中

* 動作温度範囲：Bバージョン：-40~+105°C、一般的な仕様は25°Cです。
仕様は予告なく変更されることがあります。

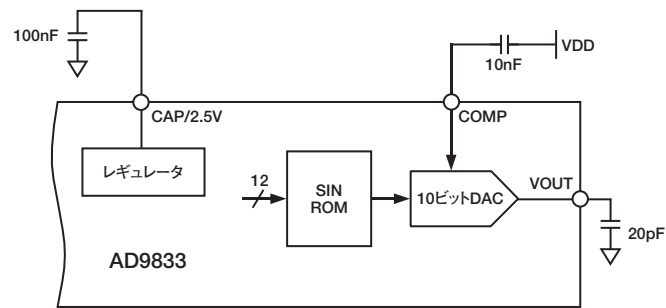


図1. 仕様のテストに用いたテスト回路

タイミング特性* (特に指定のない限り、VDD=2.3~5.5V、AGND=DGND=0V)

パラメータ	$T_{MIN} \sim T_{MAX}$ での限界	単位	テスト条件/備考
t_1	40	ns (min)	MCLK周期
t_2	16	ns (min)	MCLKハイレベル継続時間
t_3	16	ns (min)	MCLKローレベル継続時間
t_4	25	ns (min)	SCLK周期
t_5	10	ns (min)	SCLKハイレベル継続時間
t_6	10	ns (min)	SCLKローレベル継続時間
t_7	5	ns (min)	FSYNC~SCLK立ち下がりエッジのセットアップ・タイム
t_8 (min)	10	ns (min)	FSYNC~SCLKのホールド・タイム
t_8 (max)	$t_4 - 5$	ns (max)	
t_9	5	ns (min)	データ・セットアップ・タイム
t_{10}	3	ns (min)	データ・ホールド・タイム
t_{11}	5	ns (min)	SCLKハイレベル~FSYNC立ち下がりエッジのセットアップ・タイム

* 出荷テストではなく、設計により保証

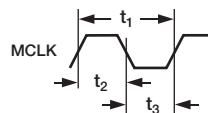


図2. マスター・クロック

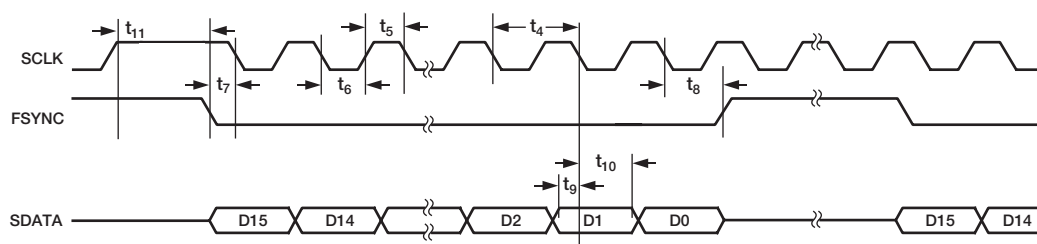


図3. シリアル・タイミング

AD9833

絶対最大定格*

(特に指定のない限り、 $T_A=25^\circ\text{C}$)

VDD~AGND	-0.3~+6V
VDD~DGND	-0.3~+6V
AGND~DGND	-0.3~+0.3V
CAP/2.5V	2.75V
デジタルI/O電圧~DGND	-0.3V~VDD+0.3V
アナログI/O電圧~AGND	-0.3V~VDD+0.3V
動作温度範囲	
工業用 (Bバージョン)	-40~+105°C
保管温度範囲	-65~+150°C
最大ジャンクション温度	150°C

MSOPパッケージ

θ_{JA} 熱抵抗	206°C/W
θ_{JC} 熱抵抗	44°C/W
ピン温度、ハンダ付け (10秒)	300°C
IRリフロー、ピーク温度	220°C

* 上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。長時間デバイスを絶対最大定格状態にすると、デバイスの信頼性に影響を与えることがあります。

オーダー・ガイド

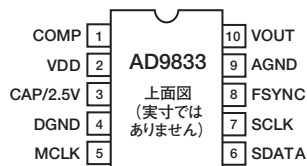
モデル	温度範囲	パッケージ	パッケージ・オプション
AD9833BRM	-40~+105°C	10ピンMSOP (マイクロ・スモール・アウトラインIC)	RM-10
AD9833BRM-REEL	-40~+105°C	10ピンMSOP (マイクロ・スモール・アウトラインIC)	RM-10
AD9833BRM-REEL7	-40~+105°C	10ピンMSOP (マイクロ・スモール・アウトラインIC)	RM-10
EVAL-AD9833EB		評価ボード	

注意

ESD (静電放電) の影響を受けやすいデバイスです。人体や試験機器には4000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されます。AD9833は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



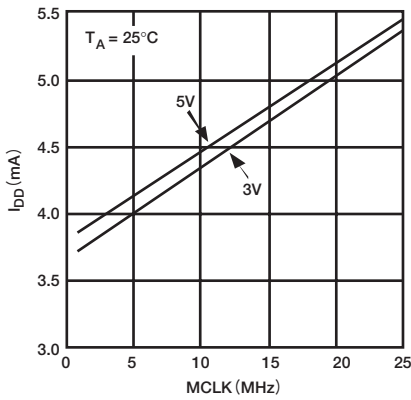
ピン配置



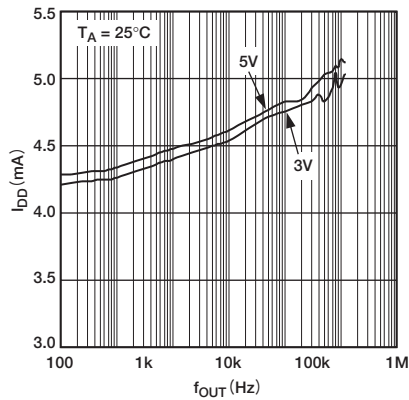
ピン機能の説明

ピン番号	記号	機能
電源		
2	VDD	アナログおよびデジタル・インターフェース部用の正電源 内蔵の2.5VレギュレータにもVDDから供給します。VDDの値は2.3~5.5Vが可能です。VDDとAGNDの間に、0.1 μ Fと10 μ Fのデカップリング・コンデンサを接続してください。
3	CAP/2.5V	デジタル回路は2.5V電源から動作します。内蔵レギュレータを使用して、DVDDから2.5Vを生成することができます (DVDDが2.7Vを超える場合)。レギュレータには、CAP/2.5VからDGNDに接続する100nF (typ値) のデカップリング・コンデンサが必要です。VDDが2.7V以下の場合、CAP/2.5VをVDDに直接接続してください。
4	DGND	デジタル・グラウンド
9	AGND	アナログ・グラウンド
アナログ信号とリファレンス		
1	COMP	DACバイアス・ピン このピンは、DACバイアス電圧のデカップリングに使用します。
10	VOUT	電圧出力 AD9833からのアナログ出力とデジタル出力は、このピンを使用します。デバイスには200 Ω の抵抗が内蔵されているので、外部負荷抵抗は必要ありません。
デジタル・インターフェースと制御		
5	MCLK	デジタル・クロック入力 DDS出力周波数は、MCLKの周波数を2進数で割った数として表されます。出力周波数の精度と位相ノイズは、このクロックで決まります。
6	SDATA	シリアル・データ入力 16ビットのシリアル・データ・ワードがここに入力されます。
7	SCLK	シリアル・クロック入力 データは、SCLKの各立ち下がリエッジでAD9833にクロック入力されます。
8	FSYNC	アクティブ・ローのコントロール入力 これは入力データ用のフレーム同期信号です。FSYNCがローレベルになると、内部ロジックに、新しいワードがデバイスにロードされていることが通知されます。

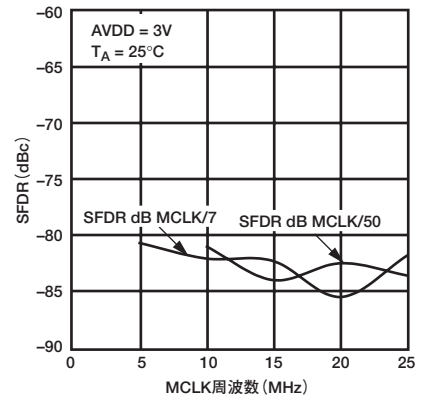
AD9833 — 代表的な性能特性



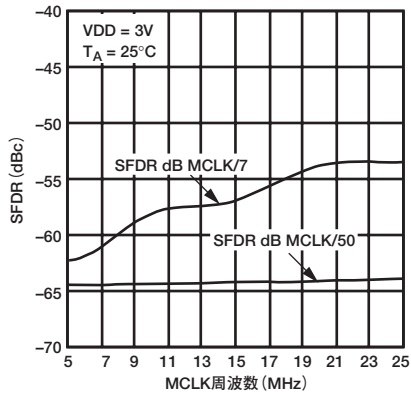
特性1. 代表的な消費電流とMCLK周波数の関係



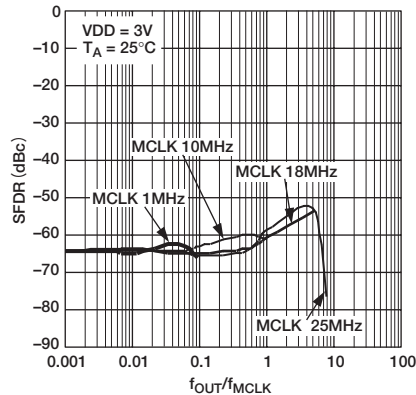
特性2. $f_{MCLK}=25\text{MHz}$ での代表的な I_{DD} と f_{OUT} の関係



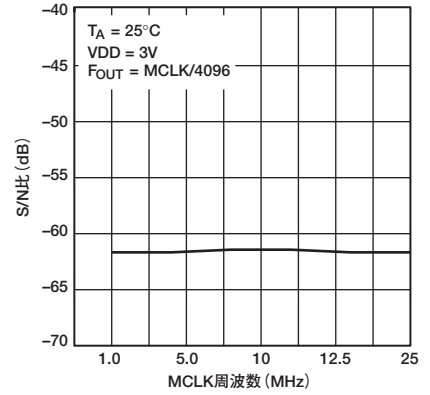
特性3. 狭帯域SFDRとMCLK周波数の関係



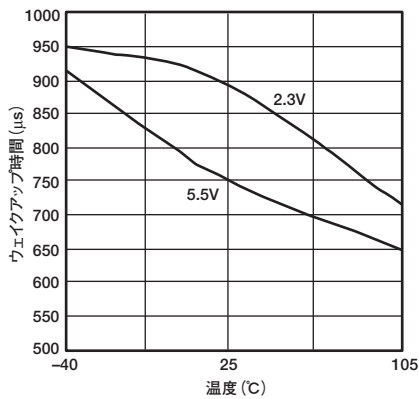
特性4. 広帯域SFDRとMCLK周波数の関係



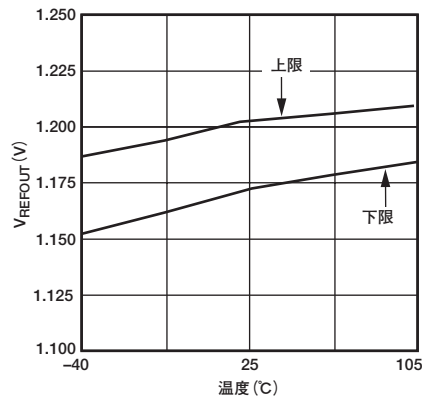
特性5. さまざまなMCLK周波数での広帯域SFDRと f_{OUT}/f_{MCLK} の関係



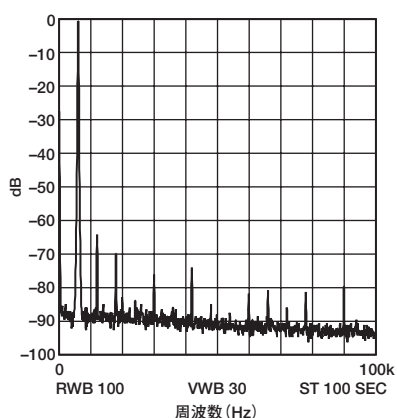
特性6. S/N比とMCLK周波数の関係



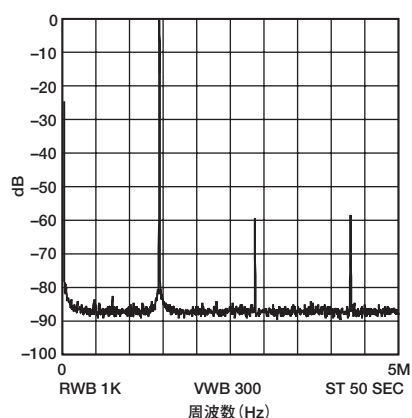
特性7. ウェイクアップ時間と温度の関係



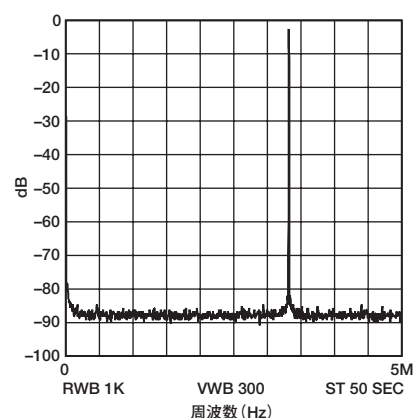
特性8. V_{REFOUT} と温度の関係



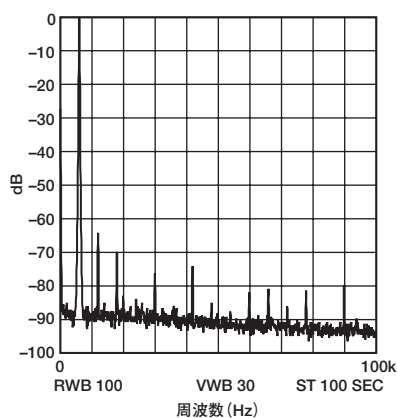
特性9. $f_{MCLK}=10\text{MHz}$ 、
 $f_{OUT}=2.4\text{kHz}$ 、周波数
ワード=000FBA9



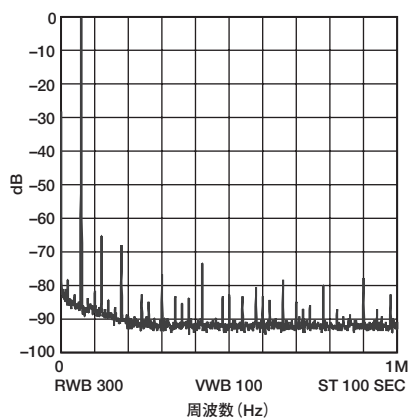
特性10. $f_{MCLK}=10\text{MHz}$ 、 $f_{OUT}=1.43\text{MHz}=f_{MCLK}/7$ 、
周波数ワード=2492492



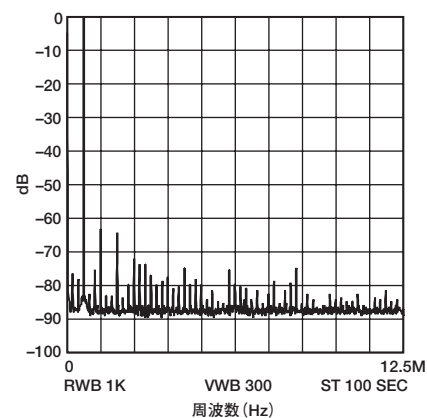
特性11. $f_{MCLK}=10\text{MHz}$ 、 $f_{OUT}=3.33\text{MHz}=f_{MCLK}/3$ 、
周波数ワード=5555555



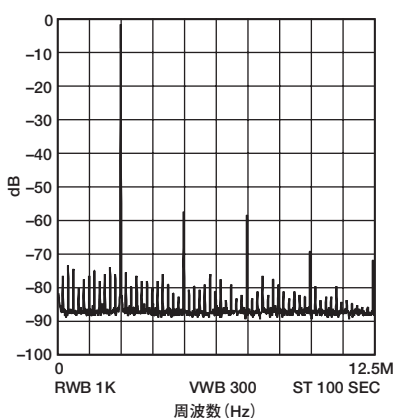
特性12. $f_{MCLK}=25\text{MHz}$ 、 $f_{OUT}=6\text{kHz}$ 、周波数ワード=000FBA9



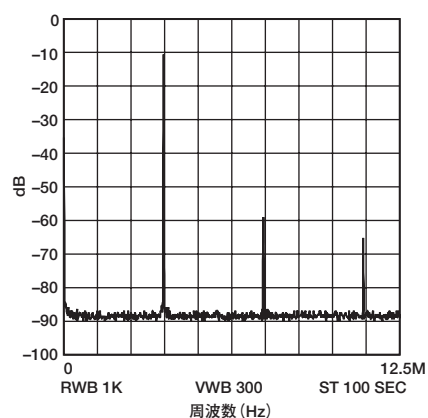
特性13. $f_{MCLK}=25\text{MHz}$ 、 $f_{OUT}=60\text{kHz}$ 、周波数
ワード=009D495



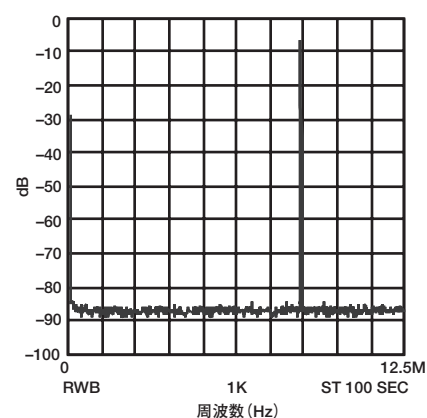
特性14. $f_{MCLK}=25\text{MHz}$ 、 $f_{OUT}=600\text{kHz}$ 、周波数
ワード=0624DD3



特性15. $f_{MCLK}=25\text{MHz}$ 、 $f_{OUT}=2.4\text{MHz}$ 、周波数
ワード=189374D



特性16. $f_{MCLK}=25\text{MHz}$ 、 $f_{OUT}=3.857\text{MHz}=f_{MCLK}/7$ 、
周波数ワード=2492492



特性17. $f_{MCLK}=25\text{MHz}$ 、 $f_{OUT}=8.333\text{MHz}=f_{MCLK}/3$ 、
周波数ワード=5555555

AD9833

用語集

積分非直線性

伝達関数の両端を結ぶ直線からの任意のコードの最大偏差をいいます。伝達関数の両端は、最初のコード遷移（000...00から000...01）よりも0.5LSB下の点であるゼロ・スケールと、最後のコード遷移（111...10から111...11）よりも0.5LSB上の点であるフル・スケールです。誤差はLSBで表されます。

微分非直線性

DAC内の2つの隣接するコード間における1LSB変化の測定値と理想値の差をいいます。指定された微分非直線性の最大値が±1LSBであれば、単調性が保証されます。

出力コンプライアンス

仕様を満たすために、DACの出力で生成できる最大電圧をいいます。出力コンプライアンスに指定された値よりも大きい電圧が生成されると、AD9833は、データシートに記載された仕様を満たせないことがあります。

スプリアスフリー・ダイナミック・レンジ

DDSデバイスの出力側には、対象となる周波数のほかに、基本周波数の高調波と、これらの周波数のイメージが存在します。スプリアスフリー・ダイナミック・レンジ（SFDR）とは、対象となる帯域に存在する最大のスプリアスまたは高調波をいいます。広帯域SFDRは、“0”～ナイキスト帯域幅における基本周波数の振幅を基準にした、最大の高調波またはスプリアスの振幅です。狭帯域SFDRは、基本周波数の±200kHzの帯域幅での最大のスプリアスまたは高調波の減衰量です。

全高調波歪み

全高調波歪み（THD）は、高調波のrms値合計と基本波のrms値との比です。AD9833の場合、THDは次のように定義されます。

$$THD = 20 \log \sqrt{\frac{V_2^2 + V_3^2 + V_4^2 + V_5^2 + V_6^2}{V_1^2}}$$

ここで、 V_1 は基本波のrms振幅値であり、 V_2 、 V_3 、 V_4 、 V_5 、 V_6 は、2～6次高調波のrms振幅値です。

S/N比（SNR）

S/N比は、測定された出力信号のrms値と、ナイキスト周波数より下の全スペクトル成分のrms値合計との比です。S/N比の値はdBで表されます。

クロック・フィードスルー

MCLK入力からアナログ出力までフィードスルーがあります。クロック・フィードスルーとは、AD9833の出力スペクトル内の基本周波数を基準にしたMCLK信号の大きさをいいます。

動作原理

サイン波は、通常、その振幅形状 $a(t) = \sin(\omega t)$ で表されます。ただし、これは非直線であり、ひとつひとつ作らない限り、簡単に生成できません。これに対して、角度情報は本質的に直線です。つまり、位相角は単位時間ごとに一定の角度だけ回転します。角速度は、 $\omega = 2\pi f$ という関係で信号の周波数に依存します。

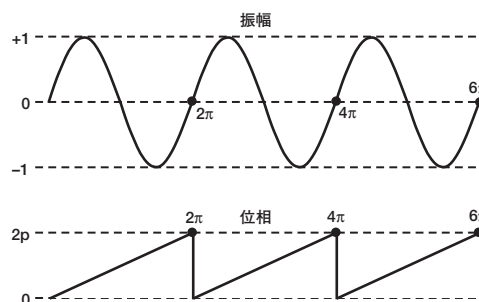


図4. サイン波

サイン波の位相が直線であることが分かっていて、リファレンス間隔（クロック周期）が与えられていれば、その周期に対する位相回転を次のように求めることができます。

$$\Delta Phase = \omega \Delta t$$

ω について解くと、次のようになります。

$$\omega = \Delta Phase / \Delta t = 2\pi f$$

f について解き、リファレンス・クロック周波数をリファレンス周期（ $1/f_{MCLK} = \Delta t$ ）に換えると、次のようになります。

$$f = \Delta Phase \times f_{MCLK} / 2\pi$$

AD9833は、この簡単な式に基づいて出力を生成します。簡単なDDSチップは数値制御発振器＋位相変調器、SIN ROM、DACという3つの主要なサブサーキットによって、この式を実現します。

次のセクションで、これらのサブサーキットについて説明します。

回路の説明

AD9833は、完全統合型のダイレクト・デジタル・シンセシス（DDS）チップです。最高12.5MHzのデジタル作成されたサイン波を提供するために、リファレンス・クロックが1つ、低精度抵抗が1つ、デカップリング・コンデンサが複数必要です。RF信号を生成するほか、簡単な変調方式から複雑な変調方式まで広範囲にわたり完全な対応ができます。これらの変調方式は全て、デジタル領域で実現されているため、DSP技法を使用して複雑な変調アルゴリズムを正確かつ簡単に実現できます。

AD9833の内部回路は、数値制御発振器（NCO）、周波数／位相変調器、SIN ROM、DAC、レギュレータという主要な要素で構成されています。

数値制御発振器十位相変調器

これは、周波数選択レジスタ2つ、位相アキュムレータ1つ、位相オフセット・レジスタ2つ、位相オフセット加算器1つで構成されます。NCOの主要コンポーネントは、28ビットの位相アキュムレータです。連続時間信号の位相範囲は $0\sim 2\pi$ です。この範囲外では、サイン波機能が周期的に反復します。デジタル処理も同様です。アキュムレータが、この範囲の位相数値をマルチビットのデジタル・ワードにそのままスケールリングします。AD9833の位相アキュムレータは、28ビットで実現されます。したがって、AD9833では、 $2\pi=2^{28}$ となります。また、 $\Delta Phase$ 項も次の範囲の数値にスケールリングされます。

$$0 < \Delta Phase < 2^{28} - 1$$

前述の式にこれらを代入すると、次のようになります。

$$f = \Delta Phase \times f_{MCLK} / 2^{28}$$

位相アキュムレータへの入力には、FREQ0レジスタまたはFREQ1レジスタのいずれかを選択でき、FSELECTビットで制御します。NCOは本質的に連続した位相信号を生成するので、周波数を切り替えるときの出力の不連続性を回避できます。

NCOに続いて、位相オフセットを加算すれば、12ビットの位相レジスタを使用して位相変調を行うことができます。これらの位相レジスタの1つの内容が、NCOの最上位ビットに加算されます。AD9833には2つの位相レジスタがあり、これらのレジスタの分解能は $2\pi/4096$ です。

SIN ROM

NCOからの出力を有用なものにするには、位相情報からサイン波値に変換する必要があります。位相情報は振幅に直接的に対応するため、SIN ROMは、デジタル位相情報をルックアップ・テーブルへのアドレスとして使用し、位相情報を振幅に変換します。NCOは28ビットの位相アキュムレータを内蔵していますが、NCOの出力は12ビットに切り捨てられます。位相アキュムレータのフル分解能を使用することは、 2^{28} エントリのルックアップ・テーブルが必要となるため実用的ではなく、またその必要もありません。ただ、適切な位相分解能があつて、切り捨てによる誤差が10ビットDACの分解能より小さくなりさえすれば十分です。このため、SIN ROMには、10ビットDACより2ビット大きい位相分解能を備える必要があります。

SIN ROMをイネーブルにするには、コントロール・レジスタのMODEビット (D1) を使用します。詳細については、表XIを参照してください。

D/Aコンバータ

AD9833は、高インピーダンス電流源の10ビットDACを内蔵しています。DACは、SIN ROMからデジタル・ワードを受信し、それを対応するアナログ電圧に変換します。

DACはシングルエンド動作に構成されています。デバイスは 200Ω の抵抗を内蔵しているため、外部負荷抵抗は必要ありません。DACは $0.6V$ p-p (typ値) の出力電圧を生成します。

レギュレータ

VDDは、AD9833のアナログ部とデジタル部に必要な電源を供給します。この電源の値は $2.3\sim 5.5V$ とすることができます。

AD9833の内部デジタル部は $2.5V$ で動作します。内蔵レギュレータは、VDDで印加された電圧を $2.5V$ まで下げます。AD9833のVDDピンの印加電圧が $2.7V$ 以下の場合、ピン

CAP/2.5VとVDDを接続して内蔵レギュレータをバイパスしてください。

機能の説明

シリアル・インターフェース

AD9833の標準3線式シリアル・インターフェースには、SPI、QSPI™、MICROWIRE™、DSPインターフェース規格と互換性があります。

データは、シリアル・クロック入力SCLKの制御により、16ビット・ワードでデバイスにロードされます。この動作のタイミング図を図3に示します。

FSYNC入力は、フレーム同期およびチップ・イネーブルとして機能するレベル・トリガ入力です。データをデバイスに転送できるのは、FSYNCがローレベルのときだけです。シリアル・データ転送を開始するには、FSYNCからSCLK立ち下がりエッジまでの最小セットアップ・タイム t_{su} を守りながら、FSYNCをローレベルにしてください。FSYNCがローレベルになった後、SCLKの立ち下がりエッジで16クロック・パルスの間、シリアル・データがデバイスの入力シフト・レジスタにシフトインされます。SCLK立ち下がりエッジからFSYNC立ち上がりエッジまでの最小時間 t_h を守りながら、SCLKの16番目の立ち下がりエッジの後でFSYNCをハイレベルにすることができます。あるいは、16 SCLKパルスの倍数の間FSYNCをローレベルに保持してから、データ転送の最後にハイレベルにすることも可能です。このように、FSYNCがローレベルに保持されている間に、16ビット・ワードの連続したストリームをロードできます。FSYNCは、ロードされた最後のワードの16番目のSCLK立ち下がりエッジの後にハイレベルにします。

SCLKは連続にすることができます。あるいは、SCLKを書き込み操作と次の書き込み操作の間でアイドル・ハイまたはアイドル・ローにできますが、FSYNCがローレベルになるときに(t_{ll})、SCLKはハイレベルでなければなりません。

AD9833のパワーアップ

図7のフローチャートに、AD9833の動作ルーチンを示します。AD9833がパワーアップされる時、デバイスはリセットされる必要があります。これによって、ミッドスケールのアナログ出力を提供できるように適切な内部レジスタを“0”にリセットします。AD9833の初期化時にスプリアスのDAC出力が生じないように、デバイスが出力する準備ができるまで、RESETビットを“1”に設定してください。RESETでは、位相レジスタ、周波数レジスタ、コントロール・レジスタはリセットされません。これらのレジスタには無効なデータが含まれるため、ユーザーが既知の値を設定してください。次に、RESETビットに“0”を設定して出力の生成を開始します。RESETに“0”が設定されてから8 MCLKサイクル後に、データがDAC出力に現れます。

レイテンシ

AD9833での各非同期書き込み操作にはレイテンシが伴います。選択した周波数/位相レジスタに新しいワードがロードされた場合には、アナログ出力が変化するまでに7~8 MCLKサイクルの遅延があります。(この遅延は、データがデスティネーション・レジスタにロードされるときMCLK立ち上がりエッジの位置に依存するため、1 MCLKサイクルの不確実性が伴います)。

AD9833

コントロール・レジスタ

AD9833には、ユーザーの必要に応じてAD9833をセットアップする16ビットのコントロール・レジスタが内蔵されています。MODE以外のすべての制御ビットは、MCLKの内部負エッジでサンプリングされます。

表IIに、コントロール・レジスタの個々のビットを示します。AD9833のさまざまな機能と出力オプションについては、表IIの後のセクションで詳しく説明します。

コントロール・レジスタの内容が変更されることをAD9833に知らせるには、下に示すように、D15とD14を“0”に設定する必要があります。

表I. コントロール・レジスタ

D15	D14	D13	D0
0	0	制御ビット	

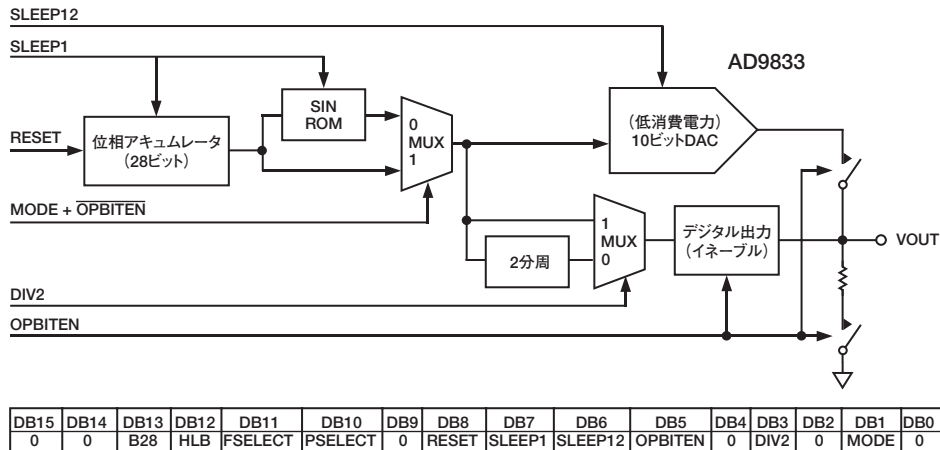


図5. 制御ビットの機能

表II. コントロール・レジスタ内のビットの説明

ビット	名前	機能
D13	B28	<p>完全なワードをいずれかの周波数レジスタにロードするには、2つの書き込み操作が必要です。</p> <p>B28=1では、2つの連続した書き込みで完全なワードを周波数レジスタにロードできます。最初の書き込みには周波数ワードの14 LSBsが含まれ、次の書き込みには14 MSBsが含まれます。各16ビット・ワードの最初の2ビットでワードがロードされる周波数レジスタを定義するため、2つの連続書き込みでこれを同じものにしてください。適切なアドレスについては、表IVを参照してください。周波数レジスタへの書き込みは両方のワードがロードされてから行われるため、レジスタは中間値を保持しません。完全な28ビット書き込みの例を表Vに示します。</p> <p>B28=0の場合、28ビットの周波数レジスタは2つの14ビット・レジスタとして動作し、一方には14 MSBs、他方には14 LSBsが含まれます。つまり、周波数ワードの14 MSBsは、14 LSBsとは独立に変更することができ、その逆も可能です。14 MSBsまたは14 LSBsを変更するには、適切な周波数アドレスに対して書き込みを1つ行います。制御ビットD12 (HLB) は、変更されるビットが14 MSBsか14 LSBsかをAD9833に通知します。</p>
D12	HLB	<p>この制御ビットによって、ユーザーは、周波数レジスタのMSBsまたはLSBsを連続的にロードしながら、残りの14ビットを無視することができます。これは、完全な28ビット分解能が必要でない場合に便利です。HLBは、D13 (B28) と組み合わせて使用します。この制御ビットは、ロードしている14ビットを、アドレス指定された周波数レジスタの14 MSBsに転送するか14 LSBsに転送するかを示します。周波数ワードのMSBsとLSBsを別々に変更するには、D13 (B28) を“0”に設定する必要があります。D13 (B28) =1の場合、この制御ビットは無視されます。</p> <p>HLB=1で、アドレス指定された周波数レジスタの14 MSBsに書き込みできます。</p> <p>HLB=0で、アドレス指定された周波数レジスタの14 LSBsに書き込みできます。</p>
D11	FSELECT	FSELECTビットで、位相アキュムレータで使用するレジスタ (FREQ0またはFREQ1) を定義します。
D10	PSELECT	PSELECTビットは、位相アキュムレータの出力にデータを加算するレジスタ (PHASE0またはPHASE1) を定義します。
D9	予約済み	このビットは“0”に設定してください。
D8	RESET	<p>RESET=1で、内部レジスタを“0”にリセットします (ミッドスケールのアナログ出力に対応)。</p> <p>RESET=0で、RESETをディスエーブルにします。この機能については表IXを参照してください。</p>
D7	SLEEP1	<p>SLEEP1=1で、内部MCLKクロックをディスエーブルにします。NCOがもう累算しないので、DAC出力はその現在値のままです。</p> <p>SLEEP1=0で、MCLKはイネーブルになります。この機能については、表Xを参照してください。</p>

表II. コントロール・レジスタ内のビットの説明 (続き)

ビット	名前	機能
D6	SLEEP12	SLEEP12=1で、内蔵DACをパワーダウンします。これは、AD9833を使用してDACデータのMSBを出力するときに便利です。 SLEEP12=0で、DACはアクティブです。この機能については、表Xを参照してください。
D5	OPBITEN	このビットは、D1 (MODE) と組み合わせて、VOUTピンの出力内容を制御します。この機能については、表XIを参照してください。 OPBITEN=1で、DACの出力がVOUTピンから得られなくなります。その代わりに、DACデータのMSB (またはMSB/2) がVOUTピンに接続されます。これは粗なクロック・ソースとして便利です。ビットDIV2は、MSBが出力されるかMSB/2が出力されるかを制御します。 OPBITEN=0で、DACがVOUTに接続されます。MODEビットで、入手できる出力がサイン波かランプかを決めます。
D4	予約済み	このビットは“0”に設定する必要があります。
D3	DIV2	DIV2はD5 (OPBITEN) と組み合わせて使用します。詳細は、表XIを参照してください。 DIV2=1で、DACデータのMSBがVOUTピンに直接渡されます。 DIV2=0で、DACデータのMSB/2がVOUTピンから出力されます。
D2	予約済み	このビットは“0”に設定する必要があります。
D1	MODE	このビットはOPBITEN (D5) と組み合わせて使用します。内蔵DACがVOUTに接続されているとき、このビットでVOUTピンの出力内容を制御できます。制御ビットOPBITEN=1の場合は、このビットを“0”に設定してください。詳細は、表XIを参照してください。 MODE=1で、SIN ROMをバイパスし、DACから三角波出力が得られます。 MODE=0で、SIN ROMを使用して位相情報を振幅情報に変換し、サイン波信号の出力が得られます。
D0	予約済み	このビットは“0”に設定する必要があります。

周波数レジスタと位相レジスタ

AD9833には、2つの周波数レジスタと2つの位相レジスタがあります。これらを表IIIで説明します。

表III. 周波数/位相レジスタ

レジスタ	サイズ	説明
FREQ0	28ビット	周波数レジスタ“0”。FSELECTビット=0で、このレジスタが出力周波数をMCLK周波数の分数として定義します。
FREQ1	28ビット	周波数レジスタ“1”。FSELECTビット=1で、このレジスタが出力周波数をMCLK周波数の分数として定義します。
PHASE0	12ビット	位相オフセット・レジスタ“0”。PSELECTビット=0で、このレジスタの内容が位相アキュムレータの出力に加算されます。
PHASE1	12ビット	位相オフセット・レジスタ“1”。PSELECTビット=1で、このレジスタの内容が位相アキュムレータの出力に加算されます。

AD9833からのアナログ出力は次のとおりです。

$$f_{MCLK} / 2^{28} \times FREQREG$$

ここで、FREQREGは、選択した周波数レジスタにロードされる値です。この信号は、次の値だけ位相シフトされます。

$$2\pi / 4096 \times PHASEREG$$

ここで、PHASEREGは、選択した位相レジスタに含まれる値です。望ましくない出力を防止するには、選択した出力周波数とリファレンス・クロック周波数の関係に注意する必要があります。

図9のフローチャートに、AD9833の周波数レジスタと位相レジスタに書き込むためのルーチンを示します。

周波数レジスタへの書き込み

周波数レジスタに書き込むとき、ビットD15とD14で周波数レジスタのアドレスを提供します。

表IV. 周波数レジスタのビット

D15	D14	D13	D0
0	1	MSB 14 FREQ0レジスタ・ビット	LSB
1	0	MSB 14 FREQ1レジスタ・ビット	LSB

AD9833

ユーザーが周波数レジスタの内容全体を変更したい場合には、周波数レジスタが28ビット幅であるため、同じアドレスに連続した書き込みを2つ実行する必要があります。最初の書き込みには14 LSBs、2番目の書き込みには14 MSBsが含まれます。この動作モードでは、制御ビットB28 (D13) を“1”に設定してください。28ビット書き込みの例を表Vに示します。

表V. FREQ0レジスタに00FC00を書き込む

SDATA入力	入力ワードの結果
0010 0000 0000 0000	制御ワードの書き込み (D15、D14=00)、B28 (D13) =1、HLB (D12) =X
0100 0000 0000 0000	FREQ0レジスタの書き込み (D15、D14=01)、14 LSBs=0000
0100 0000 0011 1111	FREQ0レジスタの書き込み (D15、D14=01)、14 MSBs=003F

アプリケーションによっては、周波数レジスタの全28ビットを変更する必要がないこともあります。粗調整にすれば14 MSBsだけを変更し、微調整では14 LSBsだけを変更します。制御ビットB28 (D13) を“0”に設定すれば、28ビットの周波数レジスタが2つの14ビット・レジスタとして動作し、1つには14 MSBs、もう1つには14 LSBsが含まれます。つまり、周波数ワードの14 MSBsを14 LSBsとは独立して変更でき、その逆も可能です。コントロール・レジスタ内のビットHLB (D12) で、どちらの14ビットが変更されるかを識別します。この例を表VIとVIIに示します。

表VI. FREQ1レジスタの14 LSBに3FFFを書き込む

SDATA入力	入力ワードの結果
0000 0000 0000 0000	制御ワードの書き込み (D15、D14=00)、B28 (D13) =0、HLB (D12) =0、つまりLSBs
1011 1111 1111 1111	FREQ1レジスタの書き込み (D15、D14=10)、14 LSBs=3FFF

表VII. FREQ0レジスタの14 MSBに00FFを書き込む

SDATA入力	入力ワードの結果
0001 0000 0000 0000	制御ワードの書き込み (D15、D14=00)、B28 (D13) =0、HLB (D12) =1、つまりMSBs
0100 0000 1111 1111	FREQ0レジスタの書き込み (D15、D14=01)、14 MSBs=00FF

位相レジスタへの書き込み

位相レジスタに書き込むとき、ビットD15とD14は11に設定されます。ビットD13は、どの位相レジスタがロードされるかを識別します。

表VIII. 位相レジスタのビット

D15	D14	D13	D12	D11	D0
1	1	0	X	MSB	12 PHASE0ビット LSB
1	1	1	X	MSB	12 PHASE1ビット LSB

RESET機能

RESET機能では、ミッドスケールのアナログ出力を提供するために、適切な内部レジスタを“0”にリセットします。RESETでは、位相レジスタ、周波数レジスタ、コントロール・レジスタはリセットしません。AD9833をパワーアップするとき、デバイスをリセットしてください。AD9833をリセットするには、RESETビットを“1”に設定します。デバイスをリセット状態から抜け出させるには、ビットを“0”に設定します。RESETに“0”を設定してから8 MCLKサイクル後に、信号がDAC出力に現れます。

表IX. RESETの適用

RESETビット	結果
0	リセットは適用されません
1	内部レジスタがリセットされます

SLEEP機能

消費電力を最小限に抑えるため、AD9833で使用していない部分をパワーダウンすることが可能です。これにはSLEEP機能を使用します。パワーダウンできるチップ部分は、内部クロックとDACです。SLEEP機能に必要なビットを表Xに示します。

表X. SLEEP機能の適用

SLEEP1ビット	SLEEP12ビット	結果
0	0	パワーダウンなし
0	1	DACがパワーダウン
1	0	内部クロックがディスエーブル
1	1	DACがパワーダウンし、内部クロックがディスエーブル

DACのパワーダウン

これは、DACデータのMSBだけを出力するためにAD9833を使用する場合に便利です。この場合、DACは必要ないので、パワーダウンして消費電力を減らすことができます。

内部クロックのディスエーブル

AD9833の内部クロックがディスエーブルにされると、NCOが累算しないので、DAC出力はその現在値のままです。新しい周波数ワード、位相ワード、および制御ワードは、SLEEP1制御ビットがアクティブのときに、デバイスに書き込みできます。同期クロックはまだアクティブなので、選択した周波数レジスタと位相レジスタを制御ビットで変更することもできます。SLEEP1ビットを“0”に設定すると、MCLKがイネーブルになります。SLEEP1がアクティブのときにレジスタに行われた変更は、一定のレイテンシの後で出力に現れます。

VOUTピン

AD9833がそのチップから提供するさまざまな出力は、すべてVOUTピンから得られます。出力には、DACデータのMSB、サイン波出力、三角波出力があります。

コントロール・レジスタのビットOPBITEN (D5) とMODE (D1) を使用して、AD9833からどの出力を得るかを決めます。詳細については、以下の説明と表XIを参照してください。

DACデータのMSB

AD9833は、DACデータのMSBを出力できます。OPBITEN (D5) 制御ビットを“1”に設定すると、VOUTピンからDACデータのMSBが得られます。これは粗なクロック・ソースとして便利です。この方形波を2分周してから出力することもできます。コントロール・レジスタのビットDIV2 (D3) で、VOUTピンからのこの出力の周波数を制御します。

サイン波出力

SIN ROMを使用して、周波数レジスタと位相レジスタからの位相情報を振幅情報に変換すると、出力でサイン波信号が得られます。VOUTピンからサイン波出力を得るには、MODE (D1) ビットに“0”を、OPBITEN (D5) ビットに“0”を設定します。

三角波出力

SIN ROMをバイパスして、NCOからの切り捨てられたデジタル出力をDACに送信できます。この場合、出力はサイン波でなく、DACは10ビットの直線三角波を生成します。VOUTピンから三角波出力を得るには、ビットMODE (D1) = 1に設定します。

なお、このピンを使用するときは、SLEEP12ビットが“0” (DACがイネーブル) でなければなりません。

表XI. VOUTからのさまざまな出力

OPBITEN ビット	MODE ビット	DIV2 ビット	VOUTピン
0	0	X	サイン波
0	1	X	三角波
1	0	0	DACデータのMSB/2
1	0	1	DACデータのMSB
1	1	X	予約済み

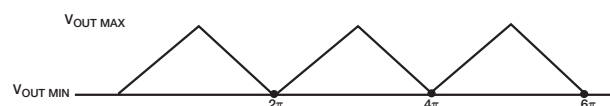


図6. 三角波出力

アプリケーション

さまざまな出力オプションが利用できるため、多種多様なアプリケーションに合わせてAD9833を構成することができます。

AD9833に適した領域の1つは、変調アプリケーションです。AD9833を使用すれば、FSKなどの簡単な変調を実行できるだけでなく、GMSKやQPSKなどのもっと複雑な変調方式も実装できます。

FSKアプリケーションでは、AD9833の2つの周波数レジスタに異なる値をロードします。周波数の1つはスペース周波数、もう1つはマーク周波数になります。AD9833のコントロール・レジスタのFSELECTビットを使用すれば、ユーザーはキャリア周波数を2つの値の間で変調できます。

AD9833には2つの位相レジスタがあり、PSKを実行できます。位相シフト・キーイングによって、キャリア周波数を位相シフトし、変調器に入力するビット・ストリームに関連する量だけ位相を変更します。

AD9833は、信号発生器アプリケーションにも適しています。VOUTピンからDACデータのMSBが得られるため、デバイスを使用して方形波を生成できます。

AD9833は消費電流が少ないため、アプリケーションの中でローカル発振器として使用することにも適しています。

グラウンドとレイアウト

AD9833を実装するプリント回路ボードは、アナログ部とデジタル部を分離して、ボード内でそれぞれをまとめて配置するように設計してください。こうすれば、簡単に分離できるグラウンド面を使用できるようになります。最適なシールドングが得られるため、グラウンド面には最小限のエッチング技術を使用することが一番です。デジタルとアナログのグラウンド面は、一個所のみで接続します。AD9833がAGND~DGND接続を必要とする唯一のデバイスになる場合には、グラウンド面は、AD9833のAGNDピンとDGNDピンで接続してください。AGND~DGND接続を必要とするデバイスが複数あるシステムでAD9833を使用する場合は、AD9833のできるだけ近くに星形グラウンド・ポイントを配置し、その一個所だけで接続するようにしてください。

チップにノイズが混入する可能性があるため、AD9833の下にデジタル・ラインを通さないようにしてください。アナログ・グラウンド面は、ノイズの混入を回避するため、AD9833の下を通します。AD9833への電源ラインには、低インピーダンス・パスを実現して、電源ラインへのグリッチの影響を減らすため、できるだけ大きなトラックを使用します。クロックなどの速いスイッチング信号はデジタル・グラウンドで絶縁して、ボードの他の部分にノイズが広がらないようにします。デジタル信号とアナログ信号のクロスオーバーは避けてください。ボードの反対側のトレースは、互いに直角になるようにします。これによって、ボードを通るフィードスルーの影響が低減します。マイクロストリップ技術は格段に優れていますが、両面ボードでは対応できないこともあります。この方式では、ボードのコンポーネント側がグラウンド面になり、信号はハンダ面側に置かれます。

優れたデカップリングを行うことが大切です。AD9833では、0.1μFセラミック・コンデンサと並列に配置した10μFタンタル・コンデンサを使用して、電源をバイパスしてください。デカップリング・コンデンサから最高の性能を引き出すには、できるだけデバイスの近く、理想的にはデバイスに対面配置します。

コンパレータが正しく動作するには、優れたレイアウト対策が必要です。PCBの適切なレイアウトによって、グラウンド面を使用してアイソレーションを高め、VINとSIGN BIT OUTピンの間の寄生容量を最小限に抑える必要があります。たとえば、4層ボードでは、CIN信号を最上層に接続し、SIGN BIT OUTを最下層に接続すれば、電源とグラウンド面の間でアイソレーションが実現できます。

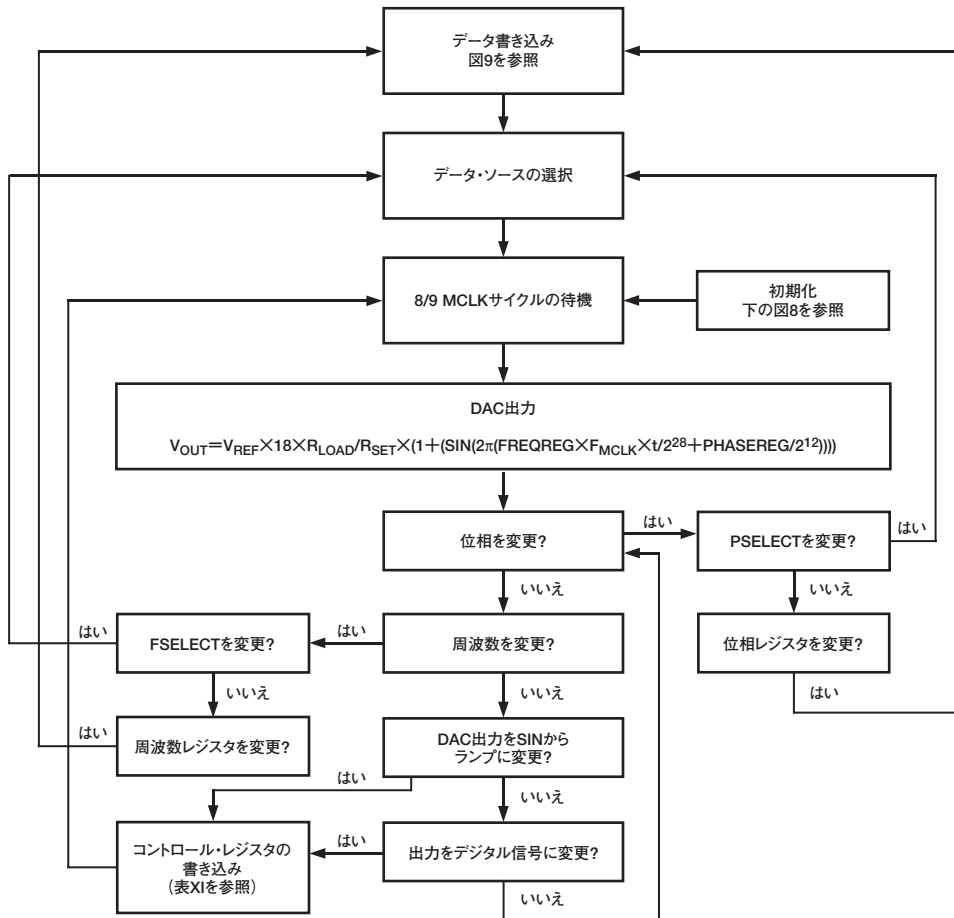


図7. AD9833の初期化と動作のフローチャート

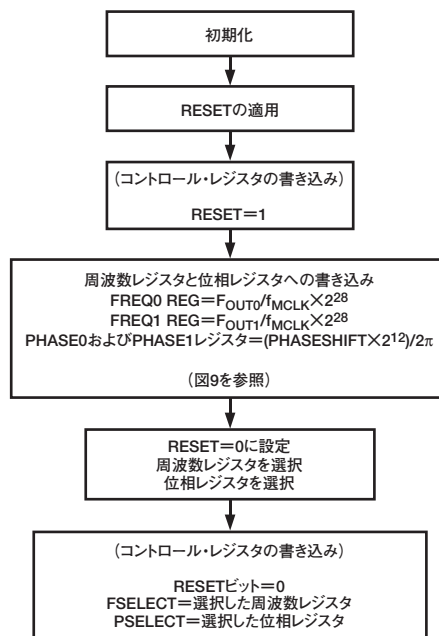


図8. 初期化

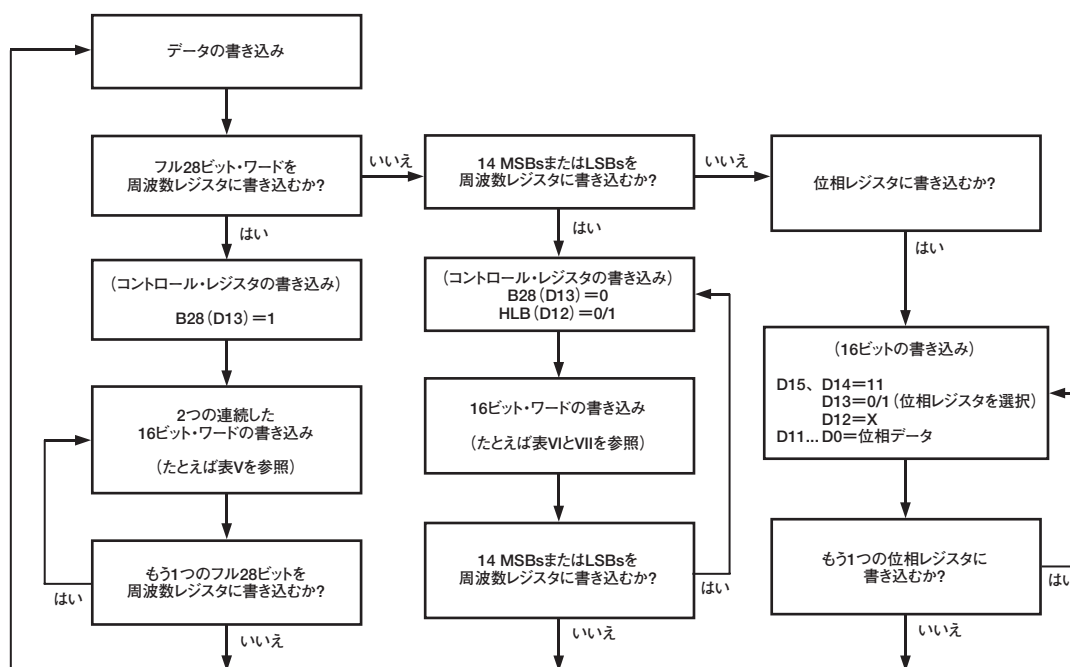


図9. データの書き込み

マイクロプロセッサへのインターフェース

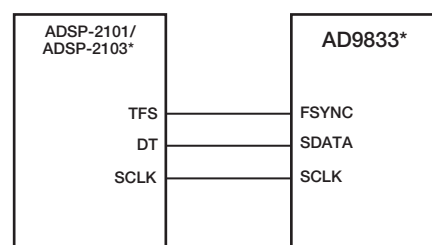
AD9833には標準のシリアル・インターフェースがあり、複数のマイクロプロセッサと直接インターフェースをとることができます。デバイスは、外部シリアル・クロックを使用して、データ/制御情報をデバイスに書き込みます。シリアル・クロックの最大周波数は40MHzです。シリアル・クロックは、連続させたり、書き込み操作と書き込み操作の間にアイドル・ハイまたはローにすることができます。AD9833にデータ/制御情報が書き込まれると、FSYNCがローレベルになり、16ビットのデータがAD9833に書き込まれている間はローレベルに保持されます。FSYNC信号は、AD9833にロードされる16ビットの情報をフレーミングします。

AD9833とADSP-21xxのインターフェース

図10に、AD9833とADSP-21xxのシリアル・インターフェースを示します。ADSP-21xxは、SPORT送信オルタネート・フレーミング・モード (TFSW=1) で動作するように設定してください。ADSP-21xxは、SPORTコントロール・レジスタを通じてプログラムされます。次のように構成してください。

- ・内部クロック動作 (ISCLK=1)
- ・アクティブ・ロー・フレーミング (INVTFS=1)
- ・16ビット・ワード長 (SLEN=15)
- ・内部フレーム同期信号 (ITFS=1)
- ・書き込みごとにフレーム同期を生成 (TFSR=1)

SPORTをイネーブルにしてからTxレジスタにワードを書き込むと、伝送が開始されます。シリアル・クロックの各立ち上がりエッジでデータがクロック出力され、SCLK立ち下がりエッジでAD9833にクロック入力されます。



* 分かりやすくするために他のピンは省略してあります

図10. ADSP-2101/ADSP-2103とAD9833のインターフェース

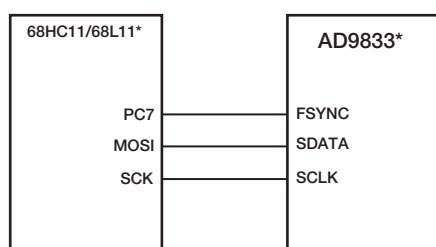
AD9833と68HC11/68L11のインターフェース

図11に、AD9833と68HC11/68L11マイクロコントローラのシリアル・インターフェースを示します。マイクロコントローラは、SPCR内のビットMSTRを“1”に設定してマスターとして構成されています。これによってSCKにシリアル・クロックが提供され、MOSI出力がシリアル・データ・ラインSDATAを駆動します。マイクロコントローラには専用のフレーム同期ピンがないため、FSYNC信号はポート・ライン (PC7) から取ります。インターフェースが正しく動作するためのセットアップ条件は、次のとおりです。

- ・書き込み操作と書き込み操作の間、SCKはアイドル・ハイにする (CPOL=0)
- ・SCKの立ち下がりエッジでデータを有効にする (CPHA=1)

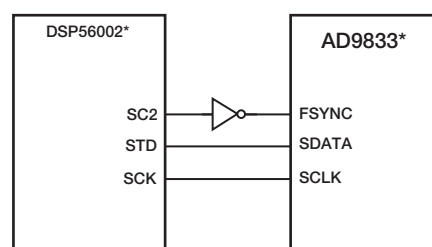
データがAD9833に送信されているときに、FSYNCラインがローレベルになります (PC7)。68HC11/68L11からのシリアル・データは8ビット・バイトで送信され、送信サイクルでクロックの8つの立ち下がりエッジだけが発生します。データは、MSBファーストで送信されます。データをAD9833にロードするために、最初の8ビットが転送されてからPC7がローレベルに保持され、AD9833に2番目のシリアル書き込み操作が実行されます。FSYNCを再びハイレベルにするのは、2番目の8ビットが転送された後です。

AD9833



* 分かりやすくするために他のピンは省略してあります

図11. 68HC11/68L11とAD9833のインターフェース

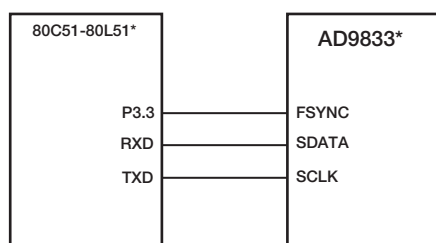


* 分かりやすくするために他のピンは省略してあります

図13. DSP56002とAD9833のインターフェース

AD9833と80C51/80L51のインターフェース

図12に、AD9833と80C51/80L51マイクロコントローラとのシリアル・インターフェースを示します。マイクロコントローラは、モード“0”で操作します。これによって、80C51/80L51のTXDがAD9833のSCLKを駆動し、RXDがシリアル・データ・ラインSDATAを駆動します。ポート上のビット・プログラマブル・ピン（図ではP3.3を使用）からFSYNC信号が再び得られます。データがAD9833に送信するときは、P3.3がローレベルになります。80C51/80L51はデータを8ビット・バイトで送信するので、各サイクルで発生するのはSCLKの8つの立ち下がりエッジだけです。残りの8ビットをAD9833にロードするために、最初の8ビットが送信されてからP3.3がローレベルに保持され、2番目の書き込み操作が開始されてデータの2番目のバイトが送信されます。P3.3は、2番目の書き込み操作の終了後、ハイレベルになります。2つの書き込み操作の間では、SCLKをアイドル・ハイにしてください。80C51/80L51では、シリアル・データをLSBファーストのフォーマットで出力します。AD9833はMSBファーストを受け付ける（4 MSBは制御情報、次の4ビットはアドレス、8 LSBはデスティネーション・レジスタに書き込むときのデータ）ため、80C51/80L51の送信ルーチンでは、このことを考慮に入れて、MSBが最初に出力されるようにビットを並べ替える必要があります。



* 分かりやすくするために他のピンは省略してあります

図12. 80C51/80L51とAD9833のインターフェース

AD9833とDSP56002のインターフェース

図13に、AD9833とDSP56002とのインターフェースを示します。DSP56002は、ゲートド内部クロック（SYN=0、GCK=1、SCKD=1）でノーマル・モードの非同期動作に構成されています。フレーム同期ピンは内部で生成され（SC2=1）、転送は16ビット幅で（WL1=1、WL0=0）、フレーム同期信号で16ビットをフレーミングします（FSL=0）。フレーム同期信号はピンSC2で使用できますが、AD9833に印加する前に反転する必要があります。DSP56000/DSP56001へのインターフェースは、DSP56002の場合と同様です。

AD9833評価ボード

AD9833評価ボードを使用すれば、設計者はわずかな作業で高性能なAD9833 DDS変調器を評価することができます。

デバイスがユーザーの波形合成条件に適合することを証明するためにユーザーに必要なものは、この評価ボードのほかに、電源、IBM互換PC、スペクトル・アナライザだけです。

DDS評価キットには、設定とテストが済んでいるAD9833プリント回路ボードが組み込まれています。評価ボードは、IBM互換PCの平行ポートに接続します。評価ボードに付属のソフトウェアによって、ユーザーは、AD9833を簡単にプログラムすることができます。評価ボードの回路図を図14に示します。ソフトウェアは、Microsoft WIN95™、WIN98™、Windows ME™、またはWindows 2000 NT™をインストールした任意のIBM互換PCで動作します。

AD9833評価ボードの使い方

AD9833評価キットは、AD9833の評価を簡単にするために設計されたテスト・システムです。評価ボードにはアプリケーション・ノートも添付され、評価ボードの操作に関する詳細な情報を提供します。

プロトタイピング領域

評価ボードには、ユーザーが評価テスト・セットに回路を追加するための領域があります。出力用にカスタム・アナログ・フィルタを組み込んだり、最終アプリケーションで使用するバッファやオペアンプを追加したりできます。

XOと外部クロック

AD9833は、最高25MHzのマスター・クロックで動作します。評価ボードには25MHzの発振器が含まれています。この発振器は除去することも可能です。必要な場合、外部CMOSクロックをデバイスに接続できます。

電源

AD9833評価ボードへの電源は、ピン接続を通じて外部から供給する必要があります。グラウンド・ループを低減するために、電源リードにひねりを加えてください。

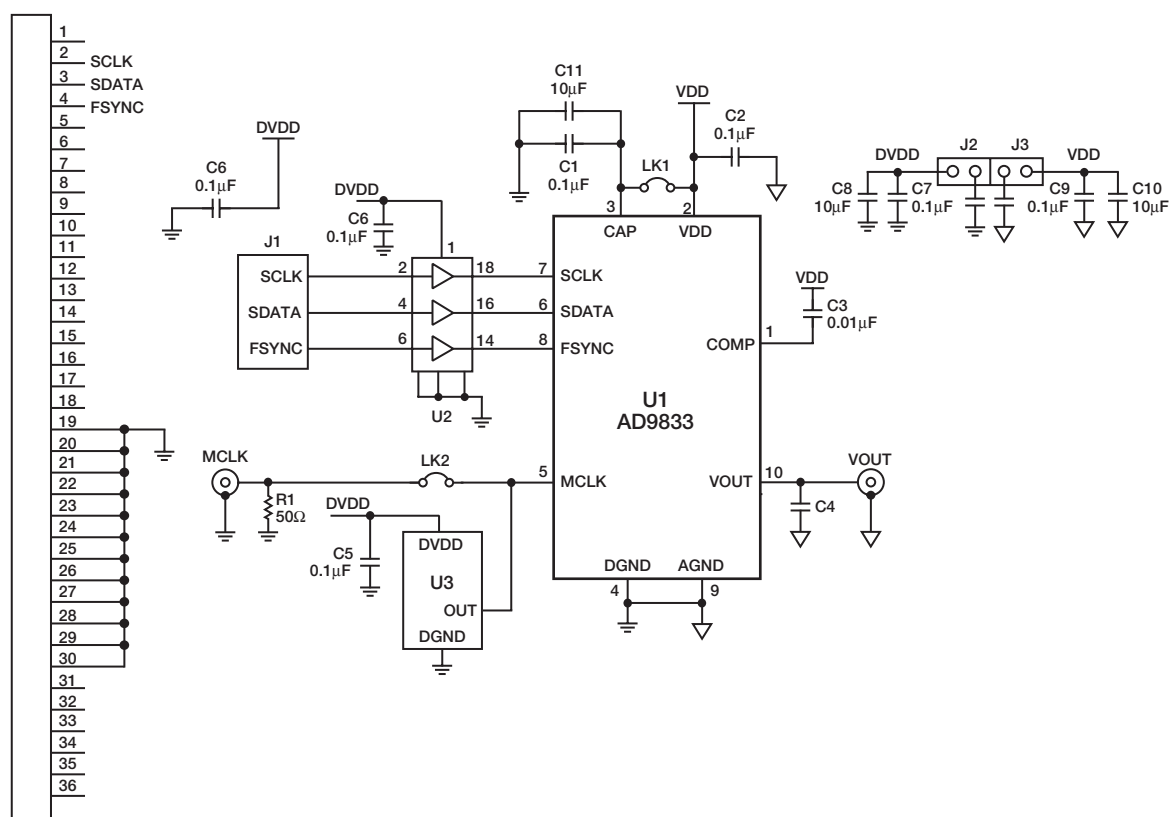


図14. 評価ボードのレイアウト

集積回路

U1	AD9833BRU
U2	74HCT244
U3	OSC XTAL 25MHz

コンデンサ

C1、C2	100nFセラミック・コンデンサ0805
C3	10nFセラミック・コンデンサ
C4	追加のデカップリング・コンデンサ用のオプション
C5、C6、C7、C9	100nFセラミック・コンデンサ
C8、C10、C11	10μFタンタル・コンデンサ

抵抗

R1	50Ω抵抗
----	-------

リンク

LK1、LK2	2ピンのSilヘッダー
---------	-------------

ソケット

MCLK VOUT	超小型BNCコネクタ
-----------	------------

コネクタ

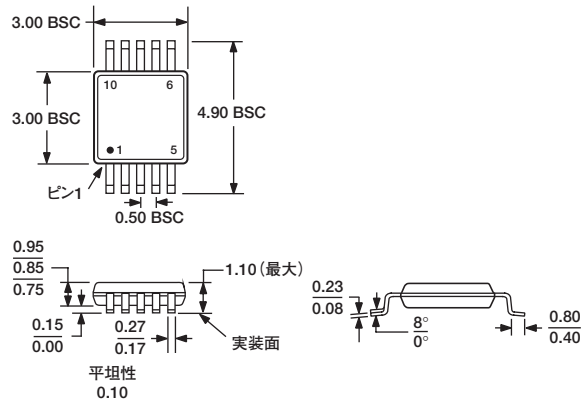
J1	36ピンのエッジ・コネクタ
J2、J3	PCBマウントの端子ブロック

AD9833

外形寸法

10ピンMSOPパッケージ [MSOP] (RM-10)

寸法はミリメートルで表示



JEDEC規格MO-187BAに準拠

