

**AD9816**
**特長**

- 12ビット6MSPSのA/Dコンバータ
- ノー・ミッシング・コード保証
- 3チャンネルまたは1チャンネルで動作  
相関ダブル・サンプリング
- 8ビットのプログラマブル・ゲイン
- 8ビットのオフセット調整
- PGA出力モニタ
- 入力クランプ回路
- 内蔵電圧リファレンス
- 3線式シリアル・インターフェース
- +3.3 V/+5 Vのデジタル出力に対応
- 44ピンMQFPパッケージ
- 低消費電力CMOS : 420 mW(Typ)

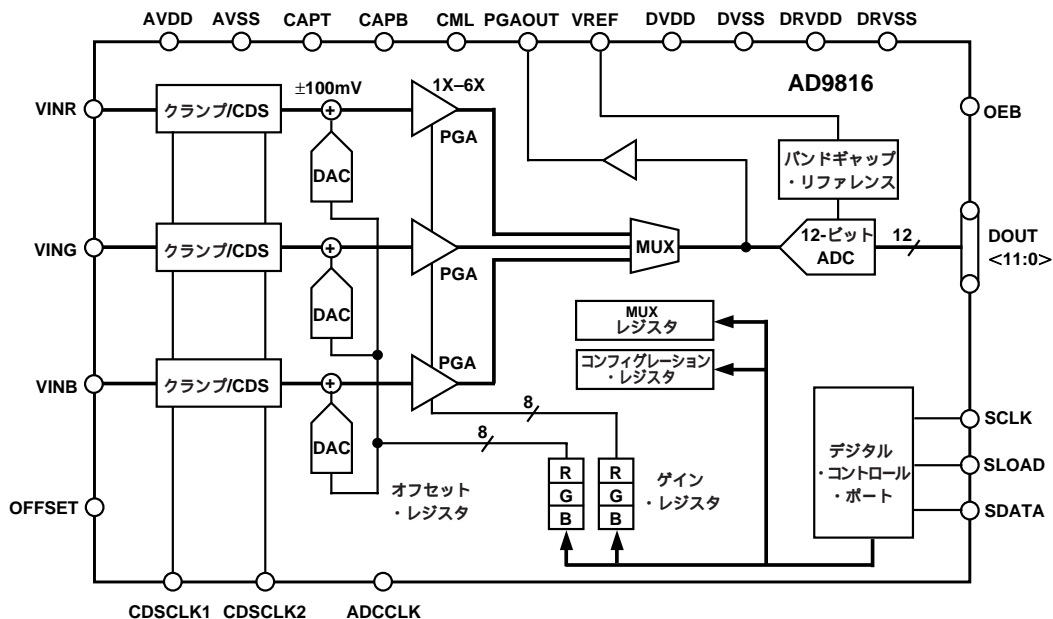
**概要**

AD9816は、CCDおよびCISアプリケーション用の完全なアナログ信号プロセッサです。これには、各種の画像処理アプリケーションにおいて、3チャンネル信号調整およびサンプリングを実行するために必要となるすべての回路が含まれています。

信号チェーンは、入力クランプ、相関ダブル・サンプリング(CDS)、オフセット調整DAC、プログラマブル・ゲイン・アンプ、および12ビットのA/Dコンバータから構成されます。CDSおよび入力クランプは、CISアプリケーションにおいてはディセーブルすることができます。

内蔵レジスタは、3線式シリアル・インターフェースを使用してプログラムできます。これによりゲイン、オフセット、および動作モードを設定することが可能です。

AD9816は、+5 Vの電源から動作し、標準的な消費電力は420 mWです。なお、実装には、44ピンMQFPパッケージが使用されています。

**機能ブロック図**


アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

# AD9816 仕様

アナログ仕様(特に指定のない限り、温度範囲 =  $T_{MIN} \sim T_{MAX}$ ,  $AVDD = +5.0\text{ V}$ ,  $DVDD = +5.0\text{ V}$ ,  $DRVDD = +5.0\text{ V}$ ,  
CDSモード,  $f_{ADCCLK} = 6\text{ MHz}$ ,  $f_{CDSCLK1} = 2\text{ MHz}$ ,  $f_{CDSCLK2} = 2\text{ MHz}$ , PGAゲイン = 1, 入力スパン = 3 Vp-p,  
入力キャパシタ = 1200 pF)

パラメータ	AD9816	AD9816 - 80010	単位
<b>最大変換レート</b>			
3チャンネルCDSモード	6	6	MSPS min
1チャンネルCDSモード	6	6	MSPS min
<b>精度(全信号バスを含む)</b>			
ADC分解能	12	12	ビット min
微分非直線性(DNL)	$\pm 0.4$ $\pm 1.0$	$\pm 0.75$	LSB typ LSB max
ノー・ミッシング・コード	12		保証済みビット数
積分非直線性(INL)	$\pm 1.5$ $\pm 4.0$	$\pm 2.5$	LSB typ LSB max
オフセット・エラー	2.4		% FSR max
ゲイン・エラー <sup>1</sup>	4.3		% FSR max
<b>アナログ入力</b>			
入力電圧範囲 <sup>2</sup>	0 3	0 3	V min V max
入力限界 <sup>3</sup>	AVSS - 0.3 AVDD + 0.3	AVSS - 0.3 AVDD + 0.3	V min V max
入力キャパシタンス	10	10	pF typ
入力電流	10	10	nA typ
<b>アンプ</b>			
PGAゲイン範囲	1 5.98	1 5.98	V/V min V/V max
PGAゲイン分解能	256	256	ステップ
オフセット範囲	- 100 + 100	- 100 + 100	mV min mV max
オフセット分解能	256	256	ステップ
<b>ノイズおよびクロストーク</b>			
最小PGAゲインにおける総合出力ノイズ <sup>4</sup>	0.5		LSB rms typ
最大PGAゲインにおける総合出力ノイズ <sup>4</sup>	0.8		LSB rms typ
チャンネル間クロストーク <sup>5</sup>	1		LSB max
<b>電源変動除去比</b> ( $AVDD = +5\text{ V} / \pm 0.25\text{ V}$ )	0.28		% FSR max
<b>電圧リファレンス</b>			
0.75 Vリファレンス誤差(@ +25 )	$\pm 20$		mV max
1.5 Vリファレンス誤差(@ +25 )	$\pm 34$		mV max
<b>温度範囲</b>			
動作	0 + 70	0 + 70	min max
<b>電源</b>			
動作電圧			
AVDD, DVDD	+ 4.75 + 5.25	+ 4.75 + 5.25	V min V max
DRVDD	+ 3.3 + 5.25	+ 3.3 + 5.25	V min V max
動作電流	84	84	mA typ
<b>消費電力</b>	420 500	420 500	mW typ mW max

## 注

1 内蔵電圧リファレンスの誤差を含みます。

2 入力電圧範囲は、AD9816の入力段による入力信号の処理が可能な直線領域を指します。

3 入力限界は、AD9816に対する最大許容可能入力電圧として定義されます。これは、このデバイスの直線入力範囲であるという意味ではありません。入力限界を超える信号が入力されると、過電圧保護ダイオードがオンになります。

4 総合出力ノイズは、AD9816の入力をグラウンドに接続して測定します。

5 チャンネル間クロストークは、入力の1つをグラウンドに接続し、残りの2入力にフルスケールを印加して測定します。

仕様は、予告なく変更されることがあります。

デジタル仕様(特に指定のない限り、温度範囲 =  $T_{MIN} \sim T_{MAX}$ ,  $AVDD = +5.0V$ ,  $DVDD = +5.0V$ ,  $DRVDD = +5.0V$ ,  
 $f_{ADCCLK} = 6\text{ MHz}$ ,  $f_{CDSCLK1} = 2\text{ MHz}$ ,  $f_{CDSCLK2} = 2\text{ MHz}$ ,  $CL = 10\text{ pF}$ )

パラメータ	記号	Min	Typ	Max	単位
<b>ロジック入力</b>					
ハイ・レベル入力電圧	$V_{IH}$	3.5			V
ロー・レベル入力電圧	$V_{IL}$			1.0	V
ハイ・レベル入力電流	$I_{IH}$		10		$\mu A$
ロー・レベル入力電流	$I_{IL}$		10		$\mu A$
入力キャパシタンス	$C_{IN}$		10		pF
<b>ロジック出力</b>					
ハイ・レベル出力電圧	$V_{OH}$	4.5			V
ロー・レベル出力電圧	$V_{OL}$			0.1	V
ハイ・レベル出力電流	$I_{OH}$		50		$\mu A$
ロー・レベル出力電流	$I_{OL}$		50		$\mu A$

仕様は、予告なく変更されることがあります。

タイミング仕様(特に指定のない限り、温度範囲 =  $T_{MIN} \sim T_{MAX}$ ,  $DVDD = +5.0V$ ,  $DRVDD = +5.0V$ )

パラメータ	記号	Min	Typ	Max	単位
<b>クロック・パラメータ</b>					
3チャンネル変換レート	$t_{CRA}$	500			ns
1チャンネル変換レート	$t_{CRB}$	160			ns
ADCCLKパルス幅	$t_{ADCLK}$	80			ns
CDSCLK1パルス幅	$t_{C1}$	20			ns
CDSCLK2パルス幅	$t_{C2}$	60		$2 t_{ADCLK} - 30$	ns
CDSCLK1立ち下がりからCDSCLK2立ち上がりまで	$t_{C1C2}$	5			ns
ADCCLK立ち下がりからCDSCLK2立ち上がりまで	$t_{ADC2}$	0			ns
CDSCLK2立ち下がりからADCCLK立ち下がりまで	$t_{C2AD}$	30			ns
CDSCLK2立ち下がりからCDSCLK1立ち上がりまで	$t_{C2C1}$	10			ns
CDSクロックのアパーチャ遅延	$t_{AD}$	10			ns
<b>シリアル・インターフェース</b>					
最大SCLK周波数	$f_{SCLK}$	10			MHz
SLOADからSCLKセットアップまでの時間	$t_{LS}$	10			ns
SCLKからSLOADホールドまでの時間	$t_{LH}$	10			ns
SDATAからSCLK立ち上がりセットアップまでの時間	$t_{DS}$	10			ns
SCLK立ち上がりからSDATAホールドまでの時間	$t_{DH}$	10			ns
SCLK立ち下がりからSDATA有効まで	$t_{RDV}$	10			ns
<b>データ出力</b>					
出力遅延	$t_{OD}$		13		ns
3状態からデータ有効まで	$t_{DV}$		15		ns
出力イネーブル・ハイから3状態まで	$t_{HZ}$		5		ns
遅れ(パイプライン遅延)			3(固定)		ADCCLKサイクル

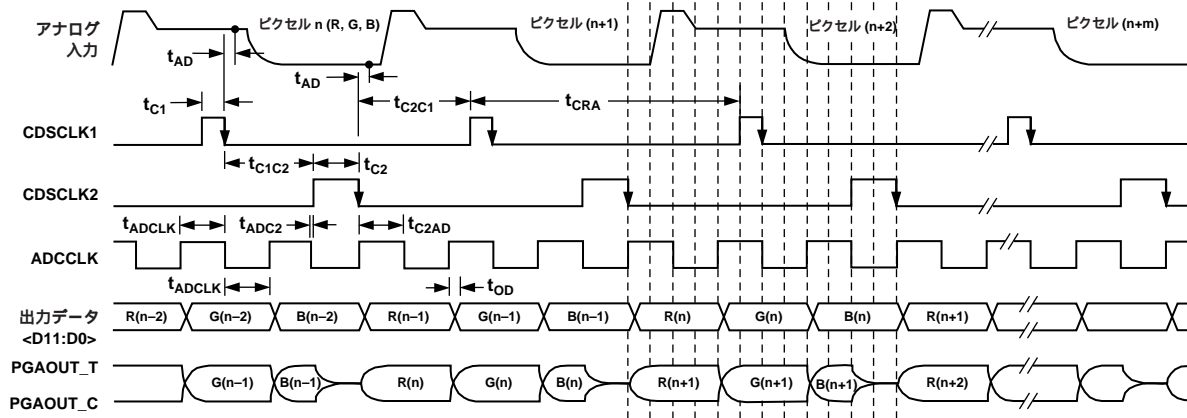


図1. 3チャンネルCDSモードのタイミング

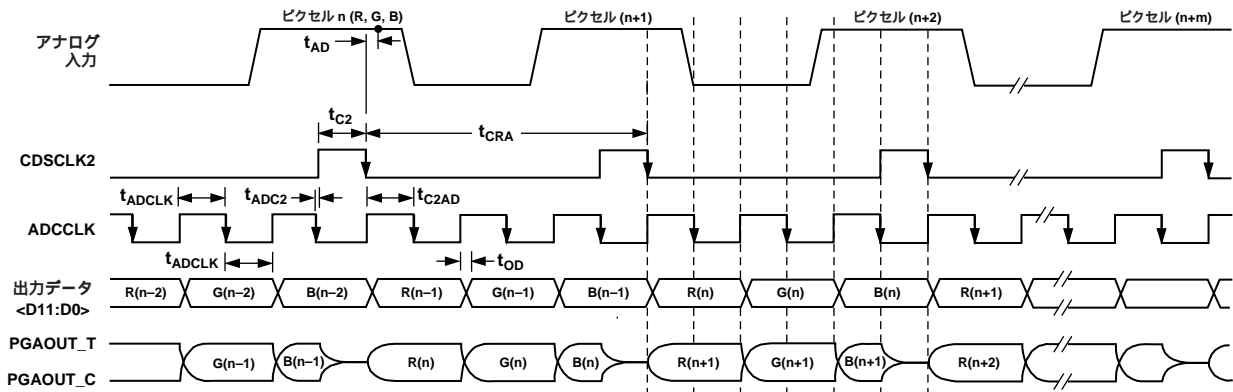


図2. 3チャンネルSHAモードのタイミング

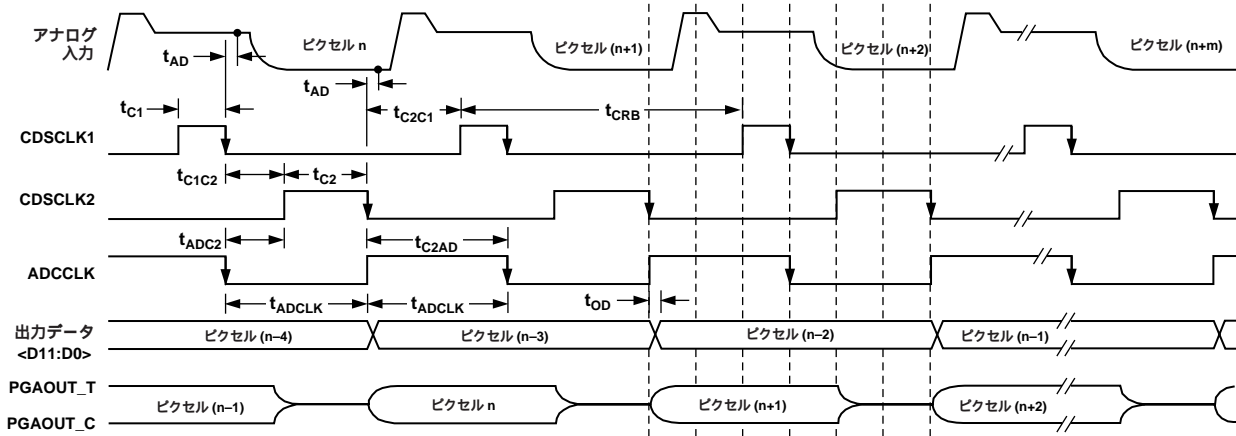


図3. 1チャンネルCDSモードのタイミング

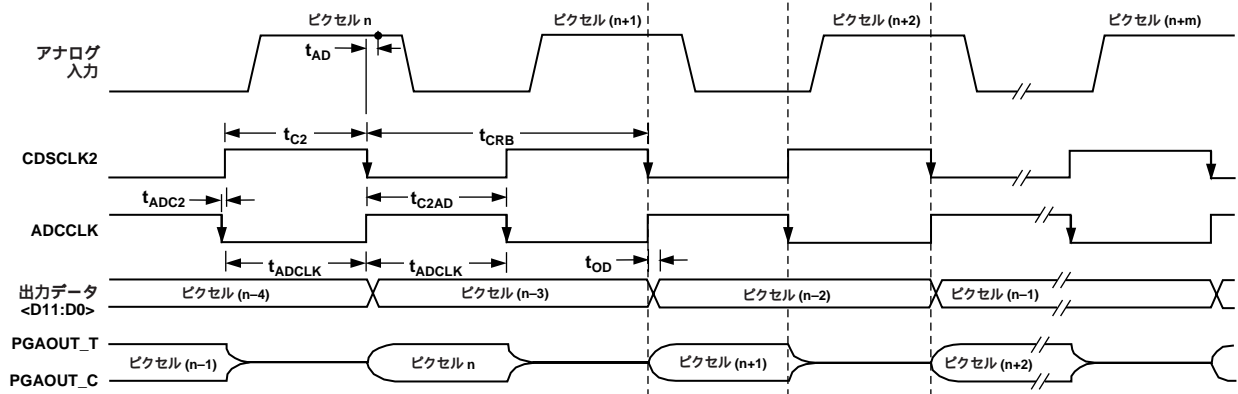


図4. 1チャンネルSHAモードのタイミング

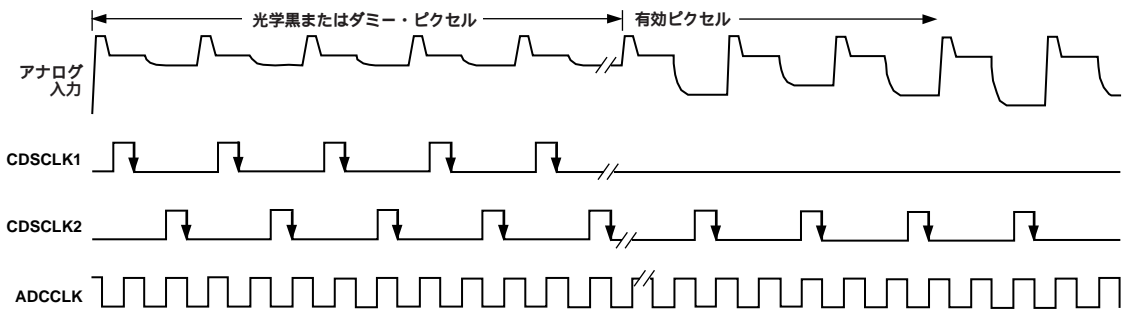


図5. 3チャンネルCDSモードにおけるライン・クランプのタイミング

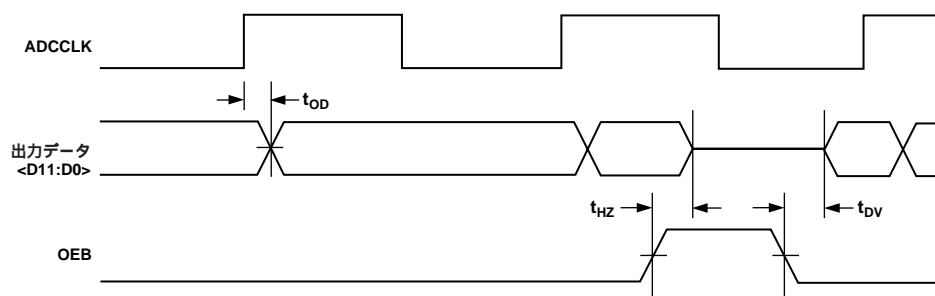


図6. 出力イネーブルのタイミング

# AD9816

## 最大絶対定格\*

パラメータ	基準	Min	Max	単位
VIN, VREF	AVSS	- 0.3	AVDD + 0.3	V
PGA出力	AVSS	- 0.3	AVDD + 0.3	V
クロック入力	DVSS	- 0.3	DVDD + 0.3	V
AVDD	AVSS	- 0.5	+ 6.5	V
DVDD	DVSS	- 0.5	+ 6.5	V
DRVDD	DRVSS	- 0.5	+ 6.5	V
AVSS	DVSS	- 0.3	+ 0.3	V
デジタル出力	DRVSS	- 0.3	DRVDD + 0.3	V
デジタル入力	DVSS	- 0.3	DVDD + 0.3	V
接合温度			+ 150	
保管温度		- 65	+ 150	
リード温度(10秒間)			+ 300	

\* 上記の絶対最大定格を超えるストレスは、デバイスに回復不能なダメージを与えることがあります。このリストはストレス定格を示すことだけを目的とし、これらの条件において、あるいは本仕様書の動作に関するセクションに示した条件を超える条件において、このデバイスの機能的な動作が得られることを意味するものではありません。長時間にわたって絶対最大定格条件で使用すると、デバイスの信頼性に影響が現れることがあります。

## オーダー・ガイド

モデル	温度範囲	パッケージ説明	パッケージ・オプション
AD9816JS	0 ~ +70	44ピンMQFP(メトリック・プラスチック・クワッド・フラットバック)	S - 44
AD9816JS - 80010	0 ~ +70	44ピンMQFP(メトリック・プラスチック・クワッド・フラットバック)	S - 44
AD9816 - EB		評価ボード	

### 注意

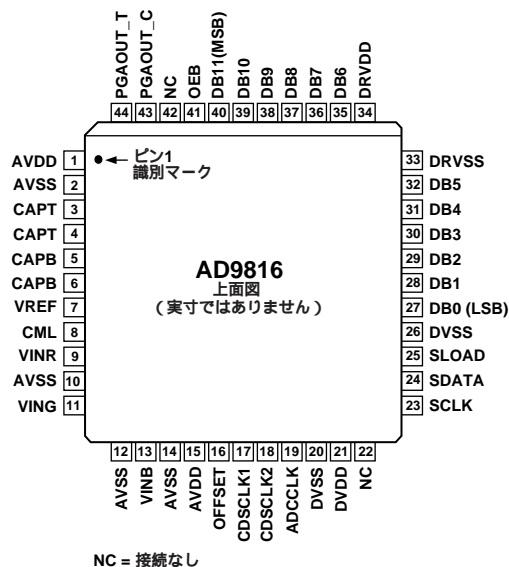
ESD(静電放電)の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることもあります。このAD9816には当社独自のESD保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



## ピン機能の説明

ピン番号	名称	タイプ	説明
1	AVDD	P	+5Vアナログ電源
2	AVSS	P	アナログ・グラウンド
3, 4	CAPT	AO	リファレンス減結合
5, 6	CAPB	AO	リファレンス減結合
7	VREF	AO	内蔵リファレンス出力
8	CML	AO	内蔵バイアス・レベル
9	VINR	AI	アナログ入力, レッド・チャンネル
10	AVSS	P	アナログ・グラウンド
11	VING	AI	アナログ入力, グリーン・チャンネル
12	AVSS	P	アナログ・グラウンド
13	VINB	AI	アナログ入力, ブルー・チャンネル
14	AVSS	P	アナログ・グラウンド
15	AVDD	P	+5Vアナログ電源
16	OFFSET	AI	CDSモードではクランプ・バイアス・レベル, SHAモードではオフセット調整入力
17	CDSCLK1	DI	CDSリセット・レベル・サンプリング・クロック
18	CDSCLK2	DI	CDSデータ・レベル・サンプリング・クロック
19	ADCCLK	DI	A/Dコンバータのサンプリング・クロック
20	DVSS	P	デジタル・グラウンド
21	DVDD	P	+5Vデジタル電源
22	NC		接続なし
23	SCLK	DI	シリアル・インターフェース用クロック入力
24	SDATA	DIO	シリアル・データの入出力
25	SLOAD	DI	シリアル・インターフェース用ロード・パルス
26	DVSS	P	デジタル・グラウンド
27	DB0	DO	データ出力(LSB)
28 ~ 32	DB1 ~ DB5	DO	データ出力
33	DRVSS	P	デジタル・ドライバ・グラウンド
34	DRVDD	P	デジタル・ドライバ電源
35 ~ 39	DB6 ~ DB10	DO	データ出力
40	DB11	DO	データ出力(MSB)
41	OEB	DI	出力イネーブル, アクティブ・ロー
42	NC		接続なし
43	PGAOUT_C	AO	PGA出力, 負。評価を行うとき以外は、このピンへの接続はしません。
44	PGAOUT_T	AO	PGA出力, 正。評価を行うとき以外は、このピンへの接続はしません。

## ピン構成



注  
回路構成については、アプリケーション情報のセクションを参照してください。  
タイプ: AI = アナログ入力, AO = アナログ出力, DI = デジタル入力, DO = デジタル出力, DIO = デジタル入出力, P = 電源



# AD9816

## 仕様の定義

### 積分非直線性(INL)

積分非直線性エラーは、「負のフルスケール」と「正のフルスケール」を結んだ直線に対する個別の各コードの偏差を言います。「負のフルスケール」として使用するポイントは、最初のコード遷移の1/2 LSB手前とします。また「正のフルスケール」として使用するポイントは、最後のコード遷移を超えてから1/2 LSBのレベルとします。偏差は、この直線と各個別コードの中点の距離の測定値で表します。

### 微分非直線性(DNL)

理想的なA/DCのコード遷移は、正確に1 LSBだけ互いに離隔されています。DNLは、この理想的な値からの偏差を言います。このように、それぞれのコードは有限の幅を有していなければなりません。12ビットの分解能に対して「ノー・ミッシング・コード」が保証されているということは、すべての動作範囲にわたって、それぞれに対応する4096個のコードが存在することを意味します。

### オフセット・エラー

A/DCの最初のコード遷移は、定格ゼロ・スケール電圧を1/2 LSBを超えたレベルで発生する必要があります。オフセット・エラーは、最初のコード遷移に関する、理想的なレベルと実際のレベルの差を言います。

### ゲイン・エラー

最後のコード遷移は、定格フルスケールの手前1/2 LSBに対応するアナログ値で発生する必要があります。ゲイン・エラーは、最初と最後のコード遷移の差に関する、理想値と実測値の偏差を言います。

### 総合出力ノイズ

理想的なA/DCでは、DC入力電圧とコード出力の関係が一義的になります。しかし、実際のコンバータにはノイズがあり、1つのDC入力電圧に対して、出力におけるコードの分散を生じます。総合出力ノイズは、入力をグラウンドに接続して測定しますが、これは、出力コードのヒストグラムの標準偏差に等しくなります。

### チャンネル間クロストーク

理想的な3チャンネル・システムにおいては、1つのチャンネルの信号が他のチャンネルの信号レベルに影響を及ぼすといったことがありません。チャンネル間クロストーク仕様は、2つのチャンネルを変化させたとき、残り1つのチャンネルに生じる変化の測定値です。AD9816においては、1つのチャンネル入力をグラウンドに接続し、他の2つのチャンネルにフルスケールの信号を印加します。この状態で被測定チャンネルからの出力コードを測定し、3つのチャンネル入力をすべてグラウンドに接続した場合の出力と比較します。結果として得られたこれらの差をLSBで表し、チャンネル間クロストークとします。

### アパーチャ遅延

アパーチャ遅延は、AD9816にサンプリング・エッジを印加してから、実際の入力信号のサンプルがホールドされるまでの遅延時間です。CDSCLK1の場合、アパーチャ遅延は、CDSCLK1がハイからローに遷移した後、クランプスイッチが開くまでに要する時間を表します。また、CDSCLK2の場合のアパーチャ遅延は、CDSCLK2の立ち下がりエッジの後、入力信号のサンプリングが行われる時間を表します。

### 電源変動除去比

電源変動除去比は、電源電圧を仕様範囲にわたって変化させたとき、フルスケールにおける初期値との最大偏差を言います。

## 機能説明

AD9816は、3チャンネルCDSモード、3チャンネルSHAモード、1チャンネルCDSモード、および1チャンネルSHAモードで動作させることができます。それぞれのモードの選択は、シリアル・インターフェース経由でコンフィギュレーション・レジスタをプログラムすることによって行います。CDSモードまたはSHAモードの詳細については、回路説明のセクションを参照してください。

### 3チャンネルCDSモード

3チャンネルCDSモードにおいては、CCD出力からのレッド、グリーンおよびブルーの出力電圧をAD9816が同時サンプリングします。各相関ダブル・サンプリング(CDS)のサンプリング・ポイントは、CDSCLK1およびCDSCLK2によってコントロールされます。CDSCLK1の立ち下がりエッジは、AD9816のアナログ入力においてCCD波形のリファレンス・レベルをクランプします。一方、CDSCLK2の立ち下がりエッジは、CCD波形のデータ・レベルをサンプリングします。各CDSアンプは、これらのCCDのリファレンス・レベルとデータ・レベルの差を出力します。各CDSアンプの出力は、続いて、オフセットD/ACによってレベル・シフトされます。この電圧は、3基のプログラマブル・ゲイン・アンプによってスケールアップされ、さらに多重化の後、共通12ビットA/DCに渡されます。A/DCは、ADCCLKの立ち下がりエッジでPGAの出力を逐次サンプリングします。

2×マスター・クロックを使用するこのモードのタイミングを図1に示します。これは必須ではなく、推奨事項となることですが、CDSCLK2の立ち下がりエッジとADCCLKの立ち上がりエッジを一致させます。ただし、CDSCLK2の立ち上がりエッジは、その直前に発生したADCCLKの立ち下がりエッジより手前とはなりません。その関係を $t_{ADC2}$ として図示しました。したがって、CDSCLK2の最大許容パルス幅は、ADCCLKの間隔に依存し、ADCCLKの間隔から30 nsを減じた値に等しくなります。なお、出力データの遅延は、3クロック・サイクルになります。

レッド、グリーン、およびブルーの各チャンネルのオフセット値ならびにゲイン値は、シリアル・インターフェースを使用してプログラムします。マルチプレクサがチャンネルを切り替える順序は、MUXレジスタのプログラミングによって選択することができます。このマルチプレクサは、常にCDSCLK2の立ち上がりエッジでリセットされます。

### 3チャンネルSHAモード

3チャンネルSHAモードにおけるAD9816は、レッド、グリーンおよびブルーの入力電圧の同時サンプリングを行います。サンプル・アンド・ホールド・アンプのサンプリング・ポイントは、CDSCLK2によってコントロールされます。CDSCLK2の立ち下がりエッジは、各チャンネルの入力波形をサンプリングします。3基のSHAからの出力電圧は、オフセットD/ACによって補正された後、3基のPGAによってスケールアップされます。さらに各PGAの出力は多重化されて12ビットA/DCに渡されます。A/DCは、ADCCLKの立ち下がりエッジでPGAの出力を逐次サンプリングします。

入力信号は、OFFSETピンに印加された電圧を基準にしてサンプリングされます。OFFSETピンをグラウンドに接続しているときは、ゼロ・ボルトの入力がA/DCのゼロ・スケールの出力に対応します。このモードでは、入力クランプがディセーブルになります。しかしながら、このOFFSETピンは、オフセット粗調整ピンとして使用することもできます。このピンに印加した電圧は、AD9816の初段のアンプ段においてレッド、グリーンおよびブルーの入力電圧から差し引かれます。この詳細については、回路説明のセクションを参照してください。

1×マスター・クロックを使用するこのモードのタイミングを図2に示します。このモードでは、CDSCLK1をグラウンドに接続しておく必要があります。これは必須ではなく、推奨事項となること



ですが、CDSCLK2の立ち下がりエッジとADCCLKの立ち上がりエッジを一致させます。ただし、CDSCLK2の立ち上がりエッジは、その直前に発生したADCCLKの立ち下がりエッジより手前となつてはなりません。その関係を $t_{ADC2}$ として図示しました。したがって、CDSCLK2の最大許容パルス幅は、ADCCLKの間隔に依存し、ADCCLKの間隔から30 nsを減じた値に等しくなります。なお、出力データの遅延は、3クロック・サイクルになります。

レッド、グリーン、およびブルーの各チャンネルのオフセット値ならびにゲイン値は、シリアル・インターフェースを使用してプログラムします。マルチプレクサがチャンネルを切り替える順序は、MUXレジスタのプログラミングによって選択することができます。このマルチプレクサは、常にCDSCLK2の立ち上がりエッジでリセットされます。

### 1チャンネルCDSモード

このモードは、3チャンネルCDSモードとまったく同じ動作になります。相違点は、このモードにおいてはマルチプレクサが固定され、MUXレジスタによって指定されたチャンネルのみが処理される点です。このモードにおいてもAD9816が3チャンネルすべてのサンプリングを行うので、1200 pFのキャパシタを介して使用しない入力をグラウンドに接続しておく必要があります。

3×マスター・クロックを使用するこのモードのタイミングを図3に示します。これは必須ではなく、推奨事項となることですが、CDSCLK2の立ち下がりエッジとADCCLKの立ち上がりエッジを一致させます。

### 1チャンネルSHAモード

マルチプレクサが固定される点を除けば、このモードは、3チャンネルSHAモードとまったく同じ動作になります。このモードでは、MUXレジスタによって指定されたチャンネルだけが処理されます。ただし、このモードにおいてもAD9816が3チャンネルすべてのサンプリングを行うので、使用しない入力をグラウンドに接続しておく必要があります。

入力信号は、OFFSETピンに印加された電圧を基準にしてサンプリングされます。OFFSETピンをグラウンドに接続しているときは、ゼロ・ポルトの入力がA/Dのゼロ・スケールの出力に対応します。このモードでは、入力クランプがディセーブルになります。しかしながら、このOFFSETピンは、オフセット粗調整ピンとして使用することもできます。このピンに印加した電圧は、AD9816の初段のアンプ段においてレッド、グリーンおよびブルーの入力電圧から差し引かれます。この詳細については、回路説明のセクションを参照してください。

1×マスター・クロックを使用するこのモードのタイミングを図4に示します。このモードでは、CDSCLK1をグラウンドに接続して動作させる必要があります。これは必須ではなく、推奨事項となることですが、CDSCLK2の立ち下がりエッジとADCCLKの立ち上がりエッジを一致させます。

### レジスタ概要

AD9816に内蔵されている8基のレジスタのプログラムには、シリアル・インターフェースを使用します。AD9816のレジスタは、アドレス・ビットA2～A0によって特定され、レジスタに対する読み書きには、シリアル・データD7～D0が使用されます。

コンフィグレーション・レジスタは、AD9816の動作モードをコントロールします。ビット7(MSB) ビット6およびビット0はテスト・モード・ビットであり、必ずゼロにセットしなければなりません。ビット5をハイにセットすると、CDSモードがイネーブルになります。逆に、このビットをローにセットすれば、SHAモードがイネーブルになります。ビット4をハイにセットすると、3Vの入カスパンがイネーブルになります。また、ビット3をハイにセットすると、1.5Vの入カスパンがイネーブルになります。ビット2およびビット1は、チャンネル・モードをセットします。つまりビット2は、3チャンネル同時サンプリングをイネーブルします。これに対して、ビット1は、MUXレジスタにセットされているチャンネルを用いるシングル・チャンネル・モードをイネーブルします。なお、このレジスタのパワーオン時の標準設定は、表 に示すように、入カスパン3V、3チャンネルCDSモードになります。

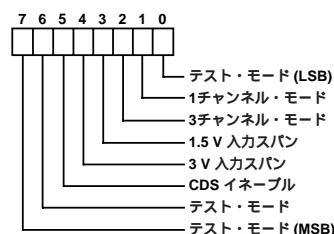


図7. コンフィグレーション・レジスタ

MUXレジスタは、各種動作モードにおいて、マルチプレクサが切り替えるチャンネルの順序を決定します。ビット7およびビット1はテスト・モード・ビットであり、必ずゼロにセットしなければなりません。ビット0もテスト・モードですが、ハイにセットします。3チャンネル・モードにおいては、表 に示すように、変換するチャンネルの順序をセットします。この場合、マルチプレクサは、CDSCLK2の立ち上がりエッジで常にリセットされます。1チャンネル・モードにおいては、マルチプレクサが固定されますが、変換するチャンネルは、表 に示すように選択します。このレジスタのパワーオン時の標準設定は、3チャンネルRGBモードになります。

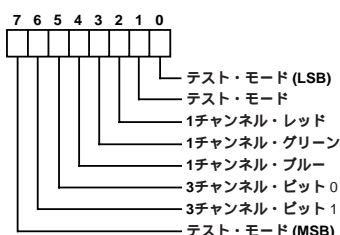


図8. MUX レジスタ

表 . レジスタ・マップ

A2	A1	A0	レジスタ	パワーオン時の標準設定値
0	0	0	コンフィグレーション・レジスタ	00110100 (LSB)
0	0	1	MUXレジスタ	00100001 (LSB)
0	1	0	レッドPGAレジスタ	不定
0	1	1	グリーンPGAレジスタ	不定
1	0	0	ブルーPGAレジスタ	不定
1	0	1	レッド・オフセット・レジスタ	不定
1	1	0	グリーン・オフセット・レジスタ	不定
1	1	1	ブルー・オフセット・レジスタ	不定

# AD9816

表 . 3チャンネル・モードの選択肢

MUXレジスタのビット		チャンネルの順序
6	5	
0	1	レッド, グリーン, ブルー
1	0	ブルー, グリーン, レッド

表 . 1チャンネル・モードの選択肢

MUXレジスタのビット			チャンネル
4	3	2	
0	0	1	レッド
0	1	0	グリーン
1	0	0	ブルー

オフセット電圧は、-100 mVから+100 mVまでの範囲で調整可能であり、PGAの手前で、CDSの出力に適用されます。これは8ビットの分解能を有し、サイン・アンド・マグニチュード・コーディング方式を使用しています。表 に、レジスタ値に対応するオフセット電圧を示します。

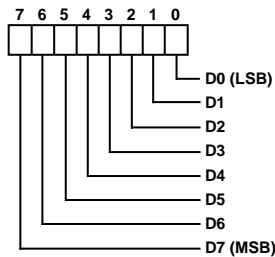


図9 . レッド, グリーンおよびブルー・チャンネルのオフセット・レジスタ

表 . オフセット調整

オフセット・レジスタ	オフセット電圧
0111 1111 (LSB)	+100 mV
.	.
.	.
.	.
0000 0001	+0.8 mV
0000 0000	0.0 mV
1000 0000	0.0 mV
1000 0001	-0.8 mV
.	.
.	.
.	.
1111 1111	-100 mV

PGAは、A/DCの手前でカラー不平衡の補正および入力パンの微調整に使用されます。ゲインは、1×から6×まで(0 dBから15.5 dBまで)の範囲を8ビットの分解能で調整できます。これにおいて、オール「ゼロ」ワード(00...0)は、最小ゲインに対応し、オール「ワン」ワード(11...1)は、最大ゲインに対応します。PGAのゲインは、ゲイン・ワードの増加と正比例して増加し、次式により求められます。

$$\text{PGAゲイン} = 1 + (\text{ゲイン・コード} / 51.2)$$

ただし、ゲイン・コードは、0から255までの値とします。詳細については、回路説明のセクションを参照してください。

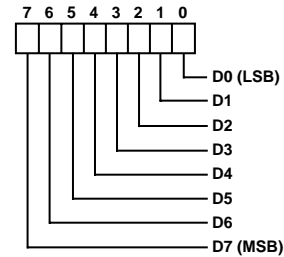


図10 . レッド, グリーンおよびブルー・チャンネルのPGAレジスタ

## シリアル・タイミング

3線式シリアル・インターフェースのタイミングを下図に示します。AD9816に書き込みを行うためには、まず、SLOADをローに引き込みます。次に、合計16ビットのデータをSDATAに送ると、SCLKの立ち上がりエッジでそれがラッチされます。このとき、余ったSCLKは無視されます。最初のビットR/Wはローにセットして書き込みオペレーションを指定します。続く3ビットA2~A0は、データ・ワードD7~D0の書き込み先のレジスタを指定するアドレス・ビットです。16ビットすべてのクロックが完了した後、SLOADをハイに引き上げれば、内部で対応するレジスタにデータがラッチされます。読み取りオペレーションの開始においても、同様に、まずSLOADをローに引き込みます。ただしこの場合は、最初のビットR/Wに「1」を書き込み、読み取りオペレーションであることを明示します。これに続く3ビットのアドレス・ビットA2~A0は、データを読み取るレジスタを指定します。SDATAは、8番目のSCLKの立ち下がりエッジから指定レジスタの情報の出力を開始します。8ビットのデータの読み取りを完了した後は、SLOADをハイに戻します。

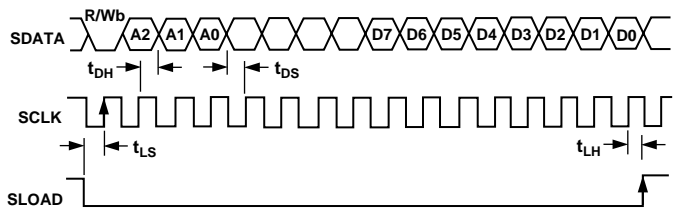


図11 . 書き込みオペレーションのタイミング

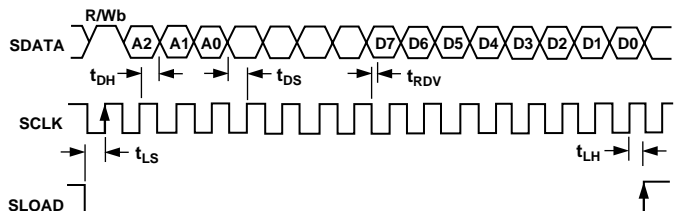


図12 . 読み取りオペレーションのタイミング

## 回路説明

## CDSモードおよびSHAモードのアナログ入力構成

## CDSモードの動作

図13に、CDSモードの動作を表す等価回路を示します。CCD信号は、結合キャパシタ $C_{IN}$ を通してAD9816のアナログ入力に印加されます。CDSCLK1パルスがハイの間は、クランプ・スイッチが閉じて外部で生成した3Vのバイアスがアナログ入力に印加されるので、この間にCCDリファレンス・レベルがクランプされます。クランプ・スイッチが開くと(CDSCLK1 = ロー)、 $C_{IN}$ がホールドしている電圧によってCCDデータ・レベルのレベル・シフトが行われ、CDSCLK2パルスがローに落ちたとき、SHAによる入力信号のサンプリングが行われます(CDSモードのタイミングについては図1および図3を参照してください)。このサンプリング・テクニックにおいては、CDS機能が入力キャパシタ $C_{IN}$ を通じて効果的に実行されます。

このCDS方式には、2つの問題点があります。第1は、入力キャパシタが必要になることから、AD9816にCCD信号をDC結合できないという点です。第2は、AD9816の入力クランプがピクセル・クランプとして機能し、真のCDS動作を実現するためには、それを各ピクセルごとにアサートしなければならないという点です。ライン・クランプ動作が好ましい場合には、各ラインの開始時にCDSCLK1を使用し、 $C_{IN}$ に適正なDC電圧をセットする方法があります。これによれば、各ラインの有効ピクセルの間において、CDSCLK1をローに維持する一方で、CDSCLK2により各ピクセルのデータ・レベルのサンプリングを行うことが可能です。図5に、ライン・クランプ動作のタイミングを示しました。

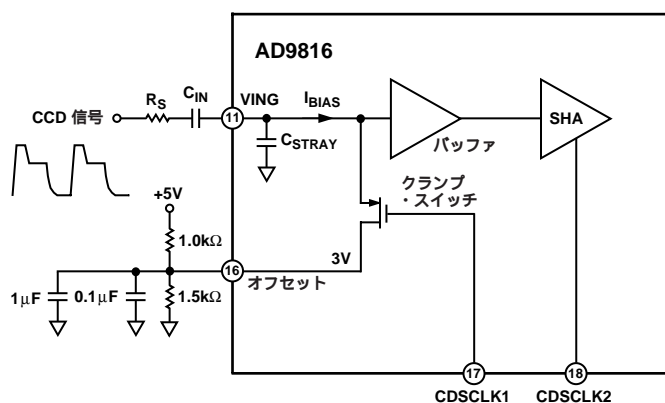


図13 . CDSモードの入力回路(全チャンネル共通)

## CDSモードの入力信号範囲

3Vの入力DCバイアス・レベルを使用した場合、CCDからの信号スイングは、最大で3V<sub>p-p</sub>まで許容されます。図14は、AD9816に対する標準的なフルスケール入力波形であり、許容可能入力範囲を表しています。リファレンス・レベルが3Vであれば、AD9816は、最

大でリファレンス・レベルの上側2Vまで、リセット・フィードスルーを許容できます。また、AD9816の入力についても、飽和復帰の問題を招くことなく、AVSS - 0.3Vまでの入力信号を扱うことが可能です。ゼロ・ボルト未満の入力レベルは、A/DCのフルスケール出力コードにクリップされますが、入力段からは、十分に迅速な応答が得られ、次のピクセルを直線入力範囲内で正確に処理することができます。AVSS - 0.3Vより低い信号があると、入力保護ダイオードがオンになり、この飽和状態からの回復には、数ミリ秒を要することになります。

入力キャパシタ $C_{IN}$ 

$C_{IN}$ に推奨されている値は、1200 pFです。これは、入力の減衰、直線性、および信号ドループという3つのファクタを考慮したとき、最良の包括的性能が得られることから選択された値です。これらのファクタについて理解されていれば、具体的なアプリケーション用に $C_{IN}$ の値を最適化してもよいでしょう。

## 1. 減衰(ゲイン・エラー)

入力電圧は、 $C_{IN}$ と $C_{STRAY}$ の相互作用によって減衰を受けます。 $C_{STRAY}$ は10 pF未満であり、 $C_{IN}$ が1200 pFであれば、これによる減衰は、約0.8%になります。 $C_{IN}$ を小さくすれば、それに伴ってゲイン・エラーが増加します。

## 2. 直線性

図8に示した $C_{STRAY}$ は、AD9816の入力キャパシタンスです。わずかなですが、このキャパシタンスの一部は、接合キャパシタンスであり、AD9816に対する入力電圧が変化すると非直線的に変化します。したがって、入力電圧が $C_{IN}$ と $C_{STRAY}$ の組み合わせによって減衰を受けるとき、この入力接合キャパシタンスによって、わずかながら非直線成分を生じます。1200 pFの $C_{IN}$ を使用するとき、3Vの入力スパンにわたり接合キャパシタンスによって惹き起こされる非直線性は、1 LSB(0.024%)にしかありません。ただし、これより容量の小さい $C_{IN}$ を用いたときには、非直線性が増加します。

## 3. ドループ

AD9816の入力バイアス電流は、通常、AD9816の入力電圧によることなく10 nAです。 $C_{IN}$ 両端に生じるドループは、次の式から求められます。

$$dV = \frac{i_{BIAS}}{C_{IN}} \times (t)$$

これにおいて $t$ は、クランプの時間的間隔を示しています。スキャンを行っているラインの隣接ピクセル間において、このドループが問題になることはほとんどありません。ライン間のスキャン間隔は1 msですが、その場合にもドループは約10 mVであり、次のラインの最初のピクセルを問題なくクランプすることができます。しかし、 $C_{IN}$ の容量を小さくすると、それにしたがってドループが増加してしまいます。

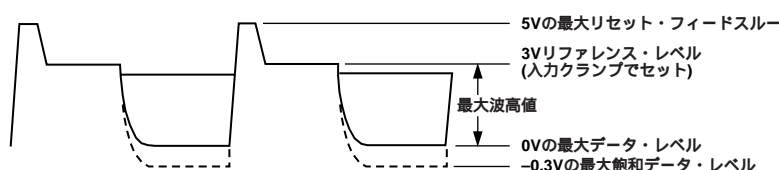


図14 . 3VにクランプされるCCD入力信号



# AD9816

## ライン・クランプ

ライン・クランプ・テクニックを実装する場合には(タイミングについては図5を参照してください)  $C_{IN}$  の値を1200 pFより高くする必要があります。ライン・クランプは、主として、スキャンを行うライン全体にわたって信号のドループを1 LSB未満に抑えるために必要になります。たとえば、有効ピクセル数5400のCCDを2 MHzでクロックする場合は、 $t = 2.7$  msです。フルスケールが3 Vのとき、12ビットにおける1 LSBは、732  $\mu$ Vになります。一方、上記のドループの式は、次のように書き直すことができます。

$$C_{MIN} = \frac{I_{BIAS}}{dV} \times t$$

$C_{IN}$  値を代入すると、この場合、 $C_{MIN} = 37$  nFが得られ、標準的なキャパシタを使用するのであれば、0.047  $\mu$ Fが適当ということになります。

## SHAモードの動作

AD9816をSHAモードの動作に構成すると、OFFSETピンがオフセット調整入力として機能します。図15は、SHAモード選択時のAD9816の入力を簡略化して示したブロック図です。OFFSETピンには、正のDC電圧が印加され、これがAD9816に備わる3つの入力チャンネルすべてから減じられます。SHAモードにおけるアナログ入力ピンもしくはOFFSETピンに対する最大入力電圧は、3 Vです。

OFFSET機能は、入力信号の粗調整を行うために備えられています。グラウンドを基準に信号のサンプリングを行う場合には、入力信号に含まれるあらゆる正のオフセットがADCのダイナミック・レンジから差し引かれます。たとえば、1.5 Vから2.5 Vまでの範囲にわたる入力信号は、1.5 Vのスパンおよび3 Vのスパンのいずれを用いても、有効ダイナミック・レンジを完全に使用することができません。しかしながら、OFFSETピンにDC 1.5 Vを印加することにより、入力信号が0 Vから1 Vまでの範囲にレベル・シフトされます。これにより、3 Vのスパンを使用し、PGAゲインを3とすれば、A/DCのダイナミック・レンジの全域が利用可能になります。

DCオフセットがまったく必要ないときは、OFFSETピンをグラウンドに固定します。その場合、入力信号のサンプリングは、グラウンドを基準に行われます。

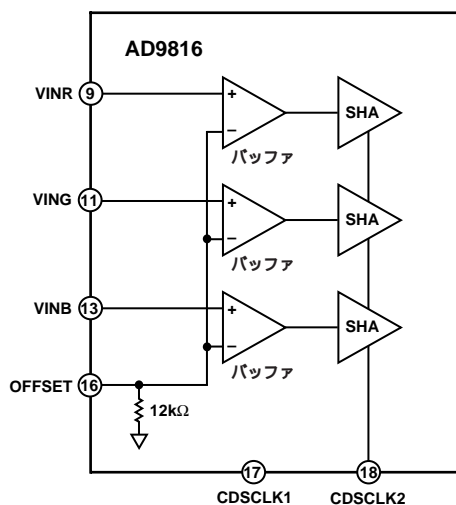


図15 . SHAモードの入力回路

## プログラマブル・ゲイン・アンプ

AD9816は、各チャンネルごとに1基、合計3基のプログラマブル・アンプを内蔵しています。ゲインは、1 V/V (0 dB) から5.98 V/V (15.5 dB) までの範囲を256段階に設定することができます。図16は、このPGAのゲインの伝達関数を示しています。PGAのゲインは、次式を用いても求められます。

$$PGA \text{ Gain} = 1 + \left[ \frac{\text{Gain Code}}{51.2} \right]$$

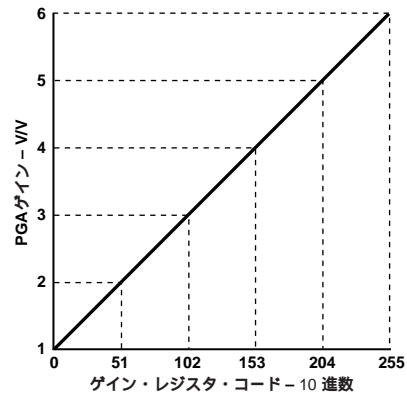


図16 . PGAゲインの伝達関数

PGAのアナログ出力は、多重化されて12ビットのA/DCに入力されます。MUXの差動出力は、内蔵バッファを介してピン43およびピン44(それぞれPGAOUT\_CおよびPGAOUT\_T)にも現れ、外部で使用することもできます。アナログ入力CDSCLK2、ADCCLK、およびPGAOUT\_CならびにPGAOUT\_Tの間のタイミング関係は、図1~4に示したタイミング図に示したようになります。CDSCLK2パルスは、3基のPGAの出力をすべて初期バイアス・レベルにリセットします。CDSCLK2の立ち上がりエッジの後に発生する最初のADCCLKの立ち上がりエッジは、MUXをレッドのPGA出力に切り替えます。これに続いて、2番目のADCCLKの立ち上がりエッジは、MUXをグリーンのPGA出力に切り替え、3番目のADCCLKの立ち上がりエッジは、MUXをブルーのPGA出力に切り替えます。

## PGA出力

PGAOUT\_C信号およびPGAOUT\_T信号は、A/DCへの差動入力を表し、相補的な関係を有しています。CDSCLK2がハイの間は、両方の信号とも3.5 Vにリセットされます。各出力の電圧スイングは、A/DCのフルスケール電圧の2分の1に等しく、中心電圧は3.5 Vです。アナログ入力電圧、PGA出力電圧、およびA/DC入力電圧の間の関係を表に示します。

図18は、各カラー・ピクセルのそれぞれの振幅に対応するPGA出力電圧を示しています。この例においては、レッド・ピクセルの振幅がもっとも高く、ブルー・ピクセルの振幅がもっとも低くなっています。なお、PGAOUT\_C出力およびPGAOUT\_T出力は、内部的にソース・フォロワによってバッファされるので、これらとADC入力信号は完全には一致しません。PGAOUT\_C出力およびPGAOUT\_T出力の使用は、評価の間にだけ限るものとし、AD9816の性能は、これら2つのピンに接続がある状態では保証されません。

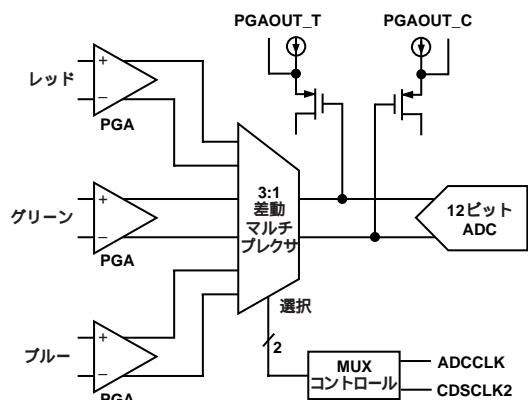


図17. PGA/MUX回路構成

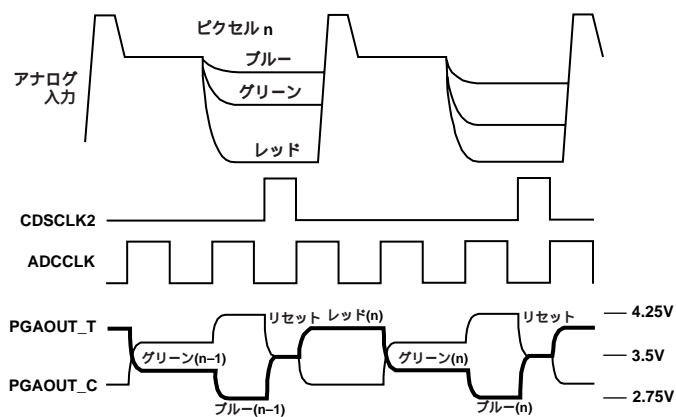


図18. PGA出力電圧(ADC入力スパン = 3 V)

表 . PGA出力の電圧スイング

アナログ入力電圧 <sup>1</sup>	PGAOUT_T	PGAOUT_C	差動ADC入力
0.0 <sup>2</sup>	2.75	4.25	1.5
1.5 <sup>2</sup>	3.50	3.50	0.0
3.0 <sup>2</sup>	4.25	2.75	+ 1.5
0.0 <sup>3</sup>	3.125	3.875	0.75
0.75 <sup>3</sup>	3.50	3.50	0.0
1.5 <sup>3</sup>	3.875	3.125	+ 0.75

注

1 CDSモードのアナログ入力電圧は、CCDのリファレンス・レベルとデータ・レベルの差です。

2 入力スパン = 3.0 V

3 入力スパン = 1.5 V

## アナログ・デジタル・コンバータ

AD9816には、高速12ビットADCコアが使用されています。このCMOSコンバータは、6 MSPS動作用に設計され、直線性とノイズ特性が優れています。図19に、図1に示したタイミングを使用し、3チャンネルCDSモード、6 MHzで動作する標準的なAD9816デバイスのINL特性およびDNL特性を示します。ここでは、タイミング・パラメータとして、 $t_{CRA} = 500$  ns、 $t_{ADCLK} = 83$  ns、 $t_{C1} = 20$  ns、 $t_{C1C2} = 170$  ns、 $t_{C1} = 80$  ns、 $t_{ADC2} = 3$  ns、 $t_{C2AD} = 83$  ns、 $t_{C2C1} = 230$  nsが使用されています。

AD9816のデジタル出力は、ストレート・バイナリ・コーディング方式に従っています。入力スパンが3 Vのときのデジタル出力コーディングを表 にまとめました。

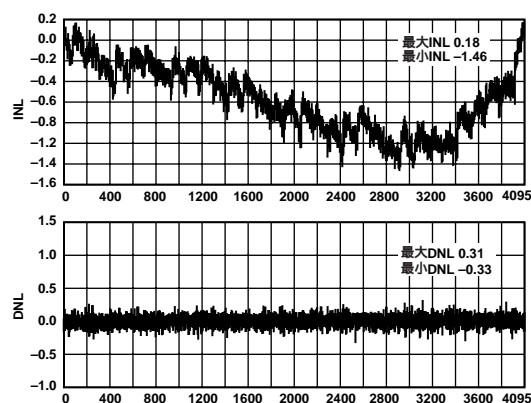


図19. 標準的な直線性能

表 . デジタル出力フォーマット

入力電圧 <sup>1</sup>	デジタル出力
3.0 - 1 LSB	1111 1111 1111
3.0 - 2 LSB	1111 1111 1110
0.0 + 1 LSB	0000 0000 0001
0.0	0000 0000 0000

注

1 CDSモードのアナログ入力電圧は、CCDのリファレンス・レベルとデータ・レベルの差です。

# AD9816

## アプリケーション情報

### CDSモードの回路

CDSモードの動作に推奨されている回路構成を図20に示します。入力結合キャパシタの推奨値は1200 pFですが、具体的なアプリケーションに合わせてこの値を調整することもできます(回路説明のセクションを参照してください)。AD9816には、単一のグラウンド面が推奨されています。DRVDD、つまりデジタル・ドライバ電源を

分けることもできますが、その場合にもAD9816の残りのピンと同様に、同じグラウンド面に対してこのピンを減結合する必要があります。デジタル出力は、デジタルASICまでのトレースを短くするか、あるいは外部デジタル・バッファを使用して負荷を最小にします。0.01  $\mu$ Fおよび 0.1  $\mu$ Fのキャパシタは、すべて可能な限りAD9816のピンに近づけて設置します。また、1200 pFの入力キャパシタもAD9816のアナログ入力ピンに近づける必要があります。

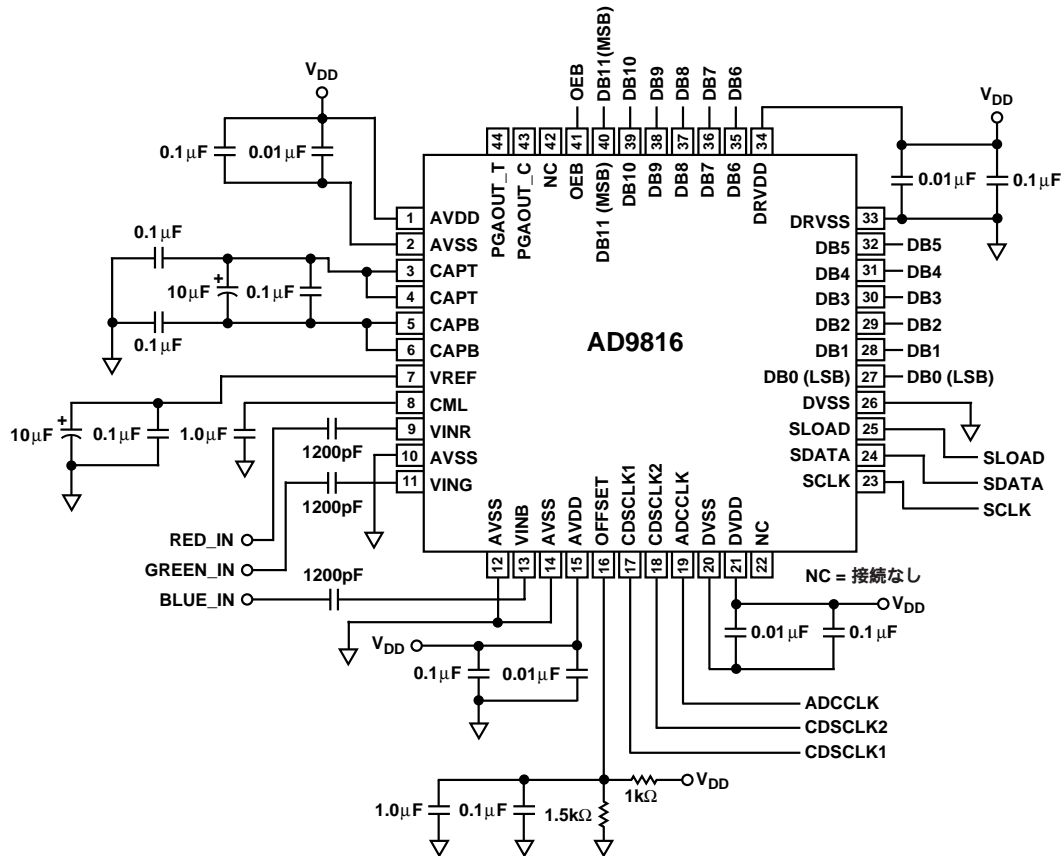


図20 . CDSモードの推奨回路

## SHAモードの回路

SHAモードの回路は、ほとんどCDSモードと同じですが、アナログ入力をDC結合する点、およびOFFSETピンをグラウンドもしくは所定のDC電圧に固定(回路説明のセクションを参照してください)する点が異なります。CISアプリケーションにおいては、CISのり

ファレンス黒レベルをOFFSETピンに接続してDCオフセットを除去することができます。CIS信号のオフセットを概略で除去しておけば、AD9816のダイナミック・レンジを最大に利用することが可能になります。

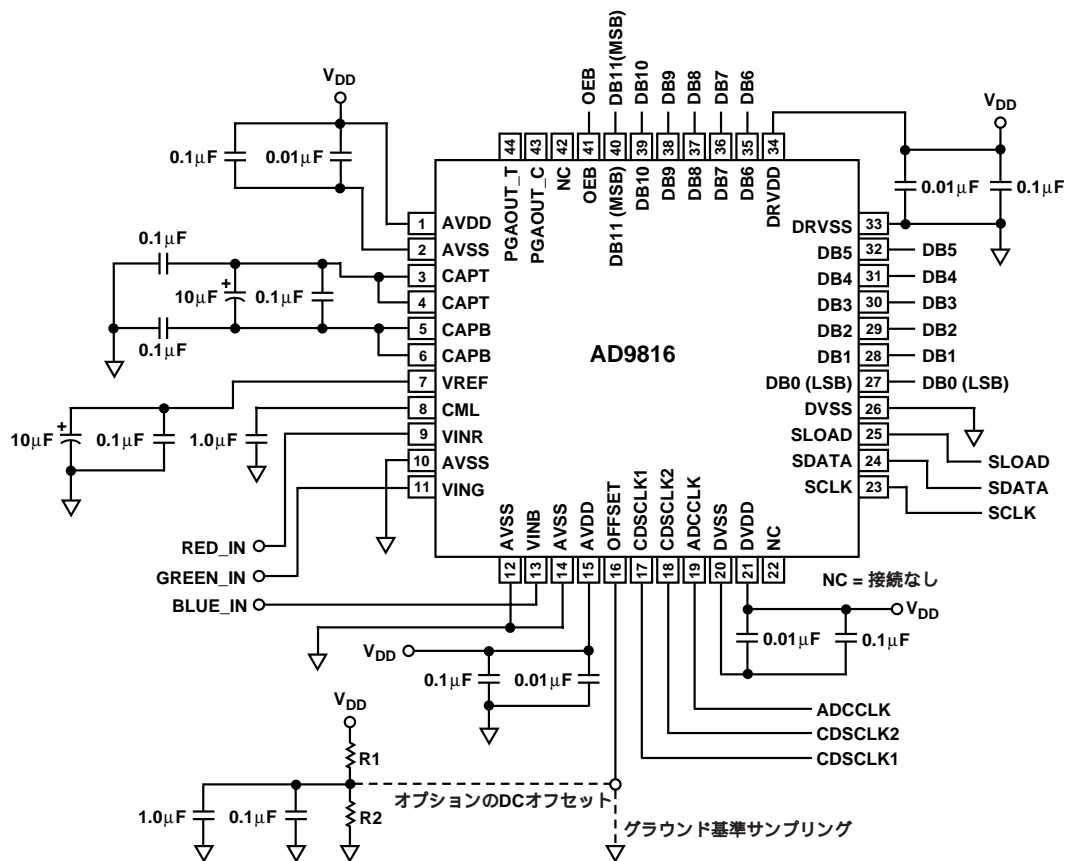


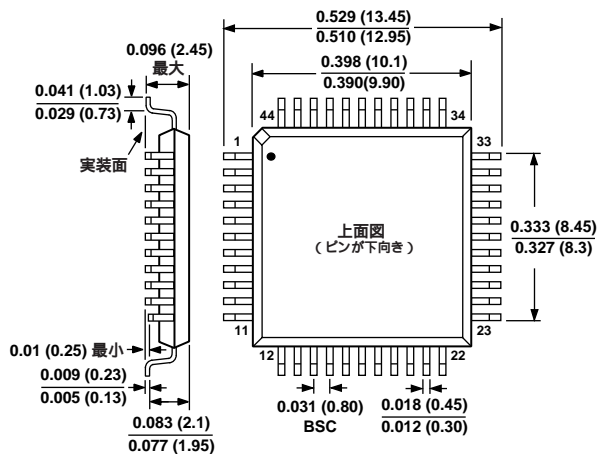
図21 . SHAモードの推奨回路



# AD9816

外形寸法  
サイズはインチと( mm )で示します。

44ピンMQFP  
( S - 44 )



D4134-2.7-11/99,1A

PRINTED IN JAPAN

