

特長

- 4ビットのトランスミットD/Aコンバータ×2
- 125MSPSの更新レート
- すぐれたSFDRおよびIMD：82dB
- すぐれたゲインおよびオフセットの一致：0.25%
- 完全に独立したゲイン制御
- デュアル・ポート・データまたはインターリーブ・データ
- 1.2Vリファレンスを内蔵
- +5Vまたは+3Vの単電源動作
- 低消費電力：365mW@5V
- パワーダウン・モード：50mW@5V
- 48ピンLQFPを採用

アプリケーション

通信

- 基地局
- デジタル合成
- 直交変調

概要

AD9767は、デュアル・ポートのCMOS、2チャンネル高速14ビットD/Aコンバータで、2個の高品質14ビットTxDAC+コア、リファレンス、デジタル・インターフェース回路を内蔵し、小型48ピンLQFPパッケージを採用しています。AD9767は極めてすぐれたAC性能とDC性能を提供し、最大125MSPSの更新レートをサポートしています。

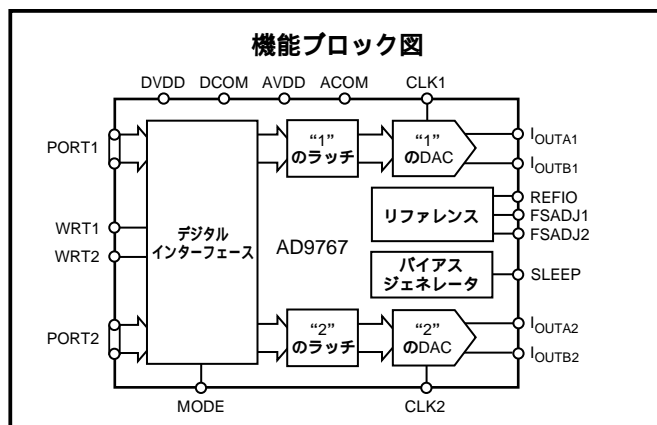
AD9767は、通信アプリケーションのIデータとQデータの処理向けに最適化されています。デジタル・インターフェースは、2系統のダブル・バッファ・ラッチと制御・ロジックで構成されています。別々の入力ピンを持っているため、互いに独立したデータを2個のD/Aコンバータに書き込むことができます。別々のクロックにより、D/Aコンバータの更新レートを制御します。

モード制御ピンを使うと、AD9767を2個のデータ・ポート、または1個のインターリーブ高速データ・ポートにインターフェースさせることができます。インターリーブ・モードでは、入力データ・ストリームがディ・マルチプレクスされて、IデータとQデータに復元され、ラッチされます。IデータとQデータは、その後で2個のD/Aコンバータで変換され、入力データの半分のレートで更新されます。

D/Aコンバータでは、セグメント化電流源アーキテクチャを当社独自のスイッチング技術と組合せて使用して、グリッチ・エネルギーを削減し、かつダイナミック精度を最大にしています。各D/Aコンバ

TxDAC+ はAnalog Devices, Incの登録商標です。

* 特許出願中



ータは差動電流出力を持っているため、シングルエンドまたは差動のアプリケーションをサポートできます。両D/Aコンバータは同時に更新することができ、20mAの公称フル・スケール電流を出力します。2個のD/Aコンバータのフル・スケール電流は、0.25%以内で一致しています。

AD9767は、最新のロー・コストCMOSプロセスにより製造されており、3.0～5.5Vの単電源で動作し、365mWの電力を消費します。

製品のハイライト

- AD9767は、10ビット、12ビット、14ビットの分解能を提供する、ピン・コンパチブルのデュアルTxDACファミリに属します。
- 14ビット、125MSPSのデュアルD/Aコンバータです。I情報とQ情報のフレキシブルな転送を低歪みで実現するように最適化された、高性能D/Aコンバータ・ペアです。
- ゲインはフル・スケールの0.25%(typ)内で一致し、オフセットは0.025%内で一致しています。
- 低消費電力。完全なCMOSデュアルD/Aコンバータ機能が、消費電力365mWで2.77～5.5Vの単電源で動作します。D/Aコンバータのフル・スケール電流を減少させて低消費電力で動作することができ、低消費電力アイドル周期用のスリープ・モードが用意されています。
- リファレンスを内蔵。AD9767は1.20Vの温度補償済みバンドギャップ・リファレンスを内蔵しています。
- 2系統の14ビット入力。AD9767はフレキシブルなデュアル・ポート・インターフェースを内蔵しているため、2系統の入力データまたはインターリーブされた入力データを扱うことができます。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

AD9767 - 仕様

DC仕様 (特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = +5V$ 、 $DVDD = +5V$ 、 $I_{OUTFS} = 20mA$)

パラメータ	Min	Typ	Max	単位
分解能	14			ビット
DC精度 ¹				
積分直線性誤差 (INL)				
$T_A = +25$	-3.5	± 1.5	+3.5	LSB
$T_{MIN} \sim T_{MAX}$	-5.0		+5.0	LSB
微分非直線性 (DNL)				
$T_A = +25$	-2.5	± 1.0	+2.5	LSB
$T_{MIN} \sim T_{MAX}$	-3.5		+3.5	LSB
アナログ出力				
オフセット誤差	-0.02		+0.02	FSRに対する%
ゲイン誤差 (内部リファレンス不使用時)		± 0.5		FSRに対する%
ゲイン誤差 (内部リファレンス使用時)		± 1		FSRに対する%
ゲイン一致		0.25		FSRに対する%
フル・スケール出力電流 ²	2.0		20.0	mA
出力適合範囲	-1.0		1.25	V
出力抵抗		100		k
出力容量		5		pF
リファレンス出力				
リファレンス電圧	1.14	1.20	1.26	V
リファレンス出力電流 ³		100		nA
リファレンス入力				
入力適合範囲	0.1		1.25	V
リファレンス入力抵抗			1	M
小信号帯域幅		0.5		MHz
温度係数				
オフセット・ドリフト		0		FSR/ に対するppm
ゲイン・ドリフト (内部リファレンス不使用時)		± 50		FSR/ に対するppm
ゲイン・ドリフト (内部リファレンス使用時)		± 100		FSR/ に対するppm
リファレンス電圧ドリフト		± 50		ppm/
電源				
電源電圧				
AVDD	3	5.0	5.5	V
DVDD	2.7	5.0	5.5	V
アナログ電源電流 (I_{AVDD})		68	78	mA
デジタル電源電流 (I_{DVDD}) ⁴		5	7	mA
電源電流スリープ・モード (I_{AVDD})		8	12	mA
消費電力 ⁴ (5V、 $I_{OUTFS} = 20mA$)		365	425	mW
消費電力 ⁵ (5V、 $I_{OUTFS} = 20mA$)		450		mW
電源変動除去比 ⁶ AVDD	-0.4		+0.4	FSRに対する%/V
電源変動除去比 ⁶ DVDD	-0.025		+0.025	FSRに対する%/V
動作範囲	-40		+85	

注

- I_{OUTA} で測定。仮想グラウンドを駆動。
- 公称フル・スケール電流 I_{OUTFS} は、IREF電流の32倍です。
- すべての外部負荷は、100nAより小さい入力バイアス電流を持つ外付けのバッファ・アンプを使って駆動する必要があります。
- $f_{CLOCK} = 25MSPS$ および $f_{OUT} = 1.0MHz$ で測定。
- $I_{OUTFS} = 20mA$ 、 $R_{LOAD} = 50$ 、 $f_{CLOCK} = 100MSPS$ 、 $f_{OUT} = 40MHz$ で、バッファなし電圧出力として I_{OUTA} と I_{OUTB} で測定。
- $\pm 5\%$ 電源変動。

仕様は予告なく変更されることがあります。

ダイナミック仕様 (特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = +5V$ 、 $DVDD = +5V$ 、 $I_{OUTFS} = 20mA$ 、差動トランス結合出力、両端終端50)

パラメータ	Min	Typ	Max	単位
ダイナミック特性				
最大出力更新レート (f_{CLOCK})	125			MSPS
出力セトリング・タイム (t_{ST}) (0.1%に整定) ¹		35		ns
出力伝搬遅延 (t_{PD})		1		ns
グリッチ・インパルス		5		pV-s
出力立上がり時間 (10~90%)		2.5		ns
出力立下がり時間 (10~90%)		2.5		ns
出力ノイズ ($I_{OUTFS} = 20mA$)		50		pA/ Hz
出力ノイズ ($I_{OUTFS} = 2mA$)		30		pA/ Hz
AC直線性				
ナイキスト周波数までのスプリアス・フリー・ダイナミック・レンジ				
$f_{CLOCK} = 25MSPS$; $f_{OUT} = 1.00MHz$				
0dBFS出力; $T_A = +25$	71	82		dBc
-6dBFS出力		80		dBc
-12dBFS出力		79		dBc
-18dBFS出力		77		dBc
$f_{CLOCK} = 65MSPS$; $f_{OUT} = 1.00MHz$		82		dBc
$f_{CLOCK} = 65MSPS$; $f_{OUT} = 2.51MHz$		80		dBc
$f_{CLOCK} = 65MSPS$; $f_{OUT} = 5.02MHz$		79		dBc
$f_{CLOCK} = 65MSPS$; $f_{OUT} = 14.02MHz$		70		dBc
$f_{CLOCK} = 65MSPS$; $f_{OUT} = 25MHz$		55		dBc
$f_{CLOCK} = 125MSPS$; $f_{OUT} = 25MHz$		67		dBc
$f_{CLOCK} = 125MSPS$; $f_{OUT} = 40MHz$		70		dBc
ウィンドウ内のスプリアス・フリー・ダイナミック・レンジ				
$f_{CLOCK} = 25MSPS$; $f_{OUT} = 1.00MHz$; 2MHzスパン	82	91		dBc
$f_{CLOCK} = 50MSPS$; $f_{OUT} = 5.02MHz$; 2MHzスパン		84		dBc
$f_{CLOCK} = 65MSPS$; $f_{OUT} = 5.03MHz$; 2.5MHzスパン		84		dBc
$f_{CLOCK} = 125MSPS$; $f_{OUT} = 5.04MHz$; 4MHzスパン		84		dBc
全高調波歪み				
$f_{CLOCK} = 25MSPS$; $f_{OUT} = 1.00MHz$; $T_A = +25$		-81	-71	dBc
$f_{CLOCK} = 50MSPS$; $f_{OUT} = 2.00MHz$		-79		dBc
$f_{CLOCK} = 65MSPS$; $f_{OUT} = 2.00MHz$		-79		dBc
$f_{CLOCK} = 125MSPS$; $f_{OUT} = 2.00MHz$		-79		dBc
複数周波数電力比 (110kHz間隔で8周波数)				
$f_{CLOCK} = 65MSPS$; $f_{OUT} = 2.00 \sim 2.99MHz$				
0dBFS出力		78		dBc
-6dBFS出力		76		dBc
-12dBFS出力		74		dBc
-18dBFS出力		70		dBc

注

1 シングルエンド50 負荷で測定。

仕様は予告なく変更されることがあります。

AD9767-仕様

デジタル仕様 (特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = +5V$ 、 $DVDD = +5V$ 、 $I_{OUTFS} = 20mA$)

パラメータ	Min	Typ	Max	単位
デジタル入力				
ロジック"1"電圧@DVDD = +5V ¹	3.5	5		V
ロジック"1"電圧@DVDD = +3V	2.1	3		V
ロジック"0"電圧@DVDD = +5V ¹		0	1.3	V
ロジック"0"電圧@DVDD = +3V	0		0.9	V
ロジック"1"電流	-10		+10	μA
ロジック"0"電流	-10		+10	μA
入力容量		5		pF
入力セットアップ時間 (t_S)	2.0			ns
入力ホールド時間 (t_H)	1.5			ns
ラッチ・パルス幅 (t_{LPW})	3.5			ns

注
1 DVDD = +5V、ロジック1電圧 = +3.5V、ロジック0電圧 = 1.3Vの場合、 I_{VDD0} は f_{CLOCK} に応じて最大10mAまで増加することがあります。

仕様は予告なく変更されることがあります。

絶対最大定格*

パラメータ	基準	Min	Max	単位
AVDD	ACOM	-0.3	+6.5	V
DVDD	DCOM	-0.3	+6.5	V
ACOM	DCOM	-0.3	+0.3	V
AVDD	DVDD	-6.5	+6.5	V
CLOCK、SLEEP	DCOM	-0.3	DVDD+0.3	V
デジタル入力	DCOM	-0.3	DVDD+0.3	V
I_{OUTA} 、 I_{OUTB}	ACOM	-1.0	AVDD+0.3	V
COMP1	ACOM	-0.3	AVDD+0.3	V
REFIO、FSADJ	ACOM	-0.3	AVDD+0.3	V
ACOM1	ACOM	-0.3	+0.3	V
接合温度			+150	
保管温度		-65	+150	
ピン温度 (10秒)			+300	

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ オプション*
AD9767AST	-40 ~ +85	48ピンLQFP	ST-48
AD9767-EB		評価ボード	

*ST = 薄型プラスチック・クワッド・フラットパック

熱特性

熱抵抗

48ピンLQFP

$J_A = 91 \text{ /W}$

注意

ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。

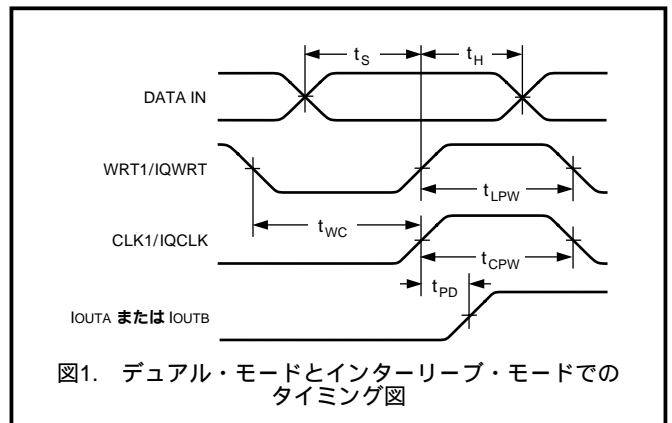


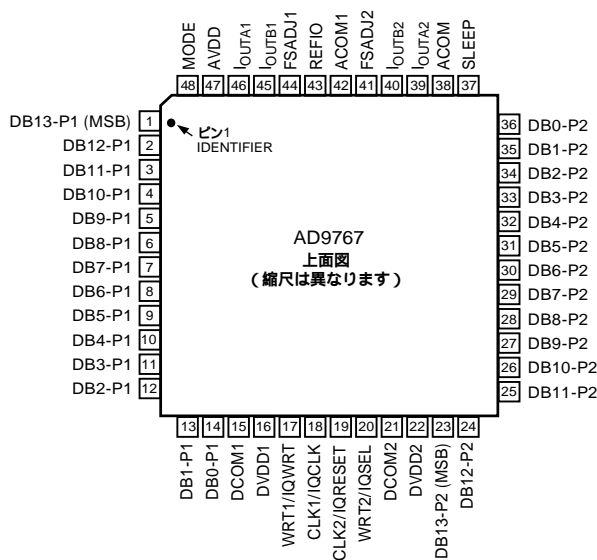
図1. デュアル・モードとインターリーブ・モードでのタイミング図



ピン機能説明

ピン番号	名前	説明
1~14	PORT1	データ・ビットDB13-P1~DB0-P1。
15、21	DCOM1、DCOM2	デジタル・コモン。
16、22	DVDD1、DVDD2	デジタル電源電圧 (3~5.5V)。
17	WRT1/IQWRT	PORT1に対する入力書込み信号 (IQWRTはインターリーブ・モード)。
18	CLK1/IQCLK	D/AC1に対するクロック入力 (IQCLKはインターリーブ・モード)。
19	CLK2/IQRESET	D/AC2に対するクロック入力 (IQRESETはインターリーブ・モード)。
20	WRT2/IQSEL	PORT2に対する入力書込み信号 (IQSELはインターリーブ・モード)。
23~36	PORT2	データ・ビットDB13-P2~DB0-P2。
37	SLEEP	パワーダウン制御入力。
38	ACOM	アナログ・コモン。
39、40	I _{OUTA2} 、I _{OUTB2}	"PORT2"のD/AC差動電流出力。
41	FSADJ2	D/AC2のフル・スケール電流出力調整。
42	ACOM1	内蔵リファレンスの基準グランド。
43	REFIO	リファレンス入力/出力。
44	FSADJ1	D/AC1のフル・スケール電流出力調整。
45、46	I _{OUTB1} 、I _{OUTA1}	"PORT1"のD/AC差動電流出力。
47	AVDD	アナログ電源電圧 (3~5.5V)。
48	MODE	モード・セレクト。デュアルまたはインターリーブ・モードを選択。

ピン配置



AD9767

仕様の定義

直線性誤差（積分非直線性すなわちINLとも呼ばれます）

直線性誤差は、ゼロとフル・スケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大偏差として定義されます。

微分非直線性（すなわちDNL）

DNLは、デジタル入力コードでの1LSBの変化に対応するアナログ値の変化の測定値で、フル・スケールで正規化したものです。

単調性

デジタル入力が増加したとき、出力が増加または不変の場合に、D/Aコンバータは単調であるといえます。

オフセット誤差

出力電流の理論出力ゼロからの偏差をオフセット誤差と呼びます。I_{OUTA}では、全入力ビットが"0"の場合、0mA出力が期待されます。I_{OUTB}では、全入力ビットが"1"の場合、0mA出力が期待されます。

ゲイン誤差

理論出力スパンと実際の出力スパンの差をいいます。実際の出力スパンは、全入力ビットが"1"に設定されたときの出力から全入力ビットが"0"に設定されたときの出力を減算したときの差として定義されます。

出力適合範囲

電流出力型D/ACの出力における許容電圧範囲。最大適合値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性性能が発生することがあります。

温度ドリフト

温度ドリフトは、周囲温度（+25℃）値からT_{MIN}またはT_{MAX}温度での値の最大変化として規定されます。オフセット及びゲイン・ドリフトの場合、ドリフトは1当たりのフル・スケール範囲（FSR）に対するppm値で表されます。リファレンス・ドリフトの場合は、ドリフトは1当たりのppm値（ppm/℃）で表されます。

電源除去

電源が公称値から最小規定電圧値と最大規定電圧値へ変化したときの、フル・スケール出力の最大変化です。

セトリング・タイム

出力が最終値の規定誤差範囲内に到達し、安定するまでに要する時間で、出力遷移の開始から測定します。

グリッチ・インパルス

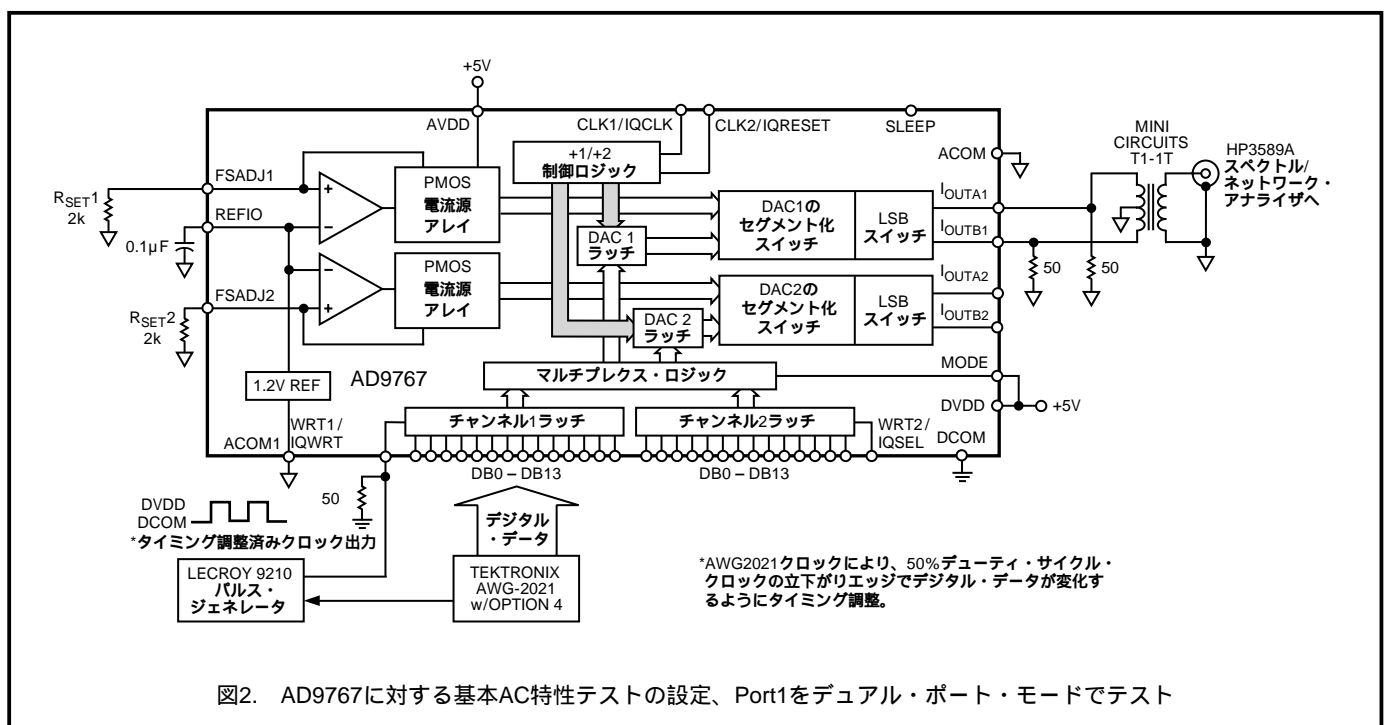
D/Aコンバータ内でのスイッチ切替え時間の非対称性のために発生する、望ましくない出力過渡電圧で、グリッチ・インパルスとして数量化されたもの。グリッチ内の実効面積として単位pV-sで規定します。

スプリアス・フリー・ダイナミック・レンジ

出力信号のrms振幅値と規定帯域内のピーク・スプリアス信号との差をい、dB値で表します。

全高調波歪み（THD）

THDは、測定された入力信号のrms値と最初の6種類の高調波成分のrms値の和との比をい、パーセント値またはデシベル値（dB）で表されます。



代表的なAC特性曲線 +5V電源

(特に指定のない限り、 $AVDD = +5V$ 、 $DVDD = +3.3V$ 、 $I_{OUTFS} = 20mA$ 、50 の両端終端、差動出力、 $T_A = +25$ 、ナイキスト周波数までのSFDR)

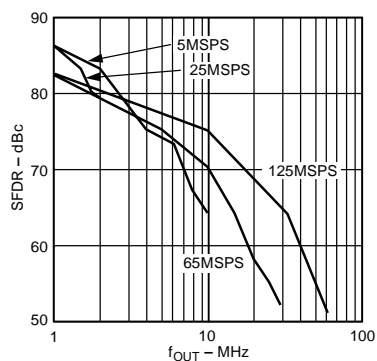


図3. SFDRと f_{OUT} @ 0 dBFS

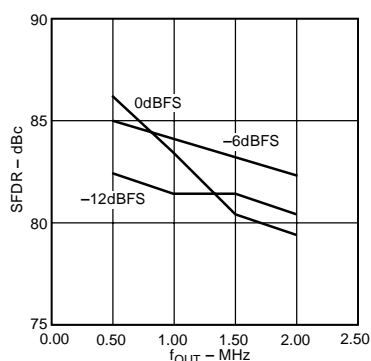


図4. SFDRと f_{OUT} @ 5 MSPS

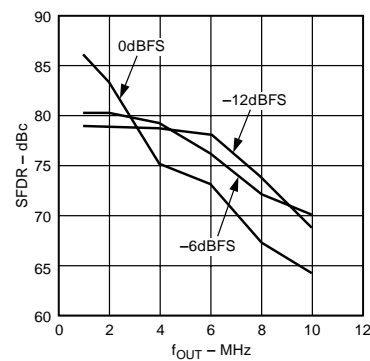


図5. SFDRと f_{OUT} @ 25 MSPS

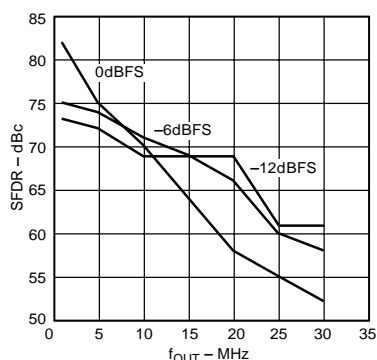


図6. SFDRと f_{OUT} @ 65 MSPS

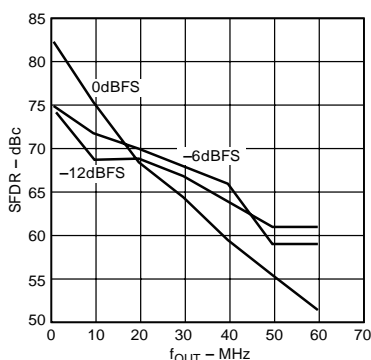


図7. SFDRと f_{OUT} @ 125 MSPS

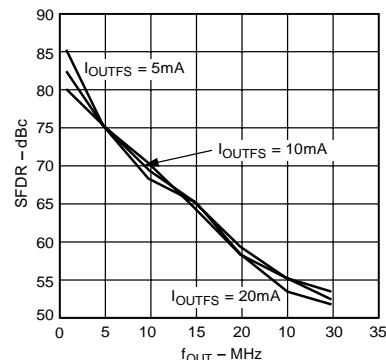


図8. SFDRと f_{OUT} および I_{OUTFS} @ 65 MSPSおよび0 dBFS

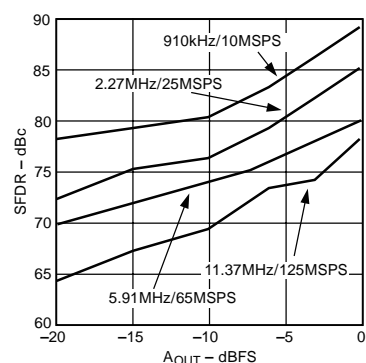


図9. 1周波数のSFDRと A_{OUT} @ $f_{OUT} = f_{CLOCK}/11$

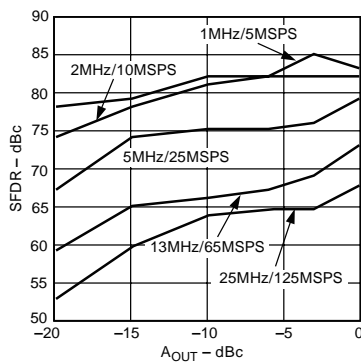


図10. 1周波数のSFDRと A_{OUT} @ $f_{OUT} = f_{CLOCK}/5$

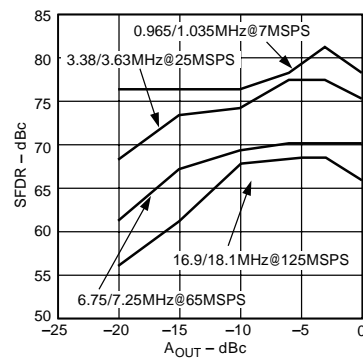


図11. 2周波数のSFDRと A_{OUT} @ $f_{OUT} = f_{CLOCK}/7$

AD9767

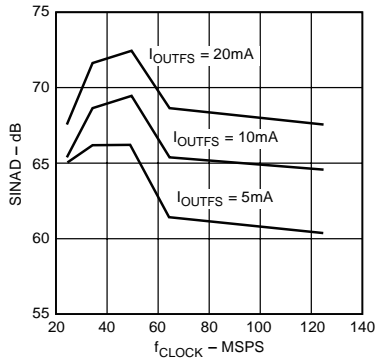


図12. SINADと f_{CLOCK} および I_{OUTFS}
@ $f_{\text{OUT}} = 5 \text{ MHz}$ および 0 dBFS

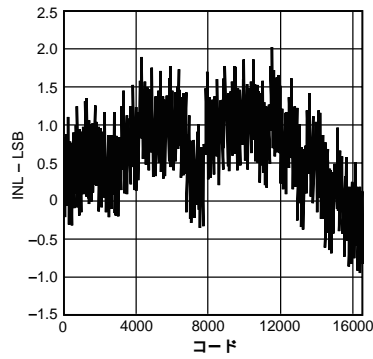


図13. INL (typ値)

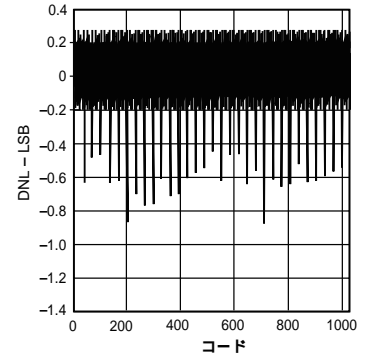


図14. DNL (typ値)

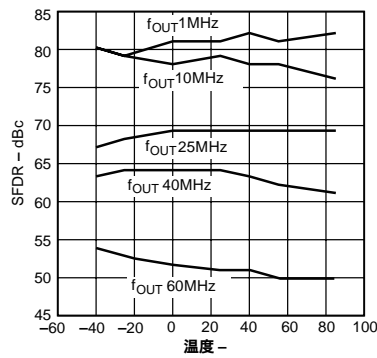


図15. SFDRと温度 @ 125 MSPS,
 0 dBFS

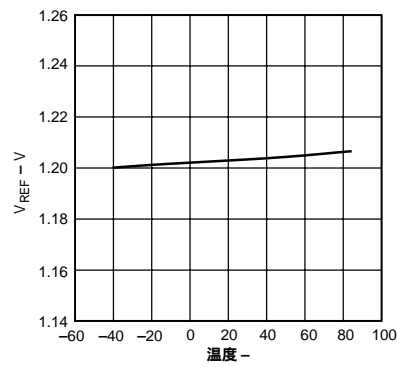


図16. リファレンス・ドリフトと温度

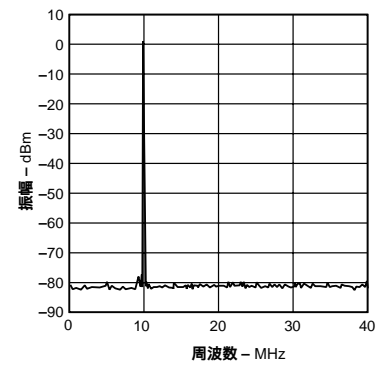


図17. 1周波数のSFDR
@ $f_{\text{CLK}} = 125 \text{ MSPS}$

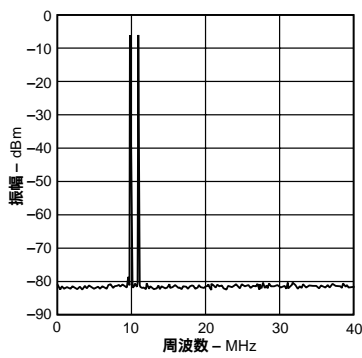


図18. 2周波数のSFDR
@ $f_{\text{CLK}} = 125 \text{ MSPS}$

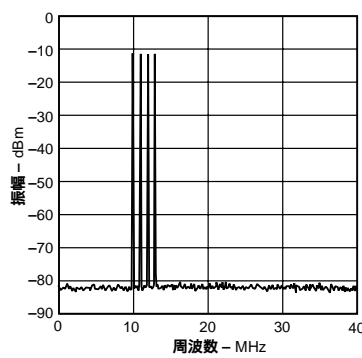
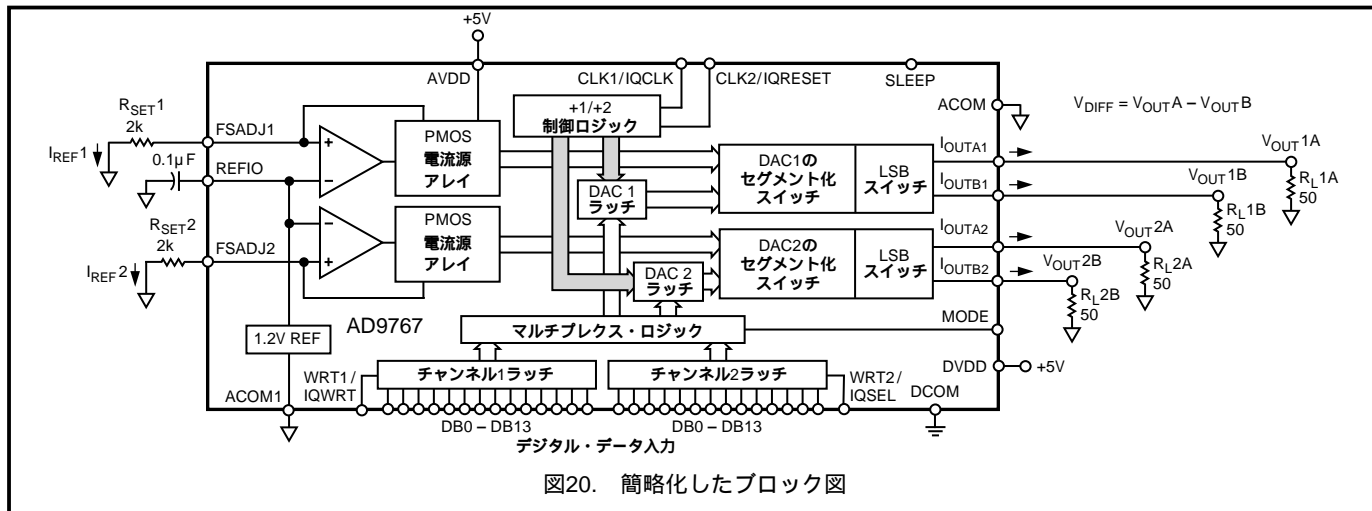


図19. 4周波数のSFDR
@ $f_{\text{CLK}} = 125 \text{ MSPS}$



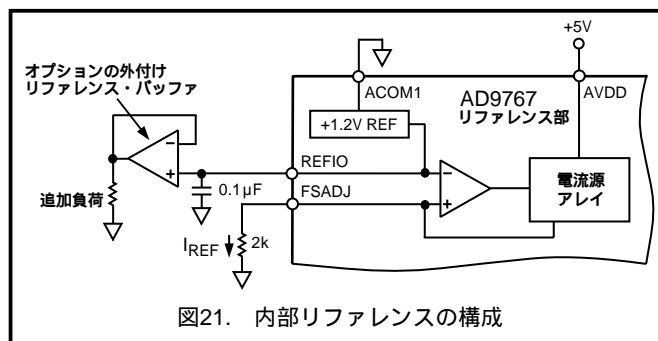
機能説明

図20に、簡略化したAD9767のブロック図を示します。AD9767は、それぞれ独立したデジタル制御ロジックとフル・スケール出力電流制御を持つ2つのD/Aコンバータから構成されています。各D/ACには、最大20 mAのフル・スケール電流 (I_{OUTFS}) を供給できるPMOS電流源アレイが内蔵されています。アレイは31個の等しい電流に分割され、これが5ビットの最上位ビット(MSB)を構成しています。次の下位4ビット(中位ビット)は、MSB電流源の1/16の値を持つ15個の等しい電流源で構成されます。残りの下位ビット(LSB)は、中位ビット電流源の2進数の分数で構成されます。中位ビットと下位ビットを、R-2Rラダー回路ではなく電流源で構成することにより、複数周波数または低振幅の信号に対するダイナミック性能を改善し、D/ACの高出力インピーダンス(100k以上)の維持を助けています。

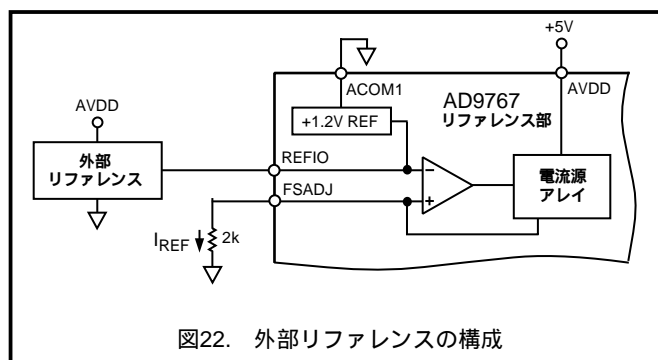
すべての電流源はPMOS差動電流スイッチを経由して、2つの出力ノード(I_{OUTA} または I_{OUTB})のいずれかに接続されます。スイッチは、歪み性能を根本的に改善する新しいアーキテクチャに基づいています。この新しいスイッチ・アーキテクチャは各種のタイミング誤差を減少させ、差動電流スイッチの入力にマッチした相補駆動信号を出力します。AD9767のアナログ部とデジタル部は、別々の電源入力(AVDDとDVDD)を持ち、3~5.5Vで独立して動作できます。最大125MSPSのクロック・レートで動作可能なデジタル部は、エッジ・トリガ・ラッチとセグメント・デコーディング・ロジック回路で構成されています。アナログ部には、PMOS電流源、対応する差動スイッチ、1.20Vのバンドギャップ・リファレンス、リファレンス制御アンプが含まれています。各D/ACのフル・スケール出力電流は別々のリファレンス制御アンプでレギュレーションされ、外付け抵抗 R_{SET} を使って2~20mAの範囲で設定できます。外付け抵抗 R_{SET} はフル・スケール調整ピン(FSADJ)に接続し、リファレンス制御アンプ、リファレンス V_{REFIO} との組み合わせで、基準電流 I_{REF} を設定します。この基準電流は、適切なスケール・ファクタを使ってセグメント化電流源に写されます。フル・スケール電流 I_{OUTFS} は、 I_{REF} 値の32倍になります。

リファレンスの動作

AD9767には1.20Vのバンドギャップ・リファレンスが内蔵されています。リファレンスは、性能に影響を与えることなく、代わりに外部リファレンスを接続することができます。内部リファレンスまたは外部リファレンスの選択に応じて、REFIOは入力または出力として機能します。内部リファレンスを使用するときは、REFIOとACOM1の間に0.1 μ Fコンデンサを接続します。内部リファレンスがREFIOに出力されます。REFIOの電圧を外部回路で使用する場合は、100nA以下の入力バイアス電流を持つ外部アンプによりREFIOをバッファする必要があります。図21に、内部リファレンスの使用例を示します。



外部リファレンスをREFIOに接続することができます(図22)。外部リファレンスは、精度とドリフト性能を改善する固定リファレンスまたはゲイン制御用の可変リファレンスを接続することができます。内部リファレンスがディスエーブルされ、REFIOの比較的高い入力インピーダンスが外部リファレンスの負荷で最小にするため、0.1 μ Fの補償コンデンサが不要であることに注意してください。



AD9767

リファレンス制御アンプ

AD9767の両D/Aコンバータには、フル・スケール出力電流 I_{OUTFS} をレギュレーションする内部制御アンプも内蔵されています。制御アンプがV-Iコンバータとして構成(図21)されるため、式4に示すように、電流出力 I_{REF} は V_{REFIO} と外部抵抗 R_{SET} の比で決定されます。式3に示すように、 I_{REF} は適切なスケール・ファクタを使ってセグメント化電流源にコピーされて、 I_{OUTFS} を設定します。

制御アンプは、 I_{REF} を62.5 ~ 625 μ Aに設定することで、 $I_{OUTFS} = 2 \sim 20$ mAの広い調整範囲(10:1)が可能です。 I_{OUTFS} の広い調整範囲には、幾つかの利点があります。1つ目の利点はAD9767の消費電力に直接関係し、消費電力が I_{OUTFS} に比例することです(消費電力の項を参照)。2つ目の利点は20dBの調整に関係し、システム・ゲインの制御に役立ちます。

リファレンス制御アンプの小信号帯域幅は約500kHzで、低周波数の小信号帯域増幅アプリケーションに使用することができます。

D/Aコンバータ伝達関数

AD9767の両D/ACは相補電流出力 I_{OUTA} と I_{OUTB} を持っています。全ビットがハイ(DAC CODE = 16383)のとき、 I_{OUTA} はほぼフル・スケール電流出力 I_{OUTFS} を出力し、このとき相補出力 I_{OUTB} の出力電流はゼロになります。 I_{OUTA} と I_{OUTB} の電流出力は入力コード及び I_{OUTFS} の関数であり、次式で表されます。

$$I_{OUTA} = (\text{DAC CODE}/16384) \times I_{OUTFS} \quad (1)$$

$$I_{OUTB} = (16383 - \text{DAC CODE}) / 16384 \times I_{OUTFS} \quad (2)$$

ここで、DAC CODE = 0 ~ 16383 (10進数)

前述のように、 I_{OUTFS} は基準電流 I_{REF} の関数であり、 I_{REF} は通常、リファレンス V_{REFIO} と外部抵抗 R_{SET} により設定されます。次のように表すことができます。

$$I_{OUTFS} = 32 \times I_{REF} \quad (3)$$

ここで、 $I_{REF} = V_{REFIO}/R_{SET}$ (4)

2つの電流出力は、通常、直接またはトランス経由で抵抗負荷を駆動します。DC結合が必要な場合は、 I_{OUTA} と I_{OUTB} を一致する抵抗負荷 R_{LOAD} に直接接続します。 R_{LOAD} はアナログ・コモンACOMに接続されています。 R_{LOAD} は I_{OUTA} または I_{OUTB} での等価負荷抵抗(両端を終端したケーブルでは50 または75 Ω)を表すことに注意してください。 I_{OUTA} ノードと I_{OUTB} ノードのシングル・エンド電圧出力は、次のように表されます。

$$V_{OUTA} = I_{OUTA} \times R_{LOAD} \quad (5)$$

$$V_{OUTB} = I_{OUTB} \times R_{LOAD} \quad (6)$$

規定の歪みと直線性の性能を維持するためには、 V_{OUTA} と V_{OUTB} のフル・スケール値が規定された出力適合範囲を超えないように注意する必要があります。

$$V_{DIFF} = (I_{OUTA} - I_{OUTB}) \times R_{LOAD} \quad (7)$$

I_{OUTA} 、 I_{OUTB} 、 I_{REF} に値を代入すると、 V_{DIFF} は次のように表されます。

$$V_{DIFF} = \{(2 \times \text{DAC CODE} - 16383)/16384\} \times (32 \times R_{LOAD}/R_{SET}) \times V_{REFIO} \quad (8)$$

最後の2式は、AD9767を差動で動作させるときの利点を表しています。まず、差動動作はノイズ、歪み、DCオフセットのような I_{OUTA} と I_{OUTB} に対応する同相モード誤差原因を相殺します。2つ目に、コード依存の差動電流とその後段の電圧 V_{DIFF} は、シングル・エンド電圧出力値(V_{OUTA} または V_{OUTB})の2倍であり、2倍の信号電力を負荷に供給します。

AD9767のシングル・エンド出力(V_{OUTA} と V_{OUTB})または差動出力(V_{DIFF})に対するゲイン・ドリフト温度性能は、 R_{LOAD} と R_{SET} が式8に示すように比例関係にあるため、両抵抗に対して温度トラッキング抵抗を選択することにより改善できることに注意してください。

アナログ出力

各D/ACの相補電流出力 I_{OUTA} と I_{OUTB} は、シングルエンドまたは差動動作に構成できます。 I_{OUTA} と I_{OUTB} は負荷抵抗 R_{LOAD} を使って、相補シングルエンド電圧出力 V_{OUTA} と V_{OUTB} に変換することができます(D/AC伝達関数の項の式5~式8参照)。 V_{OUTA} と V_{OUTB} の間の差動電圧 V_{DIFF} も、トランスまたは差動アンプ構成を使ってシングルエンド電圧に変換することができます。AD9767のAC性能は、 I_{OUTA} と I_{OUTB} での電圧振幅が ± 0.5 Vに制限された差動トランス結合出力を使って最適化し、仕様を定めています。シングルエンド・ユニポーラ出力が必要な場合は、 I_{OUTA} を使ってください。

AD9767の歪みとノイズ性能は、差動動作に構成すると強化することができます。 I_{OUTA} と I_{OUTB} の同相モード誤差の原因は、トランスまたは差動アンプの同相モード除去比により大幅に小さくすることができます。同相モード誤差原因には、偶数次の歪み項とノイズが含まれています。再生波形の周波数成分が大きいほど、歪み性能の改善効果が大きくなります。これは、種々のダイナミック同相モード歪みメカニズムの一次成分の相殺、デジタル・フィード・スルー、ノイズに起因します。

また、トランスを使って差動からシングルエンドへ変換すると、2倍の再生信号電力を負荷に供給することができます(信号源終端なしの場合)。 I_{OUTA} と I_{OUTB} の出力電流は相補的であるため、差動処理されると加算されることとなります。トランスを適切に選択することにより、AD9767から所要の電力及び電圧レベルを負荷に供給させることが可能になります。

I_{OUTA} と I_{OUTB} の出力インピーダンスは、電流源に接続されたPMOSスイッチの等価並列組合せにより決定され、5pFと100k (typ 値)の並列接続になります。出力インピーダンスは、PMOSデバイスの性質上、出力電圧(V_{OUTA} と V_{OUTB})にも少し依存します。その結果、I-Vオペアンプ構成を使って I_{OUTA} および/または I_{OUTB} を仮想グランドに維持すると、最適なDC直線性が得られます。AD9767のINL/DNL仕様は、オペアンプを使って I_{OUTA} を仮想グランドに維持して測定されていることに注意してください。

また、 I_{OUTA} と I_{OUTB} は負および正の電圧適合範囲を持っており、最適な性能を得るにはこの電圧適合範囲に従う必要があります。-1.0Vという負の出力適合範囲は、CMOSプロセスのブレイクダウン限界により設定されています。この最大限界値を超えて動作させると、出力ステージのブレイクダウンが生じて、AD9767の信頼性に影響を与えます。

正の出力適合範囲は、フル・スケール出力電流 I_{OUTFS} に少し依存し、 $I_{OUTFS} = 20\text{mA}$ での公称値 1.25V から $I_{OUTFS} = 2\text{mA}$ での 1.00V へ少し低下します。シングルエンド出力または差動出力の最適歪み性能は、 I_{OUTA} と I_{OUTB} での最大フル・スケール信号が 0.5V を超えない場合に得られます。AD9767の出力適合範囲一杯の出力（ V_{OUTA} および/または V_{OUTB} ）を必要とするアプリケーションでは、これを満たすように R_{LOAD} を決定する必要があります。適合範囲を超えて動作させると、AD9767の直線性性能に悪影響が生じ、それにより歪み性能が低下します。

デジタル入力

AD9767のデジタル入力は、2チャンネルで構成されています。デュアル・ポート・モードでは、各D/ACは専用の14ビット・データ・ポート、WRTライン、CLKラインを持っています。インターリーブ・タイミング・モードでは、デジタル制御ピンの機能が、インターリーブ・モード・タイミングの項で説明するように変化します。14ビット・パラレル・データ入力では2進数コーディングを採用しており、DB13がMSBで、DB0がLSBです。 I_{OUTA} には、全データ・ビットがロジック"1"のときフル・スケール出力電流が出力されます。 I_{OUTB} には、入力コードの関数としてフル・スケール電流が2つの出力の間で分割された相補信号が出力されます。デジタル・インターフェースは、エッジ・トリガのマスター・スレーブ・ラッチを使って構成されています。D/AC出力は、デュアル・モードかインターリーブ・モードかに応じて、立上がりエッジ後またはクロックの1つおきの立上がりエッジ後に更新されます。D/AC出力は、125MSPSまでのクロック・レートをサポートします。クロックは、規定のラッチ・パルス幅を満たす任意のデューティ・サイクルで動作することができます。また、セットアップ及びホールドの時間も、エッジ変化位置がデジタル的な干渉と歪み性能に影響しますが、規定の最小時間を満たす限り、クロック・サイクル内で変化することができます。一般に、入力データが50%デューティ・サイクル・クロックの立上がりエッジで変化するとき、最適な性能が得られます。

D/Aコンバータのタイミング

AD9767は、以下に説明するデュアルとインターリーブの2種類のタイミング・モードで動作することができます。図25に、インターリーブ・タイミング・モードのラッチ・アーキテクチャを示します。

デュアル・ポート・モードのタイミング

モード・ピンがロジック"1"のとき、AD9767はデュアル・ポート・モードで動作します。AD9767は2つの別個のD/ACとして機能します。両D/ACに共用されているシングル・バンドギャップ・リファレンスは別にして、各D/ACは固有のデジタル入力ラインや制御ライン、フル・スケール調整用制御ラインを持ちます。

AD9767は、ダブル・バッファ化されたデジタル信号パスを持っています。データは、まず入力ラッチを介してチップに入力されます。一連の制御クロック・エッジを使用して、このデータは各信号パス内のDACラッチに転送されます。

アナログ出力はDACラッチ内に保存されているデジタル・データの関数であり、アナログ出力の変化は、データがDACラッチに書込まれた後の短い伝搬時間を発生します。両D/ACの入力ラッチは2ステージ構成であり、各ラッチの入力ステージをステージ1と呼び、同じラッチの出力ステージはステージ2と呼ぶこととします。デュアル・ポート・モードでは、ラッチはWRT1とWRT2により制御されます。WRT1またはWRT2の立上がりエッジで、データがそれぞれの入力ラッチの最初のステージに書込まれます。次のWRT1またはWRT2の立下がりエッジで、データが最初のステージから次のステージに転送されて、DACラッチの入力へ出力されます。

DACラッチは、CLK1とCLK2により制御されます。DACラッチの入力に与えられるデータは、CLK1またはCLK2の立上がりエッジでラッチに書込まれます。

入力データがAD9767の出力に出力されるためには、一連の正しいクロック制御エッジが入力及びDACラッチに与えられなければなりません。一例をあげると、PORT1の入力にあるデジタル・データをDAC1出力でのアナログ情報に変換するためには、立上がりエッジをWRT1に与えて、次に立下がりエッジをWRT1に与えた後に、立上がりエッジをCLK1に与える必要があります。同様のことが、PORT2のそれぞれの制御入力にも当てはまります。デュアル・ポート・モードのタイミング仕様を、図23と図24に示します。24に示します。

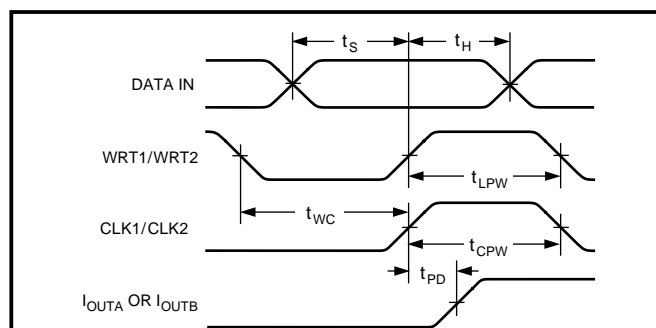


図23. デュアル・モードのタイミング

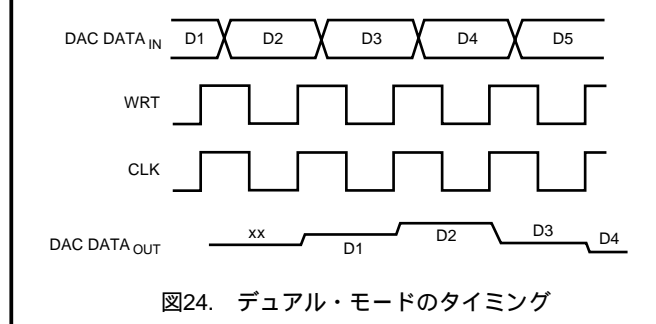


図24. デュアル・モードのタイミング

AD9767AD9767

インターリーブ・モードのタイミング

モード・ピンをグランドに接続すると、AD9767はインターリーブ・モードで動作します。CLK1はIQCLKとして定義され、WRT1ピン、WRT2ピン、CLK2ピンは、それぞれIQWRT、IQSEL、IQRESETになります。PORT1上のデータは、IQWRTの立上がりエッジで、DAC1のステージ1またはDAC2のステージ1に書き込むことができます。この制御は、IQSELピンのレベルにより決定されます。IQSELがハイのときのIQWRTの立上がりエッジで、PORT1の入力データがステージ1のPORT1入力レジスタに書き込まれ、IQSELがローのときの立上がりエッジで、PORT1のデータがステージ1のPORT2入力レジスタに書き込まれます。IQWRTの立下がりエッジで、いずれかの入力ラッチのステージ1にあるデータがそれぞれのステージ2に書き込まれ、DACラッチ入力へ出力されます。DACラッチは、IQCLKとIQRESETにより制御されます。IQRESETがハイのとき、IQCLKはディスエーブルされます。IQRESETがローになると、次のIQCLKの立上がりエッジで、それぞれの入力からのデータにより両DAC出力ラッチが更新されます。インターリーブ・モードでは、IQCLKが2分周され、最初の立上がりエッジの後、DAC出力レジスタは1つおきの立上がりエッジでのみ更新されるようになります。このようにIQRESETを使用して、DACに対するデータのルーティングを同期化

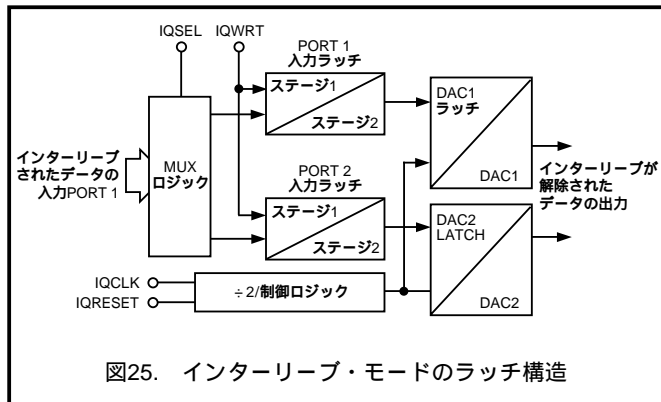


図25. インターリーブ・モードのラッチ構造

することができます。

インターリーブ・モードのタイミング仕様を、図26と図27

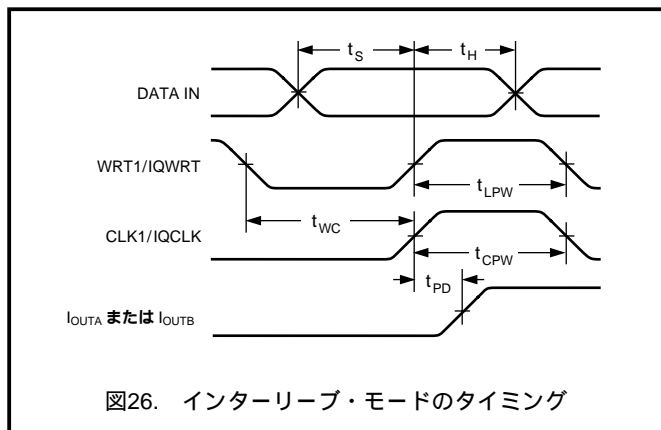


図26. インターリーブ・モードのタイミング

に示します。

デジタル入力はCMOS互換で、ロジック・スレッショルド $V_{THRESHOLD}$ がデジタル正電源 (DVDD) の約1/2に設定されます。

すなわち、

$$V_{THRESHOLD} = DVDD/2 (\pm 20\%)$$

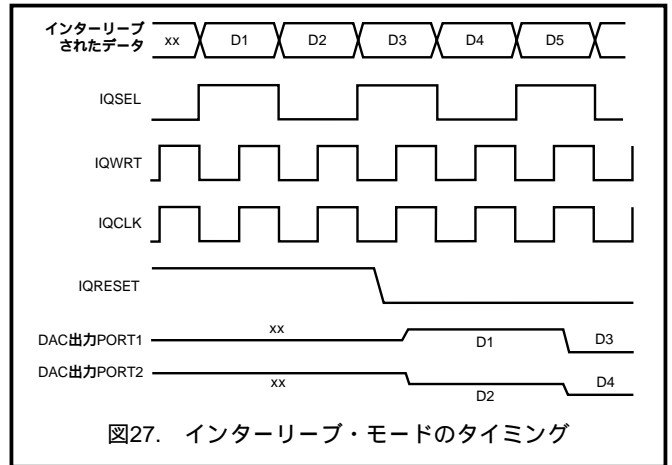


図27. インターリーブ・モードのタイミング

AD9767の内部デジタル回路は、3~5.5Vのデジタル電源範囲で動作できます。そのため、DVDDがTTLドライバの最大ハイレベル電圧 $V_{OH}(MAX)$ をサポートするように設定された場合、デジタル入力はTTLレベルもサポートすることができます。

3~3.3VのDVDDは、ほとんどのTTLロジック・ファミリーと互換性を持っています。図28に、データ入力とクロック入力の等価デジタル入力回路を示します。スリープ・モード入力はアクティブ・プルダウン回路を持つ以外は同じで、この入力が未接続のままでも、AD9767がイネーブル状態を確実に維持するようになっています。

AD9767は最大125MSPSで更新可能なので、最適性能を得るには、クロック信号とデータ入力信号の品質が重要です。小さくしたロジック振幅と対応する低デジタル電源 (DVDD) でAD9767を動作させると、データ干渉とオンチップ・デジタル・ノイズは最小になります。デジタル・データ・インターフェース回路のドライバは、AD9767の最小のセットアップ及びホールド時間、最小/最大入力ロジック・レベル・スレッショルドを満たすように指定する必要があります。

デジタル信号パスを短くして、伝搬遅延の不一致を回避するように長さを揃える必要があります。AD9767デジタル入力とドライバ出力の間に低抵抗値ネットワーク 20~100 Ω を挿入すると、デジタル干渉の原因になる、デジタル入力でのオーバーシュートとリングングを減らすことに役立ちます。ボード・パターンが長く、かつデータ更新レートが高い場合は、適切なインピーダンスと終端抵抗を持つストリップライン技術を使用して、“クリーンな”デジタル入力を維持するようにします。

外部クロック・ドライバ回路はAD9767にジッタの小さいクロック入力を提供して、最小/最大ロジック・レベルを満たし、かつ高速エッジを維持する必要があります。高速なクロック・エッジは、再生波形での位相ノイズになるジッタを抑えるのに役立ちます。このため、クロック入力は、アプリケーションに適合した最高速のロジック・ファミリーで駆動する必要があります。

クロック入力は正弦波で駆動することもできます。この正弦波はデジタル・スレッショルド $(DVDD/2)$ を中心にして、最小/最大ロジック・スレッショルドを満たす必要があります。通常、この方法では位相ノイズが少し劣化する結果になり、これは高いサンプリング・レートと高い出力周波数で、より顕著になります。また、高いサンプリング・レートでは、デジタル・ロジック・スレッショルドの20%の変動を考慮する必要があります。これは、実効クロック・デューティ・サイクルに影響を与え、その結果、所要データのセットアップ及びホールド時間を短くしてしまうためです。

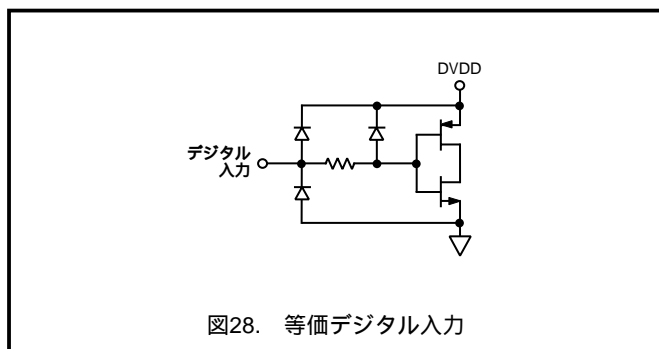
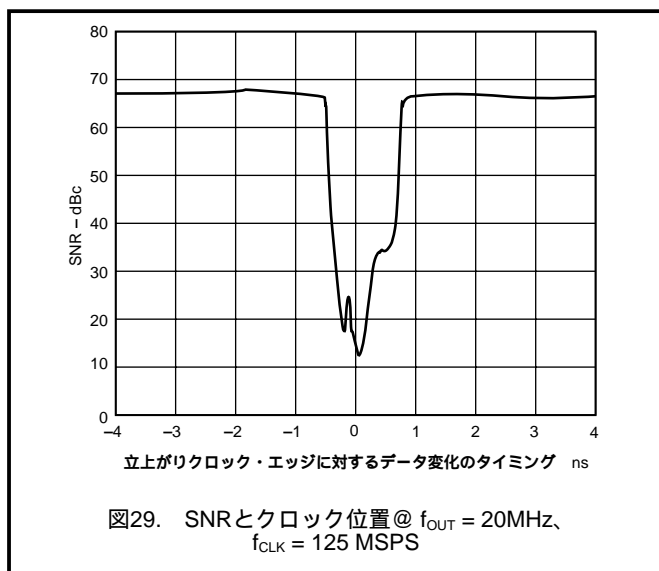


図28. 等価デジタル入力

入力クロックとデータのタイミング関係

D/ACのSNRはクロック・エッジの位置と入力データ変化時の位置との関係に依存します。AD9767は立上がりエッジでトリガされるため、データ変化がこのエッジに近いとき、SNRに影響を与えます。一般に、AD9767へのデータを入力は、データ変化を立下がりエッジの近くに発生させることが目標となります。これはサンプル・レートが増加するほど重要になります。図29に、SNRとクロック位置の関係を、種々のサンプル・レートに対して示します。低いサンプル・レートではクロック位置の変動に対して余裕がありますが、高いレートでは注意が必要です。

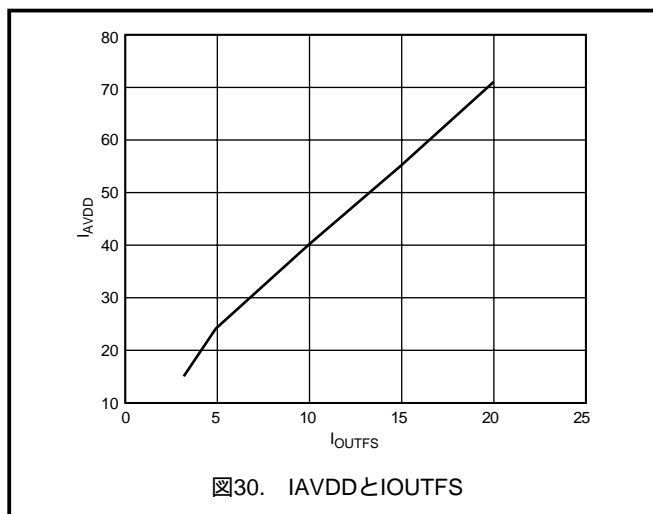
図29. SNRとクロック位置@ $f_{OUT} = 20\text{MHz}$ 、 $f_{CLK} = 125\text{MSPS}$

スリープ・モード動作

AD9767は、出力電流をターンオフして、規定の電源範囲3.0 ~ 5.5Vと温度範囲で電源電流を8.5 mA以下にするパワーダウン機能を内蔵しています。SLEEPピンにロジック・レベル"1"を入力すると、このモードになります。SLEEPピンのロジック・スレッシュホールドは $0.5 \times AVDD$ です。このデジタル入力にはアクティブ・プルダウン回路が内蔵されており、入力を開放のままにしても、AD9767のイネーブル状態を維持することができます。AD9767は50ns以内でパワーダウンし、約 $5\mu\text{s}$ で再パワーアップします。

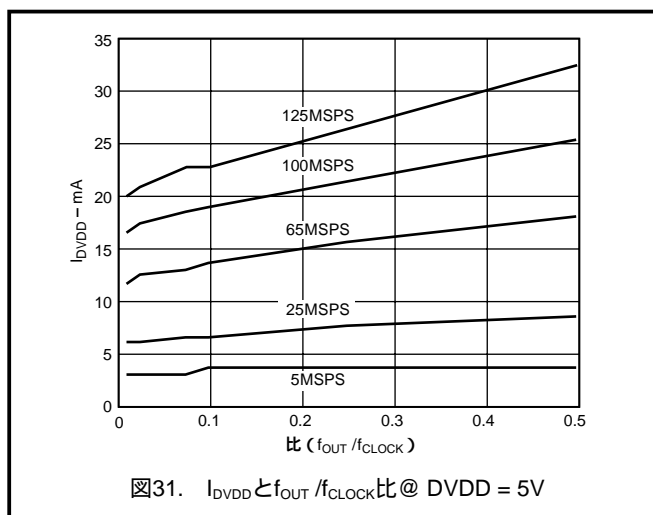
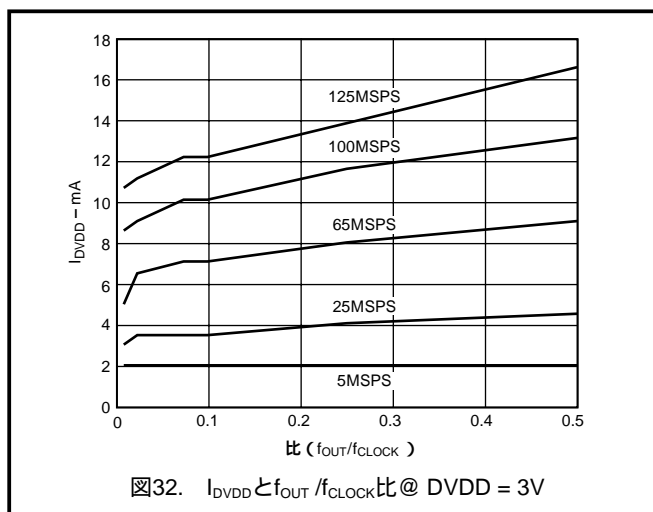
消費電力

AD9767の消費電力 P_D は、(1) 電源電圧 $AVDD$ と $DVDD$ 、(2) フル・スケール電流出力 I_{OUTFS} 、(3) 更新レート f_{CLOCK} 、(4) 再生デジタル入力波形などに依存します。消費電力は、アナログ電源電流 I_{AVDD} とデジタル電源電流 I_{DVDD} に正比例しま

図30. I_{AVDD} と I_{OUTFS}

す。 I_{AVDD} は I_{OUTFS} に正比例しますが(図30)、 f_{CLOCK} には無関係です。

逆に、 I_{DVDD} はデジタル入力波形 f_{CLOCK} とデジタル電源 $DVDD$ に依存します。図31と図32に、 I_{DVDD} をフル・スケール正弦波出力比(f_{OUT}/f_{CLOCK})の関数として、 $DVDD = 5\text{V}$ と $DVDD = 3\text{V}$ での、種々の更新レートの関係を示します。 $DVDD$ を5Vから3Vへ下げたときに、 I_{DVDD} が1/2以下になることに注意してください。

図31. I_{DVDD} と f_{OUT}/f_{CLOCK} 比@ $DVDD = 5\text{V}$ 図32. I_{DVDD} と f_{OUT}/f_{CLOCK} 比@ $DVDD = 3\text{V}$

AD9767

制御アンプの補償

多くのアプリケーションで、1本の R_{SET} 抵抗を使って各D/ACのフル・スケール出力電流を設定することができます(図20)。ただし、1.5MHzより低い出力周波数では、遅れ補償ネットワークを R_{SET1} と R_{SET2} に並列に各FSADJピンに追加することが推奨されます(図33)。RCネットワークに対する推奨値は、 $R = 256$ 、 $C = 22nF$ です。公称値の最大10%の許容偏差を持つ部品を使うことができます。

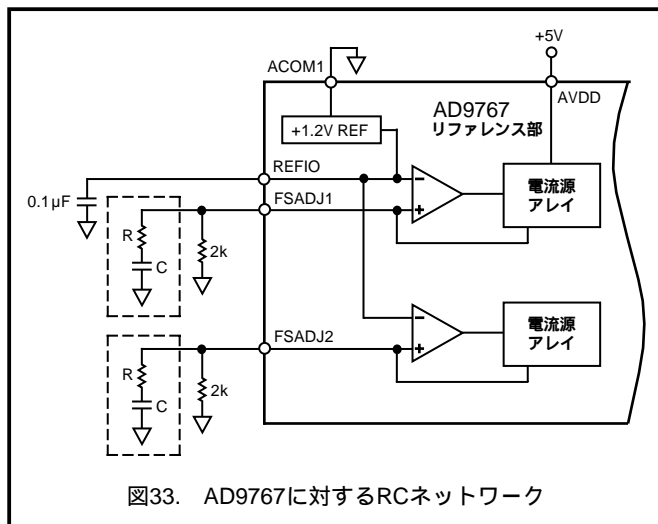


図33. AD9767に対するRCネットワーク

AD9767の応用

出力の構成

以下に、代表的ないくつかのAD9767出力構成について説明します。特に注記がない限り、 I_{OUTFS} は公称20mAの設定です。最適なダイナミック性能を必要とするアプリケーションに対しては、差動出力構成が推奨されます。差動出力構成は、RFトランスまたは差動オペアンプにより構成されます。トランス構成は最適な高周波性能を提供するので、AC結合が可能なすべてのアプリケーションに推奨されます。差動オペアンプ構成は、選択したオペアンプの帯域幅内でDC結合、バイポーラ出力、信号ゲインおよび/またはレベル・シフトを必要とするアプリケーションに適しています。シングル・エンド出力は、ユニポーラ電圧出力を必要とするアプリケーションに適しています。 I_{OUTA} および/または I_{OUTB} をACOMを基準とする適切な値の負荷抵抗 R_{LOAD} に接続すると、正のユニポーラ出力電圧が得られます。この構成は、DC結合のグランド基準出力電圧を必要とする単電源システムに好適です。代わりに、アンプをI-Vコンバータに構成して、 I_{OUTA} または I_{OUTB} を負のユニポーラ電圧に変換することもできます。この構成では、 I_{OUTA} または I_{OUTB} が仮想グランドに維持されるため、最善のDC直線性が得られます。 I_{OUTA} の方が I_{OUTB} よりやや優れた性能を与えることに注意してください。

トランスを使用した差動結合

RFトランスを使って、差動 - シングルエンド信号変換を行うことができます(図34)。差動結合のトランス出力は、スペクトル成分がトランスの通過帯域にある出力信号に対し

て最適な歪み性能を提供します。Mini-Circuits T1-1TのようなRFトランスは、広い周波数範囲で優れた同相モード歪み除去(偶数次高調波)とノイズ除去を提供します。また電氣的絶縁と負荷への2倍の電力供給が行えます。インピーダンスの整合には、種々のインピーダンス比のトランスを使うことができます。トランスはAC結合でのみ使用できることに注意してください。

トランスの1次側のセンタ・タップは必ずACOMに接続して、 I_{OUTA} と I_{OUTB} に必要なDC電流パスを用意する必要があります。 I_{OUTA} と I_{OUTB} に出力される相補電圧(V_{OUTA} と V_{OUTB})の振幅はACOMを中心に対称で、AD9767の規定出力適合範囲内に維持する必要があります。差動抵抗 R_{DIFF} は、トランス出力が受動再生フィルタまたはケーブルを経由して負荷 R_{LOAD} に接続されるアプリケーションで挿入することができます。 R_{DIFF} はトランスのインピーダンス比によって決定され、適切なソース終端を提供してVSWRを低くします。信号電力の約半分が R_{DIFF} で消費されることに注意してください。

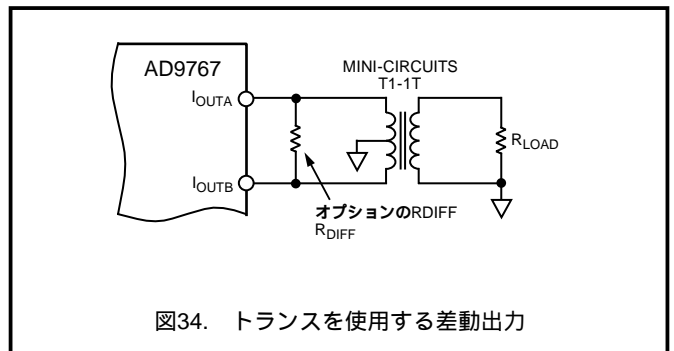


図34. トランスを使用する差動出力

オペアンプを使用する差動構成

オペアンプを使用して、差動 - シングル・エンド変換を行うことができます(図35)。AD9767には、25の等価負荷抵抗 R_{LOAD} が2本接続されます。 I_{OUTA} と I_{OUTB} で発生された差動電圧が、差動オペアンプ構成を通してシングル・エンド信号に変換されます。オプションのコンデンサを I_{OUTA} と I_{OUTB} の間に接続して、実数極のローパス・フィルタを構成することができます。コンデンサの追加により、D/ACの高スルーレート出力がオペアンプ入力を過負荷させることを防止するので、オペアンプの歪み性能も改善されます。この構成の同相モード除去は、通常、2本の抵抗値の一致の程度により決定されます。AD8047を使用するこの回路では、差動オペアンプ回路が幾らかの信号ゲインを追加するように構成されています。オペアンプは出力が約 $\pm 1.0V$ なので、両電源で動作する必要があります。AD9767の差動性能を維持でき、さらに他のシステム・レベルの目標(コストや消費電力)を満たすことができる高速アンプを選択する必要があります。回路の最適化には、オペアンプの差動ゲイン、ゲイン設定抵抗値、フル・スケール出力振幅能力をすべて考慮する必要があります。

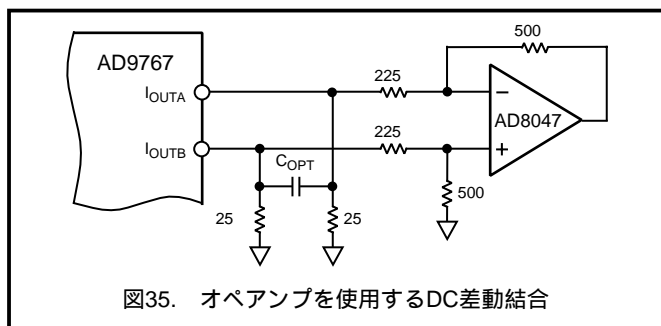


図35. オペアンプを使用するDC差動結合

図36の差動回路は、単電源システムで必要となるレベル・シフト機能を提供します。このケースでは、AD9767とオペアンプの両方の正のアナログ電源であるAVDDをも使って、AD9767の差動出力を電源の中央に ($AVDD/2$) レベル・シフトします。AD8055は、このアプリケーションのオペアンプに適しています。

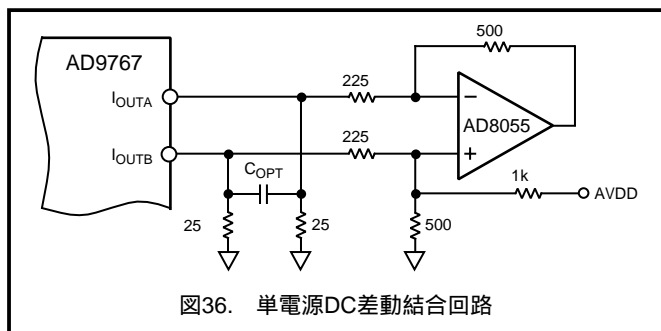


図36. 単電源DC差動結合回路

シングル・エンドのバッファなし電圧出力

図37に、AD9767のシングルエンド電圧出力の例を示します。この回路では、等価負荷抵抗 R_{LOAD} 50Ωである50Ωで両端を終端したケーブルに公称20mAのフルスケール電流が流れるため、ユニポーラ電圧出力範囲は約0 ~ +0.5Vになります。このケースでは、 R_{LOAD} は I_{OUTA} または I_{OUTB} から見た等価負荷抵抗を表しています。使用しない出力 (I_{OUTA} または I_{OUTB}) は直接に、またはマッチした R_{LOAD} を経由してACOMに接続

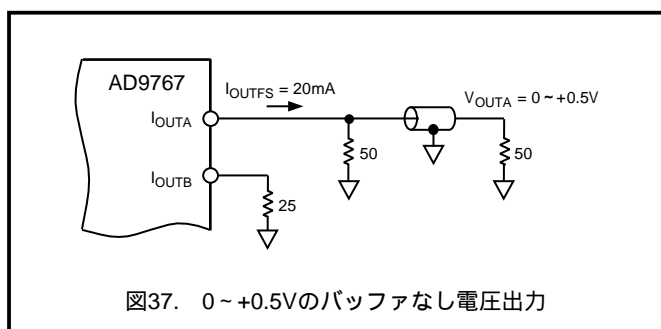


図37. 0 ~ +0.5Vのバッファなし電圧出力

することができます。正の適合範囲を満足している限り、 I_{OUTFS} と R_{LOAD} は異なる値を選択することができます。もう1つ注意する必要がある点は、このデータシートのアナログ出力の項で説明した積分非直線性 (INL) です。最適なINL性能のためには、バッファ付きのシングル・エンド電圧出力構成が推奨されます。

バッファ付きシングル・エンド電圧出力構成

図38に、バッファ付きシングル・エンド出力構成を示します。この構成では、オペアンプU1がAD9767出力電流のI-V変換を行います。U1は I_{OUTA} (または I_{OUTB}) を仮想グランドに維持するため、アナログ出力の項で説明したように、D/ACのINL性能に対する非直線性出力インピーダンスの影響を最小に抑えます。このシングル・エンド構成は最善のDC直線性能を与えますが、高いD/AC更新レートでのAC歪み性能は、U1のスルーレートにより制限されます。U1は負のユニポーラ出力電圧を与え、フル・スケール出力電圧は R_{FB} と I_{OUTFS} の積になります。 I_{OUTFS} および/または R_{FB} をスケールして、フル・スケール出力をU1の電圧出力振幅能力内に設定する必要があります。U1がシンクする必要のある信号電流が結果的に小さくなるため、AC歪み性能の改善は、 I_{OUTFS} の減少により得られます。

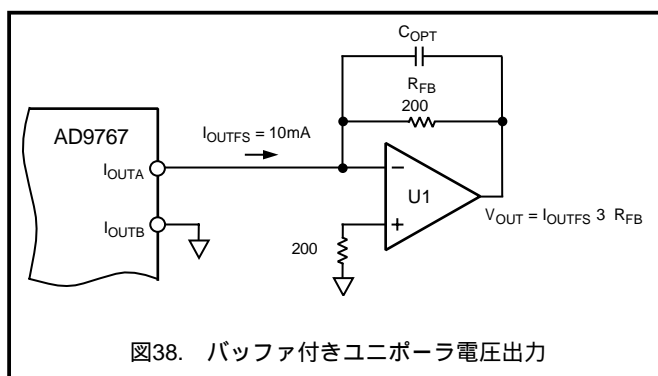


図38. バッファ付きユニポーラ電圧出力

電源とグランドについての考慮事項、電源変動除去

多くのアプリケーションでは、理想的ではない動作条件で高速かつ高性能を追求します。これらの回路では、プリント回路ボードの設計と作成が回路設計と同じくらい重要です。最適性能を保証するためには、適切なRF技術を使って、デバイスの選択、配置、配線、電源バイパス、グラウンディングを行う必要があります。図33と図44 ~ 図51に、AD9767評価ボードで使用されている、プリント回路ボードのグランド・プレーン、電源プレーン、信号プレーンの推奨レイアウトを示します。

システム性能に測定可能な影響を与える要因の1つは、D/AC出力でのDC変動またはACノイズの除去能力です。このACノイズは、アナログまたはデジタルのDC電源配線 (AVDD、DVDD) に重畳されます。これは電源変動除去比 (PSRR) と呼ばれています。電源のDC変動に対しては、D/ACの変換性能は直接ゲイン誤差に対応し、このゲイン誤差はD/ACのフル・スケール電流 I_{OUTFS} に関係しています。DC電源上のACノイズは、スイッチング電源を使用しているアプリケーションでは一般的な問題です。一般に、スイッチング電源ノイズは、数10kHz ~ 数MHzのスペクトルで発生します。この周波数範囲におけるAD9767 AVDD電源のPSRRと周波数の関係を図39に示します。

AD9767

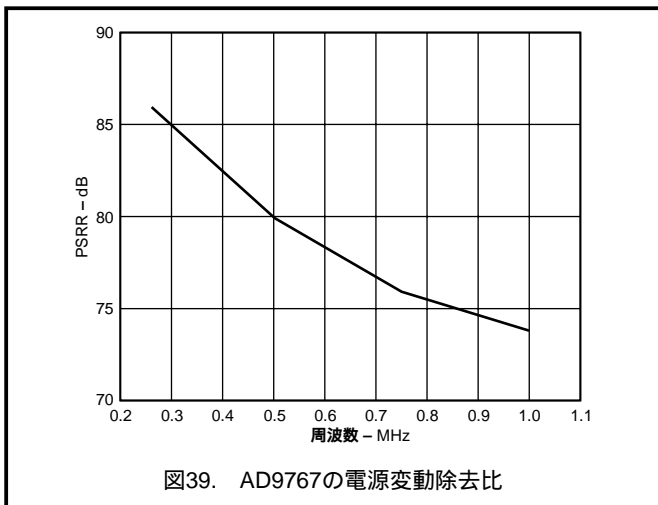


図39. AD9767の電源変動除去比

図39の単位が (出力電流A)/(入力電圧V) であることに注意してください。アナログ電源上のノイズは、内部スイッチを変調すること、したがって出力電流を変調することと同じ効果を持っています。このため、AVDD上の電圧ノイズは、所要 I_{OUT} に対して非線形なかたちで加算されます。スイッチは相対的にサイズが異なるため、PSRRはコードに非常に依存します。これにより、低周波電源ノイズを高い周波数にシフトさせるミキシング効果が発生します。どちらかの差動D/AC出力に対する最悪PSRRは、その出力にフル・スケール電流が流れるときに発生します。そのため、図39のPSRR計測値は、デジタル入力はスタティックのまま、20mAのフル・スケール出力電流が測定しているD/ACに出力されているという、最悪条件を表しています。

アナログ電源上の電源ノイズの影響を説明するために、1つの例を使います。スイッチング周波数250kHzのスイッチング・レギュレータが10mVのノイズを発生している場合を考えます。簡単にするため高調波を無視して、全ノイズは250kHzに集中しているものとします。この不要なノイズがD/ACのフル・スケール電流 I_{OUTFS} に重畳されて電流ノイズに出力される大きさを計算するには、図39を使って、250kHzでのPSRRのdB値を決定する必要があります。与えられた R_{LOAD} に対するPSRRを計算するには、PSRRの単位をA/VからV/Vに変換し、 $20 \times \log(R_{LOAD})$ のスケール・ファクタで図39のカーブを調整する必要があります。例えば、 $R_{LOAD} = 50$ の場合、PSRRは34dBだけ減らします (すなわち、図39で85dBである250kHzでのD/ACのPSRRは、51dB V_{OUT}/V_{IN} になります)。

適切なグランディングとデカップリングは、高速・高分解能システムでは最初の実施しなければならないことです。AD9767では、アナログ電源ピン、デジタル電源ピン、グランド・ピンが分離されており、システムのアナログ及びデジタル・グランド電流の管理が最適化できます。一般に、アナログ電源AVDDは、チップにできるだけ近い場所でアナログ・コモンACOMにデカップリングする必要があります。同様に、デジタル電源DVDDは、チップにできるだけ近い場所でDCOMにデカップリングする必要があります。

アナログ電源とデジタル電源として+5Vまたは+3Vの単電源を必要とするアプリケーションでは、図40の回路を使ってノイズのないアナログ電源を発生することができます。この回路は、電源ラインとリターン・ラインが別々の差動LCフィルタで構成されています。低周波ノイズは、低周波ESR型電解タンタル・コンデンサにより減衰させることができます。

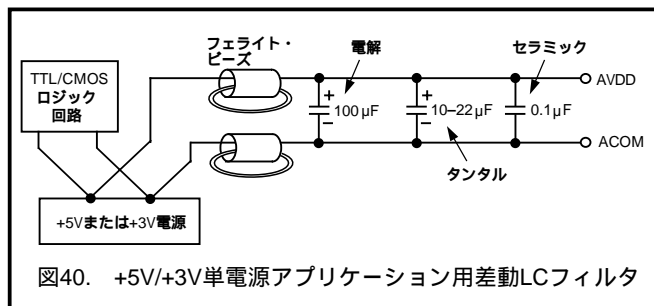


図40. +5V/+3V単電源アプリケーション用差動LCフィルタ

アプリケーション

AD9767を使用したVDSLアプリケーション

非常に高周波数のデジタル加入者回線 (VDSL) 技術が、比較的短距離のデータ転送を必要とするアプリケーションで急速にひろまっています。QAM変調を使い、複数離散周波数 (DMT) でデータを転送すると、高いデータ・レートが得られます。

他の多周波アプリケーションの場合と同様に、その周波数を中心とする狭い帯域内の信号対ノイズ比 (SNR) に応じて、各VDSL周波数は与えられたビット数を転送できます。各周波数は数kHz ~ 10MHzの範囲で等間隔で配置されます。この範囲の高周波端での性能は、一般にケーブル特性と外部干渉のような環境要因により制限されます。低周波数での性能は、シグナル・チェーン内の部品性能に、より多く依存します。帯域内ノイズに加えて、他の周波数との相互変調により、与えられた周波数でのデータ再生が干渉を受けることもあります。図41の2つのグラフは、500トーンのミッシング・ピン・テストのベクトルで、400Hz ~ 10MHzの範囲で周波数を等間隔で配置したものです。このテストは、ある周波数で送信可能なビット数が歪みにより制約されている否かを調べる際に非常に一般的に行われています。テスト・ベクトルは、750kHz付近 (図41a) 及び5MHz付近 (図41b) に、それぞれ一連の脱落周波数を持っています。両ケースとも、送信周波数とエンベティ・ピンの間のスプリアス・フリー・ダイナミック・レンジ (SFDR) は60dB以上です。

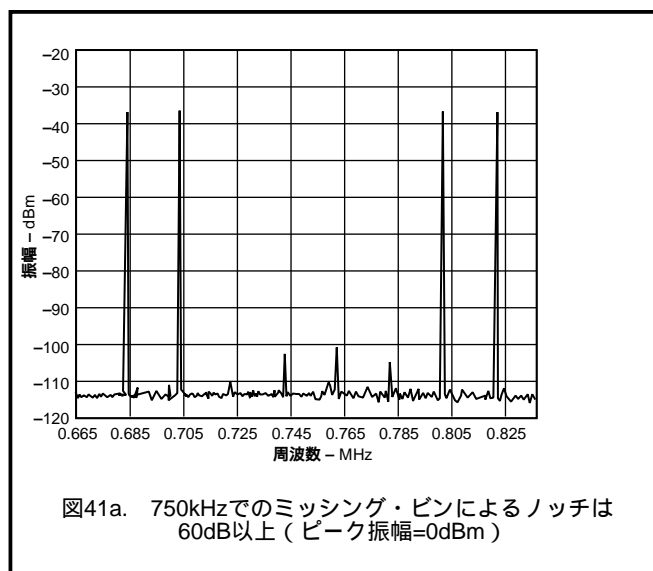
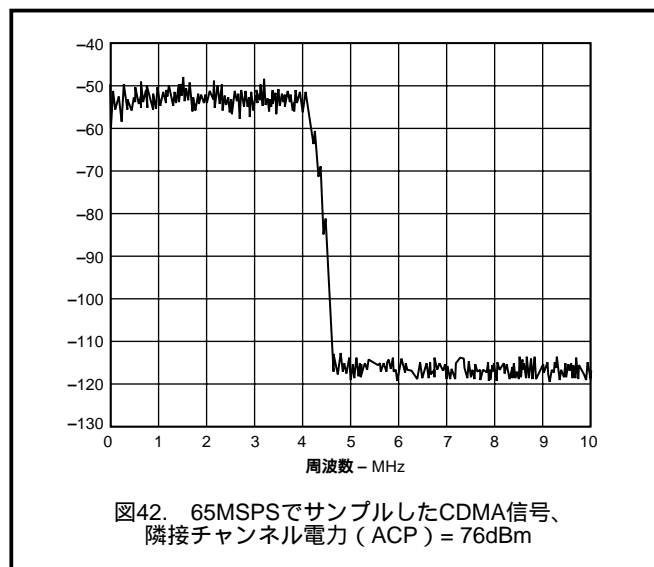
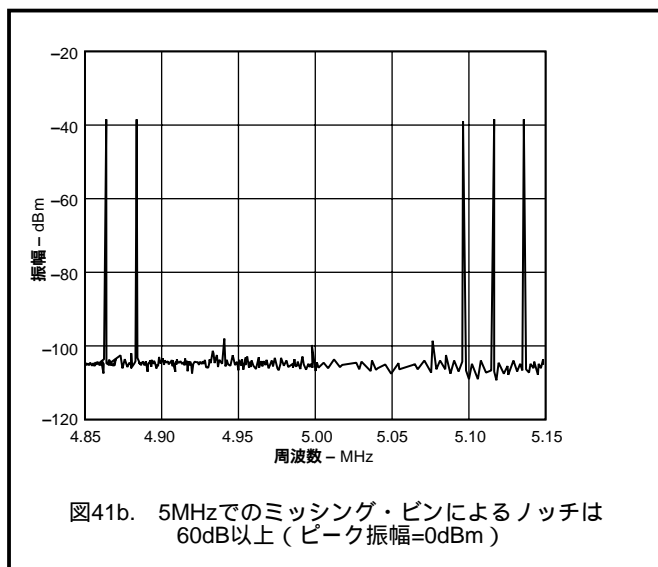


図41a. 750kHzでのミッシング・ピンによるノッチは60dB以上 (ピーク振幅=0dBm)



CDMA

搬送波分割多元接続方式（CDMA）は空中送／受信方式であり、送信パス内の信号は疑似ランダム・デジタル・コード（拡散コード）で変調されます。この変調の目的は送信信号を広いスペクトル範囲に分散させることです。DMT波形と同様に、複数の加入者が含まれているCDMA波形は、高いピーク値と平均値の比（クレスト・ファクタ）を持っていることが特徴です。このため、送信信号パス内では線形性の優れた部品が必要になります。スペクトル帯域幅は使用するCDMA規格により決められ、動作時に特定の特性を持つ拡散コードを使って実現されます。

送信パス内の歪みにより、定義した帯域外への電力の放出が発生することがあります。帯域内送信電力と帯域外送信電力の比は隣接チャンネル電力比（ACP）と呼ばれることもあります。帯域外へ出力される電力は空中に送信された他の信号と干渉する可能性があるため、規制事項になっています。当局は送信帯域の外部にスペクトル・マスクを定義し、ACPはこのマスク内でなければなりません。送信パスの歪みによりACPがスペクトル・マスクを超える場合は、フィルタリングを行うか別の部品を選択して、マスク条件を満たすようにする必要があります。

図42に、65MHzでサンプリングされた帯域幅4MHzのベースバンドCDMAテスト・ベクトルのAD9767による再生を示します。与えられたテスト・ベクトルに対するACPIは、70dBで測定されています。

CDMA 3V送信器IFサブシステムAD6122使用のW-CDMA送信器アプリケーション内でAD9767を使用する例を、図43に示します。AD6122は、W-CDMAの上位隣接チャンネル電力（ACP）条件に必要な、外部ゲイン制御や低歪み特性などの機能を持っています。

評価ボード

概要

AD9767-EBは、14ビットのデュアルD/AコンバータAD9767の評価ボードです。十分に考慮されたレイアウトと回路設計、プロトタイプ領域の組み合わせにより、高分解能と高速変換を必要とするアプリケーションでのAD9767の評価が容易に効果的に行えます。

このボードを使うと、AD9767を種々の構成で動作させることができます。出力構成としては、トランス結合出力、抵抗終端出力、反転／非反転出力、差動アンプ出力などが可能です。デジタル入力は、デュアル・ポートまたはインターリーブ・モードで使用でき、種々のワード・ジェネレータから直接駆動できるように設計されており、適切な負荷終端を行うための抵抗ネットワーク・オプションがボードに内蔵されています。AD9767を動作させる場合、デジタル電源（DVDD）は+3V、アナログ電源（AVDD）は+5Vのとき、最適性能が得られます。

AD9767

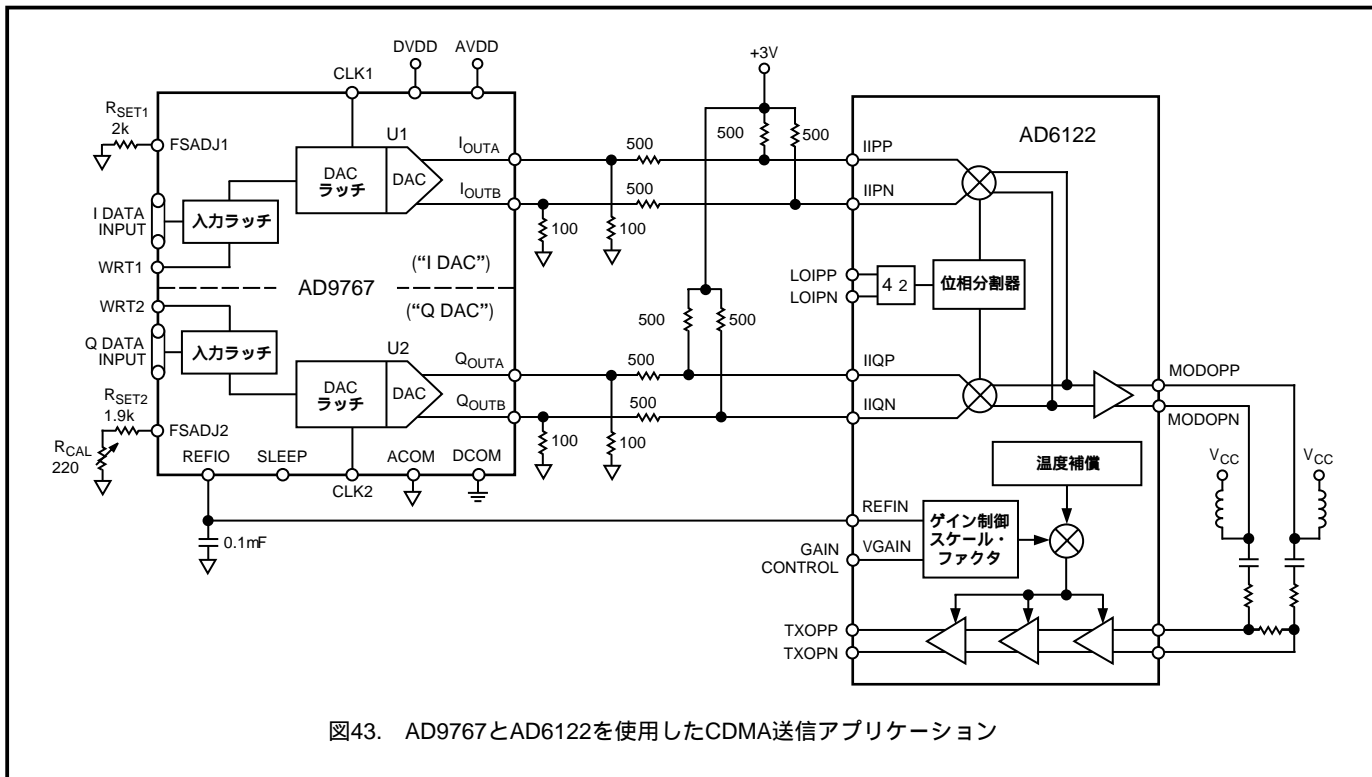


図43. AD9767とAD6122を使用したCDMA送信アプリケーション

将来の互換性に対する準備

AD9767では、一方の R_{SET} 抵抗をFSADJ1に、別の R_{SET} 抵抗をFSADJ2に接続することにより、各チャンネルのゲインを独立に設定できるようになっています。柔軟性を増しながらシステム・コストを削減するため、新しいレビジョンでは、1本の R_{SET} 抵抗を使って両チャンネルのゲインを同時に設定するモードを設けます。ACOM1（ピン42）をGAINCTRLという名前の制御ピンに再定義すると、この追加モードがサポートされるようになります。

GAINCTRLをローにすると（すなわちAGNDに接続すると）、2つの抵抗を使う独立したチャンネル・ゲイン制御モードがイネーブルされます。このモードでは、それぞれの R_{SET} 抵抗をFSADJ1とFSADJ2に接続します。GAINCTRLをハイにすると（すなわちAVDDに接続すると）、1つの抵抗を使うマスター/スレーブ・チャンネル・ゲイン制御モードがイネーブルされます。このモードでは、1つの R_{SET} 抵抗をFSADJ1に接続し、FSADJ2の抵抗を取り除くことができます。

AD9767

電源のデカップリングと入力クロック

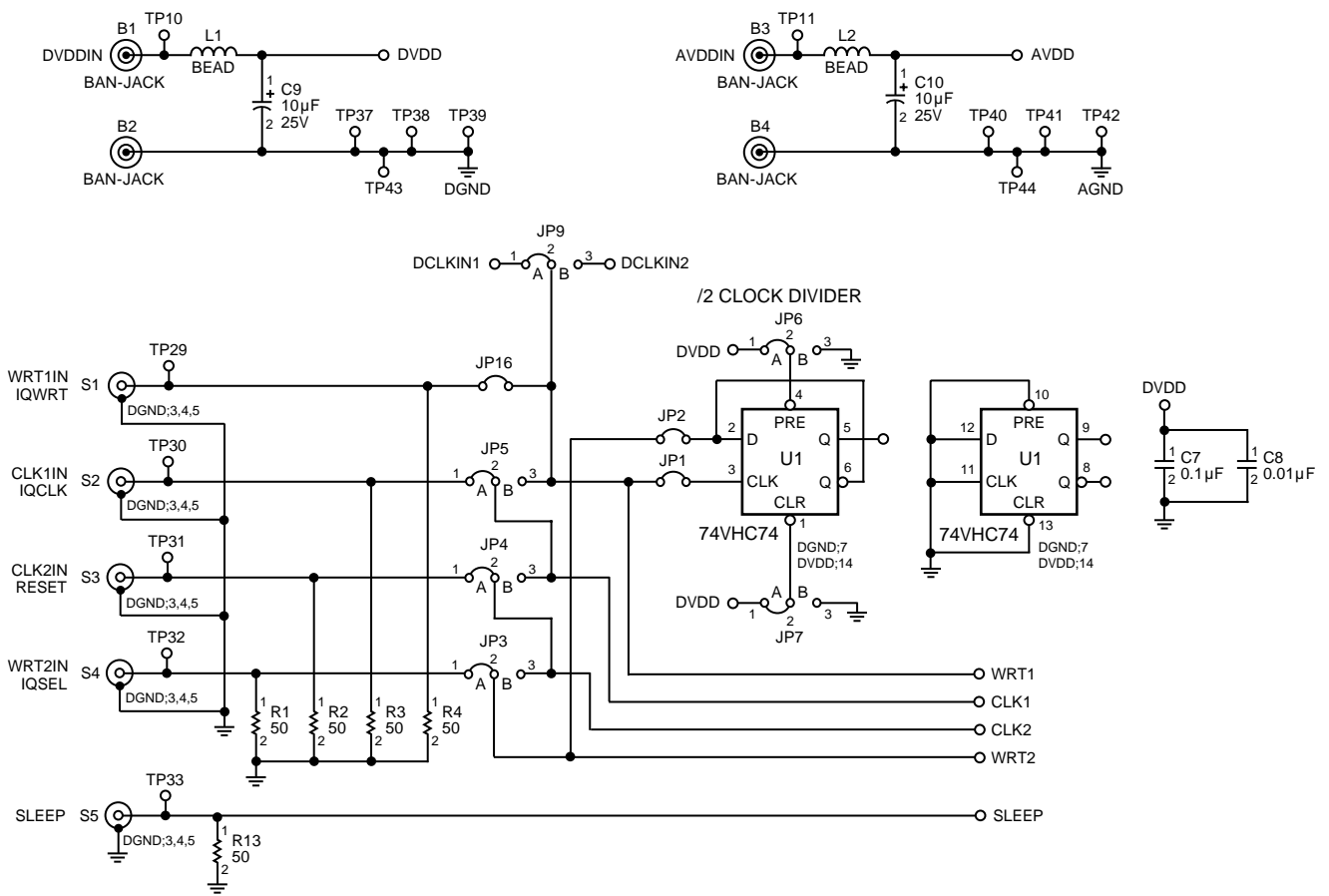


図44. 電源のデカップリングとAD9767評価ボード上のクロック

デジタル入力信号のコンデショニング

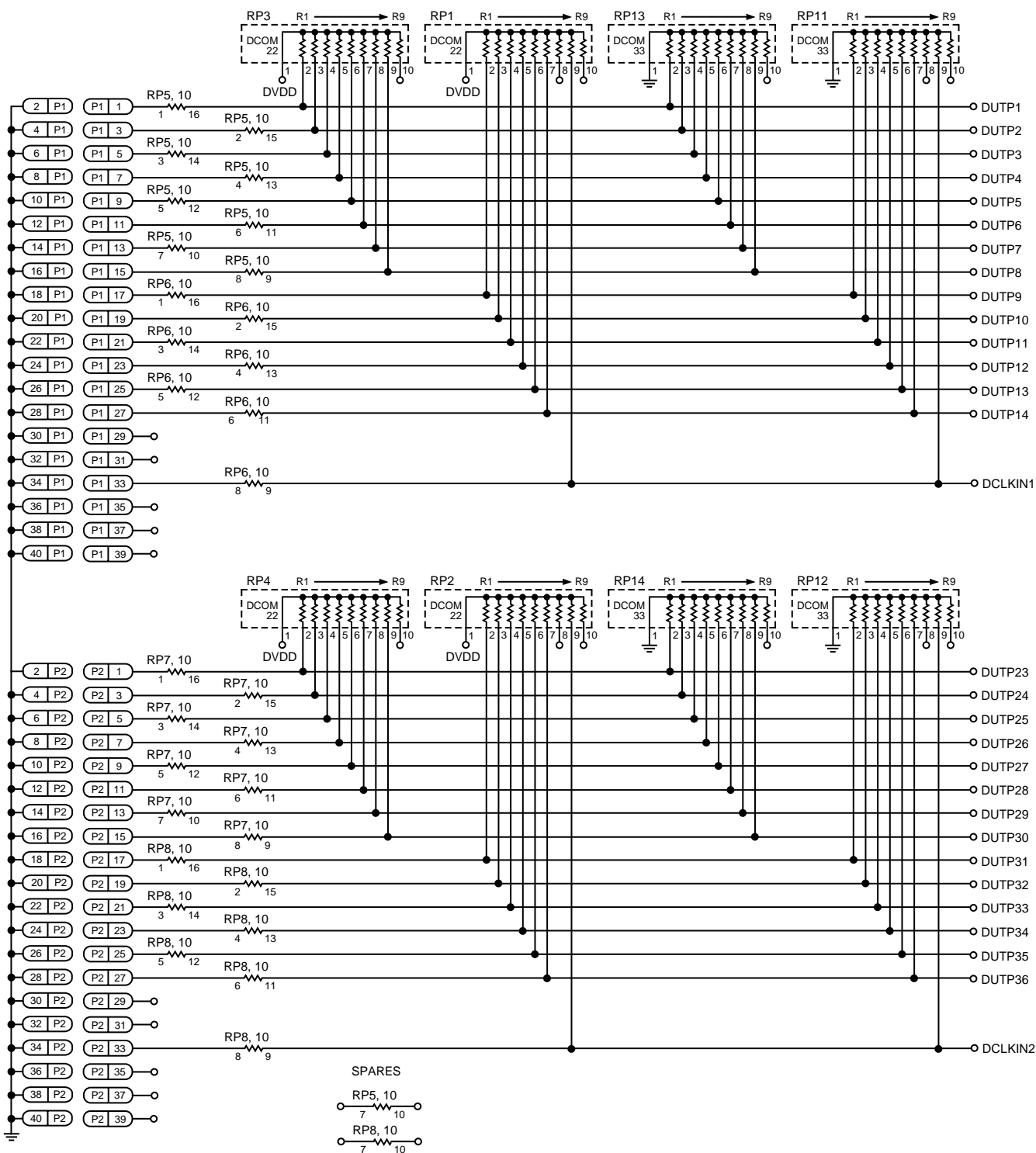


図45. デジタル入力信号のコンデショニング

AD9767

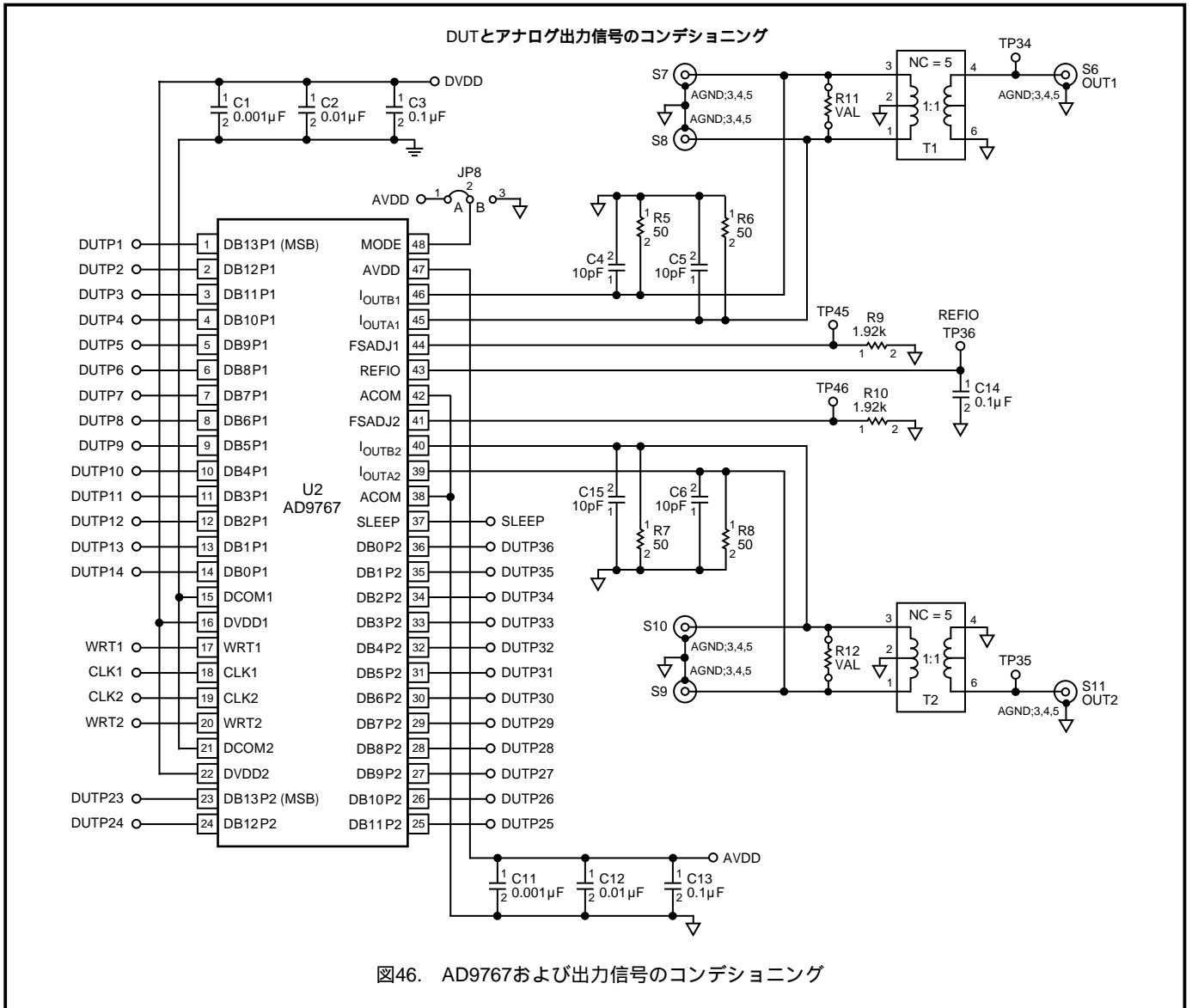


図46. AD9767および出力信号のコンデショニング

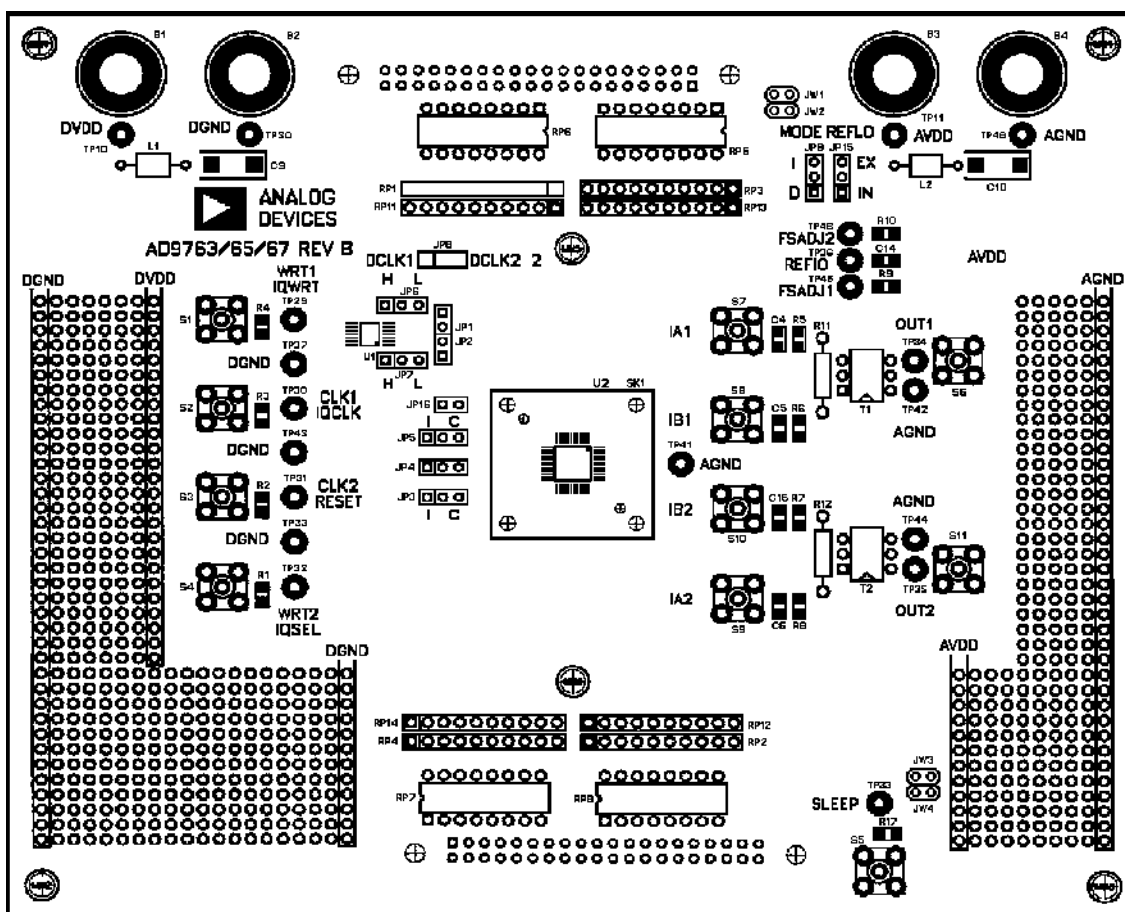
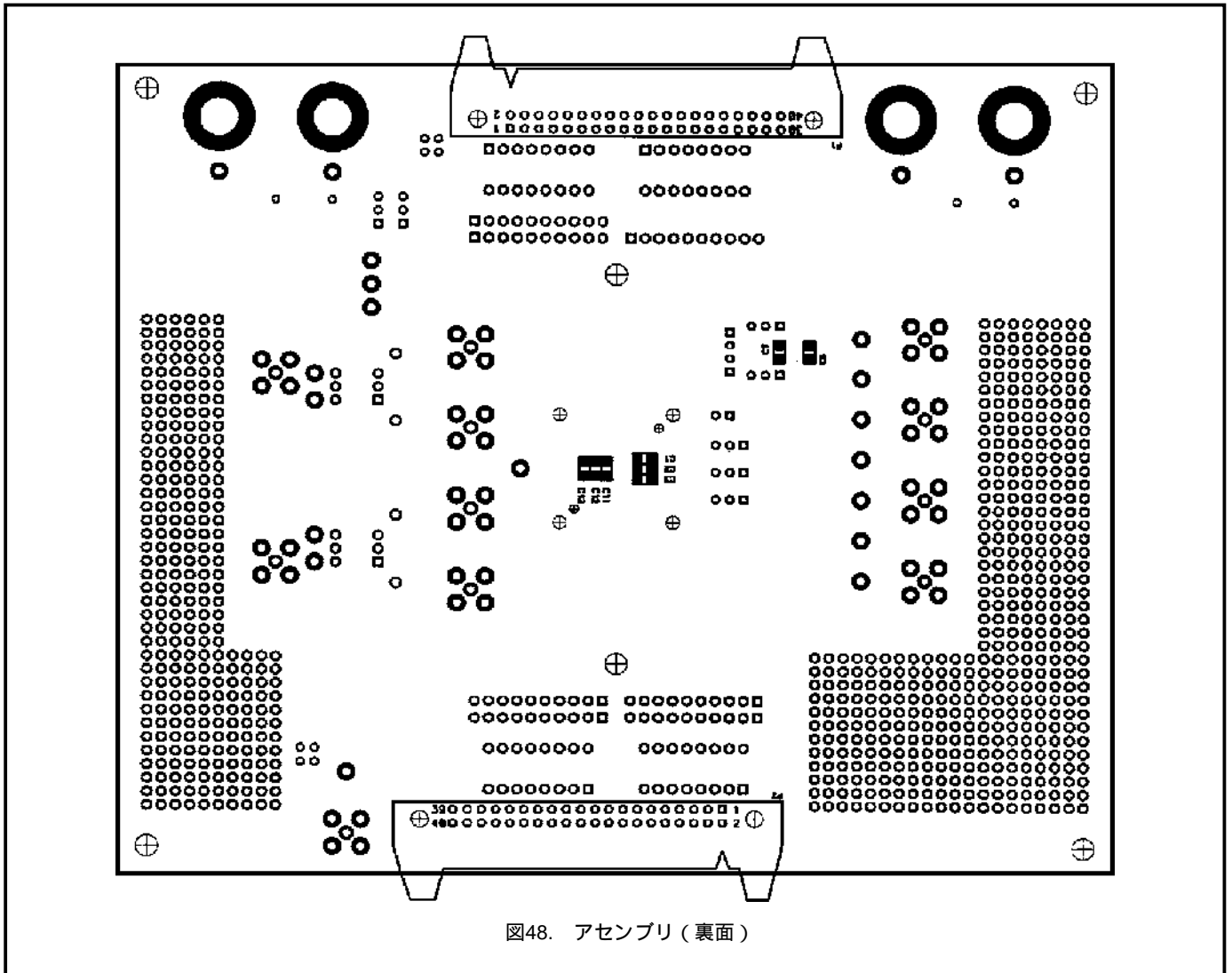
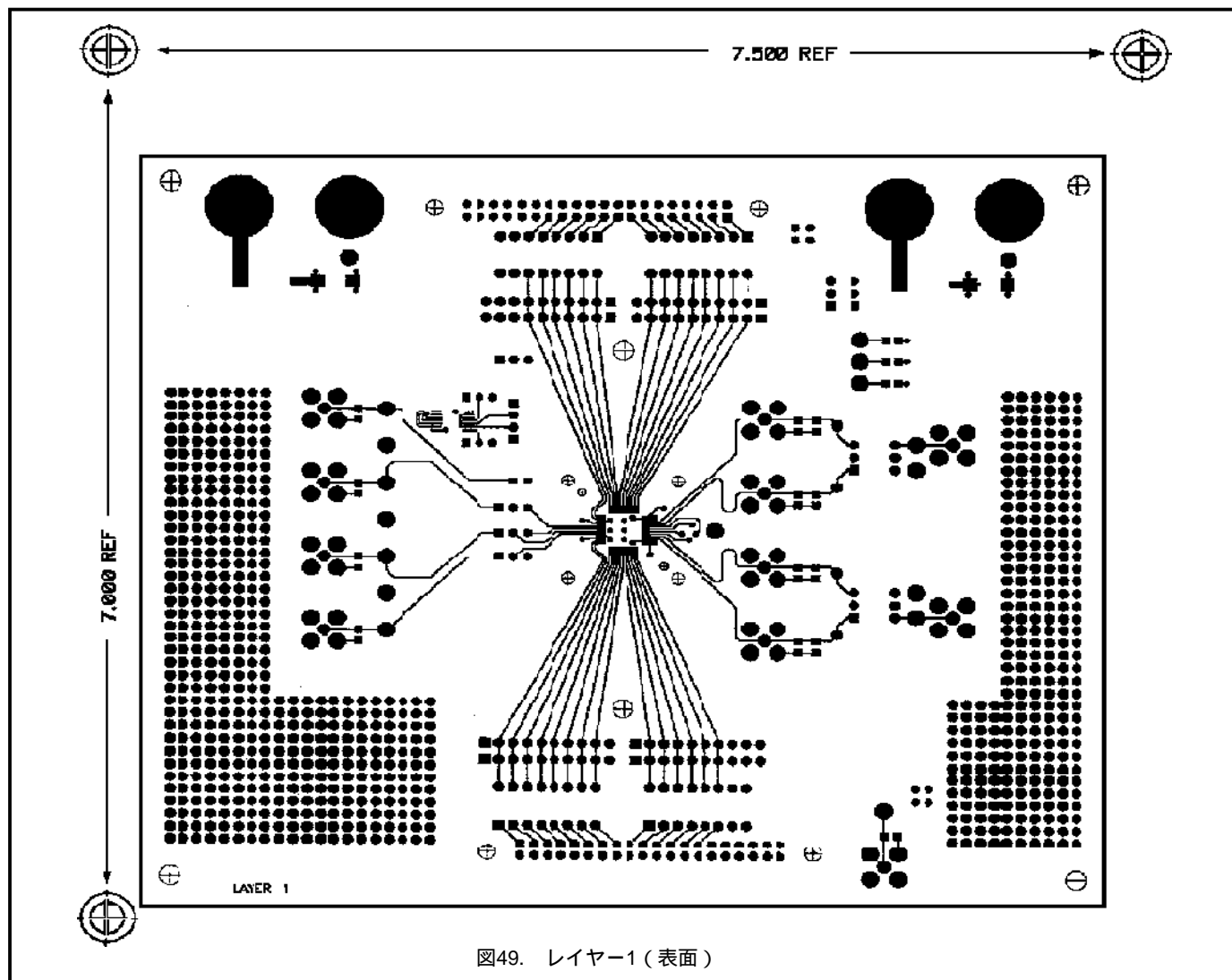
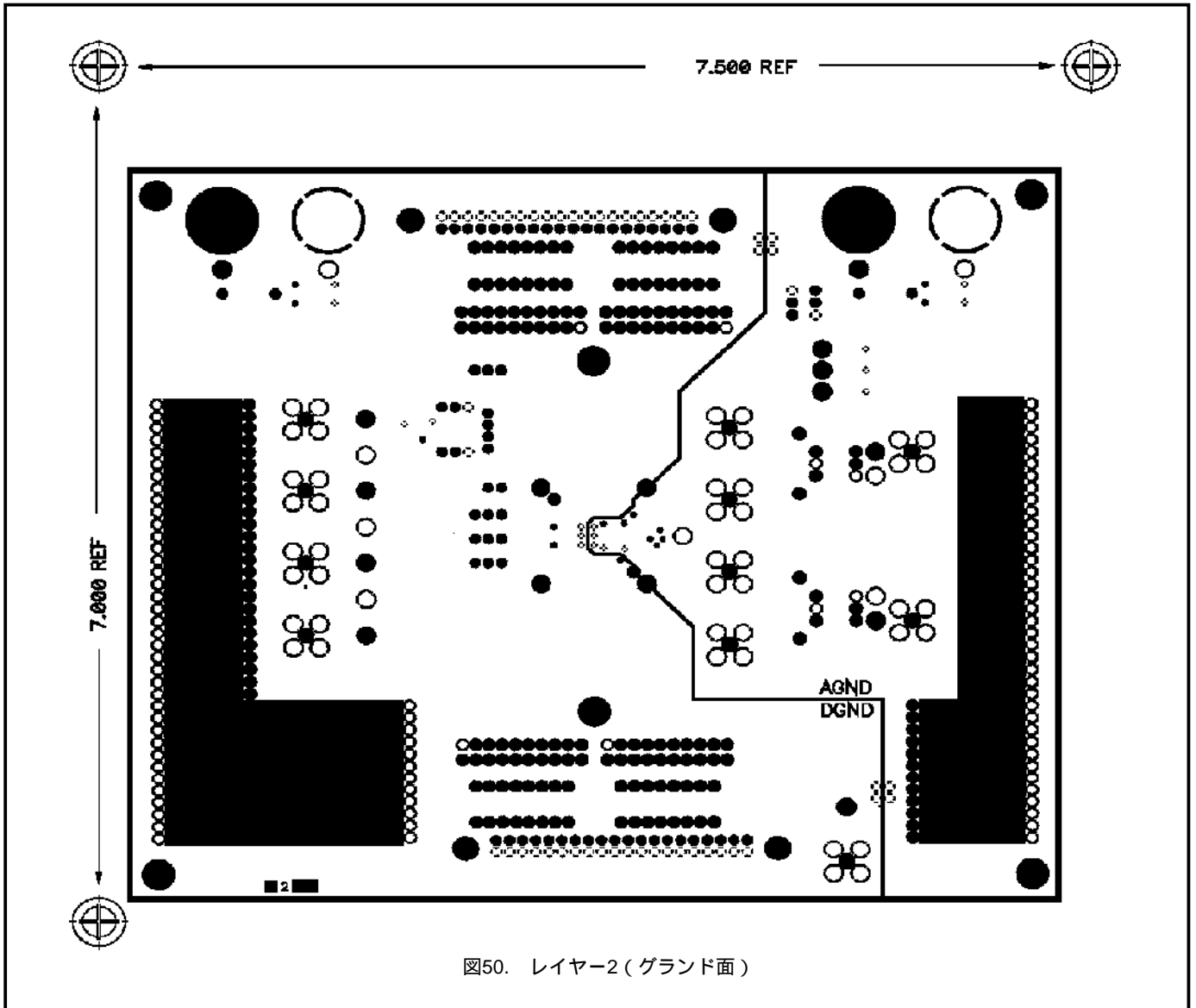
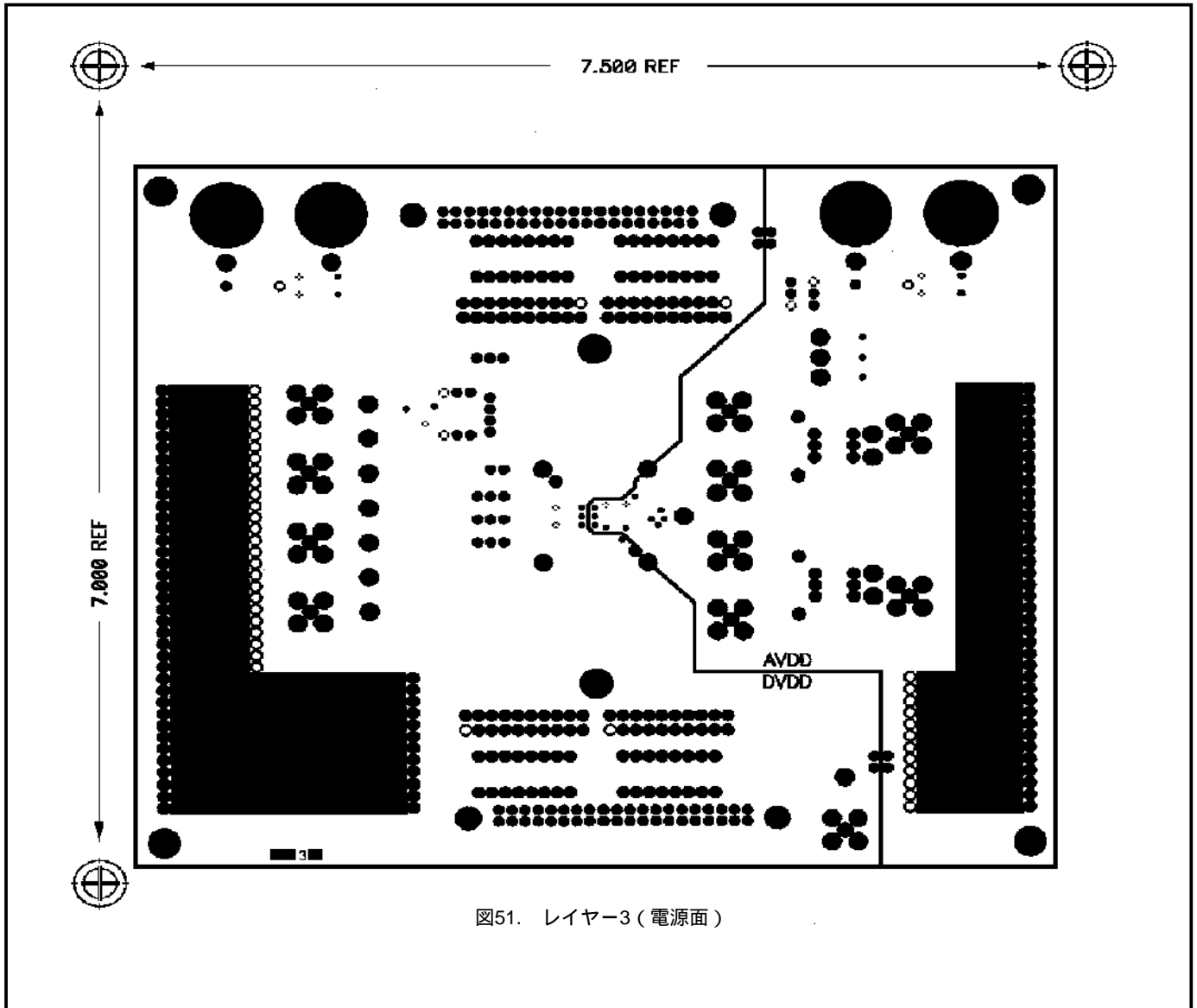


図47. アセンブリ (表面)









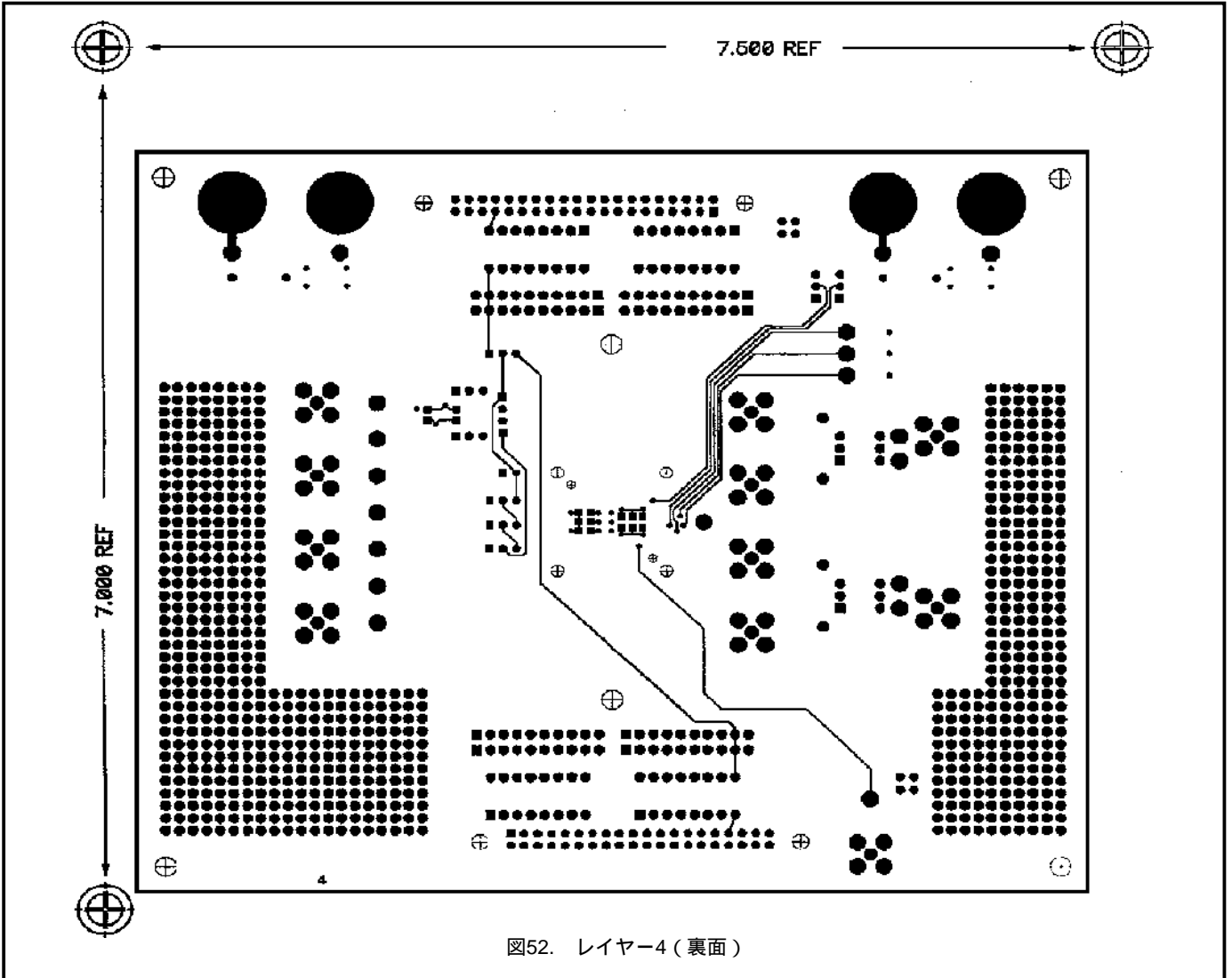


図52. レイヤー4 (裏面)

外形寸法

サイズはインチと (mm) で示します。

48ピン薄型PQFP (ST-48)

