

AD9762*

特長

ピンコンパチブルのTxDAC™ファミリ製品
 125MSPSの更新レート
 12ビット分解能
 優れたスプリアスの無いダイナミック・レンジ性能
 ナイキストまでのSFDR@5 MHz出力: 70 dBc
 差動電流出力: 2 mA ~ 20 mA
 消費電力: 175 mW@5 V ~ 45 mW@3 V
 パワーダウン・モード: 25 mW@5 V
 内部1.20 Vリファレンス
 +5 Vまたは+3 V単電源動作
 パッケージ: 28ピンSOIC
 エッジ・トリガ方式のラッチ

アプリケーション

通信送信チャンネル:
 基地局(シングル/マルチチャンネル・アプリケーション)
 ADSL/HFCモデム
 ダイレクト・デジタル・シンセシス(DDS)
 計装システム

概要

AD9762は、高性能、低消費電力CMOSデジタル/アナログ・コンバータ(D/A)であるTxDACシリーズの12ビット分解能の製品です。ピンコンパチブルの8、10、12、および14ビットの製品で構成されるTxDACファミリは、通信システムの送信部に最適な製品です。すべての製品は、同じインターフェース・オプション、同じSOパッケージ、および同じピン配置です。つまり、性能、分解能、およびコストに応じて製品を選択できます。AD9762は、125MSPSの更新レートをサポートしながら、優れたAC性能とDC性能を示します。

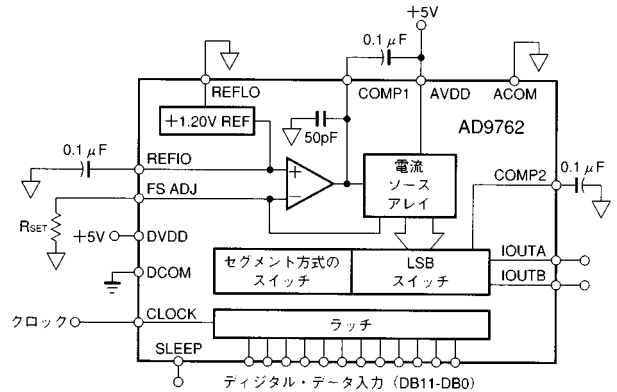
AD9762は汎用性の高い2.7 V ~ 5.5 Vの範囲の単電源動作範囲と低消費電力特性を備えていますので、携帯型で低消費電力が要求されるアプリケーションに最適な製品です。フルスケール出力電流を抑えることで、性能を著しく低下させずに消費電力を45 mWまで減少させることができます。さらにパワーダウン・モードにより、スタンバイ状態の消費電力を約25 mWに減少させることができます。

AD9762は、革新的なCMOSプロセスで製造されています。セグメント方式の電流ソース構造と弊社独自のスイッチング技術により、スプリアス成分を低下させ、優れたダイナミック性能を実現しています。全機能内蔵型のD/Aとするために、エッジ・トリガ方式のラッチと1.2 Vの温度補償されたバンドギャップ・リファレンスを内蔵しています。また汎用性の高い電源機能により、+3 Vと+5 Vのロジック・ファミリをサポートします。

AD9762は、20 mAの定格フルスケール出力電流と100 kΩ未満の出力インピーダンスを備えた電流出力のD/Aです。シングル・エン

TxDACは、アナログ・デバイス社の商標です。
 特許申請中。

機能ブロック図



ド方式、あるいは差動方式のアプリケーションをサポートするために、差動電流出力を備えています。2つの電流出力の高い整合性を実現して、差動出力構成時のダイナミック性能を向上しています。この電流出力は、出力抵抗に直接接続して2つのシングル・エンド方式のコンプリメンタリ電圧出力にすることもトランスに直接接続することもできます。出力電圧の追従範囲は、1.25 Vです。

精度と汎用性を高めるために、内部にリファレンスと制御アンプを備えています。AD9762は、この内部リファレンスでドライブすることも、また多種多様な外部リファレンス電圧でドライブすることもできます。幅広い調整範囲(10:1以上)を持つ内部制御アンプにより、優れたダイナミック性能を維持しながらフルスケール電流を2 mA ~ 20 mAの範囲で調整できます。つまり、AD9762は低い消費電力レベルで動作するか、もしくはゲイン範囲を広げるため、20 dBの範囲に調整するかします。

AD9762は、28ピンのSOICパッケージに実装されています。また産業温度範囲に渡って、この製品の仕様が規定されています。

製品ハイライト

- AD9762は、TxDAC製品ファミリの1つです。分解能(8~14ビット)、性能、および価格に応じた製品を選択できます。
- AD9762はCMOSプロセスで製造されています。また従来の高い消費電力と高い価格のバイポーラまたはBiCMOSのデバイスと比較して、より優れたダイナミック性能を示す弊社独自のスイッチング技術を採用しています。
- エッジ・トリガ方式の内部入力CMOSラッチは、簡単に+3 Vおよび+5 VのCMOSロジック・ファミリとインターフェースします。AD9762は、最高125MSPSまでの更新レートをサポートできます。
- 2.7 V ~ 5.5 Vの汎用性の高い単電源動作範囲と2 mA ~ 20 mAの幅広いフルスケール電流調整範囲により、AD9762を消費電力を少なく動作できます。
- AD9762の電流出力は、多種多様なシングル・エンド方式、あるいは差動方式に簡単に構成できます。

アナログ・デバイス社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイス社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

AD9762 仕様

DC仕様(特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = +5V$ 、 $DVDD = +5V$ 、 $I_{OUTFS} = 20mA$)

パラメータ	Min	Typ	Max	単位
分解能	12			ビット
DC精度 ¹				
積分直線性誤差(INL)				
$T_A = +25$	- 2.5	± 0.75	+ 2.5	LSB
$T_{MIN} \sim T_{MAX}$	- 4.0	± 1.0	+ 4.0	LSB
微分非直線性(DNL)				
$T_A = +25$	- 1.5	± 0.5	+ 1.5	LSB
$T_{MIN} \sim T_{MAX}$	- 2.0	± 0.75	+ 2.0	LSB
アナログ出力				
オフセット誤差	- 0.025		+ 0.025	%FSR
ゲイン誤差(内部リファレンス無し)	- 10	± 2	+ 10	%FSR
ゲイン誤差(内部リファレンス使用)	- 10	± 1	+ 10	%FSR
フルスケール出力電流 ²	2.0		20.0	mA
出力追従性範囲	- 1.0		1.25	V
出力抵抗		100		k
出力容量		5		pF
リファレンス出力				
リファレンス電圧		1.20		V
リファレンス出力電流 ³		100		nA
リファレンス入力				
入力追従性範囲	0.1		1.25	V
リファレンス入力抵抗		1		M
小信号帯域幅(C_{COMP1} 無し) ⁴		1.4		MHz
温度係数				
オフセット・ドリフト		0		ppmFSR/
ゲイン・ドリフト(内部リファレンス無し)		± 50		ppmFSR/
ゲイン・ドリフト(内部リファレンス使用)		± 100		ppmFSR/
リファレンス電圧ドリフト		± 50		ppm/
電源				
電源電圧				
AVDD ⁵	2.7	5.0	5.5	V
DVDD	2.7	5.0	5.5	V
アナログ電源電流(I_{AVDD})		25	30	mA
デジタル電源電流(I_{DVDD}) ⁶		1.5	2	mA
電源電流スリープ・モード(I_{AVDD})			8.5	mA
消費電力(5V、 $I_{OUTFS} = 20mA$)		190		mW
消費電力(3V、 $I_{OUTFS} = 2mA$)		45		mW
電源除去比 - AVDD	- 0.2		+ 0.2	%FSR/V
電源除去比 - DVDD	- 0.025		+ 0.025	%FSR/V
動作範囲	- 40		+ 85	

注意

- ¹ IOUTA上で測定、仮想グラウンドをドライブ。
- ² 定格フルスケール電流(I_{OUTFS})は、 $32 \times I_{REF}$ 電流。
- ³ 外部バッファ・アンプを使い、外部負荷をドライブ。
- ⁴ リファレンスの帯域幅は、COMP1上の外部コンデンサおよび信号レベルと関係があります。図41を参照して下さい。
- ⁵ 3V未満の動作の場合、最適な性能を維持するために、出力電流を12mA未満に減少することを推奨します。
- ⁶ $f_{CLOCK} = 25MSPS$ と $f_{OUT} = 1.0MHz$ 測定。
- ⁷ $f_{CLOCK} = 100MSPS$ で $f_{OUT} = 40MHz$ にして、IOUTAとIOUTB上で50Ωの R_{LOAD} を付けバッファ無しの電圧出力を測定。仕様は予告無しに変更する場合があります。

ダイナミック仕様(特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = +5V$ 、 $DVDD = +5V$ 、 $I_{OUTFS} = 20mA$ 、差動トランスカップリング出力、50Ωで両端を終端)

パラメータ	Min	Typ	Max	単位
ダイナミック性能				
最大出力更新レート(f_{CLOCK})	100	125		MSPS
出力セトリング時間(t_{ST} X 0.1%まで) ¹		35		ns
出力伝播遅延(t_{PD})		1		ns
グリッジ・インパルス		5		pV-s
出力立ち上がり時間(10%から90%) ¹		2.5		ns
出力立ち下がり時間(10%から90%) ¹		2.5		ns
出力ノイズ($I_{OUTFS} = 20mA$)		50		$\mu A/\sqrt{Hz}$
出力ノイズ($I_{OUTFS} = 2mA$)		30		$\mu A/\sqrt{Hz}$
AC直線性				
ナイキストまでのスプリアスの無いダイナミック・レンジ				
$f_{CLOCK} = 25MSPS$; $f_{OUT} = 1.00MHz$				
$T_A = +25$	75	79		dBc
$T_{MIN} \sim T_{MAX}$	73			dBc
$f_{CLOCK} = 50MSPS$; $f_{OUT} = 1.00MHz$		79		dBc
$f_{CLOCK} = 50MSPS$; $f_{OUT} = 2.51MHz$		74		dBc
$f_{CLOCK} = 50MSPS$; $f_{OUT} = 5.02MHz$		70		dBc
$f_{CLOCK} = 50MSPS$; $f_{OUT} = 20.2MHz$		57		dBc
$f_{CLOCK} = 100MSPS$; $f_{OUT} = 2.51MHz$		73		dBc
$f_{CLOCK} = 100MSPS$; $f_{OUT} = 5.04MHz$		67		dBc
$f_{CLOCK} = 100MSPS$; $f_{OUT} = 20.2MHz$		57		dBc
$f_{CLOCK} = 100MSPS$; $f_{OUT} = 40.4MHz$		53		dBc
ウィンドウ内のスプリアスの無いダイナミック・レンジ				
$f_{CLOCK} = 25MSPS$; $f_{OUT} = 1.00MHz$				
$T_A = +25$	78	76		dBc
$T_{MIN} \sim T_{MAX}$	76			dBc
$f_{CLOCK} = 50MSPS$; $f_{OUT} = 5.02MHz$; 2MHz範囲		84		dBc
$f_{CLOCK} = 100MSPS$; $f_{OUT} = 5.04MHz$; 4MHz範囲		84		dBc
全高調波歪み				
$f_{CLOCK} = 25MSPS$; $f_{OUT} = 1.00MHz$				
$T_A = +25$		-78	-74	dBc
$T_{MIN} \sim T_{MAX}$			-72	dBc
$f_{CLOCK} = 50MHz$; $f_{OUT} = 2.00MHz$		-75		dBc
$f_{CLOCK} = 100MHz$; $f_{OUT} = 2.00MHz$		-75		dBc
複数波の電力比(110kHz間隔毎に8波)				
$f_{CLOCK} = 20MSPS$; $f_{OUT} = 2.00MHz \sim 2.99MHz$		73		dBc

注意

¹ 50Ω負荷に対してシングル・エンド方式で測定。
仕様は予告無しに変更する場合があります。

AD9762

デジタル仕様(特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = +5V$ 、 $DVDD = +5V$ 、 $I_{OUTFS} = 20mA$)

パラメータ	Min	Typ	Max	単位
デジタル入力				
ロジック“1”電圧@DVDD = +5V	3.5	5		V
ロジック“1”電圧@DVDD = +3V	2.1	3		V
ロジック“0”電圧@DVDD = +5V		0	1.3	V
ロジック“0”電圧@DVDD = +3V		0	0.9	V
ロジック“1”電流	-10		+10	μA
ロジック“0”電流	-10		+10	μA
入力容量		5		pF
入力セットアップ時間(t_s)	3			ns
入力ホールド時間(t_H)	3			ns
ラッチ・パルス幅(t_{LPW})	4			ns

仕様は予告無しに変更する場合があります。

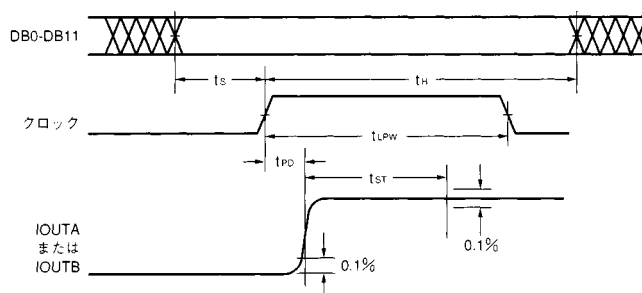


図1. タイミング図

絶対最大定格*

パラメータ	対象	Min	Max	単位
AVDD	ACOM	-0.3	+6.5	V
DVDD	DCOM	-0.3	+6.5	V
ACOM	DCOM	-0.3	+0.3	V
AVDD	DVDD	-6.5	+6.5	V
CLOCK、SLEEP	DCOM	-0.3	DVDD + 0.3	V
デジタル入力	DCOM	-0.3	DVDD + 0.3	V
IOUTA、IOUTB	ACOM	-1.0	AVDD + 0.3	V
COMP1、COMP2	ACOM	-0.3	AVDD + 0.3	V
REFIO、FSADJ	ACOM	-0.3	AVDD + 0.3	V
REFLO	ACOM	-0.3	+0.3	V
接合温度			+150	
保管温度		-65	+150	
リード温度 (10秒)			+300	

* “絶対最大定格”を超えるストレスは、デバイスを永久的に破壊する場合があります。この定格はデバイスの単なるストレスの度合いであり、基本的な動作あるいは動作の項に示す他の条件においてこの定格は考慮されていません。デバイスのある項目についての絶対最大定格の状態に長時間さらすとデバイスの信頼性に影響を与えます。

オーダー・ガイド

モデル名	温度範囲	パッケージ	パッケージ・オプション*
AD9762AR	-40 ~ +85	28ピン300mil SOIC	R-28
AD9762-EB	評価ボード		

*R = SOIC

温度特性

熱抵抗

28ピン300mil SOIC

$J_A = 71.4C/W$

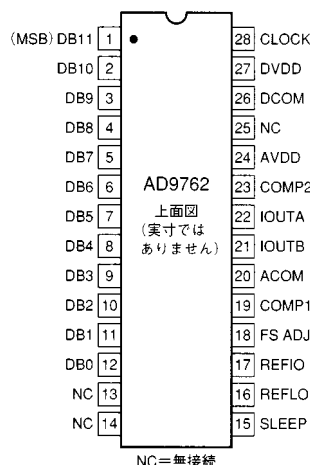
$J_C = 23C/W$

注意

ESD (electrostatic discharge) センシティブ・デバイスです。4000Vもの高電圧が人体やテスト機器に充電し、検出されること無く放電する場合があります。このAD9762は、弊社独自のESD保護回路を備えています。高エネルギーの静電界にさらされるとデバイスを永久的に破壊する場合があります。したがって性能の低下あるいは機能の損失を避けるために適切なESD対策を施して下さい。



ピン配置



ピン説明

ピン番号	名称	説明
1	DB11	最上位データ・ビット(MSB)。
2-11	DB10-DB1	データ・ビット1-10。
12	DB0	最下位データ・ビット(LSB)。
13、14、25	NC	内部無接続。
15	SLEEP	パワーダウン制御入力。アクティブHI。内部にプルダウン回路を内蔵しているため、利用しない場合は何も接続しないで下さい。
16	REFLO	内部1.2Vリファレンスを使用する場合は、リファレンス・グラウンド。AVDDに接続すると、内部リファレンスをディスエーブル状態にします。
17	REFIO	リファレンス入力/出力。内部リファレンスがディスエーブル状態の際にリファレンス入力として動作(REFLOをAVDDに接続)。また内部リファレンスをアクティブ状態にした場合は(REFLOをACOMに接続)、ACOMとの間に0.1μFのコンデンサが必要。
18	FS ADJ	フルスケール電流出力調整。
19	COMP1	帯域幅/ノイズ減少ノード。最適な性能を実現するために、AVDDとの間に0.1μFのコンデンサが必要。
20	ACOM	アナログ・コモン。
21	IOUTB	コンプリメンタリD/A電流出力。すべてのデータ・ビットが0の場合にフルスケール電流。
22	IOUTA	D/A電流出力。すべてのデータ・ビットが1の場合にフルスケール電流。
23	COMP2	スイッチング・ドライバ回路用の内部バイアス・ノード。0.1μFのコンデンサでACOMに対してデカップリング。
24	AVDD	アナログ電源電圧(+2.7V ~ +5.5V)。
26	DCOM	デジタル・コモン。
27	DVDD	デジタル電源電圧(+2.7V ~ +5.5V)。
28	CLOCK	クロック入力。クロックの立ち上がりエッジでデータをラッチ。

AD9762

仕様の定義

直線性誤差(積分非直線性またはINL)

直線性誤差は、ゼロからフルスケールとの間に引く直線で示す理想的な出力と実際のアナログ出力との最大偏差と定義されています。

微分直線性誤差(DNL)

DNLは、デジタル入力コードを1LSB変化させた際の正規化したフルスケールに対してのアナログ値の変動を測定したものです。

単調性

デジタル入力を増加させた際に出力が増加するか、あるいはそのままであった場合にD/Aコンバータは単調性を持ちます。

オフセット誤差

出力電流の理想のゼロよりの偏差が、オフセット誤差と呼ばれます。IOUTAの場合、入力がすべて0の場合に出力は0 mAです。またIOUTBの場合、入力がすべて1の場合に出力は0 mAです。

ゲイン誤差

実際の出力範囲と理想的な出力範囲の差です。実際の出力範囲は、入力をすべて1に設定した場合の出力から入力をすべて0に設定した場合の出力を減算して決まります。

出力追従性範囲

電流出力のD/Aの出力上での許容可能な電圧範囲のことです。最大追従限度を超えて動作させた場合、出力段の飽和またはブレイクダウンが生じ、直線性能が働かない場合があります。

温度ドリフト

温度ドリフトは、周囲温度(+25)の値から T_{MIN} または T_{MAX} での値への最大変化量と規定されています。オフセット・ドリフトとゲイン・ドリフトの場合、ドリフトは 分のフルスケール範囲(FSR)のppmで示されます。またリファレンス・ドリフトの場合、分のppmで示されます。

電源除去

電源電圧を定格値から規定された電圧の最大値または最小値に変化させた際のフルスケール出力の最大変動のことです。

セトリング時間

出力が最終値の規定された範囲内に到達し、その範囲内に収まるまで必要な時間。出力遷移の開始から時間を測定します。

グリッジ・インパルス

D/A内のスイッチング時間が一定でないために、グリッジ・インパルスと呼ばれる望ましくない過渡出力が発生します。これは、グリッジの総面積(pV·s)で仕様が規定されます。

スプリアスの無いダイナミック・レンジ

出力信号のrms振幅値と規定された帯域幅に渡ってのピーク・スプリアス信号の差をdBで示したものです。

全高調波歪み(THD)

THDは、測定した入力信号のrms値と6次までの高調波成分のrms和との比のことです。%またはデシベル(dB)で表されます。

マルチトーン電力比

振幅が等しい複数の搬送波成分を持つ出力のスプリアスの無いダイナミック・レンジのこと。搬送波のrms振幅値と除去された波の領域のピーク・スプリアス信号との差として測定されます。

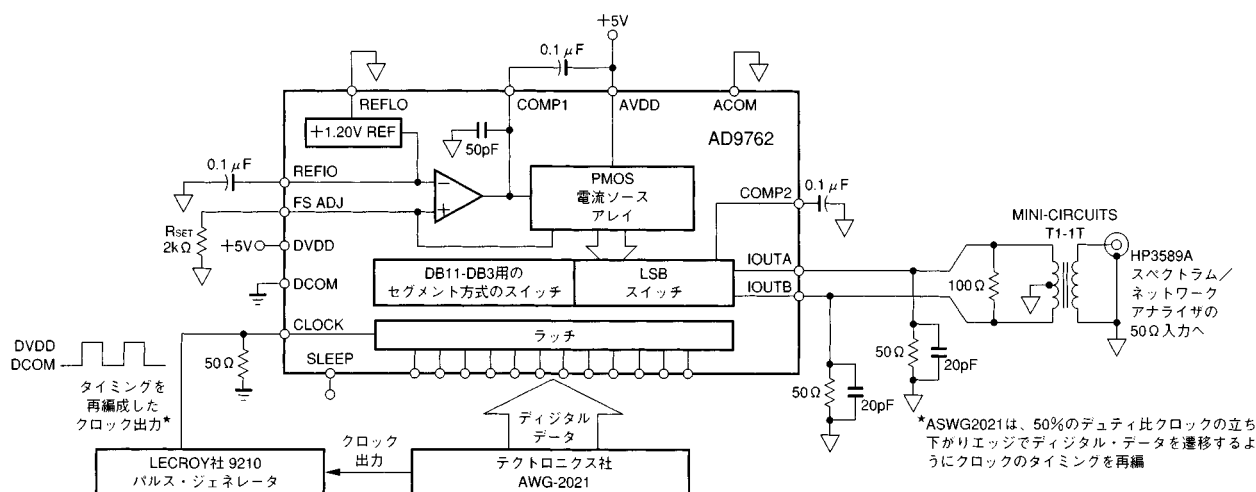


図2. 基本AC特性テスト用の構成

代表的なAC特性曲線@ +5 V電源(特に指定のない限り、AVDD = +5 V、DVDD = +5 V、 $I_{OUTFS} = 20\text{ mA}$ 、50 Ω で両端を終端した負荷、差動出力、 $T_A = +25^\circ\text{C}$ 、SFDRはナイキストまで)

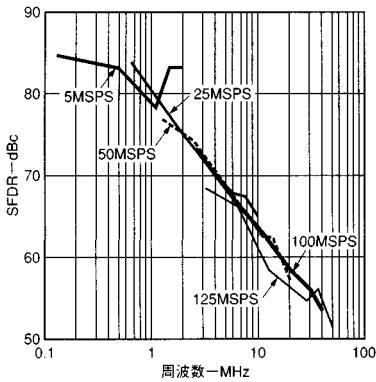


図3 . SFDRと f_{OUT} @0dBFS

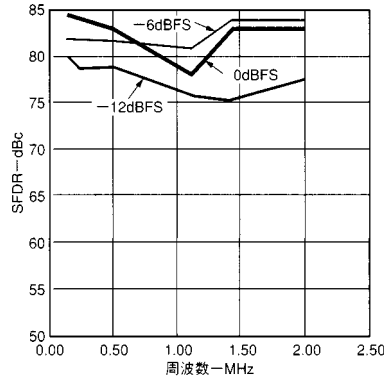


図4 . SFDRと f_{OUT} @5MSPS

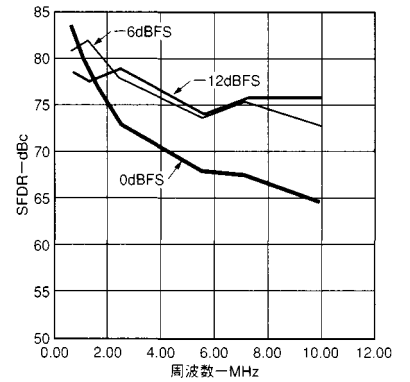


図5 . SFDRと f_{OUT} @25MSPS

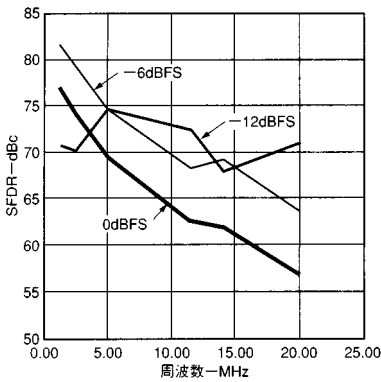


図6 . SFDRと f_{OUT} @50MSPS

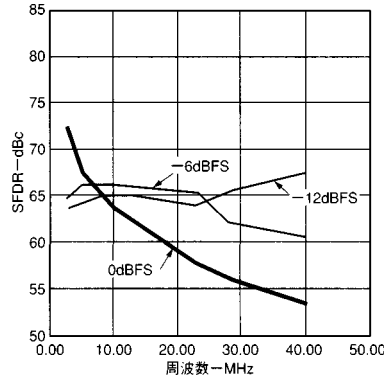


図7 . SFDRと f_{OUT} @100MSPS

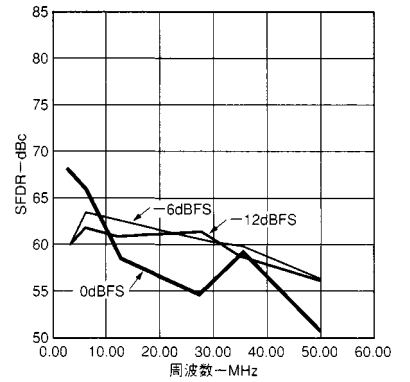


図8 . SFDRと f_{OUT} @125MSPS

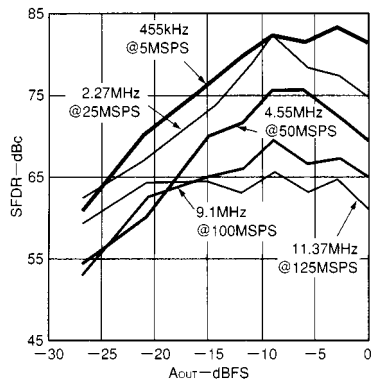


図9 . 1波のSFDRと A_{OUT} @ $f_{OUT} = f_{CLOCK}/11$

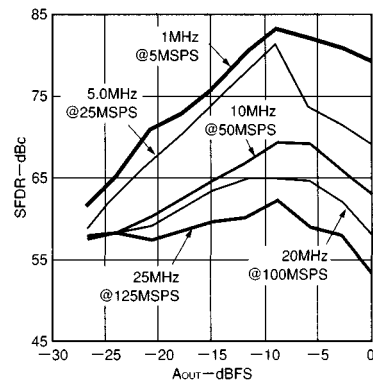


図10 . 1波のSFDRと A_{OUT} @ $f_{OUT} = f_{CLOCK}/5$

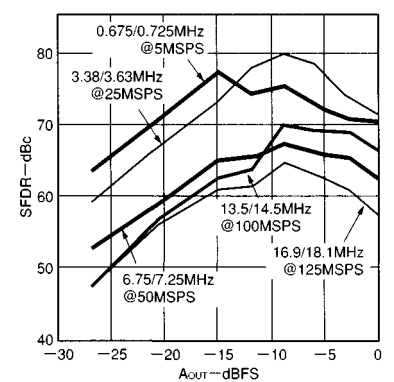


図11 . 2波のSFDRと A_{OUT} @ $f_{OUT} = f_{CLOCK}/7$

AD9762

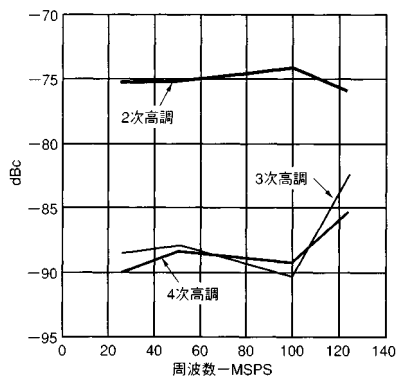


図12. THDと f_{CLOCK} @ $f_{\text{OUT}} = 2 \text{ MHz}$

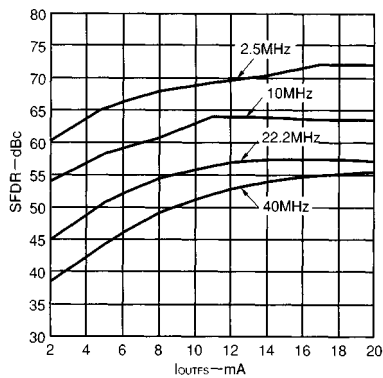


図13. SFDRと f_{OUT} および I_{OUTFS} @ 100MSPS、0dBFS

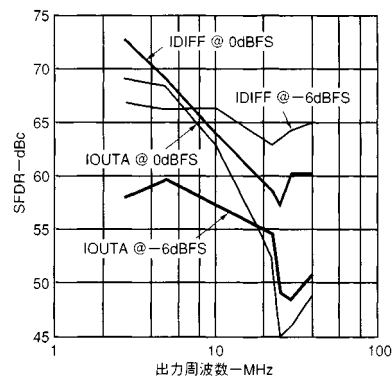


図14. 差動方式とシングル・エンド方式の SFDRと f_{OUT} @ 100MSPS

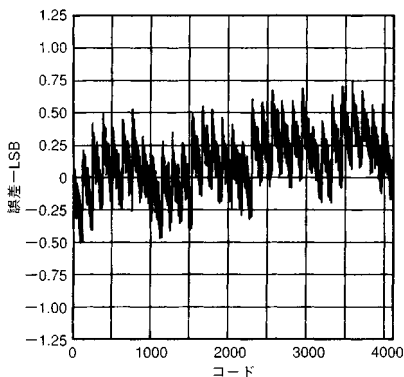


図15. 代表的なINL

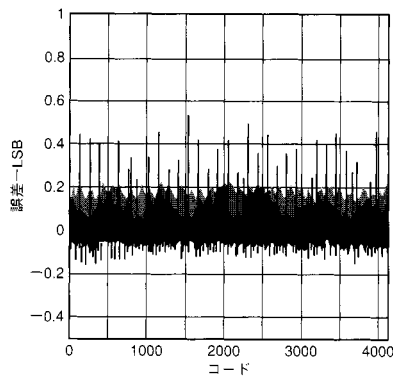


図16. 代表的なDNL

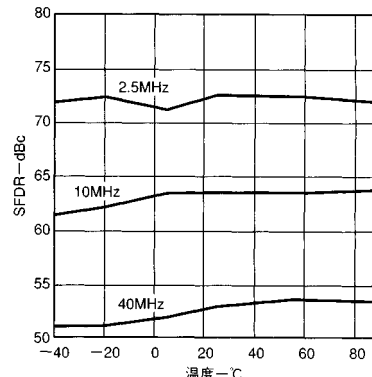


図17. SFDRと温度 @ 100MSPS、0dBFS

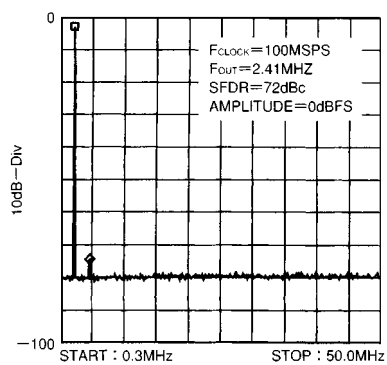


図18. 1波のSFDR

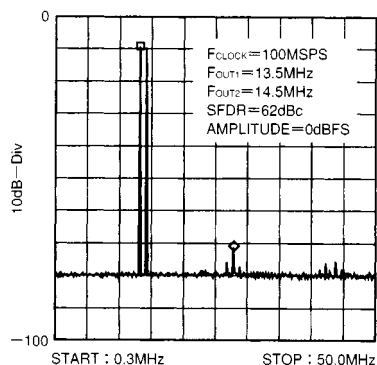


図19. 2波のSFDR

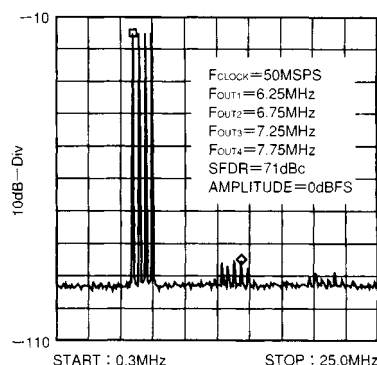


図20. 4波のSFDR

代表的なAC特性曲線@ +3 V電源(特に指定のない限り、AVDD = +3 V、DVDD = +3 V、 $I_{OUTFS} = 20\text{ mA}$ 、50 Ω で両端を終端した負荷、差動出力、 $T_A = +25^\circ\text{C}$ 、SFDRはナイキストまで)

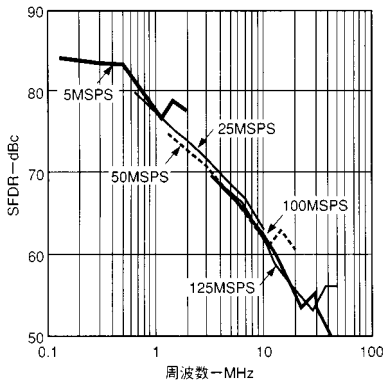


図21 . SFDRと f_{OUT} @0dBFS

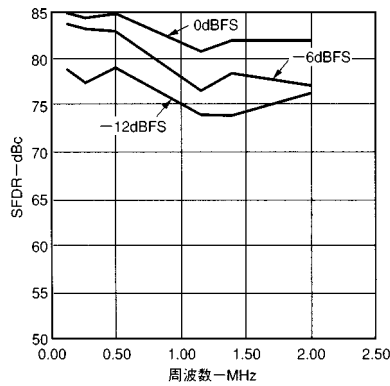


図22 . SFDRと f_{OUT} @5MSPS

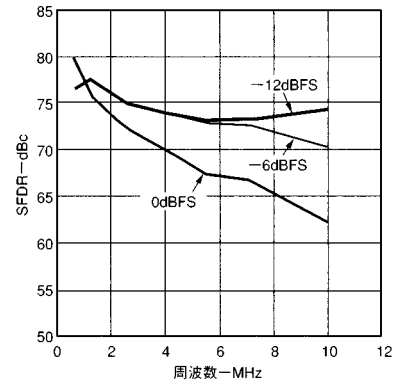


図23 . SFDRと f_{OUT} @25MSPS

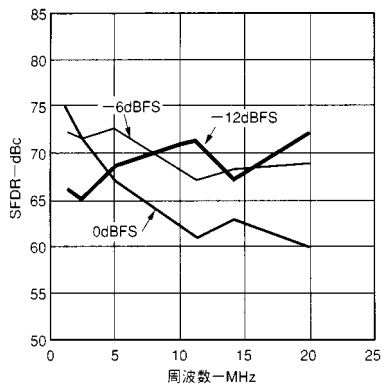


図24 . SFDRと f_{OUT} @50MSPS

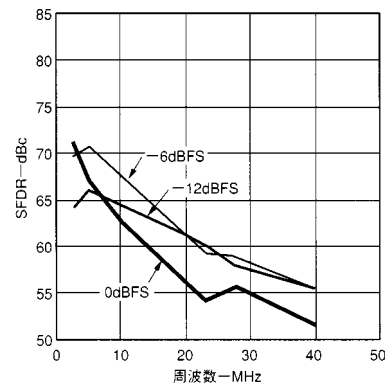


図25 . SFDRと f_{OUT} @100MSPS

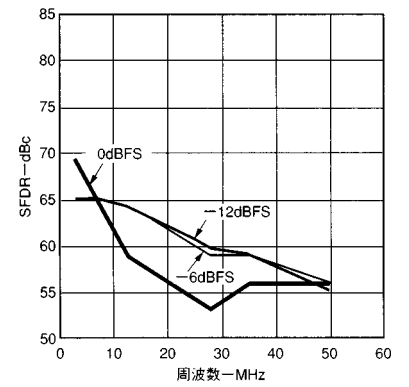


図26 . SFDRと f_{OUT} @125MSPS

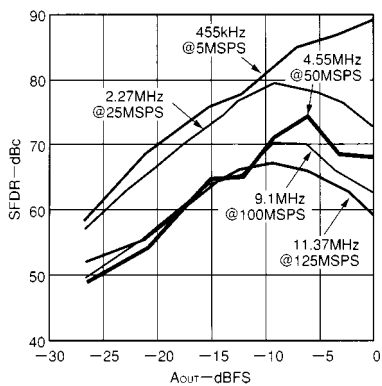


図27 . 1波のSFDRと A_{OUT} @ $f_{OUT} = f_{CLOCK}/11$

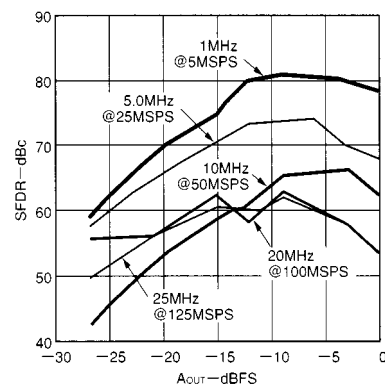


図28 . 1波のSFDRと A_{OUT} @ $f_{OUT} = f_{CLOCK}/5$

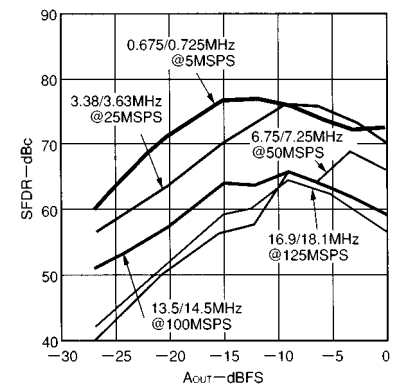


図29 . 2波のSFDRと A_{OUT} @ $f_{OUT} = f_{CLOCK}/7$

AD9762

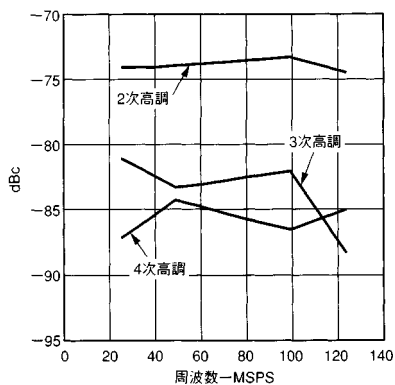


図30 . THDと f_{CLOCK} @ $f_{\text{OUT}} = 2 \text{ MHz}$

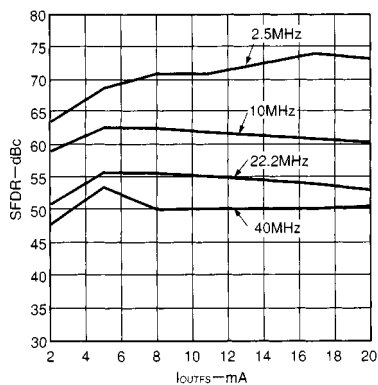


図31 . SFDRと f_{OUT} および I_{OUTFS}
@100MSPS、0dBFS

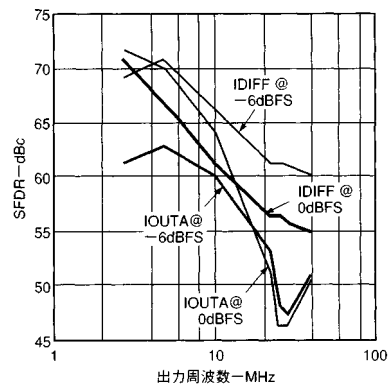


図32 . 差動方式とシングル・エンド方式
のSFDRと f_{OUT} @100MSPS

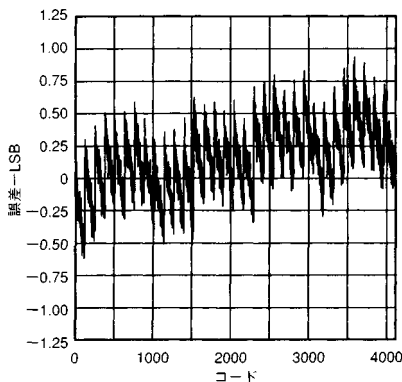


図33 . 代表的なINL

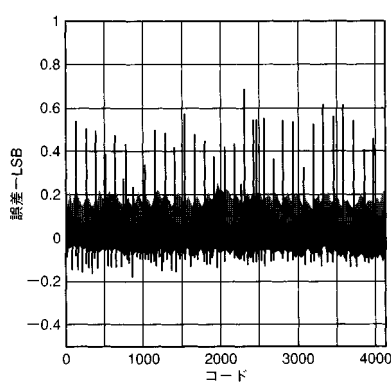


図34 . 代表的なDNL

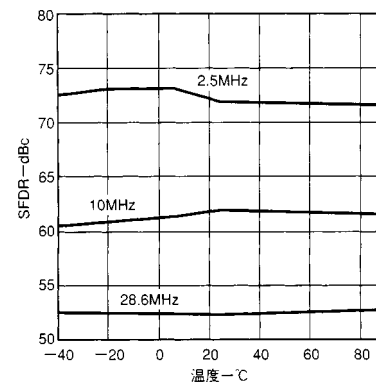


図35 . SFDRと温度@100MSPS、0dBFS

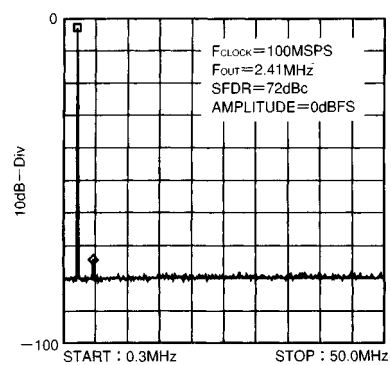


図36 . 1波のSFDR

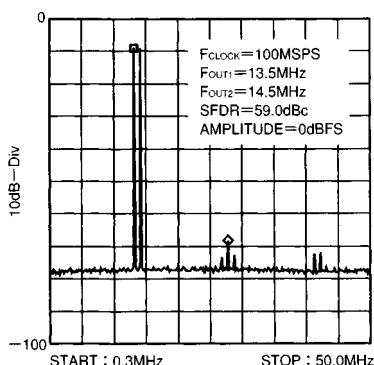


図37 . 2波のSFDR

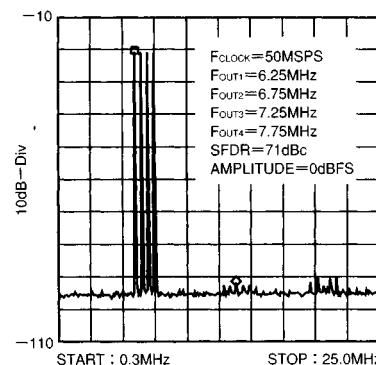


図38 . 4波のSFDR

機能の説明

図39はAD9762の簡略化されたブロック図です。AD9762は全体で最高20 mAの電流を供給できるPMOS電流ソース・アレイを内蔵しています。アレイは、上位5ビット(MSB)に対応する同じ値の電流を供給する31個のセルに分割されています。次の4ビット、つまり中位4ビットもその上位ビットの1/16の電流を供給する15個の同じ電流源で構成されています。残りの下位ビットは、中位ビットの電流源の分数をバイナリで重み付けしたものです。R-2Rはしご型抵抗回路の代わりに、中位ビットと下位ビットに電流源を使ったことにより、複数の周波数成分から成る信号のダイナミック性能、あるいは小さな振幅値の信号の性能が改善され、さらにD/Aの出力インピーダンスを高くできました(100 k 以上)。

これらの電流は、PMOS差動電流スイッチを通してすべて2つの出力ノード(IOUTAまたはIOUTB)の内の一方にスイッチします。このスイッチは新たな回路構造を採用し、歪み性能をダイナミックに改善しています。この新しいスイッチ回路はいろいろなタイミング・エラーを減らし、そして差動電流スイッチの入力をドライブする2つのコンプリメンタリ信号の整合性をとっています。

AD9762のアナログ部とデジタル部は、それぞれ2.7 V~5.5 Vの範囲で独自に動作する別々の電源入力(AVDDとDVDD)を備えています。最高125 MSPSのクロック・レートで動作可能なデジタル部は、エッジ・トリガ方式のラッチとセグメント方式のデコード回路で構成されています。またアナログ部は、PMOS電流源、それに付随する差動スイッチ、1.20 Vのバンドギャップ電圧リファレンス、およびリファレンス制御アンプで構成されています。

フルスケール出力電流は、リファレンス制御アンプによって制御され、外部抵抗(R_{SET})を通じて2 mAから20 mAの範囲に設定できます。リファレンス制御アンプと電圧リファレンス(V_{REFIO})および外部抵抗で、適当な係数を持つセグメント方式の電流源と同じ電流値のリファレンス電流(I_{REF})を設定します。またフルスケール電流(I_{OUTFS})は、 I_{REF} の値の32倍です。

D/Aの伝達関数

AD9762はコンプリメンタリ電流出力であるIOUTAとIOUTBを備えています。すべてのビットがHIの場合(つまりD/Aコード=4095)、IOUTAはほぼフルスケールの電流を出力しますが、コンプ

リメンタリ出力のIOUTBは電流を出力しません。IOUTAとIOUTB上の出力電流は、入力コードと I_{OUTFS} の両方と関係があり、次の式で表すことができます：

$$I_{OUTA} = (D/Aコード / 4096) \times I_{OUTFS} \quad (1)$$

$$I_{OUTB} = (4095 - D/Aコード) / 4096 \times I_{OUTFS} \quad (2)$$

ここでのD/Aコードは、0~4095(10進数表示)の範囲です。

前述したように、 I_{OUTFS} は通常リファレンス電圧(V_{REFIO})と外部抵抗(R_{SET})で設定されるリファレンス電流(I_{REF})と関係があります。それを次の式で表すことができます：

$$I_{OUTA} = 32 \times I_{REF} \quad (3)$$

$$I_{REF} = V_{REFIO} \times R_{SET} \quad (4)$$

2種類の電流出力は、通常抵抗負荷を直接、あるいはトランスを通してドライブします。DCカップリングが必要な場合には、IOUTAとIOUTBはアナログ・コモン(ACOM)に接続したマッチングする抵抗負荷(R_{LOAD})に直接接続して下さい。 R_{LOAD} は、両端を終端した50 または75 ケーブルの場合にIOUTAとIOUTBに見られる等価負荷抵抗を表していることに注意して下さい。IOUTAとIOUTBノード上のシングル・エンド方式の電圧出力は単に：

$$V_{OUTA} = I_{OUTA} \times R_{LOAD} \quad (5)$$

$$V_{OUTB} = I_{OUTB} \times R_{LOAD} \quad (6)$$

V_{OUTA} と V_{OUTB} のフルスケール値は、規定された歪み性能と直線性性能を維持するために仕様に規定された出力追従範囲を超えないで下さい。

IOUTAとIOUTB上の差動電圧(V_{DIFF})は：

$$V_{DIFF} = (I_{OUTA} - I_{OUTB}) \times R_{LOAD} \quad (7)$$

I_{OUTA} 、 I_{OUTB} 、および I_{REF} の値の代わりに、 V_{DIEF} は次の式で表すことができます：

$$V_{DIFF} = \{ (2D/Aコード - 4095) / 4096 \} \times (32R_{LOAD} / R_{SET}) \times V_{REFIO} \quad (8)$$

上の2つの式はAD9762を差動方式で動作させる際に有利な点を表しています。まず第1に、差動方式の動作はノイズ、歪み、およびDCオフセット等の I_{OUTA} と I_{OUTB} に関連する同相誤差源をキャンセルします。第2番目に、差動コードに依存する電流、それによる電圧(V_{DIFF})は、シングル・エンド方式(つまり V_{OUTA} または V_{OUTB})の2倍の出力電圧です。したがって、負荷に対して2倍の電力を供給できます。

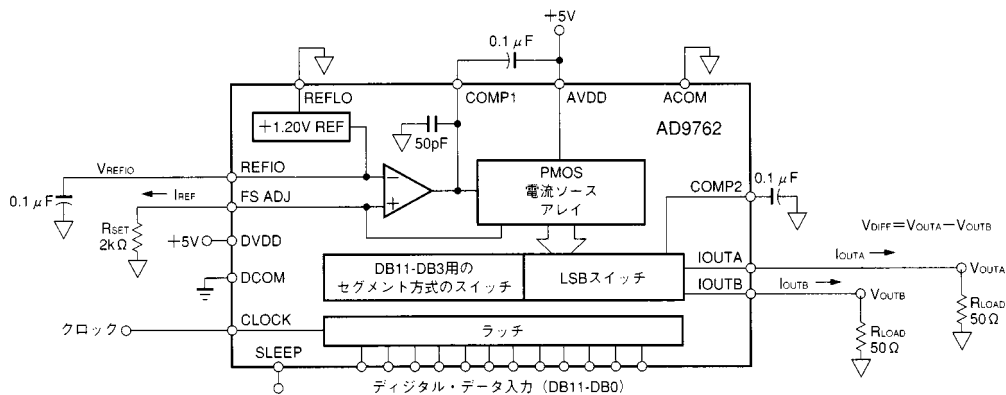


図39. 機能ブロック図

AD9762

AD9762のシングル・エンド出力(V_{OUT} と V_{OUTB})あるいは差動出力(V_{DIFF})は、式8に示すように R_{LOAD} と R_{SET} 用に比例関係のある温度追従性のある抵抗を選択することで改善できます。

リファレンス動作

AD9762は、外部リファレンスにより簡単にディスエーブルや無効にできる1.20 Vのバンドギャップ・リファレンスを備えています。この内部リファレンスまたは外部リファレンスの選択に応じて、REFIOを入力、あるいは出力にできます。図40に示すようにREFLOをACOMに接続した場合、内部リファレンスがアクティブになり、REFIOは1.20 Vを出力します。この場合、内部リファレンスはREFIOとREFLOとの間に0.1 μ F以上のセラミック・チップ・コンデンサを使って外部で補償しなければなりません。さらにより大きな負荷が必要な場合、入力バイアス電流が100 nA未満の外部アンプでREFIOをバッファして下さい。

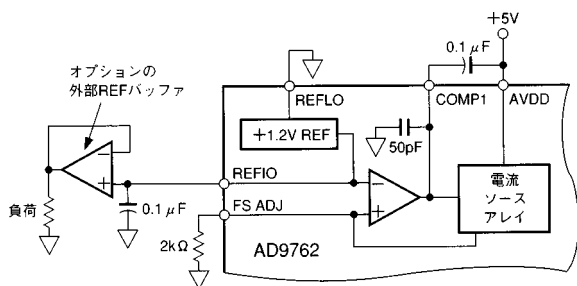


図40．内部リファレンス構成

REFLOをAVDDに接続すると、内部リファレンスはディスエーブル状態となります。この場合、図41に示すようにREFIOに外部リファレンスを接続します。この外部リファレンスは、より高い精度とドリフト性能を実現できる固定リファレンス電圧、またはゲイン制御用の可変リファレンス電圧を備えます。内部リファレンスはディスエーブル状態で、REFIOの高入力インピーダンス(1 M Ω)が、外部リファレンスの負荷の影響を抑えていますので、0.1 μ Fの補償コンデンサは必要ありません。

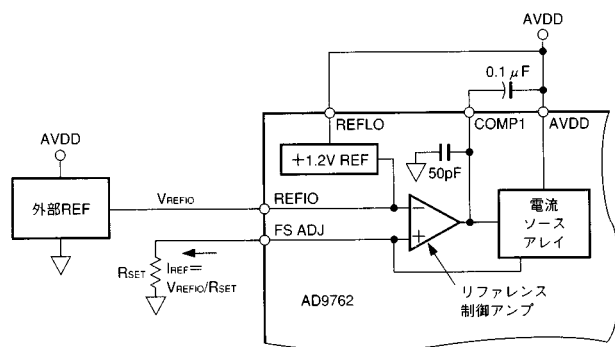


図41．外部リファレンス構成

リファレンス制御アンプ

AD9762は、D/Aのフルスケール出力電流(I_{OUTFS})を調整するための制御アンプを内蔵しています。この制御アンプは、図41のようにV-I変換器として構成されています。式4のように、この出力電流(I_{REF})は V_{REFIO} と外部抵抗(R_{SET})の比率で決まります。このセグメ

ント方式の電流ソースで使用される I_{REF} によって、式3に示すように適当な係数が乗じられ、 I_{OUTFS} を設定します。

I_{REF} を62.5 μ Aから625 μ Aの範囲で設定すると、制御アンプにより I_{OUTFS} を2 mAから20 mAの範囲で調整できます。 I_{OUTFS} の幅広い調整範囲により、数々のメリットが生じます。1つ目のメリットは、 I_{OUTFS} と正比例の関係にあるAD9762の消費電力に関するものです(消費電力の項を参照)。2つ目のメリットは、システムのゲイン・コントロールの際に有効な20dB調整に関するものです。

リファレンス制御アンプの小信号帯域幅は約1.4 MHzですが、COMP1とAVDDとの間に外部コンデンサを接続することにより、この帯域幅を低下させることができます。制御アンプの出力(COMP1)は、制御アンプの小信号帯域幅を制御し、出力インピーダンスを低下させる50 pFのコンデンサを通じて補償されています。さらに外部に容量成分を持たせると、帯域幅をより低下し、そしてリファレンスのノイズを抑えるフィルタとして動作します。図42は、外部コンデンサとリファレンス・アンプの小信号 - 3 dB帯域幅を示しています。

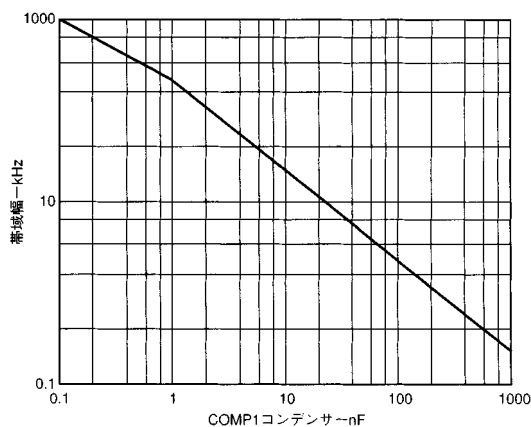


図42．外部COMP1コンデンサと - 3 dB帯域幅

- 3dB帯域幅は1番主要な極、つまり時定数に一致していますので、ステップ状の信号をリファレンスに入力した場合の制御アンプのセtring時間を見積もることができます。

0.1 μ Fの外部コンデンサを付けることで、最高の歪み性能を持つ再構成出力波形を実現できます。つまり固定の I_{REF} を使うアプリケーションの場合、0.1 μ Fのセラミック・チップ・コンデンサを推奨します。さらに制御アンプは低い消費電力での動作に最適化されていますので、大きな信号振幅を必要とする乗算アプリケーションでは外部制御アンプを利用することを考慮して下さい。この外部制御アンプで、アプリケーションの全体の大信号乗算帯域幅と歪み性能を改善できます。

R_{SET} が固定の場合に I_{REF} を変化させる方法が2種類あります。1番目の方法は、単電源システムに適したもので、内部リファレンスをディスエーブル状態にし、REFIOの同相電圧を1.25 Vから0.10 Vまでのその追従範囲に渡って変化させます。単電源アンプまたD/AでREFIOをドライブできます。つまり、 R_{SET} が固定でも I_{REF} を変化させることができます。REFIOの入力インピーダンスは1 M Ω ですので、電圧モードの簡単なR-2Rはしご型のD/Aで回路を構成してゲインをコントロールします。図43の回路は、AD7524とAD1580(外部1.2 Vリファレンス)を使った回路です。

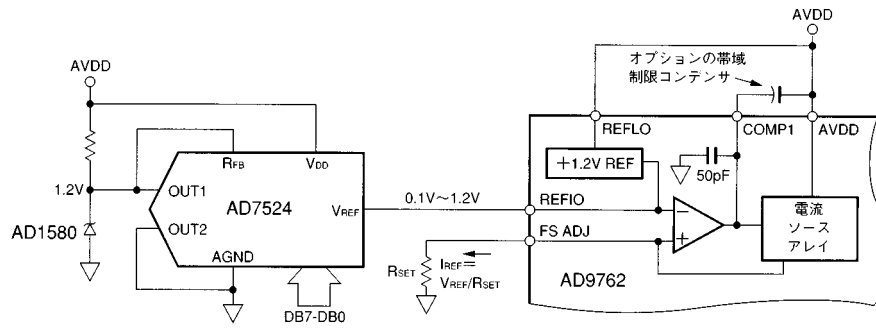


図43．単電源ゲイン制御回路

2番目の方法は両電源システムを使う方法で、REFIOの同相電圧を固定にし、アンプを通じて抵抗(R_{SET})に外部電圧(V_{GC})をかけて I_{REF} を変更する方法です。図44は、この2番目の方法の例です。内部リファレンスで制御アンプの同相電圧を1.20 Vに設定しています。外部電圧(V_{GC})はACOMを基準とし、また1.2 Vを超えないようにして下さい。 I_{REFMIN} と I_{REFMAX} がそれぞれ62.5 μ Aと625 μ Aを超えないように R_{SET} を決めて下さい。 R_{SET} の値を決めるために、図44内の方程式を使うことができます。

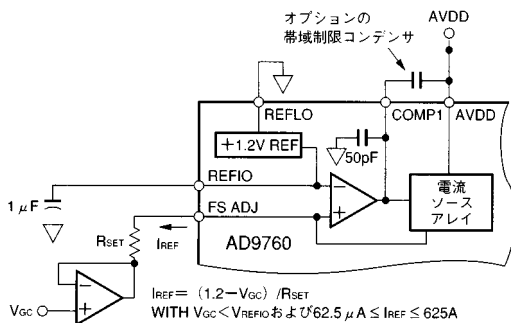


図44．両電源ゲイン制御回路

アプリケーションの中には、乗算帯域幅、歪み性能またはセトリング時間を改善するために外部制御アンプを使う場合があります。この場合、AD817等の50 pFの負荷をドライブできる外部アンプが適しています。図45に示すように、ドライブ能力の小さい内部リファレンス・アンプと並列に配置します。この場合、外部アンプが内部のリファレンス制御アンプを単にオーバードライブしています。さらに内部制御アンプの出力電流は制限されているので、オーバードライブしてもダメージを受けません。

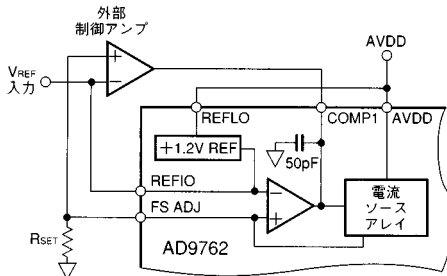


図45．外部リファレンス制御アンプを構成

アナログ出力

AD9762は、シングル・エンド方式の動作、あるいは差動方式の動作に構成できる2つのコンプリメンタリ電流出力(I_{OUTA} と I_{OUTB})を備えています。 I_{OUTA} と I_{OUTB} は、D/A伝達関数の項の中の式5から式8に示したように、負荷抵抗(R_{LOAD})を通してシングル・エンド方式のコンプリメンタリ電圧出力(V_{OUTA} と V_{OUTB})に変換できます。さらに V_{OUTA} と V_{OUTB} 間の差電圧(V_{DIFF})は、トランスあるいは差動アンプ回路を通じてシングル・エンド方式の電圧に変換できます。AD9762のAC性能は、 I_{OUTA} と I_{OUTB} 上の振幅電圧が ± 0.5 Vの範囲に制限される差動トランス・カップリング出力で利用する場合に最高なものとなります。またシングル・エンド方式のユニポーラ出力構成にする場合、 I_{OUTA} を使って下さい。

AD9762を差動動作に構成した場合、AD9762の歪み性能とノイズ性能を改善できます。トランスまたは差動アンプの同相除去によって、 I_{OUTA} と I_{OUTB} 両方の同相誤差を著しく減少できます。この同相誤差には、偶数次の歪み積やノイズ等が含まれます。歪み性能の改善効果は、再構築する波形の周波数成分が増加するにつれて顕著になります。これは、ダイナミックな同相歪み、デジタル・フィードスルー、およびノイズ等を1次のキャンセル操作を行うからです。

トランスを通じて差動/シングル・エンド変換を行えば、負荷に対する再構築した信号の電力を2倍にできます(ソース終端は行わないと仮定した場合)。 I_{OUTA} と I_{OUTB} の出力電流はコンプリメンタリですので、差動的に処理すると付加的なものとなります。適切なトランスを選択すれば、AD9762は差動負荷に対して必要な電力レベルと電圧レベルを供給できます。出力構成例については、AD9762の応用の項を参照して下さい。

I_{OUTA} と I_{OUTB} の出力インピーダンスは、電流ソースに関連するPMOSスイッチの並列配置の構成によって決まります。この値は、通常5 pFと並列に100 k Ω です。さらにこの値は、PMOSの性質のために出力電圧(V_{OUTA} と V_{OUTB})とも若干関係があります。結果として、I-Vオペアンプ構成を通して I_{OUTA} と I_{OUTB} を仮想グラウンドに維持すると、最適なDC直線性が実現できます。AD9762のINL/DNL仕様は、オペアンプを通じて I_{OUTA} を仮想グラウンドにして測定されていることに注意して下さい。

さらに I_{OUTA} と I_{OUTB} は、最高の性能を実現するために備えていなければならない正と負の電圧追従範囲を持ちます。CMOSのブレイクダウン特性により、負の出力追従範囲は - 1.0 Vです。この限度を超えて動作させると、出力段がブレイクダウンし、AD9762の信頼性に影響を与えます。

AD9762

また正の出力追従範囲は、フルスケール電流(I_{OUTFS})に若干依存します。 I_{OUTFS} が20 mAの際は定格の1.25 Vから、 I_{OUTFS} が2 mAの際は1.00 Vに低下します。 I_{OUTA} と I_{OUTB} 上の最大フルスケール信号が0.5 Vを超えない場合に、シングル・エンド方式あるいは差動方式の歪みに関して最高の性能を実現します。AD9762の出力(すなわち、 V_{OUTA} および/または V_{OUTB})がその出力追従範囲を超える可能性があるアプリケーションでは、 R_{LOAD} の大きさを調整して下さい。この追従性範囲を超えて動作させると、AD9762の直線性性能に影響を与え、歪み性能を低下させることになります。

デジタル入力

AD9762のデジタル入力は、12個のデータ入力ピンとクロック入力ピンから成り立っています。この12ビットの平行データ入力はDB11が最上位ビット(MSB)、そしてDB0が最下位ビット(LSB)である、通常の正のみのバイナリ・コードです。全データ・ビットがロジック1の場合、 I_{OUTA} はフルスケール出力電流を発生します。また I_{OUTB} はコンプリメンタリ出力で、入力コードに応じてフルスケール電流を2つの出力に分割します。

デジタル・インターフェースは、エッジ・トリガ方式のマスター・スレプ・ラッチを利用しています。図1に示すように、クロックの立ち上がりエッジ後にD/Aの出力を更新します。また最高125MSPSのクロック・レートをサポートできるように設計されています。クロックは、仕様に規定されたラッチ・パルス幅を満たすどのデューティ比でも動作させることができます。さらにセットアップ時間とホールド時間も、仕様に規定された最小時間を満足する限り変更することができます。しかし遷移エッジの位置によって、デジタル・フィードスルーと歪み性能に影響を与える場合があります。最高の性能を実現するのは通常入力データがデューティ比50%のクロックの立ち下がりエッジで遷移した際です。

デジタル入力はCMOSと互換性があり、ロジックのスレッシュホールド($V_{THRESHOLD}$)はデジタル正電源(DVDD)の約半分に設定しています。もしくは、

$$V_{THRESHOLD} = DVDD / 2 (\pm 20\%)$$

AD9762の内部デジタル回路は、2.7 V ~ 5.5 Vの範囲のデジタル電源で動作できます。その結果、DVDDがTTLドライバの最大HIレベル電圧($V_{OH(MAX)}$)以上に設定されている場合にTTLレベルを取り扱うことができます。通常、DVDDが3 V ~ 3.3 VのものであればほとんどのTTLロジック・ファミリと互換性を持つことができます。図46は、データ入力とクロック入力の等価デジタル入力回路です。スリープ・モード入力は、パワーダウン回路を持つという点を除いて全く同一です。したがって、この入力をフローティング状態にしてもAD9762はイネーブル状態です。

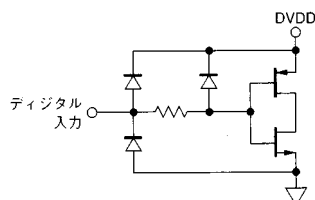


図46 . 等価デジタル入力

AD9762は最高125MSPSで更新できますので、最適な性能を実現するためにはクロック入力とデータ入力信号の品質が重要です。

デジタル・データ・インターフェース回路のドライバは、要求される最小/最大入力ロジック・レベルのスレッシュホールドと規定された最小セットアップ時間およびホールド時間を満たすようにして下さい。以上の条件を満たす最も低速のロジック・ファミリを利用すると、データ・フィードスルーやノイズが最も小さくなります。

デジタル信号のラインはできる限り短くし、また伝播遅延のミスマッチが生じないように走行ラインの長さも合わせて下さい。AD9762のデジタル入力とドライバ出力の間に小さな値の抵抗(20 から100)を挿入すれば、データ・フィードスルーに影響を与えるデジタル入力上のオーバーシュートやリングングを抑えることができます。走行ラインが長く、またデータ更新レートが大きい場合、デジタル入力上でノイズが少なくなるように、終端抵抗を使うストリップ・ライン技術を利用して下さい。さらにAD9762の周辺の動作ロジック振幅を小さくし、対応するデジタル電源電圧(DVDD)も小さくすることによりデータ・フィードスルーも抑えることができます。

外部クロック回路は、最小/最大ロジック・レベルを満たし、高速のエッジを持たせた低ジッタのクロックをAD9762に入力するようにして下さい。高速のクロックによって、再構築した波形上に乗る位相ノイズを発生するジッタを抑えることができます。したがって、アプリケーションを最適な性能で動作させるために、これに適した最も高速のロジック・ファミリでクロック入力をドライブして下さい。

クロック入力は、デジタル・スレッシュホールド(DVDD/2)電圧を中間とし、そして最小/最大ロジック・スレッシュホールドを満たすSIN波でドライブすることもできます。これにより、通常位相ノイズという点で若干性能が低下します。サンプリング・レートが高く、また出力周波数が高い場合にこの性能低下が顕著になります。さらにサンプリング・レートが高い場合は、許容誤差が実効クロック・デューティ比に影響を与え、その結果として必要なデータ・セットアップ時間とホールド時間が短縮してしまうため、デジタル・ロジックの20%の許容誤差を考慮に入れて下さい。

スリープ・モード動作

AD9762は出力電流を遮断し、規定された2.7 Vから5.5 Vの電源電圧範囲と温度範囲で電源電流を8.5 mA未満に減少するパワーダウン機能を備えています。SLEEPピンにロジック・レベル“1”を入力すると、このモードをアクティブにできます。またこのデジタル入力は、フローティング状態にしてもAD9762をイネーブル状態のままにするプルダウン回路を備えています。

AD9762のパワーアップ特性とパワーダウン特性は、COMP1に接続する補償コンデンサの値と関係があります。0.1 μ Fの定格値でAD9762は5 μ s未満でパワーダウンとなります。また約3.25 msでパワーアップします。図45に示すように、外部制御アンプを使用する場合はスリープ・モードは利用しないで下さい。

消費電力

AD9762の消費電力(P_D)は、いくつかの条件に左右されます。(1) AVDDとDVDDの電源電圧。(2)フルスケール電流出力(I_{OUTFS})。(3)更新レート(f_{CLOCK})。(4)再構築するためのデジタル入力波形等です。消費電力は、アナログ電源電流(I_{AVDD})とデジタル電源電流(I_{DVDD})に正比例します。また図47に示すように、 I_{AVDD} は I_{OUTFS} に正比例し、 f_{CLOCK} とは無関係です。

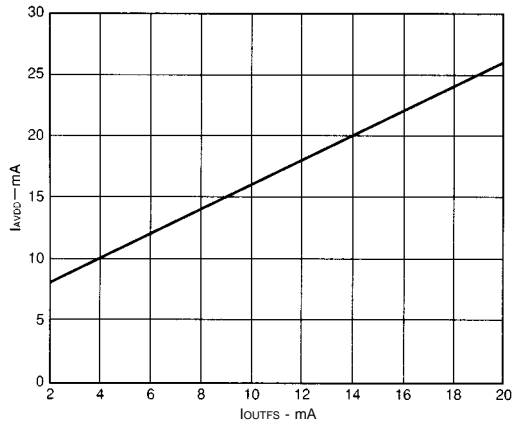


図47. I_{AVDD} 対 I_{OUTFS}

逆に I_{DVDD} は、デジタル入力波形、 f_{CLOCK} およびデジタル電源 ($DVDD$) と関係があります。図48と図49は、それぞれ $DVDD$ が5Vと3Vの際のいろいろな更新レートの場合のフルスケールSIN波出力比 (f_{OUT}/f_{CLOCK}) と I_{DVDD} の関係を示したものです。 $DVDD$ を5Vから3Vに低下させた場合に I_{DVDD} が半分以下になることに注意して下さい。

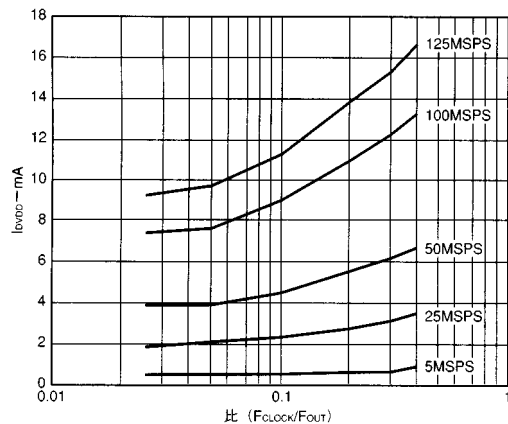


図48. I_{DVDD} 対比率@ $DVDD = 5V$

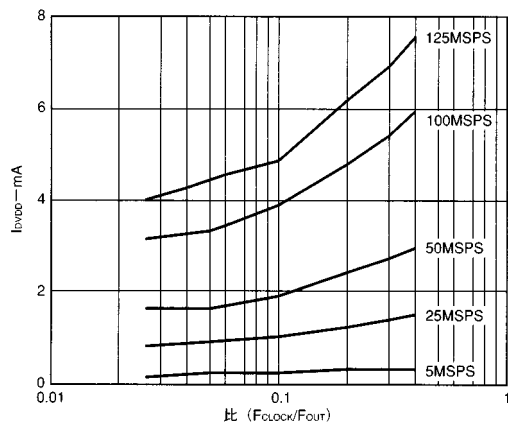


図49. I_{DVDD} 対比率@ $DVDD = 3V$

AD9762の応用

出力構成

以降にAD9762の代表的な出力構成を紹介します。特に指定しない限り、 I_{OUTFS} は定格の20 mAに設定します。最適なダイナミック性能が要求される回路の場合、差動出力構成を推奨します。差動出力構成は、RFトランス回路が差動オペアンプ回路のいずれかで成り立っています。トランス回路は最適な高周波性能を実現するので、ACカップリングを行う回路で使用することを推奨します。また差動オペアンプ構成は、DCカップリング、バイポーラ出力、信号ゲイン操作、およびレベル・シフトが必要な回路に適しています。

シングル・エンド方式の出力は、ユニポーラの電圧出力が必要な回路に適しています。 I_{OUTA} または I_{OUTB} を $ACOM$ をリファレンスとする適当な大きさの負荷抵抗と接続する場合、正のユニポーラ出力電圧構成となります。またこの構成は、DCカップリングを必要とする出力電圧がグラウンドをリファレンスする単電源システムに最適です。もう1つの構成方法として、アンプをI-V変換器に構成するものがあります。つまり、 I_{OUTA} あるいは I_{OUTB} を負のユニポーラ電圧に変換する方法です。 I_{OUTA} または I_{OUTB} は仮想グラウンドに保持されますので、この構成は最高のDC直線性を実現できます。 I_{OUTA} は、 I_{OUTB} より若干性能が上回ることに注意して下さい。

トランスを使用した差動カップリング

図50に示すように、RFトランスを使用して差動/シングル・エンドの信号変換操作を実現できます。出力信号の周波数成分がトランスの通過域内に存在する場合、差動カップリングしたトランス出力は歪みに関して最高の性能を達成します。Mini-Circuits社のT1-1T等のRFトランスは、優れた同相歪み(偶数次の高調波)除去性能と幅広い周波数領域のノイズの除去特性を示します。さらに電氣的に絶縁できますし、負荷に対して2倍の電力を供給できます。インピーダンス比が異なるトランスも、インピーダンスのマッチング用に利用できます。トランスはACカップリングのみということに注意して下さい。

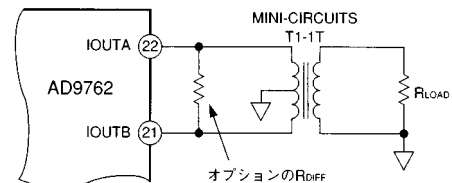


図50. トランスを使用した差動出力

トランスのAD9762側の中心タップは、 I_{OUTA} と I_{OUTB} 両方のDC電流の経路となるように $ACOM$ に接続して下さい。 I_{OUTA} と I_{OUTB} 上のコンプリメンタリ電圧 (V_{OUTA} と V_{OUTB}) は、 $ACOM$ を中心に対称的に振幅します。そして、この出力振幅値はAD9762の仕様で規定された出力追従範囲内となるようにして下さい。受動素子による再構築フィルタ、あるいはケーブルを通じてトランスの出力と負荷 (R_{LOAD}) を接続する回路の場合、差動抵抗 (R_{DIFF}) を設けて下さい。トランスのインピーダンス比が R_{DIFF} の値を決められ、適切なソース終端となり、低VSWRをもたらします。 R_{DIFF} を通じて信号電力の約半分が消費されることに注意して下さい。

オペアンプを使用した差動構成

図51に示すように、1個のオペアンプを利用して差動/シングル・エンド変換操作を実現できます。AD9762は2個の25 Ωの負荷抵

AD9762

抗(R_{LOAD})で構成されています。IOUTAとIOUTB上の差動電圧は、差動オペアンプ回路を通してシングル・エンド方式の信号に変換されます。IOUTAとIOUTBとの間にオプションのコンデンサを配置することができます。これがローパス・フィルタの実部の極となります。このコンデンサを付けることで、オペアンプ入力の過負荷によるDACの出力値の増大を防ぎ、オペアンプの歪み性能を改善できます。

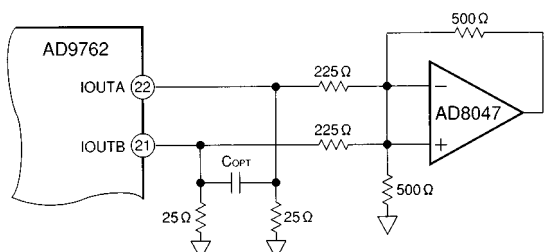


図51 . オペアンプを使用したDC差動カップリング回路

この構成の同相除去性能は、通常抵抗の整合性で決まります。この回路では、AD8047を使用する差動オペアンプ回路は信号ゲインを増やすように構成されています。出力が約±1.0Vですので、このオペアンプは両電源で動作させなければなりません。AD9762の差動性能を保ちながら、他のシステム・レベルの要求(コストや消費電力等)を満たすことができる高速アンプを選択して下さい。またこの回路の性能を最適なものにする際は、オペアンプの差動ゲイン、ゲイン設定抵抗の値、およびフルスケール出力振幅性能等を考慮に入れて下さい。

図52に示した差動回路は、単電源システムで要求されるレベル・シフトを行います。この場合、AD9762とオペアンプ両方のアナログ正電源(AVDD)は、AD9762の差動出力を中間電源(AVDD/2)にレベル・シフトするためにも使われます。この回路の場合、AD8041が最適なオペアンプです。

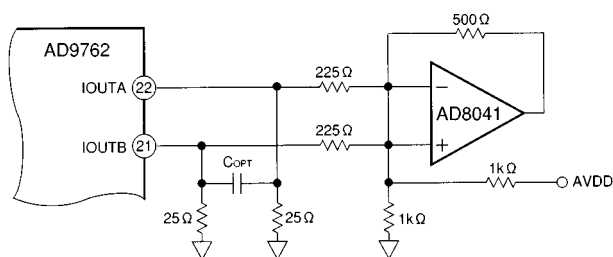


図52 . 単電源DC差動カップリング回路

シングル・エンド方式のバッファを利用しない電圧出力

図53は、両端を終端した50ケーブル用のAD9762を約0Vから+0.5Vのユニポーラ出力範囲に構成したものです。20mAの定格フルスケール電流(I_{OUTFS})は、25の等価 R_{LOAD} の中を流れます。この場合の R_{LOAD} は、IOUTAとIOUTB上の等価負荷抵抗成分を表しています。また使用しない出力(IOUTAまたはIOUTB)は、直接ACOM、またはマッチング R_{LOAD} を通じて接続できます。正の追従範囲に収まる限り、違う値の I_{OUTFS} と R_{LOAD} を選択できます。このモードでもう1つ考慮に入れなければならないことは、このデータシートのア

ナログ出力の項で説明した積分非直線性(INL)です。最適なINL性能を必要とする場合、シングル・エンド方式のバッファ電圧出力構成を推奨します。

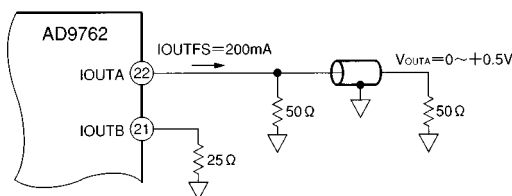


図53 . 0Vから+0.5Vのバッファを使用しない電圧出力

シングル・エンド方式のバッファ電圧出力構成

図54は、バッファを使用したシングル・エンド方式の出力構成で、オペアンプU1はAD9762出力電流に対してI-V変換操作を行っています。U1はIOUTA(またはIOUTB)を仮想グラウンドに保ちます。それにより、アナログ出力の項で説明したようにD/AのINL性能に影響を与える非直線的な出力インピーダンスの効果を抑えます。このシングル・エンド方式の構成は通常最高のDC直線性性能を実現しますが、D/Aの更新レートが高い場合のAC歪み性能はU1の振幅能力によって制限されます。U1は負のユニポーラ電圧を出力し、このフルスケール出力電圧は単に R_{FB} と I_{OUTFS} から生じるものです。 I_{OUTFS} と/または R_{FB} を調節して、フルスケール出力をU1の電圧出力振幅能力の範囲内に設定して下さい。シンク操作に必要な信号電流(U1)が低下しますので、AC性能を改善することによって I_{OUTFS} を減少することができます。

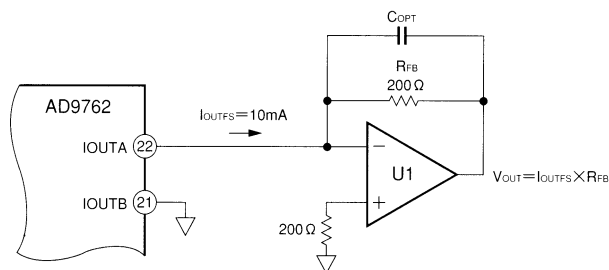


図54 . ユニポーラのバッファを使用した電圧出力

電源とグラウンド処理の考察

高速性能と高性能を共に必要とするシステムでは、プリント回路基板のレイアウトが回路設計と同じように重要となります。部品の選択、部品の配置とラインの引き回し、電源バイパス処理とグラウンド処理等に適切なRF技術を施さなければなりません。図60から図65は、AD9762評価ボード上に表わされた、推奨するプリント回路基板のグラウンド、電源、および信号面のレイアウトです。

高速、高分解能のシステムでは、適切なグラウンド処理とデカップリング操作が基本です。AD9762は、システム内でのアナログおよびデジタル・グラウンドの電流を制御し易いように、アナログとデジタルの電源ピンとグラウンド・ピンを別々に備えています。通常、アナログ電源(AVDD)はできる限りチップの近くでアナログ・コモン(ACOM)に対してデカップリングして下さい。同様にデジタル電源(DVDD)もできる限りチップの近くでDCOM

に対してデカップリングして下さい。

1つの+5Vまたは+3V電源をアナログ電源とデジタル電源両方に使うアプリケーションでは、図55に示す回路を使用してノイズの少ないアナログ電源を作ることができます。この回路は、差動LCフィルタとリターン・ラインで成り立っています。また低ESRタイプの電解とタンタル・コンデンサを使用することで低ノイズを実現できます。

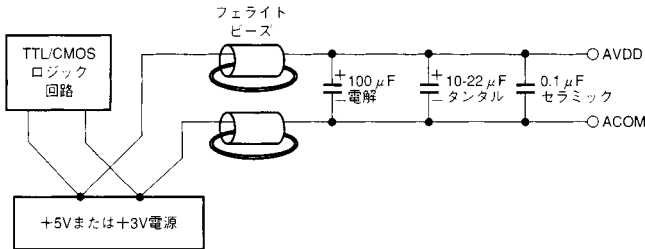


図55 . +5Vまたは+3V単電源アプリケーション用の差動LCフィルタ

AD9762を最適に動作させるには、電源とグラウンドを低ノイズで保つことが重要です。適切に処理を行いノイズを低減できれば、グラウンド面は高速回路基板で重要な働きを行います：バイパス処理、シールド処理、電流転送処理等です。アナログとデジタル信号両方を扱う回路では、アナログ・グラウンド面でアナログ信号ラインを囲み、デジタル・グラウンド面でデジタル回路を囲んで基板のアナログ部とデジタル部を別々に離して下さい。

D/A、リファレンス、および他のアナログ部品のアナログ・グラウンド・ピンは、すべてアナログ・グラウンド面に直接接続して下さい。また最適な性能を実現するために、D/Aの直下または1/2インチ内で両グラウンド面を1/8インチ幅から1/4インチ幅のラインで接続して下さい。さらにこのグラウンド面が重要な信号ラインで中断されないように注意して下さい。デジタル側の重要な信号ラインは、D/Aへのデジタル入力ラインとクロック信号です。アナログ側では、D/A出力信号、リファレンス信号、および電源フィードです。

電源ラインの配線には幅広いラインまたは面にすることを推奨します。これにより、製品に低い直列インピーダンスの電源を供給し、さらにグラウンド面にいくつかの容量カップリング処理をいくつかの場所に配置できます。また信号グラウンド・ラインで大きな電圧降下を発生しないように、信号ラインと電源ラインのレイアウトには十分留意することが重要です。すべての信号ラインは、各ラインの電流が他のラインに誘導しないように、できる限り短く、そしてパッケージの近くに配置することを推奨します。ラインの長さが1インチ以上の場合、終端抵抗を用いたストリップ・ライン技術を考慮に入れて下さい。この終端抵抗が必要かどうか、あるいはその値は使用するロジック・ファミリに関わってきます。

高速のミックスド信号のプリント回路基板のレイアウトおよび実装方法についての詳細については、アナログ・デバイセズ社のアプリケーション・ノート、AN-280とAN-333を参照して下さい。

応用

AD9762をQAM変調操作に利用する場合

QAMは、デジタル通信システムで最も一般的に利用されているデジタル変調技術です。この変調技術は、FDMおよびスペクトラム拡散(CDMA)システムで利用されています。QAM信号は、振幅(AM変調)と位相(PM変調)の両方を変調した搬送波です。周波数が同じで、位相が90°異なる2つの搬送波を個別に変調することで、QAM信号を発生できます。この結果、位相(I)搬送波成分とI成分と位相が90°シフトした直交(Q)搬送波成分に分かれます。次にIとQ成分を加算し、規定した搬送波周波数でQAM信号を発生します。

図56は、QAM変調器の一般的なブロック図です。変調処理は、アナログ領域で行います。2個のD/Aは、それぞれベースバンドI成分とQ成分を発生するために使用しています。各成分は直交ミキサの前段で、通常ナイキスト・ミキサに入力します。この整合のとれたナイキスト・フィルタは、シンボル間の干渉を抑えながら各信号成分のスペクトル包絡線に対してシェーピング処理を行います。D/Aは、通常QAMシンボル・レートで更新するか、あるいはD/Aの前段に内挿フィルタを設ける場合はシンボル・レートの倍数で更新します。内挿フィルタを実装すると、2つのベースバンド・チャンネル間のゲインと位相のミスマッチを抑えることができますので、アナログ・フィルタが簡単なもので十分になります。直交ミキサーは、位相搬送周波数と直交位相搬送周波数でI成分とQ成分を変調し、次にこの2出力を加算してQAM信号を発生します。

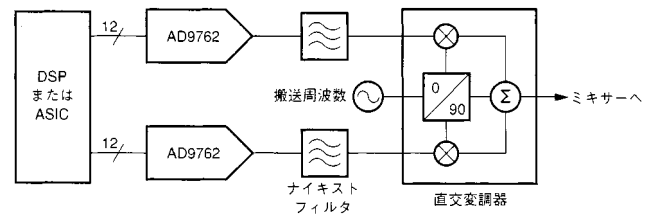


図56 . 代表的なアナログQAM構成

この構成では、IとQチャンネル間のゲインと位相の整合性を適切に維持することがより困難なものになります。図57の構成では、IとQチャンネル間の整合性と温度安定性を改善できます。U1の電圧リファレンスを利用してIとQチャンネル用のゲインを設定することで、ゲイン整合性と安定性を改善できます。さらに R_{SET} と R_{LOAD} 用にマッチングのとれた個別の抵抗回路を利用すると、ゲイン整合性と安定性をより向上できます。 R_{CAL1} と R_{CAL2} を通じて調整を行えば、2チャンネル間のゲインの初期不整合を補償できます。この回路は、U1とU2のゲイン設定抵抗(R_{SET})、実効負荷抵抗成分(R_{LOAD})および各DACの制御アンプの電圧オフセットの不整合性をキャンセルします。U1とU2の差動電圧出力は、整合のとれた50のフィルタ回路を通じて直交ミキサーの差動入力に入力されます。

AD9762

AD9762評価ボード

概要

AD9762-EBは、12ビットD/Aコンバータ、AD9762の評価ボードです。レイアウトと回路設計には十分留意されており、予備のスペース(部品穴)を基板上に設けておりますので、ユーザーの方は高分解能と高速変換処理が要求されるアプリケーション用に簡単にAD9762を評価することができます。

ユーザーの方は、このボードを使用してAD9762をいろいろな構成で動作させることができます。トランスによるカップリング出力、抵抗で終端する出力、反転/非反転出力、差動アンプ出力等の出力構成が可能です。またデジタル入力は、任意のビット長で直線外部からドライブできます。さらにオプションで負荷終端用の抵抗をボードに設けることもできます。AD9762を内部リファレンス、あるいは外部リファレンスのいずれかで動作させること、またはブルダウン性能を動作させることも出来るよう用意されています。

AD9762評価ボードの動作と構成の詳細については、アプリケーション・ノート(AN-420)の“AD9760/AD9762/AD9764-EB 評価ボードの利用方法”を参照して下さい。

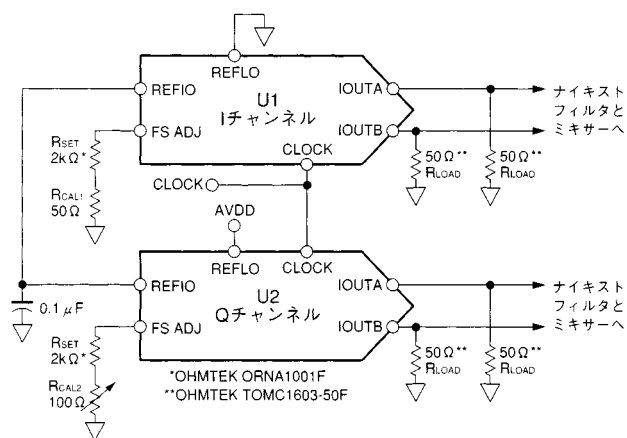


図57. 2個のAD9762を使用したベースバンドQAM構成

DSPやASICを通してデジタル領域でQAM信号を発生するのも可能です。この場合、十分な分解能と性能を持つ1個のD/AでQAM信号を再構築します。さらにPSKやFSK等の他のデジタル変調操作を実行するデジタルASICを発売している会社も存在します。このASICでは、I成分とQ成分のゲインと位相の整合性が完全に一致できるという長所があります。これは、通信システムで最適な性能を維持する上で重要なポイントです。またこの構成では、最も高く規定されたQAM搬送波周波数を発生させるため十分高いクロック・レートで動作させなければなりません。図58は、AD9762を使用したこの構成のブロック図です。

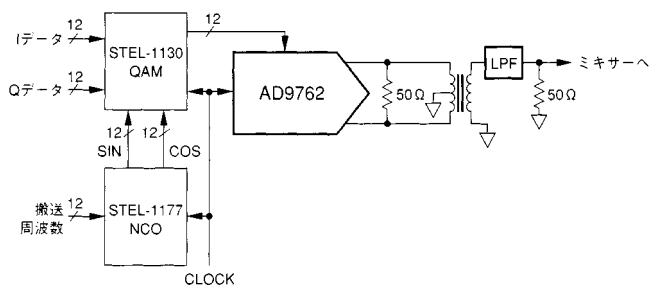


図58. デジタルQAM構成

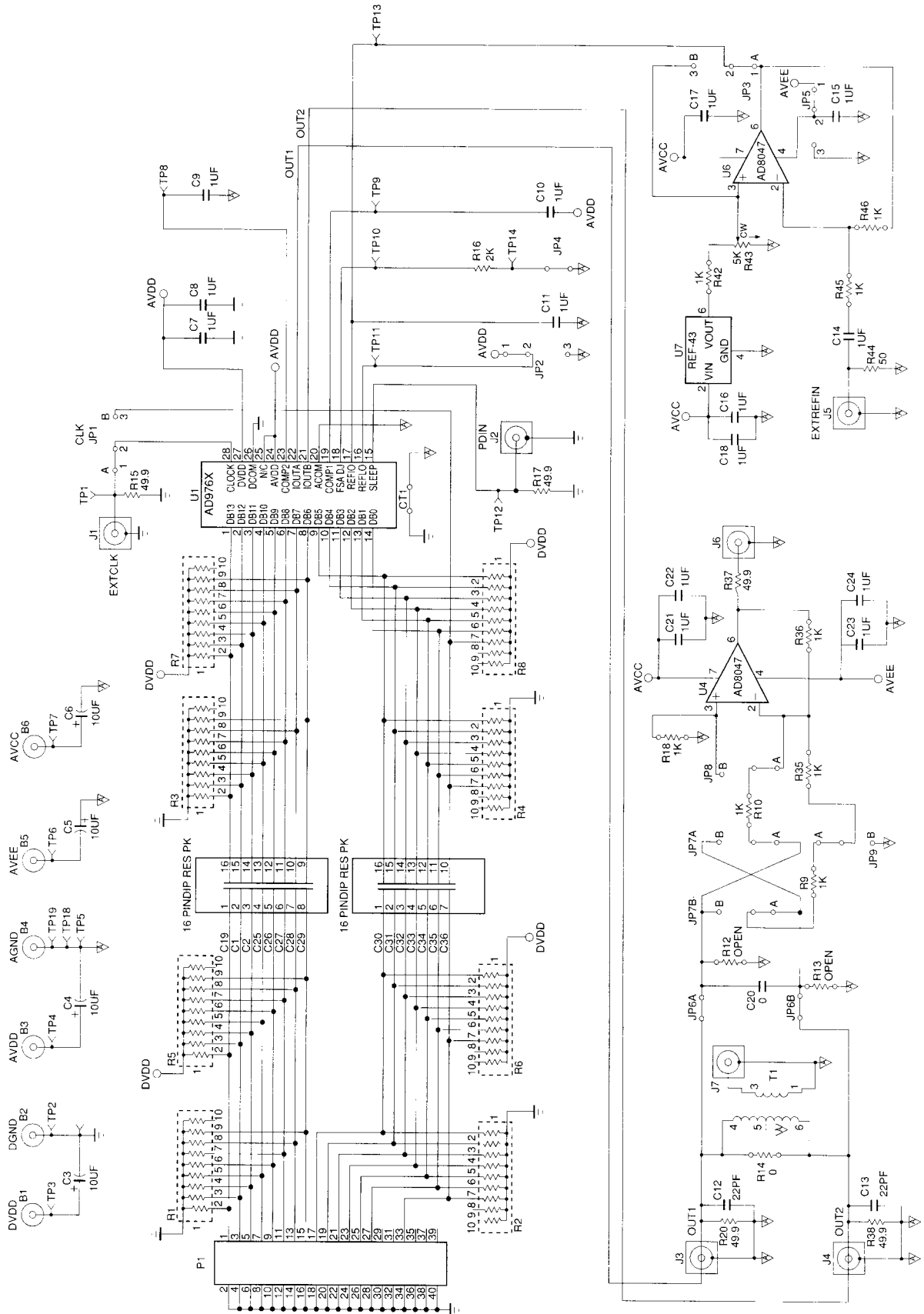


图59 . AD9762评估板一下回路图

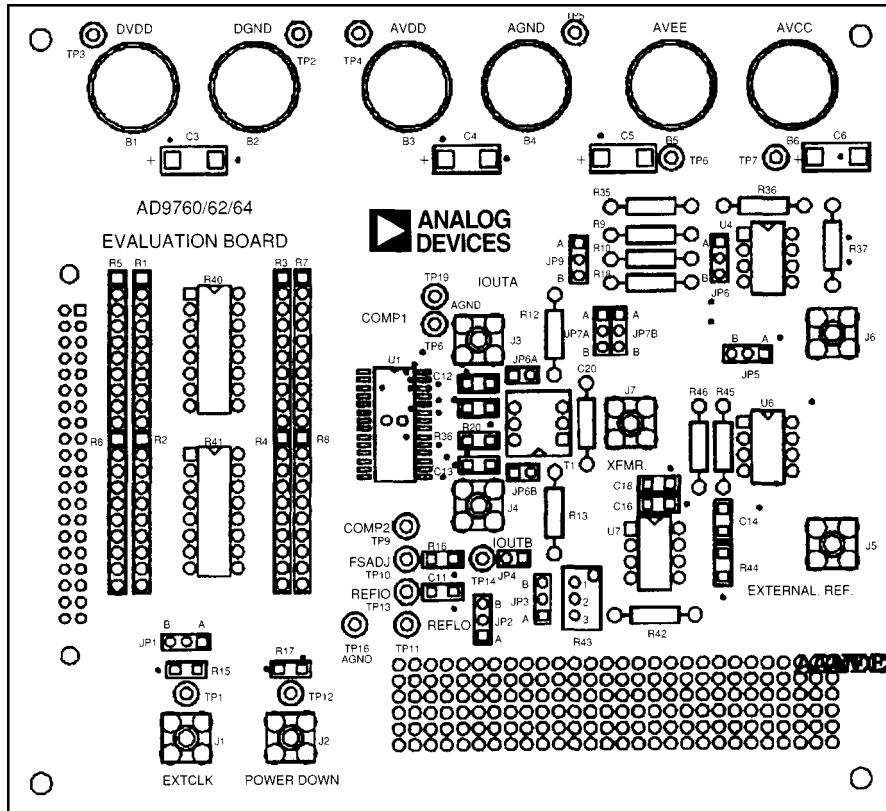


図60. シルksクリーン層 - 上

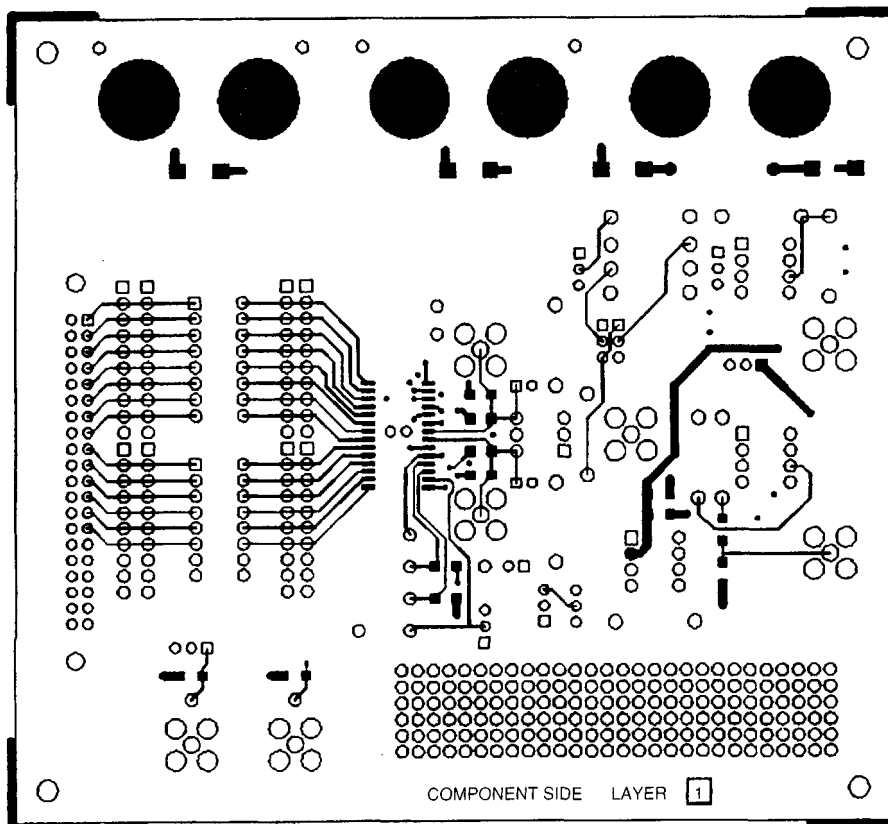


図61. プリント回路基板の部品面(第1層)

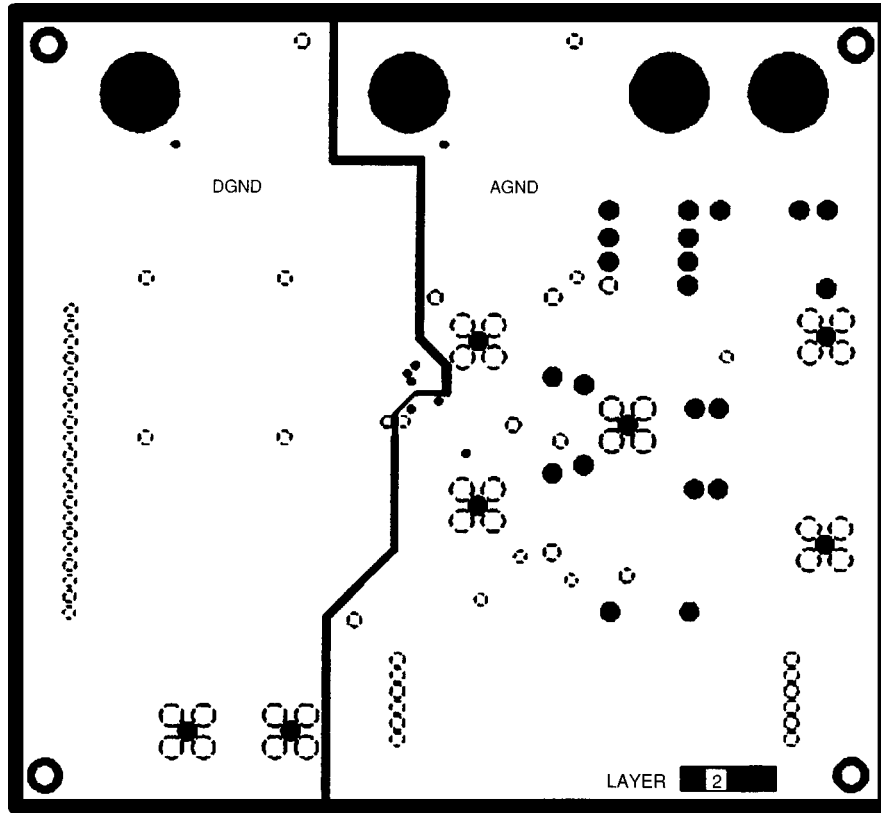


図62 . プリント回路基板のグラウンド面(第2層)

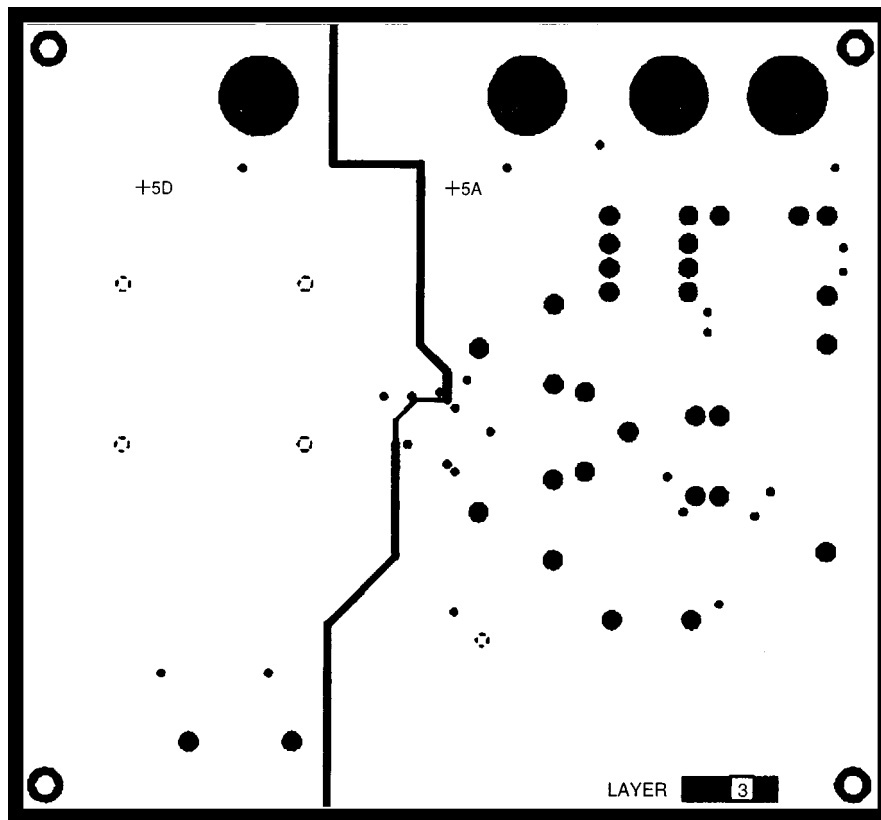


図63 . プリント回路基板の電源面(第3層)

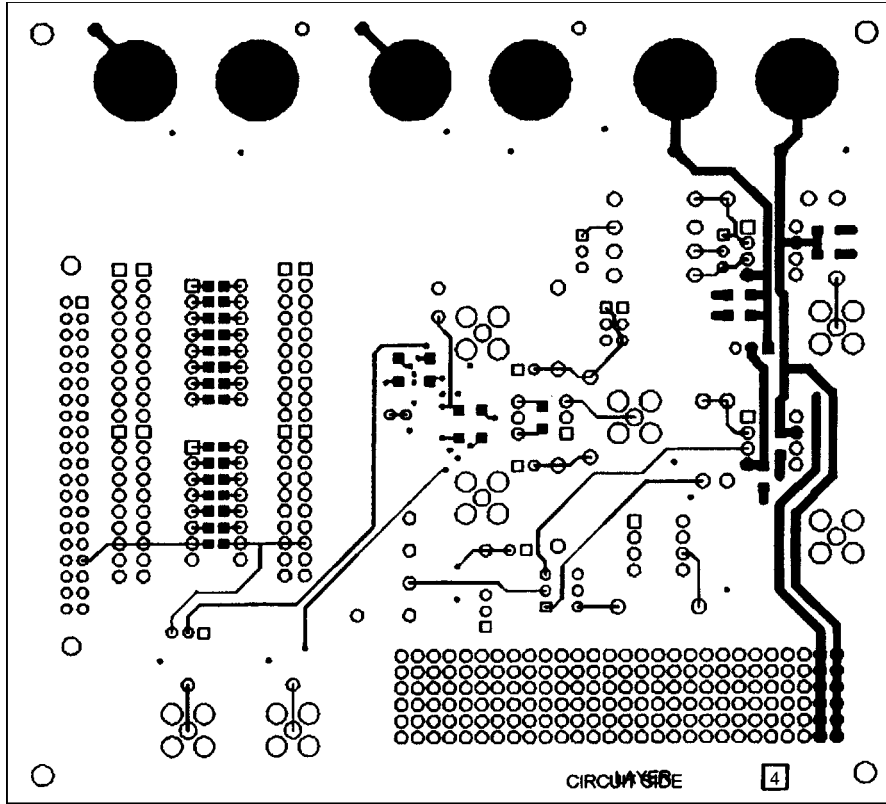


図64 . プリント回路基板のハンダ面 (第4層)

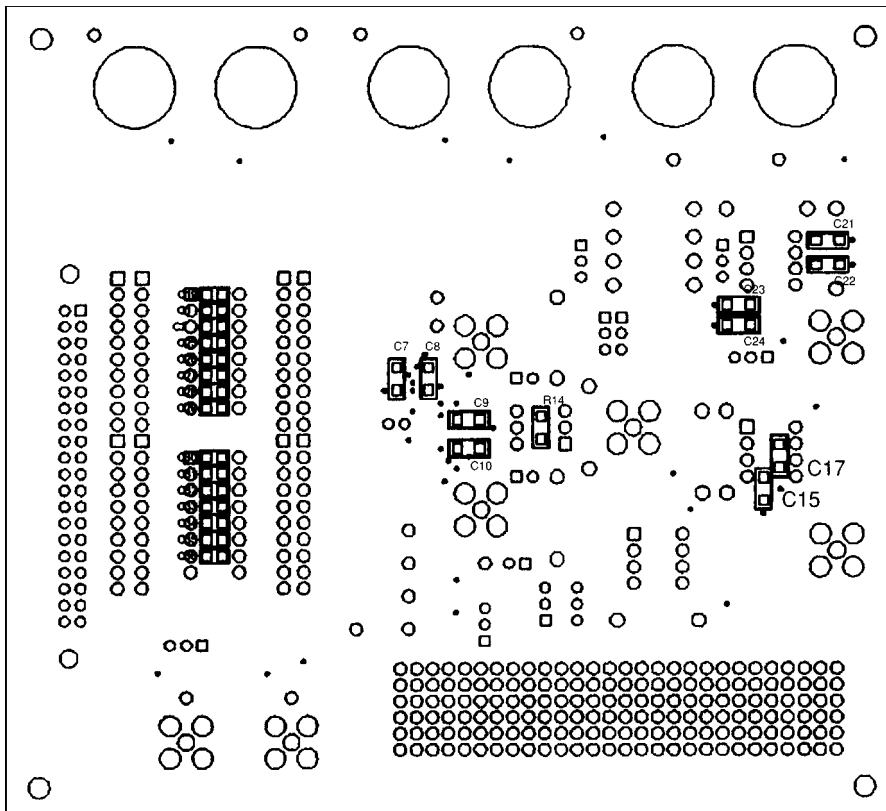


図65 . シルクスクリーン層 - 下

外形寸法
寸法はインチと(mm)で示します。

28ピン、300ミルSOIC
(R-28)

