

特長

2系統の12ビット多重化ポートDACを内蔵

出力更新レート：300MSPS

優れたSFDR性能とIMD性能

ナイキスト周波数までのSFDR：69dB（25MHz出力）

内部クロック逡倍用PLLを内蔵

差動クロック入力またはシングル・エンド・クロック入力

1.2Vのリファレンスを内蔵

3.3V単電源動作

低消費電力：3.3Vで155mW

48ピンLQFP

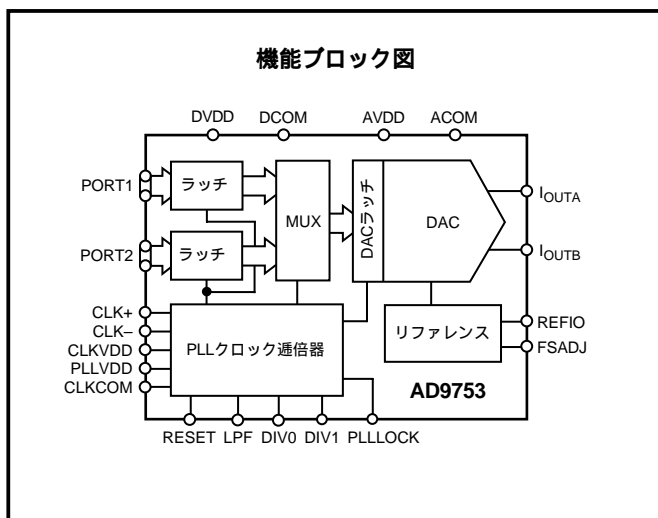
アプリケーション

通信：LMDS、LMCS、MMDS

基地局

デジタル・シンセシス

QAMおよびOFDM



製品説明

AD9753は、デュアル、多重化ポートの超高速シングル・チャンネル12ビットCMOS DACです。12ビットの高品質TxDAC+コア、リファレンス、デジタル・インターフェース回路を小型48ピンLQFPパッケージに集積しています。AD9753は極めて優れたAC性能とDC性能を持ち、最大300MSPSの更新レートをサポートしています。

AD9753は、シングル・データ・インターフェース・ポートDACで可能なデータ・レートを超えるデータ・レートを必要とする、最大300MSPSまでの超高速アプリケーションに最適化されています。デジタル・インターフェースは、2個のバッファ付きラッチと制御ロジックで構成されています。両ラッチは、複数の方法で時分割多重化して、高速DACに入力することができます。このPLLは外部入力クロックの2倍の速度でDACラッチを駆動するため、2つの入力チャンネルからのデータをインターリーブすることができます。得られる出力データ・レートは、2つの入力チャンネルのデータ・レートの2倍になります。PLLをディスエーブルする場合は、外部から2×クロックを入力して、内部で2分周することができます。

CLK入力（CLK+ / CLK-）は、差動またはシングルエンドで駆動でき、最低1Vp-pまでの信号振幅を入力することができます。

AD9753はセグメント化電流源アーキテクチャと当社独自のスイッチング技術の組合せにより、グリッチ・エネルギーを削減し、ダイナミック精度を最大にしています。差動電流出力により、シングル・エンドまたは差動のアプリケーションをサポートすることができます。各差動出力は、2~20mAの公称フル・スケール電流を出力することができます。

AD9753は、最新のローコスト0.35μm CMOSプロセスで製造され、3.1~3.5Vの単電源で動作し、消費電力は155mWです。

製品のハイライト

- AD9753は、10ビット、12ビット、14ビット分解能の高速TxDAC+のピン・コンパチブル・ファミリ製品です。
- 超高速変換レート：300MSPS
- 2系統の12ビット・ラッチ付き多重化入力ポート。AD9753はフレキシブルなデジタル・インターフェースを内蔵しているため、1つまたは2つのポート入力を使用した高速データ変換が可能です。
- 低消費電力です。CMOSデュアルDAC機能全体が3.1~3.5Vの単電源で動作し、消費電力は155mWです。DACのフルスケール電流を減少させて、より低消費電力の動作が可能です。
- リファレンスを内蔵。AD9753には、1.20Vの温度補償済みバンドギャップリファレンスが内蔵されています。

TxDAC+はAnalog Devices, Inc.の登録商標です。

*米国特許番号5450084、5568145、5689257、5703519により保護されています。その他の特許は申請中です。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

AD9753 - 仕様

DC特性 (特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3V$ 、 $DVDD = 3.3V$ 、 $PLLVD = 3.3V$ 、 $CLKVDD = 3.3V$ 、 $I_{OUTFS} = 20mA$)

パラメータ	Min	Typ	Max	単位
分解能	12			ビット
DC精度 ¹				
積分直線性誤差 (INL)	- 1.5	± 0.5	+ 1.5	LSB
微分非直線性 (DNL)	- 1	± 0.4	+ 1	LSB
アナログ出力				
オフセット誤差	- 0.025	± 0.01	+ 0.025	FSRの%
ゲイン誤差 (内部リファレンス不使用)	- 2	± 0.5	+ 2	FSRの%
ゲイン誤差 (内部リファレンス使用)	- 2	± 0.25	+ 2	FSRの%
フルスケール出力電流 ²	2.0		20.0	mA
出力適合範囲	- 1.0		1.25	V
出力抵抗		100		k
出力容量		5		pF
リファレンス出力				
リファレンス電圧	1.14	1.20	1.26	V
リファレンス出力電流 ³		100		nA
リファレンス入力				
入力適合範囲	0.1		1.25	V
リファレンス入力抵抗		1		M
温度係数				
オフセット・ドリフト		0		FSRのppm /
ゲイン・ドリフト (内部リファレンス不使用)		± 50		FSRのppm /
ゲイン・ドリフト (内部リファレンス使用)		± 100		FSRのppm /
リファレンス電圧ドリフト		± 50		ppm /
電源				
電源電圧				
AVDD	3.0	3.3	3.6	V
DVDD	3.0	3.3	3.6	V
PLLVD	3.0	3.3	3.6	V
CLKVDD	3.0	3.3	3.6	V
アナログ電源電流 (I_{AVDD}) ⁴		33	36	mA
デジタル電源電流 (I_{DVDD}) ⁴		3.5	4.5	mA
PLL電源電流 (I_{PLLVD}) ⁴		4.5	5.1	mA
クロック電源電流 (I_{CLKVDD}) ⁴		10.0	11.5	mA
消費電力 ⁴ (3V、 $I_{OUTFS} = 20mA$)		155	165	mW
消費電力 ⁵ (3V、 $I_{OUTFS} = 20mA$)		216		mW
電源変動除去比 ⁶ - AVDD	- 1		+ 1	FSRの% / V
電源変動除去比 ⁶ - DVDD	- 0.04		+ 0.04	FSRの% / V
動作範囲	- 40		+ 85	

注

1 仮想グラウンドを駆動し、 I_{OUTA} で測定。

2 公称フルスケール電流 I_{OUTFS} は、 I_{REF} 電流の32倍。

3 外部バッファアンプを使って外部負荷を駆動することをお奨めします。

4 PLL オンで100MSPS f_{DAC} 、 $f_{OUT} = 1MHz$ 、全電源 = 3.0V。

5 300MSPS f_{DAC} 。

6 ±5%の電源変動。

仕様は予告なく変更されることがあります。

ダイナミック特性 (特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3V$ 、 $DVDD = 3.3V$ 、 $PLLVD = 0V$ 、 $CLKVDD = 3.3V$ 、 $I_{OUTFS} = 20mA$ 、差動トランス結合出力、50 ダブル終端)

パラメータ	Min	Typ	Max	単位
ダイナミック特性				
最大出力更新レート (f_{DAC})	300			MSPS
出力セトリング・タイム (t_{ST}) (0.1%まで)		11		ns
出力伝搬遅延 (t_{PD})		1		ns
グリッチ・インパルス ¹		5		pV-s
出力立上がり時間 (10%から90%)		2.5		ns
出力立下がり時間 (10%から90%)		2.5		ns
出力ノイズ ($I_{OUTFS} = 20mA$)		50		pA/\sqrt{Hz}
出力ノイズ ($I_{OUTFS} = 2mA$)		30		pA/\sqrt{Hz}
AC直線性				
ナイキスト周波数までのスプリアスフリー・ダイナミック・レンジ				
$f_{DAC} = 100MSPS$; $f_{OUT} = 1.00MHz$				
0dBFS出力	72	82		dBc
-6dBFS出力		76		dBc
-12dBFS出力		76		dBc
$f_{DATA} = 65MSPS$; $f_{OUT} = 1.1MHz^2$		77		dBc
$f_{DATA} = 65MSPS$; $f_{OUT} = 5.1MHz^2$		77		dBc
$f_{DATA} = 65MSPS$; $f_{OUT} = 10.1MHz^2$		76		dBc
$f_{DATA} = 65MSPS$; $f_{OUT} = 20.1MHz^2$		72		dBc
$f_{DATA} = 65MSPS$; $f_{OUT} = 30.1MHz^2$		68		dBc
$f_{DAC} = 200MSPS$; $f_{OUT} = 1.1MHz$		78		dBc
$f_{DAC} = 200MSPS$; $f_{OUT} = 11.1MHz$		75		dBc
$f_{DAC} = 200MSPS$; $f_{OUT} = 31.1MHz$		70		dBc
$f_{DAC} = 200MSPS$; $f_{OUT} = 51.1MHz$		70		dBc
$f_{DAC} = 200MSPS$; $f_{OUT} = 71.1MHz$		67		dBc
$f_{DAC} = 300MSPS$; $f_{OUT} = 1.1MHz$		78		dBc
$f_{DAC} = 300MSPS$; $f_{OUT} = 26.1MHz$		69		dBc
$f_{DAC} = 300MSPS$; $f_{OUT} = 51.1MHz$		65		dBc
$f_{DAC} = 300MSPS$; $f_{OUT} = 101.1MHz$		59		dBc
$f_{DAC} = 300MSPS$; $f_{OUT} = 141.1MHz$		58		dBc
ウインドウ内のスプリアスフリー・ダイナミック・レンジ				
$f_{DAC} = 100MSPS$; $f_{OUT} = 1MHz$; 2MHzスパン				
0dBFS出力	82.5	92		dBc
$f_{DAC} = 65MSPS$; $f_{OUT} = 5.02MHz$; 2MHzスパン		85		dBc
$f_{DAC} = 150MSPS$; $f_{OUT} = 5.04MHz$; 4MHzスパン		85		dBc
全高調波歪み				
$f_{DAC} = 100MSPS$; $f_{OUT} = 1.00MHz$				
0dBFS		-82	-71	dBc
$f_{DAC} = 65MHz$; $f_{OUT} = 2.00MHz$		-76		dBc
$f_{DAC} = 160MHz$; $f_{OUT} = 2.00MHz$		-76		dBc
電力高調波比 (110kHz間隔で8ポイントの高調波)				
$f_{DAC} = 65MSPS$; $f_{OUT} = 2.00 \sim 2.77MHz$				
0dBFS出力		73		dBc
-6dBFS出力		71		dBc
-12dBFS出力		69		dBc

注

1 50 負荷のシングル・エンドで測定。

2 シングル・ポート・モード (PLLをディスエーブル、 $DIV0 = 1$ 、 $DIV1 = 0$ 、Port1のデータ)。

仕様は予告なく変更されることがあります。

AD9753 - 仕様

デジタル特性 (特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3V$ 、 $DVDD = 3.3V$ 、 $PLLVD = 3.3V$ 、 $CLKVDD = 3.3V$ 、 $I_{OUTFS} = 20mA$)

パラメータ	Min	Typ	Max	単位
デジタル入力				
ロジック "1"	2.1	3.3		V
ロジック "0"		0	0.9	V
ロジック "1" 電流	- 10		+ 10	μA
ロジック "0" 電流	- 10		+ 10	μA
入力容量		5		pF
入力セットアップ時間 (t_s)		0.5	1.0	ns
入力ホールド時間 (t_H)		0.5	1.0	ns
入力セットアップ時間 (t_s 、 $PLLVD = 0V$)		- 1.5	- 1.0	ns
入力ホールド時間 (t_H 、 $PLLVD = 0V$)		1.7	2.5	ns
最小CLK周波数 ¹		6.25		MHz

注

¹ 最小CLK周波数は、内部PLLを使用の場合、PLLをディスエーブルする場合は、最小CLK周波数はありません。仕様は予告なく変更されることがあります。

絶対最大定格*

パラメータ	基準ポイント	Min	Max	単位
AVDD、DVDD、CLKVDD、PLLVD	ACOM、DCOM、CLKCOM、PLLCOM	- 0.3	+ 3.9	V
AVDD、DVDD、CLKVDD、PLLVD	ACOM、DCOM、CLKCOM、PLLCOM	- 3.9	+ 3.9	V
ACOM、DCOM、CLKCOM、PLLCOM	ACOM、DCOM、CLKCOM、PLLCOM	- 0.3	+ 3.9	V
REFIO、REFLO、FSADJ	ACOM	- 0.3	AVDD + 0.3	V
I_{OUTA} 、 I_{OUTB}	ACOM	- 1.0	AVDD + 0.3	V
デジタル・データ入力 (DB13 ~ DB0)	DCOM	- 0.3	DVDD + 0.3	V
CLK+ / CLK-、PLLLOCK	CLKCOM	- 0.3	CLKVDD + 0.3	V
DIV0、DIV1、RESET	CLKCOM	- 0.3	CLKVDD + 0.3	V
LPF	PLLCOM	- 0.3	PLLVD + 0.3	V
接合温度			150	
保管温度		- 65	+ 150	
ピン温度 (10秒)			300	

* 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上のデバイス動作を定めるものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9755AST	- 40 ~ + 85	48ピンLQFP	ST - 48
AD9753-EB			評価ボード

熱特性

熱抵抗

48ピンLQFP

$J_A = 91 \text{ /W}$

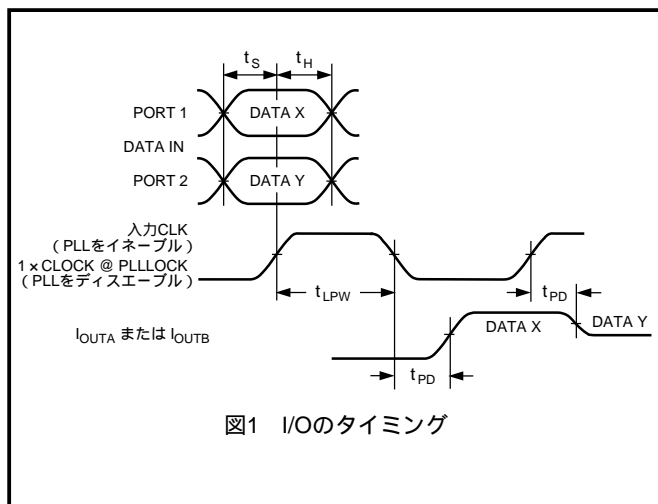


図1 I/Oのタイミング

注意

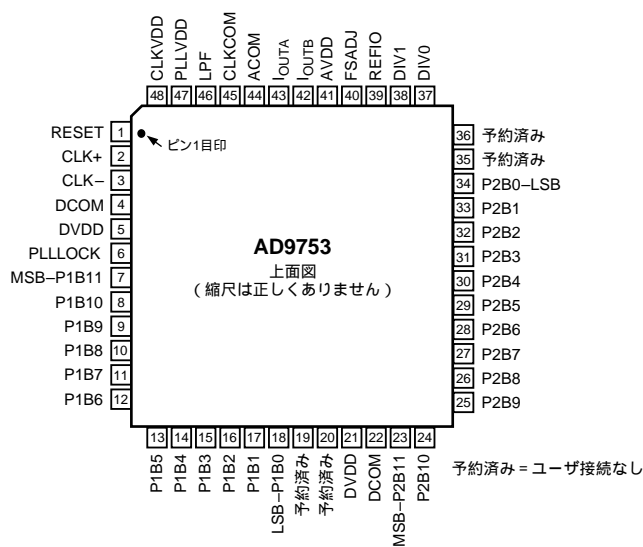
ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



ピン機能の説明

ピン番号	記号	説明
1	RESET	内部クロック分周器のリセット
2	CLK +	差動クロック入力
3	CLK -	差動クロック入力
4、22	DCOM	デジタル・コモン
5、21	DVDD	デジタル電源電圧
6	PLLLOCK	PLL ロック表示出力
7~18	P1B11~P1B0	Port1のデータ・ビットDB11~DB0
19~20、35~36	予約済み	
23~34	P2B11~P2B0	Port2のデータ・ビットDB11~DB0
37、38	DIV0、DIV1	PLLの制御入力及び入力ポート・セレクタ・モード。詳細については、表Iと表IIを参照。
39	REFIO	リファレンス入/出力
40	FSADJ	フルスケール電流出力の調整
41	AVDD	アナログ電源電圧
42	I _{OUTB}	差動DAC電流出力
43	I _{OUTA}	差動DAC電流出力
44	ACOM	アナログ・コモン
45	CLKCOM	クロックおよび位相ロック・ループ・コモン
46	LPF	PLLループ・フィルタ
47	PLLVDD	位相ロック・ループ電源電圧
48	CLKVDD	クロック電源電圧

ピン配置



AD9753

仕様の定義

直線性誤差（積分非直線性、INL）

直線性誤差は、ゼロとフル・スケールを結ぶ直線により決定される理論出力と実際のアナログ出力との最大誤差として定義されます。

微分非直線性（DNL）

DNLは、デジタル入力コードでの1 LSBの変化に対応するアナログ値の変化の測定値で、フル・スケールで正規化したものです。

単調性

デジタル入力が増加したとき、出力が増加または不変の場合に、D/Aコンバータが単調性を持つとされます。

オフセット誤差

出力電流と理論ゼロとの差をオフセット誤差と呼びます。 I_{OUTA} に対しては、全入力ビットが"0"の場合、理論的には0mA出力となります。 I_{OUTB} に対しては、全入力ビットが"1"の場合、理論的には0mA出力となります。

ゲイン誤差

理論出力スパンと実際の出力スパンとの差をいいます。実際の出力スパンは、全入力ビットが"1"に設定されたときの出力から全入力ビットが"0"に設定されたときの出力を減算したときの差として定義されます。

出力適合範囲

電流出力型DACの出力における許容電圧範囲。最大適合値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性性能が発生することがあります。

温度ドリフト

温度ドリフトは、周辺温度値（+25）から T_{MIN} または T_{MAX} 温度値での最大変化として規定されます。オフセットとゲイン・ドリフトの場合、ドリフトは1 当たりのフル・スケール範囲（FSR）に対するppm値で表されます。リファレンスドリフトの場合は、ドリフトは1 当たりのppm値で表されます。

電源除去比

電源が最小規定電圧値から最大規定電圧値へ変化したときの、フル・スケール出力の最大変化をいいます。

セトリング・タイム

出力が最終値の規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

グリッチ・インパルス

望ましくない出力過渡電圧を発生させるDAC内での非対称スイッチング時間をいい、グリッチ・インパルスにより数量化されたもの。グリッチ内の正味面積を表す単位pV-sを使って規定します。

スプリアスフリー・ダイナミック・レンジ

出力信号のrms振幅値と規定帯域内のピーク・スプリアス信号との差をいい、dB値で表します。

全高調波歪み

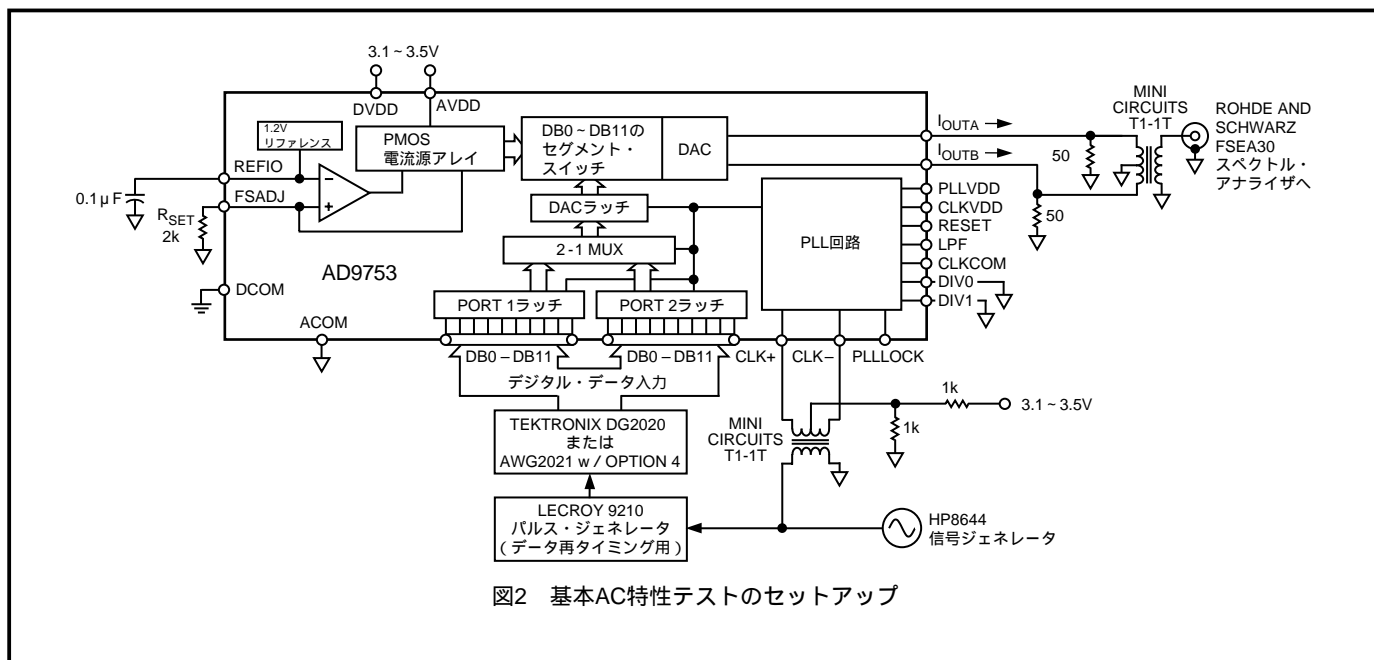
THDは、基本波測定値（rms値）と最初の6種類の高調波成分のrms値の和との比をいい、パーセント値またはデシベル値（dB）で表されます。

信号対ノイズ比（SNR）

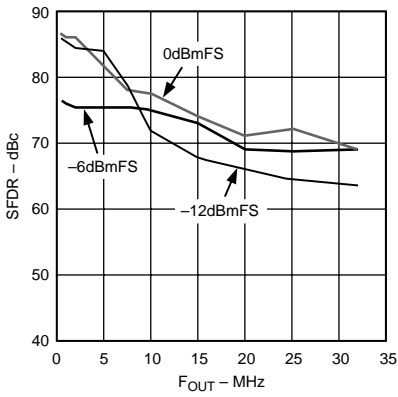
S/Nは、測定した出力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値総和から6次までのDCと高調波成分を除いた分に対する比です。SNRは、デシベル値で表されます。

隣接チャンネル電力比（ACPR）

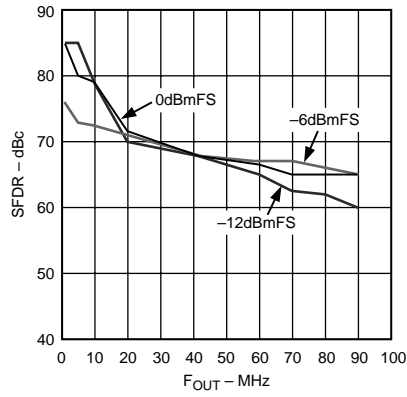
チャンネル内とその隣接チャンネル内の電力測定値の比をdBcで表した値です。



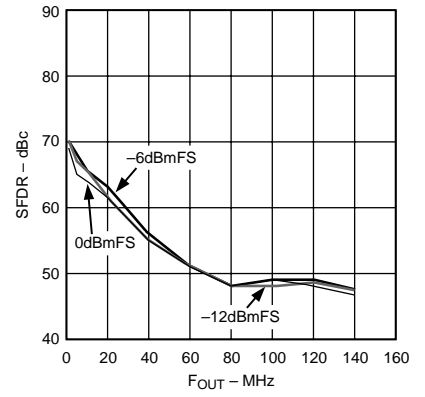
代表的な性能特性 - AD9753



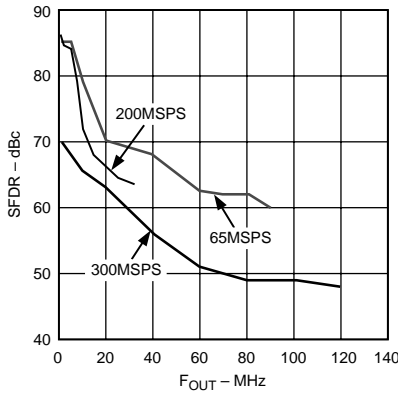
TPC 1 シングルトーンSFDR対 f_{OUT}
@ $f_{DAC} = 65\text{MSPS}$ 、シングル・
ポート・モード



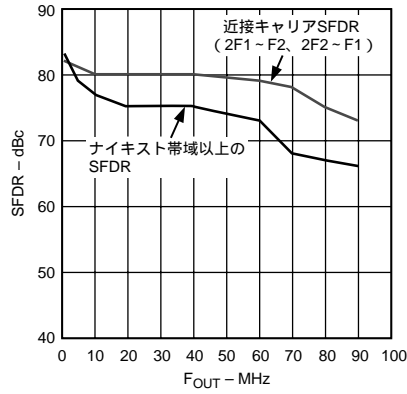
TPC 2 シングルトーンSFDR対 f_{OUT} @
 $f_{DAC} = 200\text{MSPS}$



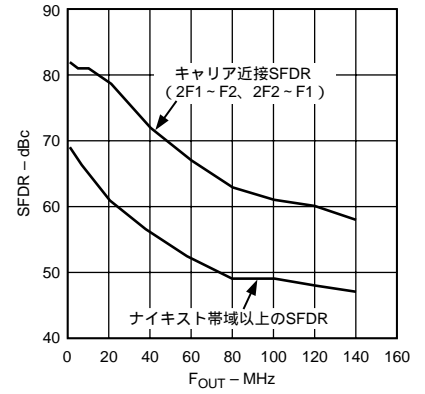
TPC 3 シングルトーンSFDR対
 f_{OUT} @ $f_{DAC} = 300\text{MSPS}$



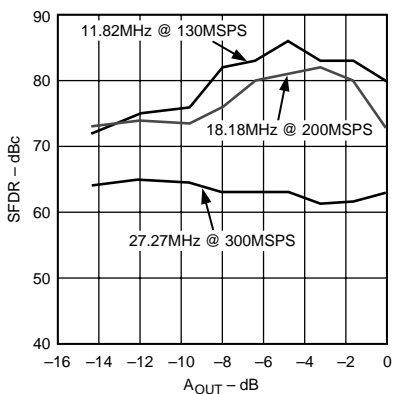
TPC 4 SFDR対 f_{OUT} @0dBFS



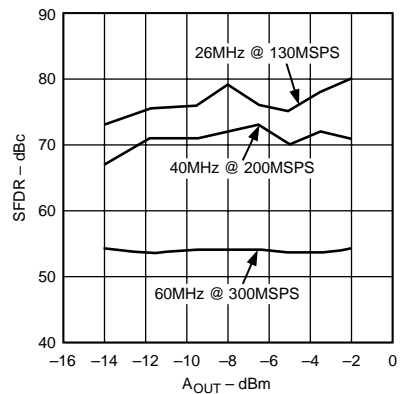
TPC 5 ツートーンIMD対 f_{OUT} @ $f_{DAC} =$
200MSPS、2周波の間隔1MHz、
0dBFS



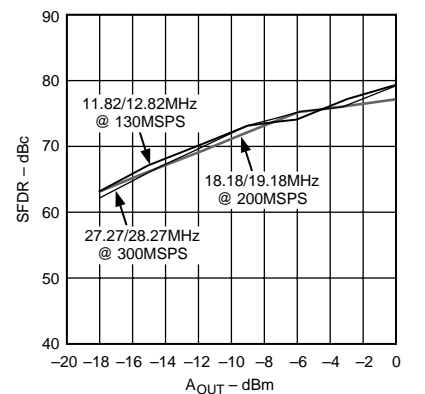
TPC 6 ツートーンIMD対 f_{OUT} @ $f_{DAC} =$
300MSPS、2周波の間隔1MHz、
0dBFS



TPC 7 シングルトーンSFDR対
 A_{OUT} @ $f_{OUT} = f_{DAC} / 11$

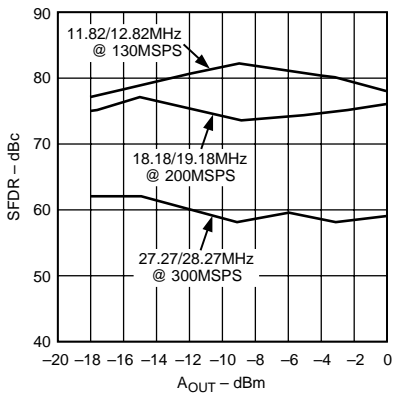


TPC 8 シングルトーンSFDR対 A_{OUT}
@ $f_{OUT} = f_{DAC} / 5$

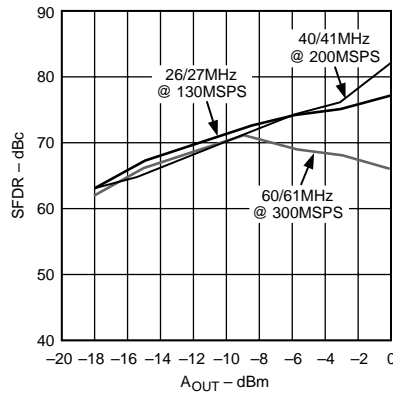


TPC 9 ツートーンIMD (3次積) 対 A_{OUT}
@ $f_{OUT} = f_{DAC} / 11$

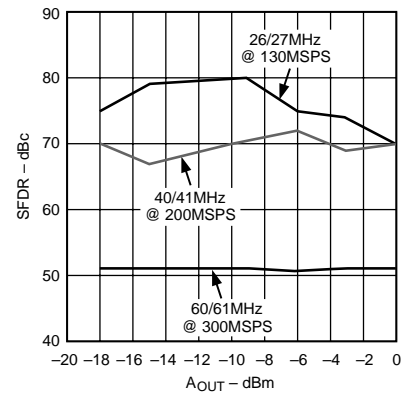
AD9753



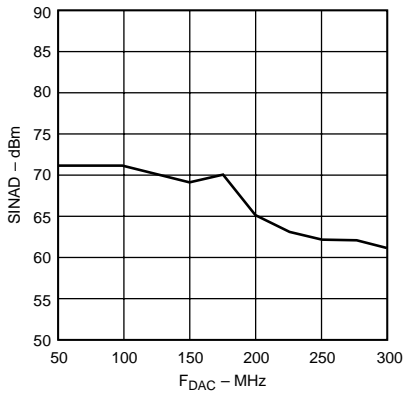
TPC 10 ツートンIMD (ナイキストまで) 対A_{OUT}@f_{OUT} = f_{DAC}/11



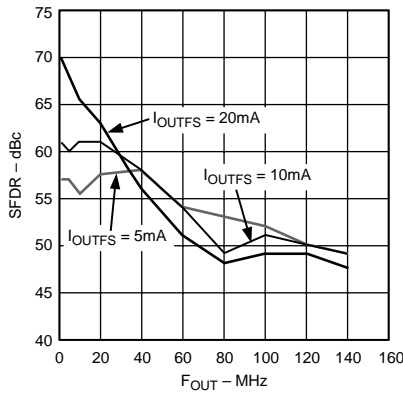
TPC 11 ツートンIMD (3次積) 対A_{OUT}@f_{OUT} = f_{DAC}/5



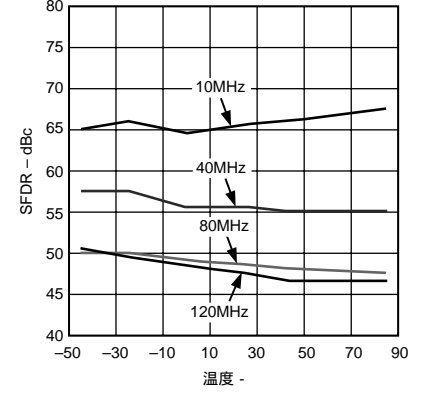
TPC 12 ツートンIMD (ナイキストまで) 対A_{OUT}@f_{OUT} = f_{DAC}/5



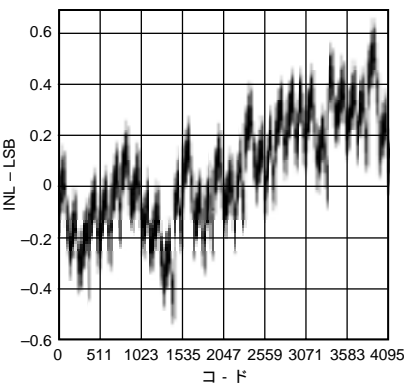
TPC 13 SINAD対f_{DAC}@f_{OUT} = 10MHz、0dBFS



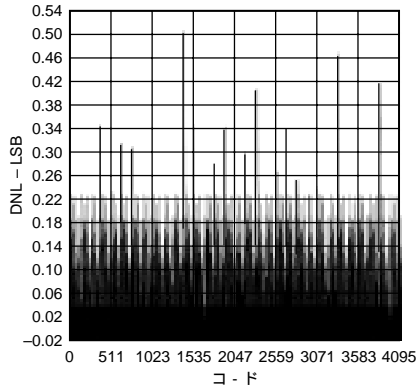
TPC 14 SFDR対I_{OUTFS}、f_{DAC} = 300MSPS @0dBFS



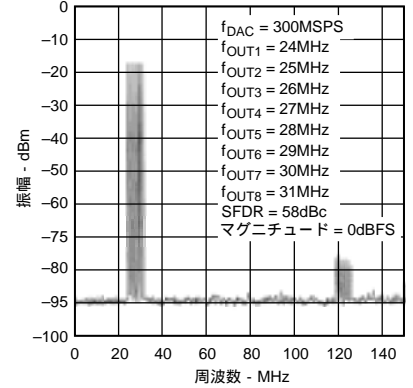
TPC 15 SFDR対温度、f_{DAC} = 300MSPS @0dBFS



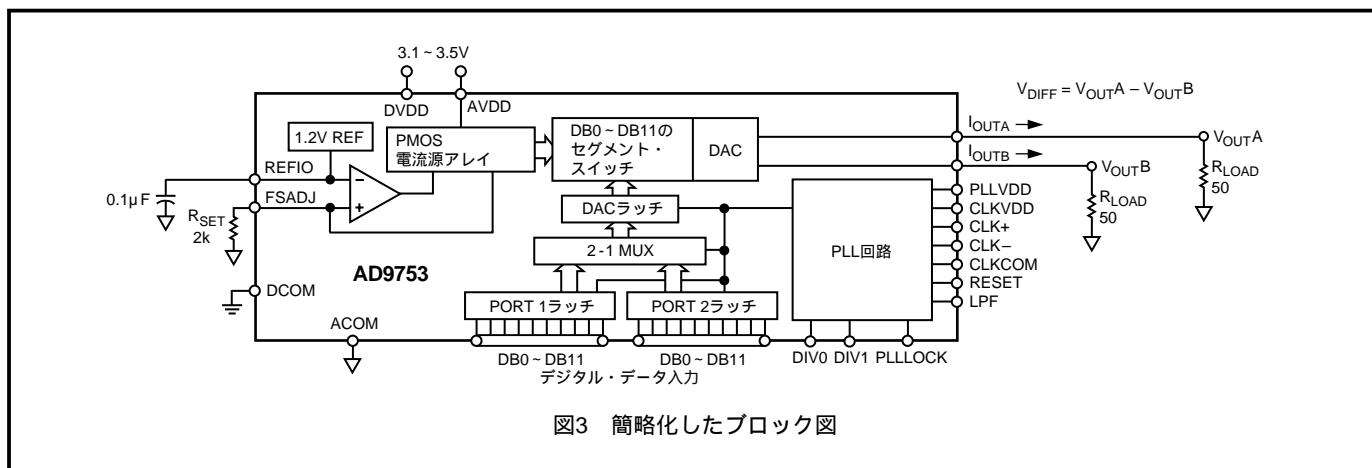
TPC 16 INLの代表値



TPC 17 DNLの代表値



TPC 18 8トーンSFDR@f_{OUT} ≈ f_{DAC}/11、f_{DAC} = 300MSPS



機能説明

図3に、簡略化したAD9753のブロック図を示します。AD9753は最大20mAのフルスケール電流 (I_{OUTFS}) を供給できるPMOS電流源アレイで構成されています。アレイは、上位5ビット (MSB) を構成する31個の等値電流源に分割されています。次の4ビットすなわち中位ビットは、15個の等値電流源 (値はMSB電流源の1/16) で構成されています。残りのLSBは、中位ビット電流源の2進小数値部分を構成しています。R-2Rのラダー回路ではなく、電流源で下位ビットと中位ビットを構成しているため、多周波信号または低振幅信号のダイナミック性能が改善され、DACの高出力インピーダンス (100k 以上) の維持に役立っています。

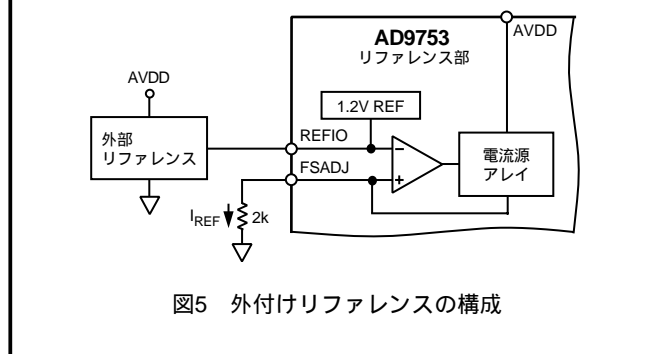
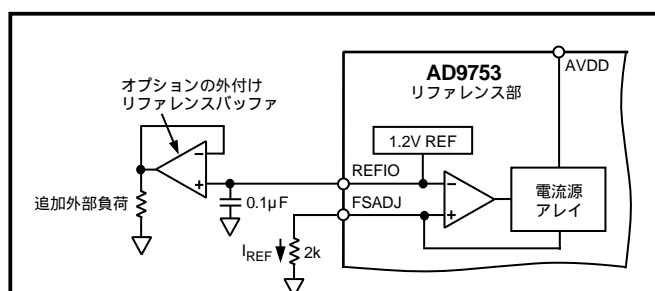
このすべての電流源がPMOS差動電流スイッチを經由して、2つの出力 (I_{OUTA} または I_{OUTB}) のいずれかに接続されます。これらのスイッチは、歪み性能を大幅に改善する新しいアーキテクチャに基づいています。この新しいスイッチ・アーキテクチャは種々のタイミング誤差を減少させ、差動電流スイッチの入力に一致した相補駆動信号を出力します。

AD9753のアナログ部とデジタル部は、3.1~3.5Vの電圧範囲で独立して動作可能な別々の電源入力 ($AVDD$ と $DVDD$) を持っています。300MSPSのクロック・レートで動作可能なデジタル部は、エッジ・トリガ・ラッチとセグメント・デコーディング・ロジック回路で構成されています。アナログ部には、PMOS電流源、対応した差動スイッチ、1.20Vのバンドギャップ・リファレンス、リファレンス・コントロール・アンプが含まれています。

フル・スケール出力電流はリファレンス・コントロール・アンプでレギュレーションされ、外部抵抗 R_{SET} を使って2~20mAの範囲で設定できます。外部抵抗はリファレンス・コントロール・アンプ及びリファレンス V_{REFIO} との組み合わせにより、基準電流 I_{REF} を設定します。この基準電流は、適切なスケール・ファクタを使ってセグメント化電流源に設定されます。フルスケール電流 I_{OUTFS} は、 I_{REF} の32倍です。

リファレンスの動作

AD9753は1.20Vのバンドギャップ・リファレンスを内蔵しています。リファレンスは性能に影響を与えることなく、外部リファレンスを代わりに接続することができます。内部または外部リファレンスのどちらを使うかに応じて、REFIOは入力または出力として機能します。内部リファレンスを使用すると、REFIOピンとACOMの間に0.1µFのコンデンサを接続して単純にデカップリングするだけで済みます。内部リファレンスは、REFIOに出力されます。REFIOに出力される電圧を回路内で使用する場合は、100nA未満の入力バイアス電流を持つ外付けバッファアンプを使用する必要があります。内部リファレンスの使用例を図4に示します。図5に示すように、ローインピーダンスの外付けリファレンスをREFIOに接続することができます。外付けリファレンスとしては、精度とドリフト性能を強化するための固定リファレンス、またはゲイン制御用の可変リファレンスを接続できます。内部リファレンスが上書きされ、REFIOの比較的高い入力インピーダンスによって外部リファレンスの負荷が最小化されるため、0.1µFの補償コンデンサが不要であることに注意してください。



AD9753

リファレンス・コントロール・アンプ

AD9753には、DACのフル・スケール出力電流 I_{OUTFS} のレギュレーション用のコントロール・アンプも内蔵されています。コントロール・アンプは、式4に示すように、 V_{REFIO} と外部抵抗 R_{SET} の比によって電流出力 I_{REF} が決定されるように電圧/電流コンバータとして構成されます(図4)。式3に示すように、 I_{REF} が適切なスケール・ファクタでセグメント化電流源に適用されて、 I_{OUTFS} が設定されます。

コントロール・アンプは、 I_{REF} を62.5 ~ 625 μA に設定することにより、 $I_{OUTFS} = 2 \sim 20mA$ の広い調整範囲(10:1)を可能にします。 I_{OUTFS} の調整範囲の広さは、幾つかのアプリケーション上の利点をもたらします。第一の利点は、AD9753の消費電力が I_{OUTFS} に比例することです(消費電力の項を参照)。第二の利点は20dBの調整で、システム・ゲインの制御に役立ちます。

リファレンス・コントロール・アンプの小信号帯域幅は約500kHzで、低周波の小信号増幅アプリケーションに使用できます。

PLLクロック逡倍器の動作

位相ロック・ループ(PLL)は、エッジ・トリガー・ラッチ、マルチプレクサ、DACに必要な内部同期2 \times クロックを発生するためにAD9753の動作には不可欠です。

PLL VDD を電源電圧に接続すると、AD9753はPLL ACTIVEモードになります。図6に、PLLアクティブ時のAD9753クロック制御回路の機能ブロック図を示します。この回路は、位相検出器、チャージ・ポンプ、電圧制御発振器(VCO)、入力データ・レート範囲制御、クロック・ロジック回路、制御入/出力で構成されています。帰還ループ内の2分周回路により、PLLがDAC出力ラッチに必要な2 \times クロックを発生します。

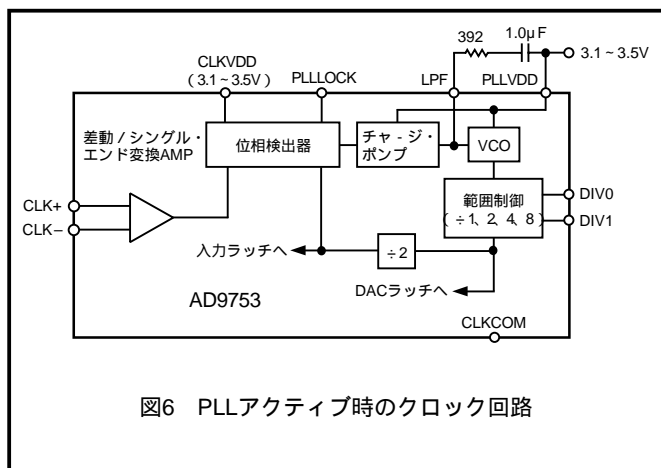


図6 PLLアクティブ時のクロック回路

図7に、PLLアクティブ時のAD9753の入/出力タイミングを示します。図25のCLKは、AD9753の外部で発生されたクロックを表します。Port1とPort2の入力データはどちらも、同じCLKの立上がりエッジでラッチされます。CLKをシングル・エンド信号として入力するときは、CLK-を電源の midpoint に接続し、さらにCLKをCLK+に接続します。また、CLKを差動信号として入力するときは、CLK+とCLK-に接続します。

内部PLLを使用する場合は、RESETをグラウンドに接続します。AD9753がPLL ACTIVEモードの場合、PLLLOCKは内部位相検出器の出力になります。ロック時は、このモードでのPLLLOCK出力は、ロジック"1"になります。

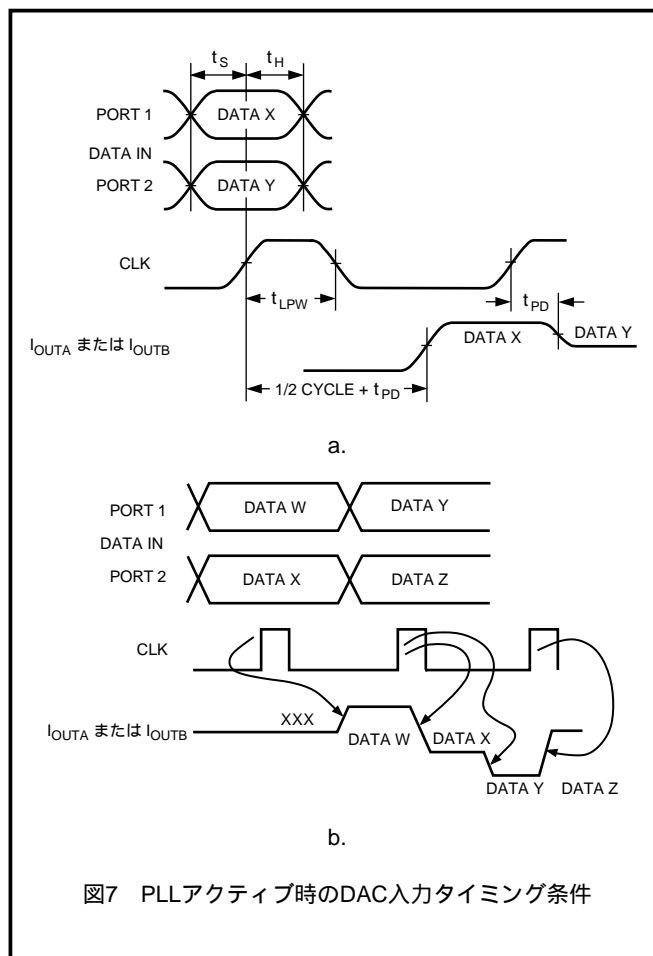


図7 PLLアクティブ時のDAC入力タイミング条件

通常、VCOは100 ~ 400MHzの出力を発生することができます。入力クロックを6.25MHzまで低くするときは、範囲コントロール機能を使ってVCOを設計範囲内に維持します。PLLアクティブ時は、DIV0とDIV1のロジック・レベルが範囲コントローラの分周比(プリスケラ)を決定します。表1に、DIV0とDIV1の各状態に対する入力クロックの周波数範囲を示します。

表1 PLLアクティブ時のDIV0、DIV1のレベルに対するCLK定格値

CLK周波数	DIV1	DIV0	範囲コントローラ
50 ~ 150MHz	0	0	$\div 1$
25 ~ 100MHz	0	1	$\div 2$
12.5 ~ 50MHz	1	0	$\div 4$
6.25 ~ 25MHz	1	1	$\div 8$

位相ノイズとPLLのセトリング/アキュジション時間特性を最適化するには、LPFからPLL VDD へ直列接続された392の抵抗と1.0 μF のコンデンサが必要です。最適なノイズ性能と歪み性能を得るには、PLL VDD をDVDDとCLKVDDに近い電圧レベルに設定する必要があります。一般に、PLL範囲制御設定に対する最適な位相ノイズ性能は、VCOが最大出力周波数である400MHz付近で動作するときに得られます。

前述のように、6.25MSPS以下の入力データ・レートを必要とするアプリケーションでは、PLLクロック逡倍器をディスエーブルして、外部から2倍の基準クロックを入力する必要があります。しかし、より高いデータ・レートでは、低位相ノイズ（ジッタ）かつ入力データ・レートの2倍の基準クロックを既に使用しているアプリケーションは、AD9753の最適なSNR性能を得るためにPLLクロック逡倍器をディスエーブルすることを検討する必要があります。ここで、AD9753のSFDR性能は、PLLクロック逡倍器のイネーブル/ディスエーブルから影響を受けないことに注意してください。AD9753のSNR性能に対する位相ノイズの影響は、出力周波数と出力信号レベルが高くなるほど、顕著になります。図8に、DIV1とDIV0を最適設定した場合の、種々のデータ・レート（したがってキャリア周波数）に対するフルスケール正弦波（ $= f_{DATA} / 4$ ）の位相ノイズを示します。SNRは、クロック回路が発生するジッタの関数でもあります。そのため、PLLVDD またはCLKVDDにノイズが存在すると、DAC出力でのSNRが低下します。この問題を最小にするため、PLLVDD とCLKVDDは図9に示すようなLCフィルタ・ネットワークを使ってDVDDに接続することができます。

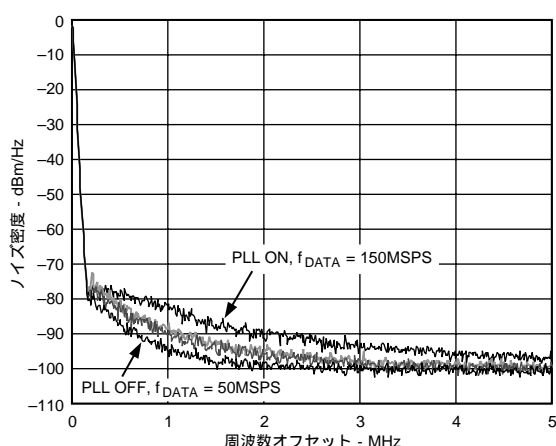


図8 最適なDIV0 / DIV1設定での種々の f_{DATA} 設定に対するPLLクロック逡倍器の位相ノイズ（ $f_{OUT} = f_{DATA} / 4$ ）、R&S FSEA30スペクトル・アナライザを使用

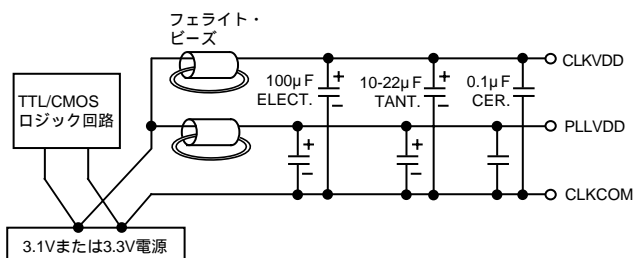


図9 電源フィルタ用LCネットワーク

PLLアクティブ時のDACのタイミング

前述のように（図7）、PLL ACTIVEモードでは、Port1入力ラッチとPort2入力ラッチはCLKの立上がりエッジで更新されます。同じ立上がりエッジで、入力Port2ラッチのデータがDAC出力ラッチに書込まれます。DAC出力は短い伝搬遅延（ t_{PD} ）の後に更新されます。

CLKの立上がりエッジから1/2周期後に、Port1ラッチのデータがDAC出力ラッチに書込まれ、対応する変化がDAC出力に現われます。内部PLLを使用しているため、Port1とPort2の入力ラッチ内のデータがDACラッチに書込まれるタイミングは、CLKのデューティ・サイクルに依存しません。PLLを使用すると、外部クロックは規定の入力パルス幅を満たす任意のデューティ・サイクルで動作させることができます。

CLKの次の立上がりエッジで、2つの入力ポート・ラッチの更新と、DAC出力ラッチのPort2入力ラッチのデータによる更新のサイクルが始まります。

PLLディスエーブル・モード

PLLVDD をグラウンドに接続すると、PLL がディスエーブルされます。所望のDAC出力更新レートで、外部からCLK入力を駆動する必要があります。入力Port1と入力Port2のデータの速度とタイミングは、AD9753がデジタル入力データ・インターリーブ・モードで動作するか、またはシングル・ポート・データ・モードで動作するかによって異なります。図10に、PLLディスエーブル時のAD9753クロック制御回路の機能ブロック図を示します。

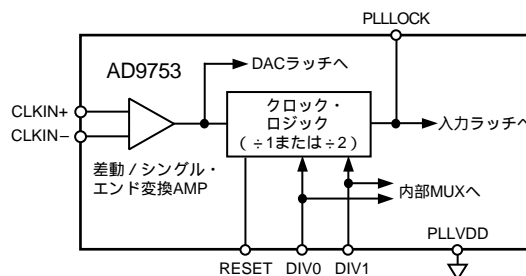


図10 PLLディスエーブル時のクロック回路

DIV0とDIV1 はPLLを制御しなくなりますが、入力マルチプレクサでの入力データのインターリーブ/非インターリーブの制御に使用されます。DIV0とDIV1の状態に対応する各モードを、表IIに示します。

表II PLLディスエーブル時のDIV0、DIV1のレベルと入力モード

入力モード	DIV 1	DIV 0
インターリーブ (2x)	0	0
非インターリーブ		
Port1 選択	0	1
Port2 選択	1	0
不許可	1	1

AD9753

PLLディスエーブル時のインターリーブ (2x) モード

このモードでの内部クロックと外部クロックの関係を図11に示します。出力更新データ・レート (=2x入力データ・レート) のクロックをCLK入力に入力する必要があります。内部分周器は、入力ラッチに必要な内部1xクロックを発生します。両入力ラッチは遅延した内部1xクロックの立上がりエッジで更新されますが、デジタル特性表に規定されているセットアップ時間とホールド時間は、外部2xクロックの立上がりエッジを基準としています。PLLディスエーブル時は、1xクロックは負荷に依存して遅延してPLLLOCKピンに出力されます。この信号は、外部データを同期する際に使用することができます。

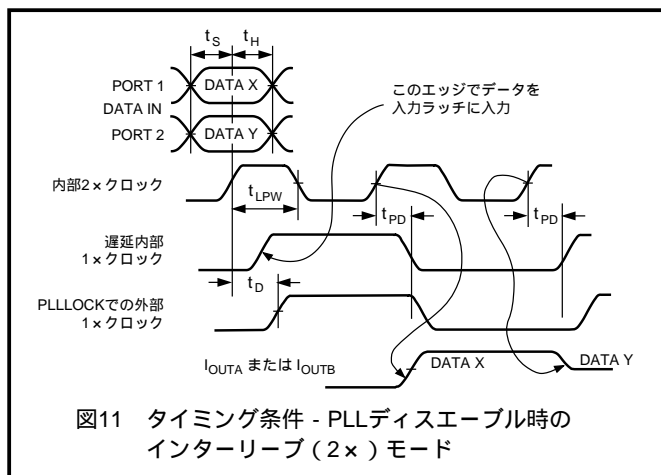


図11 タイミング条件 - PLLディスエーブル時のインターリーブ (2x) モード

入力Port1と2でのデータ更新は、図11に示す1x内部クロックの立上がりエッジに対応する、外部2xクロックの特定の立上がりエッジに同期化される必要があります。同期を確実に行うには、RESETピンを瞬時にロジック"1"にする必要があります。RESETピンにロジック"1"を入力してからロジック"0"に戻すと、PLLLOCKでの1xクロックがロジック"1"になります。2xクロックの次の立上がりエッジで、1xクロックがロジック"0"になります。2xクロックの2番目の立上がりエッジでは、1xクロック(PLLLOCK)が再度ロジック"1"になり、両入力ラッチ内のデータも更新されます。図12に、この詳細を示します。

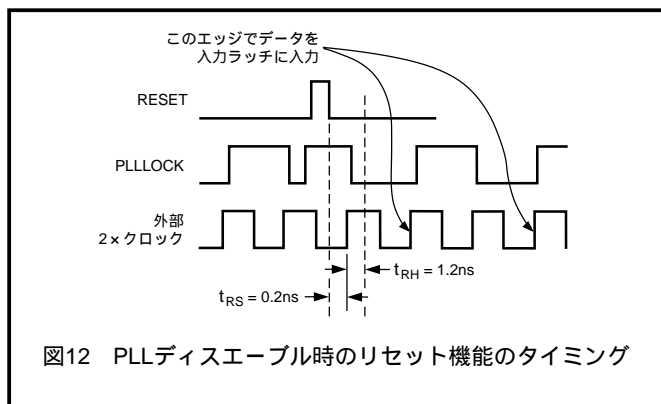


図12 PLLディスエーブル時のリセット機能のタイミング

正しい同期化には、RESETをLowにする時点と2xクロックの立上がりエッジの間に十分な遅延が必要です。2xクロックの立上がりエッジより少なくとも t_{RS} ns前、または t_{RH} ns後に、RESETをLowにする必要があります。前者では、CLKの立上がりエッジが直ちに発生し、PLLLOCKがLowになります。後者では、次のCLK立上がりエッジがPLLLOCKをトグルします。

PLLディスエーブル時の非インターリーブ・モード

1つのポートのデータだけが必要な場合には、AD9753のインターフェイスは、インターリーブを行わないシンプルなダブルバッファ付きラッチとして動作できます。1xクロック立上がりエッジで、入力ラッチ1または入力ラッチ2 (DIV0 / DIV1の状態に依存) が入力データにより更新されます。次の立上がりエッジで、DACラッチが更新され、時間 t_{PD} の経過後に、DAC出力にこの変更が反映されます。図13に、このモードでのAD9753のタイミングを示します。

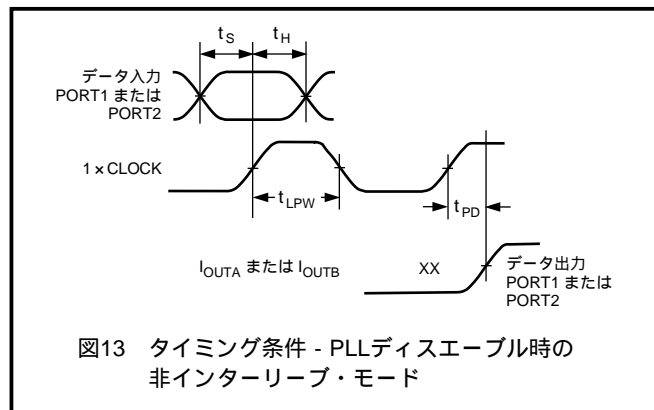


図13 タイミング条件 - PLLディスエーブル時の非インターリーブ・モード

DAC伝達関数

AD9753には相補電流出力 I_{OUTA} と I_{OUTB} があります。全ビットがHigh (DAC CODE = 4095) のとき、 I_{OUTA} はフル・スケール電流出力に近い I_{OUTFS} を出力し、このとき相補出力の I_{OUTB} は出力電流ゼロになります。 I_{OUTA} と I_{OUTB} の電流出力は入力コードと I_{OUTFS} の関数であり、次式で表されます。

$$I_{OUTA} = (\text{DAC CODE} / 4096) \times I_{OUTFS} \quad (1)$$

$$I_{OUTB} = (4095 - \text{DAC CODE}) / 4096 \times I_{OUTFS} \quad (2)$$

ここで、DACコード = 0 ~ 4095 (10進数) です。前述のように、 I_{OUTFS} はリファレンス電流 I_{REF} の関数であり、 I_{REF} は通常リファレンス電圧 V_{REFIO} と外部抵抗 R_{SET} により設定されます。次のように表すことができます。

$$I_{OUTFS} = 32 \times I_{REF} \quad (3)$$

$$\text{ここで } I_{REF} = V_{REFIO} / R_{SET} \quad (4)$$

2つの電流出力は、通常、直接またはトランス経由で抵抗負荷を駆動します。DC結合が必要な場合は、 I_{OUTA} と I_{OUTB} を一致する抵抗負荷 R_{LOAD} に直接接続します。この R_{LOAD} はアナログ・コモンACOMに接続されています。50 または75 のケーブルを両端終端している場合は、 R_{LOAD} は I_{OUTA} または I_{OUTB} から見た等価負荷抵抗を表すことに注意してください。 I_{OUTA} ノードと I_{OUTB} ノードのシングル・エンド電圧出力は、次のように表されます。

$$V_{OUTA} = I_{OUTA} \times R_{LOAD} \quad (5)$$

$$V_{OUTB} = I_{OUTB} \times R_{LOAD} \quad (6)$$

規定の歪み性能と直線性性能を維持するには、 V_{OUTA} と V_{OUTB} のフル・スケール値が、規定された出力適合範囲を超えないように注意する必要があります。

$$V_{DIFF} = (I_{OUTA} - I_{OUTB}) \times R_{LOAD} \quad (7)$$

I_{OUTA} 、 I_{OUTB} 、 I_{REF} に値を代入すると、 V_{DIFF} は次のように表されます。

$$V_{DIFF} = \{(2 \text{ DAC CODE} - 4095) / 4096\} \times (32 R_{LOAD} / R_{SET}) \times V_{REFIO} \quad (8)$$

最後の2式は、AD9753を差動動作させるときの利点を表しています。第一に、差動動作はノイズ、歪み、DCオフセットのような I_{OUTA} と I_{OUTB} に対応する同相モード誤差原因を相殺します。第二に、コ-ド依存の差動電流とその後段の電圧 V_{DIFF} はシングル・エンド電圧出力値 (V_{OUTA} または V_{OUTB}) の2倍であり、2倍の信号電力を負荷に供給します。

AD9753のシングル・エンド出力 (V_{OUTA} と V_{OUTB}) または差動出力 (V_{DIFF}) に対するゲイン・ドリフト温度性能は、 R_{LOAD} と R_{SET} が式8に示すように比例関係にあるため、両抵抗に対して温度トラッキング抵抗を選択することにより改善できることに注意してください。

アナログ出力

AD9753には2本の相補電流出力 I_{OUTA} と I_{OUTB} が用意されており、シングルエンドまたは差動動作に構成することができます。 I_{OUTA} と I_{OUTB} は、DAC伝達関数の項の式5~8で説明したように、負荷抵抗 R_{LOAD} を使って、相補シングル・エンド電圧出力 V_{OUTA} と V_{OUTB} に変換することができます。 V_{OUTA} と V_{OUTB} の間の差動電圧 V_{DIFF} も、トランスまたは差動アンプ構成を使ってシングル・エンド電圧に変換することができます。AD9753のAC性能は、 I_{OUTA} と I_{OUTB} での電圧振幅を $\pm 0.5V$ に制限した差動トランス結合出力を使用した場合に最適であり、これで仕様規定されています。シングル・エンド・ユニポーラ出力が必要な場合は、 I_{OUTB} をグラウンドに接続して、 I_{OUTA} を出力として選択してください。

AD9753の歪み性能とノイズ性能は、差動動作により改善することができます。 I_{OUTA} と I_{OUTB} の同相モード誤差の原因は、トランスまたは差動アンプの同相モード除去比により大幅に削減されます。同相モード誤差原因には、偶数次の歪み項とノイズが含まれています。再生波形の周波数成分が多いほど、歪み性能の改善効果が大きくなります。これは、種々の動的な同相モード歪みメカニズム、デジタル信号の混入、ノイズなどの一次的な相殺に起因します。

トランスを使って差動からシングル・エンドへ変換すると、2倍の再生信号電力を負荷に供給することもできます (ソース終端がない場合)。 I_{OUTA} と I_{OUTB} の出力電流は相補であり、差動処理された場合は加算されます。適切に選択されたトランスを使うと、AD9753は様々な負荷に対して所要電力と電圧レベルを供給することができます。種々の出力構成の例については、AD9753の応用を参照してください。

I_{OUTA} と I_{OUTB} の出力インピーダンスは、PMOSスイッチおよび100k (typ)と5pFの並列接続の、等価な並列組合せにより決定されます。PMOSデバイスの性質上、出力電圧 (V_{OUTA} と V_{OUTB}) にも少し依存します。結果として、I-Vオペアンプ構成を使って I_{OUTA} および/または I_{OUTB} を仮想グラウンドに維持すると、最適なDC直線性を得ることができます。AD9753のINL/DNL特性は、 I_{OUTA} と I_{OUTB} をオペアンプを使って仮想グラウンドに維持して測定していることに注意してください。

I_{OUTA} と I_{OUTB} には、最適な性能を得るために従うべき正および負の電圧適合範囲もあります。-1.0Vという負の出力適合範囲は、CMOSプロセスのブレイクダウン限界値により設定されます。この最大値を超えて動作させると、出力段でブレイクダウンが発生して、AD9753の信頼性に影響を与えます。

正の出力適合範囲は、フル・スケール出力電流 I_{OUTFS} の影響を少し受けます。 $I_{OUTFS} = 20mA$ で1.25Vの公称値から、 $I_{OUTFS} = 2mA$ では1.00Vまで、少し低下します。シングル・エンド出力または差動出力に対する最適歪み性能は、 I_{OUTA} と

I_{OUTB} における最大フルスケール信号が0.5Vを超えないときに得られます。AD9753の出力適合範囲を超える出力 (V_{OUTA} および/または V_{OUTB}) が必要なアプリケーションでは、 R_{LOAD} の大きさを適切に調整する必要があります。適合範囲を超える動作は、AD9753の直線性性能に悪影響を与え、歪み性能の低下をもたらします。

デジタル入力

AD9753のデジタル入力は、14本×2チャンネルのデータ入力ピンと1対の差動クロック入力ピンから構成されています。12ビットの平行・データ入力は自然2進コーディングを採用しており、DB13が最上位ビット (MSB)、DB0が最下位ビット (LSB) です。全データ・ビットがロジック"1"のとき、 I_{OUTA} にフル・スケール出力電流が得られます。 I_{OUTB} は相補出力を与え、フル・スケール電流が入力コードの関数として、この2本の出力に分割されて出力されます。デジタル・インターフェースは、エッジ・トリガ型のマスター・スレーブ・ラッチで構成されています。PLLがアクティブまたはディスエーブルのとき、DAC出力は各入力ラッチの立上がりエッジで2回更新されます (図7と図11参照)。AD9753は、最大150MSPSまでの高速な入力データ・レートをサポートするようにデザインされており、300MSPSのDAC出力更新レートを与えます。セットアップ時間とホールド時間も、規定の最小タイミングを満たす限り、クロック・サイクル内で変えることができます。入力データが50%デューティ・サイクル・クロックの立下がりエッジで変化するとき、最適性能が得られます。

デジタル入力は、CMOS互換のロジック・スレッシュホールドVTHRESHOLDであり、デジタル正電源 (DVDD) の約1/2すなわち、

$$VTHRESHOLD = DVDD/2 (\pm 20\%)$$

です。

AD9753の内部デジタル回路はデジタル電源範囲3.1~3.5Vで動作できます。従って、TTLドライバの最大Highレベル電圧 $V_{OH} (MAX)$ に対応できるようにDVDDが設定されている場合には、デジタル入力はTTLレベルをサポートすることができます。3.1~3.3VのDVDDは、大部分のTTLロジック・ファミリと互換性があります。図14に、データ入力とクロック入力の等価デジタル入力回路を示します。

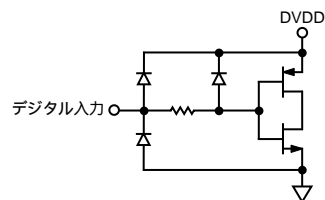


図14 等価デジタル入力回路

AD9753には、最適なジッタ性能を得るために、別々の電源 (CLKVDDとCLKCOM) で動作する差動クロック入力があります。2つのクロック入力CLK+とCLK-は、シングル・エンド・クロックまたは差動クロックで駆動することができます。シングル・エンド動作の場合は、CLK+をロジック信号源から駆動し、CLK-はロジック信号源のスレッシュホールド電圧に設定します。これは、図15aに示す抵抗抗分

AD9753

器 / コンデンサ・ネットワークを使って実現できます。差動動作の場合は、CLK+ とCLK- を図15bに示す抵抗分割器回路を使ってCLKVDD/2にバイアスします。

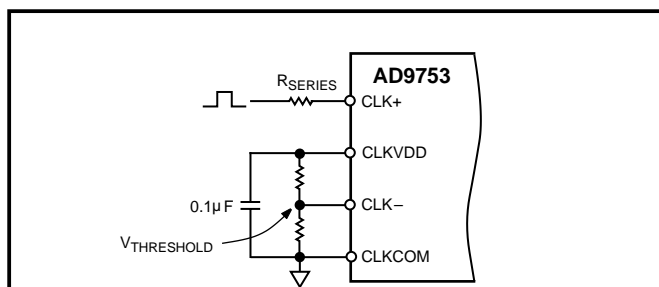


図15a シングル・エンド・クロック・インターフェース

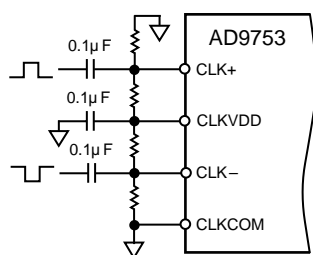


図15b 差動クロック・インターフェース

AD9753の出力は最大300MSPSまでの更新が可能のため、最適性能を得るには、クロック信号とデータ入力信号の品質が重要です。デジタル・データ・インターフェース回路のドライバは、AD9753の最小セットアップ・タイムとホールド・タイムはもちろん、最小 / 最大の入力ロジック・レベル・スレッシュリッド条件を満たすように設定される必要があります。デジタル信号パスは、最短に、伝搬遅延の不一致が発生しないように配線する必要があります。AD9753のデジタル入力とドライバ出力の間に小さい抵抗 (20 ~ 100 Ω) を挿入すると、データ・ノイズの悪影響を与えるデジタル入力でのオーバーシュートとリングングを減少させるのに役立ちます。長い配線と高速データ更新レートが必要な場合は、適切な終端抵抗を持つストリップ・ライン技術を使用して、"クリーン"なデジタル入力を維持する必要があります。

外部クロック・ドライバ回路は、最小 / 最大のロジック・レベルを満たす、ジッタの少ない、高速エッジを持つクロック入力をAD9753に出力する必要があります。高速なクロック・エッジは、再生波形での位相ノイズになるジッタを抑えるのに役立ちます。このため、クロック入力は、アプリケーションに合わせた最高速のロジック・ファミリで駆動する必要があります。

クロック入力は正弦波で駆動することもできます。この正弦波はデジタル・スレッシュリッド (DVDD/2) を中心にして、最小 / 最大ロジック・スレッシュリッドを満たす必要があります。通常、この方法では位相ノイズが少し悪化し、これは高いサンプリング・レートと高い出力周波数で顕著になります。また、高いサンプリング・レートでは、デジタル・ロジック・スレッシュリッドの20%の変動を考慮する必要があります。これは、実効クロック・デュティ・サイクルに影響を与え、その結果、所要データ・セットアップ時間とホールド時間を短くしてしまうためです。

入力クロックとデータタイミングの関係

DACのSNRは、クロック・エッジの位置と入力データの変化時点との関係に依存します。AD9753は立上がりエッジでトリガされるため、データ変化がこのエッジに近いとき、SNRに影響を与えます。一般に、AD9753を使用する場合は、データ変化を立上がりエッジの直後に発生させることが目標となります。これはサンプル・レートが高くなるほど重要になります。図16に、種々のサンプル・レートでのクロック位置とSNRの関係を示します。図16のセットアップ時間とホールド時間は、本データシートのデジタル特性に規定する最大値を満たさないように見えます。図16での違反は、このテストで使用したデジタル・データ・ジェネレータに固有な、データ・ビット間のスキューに起因しています。図16は、セットアップ時間とホールド時間を満たさない場合の影響と、"ウインドウ"外でデータ変化が発生するような悪いクロック位置からもAD9753が影響を受けないことを示すためのものです。デジタル特性で規定するセットアップ時間とホールド時間はビット毎に測定されているため、デジタル・データ・ジェネレータに現われるスキューが含まれていません。高いデータ・レートでは、タイミング仕様を定める際、入力デジタル・データでのスキューを考慮することが非常に重要です。

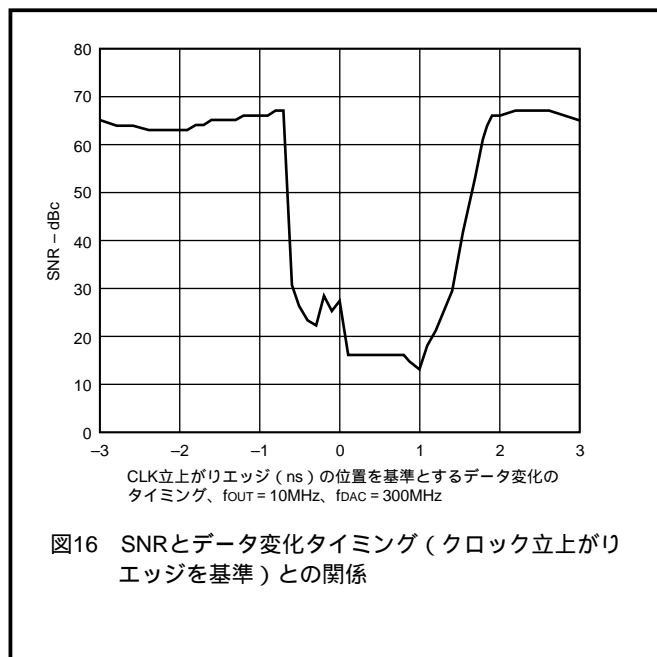


図16 SNRとデータ変化タイミング (クロック立上がりエッジを基準) との関係

消費電力

AD9753の消費電力 P_D は、(1) 電源電圧 (AVDDとDVDD)、(2) フル・スケール電流出力 I_{OUTFS} 、(3) 更新レート f_{CLOCK} 、(4) 再生デジタル入力波形などに依存します。消費電力は、アナログ電源電流 I_{AVDD} とデジタル電源電流 I_{DVDD} に直接比例します。 I_{AVDD} は I_{OUTFS} に直接比例し (図17)、 f_{CLOCK} には無関係です。逆に、 I_{DVDD} はデジタル入力波形 f_{CLOCK} とデジタル電源DVDDに依存します。図18に、 I_{DVDD} を種々の更新レートに対する比 (f_{OUT} / f_{DAC}) の関数として示します。さらに、図19には、与えられたPLL分周比に対して、 f_{DAC} 速度のPLLVDVDD電流に対する影響を示します。

AD9753出力構成の応用

以下では、代表的なAD9753の出力構成について説明します。特に注記がない限り、 I_{OUTFS} は公称20mAに設定します。最高のダイナミック性能を必要とするアプリケーションには、差動出力構成が推奨されます。差動出力構成は、RFトランスまたは差動オペアンプで構成されます。トランス構成は最適な高周波性能が得られるので、AC結合が可能なすべてのアプリケーションに推奨されます。差動オペアンプ構成は、DC結合、バイポーラ出力、選択したオペアンプの帯域内での信号ゲインおよび/またはレベル・シフトを必要とするアプリケーションに適しています。

シングル・エンド出力は、ユニポーラ電圧出力を必要とするアプリケーションに適しています。 I_{OUTA} および/または I_{OUTB} を適切な値の負荷抵抗 R_{LOAD} に接続すると、ACOMを基準とする正のユニポーラ出力電圧が得られます。この構成はDC結合でグラウンド基準の出力電圧を必要とする単電源システムに適しています。代わりに、アンプを電流/電圧コンバータに構成して、 I_{OUTA} または I_{OUTB} を負のユニポーラ電圧に変換することもできます。この構成では、 I_{OUTA} または I_{OUTB} が仮想グラウンドに維持されるため、最適なDC直線性が得られます。 I_{OUTA} の方が I_{OUTB} よりやや優れた性能を与えることに注意してください。

トランスを使う差動結合

RFトランスを使って、差動からシングルエンドへの信号変換を行うことができます(図20)。差動結合のトランス出力は、トランスの通過帯域にスペクトル成分を持つ出力信号に対して最適な歪み性能を提供します。Mini-Circuits社のT1-1TのようなRFトランスは、広い周波数範囲で優れた同相モード歪み除去比(偶数次高調波)とノイズ除去比を提供します。 I_{OUTA} と I_{OUTB} を50Ωでグラウンドに終端すると、この構成はDACのフルスケール電流20mAで2次側の50Ω負荷に0dBmの電力を供給します。 I_{OUTA} と I_{OUTB} を75Ωでグラウンドに終端する構成では、Coilcraft社のWB2040-PCのような2:1トランスを使うこともできます。この構成は負荷の整合を改善し、2次側の50Ω負荷に対して2dBmまで電力を増加します。インピーダンスの整合のためには、種々のインピーダンス比を持つトランスを使うことができます。トランスはAC結合でのみ使用できることに注意してください。

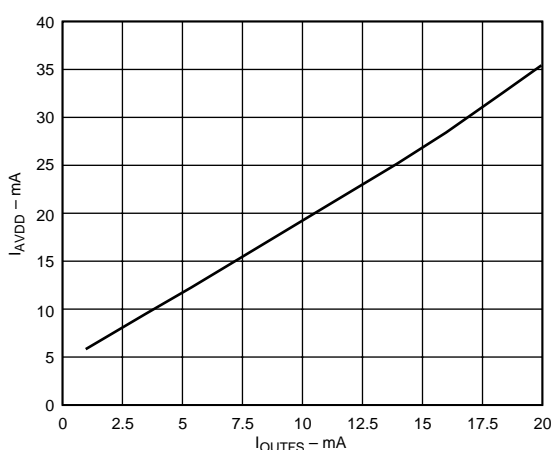


図17 I_{AVDD} 対 I_{OUTFS}

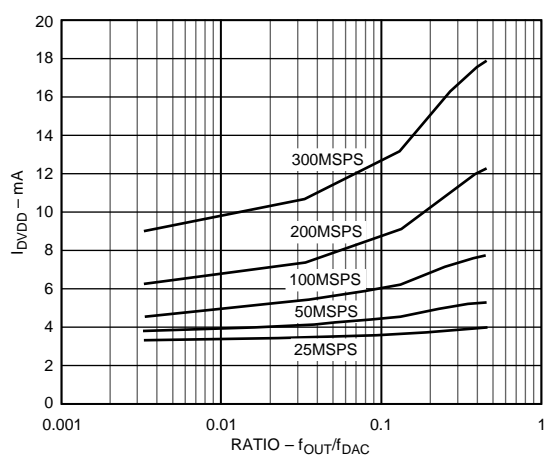


図18 I_{DVDD} 対 f_{OUT}/f_{DAC} 比

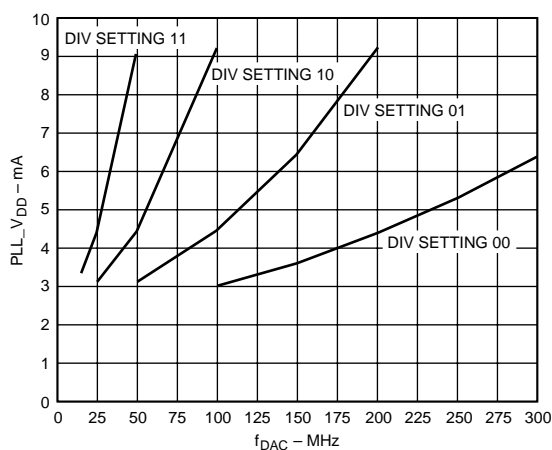


図19 PLLVDD 対 f_{DAC}

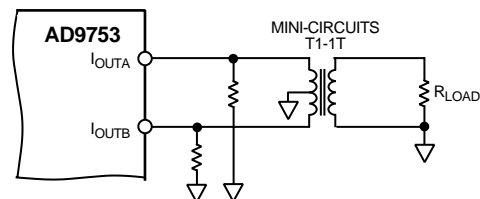


図20 トランスを使用する差動出力

AD9753

トランスの1次側のセンタ・タップをACOMに接続して、 I_{OUTA} と I_{OUTB} の両方に必要なDC電流パスを用意する必要があります。 I_{OUTA} と I_{OUTB} に出力される相補電圧 (V_{OUTA} と V_{OUTB}) 振幅はACOMを中心として対称であり、AD9753の規定出力適合範囲内に維持する必要があります。差動抵抗 R_{DIFF} は、トランス出力が受動再生フィルタまたはケーブルを経由して負荷 R_{LOAD} に接続されるアプリケーションに挿入することができます。 R_{DIFF} はトランスのインピーダンス比によって決定され、適切なソース終端を提供してVSWRを低くします。

オペアンプを使用する差動結合

オペアンプを使用して、差動からシングル・エンドへの変換を行うことができます (図21)。AD9753には、25 Ω の2本の等価負荷抵抗 R_{LOAD} が接続されます。 I_{OUTA} と I_{OUTB} によって発生した差動電圧が、差動オペアンプ構成を通してシングル・エンド信号に変換されます。オプションのコンデンサを I_{OUTA} と I_{OUTB} の間に接続して実数極のローパス・フィルタを構成することができます。DACの高スループート出力がオペアンプ入力を過負荷させることを防止するため、このコンデンサの追加により、オペアンプの歪み性能も改善されます。

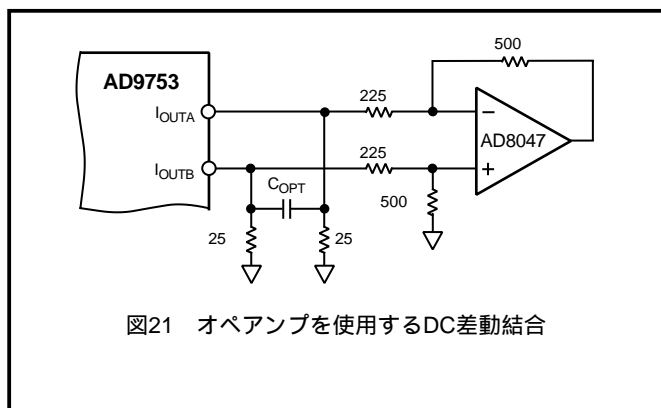


図21 オペアンプを使用するDC差動結合

この構成の同相モード除去比は、通常、2本の抵抗値の一致の程度により決定されます。この回路では、AD8047を使った差動オペアンプ回路が幾らかの信号ゲインを追加するように構成されています。オペアンプは、出力が約 $\pm 1.0V$ なので、両電源で動作する必要があります。AD9753の差動性能を維持することができ、かつシステム・レベルの目標 (コストや消費電力) を満たすことができる高速アンプを選択する必要があります。この回路を最適化するには、オペアンプの差動ゲイン、ゲイン設定抵抗値、フル・スケール出力振幅能力を考慮する必要があります。

図22に示す差動回路は、単電源システムで必要となるレベル・シフト機能を提供します。このケースでは、AD9753とオペアンプの両方に対する正のアナログ電源であるAVDDも使って、AD9753の差動出力を電源の中央に ($AVDD/2$) レベル・シフトします。AD8041は、このアプリケーションのオペアンプとして適しています。

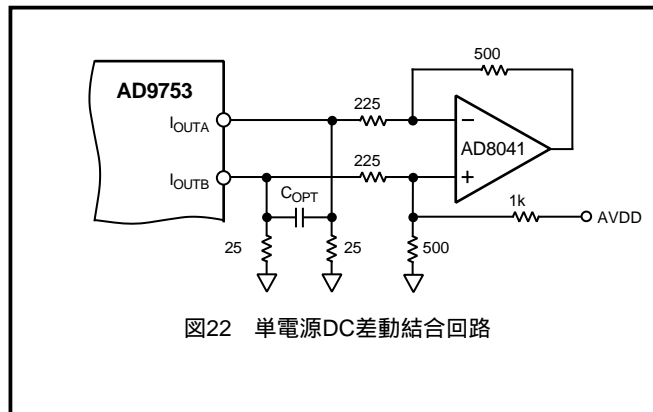


図22 単電源DC差動結合回路

シングル・エンドのバッファなし電圧出力

両端を終端した50 Ω ケーブルに20mAの公称フル・スケール電流 I_{OUTFS} が25 Ω の等価負荷抵抗 R_{LOAD} を流れるため、約0 ~ +0.5Vのユニポーラ出力範囲が得られるように構成されたAD9753を、図23に示します。このケースでは、 R_{LOAD} は I_{OUTA} または I_{OUTB} から見た等しい負荷抵抗を表しています。使用しない出力 (I_{OUTA} または I_{OUTB}) は直接に、または対応する R_{LOAD} 経由で、ACOMに接続することができます。正の適合範囲を満足している限り、 I_{OUTFS} と R_{LOAD} の間で異なる値を選択することができます。このモードでもう1つ注意する点は、このデータシートのアナログ出力の項で説明した積分非直線性 (INL) です。最適なINL性能を得るには、バッファ付きのシングル・エンド電圧出力構成が推奨されます。

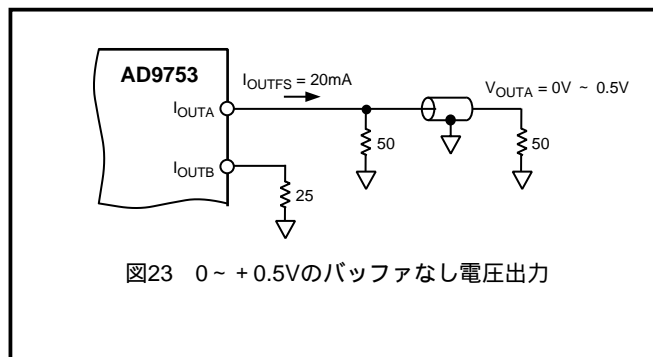


図23 0 ~ +0.5Vのバッファなし電圧出力

シングル・エンドのバッファ付き電圧出力

図24に、バッファ付きシングル・エンド出力構成を示します。この構成では、オペアンプがAD9753出力電流のI-V変換を行います。オペアンプは I_{OUTA} (または I_{OUTB}) を仮想グラウンドに維持し、アナログ出力の項で説明したように、DACのINL性能に対する非直線性出力インピーダンスの影響を最小に抑えます。このシングル・エンド構成は最善のDC直線性性能を生み出しますが、より高いDAC更新レートでのAC歪み性能は、オペアンプのスループートにより制限されます。オペアンプは負のユニポーラ出力電圧を与え、フル・スケール出力電圧は R_{FB} と I_{OUTFS} の積で与えられます。 I_{OUTFS} および/または R_{FB} のスケ・リングにより、このフル・スケール出力をオペアンプの電圧出力振幅能力内に設定する必要があります。オペアンプがシンクする必要のある信号電流が結果的に小さくなるため、AC歪み性能の改善は、 I_{OUTFS} の減少にもなります。

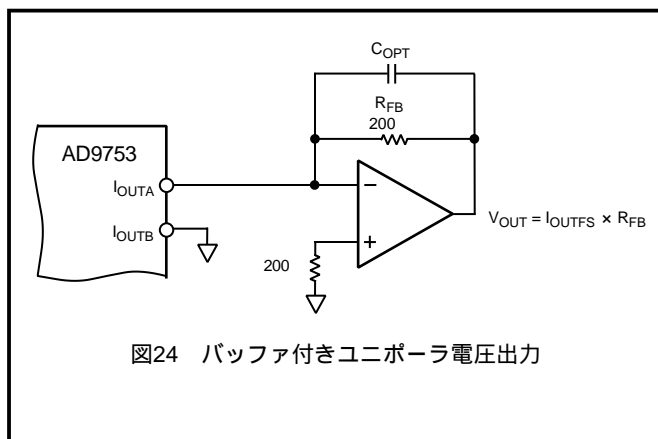


図24 バッファ付きユニポーラ電圧出力

電源とグラウンドについての考慮事項、電源変動除去比

多くのアプリケーションでは、理想的ではない動作条件下で高速かつ高性能を追求します。これらのアプリケーションでは、プリント回路ボードのデザインと作成が回路デザインと同じくらい重要です。最適性能を保証するには、適切なRF技術を使ってデバイスの選択、配置、配線、電源バイパス、グラウンディングを行う必要があります。図34～41に、AD9753評価ボードで使用されている推奨プリント回路ボードのグラウンド、電源プレーン、信号プレーンのレイアウトを示します。

システム性能に明らかな影響を与える要因の1つは、DAC出力でのDC変動あるいは、アナログまたはデジタルのDC電源配線（AVDD、DVDD）に重畳されたACノイズの除去能力です。これは、電源変動除去比と呼ばれます。電源のDC変動では、DACの変換性能はゲイン誤差に直接対応し、ゲイン誤差はDACのフル・スケール電流 I_{OUTFS} に関係しています。DC電源上のACノイズは、スイッチング電源を使用しているアプリケーションではよくある問題です。一般に、スイッチング電源ノイズは、数10kHz～数MHzのスペクトルを持ちます。この周波数範囲におけるAD9753のAVDD電源のPSRRと周波数の関係を、図25に示します。

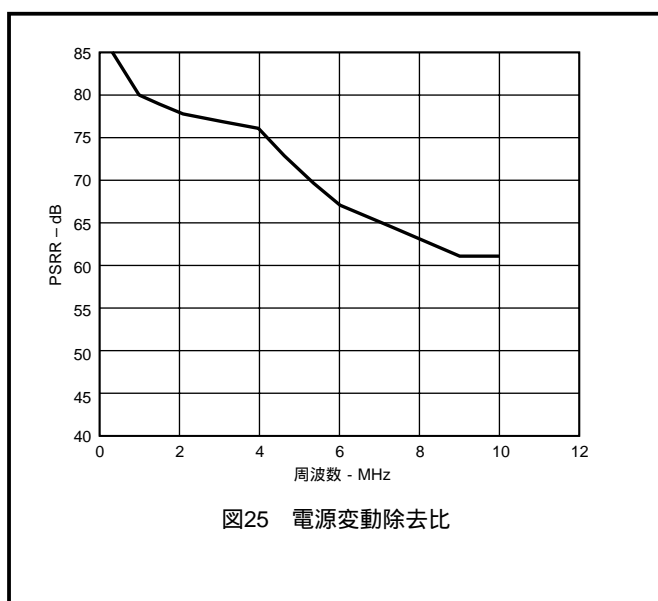


図25 電源変動除去比

図25の単位が、（出力電流A）／（入力電圧V）であることに注意してください。アナログ電源上のノイズは、内部スイッチを変調すること、したがって出力電流を変調することと同じ効果を持っています。AVDD上の電圧ノイズは、必要な出力電流 I_{OUT} に対して非線形なかたちで加算されます。これらのスイッチの相対的なサイズ差に起因して、PSRRは非常にコードに依存します。これにより、低周波電源ノイズを高い周波数にシフトさせるミキシング効果が発生します。いずれかの差動DAC出力に対するワースト・ケースのPSRRは、フル・スケール電流がその出力方向に流れるときに発生します。そのため、図25のPSRR計測値は、ワースト・ケース条件を表しており、デジタル入力はスタティックのままとなり、20mAのフル・スケール出力電流が測定を行っているDACに出力されます。

アナログ電源上の電源ノイズの影響を説明するために1つの例を使います。スイッチング周波数250kHzのスイッチング・レギュレタが10mV rmsのノイズを発生している場合を想定します。簡単にするため高調波を無視して、この全ノイズは250kHzに集中しているものとしします。この不要なノイズがDACのフル・スケール電流 I_{OUTFS} に重畳されて電流ノイズに出力される大きさを計算するには、図25を使って250kHzでのPSRRのdB値を決定する必要があります。与えられた R_{LOAD} に対するPSRRを計算するには、PSRRの単位をA/VからV/Vに変換して、 $20 \times \log(R_{LOAD})$ のスケール関数を使って図25のカ・ブを調整する必要があります。例えば、 $R_{LOAD} = 50$ の場合、PSRRは34dB減らします（すなわち、図25では85dBである250kHzでのDACのPSRRは、51dB V_{OUT}/V_{IN} になります）。

適切なグラウンディングとデカップリングは、高速・高分解能システムでは最優先で実施しなければなりません。AD9753は、アナログ電源ピン、デジタル電源ピン、グラウンド・ピンが分離されており、システム内のアナログとデジタルのグラウンド電流の管理を最適化できます。一般に、アナログ電源AVDDは、チップにできるだけ近い場所でアナログ・コモンACOMにデカップリングする必要があります。同様に、デジタル電源DVDDは、チップにできるだけ近い場所でDCOMにデカップリングする必要があります。アナログ電源とデジタル電源の両方に対して3.3V単電源を必要とするアプリケーションでは、図26に示す回路を使ってノイズのないアナログ電源を発生させることができます。この回路は、電源ラインとリターン・ラインを別々に持つ差動LCフィルタで構成されています。低周波ノイズは、ESRの小さい電解タンタル・コンデンサで減衰させることができます。

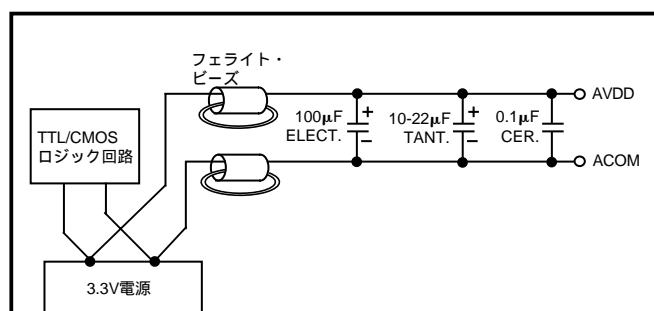


図26 3.3V単電源アプリケーション用差動LCフィルタ

AD9753

アプリケーション

QAM / PSK シンセシス

直交変調 (QAM またはPSK) は、2つのベースバンド PAM (パルス振幅変調) データ・チャンネルで構成されます。両チャンネルは、共通の周波数キャリアで変調されますが、各チャンネルのキャリアの位相は、互いに90度異なります。この直交性により、AMを使って送信するデジタル・データのスペクトル使用率 (与えられた帯域幅に対するデータ) を2倍にすることができます。レシーバは"同相" キャリアと"直交"キャリアを選択して、データを再現するように構成します。QAMデータの割り当ては、デジタル・ワードを表す点を図27に示す2次元座標に対応させることで表現できます。各点すなわちシンボルは、1シンボル周期内に送信される複数ビットを表します。

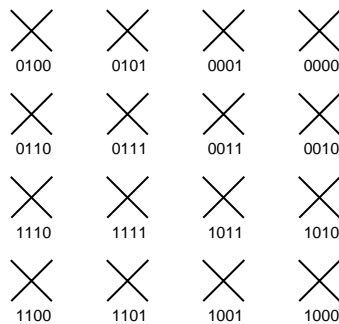


図27 16 QAMの対応、グレイ・コード使用 (直交キャリアを使用した2つの4レベルPAM信号)

通常、Iデータ・チャンネルとQデータ・チャンネルは、デジタル領域で直交変調されます。AD9753の高速データ・レートを使うと、極めて広帯域の (>10MHz) 直交キャリアを合成することができます。図28に、データ・レート200MSPSで8倍のオーバーサンプルを行った25 Mシンボル / S QAM信号の例を示します。この例では、25MHzキャリアを変調し、AD9753を使って復調しています。復調信号の電力は -11.92dBmと測定されています。最初の隣接帯域の電力は -76.86dBm で、2つ目の隣接帯域の電力は -80.96dBmです。

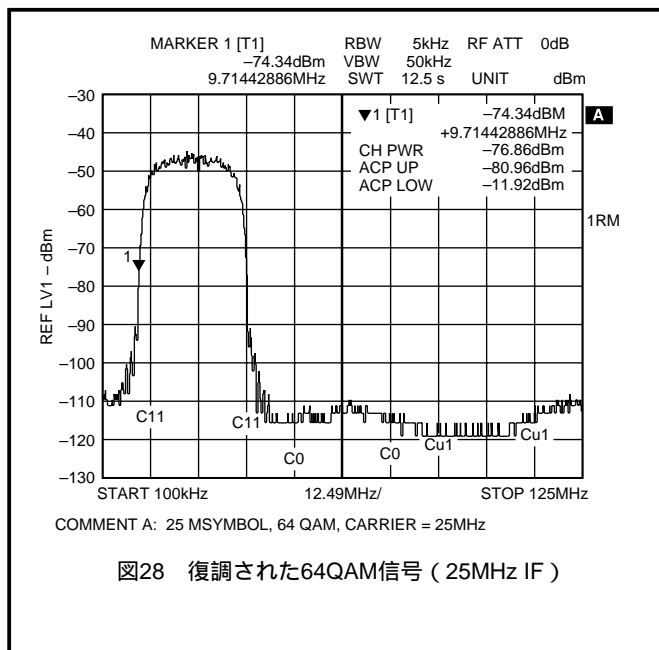


図28 復調された64QAM信号 (25MHz IF)

広帯域信号シンセシスの性能は、送信帯域内の信号電力の隣接チャンネル内の電力に対する比で表されます。図28では、AD9753の出力における隣接チャンネル電力比 (ACPR) は65dBと測定されています。このタイプの測定での制約は、DACではなく、コンピュータ・ツールを使ってデジタル・データ・レコードを生成する際のノイズである場合が、よくあります。これがDAC性能に対してどの程度の制約になっているかを知るには、図29に示すように、信号振幅を減少させる方法があります。DACから発生する分のノイズは、信号振幅が減少しても一定です。ノイズ・フロアがスペクトル・アナライザのノイズ・フロアを下回るレベルまで信号振幅を減少させると、ACPR は信号レベルの減少と同じレートで低下します。図28の測定条件では、このポイントは図29の -10dBFSになります。このことは、データ・レコードが実際にACPRの測定値を最大10dB低下させていることを意味しています。

当社のAD8343のようなシングル・チャンネル・アクティブ・ミキサーを、送信周波数を上げるために使うことができます。図30に、AD9753とAD8343を使用するアプリケーション回路を示します。AD8343は、DC ~ 2.5GHzのキャリアをミキシングすることができます。図31に、図28の信号を最大800MHzまでのキャリア周波数でミキシングした結果を示します。図31に、AD8343の出力で測定したACPR (= 59dB) を示します。

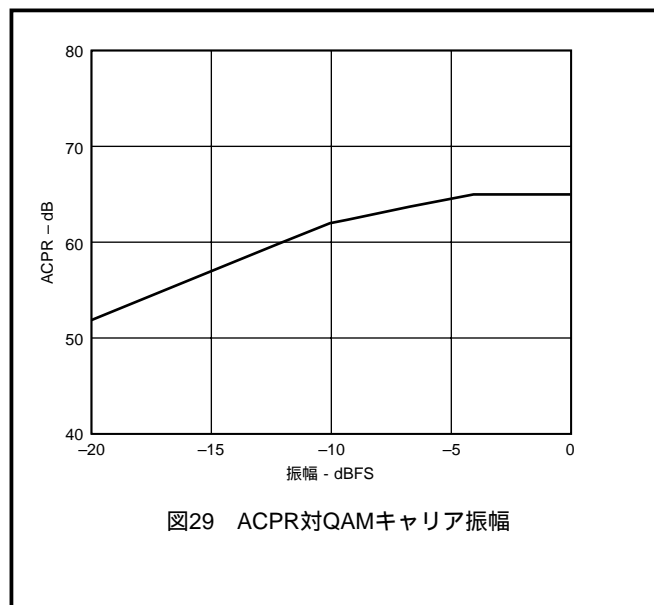


図29 ACPR対QAMキャリア振幅

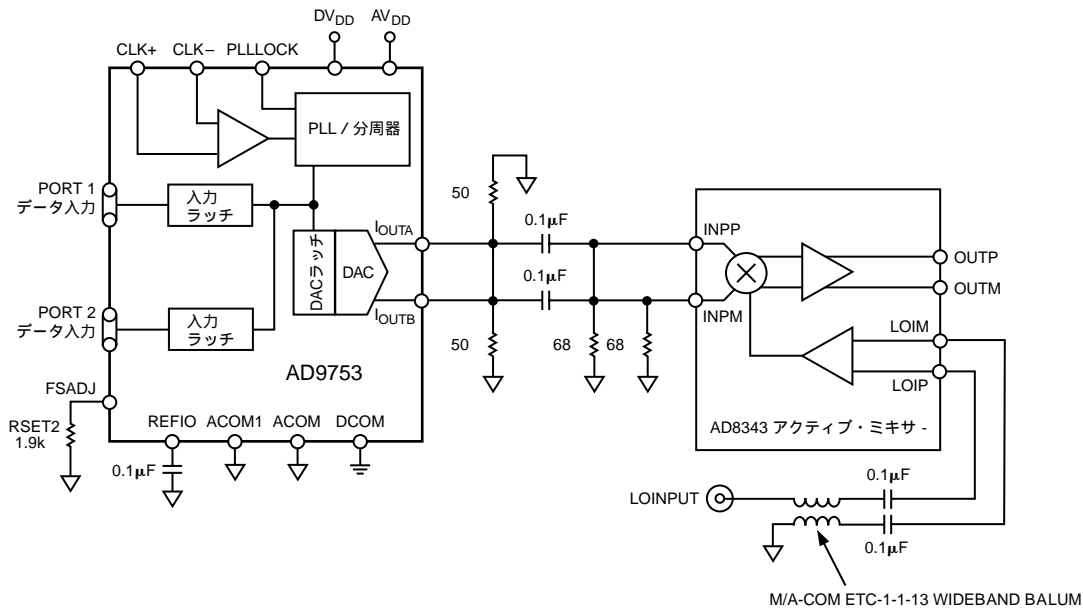


図30 AD9753とAD8343アクティブ・ミキサーを使用したQAM送信機のアーキテクチャ

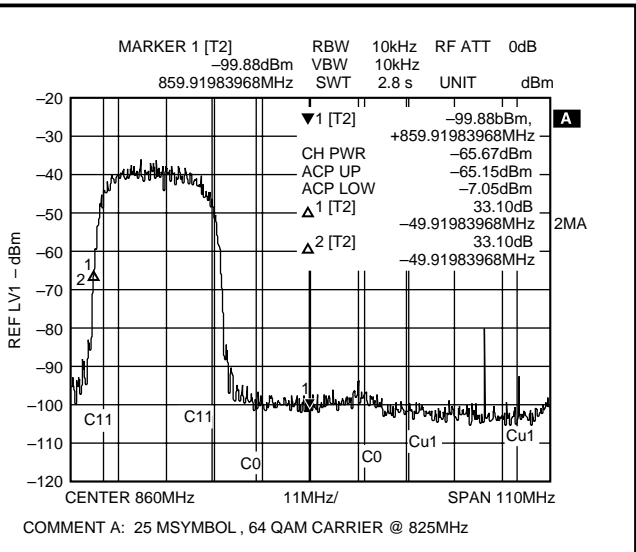


図31 キャリア周波数800MHzでミキシングした図28の信号

ビット・エラー・レート (BER) に対するノイズと歪みの影響

ビット・エラー・レート (BER) 性能は、教科書的な解析では一般に、 E (ワット/記号またはワット/ビットで表したエネルギー) と N_0 (ワット/Hzで表したスペクトル・ノイズ密度) を使って表します。QAM信号の場合、この性能は図32のグラフで表わされます。Mは各直交PAM信号のレベル数 (64 QAMではM=8、256 QAMではM=16) を表します。図32では、QAM座標でグレイ・コーディングを使用し、受信側でマッチド・フィルタ (これは一般的です) を使用しています。図32の横軸は、カ・プのビット数の対数 (底は10) を横軸に加算することにより、エネルギー/シンボルの単位に変換することができます。例えば、64 QAMで $BER = 1e-6$ を達成するには、エネルギー/ビット = 20dBが必要です。エネルギー/シンボルを計算するときは、 $10 \log(6) = 7.8\text{dB}$ を加算します。したがって、 $BER = 1e-6$ の64

QAM (ソース・コーディングまたはチャンネル・コーディングではない場合) は、理論的にはエネルギー/シンボル対ノイズ (E/N_0) 比 = 27.8dBで達成されます。無線パスに固有の損失と干渉によって、この信号対ノイズ比は受信側で実現して、所与のビット・エラー・レートを達成する必要があります。

BERに対する歪みの影響を正確に求めることは、遥かに困難です。多くのシミュレーションでは、最大歪み成分のエネルギーを二乗ノイズの和の平方根で表し、それを全ノイズとして扱います。E/N₀比を使う、上の例に示すBER = 1e-6の64 QAMがワーストケースSFDRより遥かに大きい場合は、BER計算ではノイズが支配的になると見なすことができます。

AD9753の周波数スペクトル上限での帯域内ワーストケースSFDRは47dBです (TPC 4とTPC 7参照)。上記の高レベルQAM信号をシンセサイズするときは、歪みの代わりにノイズが、これらのアプリケーション性能で支配的になります。

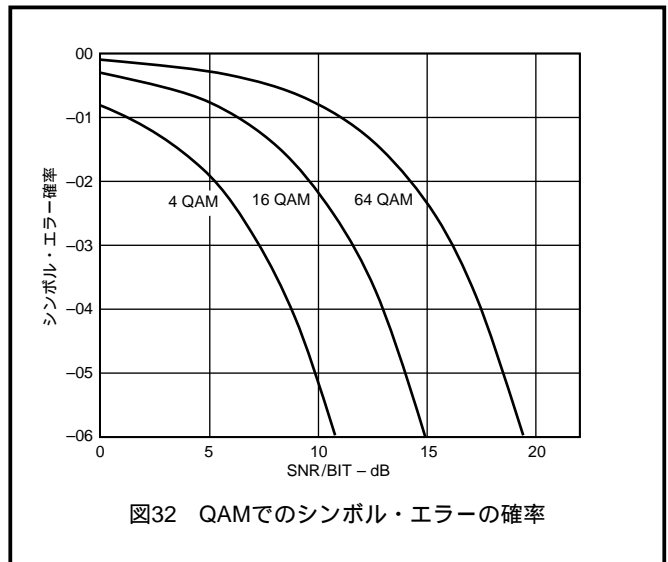
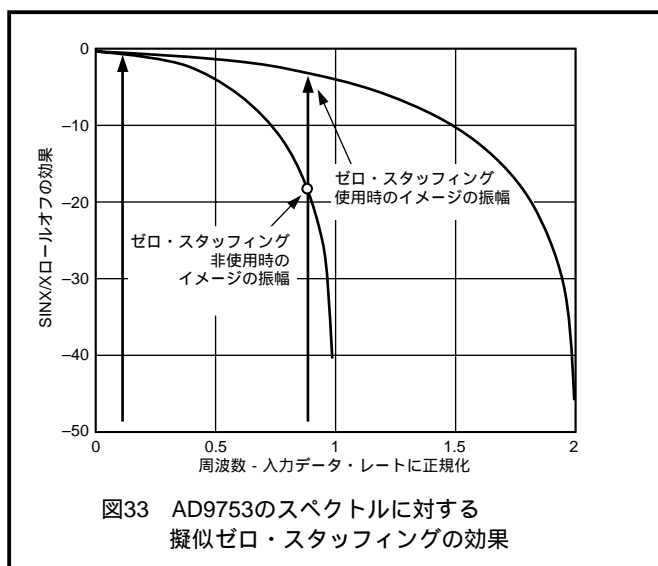


図32 QAMでのシンボル・エラーの確率

AD9753

擬似ゼロ・スタッフィング/IFモード

優れたダイナミック・レンジのAD9753は、複数のキャリアの同期を必要とするアプリケーションで使用することができます。さらに、AD9753は、IF周波数でのダイナミック・レンジを向上させる擬似ゼロ・スタッフィング・モードでの使用が可能です。このモードでは、2つの入力チャンネルからのデータがインターリーブされて、各入力ポートの2倍の速度で動作するDACに入力されます。ただし、Port2のデータはスケール中央で一定値に維持されます。その効果を図33に示します。IF信号の基本波のイメージ（入力データ・レートを基準）が発生します。通常、DACの $\sin x/x$ 応答により、このイメージは減衰させられます。ゼロ・スタッフィングが通過帯域の平坦性を改善するため、イメージの振幅は基本波信号の振幅に近づきます。ゼロ・スタッフィングは、IF信号のシンセシスにとって特に有効な技術です。



評価ボード

AD9753-EBは、AD9753 TxDACの評価ボードです。十分注意して行われたレイアウトと回路デザイン、プロトタイプ領域の組み合わせにより、様々な動作モードでのAD9753の評価を容易に、かつ効果的に行うことができます。

図34と図35を参考にすると、トランスの使用または出力の直接接続によって、AD9753の性能を差動またはシングルエンドで評価することができます。トランスを使って差動出力を評価するときは、Mini-Circuits社のT1-1T（スルーホール用）またはCoilcraft社のTTWB-1-B（表面実装用）を評価ボードのT1位置に使用することをお奨めします。シングル・エンドまたは直結で出力を評価するときは、トランスを削除してBL1またはBL2をブリッジ接続します。

AD9753へのデジタル・データは、40ピンIDCコネクタP1とP2へ接続した2本のリボン・ケーブルを使って入力します。正しい終端または電圧スケールは、抵抗パック回路RN1～RN12を実装して行います。RN1、RN4、RN7、RN10は22ΩのDIP抵抗パックで、実装すると、デジタル信号のエッジ・レートを抑えて、入力のピーク電流を小さくするのに役立ちます。

シングル・エンド・クロックはJ3から入力します。SE/DIFFと表示されたジャンパーJ2、3、4、6を設定することにより、入力クロックをシングル・エンドまたは差動でAD9753のCLK+/CLK-入力に入力することができます。差動クロック入力を行う場合は、Mini-Circuits社のT1-1TトランスをT2

位置に使用します。シングル・エンドの方形波クロック入力の場合は、T2を削除する必要があることに注意してください。リボン・ケーブルを使って、クロックをPort1（P1）Pin 33に入力することもできます。EDGEジャンパー（JP1）を挿入すると、このクロックはAD9753のCLK+に入力されます。このアプリケーションでは、CLK-に電源電圧×1/2のバイアスを与えるため、JP3をSE位置に設定します。

AD9753のPLLクロック逡倍器は、JP7をIN位置に挿入することでイネーブルすることができます。代表的な性能特性と機能説明の項で説明したように、PLLのイネーブル時は、出力データ・レートの1/2のクロックを入力する必要があります。PLLは2倍の周波数を発生し、すべての内部タイミング条件を処理します。このアプリケーションでは、PLL-LOCK出力がPLLのロック状態を表示します。PLLのイネーブル時は、DIV0ジャンパーとDIV1ジャンパー（JP8とJP9）を使って、PLL分周比を設定します（表I）。

JP7をEXに設定すると、PLLがディスエーブルされます。このモードでは、出力データ・レートと等しいクロックを入力する必要があります。内部で、クロックが2分周されます。このアプリケーションでは、データ同期のために、1×クロックをPLLLOCKピンに入力します。最適性能を得るには、本データシートの前半部分のタイミング条件を注意深くお読みください。PLLのディスエーブル時は、DIV0ジャンパーとDIV1ジャンパーによりモード（インターリーブ/非インターリーブ）を指定します（表II）。

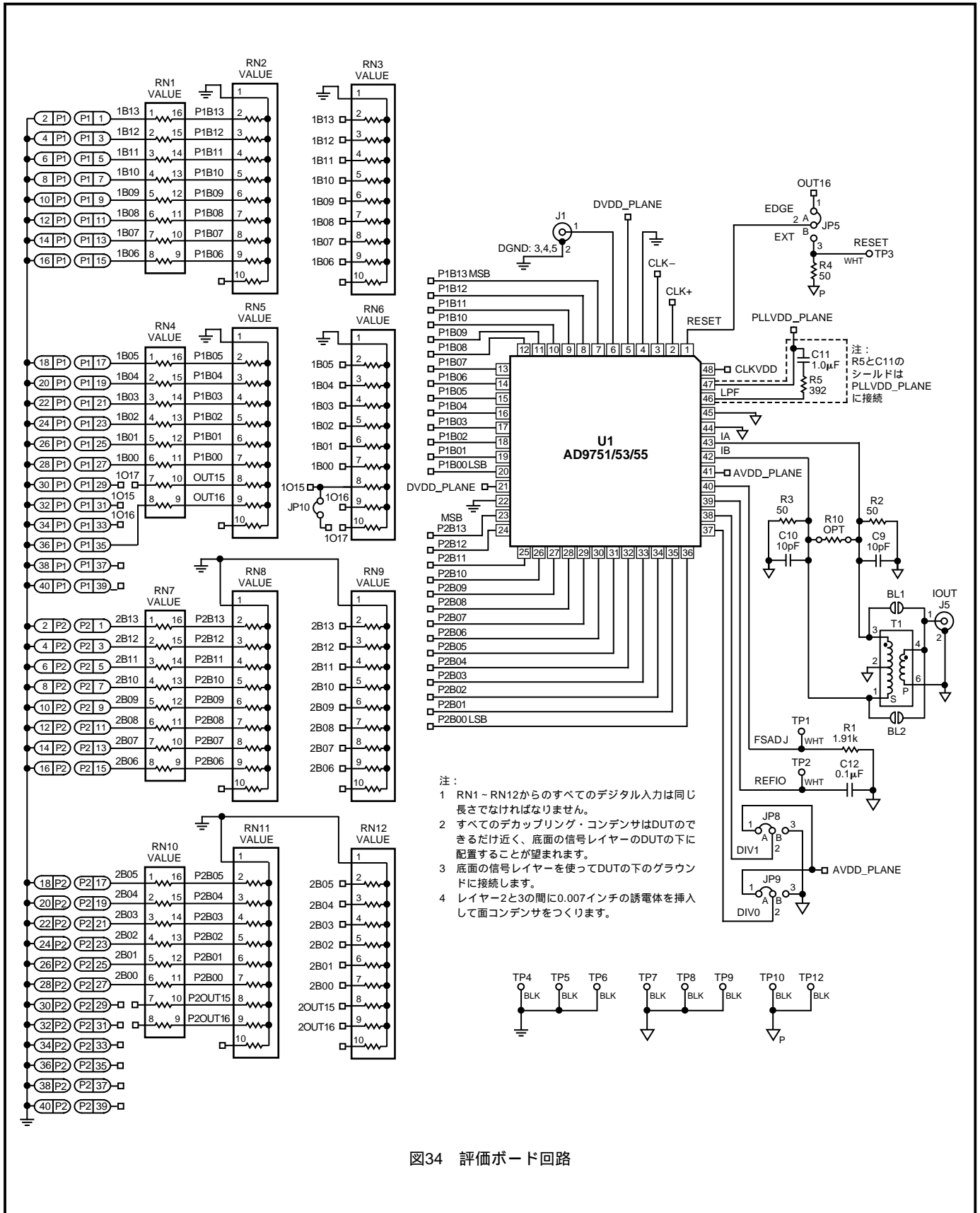


図34 評価ボード回路

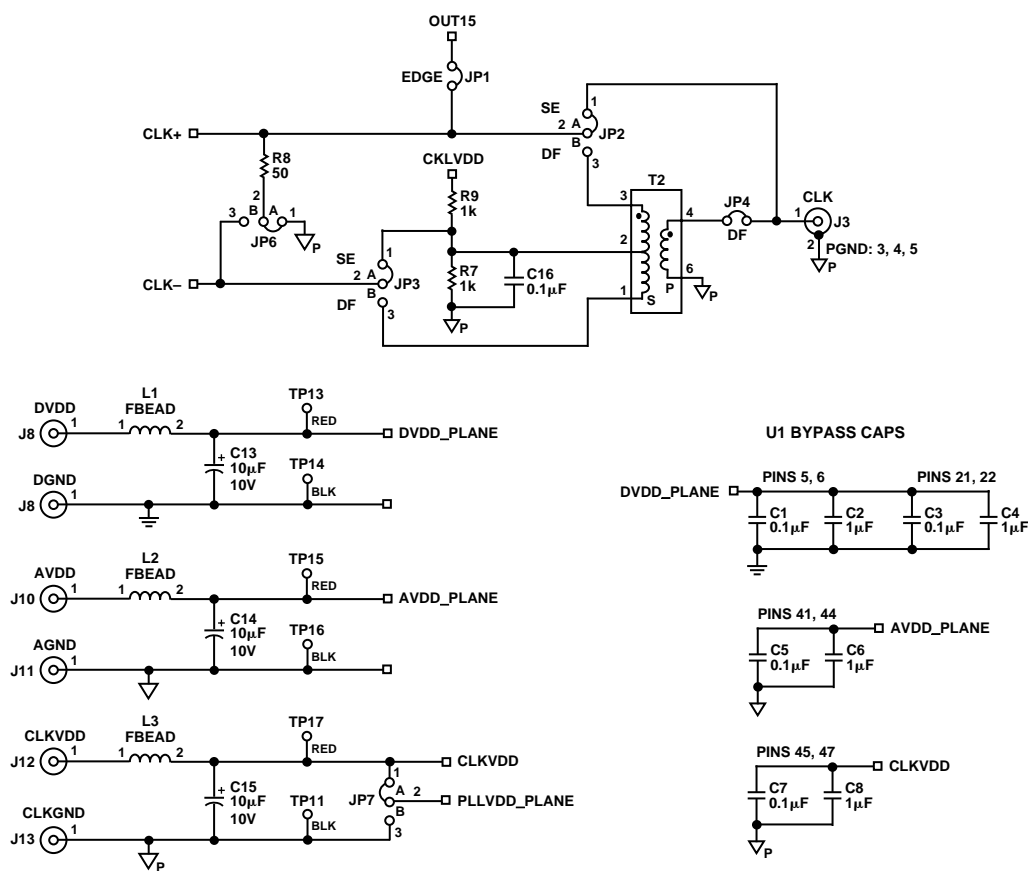


図35 評価ボードのクロック回路

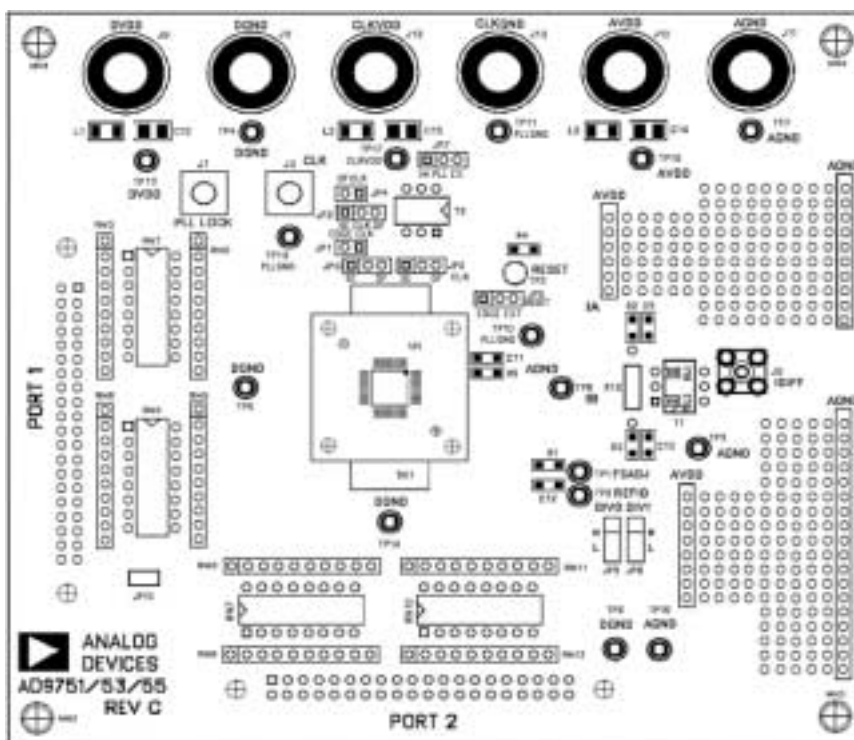


図36 評価ボードの組立 - 上面

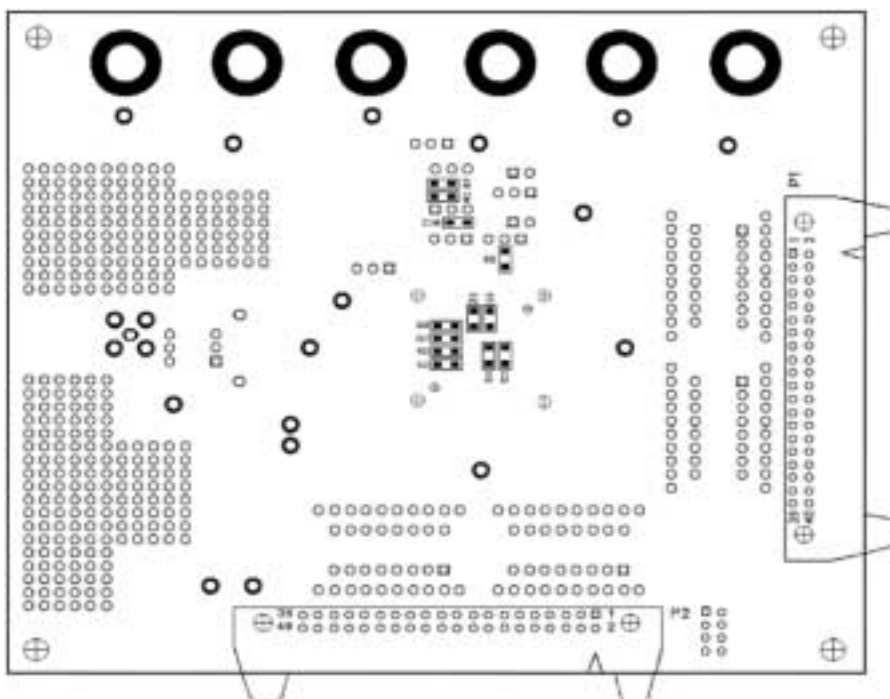


図37 評価ボードの組立 - 底面

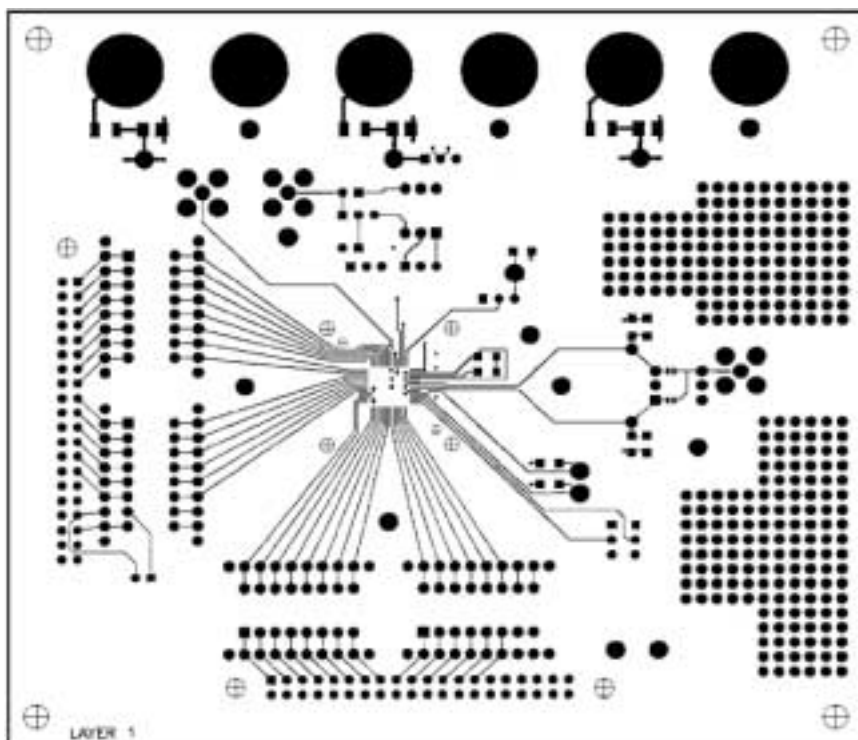


図38 評価ボードの表面レイヤー

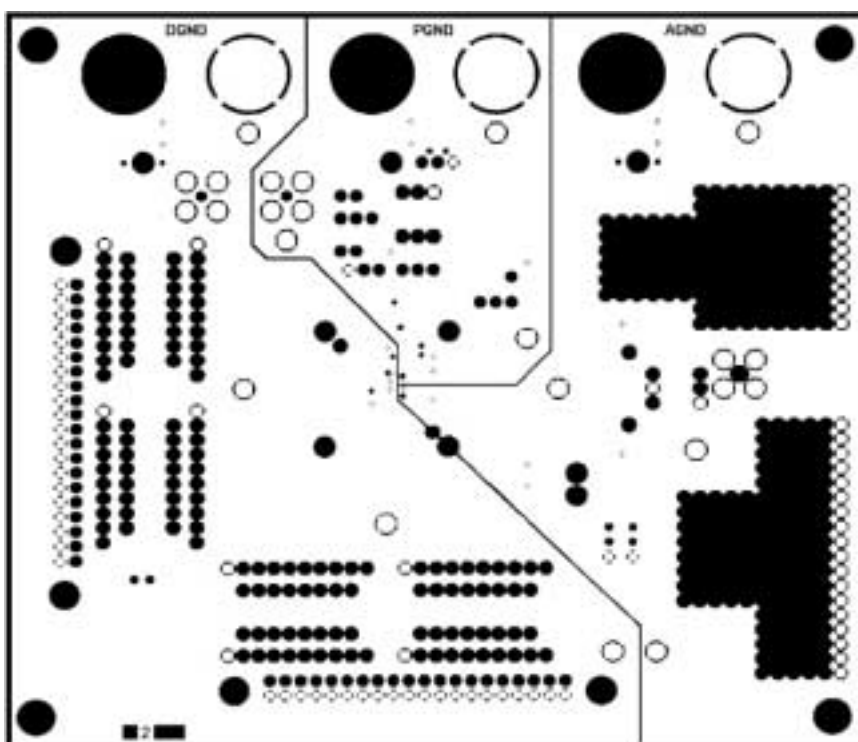


図39 評価ボードのレイヤー2 (グラウンド・プレーン)

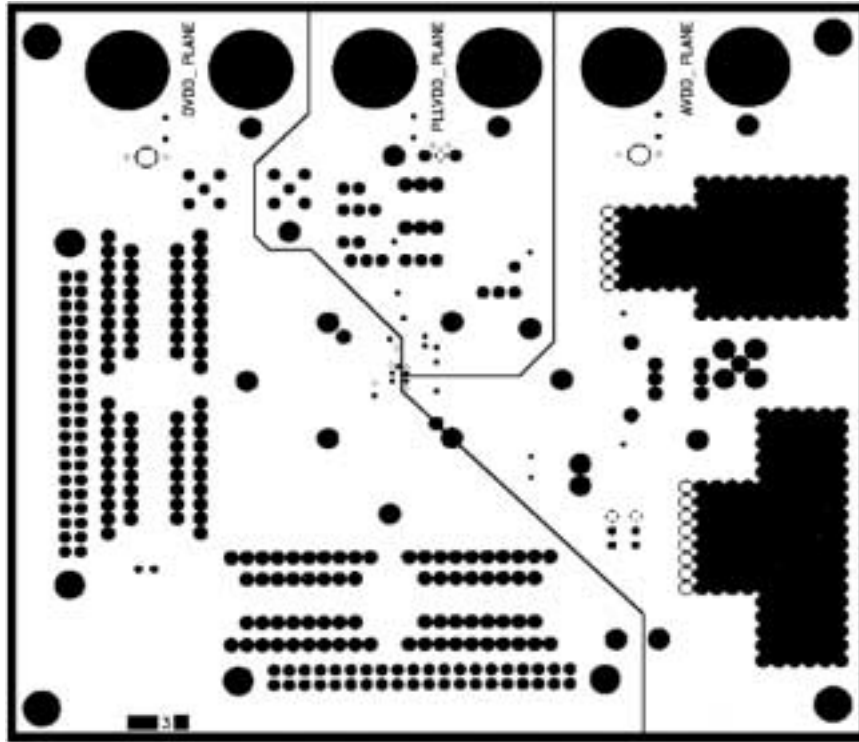


図40 評価ボードのレイヤー3 (電源プレーン)

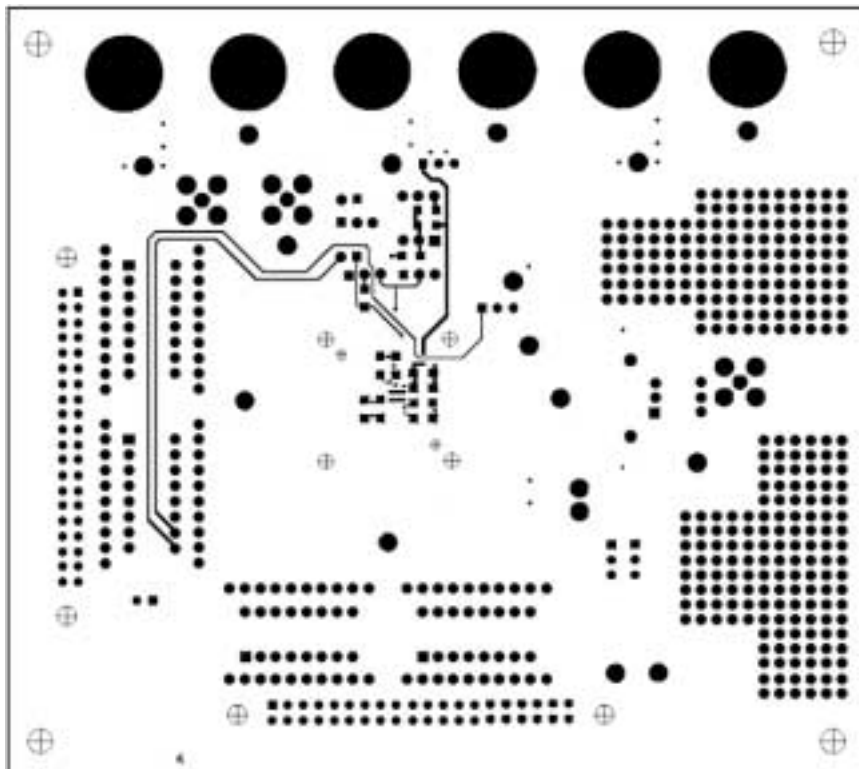


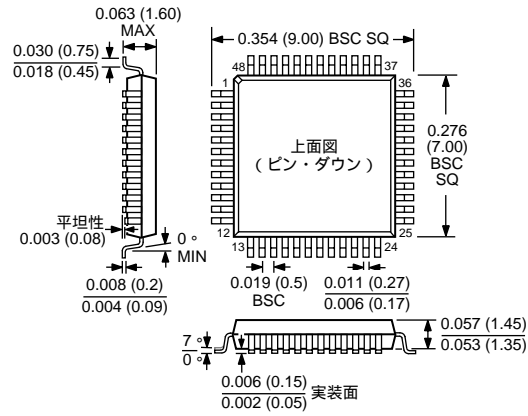
図41 評価ボードの底面レイヤー

AD9753

外形寸法

寸法表示：インチ (mm)

48ピンLQFPパッケージ (ST-48)



AD9753

TDS03/2001/1000

PRINTED IN JAPAN



このデータシートはエコマーク認定の再生紙を使用しています。