

特長

200 kSPSスループットの高速16ビットA/DC
4チャンネルのシングルエンド・アナログ入力
+5 V単電源動作
入力範囲: 0 ~ +4 V、0 ~ +5 Vおよび±10 V
120 mWの最大消費電力
50 μWのパワーダウン・モード
選択可能な外部または内部2.5 V基準電圧
オンチップ・クロック
パワーダウン・モード

概要

AD974はシリアル・インターフェースを内蔵する4チャンネルのデータ・アキュイジション・システムです。入力マルチプレクサ、高速16ビット・サンプリングのA/DC、+2.5 V基準電圧を内蔵しています。これらすべての動作は、パワーダウン・モードを持つ+5 V単電源動作です。この製品は、0 ~ +4 V、0 ~ +5 V、または±10 Vのアナログ入力範囲を持ちます。

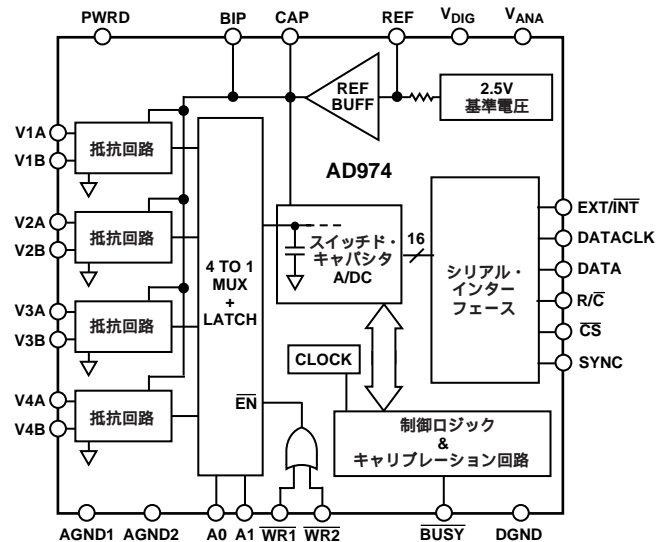
インターフェースは、少ない相互接続数で高能率のデータ転送を行うようにデザインされています。

AD974では、SNRとTHDなどのACパラメータやオフセット、ゲイン、直線性についての従来からのパラメータについて、広範囲なテストが行われています。

AD974は、アナログ・デバイセズ社のBiCMOSプロセスにより製造されており、このプロセスではCMOSトランジスタが共存する高性能バイポーラ・デバイスを製造しています。

AD974は、28ピンDIP、SOIC、SSOPの各パッケージで供給しています。

機能ブロック図



製品のハイライト

1. AD974は、4チャンネル・マルチプレクサ、16ビット・サンプリングA/DC、+2.5 V基準電圧をシングル・チップ上に統合した自己完結型のデータ・アキュイジション・システムです。
2. +5 Vの単電源で動作し、パワーダウン機能も内蔵しています。
3. AD974に対するインターフェースは、相互接続信号数が少なくシンプルです。
4. AD974は、SNR、THDなどのACパラメータや直線性誤差、オフセット誤差、ゲイン誤差などのDCパラメータについて、広範囲なテストが行われています。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第三者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

AD974 仕様

(特に指定のない限り、 $-40 \sim +85$ 、 $f_s = 200 \text{ kHz}$ 、 $V_{\text{DIG}} = V_{\text{ANA}} = +5 \text{ V}$)

パラメータ	条件	Aグレード			Bグレード			単位
		Min	Typ	Max	Min	Typ	Max	
分解能		16			16			Bits
アナログ入力 電圧範囲 インピーダンス サンプリング容量	チャンネルONまたはOFF			$\pm 10 \text{ V}$ 、 $0 \sim +4 \text{ V}$ 、 $0 \sim +5 \text{ V}$ (表1参照) (表1参照)				pF
スループット速度 全サイクル (入力および変換) スループット・レート		200		5	200		5	μs kHz
DC精度								
積分直線性誤差				± 3			± 2.0	LSB ¹
微分直線性誤差		- 2		+ 3	- 1		+ 1.75	LSB
ノーマス・コード		15			16			Bits
遷移ノイズ ²			1.0			1.0		LSB
フル・スケール誤差 ³	内部基準電圧			± 0.5			± 0.25	%
フル・スケール誤差ドリフト	内部基準電圧		± 7			± 7		ppm/ %
フル・スケール誤差	外部基準電圧 = +2.5V			± 0.5			± 0.25	%
フル・スケール誤差ドリフト	外部基準電圧 = +2.5V		± 2			± 2		ppm/ mV
バイポーラ・ゼロ誤差	バイポーラ範囲			± 10			± 10	ppm/ mV
バイポーラ・ゼロ誤差ドリフト	バイポーラ範囲		± 2			± 2		ppm/ mV
ユニポーラ・ゼロ誤差	ユニポーラ範囲			± 10			± 10	ppm/ %FSR
ユニポーラ・ゼロ誤差ドリフト	ユニポーラ範囲		± 2			± 2		ppm/ %FSR
チャンネル間整合				± 0.1			± 0.05	ms
パワーダウン後の定格精度への 回復時間 ⁴	2.2 μF キャパシタ		1			1		ms
電源感受性 $V_{\text{ANA}} = V_{\text{DIG}} = V_{\text{D}}$	$V_{\text{D}} = 5 \text{ V} \pm 5\%$			± 8			± 8	LSB
AC精度								
スプリアスなしのダイナミック・レンジ	$f_{\text{IN}} = 20 \text{ kHz}$	90			96			dB ⁵
合計高調波歪み	$f_{\text{IN}} = 20 \text{ kHz}$			- 90			- 96	dB
信号対(ノイズ+歪み)	$f_{\text{IN}} = 20 \text{ kHz}$ - 60 dB入力	83		27	85		28	dB
信号対ノイズ比	$f_{\text{IN}} = 20 \text{ kHz}$	83			85			dB
チャンネル間アイソレーション	$f_{\text{IN}} = 20 \text{ kHz}$		- 110	- 100		- 110	- 100	dB
フル・パワー帯域幅 ⁶			1			1		MHz
- 3 dB入力帯域幅			2.7			2.7		MHz
サンプリング動特性								
アパーチャ遅延	フル・スケールのステップ			40		40		ns
過渡応答				1		1		μs
過電圧回復時間 ⁷				150		150		ns
基準電圧								
内部基準電圧		2.48	2.5	2.52	2.48	2.5	2.52	V
内部基準電圧ソース電流			1			1		μA
規定直線性に対する 外部基準電圧範囲		2.3	2.5	2.7	2.3	2.5	2.7	V
外部基準電圧電流ドレイン	外部基準電圧 = +2.5V			100			100	μA
デジタル入力								
ロジック・レベル								
V_{IL}		- 0.3		+ 0.8	- 0.3		+ 0.8	V
V_{IH}		+ 2.0		$V_{\text{DIG}} + 0.3$	+ 2.0		$V_{\text{DIG}} + 0.3$	V
I_{IL}				± 10			± 10	μA
I_{IH}				± 10			± 10	μA

パラメータ	条件	Aグレード			Bグレード			単位
		Min	Typ	Max	Min	Typ	Max	
デジタル出力 データ・フォーマット データ・コーディング V_{OL} V_{OH} 出力容量 リーク電流	$I_{SINK} = 1.6 \text{ mA}$ $I_{SOURCE} = 500 \mu\text{A}$ 高インピーダンス状態 高インピーダンス状態 $V_{OUT} = 0 \text{ V} \sim V_{DIG}$							
電源 規定性能 V_{DIG} V_{ANA} I_{DIG} I_{ANA} 消費電力 PWRD Low PWRD High								
温度範囲 規定性能	$T_{MIN} \sim T_{MAX}$							

- 注
- LSBは最下位ビットを表します。±10V入力の場合、1LSBは305 μVに対応します。
 - ワースト・ケース遷移と温度におけるrmsノイズ(Typ値)。
 - フル・スケール誤差は、実際のフル・スケール・コード遷移電圧と理論フル・スケール遷移電圧の間の差を%値で表し、オフセット誤差の影響を含みます。バイポーラ入力の場合、フル・スケール誤差は、負フル・スケールまたは正フル・スケールのコード遷移電圧誤差のワースト・ケースになります。ユニポーラ入力範囲の場合、フル・スケール誤差は、正フル・スケール・コード遷移電圧を基準とします。
 - 外部2.5V基準電圧はREFに接続します。
 - dBで表す全仕様はフル・スケール±10V入力を基準とします。
 - フル・パワー帯域幅は、信号対(ノイズ+歪み)比が60 dBに、すなわち10ビット精度に低下するフル・スケール入力周波数と定義されます。
 - 2倍のフル・スケール過電圧入力後の規定性能への回復。
仕様は予告なく変更されることがあります。

タイミング仕様 ($f_S = 200 \text{ kHz}$ 、 $V_{DIG} = V_{ANA} = +5 \text{ V}$ 、 $-40 \sim +85$)

パラメータ	記号	Min	Typ	Max	単位
変換パルス幅	t_1	50			ns
R/C、CSからBUSYまでの遅延	t_2			100	ns
BUSYのLow時間	t_3			4.0	μs
変換終了からのBUSYまでの遅延	t_4		50		ns
オーバーチャージ遅延	t_5		40		ns
変換時間	t_6		3.8	4.0	μs
アキュイジション時間	t_7	1.0			μs
スループット時間	$t_6 + t_7$			5	μs
R/C LowからDATACLKまでの遅延	t_8		220		ns
DATACLK周期	t_9		220		ns
データ有効のセットアップ時間	t_{10}	50			ns
データ有効のホールド時間	t_{11}	20			ns
EXT. DATACLK周期	t_{12}	66			ns
EXT. DATACLK High	t_{13}	20			ns
EXT. DATACLK Low	t_{14}	30			ns
R/C、CSからEXT. DATACLKまでのセットアップ時間	t_{15}	20		$t_{12} + 5$	ns
R/CからCSまでのセットアップ時間	t_{16}	10			ns
EXT. DATACLKからSYNCまでの遅延	t_{17}	15		66	ns
EXT. DATACLKからデータ有効までの遅延	t_{18}	25		66	ns
CSからEXT. DATACLK立ち上がりエッジまでの遅延	t_{19}	10			ns
CS、R/C Lowから前のデータ有効まで	t_{20}	3.5			μs
BUSYからEXT. DATACLKまでのセットアップ時間	t_{21}	5			ns
最終EXT. DATACLKからBUSYの立ち上がりエッジまで	t_{22}			1.7	μs
A0、A1からWR1、WR2までのセットアップ時間	t_{23}	10			ns
A0、A1からWR1、WR2までのホールド時間	t_{24}	10			ns
WR1、WR2のパルス幅	t_{25}	50			ns

AD974

絶対最大定格¹

アナログ入力

VxA, VxB	± 25 V
CAP	+V _{ANA} + 0.3 V ~ AGND2 - 0.3 V
REF	AGND2に対する無限時間の短絡、 V _{ANA} に対する瞬時的短絡

グラウンド電位差

DGND、AGND1、AGND2	± 0.3 V
------------------	---------

電源電圧

V _{ANA}	+ 7 V
V _{DIG} ~ V _{ANA}	± 7 V
V _{DIG}	+ 7 V

デジタル入力

デジタル入力	- 0.3 V ~ V _{DIG} + 0.3 V
--------	------------------------------------

内部消費電力²

PDIP (N), SOIC (R), SSOP (RS)	700 mW
-------------------------------	--------

接合温度

接合温度	+ 150
------	-------

保存温度範囲N, R

保存温度範囲N, R	- 65 ~ + 150
------------	--------------

端子温度範囲

(ハンダ処理 10 sec)	+ 300
----------------	-------

注

- 上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くことはデバイスの信頼性に影響を与えます。
- 仕様は次の自然空冷のデバイスに対して規定します。

28ピンPDIP: J_A = 100 /W, J_C = 31 /W

28ピンSOIC: J_A = 75 /W, J_C = 24 /W

28ピンSSOP: J_A = 109 /W, J_C = 39 /W

ピン配置

SOIC、DIP、SSOP

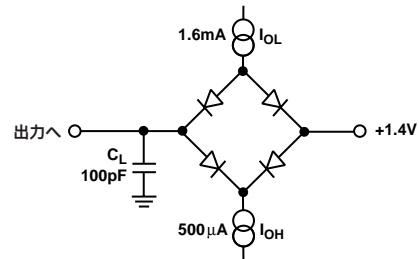
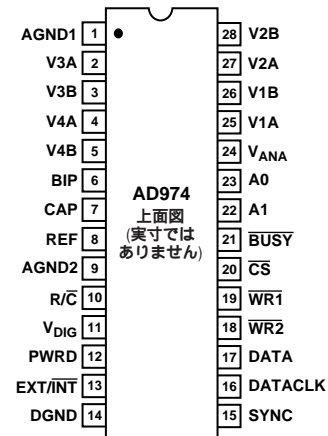


図1. デジタル・インターフェース・タイミングの負荷回路

オーダー・ガイド

モデル	温度範囲	最大積分非直線性	最小S/(N + D)	パッケージ	パッケージ・オプション
AD974AN	- 40 ~ + 85	± 3.0 LSB	83 dB	28ピン・プラスチックDIP	N-28
AD974BN	- 40 ~ + 85	± 2.0 LSB	85 dB	28ピン・プラスチックDIP	N-28
AD974AR	- 40 ~ + 85	± 3.0 LSB	83 dB	28ピンSOIC	R-28
AD974BR	- 40 ~ + 85	± 2.0 LSB	85 dB	28ピンSOIC	R-28
AD974ARS	- 40 ~ + 85	± 3.0 LSB	83 dB	28ピンSSOP	RS-28
AD974BRS	- 40 ~ + 85	± 2.0 LSB	85 dB	28ピンSSOP	RS-28

注意

ESD(静電放電)の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されことなく放電されることもあります。このAD974には当社独自のESD保護回路が備えられていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。



ピン機能説明

ピン番号	名前	説明															
1	AGND1	アナログ・グランド。REFピンに対するグランド基準電圧ポイントとして使用されます。															
2 - 5, 25 - 28	VxA, VxB	アナログ入力。入力範囲設定については表Iを参照してください。															
6	BIP	バイポーラ・オフセット。VxA入力を接続してバイポーラ入力範囲を与えます。															
7	CAP	基準電圧バッファ出力。2.2 μ Fのタンタル・キャパシタをCAPとアナログ・グランドの間に接続します。															
8	REF	基準電圧入力/出力。内部+2.5V基準電圧がこのピンに出力されます。代わりに、外部基準電圧を使って内部基準電圧をオーバーライドすることができます。両ケースとも、2.2 μ Fのタンタル・キャパシタをREFとアナログ・グランドの間に接続します。															
9	AGND2	アナログ・グランド。															
10	R/C	Read/Convert入力。変換モードと読み出しモードの制御に使用します。 \overline{CS} がLowのとき、R/Cの立下がりエッジで内部的にアナログ入力信号を保持して、変換を開始します。立上がりエッジで、変換結果の転送がイネーブルされます。															
11	V _{DIG}	デジタル電源。公称+5V。															
12	PWRD	パワーダウン入力。ロジックHighに設定すると、消費電力を小さくして変換を禁止します。前の変換結果は内蔵シフトレジスタに格納されます。															
13	EXT/ \overline{INT}	内部データ・クロックまたは外部データ・クロックを選択するデジタル・セレクト入力。EXT/ \overline{INT} がLowの場合、変換を起動した後、16個のDATACLKパルスにより、前の変換結果を転送します(図3)。EXT/ \overline{INT} がロジックHighの場合、出力データはDATACLK入りに接続された外部クロック信号に同期化されます。データは、図4~図9に示すように出力されます。															
14	DGND	デジタル・グランド。															
15	SYNC	外部データ・クロック(EXT/ \overline{INT} = ロジックHigh)と一緒に使用するデジタル出力フレーム同期。読み出しシーケンスが開始されると、1DATACLK周期幅のパルスが外部データ・クロックに同期して出力されます。															
16	DATACLK	EXT/ \overline{INT} ピンのロジック状態に応じてシリアル・データ・クロック入力またはシリアル・データ・クロック出力。内部データ・クロック(EXT/ \overline{INT} = ロジックLow)を使用する場合、変換開始シーケンスは、16個のDATACLK周期の出力を開始します。出力データはこのクロックに同期し、立上がりエッジと立下がりエッジの両方で有効になります(図3)。外部データ・クロック(EXT/ \overline{INT} = ロジックHigh)を使用する場合、 \overline{CS} 信号とR/C信号が変換データのアクセス方法を制御します。															
17	DATA	シリアル・データ出力はDATACLKに同期します。変換結果は内蔵レジスタに格納されます。AD974では、変換結果はMSB先頭で内部シフトレジスタから出力されます。 内部データ・クロック(EXT/ \overline{INT} = ロジックLow)を使用する場合、データはDATACLKの立上がりエッジと立下がりエッジの両方で有効になります。外部データ・クロック(EXT/ \overline{INT} = ロジックHigh)を使用すると、前の変換データは変換中にアクセスできます(図5、図7、図9)。あるいは変換結果は変換完了後にアクセス可能になります(図4、図6、図8)。															
18, 19	$\overline{WR1}$, $\overline{WR2}$	マルチプレクサ書込み入力。これらの入力を内部でOR接続して、マルチプレクサ・ラッチ入力が発生します。ラッチは、 $\overline{WR1}$ と $\overline{WR2}$ がLowのとき、トランスペアレントになります。															
20	\overline{CS}	チップ・セレクト入力。R/CがLowの場合、 \overline{CS} の立下がりエッジで変換が開始されます。R/CがHighの場合は、 \overline{CS} の立下がりエッジがシリアル・データ出力シーケンスをイネーブルします。															
21	\overline{BUSY}	ビジー出力。変換が起動されるとLowになり、変換が終了するまでLowを維持し、データは内蔵シフトレジスタにラッチされます。															
22, 23	A1, A0	WR1入力とWR2入力によりラッチされたアドレス・マルチプレクサ入力。 <table border="1" data-bbox="635 1742 1278 1921"> <thead> <tr> <th>A1</th> <th>A0</th> <th>チャンネルから出力されるデータ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>AIN1</td> </tr> <tr> <td>0</td> <td>1</td> <td>AIN2</td> </tr> <tr> <td>1</td> <td>0</td> <td>AIN3</td> </tr> <tr> <td>1</td> <td>1</td> <td>AIN4</td> </tr> </tbody> </table>	A1	A0	チャンネルから出力されるデータ	0	0	AIN1	0	1	AIN2	1	0	AIN3	1	1	AIN4
A1	A0	チャンネルから出力されるデータ															
0	0	AIN1															
0	1	AIN2															
1	0	AIN3															
1	1	AIN4															
24	V _{ANA}	アナログ電源。公称+5V。															

AD974

仕様の定義

積分非直線性誤差 (INL)

直線性誤差とは、"負側フル・スケール"と"正側フル・スケール"を結ぶ直線からの各コードの偏差をいいます。"負側フル・スケール"として使用されるポイントは、最初のコード遷移より1/2 LSBだけ下に存在します。"正フル・スケール"は、最後のコード遷移より1 + 1/2 LSBだけ上のレベルと定義されます。偏差は各コードの中央の位置と直線の間の距離として測定されます。

微分非直線性 (DNL)

理想A/DCでは、各コード遷移は1 LSBだけ離れた位置で発生します。微分非直線性とは、この理想値からの最大偏差をいいます。これは、ノー・ミス・コードが保証された場合の分解能という用語で規定されることもあります。

フル・スケール誤差

最後の上への遷移(011...10から011...11への遷移)は、公称フル・スケール(± 10 V範囲の場合は9.9995422 V)より1 + 1/2 LSBだけ低いアナログ電圧で発生します。フル・スケール誤差とは、理想レベルからの最後の遷移の実際のレベルの偏差をいいます。

バイポーラ・ゼロ誤差

バイポーラ・ゼロ誤差とは、理想中心入力電圧(0 V)と中心出力コードを発生させる実際の電圧との差をいいます。

ユニポーラ・ゼロ誤差

ユニポーラ・モードでは、最初の遷移はアナログ・グランドより1/2 LSBだけ上のレベルで発生します。ユニポーラ・ゼロ誤差とは、そのポイントからの実際の遷移の偏差をいいます。

スプリアスなしのダイナミック・レンジ

入力信号のrms振幅とピーク・スプリアス信号の差をデシベル(dB)で表した値をいいます。

合計高調波歪み (THD)

THDとは、基本波から6次高調波成分までのrms値の総和の、フル・スケール入力信号のrms値に対する比をいい、デシベル値で表します。

信号対(ノイズAND歪み) $S/(N+D)$ 比

$S/(N+D)$ は、測定した入力信号rms値の、ナイキスト周波数より下の全スペクトル成分のrms値総和(DC以外の高調波を含む)に対する比です。 $S/(N+D)$ 値はデシベルで表します。

フル・パワー帯域幅

フル・パワー帯域幅は、 $S/(N+D)$ が60 dB(10ビット精度)に低下するフル・スケール入力周波数と定義します。

アパーチャ遅延

アパーチャ遅延はデータ取得性能を表し、 R/\bar{C} 入力の立下がりエッジから入力信号が変換用に保持されるタイミングまでの時間として測定されます。

過渡応答

フル・スケールのステップ関数が入力に与えられてからAD974が定格精度に到達するまでに要する時間をいいます。

過電圧回復時間

フル・スケール値の150%のアナログ入力信号がフル・スケール値の50%に減少した後に、A/DCがフル精度に戻るまでに要する時間をいいます。

変換の制御

AD974は、 $\overline{R/\overline{C}}$ と \overline{CS} の2信号により制御されます。 \overline{CS} がLowのときに、 $\overline{R/\overline{C}}$ が最小50 ns間Lowになると、入力信号は内部キャパシタ・アレイに保持され、変換"n"が開始されます。変換プロセスが開始されると、BUSY信号がLowになり変換が完了するまでLowを維持します。

内部的に、信号 $\overline{R/\overline{C}}$ と信号 \overline{CS} はOR接続されているため、どちらの信号をLowにしても変換を開始することができます。唯一の条件は、2信号のLowへの遷移の間に最小10 nsの遅延が必要なことです。

変換が完了すると、BUSY信号がHighに戻り、AD974は入力信号に対する追従を再開します。

一定の条件下では、 \overline{CS} ピンをLowに接続して、 $\overline{R/\overline{C}}$ を使ってデータの変換または読出しのいずれかを起動することもできます。AD974のパワーアップ後の最初の変換では、DATA出力は不定になります。

変換結果は、AD974内で発生された内部クロックまたは外部クロックを使って、シリアルにクロック駆動されます。EXT/ \overline{INT} ピンをLowにすると、AD974は内部データ・クロック・モードに設定されます。EXT/ \overline{INT} ピンをHighにすると、外部クロック・モードに設定されます。

内部データ・クロック・モード

EXT/ \overline{INT} ピンをLowにすると、AD974はデータ・クロックを発生して供給するように設定されます。一般に、 \overline{CS} はLowに接続され、 $\overline{R/\overline{C}}$ を使って変換"n"が起動されます。変換中、AD974は変換"n-1"の16ビット・データをMSB先頭でDATAピンに出力します。このデータは、DATACLKピンに出力される16個のクロック・パルスに同期しています。出力データは、データ・クロックの立上がりエッジと立下がりエッジの両方で有効です(図3)。LSBが出力された後、DATACLKピンは次の変換が開始されるまでLowを維持します。

このモードでは、主に変換プロセスの後半で変換結果の劣化が最小になるように、デジタル入力/出力ピンの変化が正しい位置に調整されます。

外部データ・クロック・モード

EXT/ \overline{INT} ピンをHighにすると、AD974は外部から入力されたデータ・クロックを使用するように設定されます。この動作モードでは、変換結果の複数の読出し方法が可能です。変換"n-1"の出力データは変換"n"の実行中に読出すことができます。あるいは、変換"n"の出力データは、変換完了後に読出すことができます。外部クロック

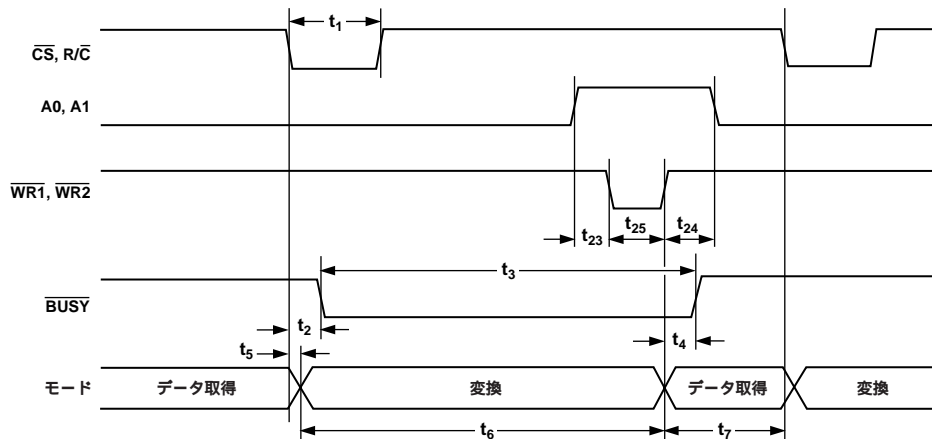


図2. 変換の基本タイミング

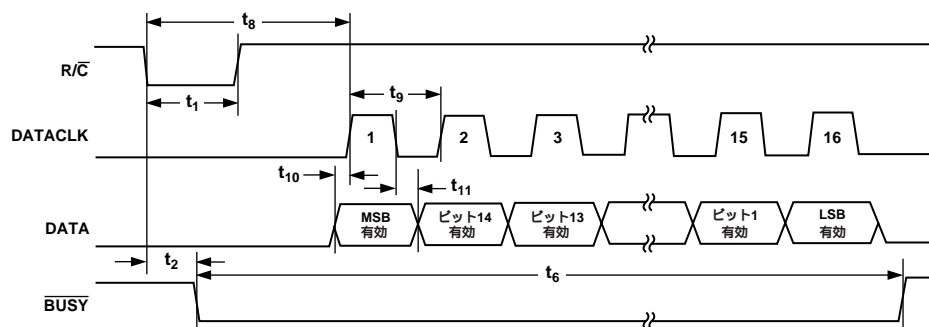


図3. 内部クロックを使用して前の変換結果を読出すためのシリアル・データ・タイミング (\overline{CS} とEXT/ \overline{INT} はロジックLowに設定)

AD974

クとしては、連続または不連続なクロックを使用することができます。不連続クロックの非アクティブ時は、ノーマルLowまたはノーマルHighのいずれでもかまいません。不連続クロックの場合、AD974がSYNC出力を発生または非発生のもに設定することができます(連続クロックの場合は、SYNC出力は常に発生されま

す)。各方法を図4～図9に示し、以下に説明します。すべてのタイミング図では、受信側デバイスはデータを外部クロックの立上がりエッジでラッチすると想定しています。DATACLKの立下がりエッジを使用するときは、不連続クロックの場合、16ビット・ワードをラッチするために図4～図7に示すものより1クロック・パルス少ないパルス数が必要です。データはクロック・パルスの立下がりエッジで有効になり($t_{13} > t_{18}$ の場合)次のクロック・パルスの立上がりエッジで有効になることに注意して下さい。

AD974は、変換サイクルの前半でのビット誤判定を訂正できる誤り訂正回路を内蔵しています。通常、変換サイクル中のビット誤判定は訂正不可能です。この誤判定は、判定時のノイズまたは整定時間の不足によって発生します。AD974の変換中に、デジタル入力/出力ピンでの変化が発生しないことが重要です。そうでない場合は、変換結果の劣化が発生します。変換プロセスの後半ではこれは特に重要になります。この理由により、外部クロックを入力する場合は、不連続クロックにして、 $\overline{\text{BUSY}}$ がLowの間にトグルを行わないようにすることをお勧めします。さらに重要なことですが、 $\overline{\text{BUSY}}$ がLowである区間の後半で変化しないようにします。

外部不連続クロックを使用する変換後のデータ読出し SYNC出力なし

図4に、SYNC出力を発生せずに不連続外部クロックを使って変換完了後に変換"n"のデータを読出す方法を示します。変換の完了は $\overline{\text{BUSY}}$ がHighに戻るにより表示され、変換結果は、 $\overline{\text{CS}}$ がLowで、かつ $\overline{\text{R}/\overline{\text{C}}}$ がHighのときに読出すことができます。このモードでは、 $\overline{\text{CS}}$ をLowに接続しておくことができます。MSBはDATACLKの最初の立下がりエッジおよび2番目の立上がりエッジで有効になります。LSBは、DATACLKの16番目の立下がりエッジと17番目の立上がりエッジで有効になります。受信側デバイスがDATACLKの立下がりエッジでデータをラッチする場合は、DATACLKの最小16クロック・パルスが必要です。受信側デバイスがDATACLKの立上がりエッジでデータをラッチする場合は、DATACLKの最小17クロック・パルスが必要です。

データ読出しのこの方法の利点は、変換中にデータがクロック駆動されないため変換性能が劣化しないことです。

変換完了後にデータを読出す場合は、DATACLKに許容できる最大周波数(15.15 MHz)で、最大スループットの約195 kHzが実現でき、定格の200 kHzには達しません。

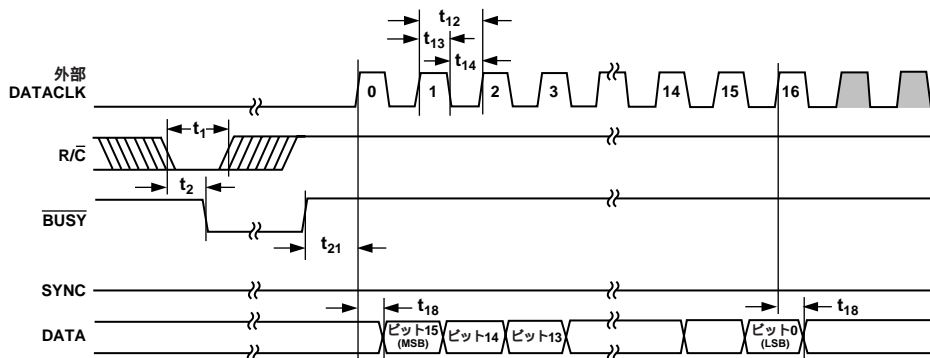


図4. 外部不連続データ・クロックを使用する変換および読出しタイミング
($\overline{\text{EXT}}/\overline{\text{INT}}$ はロジックHighに、 $\overline{\text{CS}}$ はロジックLowに、それぞれ設定)

外部不連続データ・クロックを使用する変換中のデータ読出し SYNC出力発生なし

図5に、SYNC出力発生なしで、不連続外部クロックを使って変換"n"中に変換"n-1"のデータを読出すことができる方法を示します。

変換の完了はBUSYがHighに戻るにより表示され、変換結果は、CSがLowで、かつR/CがHighのときに読出すことができます。このモードでは、CSをLowに接続しておくことができます。MSBは、DATACLKの最初の立下がりエッジと2番目の立下がりエッジで有効になります。LSBは、DATACLKの16番目の立下がりエッジと17番目の立下がりエッジで有効になります。

受信側デバイスがDATACLKの立下がりエッジでデータをラッチする場合は、DATACLKの最小16クロック・パルスが必要です。受信側デバイスがDATACLKの立下がりエッジでデータをラッチする場合は、DATACLKの最小17クロック・パルスが必要です。

このモードでは、変換性能を低下させないように、BUSYの前半でデータをクロック駆動する必要があります。このため10 MHz以上のDATACLKが必要で、変換プロセス開始と同時にデータを読出す必要があります。

外部不連続データ・クロックを使用する変換完了後のデータ読出し SYNC出力発生あり

図6に、SYNC出力発生ありで、不連続外部クロックを使って変換

"n"の完了後にデータを読出すことができる方法を示します。

CSがHighの間またはCSとR/Cの両方がLowの間のDATACLKの変化が、SYNC出力の発生を可能にします。変換の完了はBUSYがHighに戻るにより表示され、変換結果は、CSがLowで、かつR/CがHighのときに読出すことができます。このモードでは、CSをLowに接続しておくことができます。図6のクロック・パルス#0を使ってSYNCパルスの発生をイネーブルします。SYNCパルスは、クロック・パルス#1の立下がりエッジの約40 ns後に実際にクロック駆動されて出力されます。

SYNCパルスは、クロック・パルス#1の立下がりエッジおよびクロック・パルス#2の立下がりエッジで有効になります。MSBは、クロック・パルス#2の立下がりエッジとクロック・パルス#3の立下がりエッジで有効になります。LSBは、クロック・パルス#17の立下がりエッジとクロック・パルス#18の立下がりエッジで有効になります。データ読出しのこの方法の利点は、変換中にデータがクロック駆動されないため変換性能が劣化しないことです。

変換完了後にデータを読出す場合は、DATACLKに許容できる最大周波数(15.15 MHz)で、最大スループットの約195 kHzが実現でき、定格の200 kHzには達しません。

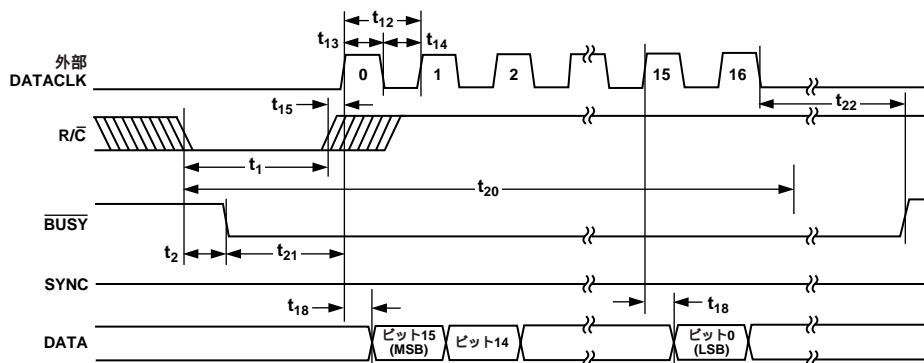


図5. 外部不連続データ・クロックを使用して変換中に前の変換結果を読出す際の変換および読出しのタイミング (EXT/INTはロジックHighに、CSはロジックLowに、それぞれ設定)

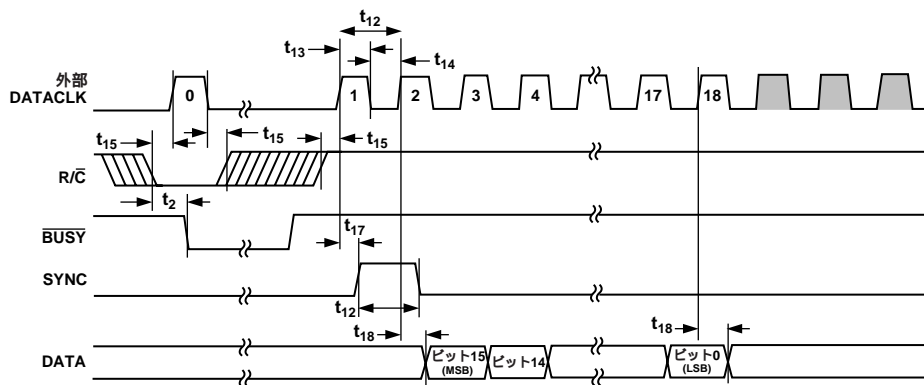


図6. 外部不連続データ・クロックを使用する変換および読出しのタイミング (EXT/INTはロジックHighに、CSはロジックLowに、それぞれ設定)

AD974

外部不連続データ・クロックを使用する変換中のデータ読出し SYNC出力発生あり

図7にSYNC出力発生ありで、不連続外部クロックを使って変換 "n"中に変換 "n-1"のデータを読出すことができる方法を示します。CSがHighの間またはCSとR/Cの両方がLowの間のDATACLKの変化が、SYNC出力の発生を可能にします。変換の完了はBUSYがHighに戻るにより表示され、変換結果は、CSがLowで、かつR/CがHighのときに読出すことができます。図7では、CSをLowに接続してR/CをLowにすると、変換が開始されます。この条件ではDATACLKの変化は存在しますが、クロック・パルス#0がSYNCパルスの発生をイネーブルしています。R/CがLowになってから83 ns以内に、BUSY出力がLowになって、変換プロセスの開始を表示します。R/CがHigh

になり、15 ns (t_{15})より大きい遅延の後に、クロック・パルス#1をHighにしてSYNC出力を要求することができることを図7に示します。SYNCはこの立上がりエッジの約40 nsに出力され、クロック・パルス#1の立下がりエッジとクロック・パルス#2の立上がりエッジで有効になります。MSBは、クロック・パルス#2の立上がりエッジの約40nsに有効になり、クロック・パルス#2の立下がりエッジまたはクロック・パルス#3の立上がりエッジでラッチすることができます。LSBは、クロック・パルス#17の立下がりエッジとクロック・パルス#18の立上がりエッジで有効になります。

変換性能を低下させないように、BUSYの前半でデータをクロック駆動する必要があります。このため10 MHz以上のDATACLKが必要で、変換プロセス開始と同時にデータを読出す必要があります。

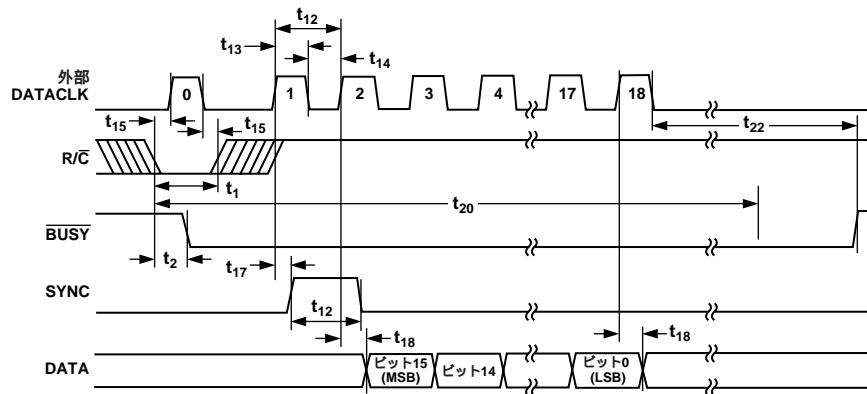


図7. 外部不連続データ・クロックを使用して変換中に前の変換結果を読出す際の変換および読出しのタイミング (EXT/INTはロジックHighに、CSはロジックLowに、それぞれ設定)

外部連続データ・クロックを使用する変換完了後のデータ読出し
SYNC出力発生あり

図8に、SYNC出力発生ありで、連続外部クロックを使って変換"n"の完了後にデータを読出すことができる方法を示します。CSがHighの間またはCSとR/Cの両方がLowの間のDATACLKの変化が、SYNC出力の発生を可能にします。

連続クロックを使用する場合は、不連続クロックの場合のようにCSピンをLowに接続しておくことはできません。変換中に連続クロックを使用すると、AD974のDNLと遷移ノイズが増加することがあります。

変換の完了はBUSYがHighに戻ることに表示され、変換結果は、CSがLowで、かつR/CがHighのときに読出すことができます。図

8では、クロック・パルス#0を使ってSYNCパルスの発生をイネーブルしています。SYNCパルスは、クロック・パルス#1の立上がりエッジの約40 ns後に実際にクロック駆動されて出力されます。

SYNCパルスは、クロック・パルス#1の立下がりエッジとクロック・パルス#2の立上がりエッジで有効になります。MSBは、クロック・パルス#2の立下がりエッジとクロック・パルス#3の立上がりエッジで有効になります。LSBは、クロック・パルス#17の立下がりエッジとクロック・パルス#18の立上がりエッジで有効になります。

変換完了後にデータを読出す場合は、DATACLKに許容できる最大周波数(15.15 MHz)で、最大スループットの約195 kHzが実現でき、定格の200 kHzには達しません。

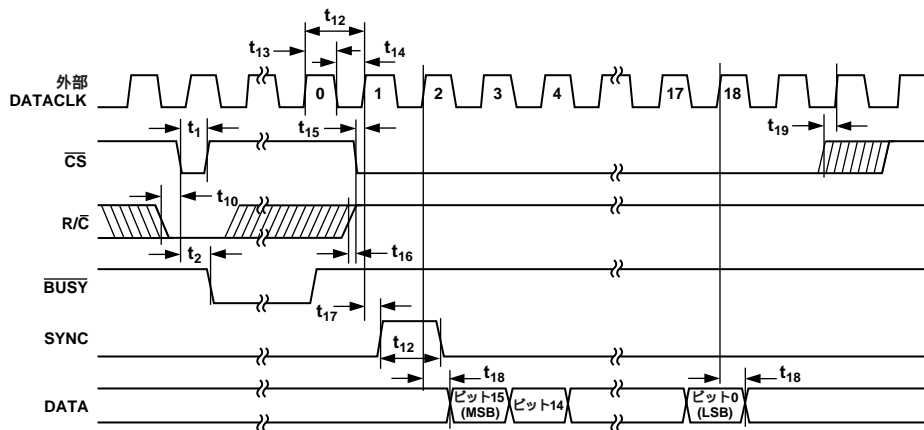


図8. 外部連続データ・クロックを使う変換とデータ読出しのタイミング
(EXT/INTをロジックHighに設定)

AD974

外部連続データ・クロックを使用する変換中のデータ読出し SYNC出力発生あり

図9にSYNC出力発生ありで、連続外部クロックを使って変換"n"中に変換"n-1"のデータを読出すことができる方法を示します。 \overline{CS} がHighの間または \overline{CS} と R/\overline{C} の両方がLowの間のDATACLKの変化が、SYNC出力の発生を可能にします。連続クロックを使用する場合は、不連続クロックの場合のように \overline{CS} ピンをLowに接続しておくことはできません。変換中に連続クロックを使用すると、DNLと遷移ノイズが増加することがあります。

図9では、 \overline{CS} をLowにして R/\overline{C} をLowにすると、変換が開始されます。この条件ではDATACLKの変化は存在しますが、クロック・パルス#0がSYNCパルスの発生をイネーブルしています。 R/\overline{C} がLowになってから83 ns以内に、BUSY出力がLowになって、変換プロセスの開始を表示します。

R/\overline{C} がHighになり、15 ns (t_{15})より大きい遅延の後に、クロック・パルス#1をHighにしてSYNC出力を要求することができることを図9に示します。SYNCはこの立上がりエッジの約50 nsに出力され、クロック・パルス#1の立下がりエッジとクロック・パルス#2の立上がりエッジで有効になります。MSBは、クロック・パルス#2の立上がりエッジの約40 nsに有効になり、クロック・パルス#2の立下がりエッジまたはクロック・パルス#3の立上がりエッジでラッチすることができます。LSBは、クロック・パルス#17の立下がりエッジとクロック・パルス#18の立上がりエッジで有効になります。

変換性能を低下させないように、BUSYの前半でデータをクロック駆動する必要があります。このため10 MHz以上のDATACLKが必要で、変換プロセス開始と同時にデータを読出す必要があります。

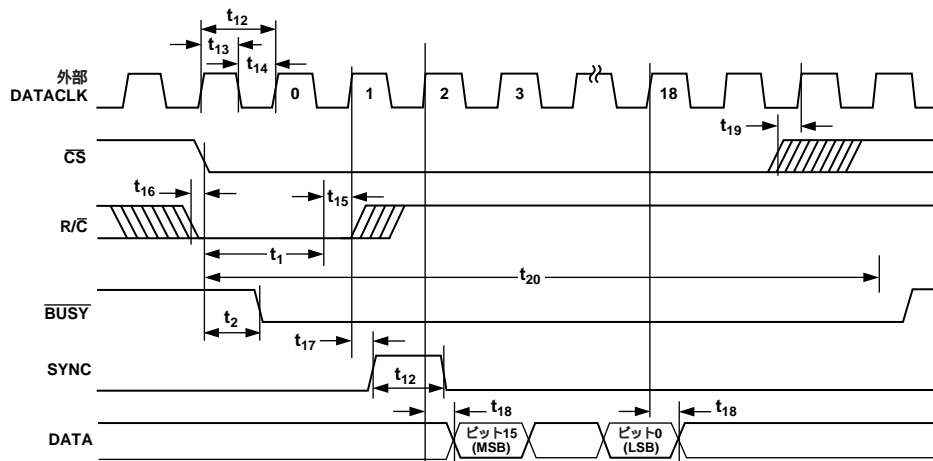


図9. 外部連続データ・クロックを使用して変換中に前の変換結果を読出す際の変換および読出しのタイミング (EXT/INTをロジックHighに設定)

表I. アナログ入力の設定

入力電圧範囲	VxAの接続先	VxBの接続先	入力インピーダンス
±10 V	BIP	V _{IN}	13.7 k
0 ~ +5 V	V _{IN}	GND	6.0 k
0 ~ +4 V	V _{IN}	V _{IN}	6.4 k

表II. 出力コードおよび理論入力電圧

説明	アナログ入力			デジタル入力
				デジタル入力バイナリ
フル・スケール範囲	± 10	0 ~ +5 V	0 ~ +4 V	
LSB	305 μV	76 μV	61 μV	
正側フル・スケール(FS・1 LSB)	+ 9.999695 V	+ 4.999847 V	+3.999939 V	1111 1111 1111 1111
ミッド・スケール	0 V	+ 2.5 V	+2 V	1000 0000 0000 0000
ミッド・スケールの1 LSB下	- 305 μV	+ 2.499924 V	+1.999939 V	0111 1111 1111 1111
負側フル・スケール	- 10 V	0 V	0 V	0000 0000 0000 0000

アナログ入力

AD974は、3種類のフル・スケール・アナログ入力範囲で動作する仕様になっています。8本の各アナログ入力、VxA、VxBに必要な接続とその結果得られるフル・スケール範囲を表Iに示します。各アナログ入力範囲の公称入力インピーダンスも示してあります。表IIに、各アナログ入力範囲の理論入力電圧に対する出力コードを示します。

アナログ入力セクションは、VxAとVxBに± 25 Vの過電圧保護を持っています。AD974は2つのアナログ・グランドを持っているため、アナログ入力は低電流グランドのAGND1を基準とすることが重要です。こうすることにより、抵抗によるグランド電圧降下に関連する問題を最小することができます。また、アナログ入力を低インピーダンス・ソースで駆動することも重要です。アナログ入力回路は基本的に抵抗性であるため、A/D Cを広範囲な種類の汎用アンプで駆動することができます。

AD974の低歪み機能を実現するためには、駆動回路のオペアンプの選択で注意が必要です。

図10に、AD974の簡便化したアナログ入力セクションを示します。AD974は内部基準電圧または外部基準電圧と3種類のアナログ入力範囲で動作できるため、フル・スケール・アナログ入力範囲は、40 pFのサンプリング・キャパシタの両端の電圧範囲0 V ~ V_{REF}で表すことが適切です。オンチップ抵抗は、固定の外部付け抵抗を使うオフセットとフル・スケール誤差を調整する比を一致させるためにレーザー・トリムが行われています。

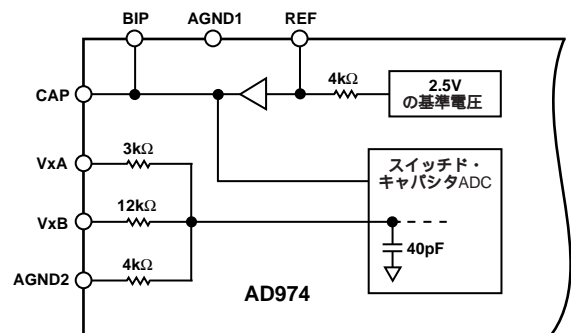


図10. 簡便化したアナログ入力。

AD974

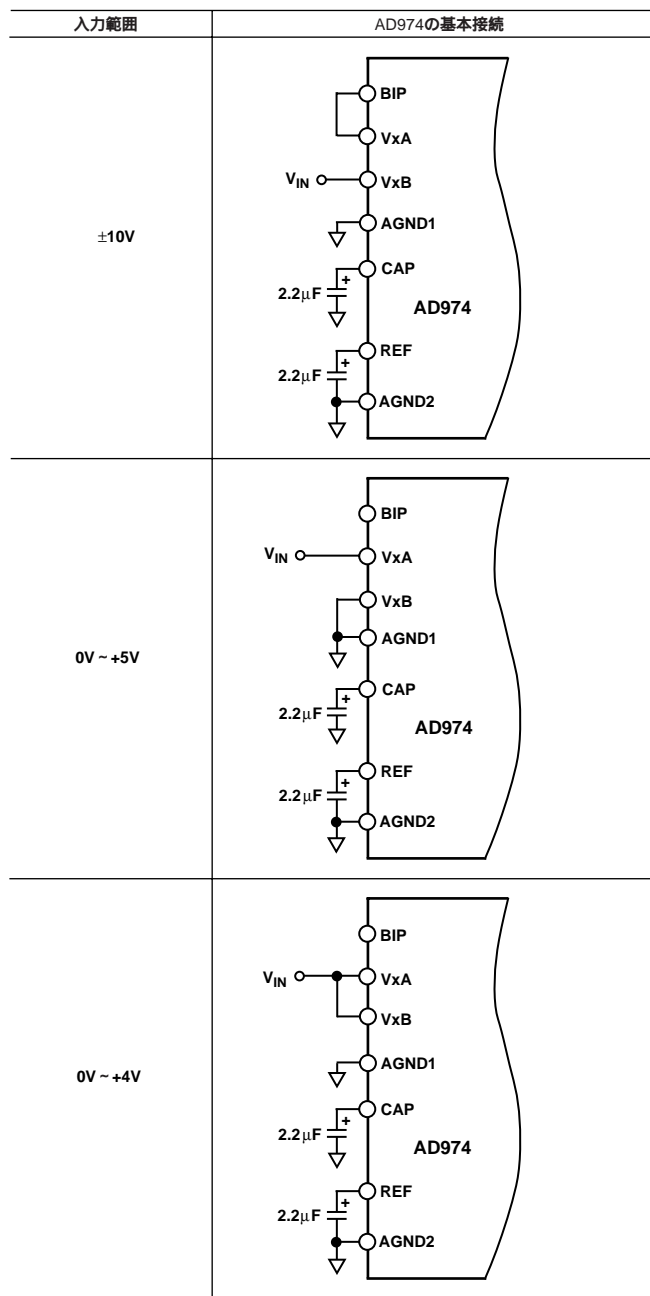


図11. アナログ入力の構成

オフセットとゲイン調整

AD974は出荷時にゲイン誤差、オフセット誤差、直線性誤差を最小にするように調整されています。外部回路を使ってオフセット誤差をさらに調整する方法は内部に用意されていません。AD974の基準電圧は図12に示すように調整することができます。この方法を使うと、任意の1チャンネルのフル・スケール誤差をゼロに調整することができます。あるいは、4チャンネルの平均フル・スケール誤差を最小にすることができます。

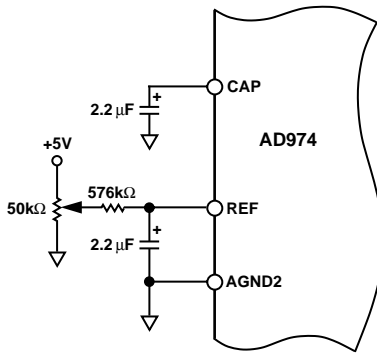


図12. AD974のフル・スケールの調整

基準電圧

AD974は、温度保証済みバンドギャップ基準電圧を内蔵しており、出荷時に $+2.5\text{ V} \pm 20\text{ mV}$ に調整されています。仕様温度範囲でのAD974の精度は、基準電圧のドリフト性能により支配されます。内蔵基準電圧はレーザー・トリムにより、 $7\text{ ppm/}^\circ\text{C}$ のドリフト (typ値) に調整されています。図13にこのドリフト特性 (typ値) を示します。この図は、基準電圧 (in mV) の変化と温度変化の関係を示すカーブで、 $+25^\circ\text{C}$ でゼロ誤差になるように正規化してあります。ドリフト性能の改善が必要な場合は、AD780のような外部基準電圧を使って、 $3\text{ ppm/}^\circ\text{C}$ のような低いドリフトを実現することができます。基準電圧 (内部または外部) の駆動条件を簡単にするため、オンチップ基準電圧バッファが用意されています。

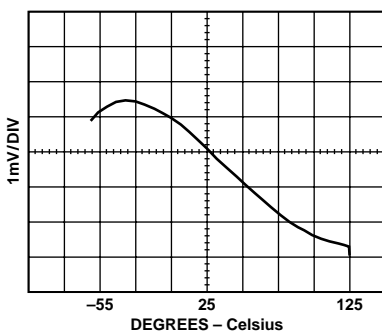


図13. 基準電圧ドリフト

このバッファの出力はCAPピンで、ユーザーが使用可能ですが、外部に基準電圧バッファの負荷を接続する際は、A/DCの性能を低下させないように十分な注意が必要です。

図14に、基準電圧バッファの負荷レギュレーションを示します。この図では、DC負荷なしで誤差がゼロになるように正規化してあります。線形領域では、このポイントでの出力インピーダンス1 (typ値) です。この出力インピーダンスのため、歪みを大きくするACまたは入力依存の負荷を最小にすることが重要です。DC負荷はゲイン誤差として機能します。図14の特性 (typ値) は、AD974が15 mAより大きい負荷を駆動できることを示していますが、定常状態電流は2 mAを超えないことを推奨します。

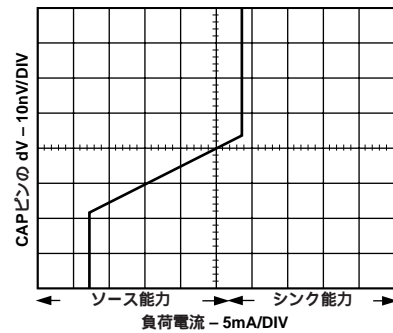


図14. CAPピンの負荷レギュレーション

外部基準電圧の使用法

内蔵基準電圧の他に、外付けの2.5V基準電圧を接続することができます。16ビット・アプリケーションに対して外部基準電圧を選択するときは、ノイズと温度ドリフトに十分な注意を払う必要があります。これらのクリティカルな仕様は、A/DC性能に大きな影響を与えます。

図15に、AD780基準電圧をREFピンに接続した、AD974のバイポーラ・モードでの使用例を示します。AD780は超低ドリフトを示すバンドギャップ基準電圧で、小さい初期誤差と低出力ノイズを持っています。低消費電力アプリケーションに対しては、AD780は小さい静止電流、高精度、低温度ドリフト・ソリューションを提供します。

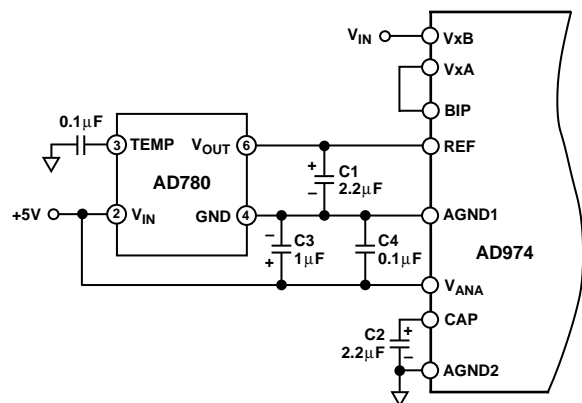


図15. $\pm 10\text{ V}$ の入力範囲に設定されたAD974に対する外部基準電圧の接続

AD974

AC性能

AD974は、ダイナミック性能に対して十分な仕様が定められテストされています。音声認識やスペクトル解析のような信号処理アプリケーションに対しては、ACパラメータが要求されます。これらのアプリケーションでは、入力信号スペクトルに対するA/DCの影響を示す情報が必要です。そのため、AD974の仕様を定めるパラメータには、 $S/(N+D)$ 、THD、スプリアスなしのダイナミック・レンジが含まれています。これらの用語については、以下のセクションで詳しく説明します。

一般的な規則として、複数の変換結果の平均をとり、ノイズの影響を少なくして、 $S/(N+D)$ やTHDなどのパラメータを改善することが推奨されます。A/DCを200 kHzの最大サンプリング・レートで動作させ、変換結果のビット・ストリームをデジタル的にフィルタリングして所望信号帯域幅にすることにより、AC性能を最適化することができます。広い周波数範囲にノイズを分散させると、注目周波数帯域内のノイズ密度を減少させることができます。例えば、所望入力帯域幅が50 kHzの場合、AD974を4倍のオーバーサンプルで動作させると、実効SNR性能で6 dBの改善が得られます。

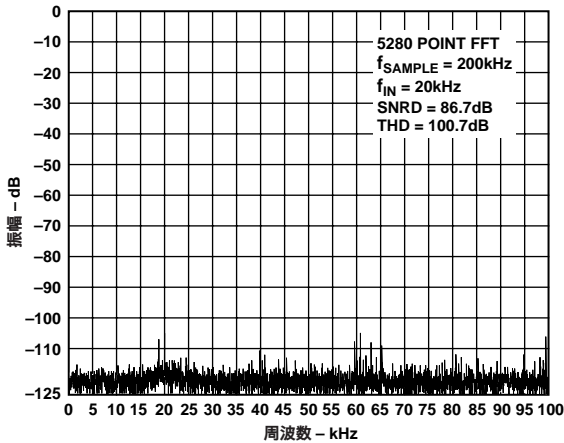


図16. FFTプロット

DC性能

AD974のキャパシタ・アレイ内に存在するビットの重み誤差を補償するために、出荷時キャリブレーション方法が使用されています。キャパシタ値の不整合は変換時に調整され(キャリブレーション係数を使用)優れたDC直線性能が得られています。図17と図18に、+25 におけるAD974のそれぞれINLとDNLのプロット(typ値)を示します。

ヒストグラム・テストは、A/Dコンバータの微分非直線性を取得する統計的な方法です。A/DCによりランダムな入力を入力をサンプルし、各電圧レベルで多数の変換を行い、平均をとって保存します。平均の効果は、遷移ノイズを $1/n$ に減少させることです。各ポイントで64個のサンプルを平均すると、遷移ノイズの影響は $1/8$ に減少します。すなわち、0.8 LSB rmsの遷移ノイズが0.1 LSB rmsに減少します。DNLのテスト中、理論的には、コードはすべて同じサイズであるため、同じ頻度で発生するはずですが、平均の発生頻度を持つコードは"0"のDNLを持ちます。平均値と異なる発生頻度を持つコードは、ゼロLSBより大きいか、小さいDNLを持ちます。-1 LSBのDNLは16ビット・レベルでミッシング・コードが存在することを表し、A/DCは15ビット性能になります。

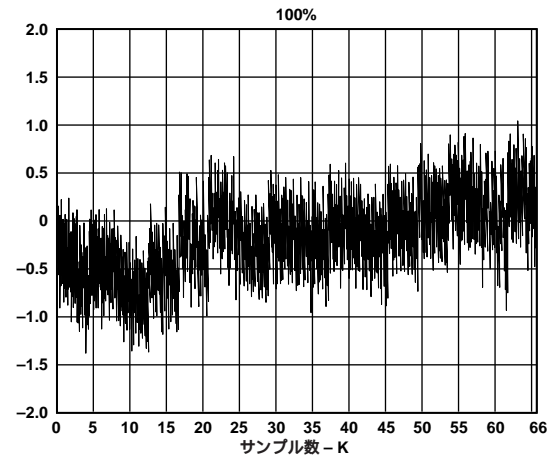


図17. INLのプロット

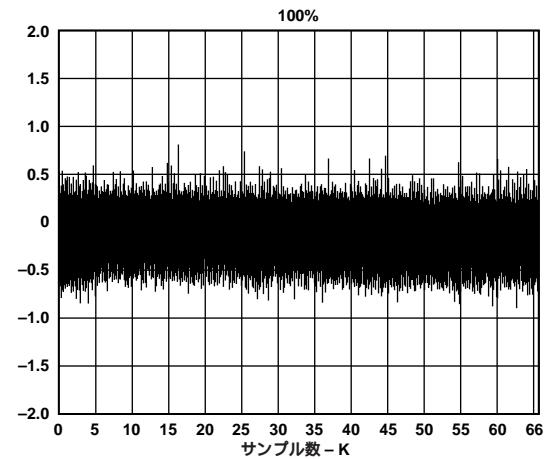


図18. DNLのプロット

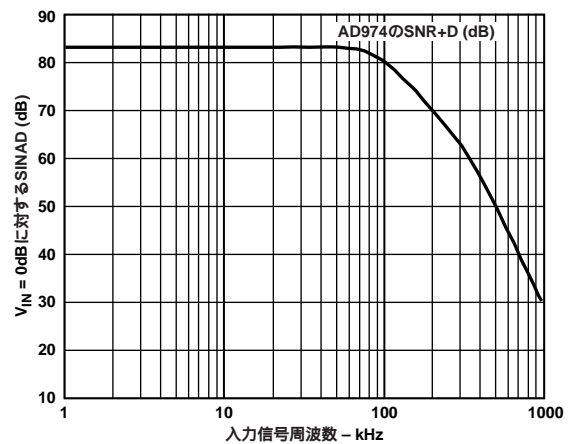


図19. $S/(N+D)$ と入力周波数の関係。

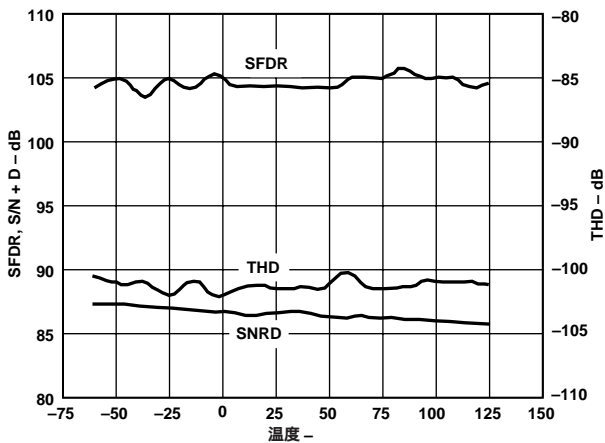


図20. ACパラメータと温度の関係

DCコード不確定性

理論的には、固定DC入力に繰り返し変換に対して同じコードを出力するはずですが、A/Dの広帯域回路の避けられない回路ノイズにより、ある入力電圧に対して出力コードの範囲が発生してしまいます。

このため、DC信号をAD974入力に接続すると、10,000回の変換を記録し、図21に示すコードの分布として表します。このヒストグラムは、熱ノイズのガウス分布と同じ釣鐘型をしています。ヒストグラムはコードで約7個分の幅です。このガウス分布の標準偏差は、1 LSB rmsのコード遷移ノイズを示します。

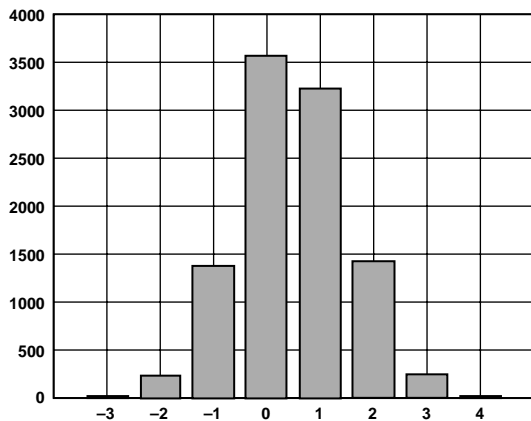


図21. DC入力の10,000回の変換のヒストグラム

パワーダウン機能

AD974はPWRDピンを使用するアナログと基準電圧のパワーダウン機能を持っています。PWRDピンをHighにすると、最大値100 mWからtyp値50 μ Wに消費電力が低下します。パワーダウン・モードでは、前の変換結果は内部レジスタに保存され、既にシフト・アウト済みでなければ読出すことができます。

REFピンに接続された外部基準電圧を使用する場合は、2.2 μ FキャパシタをCAPピンに接続した状態で、パワーアップ回復時間は1 ms (typ値) になります。この回復時間の1 msのtyp値はCAPピンの外部2.2 μ Fキャパシタから放電する電荷量に依存しますが、放電ゼロと仮定しています。1 msの回復時間は、16ビットへの整定が完了するまでとして仕様を定めてあります。

内部基準電圧を使用する場合は、パワーアップ回復時間の支配的な時定数は、REFピンの外部キャパシタとそのピンから見た内部4Kインピーダンスにより決定されます。REFピンに対しては、外部2.2 μ Fキャパシタの使用が推奨されます。

クロストーク

図22～図24に、隣接チャンネル間、非隣接チャンネル間、ワーストケース隣接チャンネル間の各クロストークを示します。ワーストケース・クロストークは、チャンネル1とチャンネル2の間で発生します。

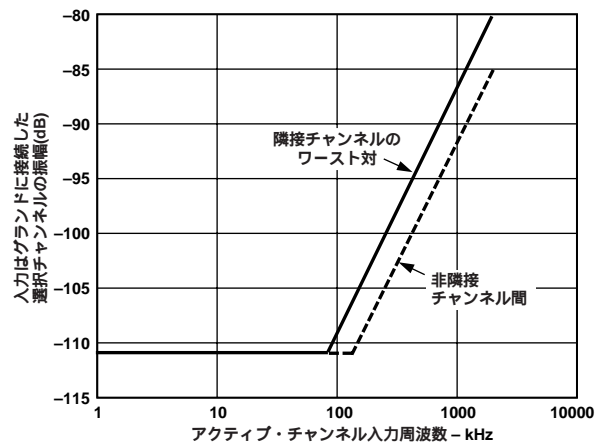


図22. クロストークと入力周波数 (kHz) の関係

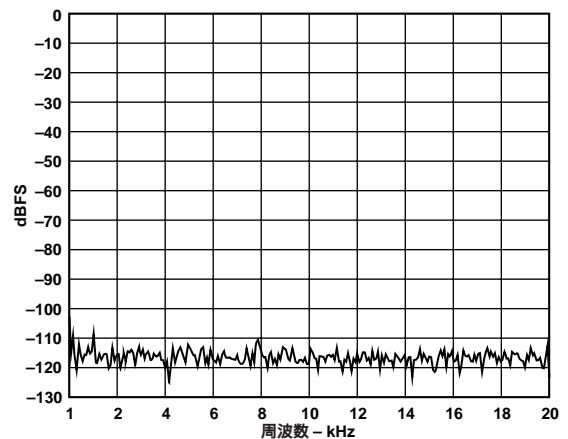


図23. 隣接チャンネル・クロストーク、ワースト対 (8192ポイントのFFT; AIN 2 = 1.02 kHz、-0.1 dB; AIN 1 = AGND)

AD974

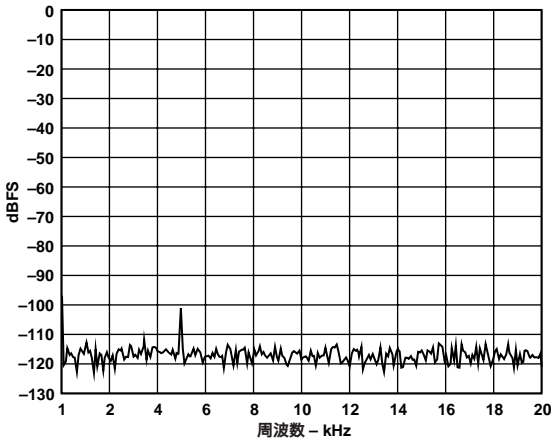


図24. 隣接チャンネル・クロストーク、ワースト対
(8192ポイントのFFT; AIN 2 = 220 kHz、-0.1 dB;
AIN 1 = AGND)

マイクロプロセッサ・インターフェース

AD974は、マイクロプロセッサをサポートする従来型のDC計測アプリケーション、デジタル信号プロセッサにインターフェースするAC信号処理アプリケーションに最適です。AD974は、マイクロコントローラの汎用シリアル・ポートまたはI/Oポートにインターフェースするようにデザインされています。AD974に対して多様な外部バッファを使用して、デジタル・ノイズがA/DCに混入することを防止することができます。以下の節では、SPIを持つマイクロコントローラとADSP-2181信号プロセッサでのAD974の使用について説明します。

SPIインターフェース

図25に、AD974とSPIを持つマイクロコントローラの間の一般的なインターフェース図を示します。このインターフェースでは、変換パルスはマイクロコントローラから発生され、AD974はスレプ・デバイスとして動作することを想定しています。変換パルスは、内部タイマー割込みに対する応答の中で発生することができます。出力データの読出しは、1回に1バイトずつ、必要に応じて、変換終了信号(BUSYのHighへの変化)に対する応答の中で、起動することができます。

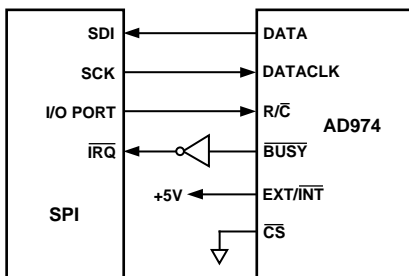


図25. AD974とSPIの間のインターフェース

ADSP-2181インターフェース

図26に、AD974とADSP-2181デジタル信号プロセッサの間のインターフェースを示します。AD974は内部クロック・モード(EXT/INT = 0)に設定されており、マスター・デバイスとして動作します。

変換コマンドは外部発振器から発生し、DCとACの計測に適切な低ジッタ信号を提供しています。ADSP-2181内部のSPORTは不連続な外部クロックを入力されるため、各データの読出し動作で、シリアル・ポートがこのクロックに対して正しく同期するための幾つかのステップが必要になります。次に推奨される手順を示します。

- ・システム・コントロール・レジスタを使ってSPORT0をイネーブルします。
- ・SCLK分周レジスタにゼロを設定します。
- ・PFTYPEのビット0とビット1を設定して、PF0とPF1を出力に設定します。
- ・PF0を使ってRFS0をLowにします。受信フレーム同期信号がアクティブHighに設定されます。
- ・PF1を使ってCS = 0を設定し、AD974をイネーブルします。
- ・IMASKレジスタを使って、SPORT0受信割込みをイネーブルします。
- ・AD974の少なくとも1変換サイクルを待った後、受信したデータを廃棄します。
- ・PF1を使ってCS = 1を設定して、AD974をディスエーブルします。
- ・1変換サイクルに等しい期間の経過を待ちます。
- ・PF0を使って、RFS0をHighにします。
- ・PF1を使ってCS = 0を設定し、AD974をイネーブルします。

ADSP-2181 SPORT0は、以後の全変換で外部不連続クロックに同期するようになります。

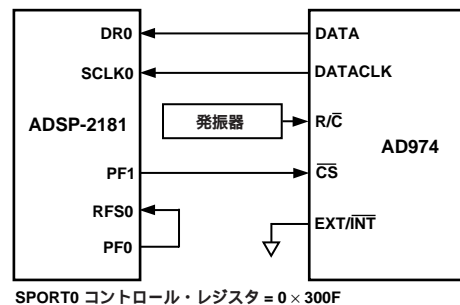


図26. AD974とADSP-2181の間のインターフェース

電源およびデカップリング

AD974は2本の電源入力ピンを持っています。 V_{ANA} と V_{DIG} は、それぞれアナログ部分とデジタル部分に対して電源電圧を供給します。 V_{ANA} はオンチップ・アナログ回路に対する+5V電源で、 V_{DIG} はオンチップ・デジタル回路に対する+5V電源です。AD974は、電源投入シーケンスに依存しないようにデザインされているため、電源電圧に起因するラッチアップが発生しません。

高性能線形回路では、電源の変化は望ましくない回路性能の原因になります。オプションとして、1%以下のリップルを持つ優れたレギュレーションの電源を選択することができます。電源のAC出力インピーダンスは周波数の複雑な関数であり、一般に、周波数が増加すると、大きくなります。このため、デジタル回路で遭遇するような高周波スイッチングでは、多くの電源が満たすことのできない高速な過渡電流が必要とされます。このような場合には、大きな電圧スパイクが電源に発生します。多くの電源の有限なAC出力インピーダンスを補償するために、"保持"電荷をバイパス・キャパシタ内に保持します。これにより、AD974 V_{ANA} ピンと V_{DIG} ピンの電源イ

インピーダンスを効果的に下げて、これらのスパイクの振幅を小さくします。一般に、 $0.1 \mu\text{F}$ のデカップリング・キャパシタをAD974の電源ピンの近くに接続して、キャパシタと V_{ANA} ピンおよび V_{DIG} ピンの間のインダクタンスを最小にします。

AD974は1個の+5V電源で動作させることができますが、別々の電源を使う場合、ロジック電源(V_{DIG})とデジタル・コモン(DGND)との間、およびアナログ電源(V_{ANA})とアナログ・コモン(AGND2)の間に、大きな($10 \mu\text{F}$)キャパシタを接続すると有効です。さらに、A/DCの近くに $10 \mu\text{F}$ のキャパシタを配置すると、さらに低周波のリップルを抑えることができます。厳しいノイズ環境で動作するシステムでは、デカップリングをさらに追加することが必要になります。

グラウンド接続

AD974は、AGND1、AGND2、DGNDの3本のグラウンド・ピンを持っています。アナログ・グラウンド・ピンは"高品質"なグラウンド基準電圧ポイントであり、システム・アナログ・コモンに接続します。AGND2は、大部分の内部A/DCアナログ信号の基準となるグラウンドです。このグラウンドは電流誘導型の電圧降下を最も発生し易いため、最小の抵抗で電源へ戻すように接続する必要があります。AGND1は低電流アナログ電源グラウンドであり、外部基準電圧、入力オペアンプ駆動回路、入力抵抗分割回路のアナログ・コモンとして使用します。このグラウンドを基準とする入力を接続することにより、グラウンド変動は相殺され、A/DCに対するアナログ入力に与える影響は最小になります。デジタル・グラウンド・ピンDGNDは、AD974を制御する全デジタル信号の基準ポイントです。

AD974は2個の電源または1個のアナログ電源で動作させることができます。システム・デジタル電源のノイズが大きい場合、または高速なスイッチング・デジタル信号が存在する場合、アナログ電源をAD974の V_{ANA} ピンと V_{DIG} ピンの両方に接続し、システム電源を残りのデジタル回路に接続することをお勧めします。この構成では、AGND1、AGND2、DGNDをA/DCに戻す接続が必要です。デジタル出力ピン上で大きなバス動作がある場合は、A/DCのデジタル電源ピンおよびアナログ電源ピンは分離する必要があります。これによ

り、高速デジタル・ノイズがAD974のアナログ部分に混入することを無くすことができます。この構成では、デジタル・グラウンド・ピンDGNDをシステム・デジタル・グラウンドに接続して、AGNDピンから分離する必要があります。

ボードのレイアウト

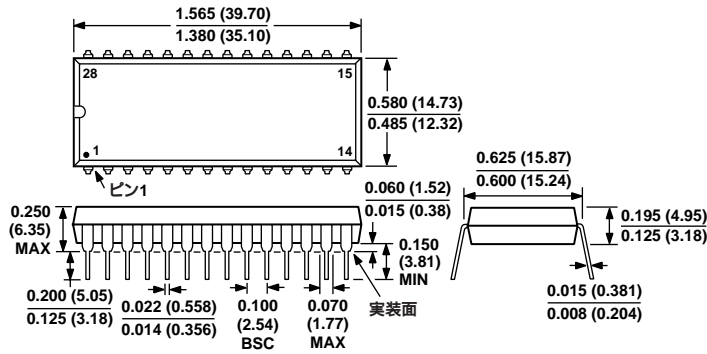
高分解能データ・コンバータのデザインでは、ボード・レイアウトを注意深く行う必要があります。パターン・インピーダンスが重要な問題になります。 0.5 のパターンに 1.22mA の電流が流れると 0.6mV の電圧降下が発生します。この値は、 20V フル・スケール範囲の16ビット・レベルで2LSBに相当します。信号ソースとA/DCの間のグラウンド電位差は入力信号に直列に加わる誤差電圧になるため、グラウンド回路インピーダンスはできるだけ小さくする必要があります。グラウンド電圧降下の他に、誘導性と容量性の結合も考慮する必要があります。これは、高精度アナログ入力信号がデジタル信号と同じボードを共用する場合特に必要です。したがって、入力ノイズ結合を最小にするため、入力信号端子と V_{IN} 間、および信号リターン端子とAGND間にはできるだけ短くする必要があります。さらに、電源をデカップリングして、ACノイズをフィルタで除去する必要があります。

アナログ信号とデジタル信号はコモン・バスを共用しないようにします。各信号は近くに対応するアナログ・リターンまたはデジタル・リターンを持つ必要があります。この方法を使うと、信号ループが取り囲む領域が小さくなり、ノイズの誘導性結合を小さくすることができます。低インピーダンス信号バスを用意するため、太いPCパターン、太い線、グラウンド・プレーンの使用が推奨されます。アナログ・グラウンド・プレーンとデジタル・グラウンド・プレーンを分離し、1点で両方を接続することによりグラウンド・ループを小さくすることも推奨されます。アナログ信号はできるだけ高速デジタル信号から離して配線します。交叉することが避けられない場合は、右角度でのみ交叉するようにします。

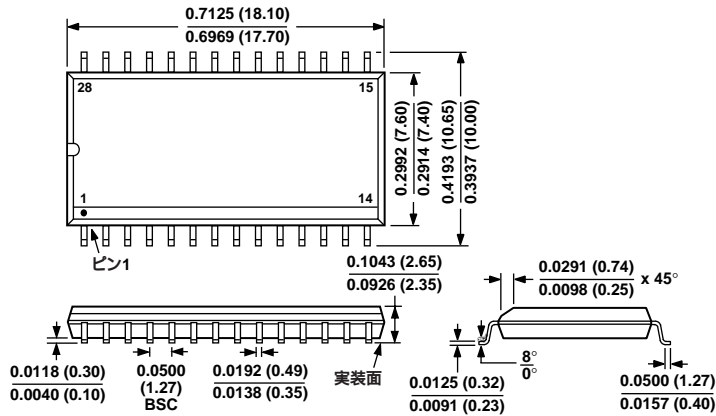
さらに、別々の電源プレーンとグラウンド・プレーンを持つ多層PCボードの使用も推奨されます。分離しているセクションをデザインする場合は、レイアウトに対して注意を払う必要があります。

外形寸法
サイズはインチと(mm)で示します。

28ピン・プラスチックDIP
(N-28)



28ピン・ワイド・ボディ(SOIC)
(R-28)



28ピン・シュリンク・スモール・アウトライン・パッケージ(SSOP)
(RS-28)

