

この製品のデータシートに間違いがありましたので、お詫びして訂正いたします。
この正誤表は、2010年1月12日現在、アナログ・デバイセズ株式会社で確認した誤りを記したものです。
なお、英語のデータシート改版時に、これらの誤りが訂正される場合があります。

正誤表作成年月日：2010年1月12日

製品名：AD9740

対象となるデータシートのリビジョン(Rev)：Rev.B

訂正箇所：

P.16

英文データシートの Sleep Mode Operation の部分で、equal to 0.5 Ω AVDD と記述があります。このうち“ Ω ”はタイプミスにより混入してしまっているもので、正しくは equal to 0.5 AVDD となります。

本件は明らかな間違いですので、日本語データシートの当該部分「スリープ・モード動作」については、不要な混乱を生じさせないためにも「0.5 AVDD です。」と修正しております。

特長

ピン互換 TxDAC 製品ファミリーの高性能デバイス
優れた SFDR 性能
SNR : 65 dB @ 5 MHz 出力、125 MSPS
2の補数またはストレート・バイナリのデータ・フォーマット
差動電流出力 : 2~20 mA
消費電力 : 135 mW @ 3.3 V
パワーダウン・モード : 15 mW @ 3.3 V
1.2 V リファレンス内蔵
CMOS 互換デジタル・インターフェース
パッケージ : 28 ピン SOIC、28 ピン TSSOP、32 ピン LFCSP
エッジ・トリガ方式のラッチ

アプリケーション

広帯域通信の送信チャンネル
ダイレクト IF
基地局
ワイヤレス・ローカル・ループ
デジタル無線リンク
ダイレクト・デジタル信号合成 (DDS)
計測機器

機能ブロック図

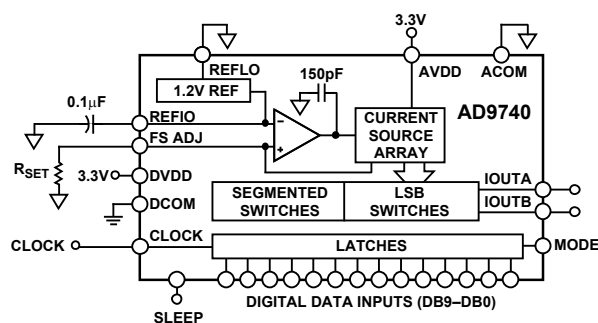


図 1.

概要

AD9740¹ は高性能、低消費電力 CMOS D/A コンバータ (DAC) TxDAC シリーズの第三世代製品であり、10 ビット分解能の広帯域デバイスです。TxDAC ファミリーはピン互換の 8 ビット、10 ビット、12 ビット、14 ビットの DAC で構成され、特に通信システムの送信信号系で使用するのに最適化されています。これらのデバイスはすべて同一のインターフェース・オプション、小さいパッケージ、ピン配置を採用しており、性能、分解能、価格に応じて上位から下位の製品のうちより適宜選択できます。AD9740 は優れた AC および DC 性能を備え、最大 210 MSPS の更新レートに対応します。

AD9740 は低消費電力デバイスであるため、携帯用機器や低消費電力アプリケーションに最適です。フルスケール出力電流を小さくすると、性能は多少劣化しますが、消費電力を 60 mW まで抑えることができます。また、パワーダウン・モードに設定すると、スタンバイ時の消費電力を約 15 mW まで低減できます。独自開発のスイッチング技術が組み込まれたセグメント方式の電流ソース・アーキテクチャにより、スプリアス成分が低減され、ダイナミック性能が改善されています。

エッジ・トリガ方式の入力ラッチと 1.2 V の温度補償バンドギャップ・リファレンスが集積化されているため、AD9740 は完全なモノリシック DAC ソリューションを実現できます。デジタル入力は、3V CMOS ロジック・ファミリーに対応します。

製品のハイライト

- AD9740 は、ピン互換の TxDAC ファミリーの 10 ビット DAC であり、優れた INL および DNL 性能を備えています。
- データ入力は、2 の補数またはストレート・バイナリのデータ形式に対応しています。
- 高速のシングルエンド CMOS クロック入力は、210 MSPS の変換レートに対応します。
- 低消費電力：フル装備された CMOS DAC 機能は 2.7~3.6V の単電源で動作し、消費電流は 135 mW です。DAC のフルスケール出力電流を小さくして、消費電力をさらに低減することも可能です。低消費電力でのアイドル状態を可能にするスリープ・モードも用意しています。
- 電圧リファレンス内蔵：AD9740 は、温度補償された 1.2 V バンドギャップ・リファレンスを内蔵しています。
- 業界標準の 28 ピン SOIC、28 ピン TSSOP、32 ピン LFCSP パッケージ。

¹ 米国特許番号 5568145、5689257、5703519 によって保護されています。

目次

特長.....	1	DACの伝達関数.....	14
アプリケーション.....	1	アナログ出力.....	14
機能ブロック図.....	1	デジタル入力.....	15
概要.....	1	クロック入力.....	15
製品のハイライト.....	1	DACのタイミング.....	16
改訂履歴.....	3	消費電力.....	16
仕様.....	4	AD9740のアプリケーション.....	17
DC仕様.....	4	トランスを使用した差動結合.....	17
動的特性.....	5	オペアンプを使用した差動結合.....	17
デジタル仕様.....	6	シングルエンドの非バッファ電圧出力.....	18
絶対最大定格.....	7	シングルエンドのバッファ電圧出力構成.....	18
熱特性.....	7	電源とグラウンディングに関する留意事項、	
ESDに関する注意.....	7	電源電圧変動除去比.....	18
ピン配置と機能の説明.....	8	評価用ボード.....	20
用語の説明.....	9	概要.....	20
代表的な性能特性.....	10	外形寸法.....	30
動作説明.....	13	オーダー・ガイド.....	31
リファレンス動作.....	13		
リファレンス制御アンプ.....	14		

改訂履歷**12/05—Rev. A to Rev. B**

Updated Format.....	Universal
Changes to General Description and Product Highlights.....	1
Changes to Table 1.....	4
Changes to Table 2.....	5
Changes to Table 5.....	8
Changes to Figure 6.....	10
Inserted Figure 11; Renumbered Sequentially.....	10
Changes to Figure 12, Figure 13, Figure 14, and Figure 15.....	11
Changes to Functional Description and Reference Operation Sections.....	13
Inserted Figure 23; Renumbered Sequentially.....	13
Changes to DAC Transfer Function Section and Figure 25.....	14
Changes to Digital Inputs Section.....	15
Changes to Figure 30 and Figure 31.....	17
Updated Outline Dimensions.....	30
Changes to Ordering Guide.....	31

5/03—Rev. 0 to Rev. A

Added 32-Lead LFCSP Package.....	Universal
Edits to Features.....	1
Edits to Product Highlights.....	1
Edits to DC Specifications.....	2
Edits to Dynamic Specifications.....	3
Edits to Digital Specifications.....	4
Edits to Absolute Maximum Ratings.....	5
Edits to Thermal Characteristics.....	5
Edits to Ordering Guide.....	5
Edits to Pin Configuration.....	6
Edits to Pin Function Descriptions.....	6
Edits to Figure 2.....	7
Replaced TPCs 1, 4, 7, and 8.....	8
Edits to Figure 3.....	10
Edits to Functional Description Section.....	10
Edits to Digital Inputs Section.....	12
Added Clock Input Section.....	12
Added Figure 7.....	12
Edits to DAC Timing Section.....	12
Edits to Sleep Mode Operation Section.....	13
Edits to Power Dissipation Section.....	13
Renumbered Figures 8 to 26.....	13
Added Figure 11.....	13
Added Figures 27 to 35.....	21
Updated Outline Dimensions.....	26

5/02—Revision 0: Initial Version

仕様

DC仕様

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3\text{ V}$ 、 $DVDD = 3.3\text{ V}$ 、 $CLKVDD = 3.3\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 。

表 1.

Parameter	Min	Typ	Max	Unit
RESOLUTION	10			Bits
DC ACCURACY ¹				
Integral Linearity Error (INL)	-0.7	±0.15	+0.7	LSB
Differential Nonlinearity (DNL)	-0.5	±0.12	+0.5	LSB
ANALOG OUTPUT				
Offset Error	-0.02		+0.02	% of FSR
Gain Error (Without Internal Reference)	-2	±0.1	+2	% of FSR
Gain Error (With Internal Reference)	-2	±0.1	+2	% of FSR
Full-Scale Output Current ²	2		20	mA
Output Compliance Range	-1		+1.25	V
Output Resistance		100		k Ω
Output Capacitance		5		pF
REFERENCE OUTPUT				
Reference Voltage	1.14	1.20	1.26	V
Reference Output Current ³		100		nA
REFERENCE INPUT				
Input Compliance Range	0.1		1.25	V
Reference Input Resistance (External Reference)		7		k Ω
Small Signal Bandwidth		0.5		MHz
TEMPERATURE COEFFICIENTS				
Offset Drift		0		ppm of FSR/ $^{\circ}\text{C}$
Gain Drift (Without Internal Reference)		±50		ppm of FSR/ $^{\circ}\text{C}$
Gain Drift (With Internal Reference)		±100		ppm of FSR/ $^{\circ}\text{C}$
Reference Voltage Drift		±50		ppm/ $^{\circ}\text{C}$
POWER SUPPLY				
Supply Voltages				
AVDD	2.7	3.3	3.6	V
DVDD	2.7	3.3	3.6	V
CLKVDD	2.7	3.3	3.6	V
Analog Supply Current (I_{AVDD})		33	36	mA
Digital Supply Current (I_{DVDD}) ⁴		8	9	mA
Clock Supply Current (I_{CLKVDD})		5	6	mA
Supply Current Sleep Mode (I_{AVDD})		5	6	mA
Power Dissipation ⁴		135	145	mW
Power Dissipation ⁵		145		mW
Power Supply Rejection Ratio—AVDD ⁶	-1		+1	% of FSR/V
Power Supply Rejection Ratio—DVDD ⁶	-0.04		+0.04	% of FSR/V
OPERATING RANGE	-40		+85	$^{\circ}\text{C}$

¹ IOUTA で測定し、仮想グラウンドを駆動しています。

² フルスケール電流 I_{OUTFS} の定格値は、 I_{REF} 電流の 32 倍です。

³ 入力バイアス電流が 100 nA よりも低いバッファ・アンプを外付けして、外部負荷を駆動する必要があります。

⁴ $f_{CLOCK} = 25\text{ MSPS}$ および $f_{OUT} = 1\text{ MHz}$ の条件下で測定しています。

⁵ IOUTA と IOUTB において 20 mA の I_{OUTFS} と 50 Ω の R_{LOAD} を適用し、 $f_{CLOCK} = 100\text{ MSPS}$ 、 $f_{OUT} = 40\text{ MHz}$ の条件下で非バッファ電圧出力として測定しています。

⁶ ±5% の電源変動率。

動的特性

特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 3.3\text{ V}$ 、 $DVDD = 3.3\text{ V}$ 、 $CLKVDD = 3.3\text{ V}$ 、 $I_{OUTFS} = 20\text{ mA}$ 、差動トランス結合出力、両端で $50\ \Omega$ 終端。

表 2.

Parameter	Min	Typ	Max	Unit
DYNAMIC PERFORMANCE				
Maximum Output Update Rate (f_{CLOCK})	210			MSPS
Output Settling Time (t_{ST}) (to 0.1%) ¹		11		ns
Output Propagation Delay (t_{PD})		1		ns
Glitch Impulse		5		pV-s
Output Rise Time (10% to 90%) ¹		2.5		ns
Output Fall Time (10% to 90%) ¹		2.5		ns
Output Noise ($I_{OUTFS} = 20\text{ mA}$) ²		50		pA/ $\sqrt{\text{Hz}}$
Output Noise ($I_{OUTFS} = 2\text{ mA}$) ²		30		pA/ $\sqrt{\text{Hz}}$
Noise Spectral Density ³		-143		dBm/Hz
AC LINEARITY				
Spurious-Free Dynamic Range to Nyquist				
$f_{CLOCK} = 25\text{ MSPS}$; $f_{OUT} = 1.00\text{ MHz}$				
0 dBFS Output	71	79		dBc
-6 dBFS Output		75		dBc
-12 dBFS Output		67		dBc
-18 dBFS Output		61		dBc
$f_{CLOCK} = 65\text{ MSPS}$; $f_{OUT} = 1.00\text{ MHz}$		84		dBc
$f_{CLOCK} = 65\text{ MSPS}$; $f_{OUT} = 2.51\text{ MHz}$		80		dBc
$f_{CLOCK} = 65\text{ MSPS}$; $f_{OUT} = 10\text{ MHz}$		78		dBc
$f_{CLOCK} = 65\text{ MSPS}$; $f_{OUT} = 15\text{ MHz}$		76		dBc
$f_{CLOCK} = 65\text{ MSPS}$; $f_{OUT} = 25\text{ MHz}$		75		dBc
$f_{CLOCK} = 165\text{ MSPS}$; $f_{OUT} = 21\text{ MHz}$		70		dBc
$f_{CLOCK} = 165\text{ MSPS}$; $f_{OUT} = 41\text{ MHz}$		60		dBc
$f_{CLOCK} = 210\text{ MSPS}$; $f_{OUT} = 40\text{ MHz}$		67		dBc
$f_{CLOCK} = 210\text{ MSPS}$; $f_{OUT} = 69\text{ MHz}$		63		dBc
Spurious-Free Dynamic Range within a Window				
$f_{CLOCK} = 25\text{ MSPS}$; $f_{OUT} = 1.00\text{ MHz}$; 2 MHz Span	80			dBc
$f_{CLOCK} = 50\text{ MSPS}$; $f_{OUT} = 5.02\text{ MHz}$; 2 MHz Span		90		dBc
$f_{CLOCK} = 65\text{ MSPS}$; $f_{OUT} = 5.03\text{ MHz}$; 2.5 MHz Span		90		dBc
$f_{CLOCK} = 125\text{ MSPS}$; $f_{OUT} = 5.04\text{ MHz}$; 4 MHz Span		90		dBc
Total Harmonic Distortion				
$f_{CLOCK} = 25\text{ MSPS}$; $f_{OUT} = 1.00\text{ MHz}$		-79	-71	dBc
$f_{CLOCK} = 50\text{ MSPS}$; $f_{OUT} = 2.00\text{ MHz}$		-77		dBc
$f_{CLOCK} = 65\text{ MSPS}$; $f_{OUT} = 2.00\text{ MHz}$		-77		dBc
$f_{CLOCK} = 125\text{ MSPS}$; $f_{OUT} = 2.00\text{ MHz}$		-77		dBc
Signal-to-Noise Ratio				
$f_{CLOCK} = 65\text{ MSPS}$; $f_{OUT} = 5\text{ MHz}$; $I_{OUTFS} = 20\text{ mA}$		68		dB
$f_{CLOCK} = 65\text{ MSPS}$; $f_{OUT} = 5\text{ MHz}$; $I_{OUTFS} = 5\text{ mA}$		64		dB
$f_{CLOCK} = 125\text{ MSPS}$; $f_{OUT} = 5\text{ MHz}$; $I_{OUTFS} = 20\text{ mA}$		64		dB
$f_{CLOCK} = 125\text{ MSPS}$; $f_{OUT} = 5\text{ MHz}$; $I_{OUTFS} = 5\text{ mA}$		62		dB
$f_{CLOCK} = 165\text{ MSPS}$; $f_{OUT} = 5\text{ MHz}$; $I_{OUTFS} = 20\text{ mA}$		64		dB
$f_{CLOCK} = 165\text{ MSPS}$; $f_{OUT} = 5\text{ MHz}$; $I_{OUTFS} = 5\text{ mA}$		62		dB
$f_{CLOCK} = 210\text{ MSPS}$; $f_{OUT} = 5\text{ MHz}$; $I_{OUTFS} = 20\text{ mA}$		63		dB
$f_{CLOCK} = 210\text{ MSPS}$; $f_{OUT} = 5\text{ MHz}$; $I_{OUTFS} = 5\text{ mA}$		60		dB

Parameter	Min	Typ	Max	Unit
Multitone Power Ratio (8 Tones at 400 kHz Spacing) $f_{\text{CLOCK}} = 78 \text{ MSPS}$; $f_{\text{OUT}} = 15.0 \text{ MHz to } 18.2 \text{ MHz}$				
0 dBFS Output		65		dBc
-6 dBFS Output		66		dBc
-12 dBFS Output		60		dBc
-18 dBFS Output		55		dBc

¹ 50 Ω 負荷に対してシングルエンドで測定しています。

² 出力ノイズの測定は、変換動作をまったく行わずにフルスケール出力を 20 mA に設定した状態で実施しています。これはサーマル・ノイズのみの測定値です。

³ ノイズ・スペクトル密度は、DAC が変換動作を実行して出力波形が発生するときの、1 Hz 帯域幅に正規化されたノイズ・パワー平均値です。

デジタル仕様

特に指定のない限り、 $T_{\text{MIN}} \sim T_{\text{MAX}}$ 、 $AVDD = 3.3 \text{ V}$ 、 $DVDD = 3.3 \text{ V}$ 、 $CLKVDD = 3.3 \text{ V}$ 、 $I_{\text{OUTFS}} = 20 \text{ mA}$ 。

表 3.

Parameter	Min	Typ	Max	Unit
DIGITAL INPUTS¹				
Logic 1 Voltage	2.1	3		V
Logic 0 Voltage		0	0.9	V
Logic 1 Current	-10		+10	μA
Logic 0 Current	-10		+10	μA
Input Capacitance		5		pF
Input Setup Time (t_s)	2.0			ns
Input Hold Time (t_H)	1.5			ns
Latch Pulse Width (t_{LPW})	1.5			ns
CLK INPUTS²				
Input Voltage Range	0		3	V
Common-Mode Voltage	0.75	1.5	2.25	V
Differential Voltage	0.5	1.5		V

¹ シングルエンド・クロック入力モードの SOIC/TSSOP パッケージの CLOCK ピンと LFCSP パッケージの CLK+ピンが含まれます。

² 差動または PECL クロック入力モードに設定した場合の CLK+入力と CLK-入りに適用されます。

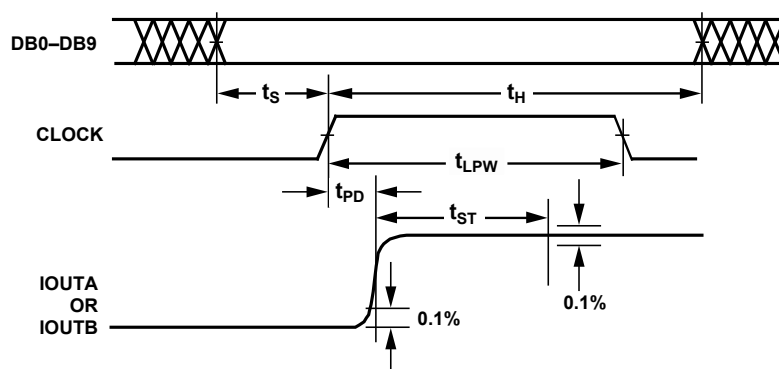


図 2. タイミング図

02911-002

絶対最大定格

表 4.

Parameter	With Respect to	Min	Max	Unit
AVDD	ACOM	-0.3	+3.9	V
DVDD	DCOM	-0.3	+3.9	V
CLKVDD	CLKCOM	-0.3	+3.9	V
ACOM	DCOM	-0.3	+0.3	V
ACOM	CLKCOM	-0.3	+0.3	V
DCOM	CLKCOM	-0.3	+0.3	V
AVDD	DVDD	-3.9	+3.9	V
AVDD	CLKVDD	-3.9	+3.9	V
DVDD	CLKVDD	-3.9	+3.9	V
CLOCK, SLEEP	DCOM	-0.3	DVDD + 0.3	V
Digital Inputs, MODE	DCOM	-0.3	DVDD + 0.3	V
IOUTA, IOUTB	ACOM	-1.0	AVDD + 0.3	V
REFIO, REFLO, FS ADJ	ACOM	-0.3	AVDD + 0.3	V
CLK+, CLK-, MODE	CLKCOM	-0.3	CLKVDD + 0.3	V
Junction Temperature			150	°C
Storage Temperature Range		-65	+150	°C
Lead Temperature (10 sec)			300	°C

上記の絶対最大定格を超えるストレスを加えると、デバイスに恒久的な損傷を与えることがあります。この規定はストレス定格のみを指定するものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くと、デバイスの信頼性に影響を与えることがあります。

ESDに関する注意

ESD（静電放電）の影響を受けやすいデバイスです。人体や試験機器には4,000Vもの高圧の静電気が容易に蓄積され、検知されないまま放電されることがあります。本製品は当社独自のESD保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、回復不能の損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESDに対する適切な予防措置を講じることをお勧めします。



熱特性¹

熱抵抗

28ピン 300ミル SOIC

$$\theta_{JA} = 55.9^{\circ}\text{C/W}$$

28ピン TSSOP

$$\theta_{JA} = 67.7^{\circ}\text{C/W}$$

32ピン LFCSP

$$\theta_{JA} = 32.5^{\circ}\text{C/W}$$

¹ 熱抵抗の測定は、EIA/JESD51-7に従い、自然空冷で4層ボードを使って実施。

ピン配置と機能の説明

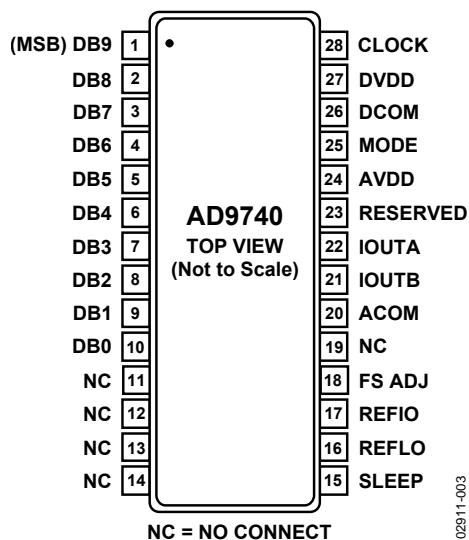


図 3. 28 ピン SOIC および TSSOP のピン配置

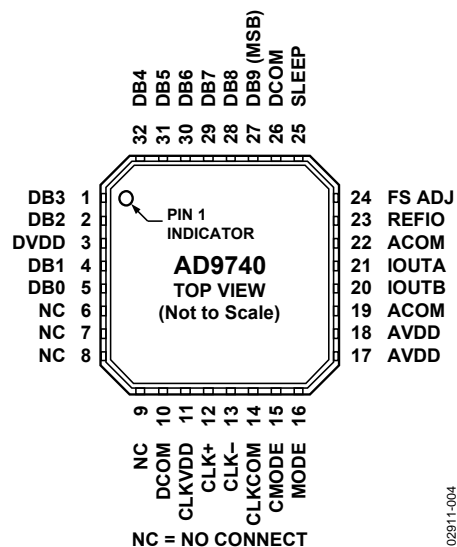


図 4. 32 ピン LFCSP のピン配置

表 5. ピン機能の説明

SOIC/TSSOP ピン番号	LFCSP ピン番号	記号	説明
1	27	DB9 (MSB)	最上位データビット (MSB)
2 to 9	28 to 32, 1, 2, 4	DB8 to DB1	データビット 8~1
10	5	DB0 (LSB)	最下位データビット (LSB)
11 to 14, 19	6 to 9	NC	内部接続なし
15	25	SLEEP	パワーダウン制御入力。アクティブ・ハイ。アクティブ・プルダウン回路を内蔵していません。このピンを使用しないときは未接続でもかまいません。
16	N/A	REFLO	内部 1.2 V リファレンスを使用する場合のリファレンス・グラウンド。内部および外部リファレンス動作モードのいずれの場合も、このピンを ACOM に接続してください。
17	23	REFIO	リファレンス入出力。外部リファレンスを使用するときは、リファレンス入力として機能し、内部リファレンスを使用するときは 1.2 V リファレンス出力として機能します。内部リファレンスを使用する場合は、ACOM に 0.1 μ F コンデンサを接続する必要があります。
18	24	FS ADJ	フルスケール出力電流調整
20	19, 22	ACOM	アナログ・コモン
21	20	IOUTB	相補 DAC 電流出力。データビットがすべて 0 のときに、フルスケール電流になります。
22	21	IOUTA	DAC 電流出力。データビットがすべて 1 のときに、フルスケール電流になります。
23	N/A	RESERVED	予備。コモンや電源に接続しないでください。
24	17, 18	AVDD	アナログ電源電圧 (3.3 V)
25	16	MODE	入力データ・フォーマット選択。ストレート・バイナリを選択するときは DCOM に接続し、2 の補数を選択するときは DVDD に接続してください。
N/A	15	CMODE	クロック・モード選択。シングルエンド・クロック・レシーバの場合は CLKCOM に (CLK+を駆動、CLK-はオープン)、差動レシーバの場合は CLKVDD に接続してください。PECL レシーバの場合は、オープンにします (終端回路内蔵)。
26	10, 26	DCOM	デジタル・コモン
27	3	DVDD	デジタル電源 (3.3 V)
28	N/A	CLOCK	クロック入力。データは、クロックの立上がりエッジでラッチされます。
N/A	12	CLK+	差動クロック入力
N/A	13	CLK-	差動クロック入力
N/A	11	CLKVDD	クロック電源電圧 (3.3 V)
N/A	14	CLKCOM	クロック・コモン

用語の説明

直線性誤差（積分非直線性もしくは INL）

INL は、ゼロとフルスケールを結ぶ直線により表される理論上の出力と実際のアナログ出力との最大誤差です。

微分非直線性（DNL）

DNL は、デジタル入力コードの 1 LSB の変化に対応するアナログ値の変化を表しており、フルスケールで正規化されています。

単調性

デジタル入力が増加したとき出力が増加するか不変である場合に、D/A コンバータ（DAC）は単調であるといえます。

オフセット誤差

出力電流と理論上のゼロとの差をオフセット誤差といいます。IOUTA では、全入力ビットが 0 の場合に 0 mA 出力が得られます。IOUTB では、全入力ビットが 1 の場合に 0 mA 出力が得られます。

ゲイン誤差

理論上の出力スパンと実際の出力スパンの差を意味します。実際の出力スパンは、全入力ビットが 1 に設定されたときの出力から、全入力ビットが 0 に設定されたときの出力を引いたときの差になります。

出力コンプライアンス・レンジ

出力コンプライアンス・レンジは、電流出力型 DAC の出力における許容電圧範囲です。最大コンプライアンス値を超えて動作させると、出力段の飽和かブレイクダウンによって非直線性が発生することがあります。

温度ドリフト

温度ドリフトとは、周囲温度（25°C）から T_{MIN} または T_{MAX} の値までの最大変化になります。オフセットとゲイン・ドリフトの場合、1°C 当たりに対してフルスケール範囲（FSR）の ppm 値で表されます。リファレンス・ドリフトの場合、ドリフトは 1°C 当たりの ppm 値で表されます。

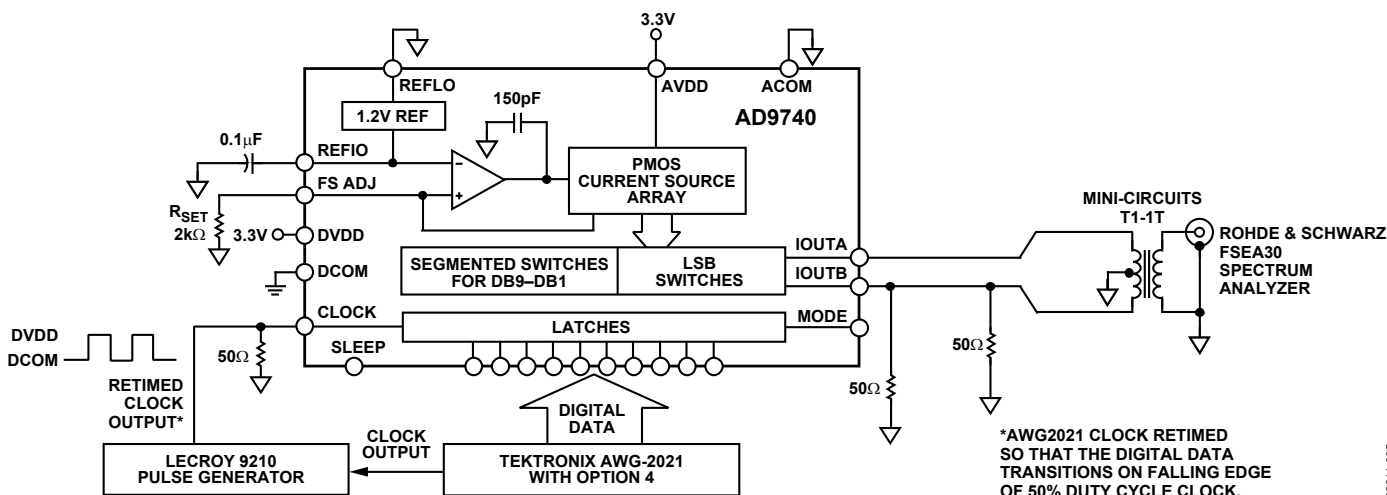


図 5. 基本的な AC 特性評価テストの構成（SOIC/TSSOP パッケージ）

電源電圧変動除去比

電源が公称値から最小規定電圧値または最大規定電圧値へ変化したときのフルスケール出力の最大変化を意味します。

セトリング時間

出力が最終値を中心とする規定誤差範囲内に収束するまでに要する時間で、出力変化の開始から測定します。

グリッチ・インパルス

DAC 内の非対称なスイッチング時間は望ましくない出力過渡電圧を発生させますが、この過渡電圧をグリッチ・インパルスによって表します。グリッチ内の正味面積を表す単位 pV-s を使って規定します。

SFDR

出力信号の RMS 振幅値と規定帯域内のピーク・スプリアス信号との差をいい、dB 値で表します。

全高調波歪み（THD）

THD は入力信号測定値（RMS 値）と 6 次までの高調波成分の RMS 値総和との比をいい、パーセント値またはデシベル値（dB）で表されます。

マルチトーン・パワー比

等振幅の複数キャリア信号を含んだときのスプリアス・フリー・ダイナミック・レンジ。キャリア信号の RMS 振幅値と帯域内のピーク・スプリアス信号との差として測定されます。

代表的な性能特性

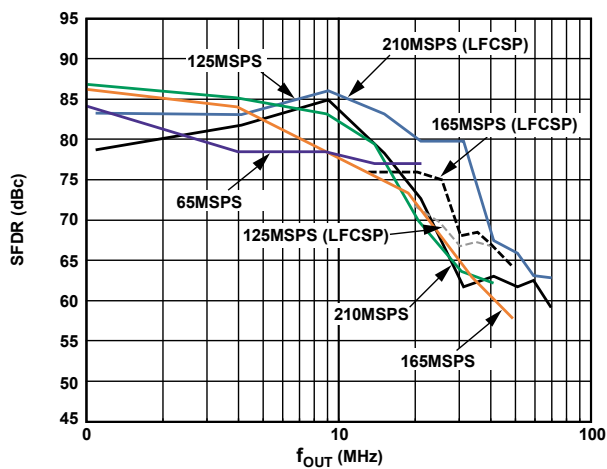


図 6. f_{OUT} 対 SFDR @ 0 dBFS

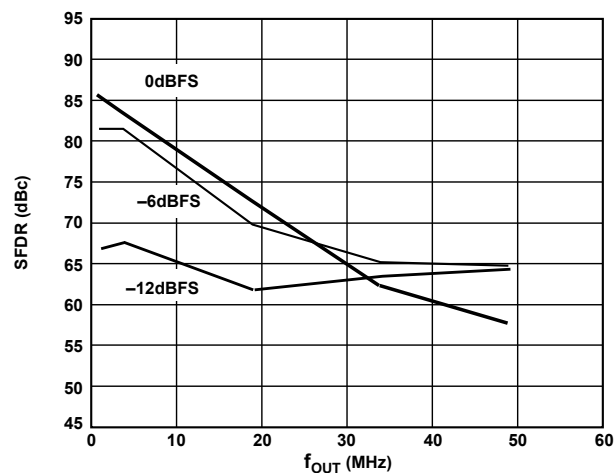


図 9. f_{OUT} 対 SFDR @ 165 MSPS

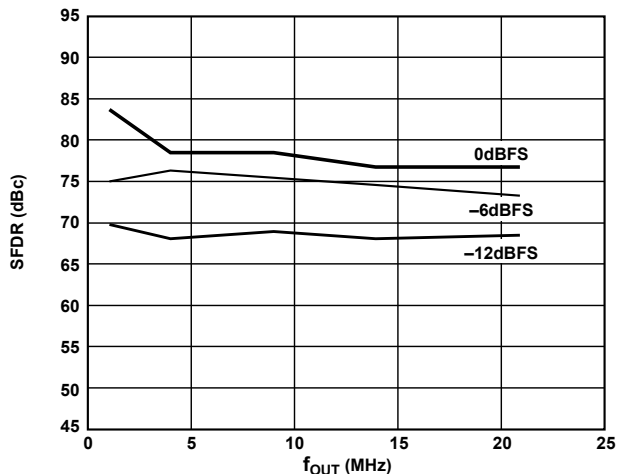


図 7. f_{OUT} 対 SFDR @ 65 MSPS

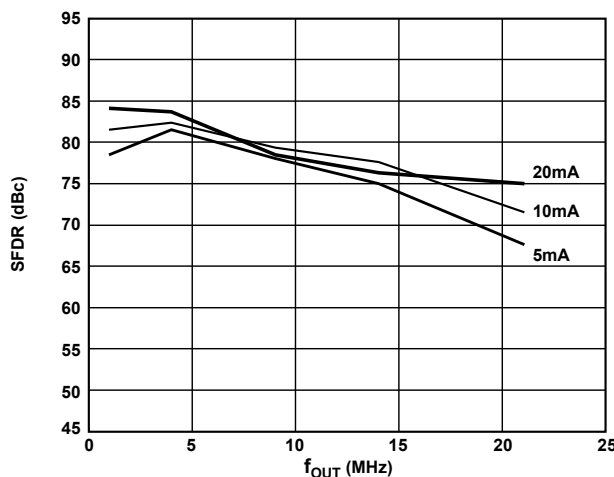


図 10. 各種 I_{OUTFS} の f_{OUT} 対 SFDR @ 65 MSPS および 0 dBFS

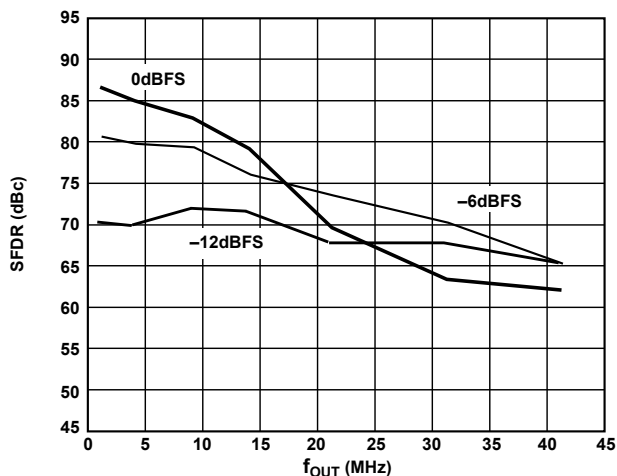


図 8. f_{OUT} 対 SFDR @ 125 MSPS

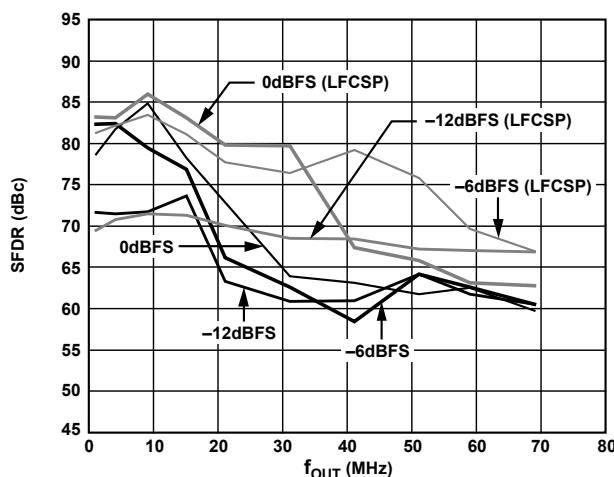
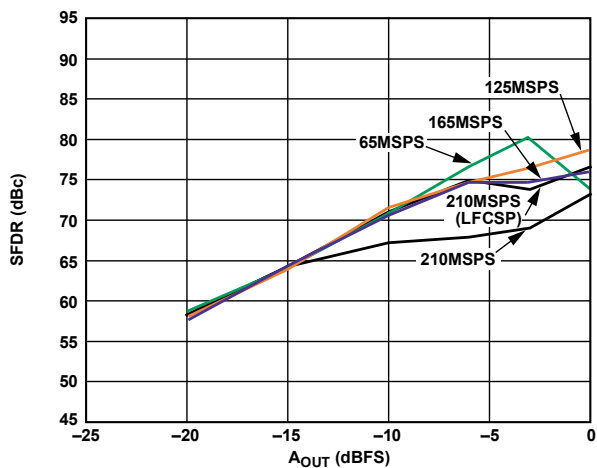
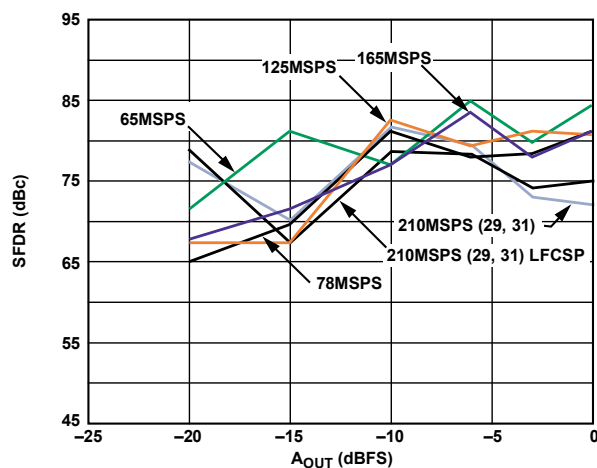


図 11. f_{OUT} 対 SFDR @ 210 MSPS



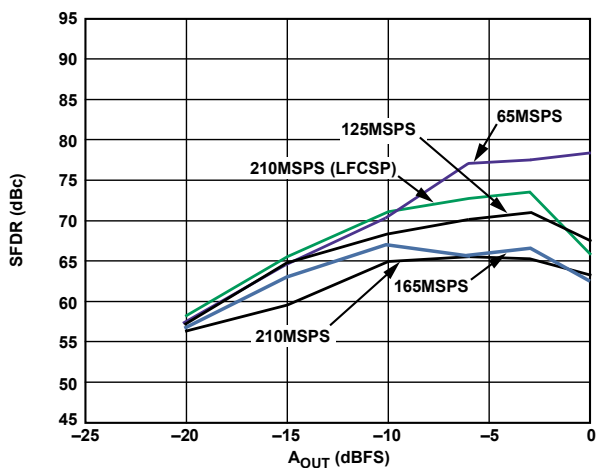
02911-011

図 12. A_{OUT} 対 シングルトーン SFDR @ $f_{OUT} = f_{CLOCK}/11$



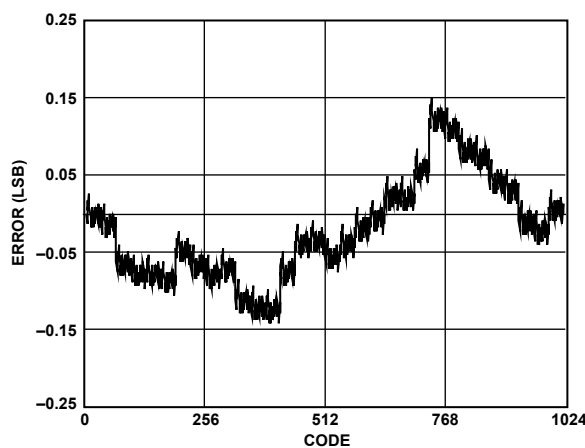
02911-014

図 15. A_{OUT} 対 デュアルトーン IMD @ $f_{OUT} = f_{CLOCK}/7$



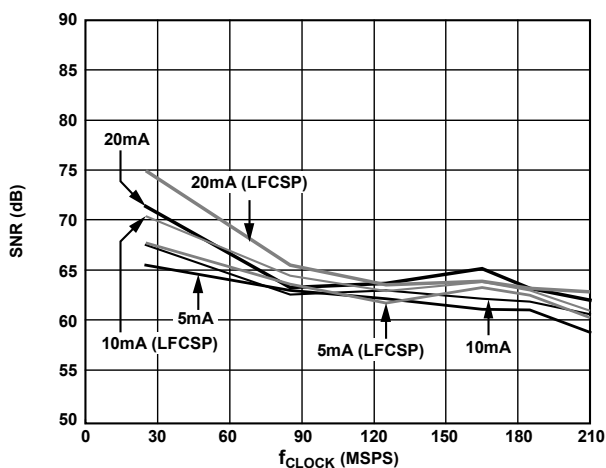
02911-012

図 13. A_{OUT} 対 シングルトーン SFDR @ $f_{OUT} = f_{CLOCK}/5$



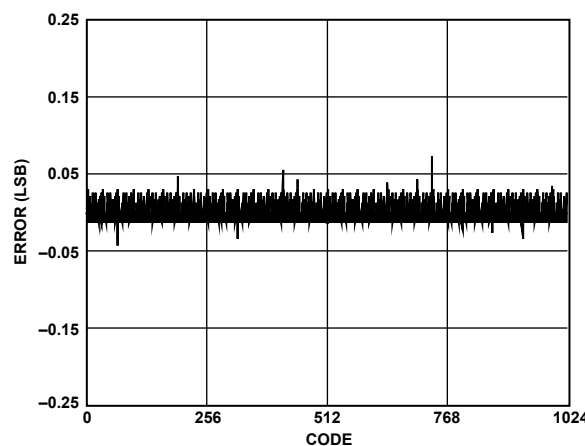
02911-015

図 16. INL



02911-013

図 14. 各種 I_{OUTFS} の f_{CLOCK} 対 SNR @ $f_{OUT} = 5$ MHz および 0 dBFS



02911-016

図 17. DNL

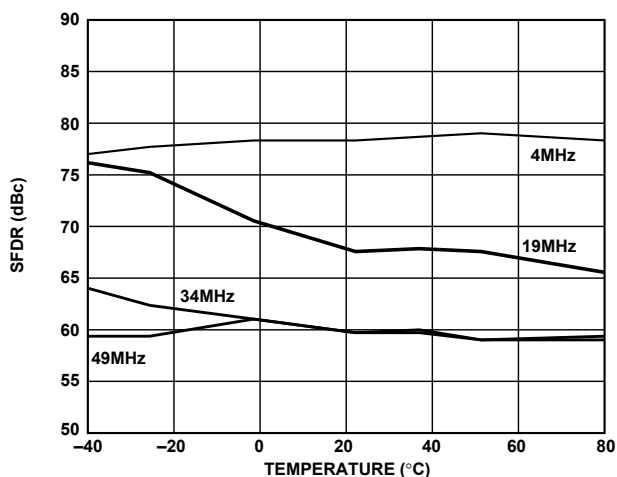


図 18. SFDR の温度特性 @ 165 MSPS、0 dBFS

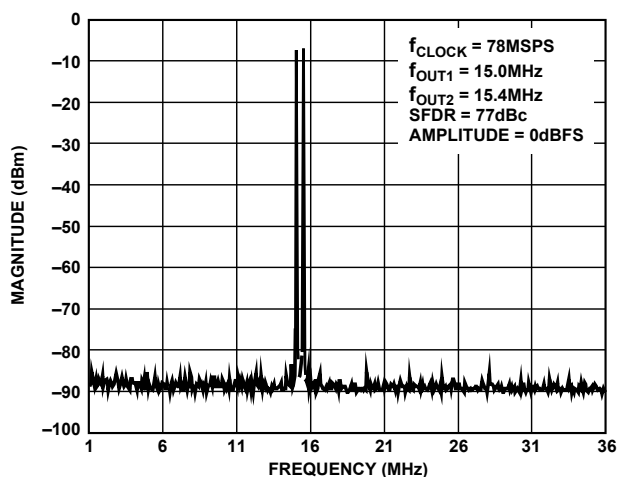


図 20. デュアルトーン SFDR

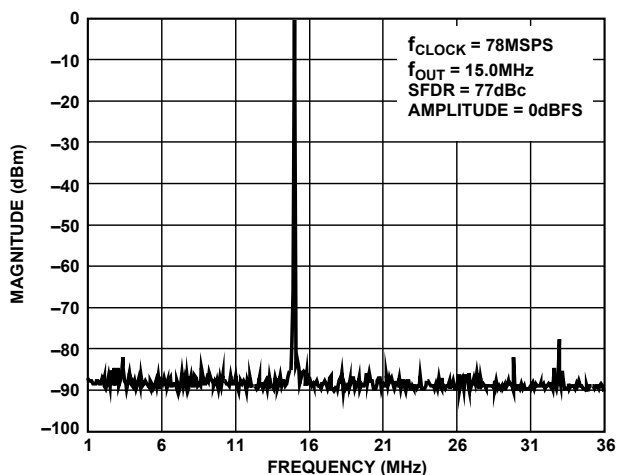


図 19. シングルトーン SFDR

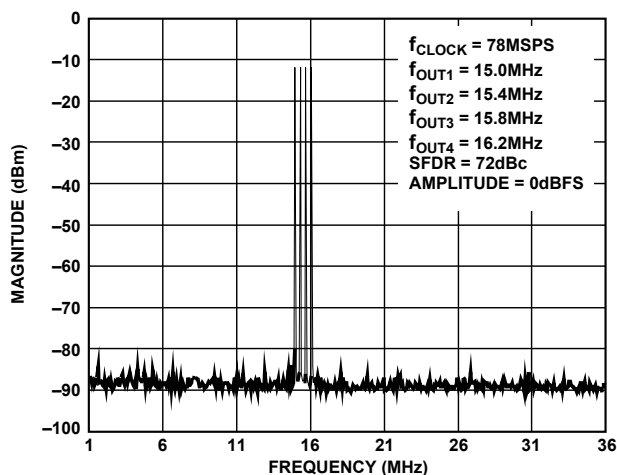


図 21. 4 トーン SFDR

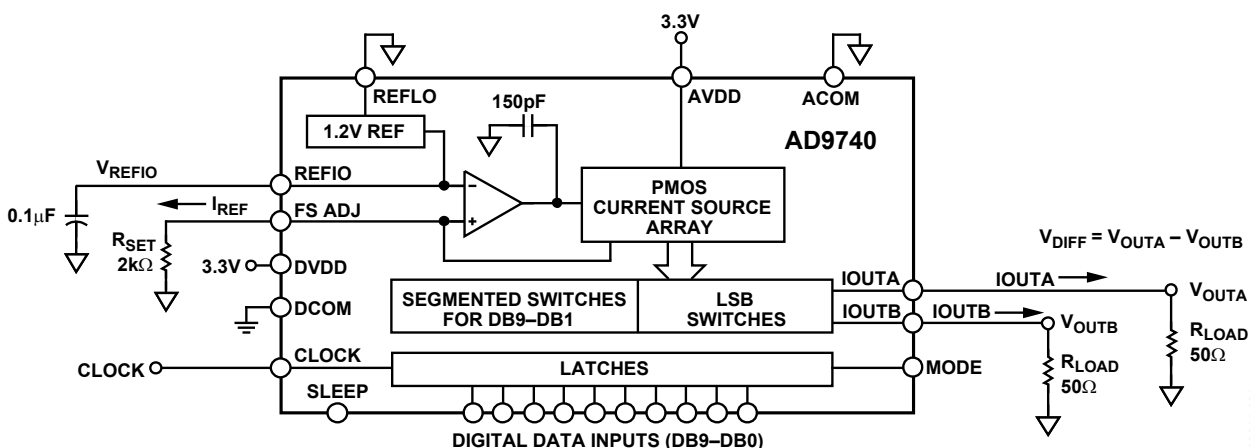


図 22. 簡略ブロック図 (SOIC/TSSOP パッケージ)

動作説明

図 22にAD9740 の簡略化したブロック図を示します。AD9740 は DAC、デジタル制御ロジック、フルスケール出力電流制御回路で構成されます。DACは最大 20 mA のフルスケール電流 (I_{OUTFS}) を供給できる PMOS 電流ソース・アレイから構成されています。このアレイは、上位 5 ビット (MSB) を構成する 31 の等しい電流に分割されます。次の 4 ビット、すなわち中央のビットは、MSB 電流ソースの 1/16 に相当する 15 の等しい電流源で構成されています。残りの LSB は、中央ビットの電流源をバイナリで重み付けしたものになります。R-2R ラダー方式ではなく、電流源を使用して中央ビットと下位ビットを構成する手法を用いることで、マルチトーンまたは低振幅信号におけるダイナミック性能を改善でき、高出力インピーダンス (すなわち 100 k Ω 以上) を維持することができます。

これらの電流源はすべて、PMOS 差動電流スイッチを経由して 2 つの出力ノードのどちらか一方 (I_{OUTA} または I_{OUTB}) に切り替えられます。この PMOS 差動電流スイッチは、AD9764 ファミリーで初めて採用されたアーキテクチャをベースにしています。スイッチング時の過渡電圧で発生する歪みを低減するために、さらに改良が加えられたものです。このスイッチ・アーキテクチャによって、各種タイミング誤差も低減でき、差動電流スイッチの入力に対してマッチングした相補駆動信号を供給します。

AD9740 のアナログとデジタルの各回路部には、それぞれ独立して 2.7~3.6 V の電圧範囲で動作する電源入力 (AVDD と DVDD) を用意しています。最大 210 MSPS のクロック・レートで動作するデジタル回路部は、エッジ・トリガ・ラッチとセグメント・デコード・ロジック回路で構成されています。アナログ回路部は、PMOS 電流源、付随する差動スイッチ、1.2 V のバンドギャップ電圧リファレンス、リファレンス制御アンプで構成されています。

DAC のフルスケール出力電流は、リファレンス制御アンプによって安定化させますが、外部抵抗 R_{SET} をフルスケール調整 (FS ADJ) ピンに接続することによって、2~20 mA の範囲内で設定できます。この外部抵抗とリファレンス制御アンプおよび電圧リファレンス V_{REFIO} により、リファレンス電流 I_{REF} が設定され、それが適切なスケール・ファクタでセグメント化された電流源に複製されます。フルスケール電流 I_{OUTFS} は、 I_{REF} の 32 倍になります。

リファレンス動作

AD9740は、1.2 V のバンドギャップ・リファレンスを内蔵しています。内部リファレンスは無効に設定できませんが、外部リファレンスを使って、性能に影響を及ぼすことなく簡単に無効にすることができます。図 23 にバンドギャップ・リファレンスの等価回路を示します。内部または外部リファレンスのどちらを使用するかに応じて、REFIO が入力または出力として動作します。内部リファレンスを使用するのは簡単です。REFIO と ACOM の各ピン間に 0.1 μ F のコンデンサを接続してデカップリングし、さらに REFLO と ACOM との間を 5 Ω 未満の抵抗で接続します。内部リファレンス電圧は、REFIO ピンから取ります。REFIO の電圧を回路内の他の個所で使用する場合は、入力バイアス電流が 100 nA よりも低いバッファ・アンプを外付けしてください。内部リファレンスを使用する例を図 24 に示します。

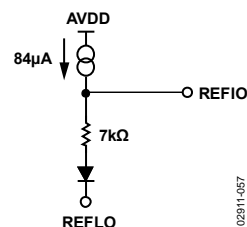


図 23. 内部リファレンスの等価回路

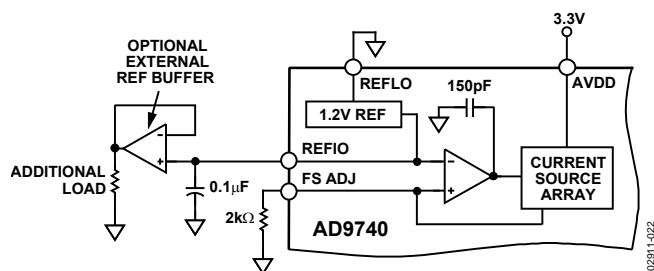


図 24. 内部リファレンスの回路構成

図 25に示すように、外部リファレンスをREFFIOに入力できます。外部リファレンスは、固定リファレンス電圧にすれば精度とドリフト性能が改善でき、可変リファレンス電圧にすればゲインの制御が可能になります。このとき内部リファレンスは無効になるため、0.1 μF の補償用コンデンサを接続する必要はなく、またREFFIOの入力インピーダンスが比較的高いため、外部リファレンスの負荷を最小限に抑えることができます。

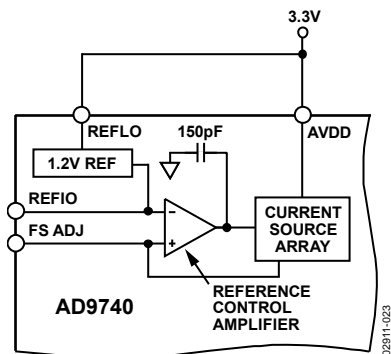


図 25. 外部リファレンスの回路構成

リファレンス制御アンプ

AD9740は、フルスケール出力電流 I_{OUTFS} を安定化させるための制御アンプを内蔵しています。この制御アンプは図 24に示すようにV/Iコンバータ構成になるため、その電流出力 I_{REF} は式 (4) に示すように V_{REFIO} と外部抵抗 R_{SET} の比になります。 I_{REF} はセグメント化された電流源に適切なスケール・ファクタで複製され、これによって式3に示す I_{OUTFS} が設定されます。

I_{REF} を62.5~625 μA の範囲に設定すると、制御アンプによって I_{OUTFS} の調整スパンが広くなり(10:1)、この電流の調整範囲が2~20 mAになります。 I_{OUTFS} が広い調整スパンを持つことで、いくつかの利点が得られます。ひとつはAD9740の消費電力に直接関係しており、これが I_{OUTFS} に比例するという事です(「消費電力」を参照)。もうひとつは20 dBの調整が可能ということで、システムのゲインを調整する場合に便利です。

リファレンス制御アンプは約500 kHzの小信号帯域幅ですが、これを低周波小信号の乗算アプリケーションとしても利用できます。

DACの伝達関数

AD9740は I_{OUTA} と I_{OUTB} の相補電流を出力します。ビットがすべてハイレベルのときは(DACコード=1023)、 I_{OUTA} がフルスケールに近い電流 I_{OUTFS} を出力しますが、このとき相補出力の I_{OUTB} は電流を出力しません。 I_{OUTA} と I_{OUTB} に現れる電流出力は、入力コードと I_{OUTFS} の関数であり、以下の式で求めることができます。

$$I_{OUTA} = (\text{DAC CODE}/1023) \times I_{OUTFS} \quad (1)$$

$$I_{OUTB} = (1023 - \text{DAC CODE})/1024 \times I_{OUTFS} \quad (2)$$

ここで、DAC CODE = 0~1023 (10進数値) です。

前述したように、 I_{OUTFS} はリファレンス電圧 V_{REFIO} と外部抵抗 R_{SET} によって決まるリファレンス電流 I_{REF} の関数です。これは以下の式で表すことができます。

$$I_{OUTFS} = 32 \times I_{REF} \quad (3)$$

ここで

$$I_{REF} = V_{REFIO}/R_{SET} \quad (4)$$

一般的に2つの電流出力から抵抗性負荷を直接もしくはトランスを介して駆動します。DC結合が必要な場合は、アナログ・コモンACOMに接続したマッチング抵抗性負荷 R_{LOAD} に、 I_{OUTA} と I_{OUTB} を直接接続してください。これは両端を終端した50 Ω または75 Ω ケーブルのように、 R_{LOAD} は I_{OUTA} または I_{OUTB} から見ると等価な負荷抵抗値に相当します。 I_{OUTA} と I_{OUTB} の各ノードに現れるシングルエンドの電圧出力は、以下のように簡単に表すことができます。

$$V_{OUTA} = I_{OUTA} \times R_{LOAD} \quad (5)$$

$$V_{OUTB} = I_{OUTB} \times R_{LOAD} \quad (6)$$

ここでは、歪みや線形性に関して規定の性能を得るために、 V_{OUTA} と V_{OUTB} のフルスケール値が規定の出力コンプライアンス・レンジ内に収まるように注意してください。

$$V_{DIFF} = (I_{OUTA} - I_{OUTB}) \times R_{LOAD} \quad (7)$$

I_{OUTA} 、 I_{OUTB} 、 I_{REF} の値を代入すると、 V_{DIFF} は以下ようになります。

$$V_{DIFF} = \{(2 \times \text{DAC CODE} - 1023)/1024\} \\ (32 \times R_{LOAD}/R_{SET}) \times V_{REFIO} \quad (8)$$

式7と式8から、AD9740を差動で動作させる利点がわかります。ひとつは、差動動作によってノイズや歪み、DCオフセットなど、 I_{OUTA} と I_{OUTB} の同相誤差となる要因を除去できることです。もうひとつは、コードに依存した差動電流とそれにより生じる電圧 V_{DIFF} はシングルエンドの電圧出力(V_{OUTA} または V_{OUTB})の2倍になるため、負荷に対して2倍の信号パワーを得ることができます。

式8に示すレシオメトリックの関係を考慮して、温度にトラッキングする抵抗を R_{LOAD} と R_{SET} に採用すれば、AD9740のシングルエンド出力(V_{OUTA} と V_{OUTB})または差動出力(V_{DIFF})のゲイン・ドリフト温度性能が改善できます。

アナログ出力

DACの相補電流出力である I_{OUTA} と I_{OUTB} はシングルエンドまたは差動動作として設定することができます。「DACの伝達関数」の式5~8で示したように、負荷抵抗 R_{LOAD} を使用して I_{OUTA} と I_{OUTB} をシングルエンドの相補電圧出力 V_{OUTA} と V_{OUTB} に変換できます。トランスや差動アンプを用いた回路構成によって、 V_{OUTA} と V_{OUTB} の間に生じる差動電圧 V_{DIFF} をシングルエンド電圧に変換することもできます。AD9740のAC性能は、 I_{OUTA} と I_{OUTB} の電圧振幅レベルを ± 0.5 Vに制限したうえで差動トランス結合出力を使用することで、最適値として規定されています。

AD9740を差動動作に構成すると、歪みとノイズ性能が改善できます。トランスまたは差動アンプの同相ノイズ除去性能によって、 I_{OUTA} と I_{OUTB} の同相誤差要因が大幅に低減されます。この同相誤差発生要因としては、偶数次歪み積やノイズなどがあります。再構成された信号波形の周波数成分が増加したり、その振幅が減少すればするほど、歪み性能が大きく改善します。これはさまざまかつダイナミックな同相歪みのメカニズムやデジタル・フィードスルー、ノイズが一次的に打ち消されるためです。

トランスにより差動/シングルエンド変換すると、負荷に対して再構成信号を2倍のパワーで供給できます(ソース終端がないものと仮定)。IOUTA と IOUTB の出力電流は相補的であるため、差動で処理すると足し合わされるようになります。トランスを正しく選択すれば、AD9740 はさまざまな負荷に対して必要なパワーおよび電圧レベルを供給できます。

IOUTA と IOUTB の出力インピーダンスは、電流源が接続されたPMOS スイッチが等価的に並列接続で組み合わせられた回路によって決定され、その代表値は 5 pF との並列接続時で 100 k Ω です。PMOS デバイスの特性により、出力インピーダンスは出力電圧 (V_{OUTA} と V_{OUTB}) にも多少依存します。そのため I/V オペアンプの回路構成を使って、IOUTA と IOUTB またはそのいずれかを仮想グラウンド・レベルに維持すれば、DC 直線性が最適化できます。なお AD9740 の INL/DNL 仕様は、オペアンプを使い IOUTA を仮想グラウンド・レベルにした状態で測定しています。

最適な性能を実現するために、IOUTA と IOUTB にも順守すべき正と負の電圧コンプライアンス範囲があります。CMOS プロセスのブレークダウン限界に基づき、-1 V の負出力コンプライアンス範囲が設定されています。この最大制限値を超える動作は、出力段のブレークダウンを引き起こし、AD9740 の信頼性を損なうことがあります。

正の出力コンプライアンス範囲は、フルスケール出力電流 I_{OUTFS} に多少依存します。 $I_{OUTFS}=20$ mA 時の 1.2 V の定格値は、 $I_{OUTFS}=2$ mA のとき 1 V と、やや劣化します。IOUTA と IOUTB の最大フルスケール信号が 0.5 V を超えない限り、シングルエンドまたは差動出力で最適な歪み性能が得られます。

デジタル入力

AD9740 のデジタル回路部は、10 ビットの入力チャンネルと 1 本のクロック入力で構成されています。10 ビットのパラレル・データ入力は、DB9 を最上位ビット (MSB) とし、DB0 を最下位ビット (LSB) とする標準的な正のバイナリ・コーディングに従います。すべてのデータビットがロジック 1 のとき、IOUTA がフルスケール電流を出力します。IOUTB は相補出力を提供し、フルスケール電流は入力コードの関数により 2 つの出力に分割されます。

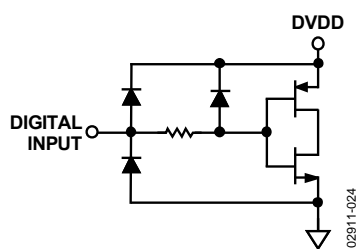


図 26. デジタル入力の等価回路

デジタル・インターフェースは、エッジ・トリガ方式のマスター/スレーブ・ラッチになっています。DAC 出力はクロックの立上がりエッジで更新され、210 MSPS のクロック・レートに対応しています。このクロックは、規定のパルス幅を満たせば任意のデューティ・サイクルで動作させることができます。規定の最小時間を満たす限り、セットアップおよびホールド時間をクロック・サイクルの範囲内で変化させることもできますが、これらの遷移エッジの場所によってデジタル信号の漏れ出しや歪み特性が劣化することがあります。一般的にデューティ・サイクルが 50% のクロックの立上がりエッジで入力データが遷移するとき、最高の性能が得られます。

クロック入力

SOIC/TSSOPパッケージ

28 ピン・パッケージ品のシングルエンド・クロック入力 (CLOCK) は、レール to レール CMOS レベルで駆動してください。DAC 出力の品質はクロックの品質と直接関係しており、ジッタが重要な問題になります。クロック内のノイズやジッタはすべて、DAC 出力に直接現れてしまいます。DAC ラッチは立上がりエッジでトリガされるため、CLOCK 入力の立上がりエッジが急峻であればあるほど、良好な性能が得られます。

LFCSPパッケージ

LFCSP パッケージ品ではクロック入力を設定することができます。シングルエンド・クロック・モードのほか、2 つの差動クロック・モードでの動作が可能になります。モードの選択は表 6 に示すように CMODE 入力で行います。CMODE を CLKCOM に接続すると、シングルエンド・クロック入力を選択されます。このモードでは、CLK+ 入力をレール to レール振幅で駆動し、CLK- 入力はオープンのままにします。CMODE を CLKVDD に接続すると、差動レシーバ・モードが選択されます。このモードでは、どちらの入力も高インピーダンスになります。第 3 のモードは CMODE をオープン (Float) のままにします。このモードも差動ですが、正エミッタ結合ロジック (PECL) 対応の内部終端回路が有効になります。性能の点で、この 3 つのクロック・モードに大きな差はありません。

表 6. クロック・モードの選択

CMODE Pin	Clock Input Mode
CLKCOM	Single-ended
CLKVDD	Differential
Float	PECL

前述したように、シングルエンド入力モードは 28 ピン・パッケージ品のクロック入力と同様の動作をします。

差動入力モードでは、クロック入力は高インピーダンスの差動ペアとして機能します。CLK+ 入力と CLK- 入力の同相電圧レベルは 0.75~2.25 V の範囲で変えられ、差動電圧は最小 0.5 V p-p になります。このモードを使うと、クロックを差動サイン波で駆動することができます。広いゲイン帯域幅を持つ差動入力によりサイン波をシングルエンドの方形波に内部で変換できるためです。

3 番目のクロック・モードでは、PECL ロジックを使って DAC クロックを基板上で分配すれば、外付け部品数を低減できます。内部終端回路構成を図 27 に示します。これらの終端抵抗はトリミングされていないため、最大 $\pm 20\%$ の違いがあります。ただし、抵抗間のマッチングは一般に $\pm 1\%$ 以下です。

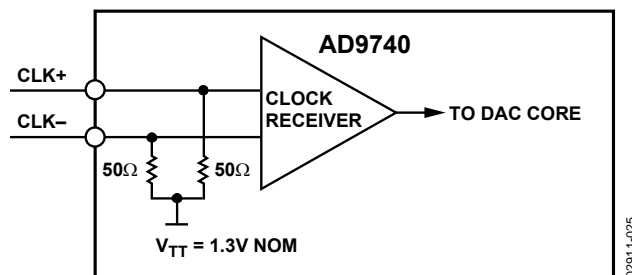


図 27. PECL モードのクロック終端

DACのタイミング

入力クロックとデータのタイミング関係

DACのダイナミック性能は、クロック・エッジの位置と入力データが変化するタイミングとの関係に依存します。AD9740は立上がりエッジでトリガされるため、データ変化がこのエッジに近いとき、ダイナミック性能が影響を受けやすくなります。一般に、AD9740を使用するときの目標は、データ変化をクロックの立下がりエッジ付近にすることです。これはサンプル・レートが大きくなるほど重要になります。図28に、サンプル・レートごとのクロック位置とSFDRとの関係を示します。サンプル・レートを低くすればするほど、クロックの位置を設定できる範囲が広がりますが、サンプル・レートが高くなるほど、注意が必要になります。

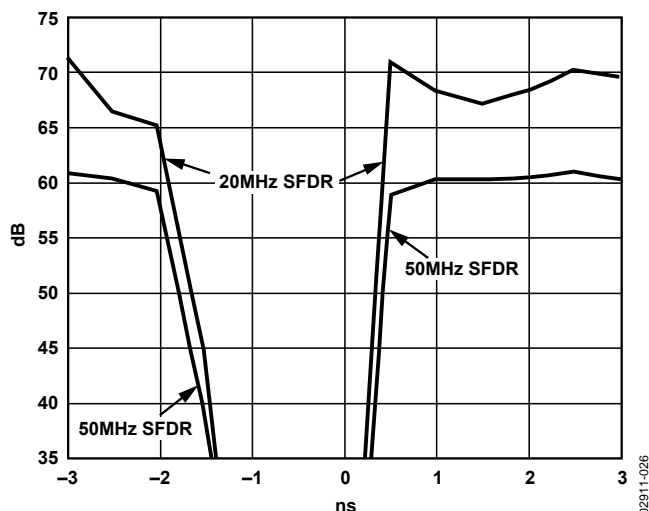


図28. クロック位置 対 SFDR @ $f_{OUT} = 20$ MHz および 50 MHz ($f_{CLOCK} = 165$ MSPS)

スリープ・モード動作

AD9740は出力電流をオフにして、2.7~3.6Vの規定電源範囲と温度範囲で電源電流を6mA以下まで低減するパワーダウン機能を備えています。SLEEPピンをロジック・レベル1に設定すると、このモードがアクティブになります。SLEEPピンのロジック・スレッシュホールドは、0.5 AVDDです。このデジタル入力にはアクティブ・プルダウン回路も内蔵しており、入力が未接続のままでもAD9740をイネーブルの状態に維持できます。AD9740は50ns未満でパワーダウン・モードに入り、約5 μ sで復帰します。

消費電力

AD9740の消費電力 P_D は、以下のようないくつかの要素に依存しています。

- 電源電圧 (AVDD、CLKVDD、DVDD)
- フルスケール電流出力 (I_{OUTFS})
- 更新レート (f_{CLOCK})
- 再生されたデジタル入力信号波形

消費電力はアナログ電源電流 I_{AVDD} およびデジタル電源電流 I_{DVDD} に比例します。 I_{AVDD} は図29に示すように I_{OUTFS} に比例し、 f_{CLOCK} とは無関係です。これに対して、 I_{DVDD} はデジタル入力信号波形 f_{CLOCK} とデジタル電源DVDDの両方に依存します。図30に、DVDD = 3.3Vで各種の更新レートを適用した場合、 I_{DVDD} 特性がフルスケール・サイン波出力比 (f_{OUT}/f_{CLOCK}) の関数として変化する様子を示します。

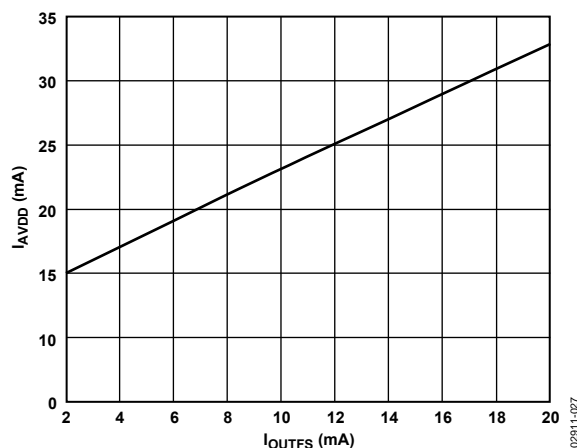


図29. I_{OUTFS} 対 I_{AVDD}

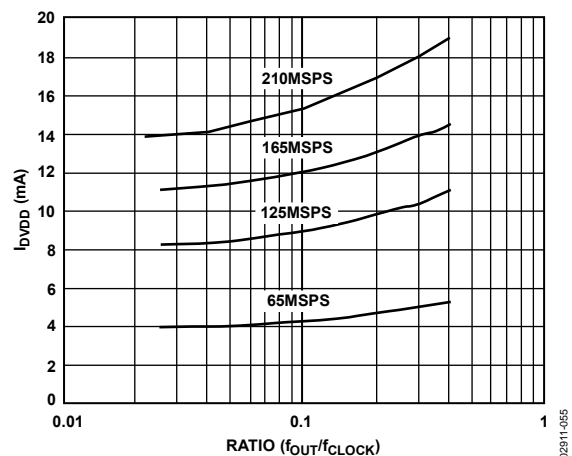


図30. フルスケール・サイン波出力比 対 I_{DVDD} @ DVDD = 3.3V

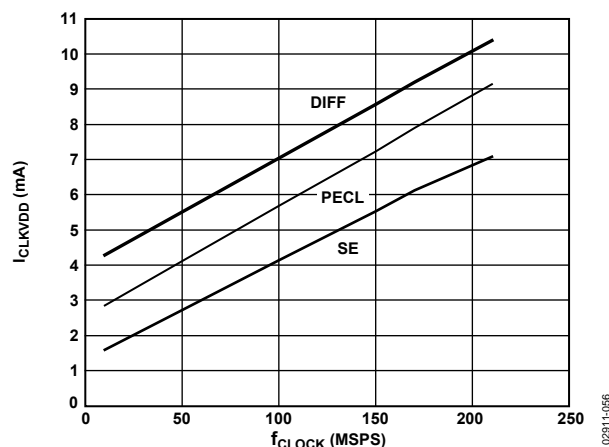


図31. 各種クロック・モードでの f_{CLOCK} 対 I_{CLKVDD}

AD9740 のアプリケーション

出力構成

以下ではAD9740の代表的な出力回路構成を、いくつか例を挙げて説明します。特に記載しない限り、 I_{OUTFS} は公称値20 mAに設定されているものとします。最適なダイナミック性能が要求されるアプリケーションの場合は、差動出力構成を推奨します。差動出力回路は、RFトランスまたは差動オペアンプを用いて構成することができます。AC結合が可能なすべてのアプリケーションに対し、最適な高周波数性能を得るため、トランスによる回路構成を推奨します。差動オペアンプによる回路構成は、DC結合、バイポーラ出力、信号ゲイン、レベル・シフトが必要なアプリケーションに選択したオペアンプの帯域幅範囲において良好に使えます。

シングルエンド出力は、ユニポーラ電圧出力を必要とするアプリケーションに適しています。IOUTAとIOUTBの両方またはいずれかを、ACOMを基準とし、適切な値の負荷抵抗 R_{LOAD} に接続すると、正極性のユニポーラ電圧が得られます。この構成は、グラウンド基準の出力電圧が必要な、DC結合単電源システムに最適です。これとは別に、アンプをI/Vコンバータとして構成し、IOUTAまたはIOUTBを負極性のユニポーラ電圧に変換することも可能です。この構成であれば、IOUTAまたはIOUTBが仮想グラウンドのレベルに維持されるため、最良のDC直線性が得られます。

トランスを使用した差動結合

図 32に示すように、RFトランスを使用して、差動/シングルエンド信号変換が可能です。差動結合トランス出力は、出力信号のスペクトル成分がトランスの通過帯域内である場合、最適な歪み性能を示します。Mini-Circuits® T1-1TなどのRFトランスは、幅広い周波数範囲で同相歪み（つまり偶数次高調波）とノイズに対して優れた除去性能を示します。さらに、電気的な絶縁機能を持っているほか、負荷に対して2倍のパワーが得られます。インピーダンスをマッチングさせるために、インピーダンス比の異なるトランスも使用可能です。なお、トランスはAC結合のみで使用可能であることを忘れないでください。

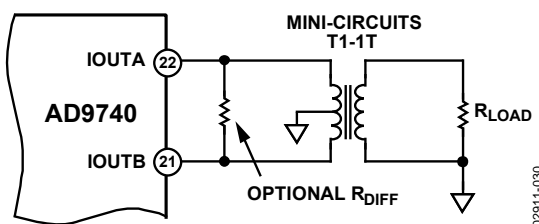


図 32. トランスを使用した差動出力

IOUTA と IOUTB の両方に必要な DC 電流経路を確保するために、トランス一次側のセンター・タップは ACOM に接続します。IOUTA と IOUTB に現れる相補電圧 (V_{OUTA} と V_{OUTB}) は、ACOM を中心とする対称な振幅が得られますが、AD9740 規定の出力コンプライアンス範囲に維持しなければなりません。トランスの出力が受動素子による再構成フィルタやケーブルを通して抵抗負荷 R_{LOAD} に接続しているアプリケーションでは、差動抵抗 R_{DIFF} を挿入できます。 R_{DIFF} の値はトランスのインピーダンス比によって決まりますが、適切に信号源終端をすることで、低い VSWR が維持できます。この場合、信号パワーの約半分は R_{DIFF} で消費されます。

オペアンプを使用した差動結合

図 33に示すように、オペアンプを使用して差動/シングルエンド信号変換を行うこともできます。同じ $25\ \Omega$ の 2 本の負荷抵抗 R_{LOAD} を AD9740 に外付けします。IOUTA と IOUTB 間で生成された差動電圧は、差動オペアンプ回路によってシングルエンド信号に変換されます。コンデンサを IOUTA と IOUTB の間に必要に応じて挿入し、ローパス・フィルタを形成できます。このコンデンサを追加すれば、DAC の高スルー出力によるオペアンプの入力過負荷を生じることがなくなり、オペアンプの歪み性能も改善できます。

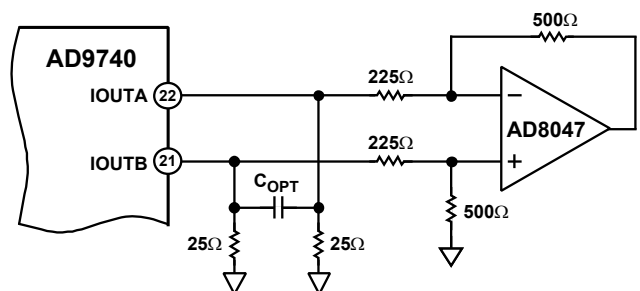


図 33. オペアンプを使用した DC 差動結合

この回路構成での同相ノイズ除去性能は、一般に抵抗のマッチングによって決まります。この回路ではAD8047を利用して差動オペアンプ回路を構成し、信号ゲインをある程度持たせています。オペアンプの出力は約 $\pm 1\text{ V}$ なので、両電源で動作させる必要があります。AD9740の差動性能を維持しながら、システム・レベルのその他の目標値（コスト、電力）を満たすことのできる高速アンプを選択しなければなりません。この回路を最適化するには、オペアンプの差動ゲイン、ゲイン設定抵抗の値、要求されるフルスケール出力振幅が可能かどうかを考慮してください。

図 34に示す差動回路は、単電源システムに必要なレベル・シフト動作が可能です。この場合、AD9740 とオペアンプ用の正のアナログ電源である AVDD も、AD9740 の差動出力を中間電源電圧 ($AVDD/2$) にレベル・シフトするために使用しています。AD8041 は、このアプリケーションに適したオペアンプです。

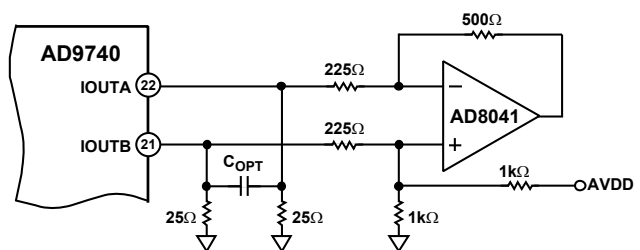


図 34. 単電源の DC 差動結合回路

シングルエンドの非バッファ電圧出力

図 35 の回路は、50 Ω のケーブルの両端を終端したことで、20 mA の定格フルスケール電流 I_{OUTFS} が等価的に 25 Ω の負荷抵抗 R_{LOAD} を流れ、約 0~0.5 V の範囲のユニポーラ出力が得られるように、AD9740 が設定されています。この場合 R_{LOAD} は、 I_{OUTA} または I_{OUTB} から見て等しい負荷抵抗値になります。使用しない出力 (I_{OUTA} または I_{OUTB}) は $ACOM$ に直接、またはマッチング抵抗 R_{LOAD} を介して $ACOM$ に接続します。正のコンプライアンス範囲を順守していれば、異なる値の I_{OUTFS} と R_{LOAD} も選択可能です。「アナログ出力」で説明したように、このモードでは積分非直線性 (INL) についても配慮する必要があります。最適な INL 性能を確保するために、シングルエンドのバッファ電圧出力の回路構成を推奨します。

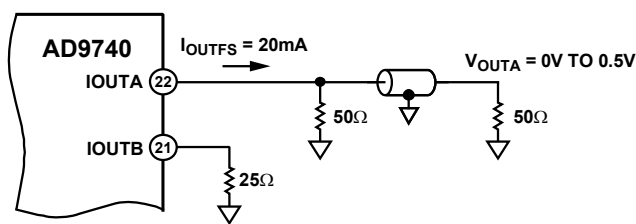


図 35. 非バッファの 0~0.5 V 電圧出力

シングルエンドのバッファ電圧出力構成

図 36 は、オペアンプ U1 が AD9740 の出力電流を I/V 変換する、シングルエンド・バッファ出力の回路構成です。U1 で I_{OUTA} (または I_{OUTB}) を仮想グラウンド・レベルに維持しているため、「アナログ出力」で説明したように、DAC の INL 性能に影響を与える出力インピーダンスの非線形性の影響を抑制できます。このシングルエンド構成で、最良の DC 直線性が一般的に得られますが、DAC の更新レートが速くなると、U1 のスルーレートによって AC 歪み性能が制限されてしまうことがあります。U1 から負のユニポーラ出力電圧が得られ、そのフルスケール出力電圧は R_{FB} と I_{OUTFS} の積になります。 I_{OUTFS} と R_{FB} またはそのいずれかをスケールして、U1 の電圧出力振幅レベルの範囲内にフルスケール出力が収まるように設定します。 I_{OUTFS} を低減すると、U1 がシンクする信号電流が少なくなるため、AC 歪み性能が改善できます。

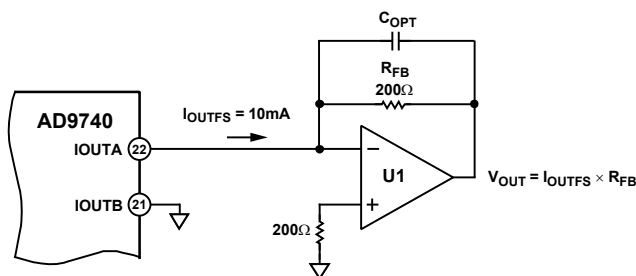


図 36. ユニポーラのバッファ電圧出力

電源とグラウンディングに関する留意事項、電源電圧変動除去比

多くのアプリケーションにおいて、理想的とはいえ動作条件で高速性と高性能が追求されています。このようなアプリケーションでは、プリント基板の設計と実装が回路設計と同じくらい重要になります。最適な性能を実現するには、デバイスの選択、配置、配線方法、さらには電源のバイパス処理、グラウンディングに対して、正しい高周波回路技術を適用しなければなりません。図 41~図 44 に、AD9740 評価用ボードでも実際に使用されている、

プリント基板の推奨グラウンド層、電源層、信号のレイアウトを示します。

アナログ/デジタル DC 電源分配に重畳した、DC 変動や AC ノイズを除去できる DAC 出力の性能は、システム性能を大きく左右する要素の 1 つです。これは電源電圧変動除去比 (PSRR) と呼ばれます。電源の DC 変動の影響を受けると、DAC のフルスケール電流 I_{OUTFS} に関連して生じるゲイン誤差として、DAC 性能がそのまま現れてきます。スイッチング電源により電源分配するアプリケーションでは、DC 電源に AC ノイズが乗る現象がよく見られます。スイッチング電源ノイズは、通常、数十キロヘルツから数メガヘルツのスペクトルに発生します。この周波数範囲における AD9740 の AVDD 電源周波数と PSRR の関係を図 37 に示します。

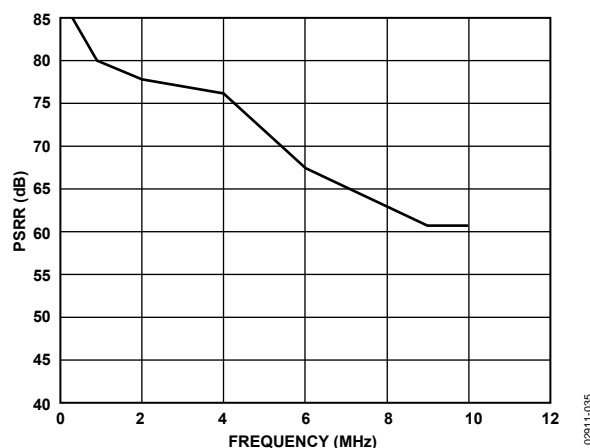


図 37. 電源電圧除去比 (PSRR)

図 37 の電源電圧除去比は、(電流出力/電圧入力) の単位で表記しています。アナログ電源に乗るノイズが内部スイッチ動作を変調させてしまうため、出力電流に悪影響を及ぼします。したがって、使用する IOUT 出力に AVDD 上の電圧ノイズが非線形的に乗ってきます。これらのスイッチは相対的に異なるサイズであるため、PSRR のコード依存性が非常に高くなります。これが原因で、低周波数の電源ノイズが、高い周波数に変調されるミキシング効果として現れます。差動 DAC 出力のいずれかについて、PSRR が最悪になるのは、フルスケール電流がその出力に対して流れるときです。

このため図 37 に示す PSRR 測定値は、最悪状態を示しています。つまりデジタル入力がスタティック状態で、20 mA のフルスケール出力電流が測定対象の DAC 出力に対して流れている場合です。

次に、アナログ電源に混入するノイズの影響について説明します。まず、スイッチング周波数 250 kHz のスイッチング・レギュレータが 10 mV のノイズを発生するものとします。単純化するために (高調波を無視することにして)、このノイズがすべて 250 kHz に集中しているとしましょう。この不要ノイズが DAC のフルスケール電流 I_{OUTFS} に重畳されて、どれだけの量の電流ノイズになるかを計算するには、図 37 から 250 kHz 時の PSRR (dB) を求める必要があります。任意の値の R_{LOAD} に対して PSRR を計算するには、PSRR の単位が A/V から V/V に変換されるように、 $20 \Omega \times \log (R_{LOAD})$ のスケール係数を用いて図 37 の曲線を調整してください。たとえば R_{LOAD} が 50 Ω の場合、PSRR は 34 dB 低下します (すなわち図 37 で、250 kHz 時の DAC の PSRR が 85 dB であるものが、51 dB V_{OUT}/V_{IN} になります)。

すべての高速、高分解能システムでは、正しいグラウンディングとデカップリングを行うことが設計で肝要です。AD9740では、システム内のアナログおよびデジタルのグラウンド電流を最適に制御できるように、電源ピンおよびグラウンド・ピンをアナログとデジタルで別々に用意しています。通常は、アナログ電源 AVDD とアナログ・コモン ACOM の間をデカップリングし、デカップリング用コンデンサを可能な限りチップの近くに配置してください。これと同様に、デジタル電源 DVDD と DCOM の間もできる限りチップの近くでデカップリングしてください。

アナログとデジタル両方の電源として 3.3 V の単電源が必要なアプリケーションでは、図 38 に示す回路を使用してクリーンなアナログ電源を生成できます。この回路は差動の LC フィルタ、個別の電源、リターン・ラインで構成されています。低 ESR タイプの電解コンデンサかタンタル・コンデンサを利用することで、ノイズを低減できます。

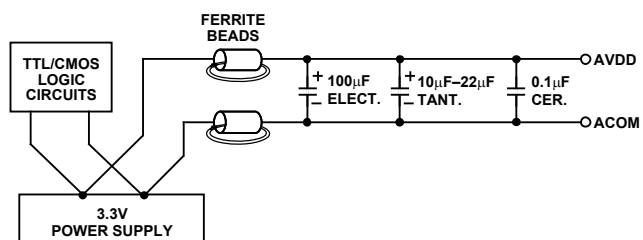


図 38. 単電源 3.3 V アプリケーション用の差動 LC フィルタ

評価用ボード

概要

TxDAC ファミリー評価用ボードを利用することで、SOIC および LFCSP パッケージの TxDAC 製品のセットアップとテストが容易になります。レイアウトと回路設計に細心の注意が払われているほか、プロトタイプ実装領域もあるため、高分解能、高速変換が必要なすべてのアプリケーションで AD9740 を的確に評価できます。

この評価用ボードにより、さまざまな構成で AD9740 を柔軟に動作させることができます。可能な出力回路構成として、トランス結合、抵抗終端、シングルエンドや差動出力などがあります。デジタル入力は、各種のワード生成器から駆動できるように設計されているほか、負荷終端が正しくできるように抵抗ネットワークを基板上に追加することもできます。AD9740 を内部あるいは外部リファレンスで動作させたり、パワーダウン機能を動作させることもできます。

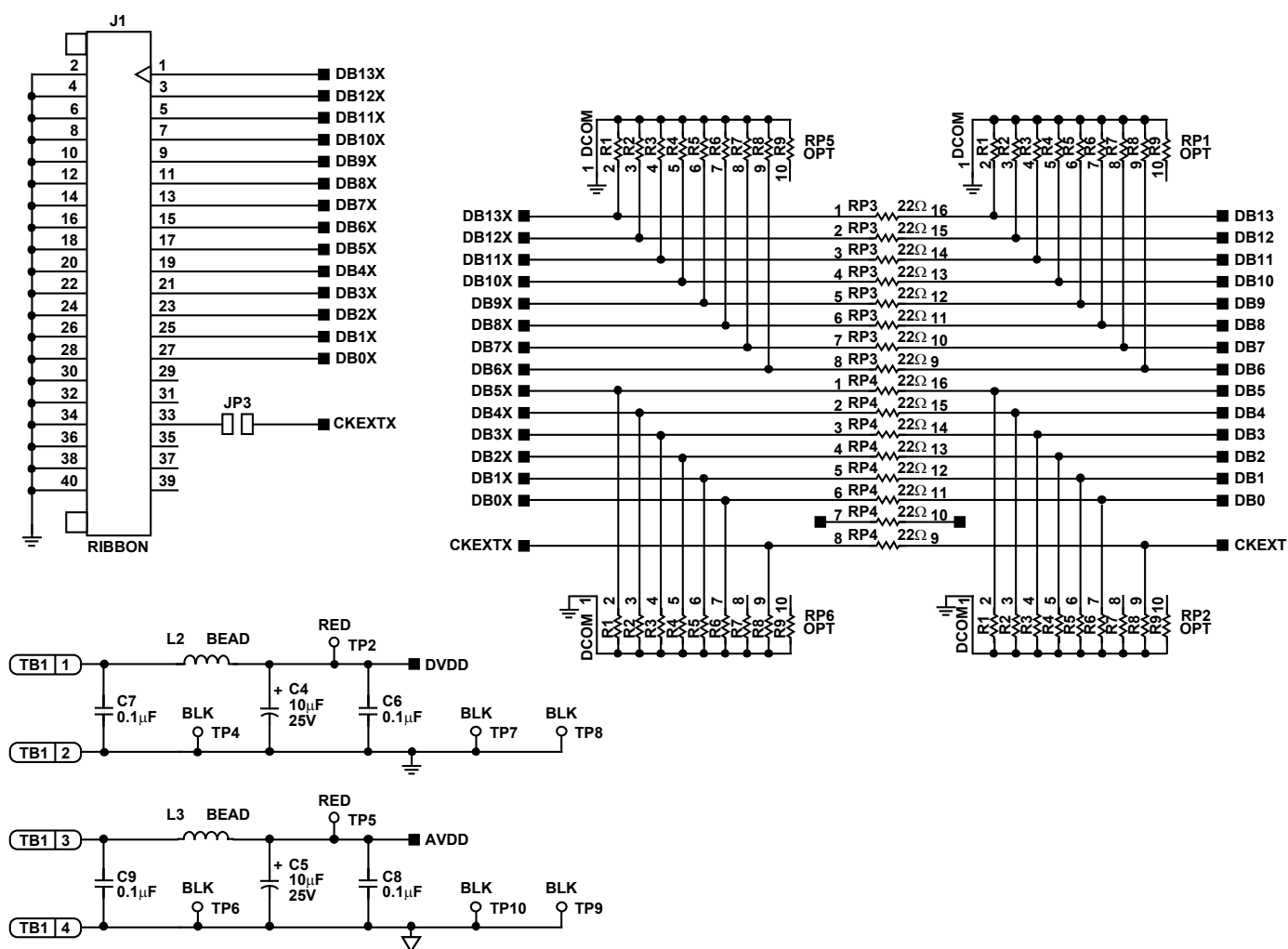


図 39. SOIC 評価用ボード：電源およびデジタル入力

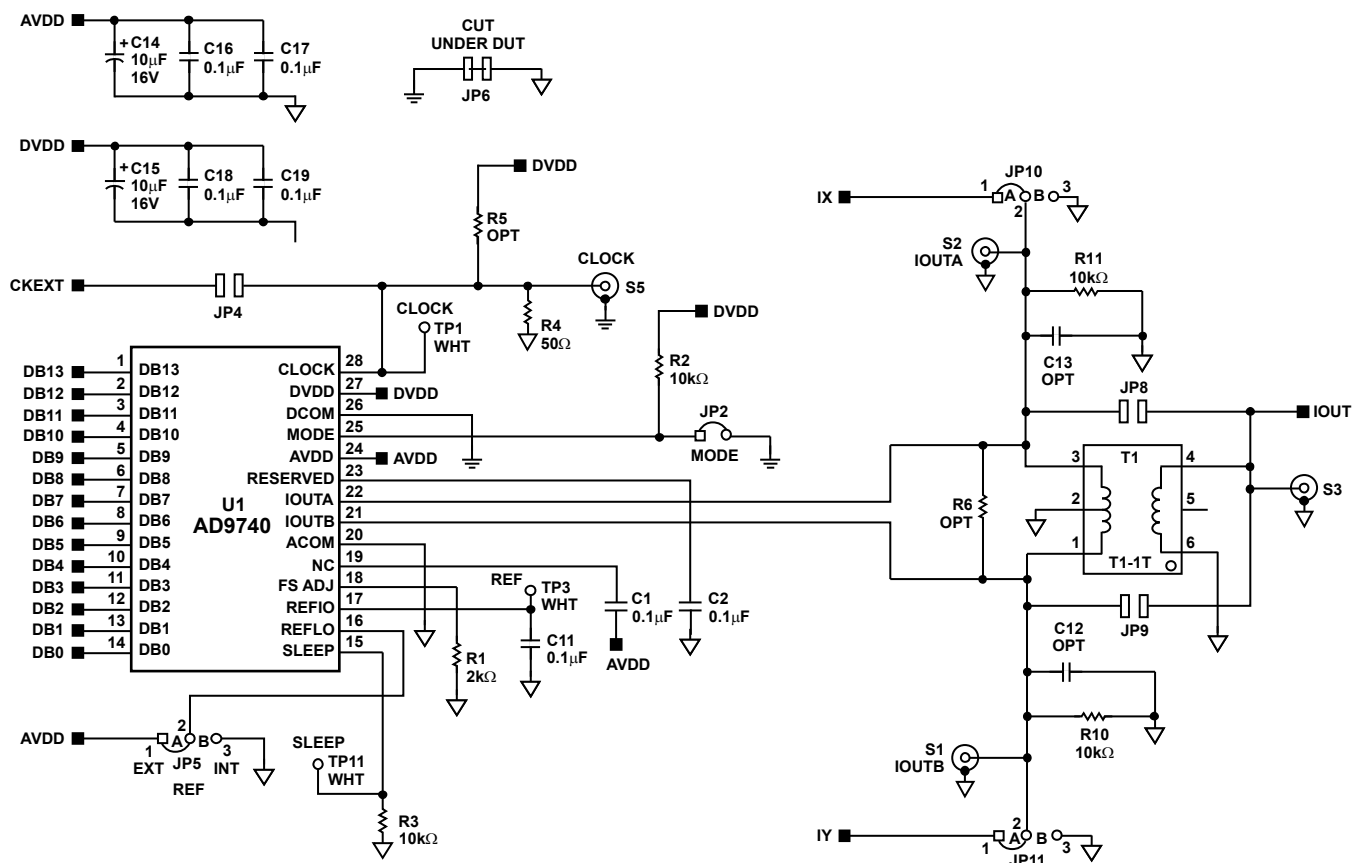


図 40. SOIC 評価用ボード：出力信号コンディショニング

02911-03B

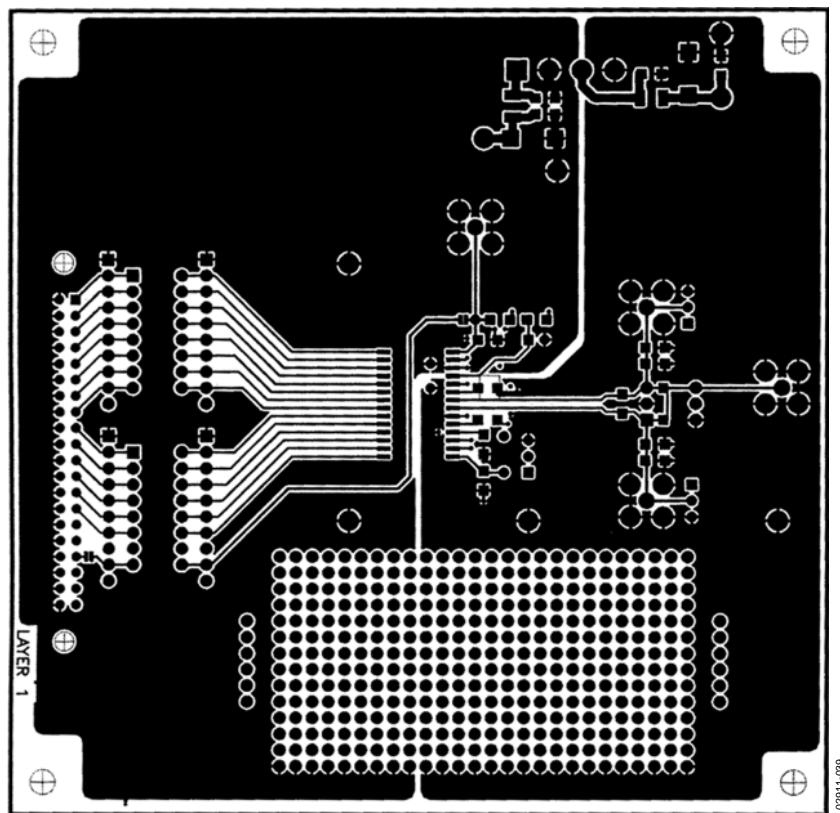


図 41. SOIC 評価用ボード：表面

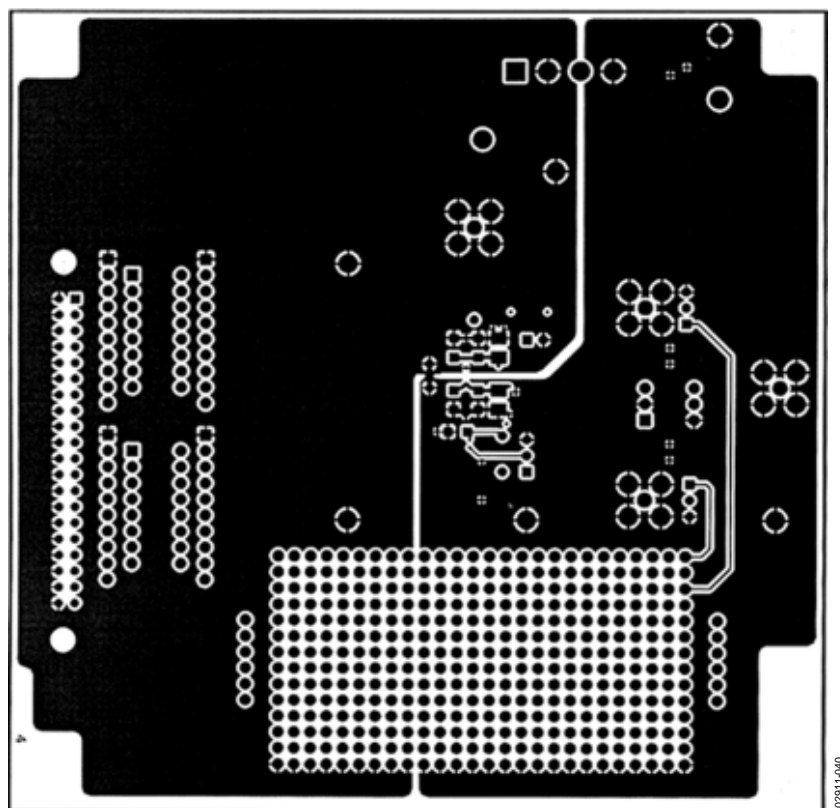


図 42. SOIC 評価用ボード：裏面

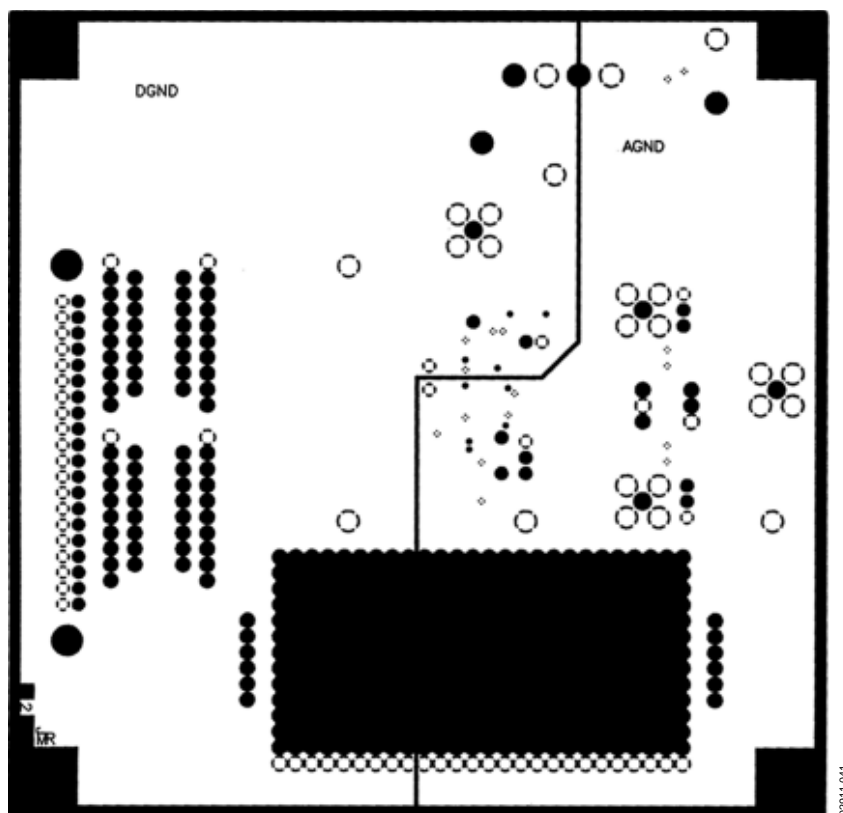


図 43. SOIC 評価用ボード：グラウンド・プレーン

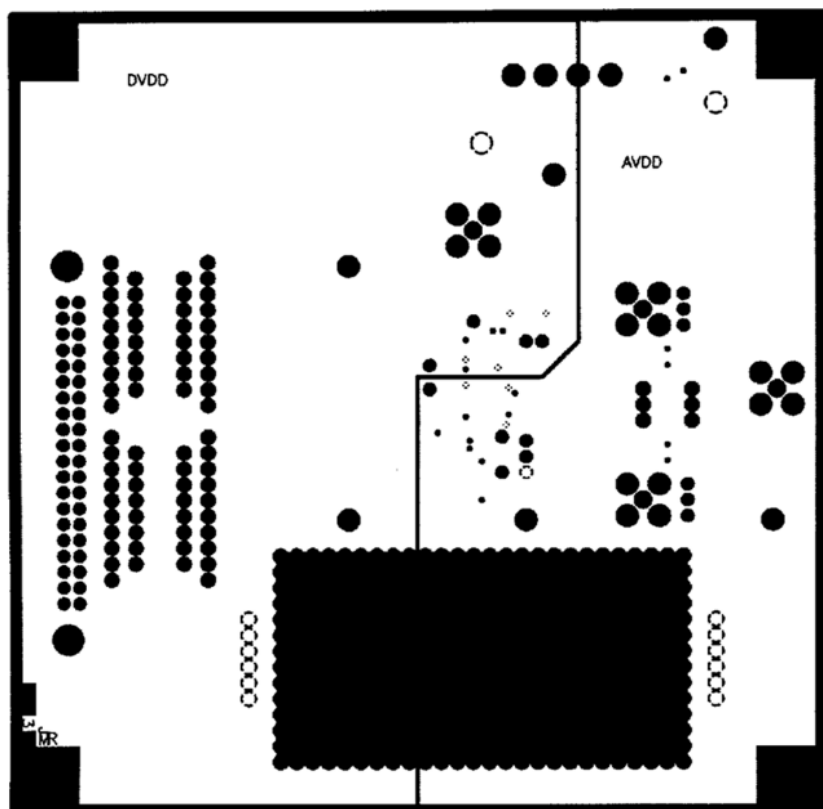


図 44. SOIC 評価用ボード：電源プレーン

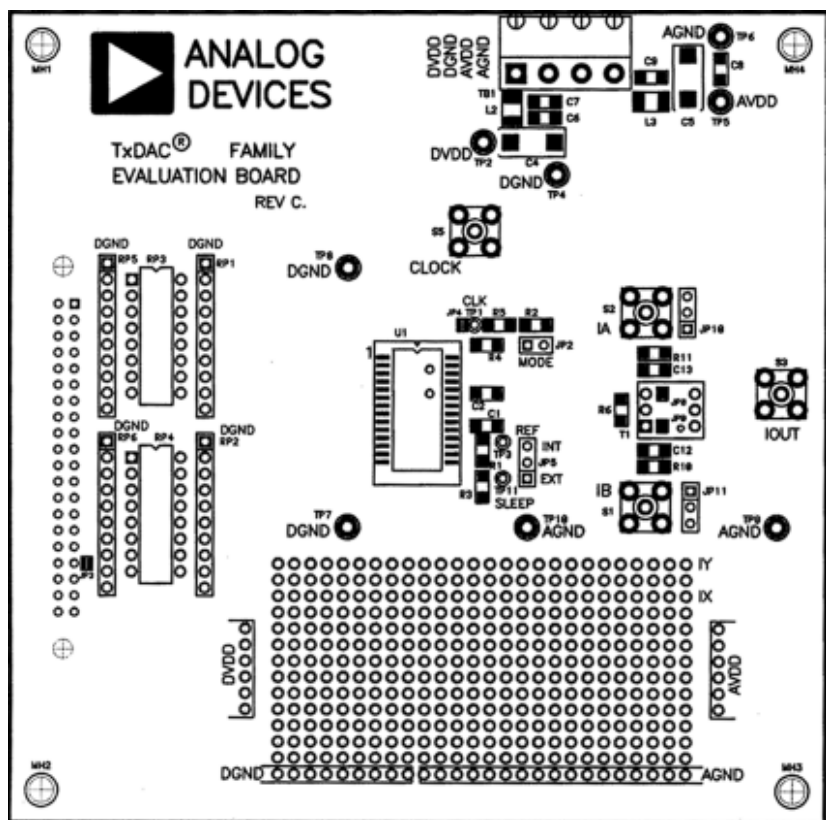


図 45. SOIC 評価用ボード・アセンブリ：表面

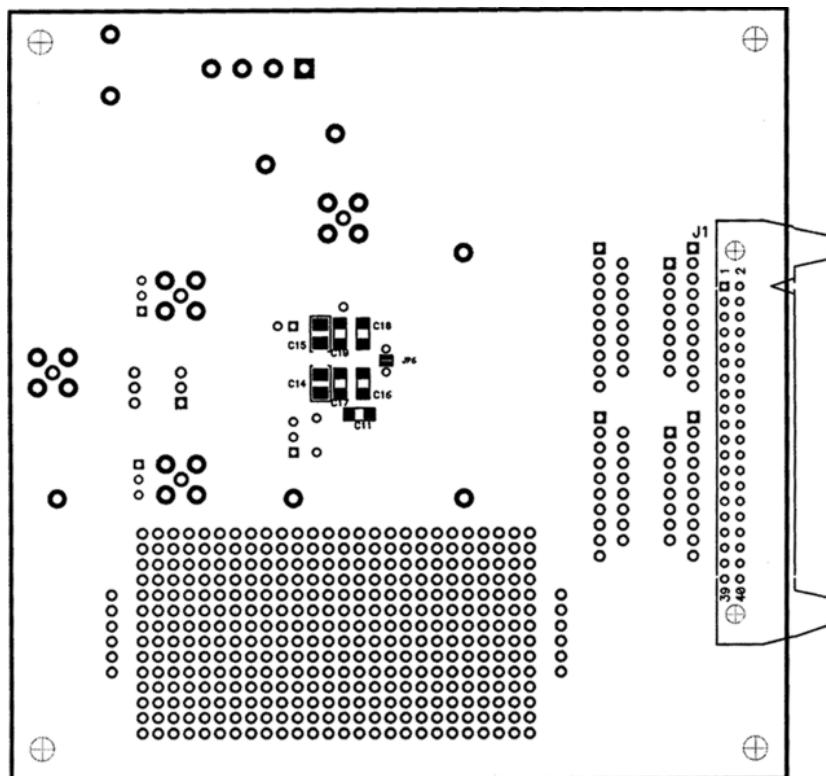


図 46. SOIC 評価用ボード・アセンブリ：裏面

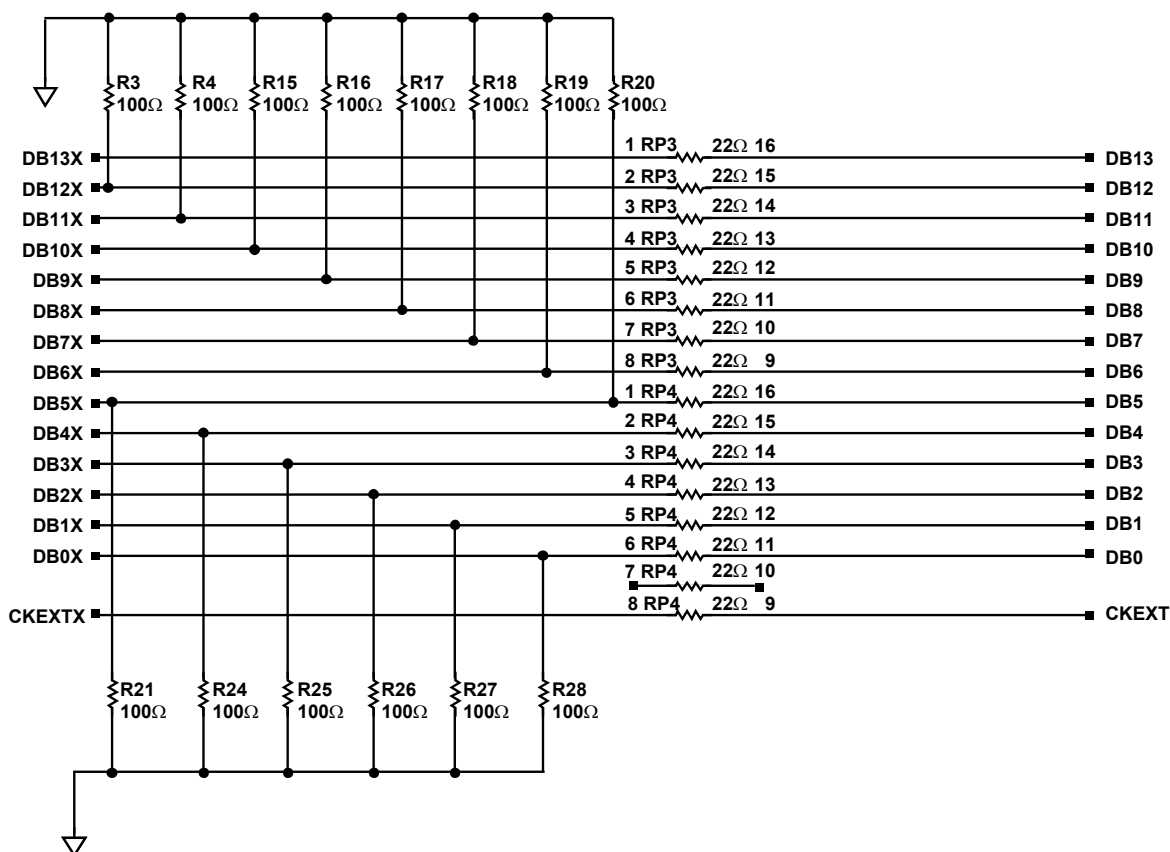
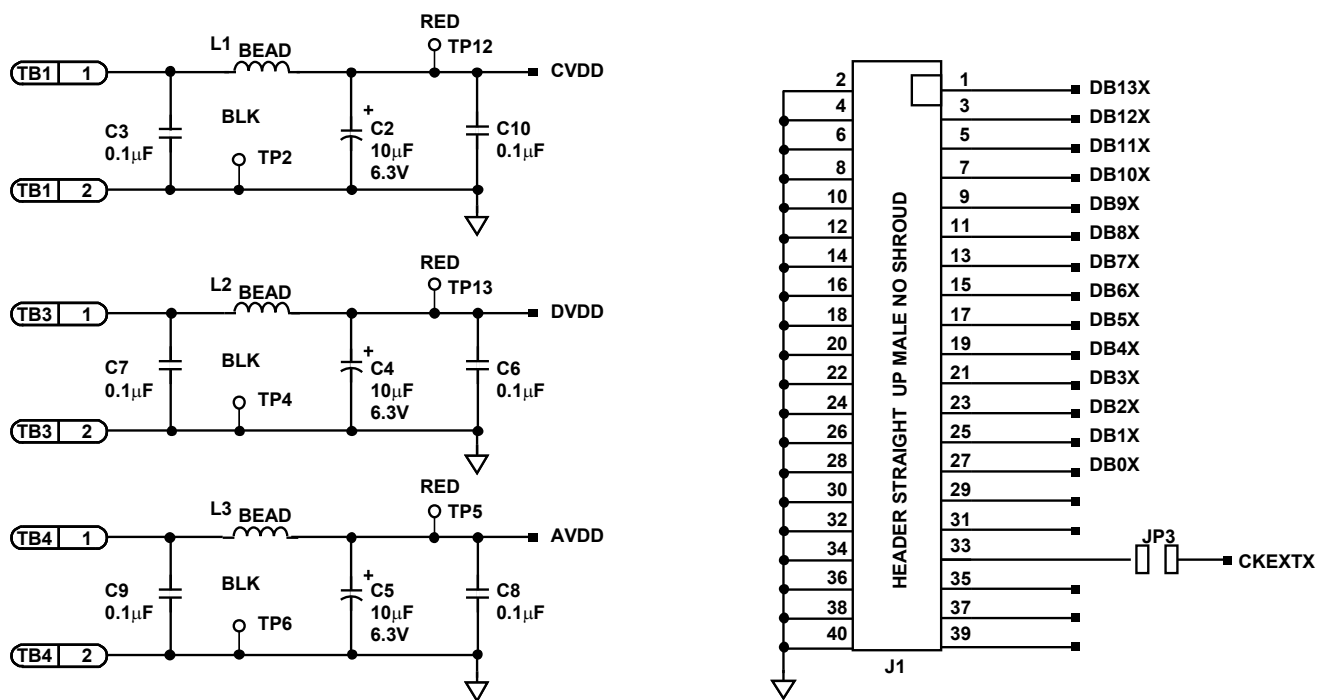


図 47. LFCSP 評価用ボードの回路図：電源およびデジタル入力

02911-045

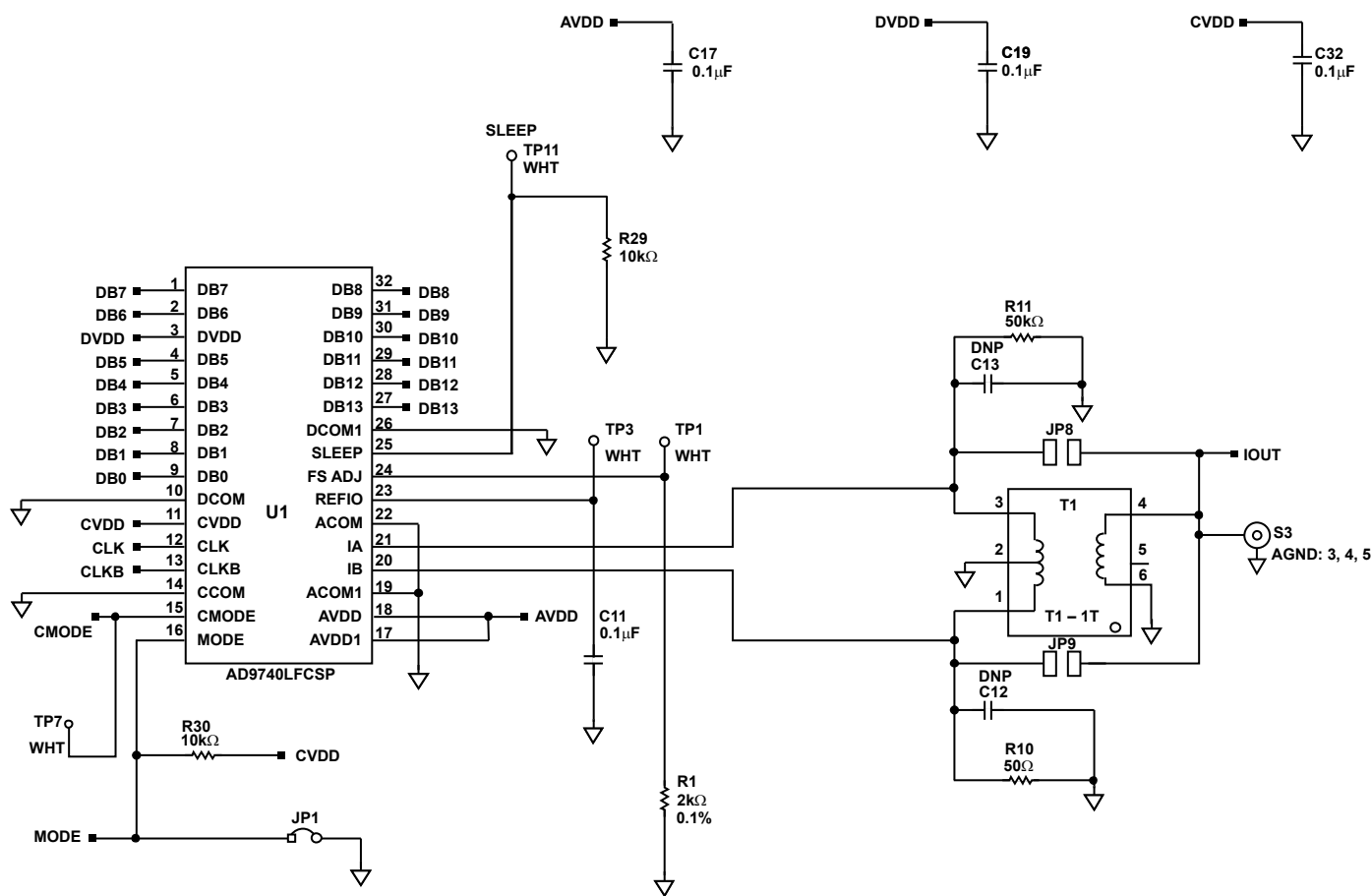


図 48. LFCSP 評価用ボードの回路図：出力信号コンディショニング

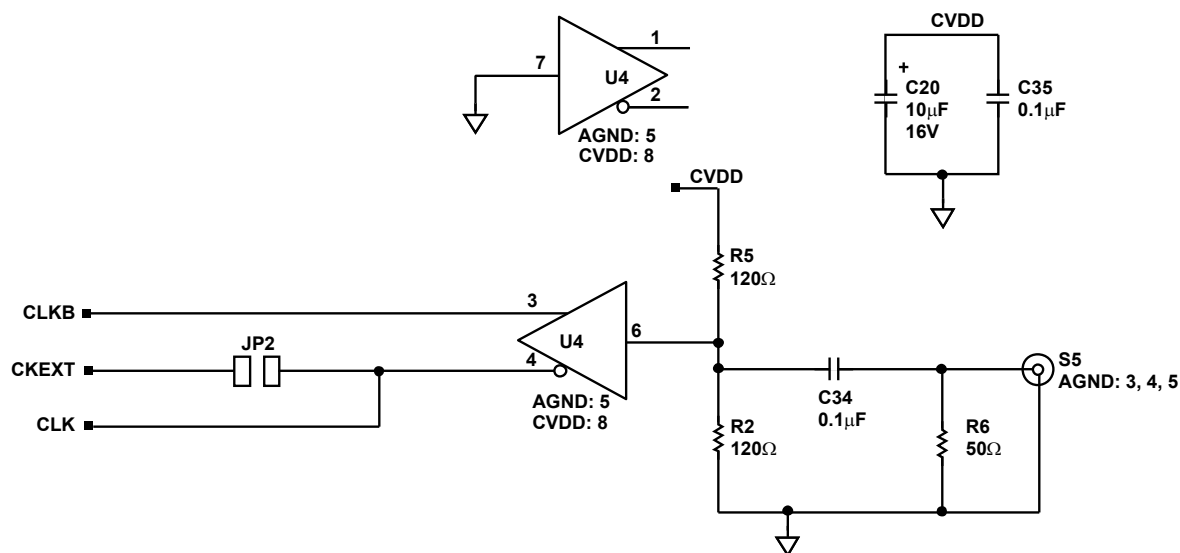


図 49. LFCSP 評価用ボード：クロック入力

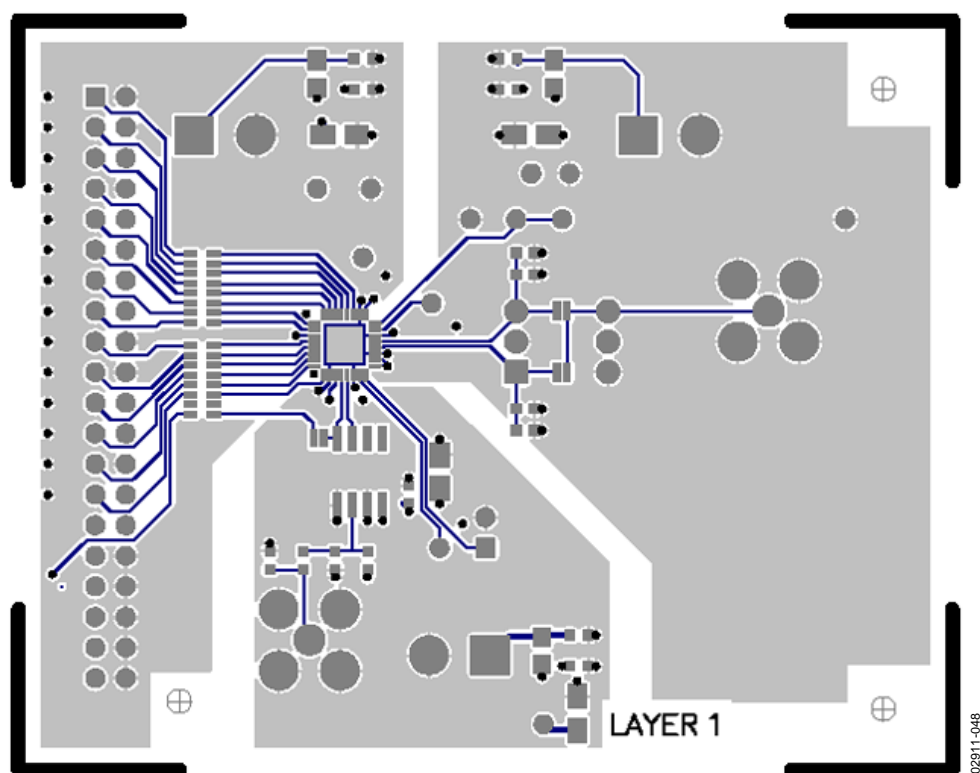


図 50. LFCSP 評価用ボード：表面

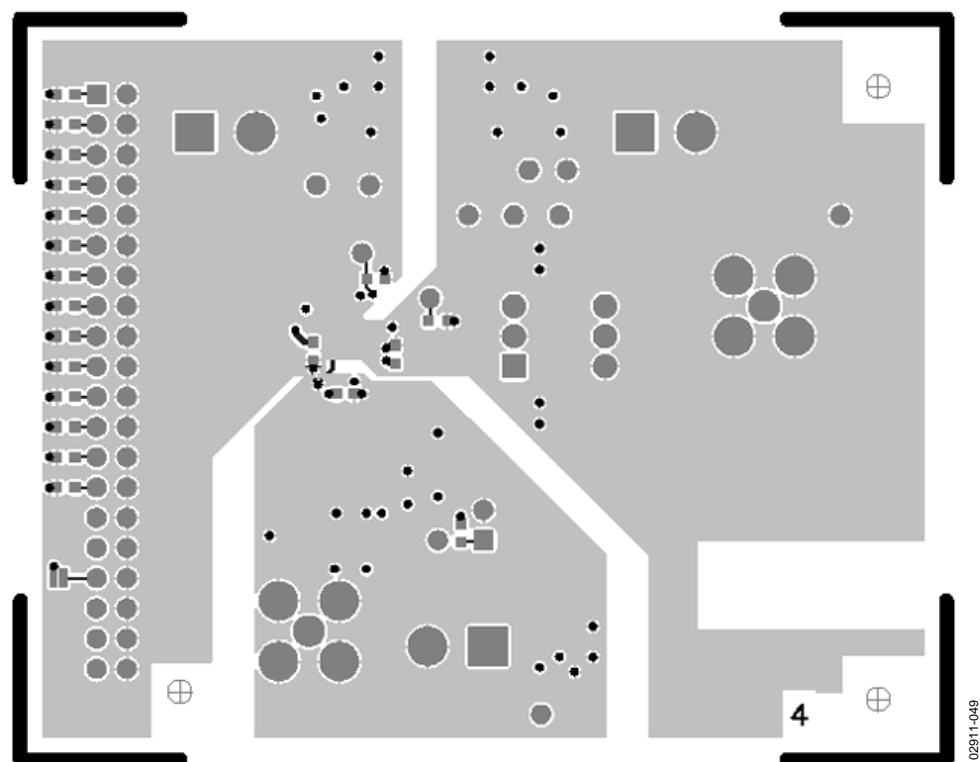
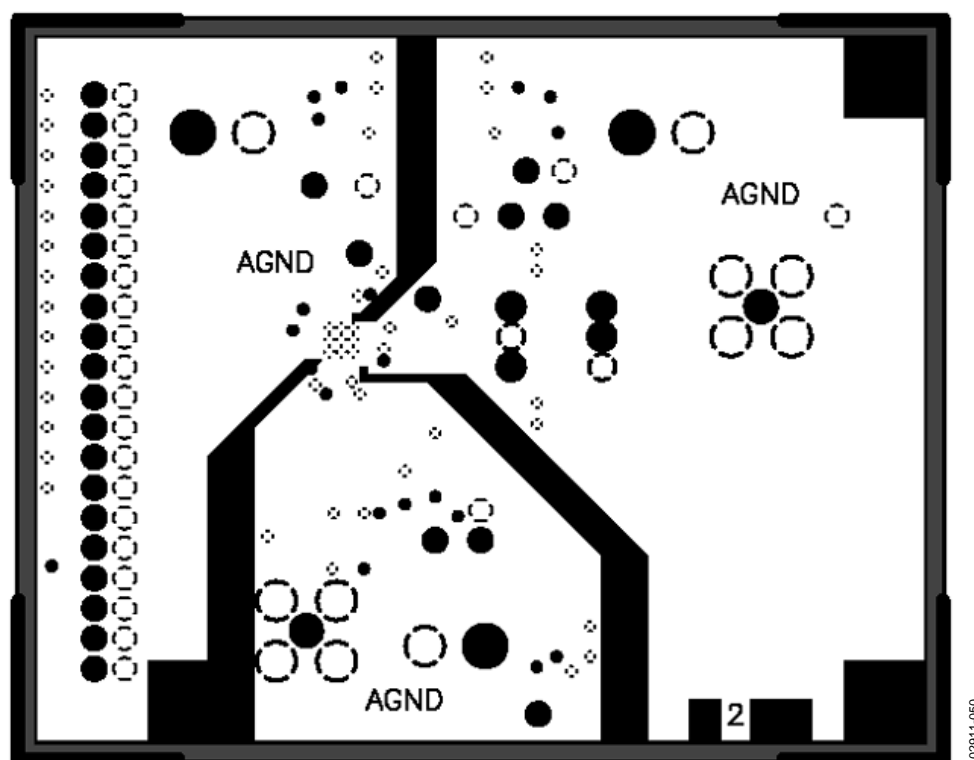
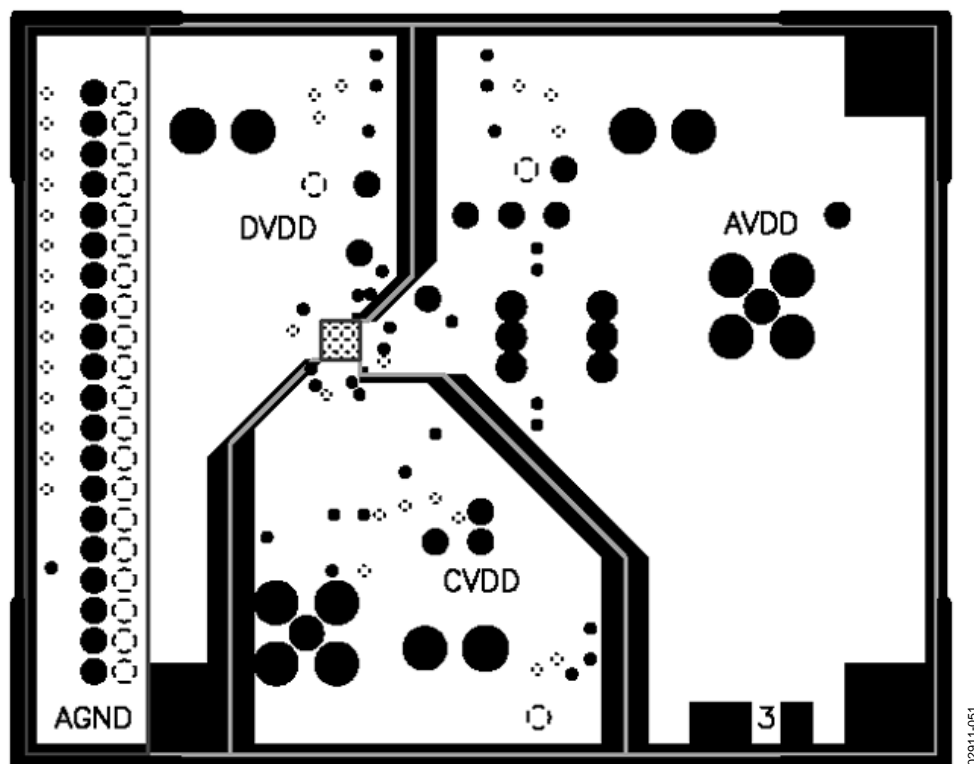


図 51. LFCSP 評価用ボード：裏面



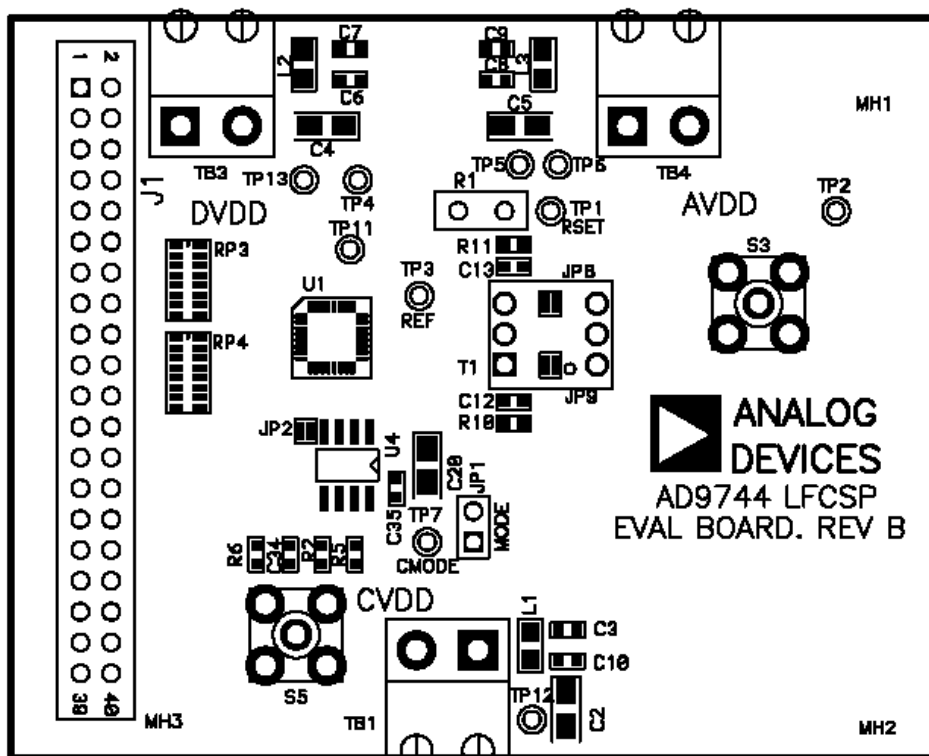
02911-050

図 52. LFCSP 評価用ボード：グラウンド・プレーン



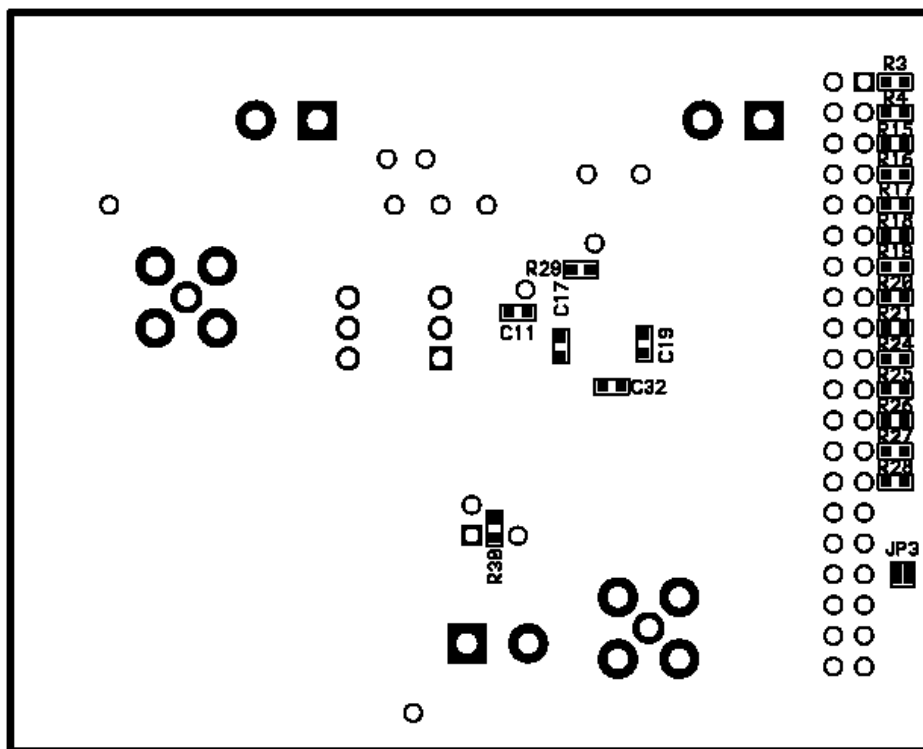
02911-051

図 53. LFCSP 評価用ボードのレイアウト：電源プレーン



02911-052

図 54. LFCSP 評価用ボード・レイアウト・アセンブリ：表面



02911-053

図 55. LFCSP 評価用ボード・レイアウト・アセンブリ：裏面

外形寸法

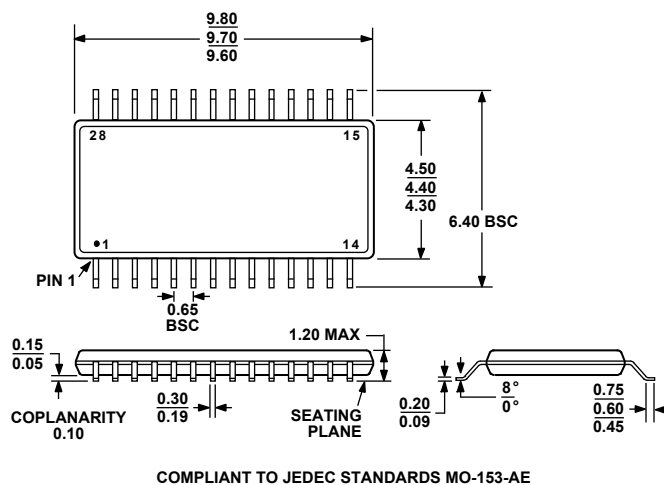


図 56. 28 ピン薄型シュリンク・スモール・アウトライン・パッケージ [TSSOP]
(RU-28)
寸法単位：mm

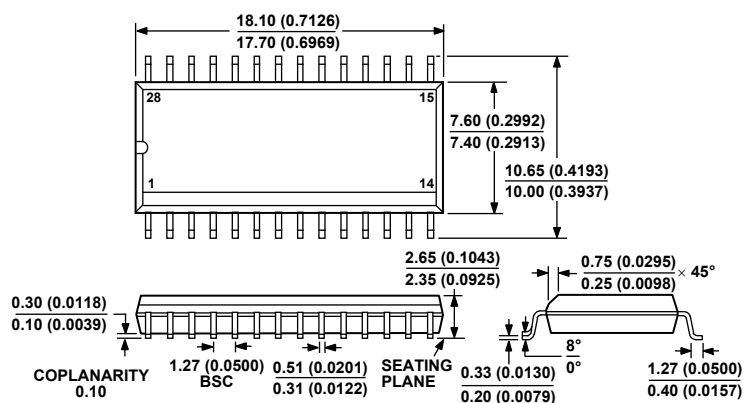
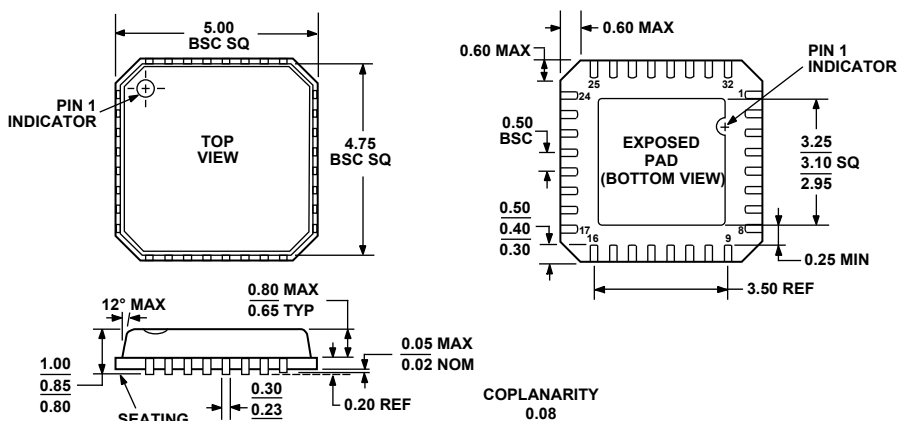


図 57. 28 ピン標準スモール・アウトライン・パッケージ [SOIC]
ワイドボディ (RW-28)
寸法単位：mm (インチ)



COMPLIANT TO JEDEC STANDARDS MO-220-VHHD-2

図 58. 32 ピン・リード・フレーム・チップ・スケール・パッケージ [LFCSP_VQ]
5 mm × 5 mm ボディ、極薄クワッド
(CP-32-2)
寸法単位：mm

オーダー・ガイド

Model	Temperature Range	Package Description	Package Option
AD9740AR	-40°C to +85°C	28-Lead Wide Body SOIC	RW-28
AD9740ARRL	-40°C to +85°C	28-Lead Wide Body SOIC	RW-28
AD9740ARZ ¹	-40°C to +85°C	28-Lead Wide Body SOIC	RW-28
AD9740ARZRL ¹	-40°C to +85°C	28-Lead Wide Body SOIC	RW-28
AD9740ARU	-40°C to +85°C	28-Lead TSSOP	RU-28
AD9740ARURL7	-40°C to +85°C	28-Lead TSSOP	RU-28
AD9740ARUZ ¹	-40°C to +85°C	28-Lead TSSOP	RU-28
AD9740ARUZRL7 ¹	-40°C to +85°C	28-Lead TSSOP	RU-28
AD9740ACP	-40°C to +85°C	32-Lead LFCSP	CP-32-2
AD9740ACPRL7	-40°C to +85°C	32-Lead LFCSP_VQ	CP-32-2
AD9740ACPZ ¹	-40°C to +85°C	32-Lead LFCSP_VQ	CP-32-2
AD9740ACPZRL7 ¹	-40°C to +85°C	32-Lead LFCSP_VQ	CP-32-2
AD9740-EB		Evaluation Board (SOIC)	
AD9740ACP-PCB		Evaluation Board (LFCSP)	

¹ Z = 鉛フリー製品。