

特長

デュアル送信の8ビットDAC

更新レート：125MSPS

ナイキスト周波数までの優れたSFDR：5MHzで66dBc出力

優れたゲインとオフセットのマッチング：0.1%

1本の抵抗で独立にゲイン調整可能

デュアル・ポート・データまたはインターリーブ・データが可能

1.2Vリファレンスを内蔵

5V、3V単電源動作

低消費電力：5Vで380mW

パワーダウン・モード：5Vで50mW

48ピンLQFP

アプリケーション

通信

移動電話基地局

デジタル・シンセシス

直交変調

3D超音波

概要

AD9709は、デュアルポートの高速2チャンネル8ビットCMOS DACであり、2個の高品質8ビットTxDAC+コア、リファレンス、デジタル・インターフェース回路を小型の48ピンLQFPパッケージに集積しています。AD9709は極めて優れたAC/DC特性を持ち、最大125MSPSの更新レートを実現しています。

このAD9709は、通信アプリケーションでのIデータとQデータの処理向けに最適です。デジタル・インターフェースは、2個のダブルバッファ付きラッチと制御ロジックから構成されています。別々の入力を備えており、2つのDACポートに独立してデータを書き込みます。DACの更新レートは、別々のクロックにより制御されます。

モード・コントロール・ピンを使うと、AD9709は2つの独立したデータ・ポート、または1つのインターリーブ高速データ・ポートにインターフェースできます。インターリーブ・モードでは、入力データ・ストリームは元のIデータとQデータに分解されてラッチされます。このIデータとQデータは2個のDACにより変換されて、入力データ・レートの1/2で更新されます。

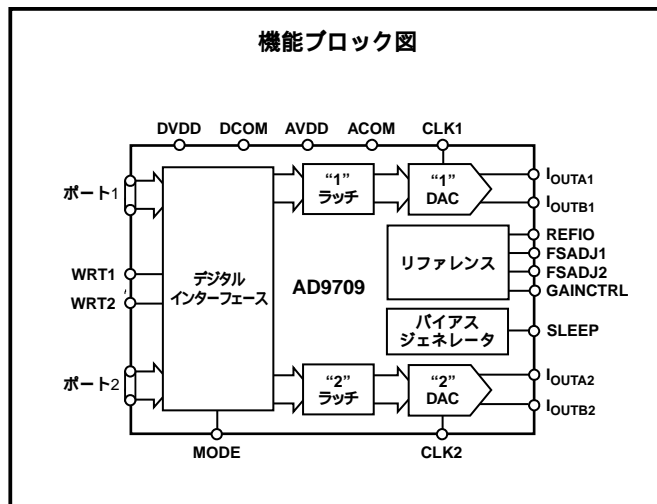
GAINCTRLピンを使うと、2個のDACのフルスケール電流(I_{OUTFS})を設定する2つのモードを選択できます。各DACの I_{OUTFS} は、2本の外付け抵抗を使って独立に設定できます。あるいは、1本の外付け抵抗を使って両DACの I_{OUTFS} を共通に設定することもできます。

TxDAC+はAnalogDevices,Incの登録商標です。

*特許申請中。

REV.0

アナログ・デバイセズ株式会社



AD9709のDACはセグメント化電流源アーキテクチャと当社独自のスイッチング技術を組み合わせて、グリッチ・エネルギーを削減し、ダイナミック精度を最大にしています。各DACは差動電流出力を備え、シングル・エンドおよび差動のアプリケーションに対応できます。両DACは同時に更新され、20mAの公称フルスケール電流を供給できます。各DAC間のフルスケール電流は、0.1%以内でマッチングしています。

AD9709は、最新の低価格CMOSプロセスで製造され、3.0~5.0V単電源で動作し、消費電力は380mWです。

製品のハイライト

- AD9709は、分解能8/10/12/14ビットのデュアルTxDACのピン・コンパチブル・ファミリの製品です。
- 125MSPSのデュアル8ビットDACであり、2チャンネルの高性能DACは、低歪み性能に最適化された、I情報とQ情報のフレキシブルな転送機能を提供します。
- 優れたマッチングを実現。ゲインはフルスケールの0.1%(typ)で一致し、オフセット誤差は0.02%以下です。
- 低消費電力。CMOSデュアルDAC機能全体が、3.0~5.0V単電源、消費電力380mWで動作します。DACのフルスケール電流は低消費電力動作向けに削減でき、アイドル時間の低消費電力動作のためにスリープ・モードが用意されています。
- リファレンスを内蔵。AD9709は1.20Vの温度補償済みバンドギャップ・リファレンスを内蔵しています。
- 2チャンネルの8ビット入力。AD9709はフレキシブルなデュアル・ポート・インターフェースを内蔵し、デュアル・データ入力またはインターリーブ・データ入力が可能です。

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、その情報の利用または利用したことにより引き起こされる第三者の特許または権利の侵害に関して、当社はいっさいの責任を負いません。さらに、アナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

本社 / 東京都港区海岸1-16-1 電話03(5402)8400 〒105-6891
ニューピア竹芝サウスタワービル
大阪営業所 / 大阪市淀川区宮原3-5-36 電話06(6350)886(代) 〒532-0003
新大阪第二森ビル

AD9709 - 仕様

DC特性 (特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 5V$ 、 $DVDD = 5V$ 、 $I_{OUTFS} = 20mA$)

パラメータ	Min	Typ	Max	単位
分解能	8			ビット
DC精度 ¹				
積分直線性誤差 (INL)	- 0.5	± 0.1	+ 0.5	LSB
微分非直線性 (DNL)	- 0.5	± 0.1	+ 0.5	LSB
アナログ出力				
オフセット誤差	- 0.02		+ 0.02	FSRの%
ゲイン誤差 (内部リファレンス不使用)	- 2	± 0.25	+ 2	FSRの%
ゲイン誤差 (内部リファレンス使用)	- 5	± 1	+ 5	FSRの%
ゲイン・マッチ				
$T_A = 25$	- 0.3	± 0.1	+ 0.3	FSRの%
$T_{MIN} \sim T_{MAX}$	- 1.6		+ 1.6	FSRの%
$T_{MIN} \sim T_{MAX}$	- 0.14		+ 0.14	dB
フルスケール出力電流 ²	2.0		20.0	mA
出力適合範囲	- 1.0		+ 1.25	V
出力抵抗		100		k
出力容量		5		pF
リファレンス出力				
リファレンス	1.14	1.20	1.26	V
リファレンス出力電流 ³		100		nA
リファレンス入力				
入力適合範囲	0.1		1.25	V
リファレンス入力抵抗		1		M
小信号帯域幅		0.5		MHz
温度係数				
オフセット・ドリフト		0		FSRのppm/
ゲイン・ドリフト (内部リファレンス不使用)		± 50		FSRのppm/
ゲイン・ドリフト (内部リファレンス使用)		± 100		FSRのppm/
リファレンス・ドリフト		± 50		ppm/
電源				
電源電圧				
AVDD	3	5	5.5	V
DVDD	2.7	5	5.5	V
アナログ電源電流 (IAVDD)		71	75	mA
デジタル電源電流 (IDVDD) †		5	7	mA
デジタル電源電流 (IDVDD) ‡			15	mA
電源電流スリープ・モード (IAVDD)		8	12	mA
消費電力 ⁴ (5V、 $I_{OUTFS} = 20mA$)		380	410	mW
消費電力 ⁵ (5V、 $I_{OUTFS} = 20mA$)		420	450	mW
消費電力 ⁶ (5V、 $I_{OUTFS} = 20mA$)		450		mW
電源変動除去比 ⁷ AVDD	- 0.4		+ 0.4	FSR/Vの%
電源変動除去比 ⁷ DVDD	- 0.025		+ 0.025	FSR/Vの%
動作範囲	- 40		+ 85	

注

1 仮想グラウンドを駆動し、 I_{OUTA} で測定。

2 公称フルスケール電流 I_{OUTFS} は、 I_{REF} 電流の32倍。

3 すべての外部負荷の駆動には、入力バイアス電流100nA未満の外付けバッファアンプを使用する必要があります。

4 $f_{CLOCK} = 25MSPS$ 、かつ $f_{OUT} = 1.0MHz$ で測定。

5 $f_{CLOCK} = 100MSPS$ 、かつ $f_{OUT} = 1MHz$ で測定。

6 I_{OUTA} と I_{OUTB} で $I_{OUTFS} = 20mA$ かつ $R_{LOAD} = 50$ 、および $f_{CLOCK} = 100MSPS$ かつ $f_{OUT} = 40MHz$ の条件で、バッファなしの電圧出力として測定。

7 ±10%の電源変動。

仕様は予告なく変更されることがあります。

ダイナミック特性 (特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 5V$ 、 $DVDD = 5V$ 、 $I_{OUTFS} = 20mA$ 、差動トランス結合出力、50 ダブル終端)

パラメータ	Min	Typ	Max	単位
ダイナミック特性				
最大出力更新レート(f_{CLOCK})	125			MSPS
(t_{ST})から0.1%までの出力セトリング・タイム ¹		35		ns
出力伝搬遅延(t_{PD})		1		ns
グリッチ・インパルス		5		pV-s
出力立ち上がり時間(10%から90%)		2.5		ns
出力立ち下がり時間(90%から10%)		2.5		ns
出力ノイズ($I_{OUTFS} = 20mA$)		50		$pA\sqrt{Hz}$
出力ノイズ($I_{OUTFS} = 2mA$)		30		$pA\sqrt{Hz}$
AC直線性				
ナイキスト周波数までのスプリアスフリー・ダイナミックレンジ				
$f_{CLOCK} = 100MSPS$ 、 $f_{OUT} = 1.00MHz$				
0dBFS出力	63	68		dBc
- 6dBFS出力		62		dBc
- 12dBFS出力		56		dBc
- 18dBFS出力		50		dBc
$f_{CLOCK} = 65MSPS$ 、 $f_{OUT} = 1.00MHz$		68		dBc
$f_{CLOCK} = 65MSPS$ 、 $f_{OUT} = 2.51MHz$		68		dBc
$f_{CLOCK} = 65MSPS$ 、 $f_{OUT} = 5.02MHz$		66		dBc
$f_{CLOCK} = 65MSPS$ 、 $f_{OUT} = 14.02MHz$		60		dBc
$f_{CLOCK} = 65MSPS$ 、 $f_{OUT} = 25MHz$		50		dBc
$f_{CLOCK} = 125MSPS$ 、 $f_{OUT} = 25MHz$		63		dBc
$f_{CLOCK} = 125MSPS$ 、 $f_{OUT} = 40MHz$		55		dBc
S/N + 歪み比				
$f_{CLOCK} = 50MHz$ 、 $f_{OUT} = 1MHz$		50		dB
全高調波歪み				
$f_{CLOCK} = 100MSPS$ 、 $f_{OUT} = 1.00MHz$		- 67	- 63	dBc
$f_{CLOCK} = 50MSPS$ 、 $f_{OUT} = 2.00MHz$		- 63		dBc
$f_{CLOCK} = 125MSPS$ 、 $f_{OUT} = 4.00MHz$		- 63		dBc
$f_{CLOCK} = 125MSPS$ 、 $f_{OUT} = 10.00MHz$		- 63		dBc
電力高調波比(110kHz間隔で10ポイントの高調波)				
$f_{CLOCK} = 65MSPS$ 、 $f_{OUT} = 2.00 \sim 2.99MHz$				
0dBFS出力		58		dBc
- 6dBFS出力		51		dBc
- 12dBFS出力		46		dBc
- 18dBFS出力		41		dBc
チャンネル・アイソレーション				
$f_{CLOCK} = 125MSPS$ 、 $f_{OUT} = 10MHz$		85		dBc
$f_{CLOCK} = 125MSPS$ 、 $f_{OUT} = 40MHz$		77		dBc

注

¹ 50 負荷のシングル・エンドで測定。
仕様は予告なく変更されることがあります。

AD9709 - 仕様

デジタル特性 (特に指定のない限り、 $T_{MIN} \sim T_{MAX}$ 、 $AVDD = 5V$ 、 $DVDD = 5V$ 、 $I_{OUTFS} = 20mA$)

パラメータ	Min	Typ	Max	単位
デジタル入力				
ロジック "1" 電圧@DVDD = 5V	3.5	5		V
ロジック "1" @DVDD = 3	2.1	3		V
ロジック "0" 電圧@DVDD = 5V		0	1.3	V
ロジック "0" @DVDD = 3	0		0.9	V
ロジック "1" 電流	- 10		+ 10	μA
ロジック "0" 電流	- 10		+ 10	μA
入力容量		5		pF
入力セットアップ時間 (t_s)	2.0			ns
入力ホールド時間 (t_H)	1.5			ns
ラッチ・パルス幅 (t_{LPW} 、 t_{CPW})	3.5			ns

仕様は予告なく変更されることがあります。

絶対最大定格*

パラメータ	基準ポイント	Min	Max	単位
AVDD	ACOM	- 0.3	+ 6.5	V
DVDD	DCOM	- 0.3	+ 6.5	V
ACOM	DCOM	- 0.3	+ 0.3	V
AVDD	DVDD	- 6.5	+ 6.5	V
モード、CLK1、CLK2、WRT1、WRT2	DCOM	- 0.3	DVDD + 0.3	V
デジタル入力	DCOM	- 0.3	DVDD + 0.3	V
IOUTA1/IOUTA2、IOUTB1/IOUTB2	ACOM	- 1.0	AVDD + 0.3	V
REFIO、FSADJ1、FSADJ2	ACOM	- 0.3	AVDD + 0.3	V
GAINCTRL、SLEEP	ACOM	- 0.3	AVDD + 0.3	V
接合温度			150	
保管温度		- 65	+ 150	
ピン温度 (10秒)			300	

*上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作セクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

オーダー・ガイド

モデル	温度範囲	パッケージ	パッケージ・オプション
AD9709AST	- 40 ~ + 85	薄型プラスチック クワッド・フラット パックス (LQFP)	ST-48
AD9709-EB		評価ボード	

熱特性

熱抵抗

48ピンLQFP

$$J_A = 91 \text{ /W}$$

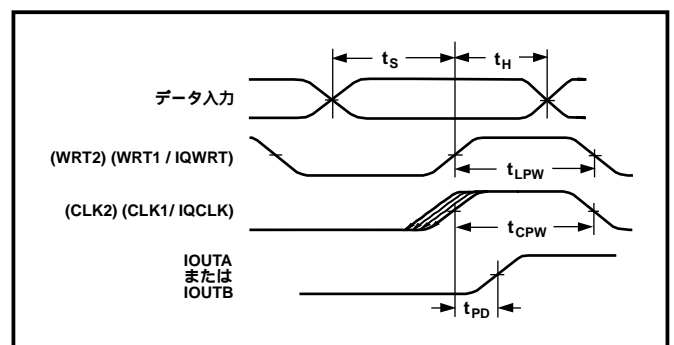


図1 デュアル・モードとインターリーブ・モードのタイミング図

タイミング仕様については、ダイナミック特性とデジタル特性の項を参照してください。

注意

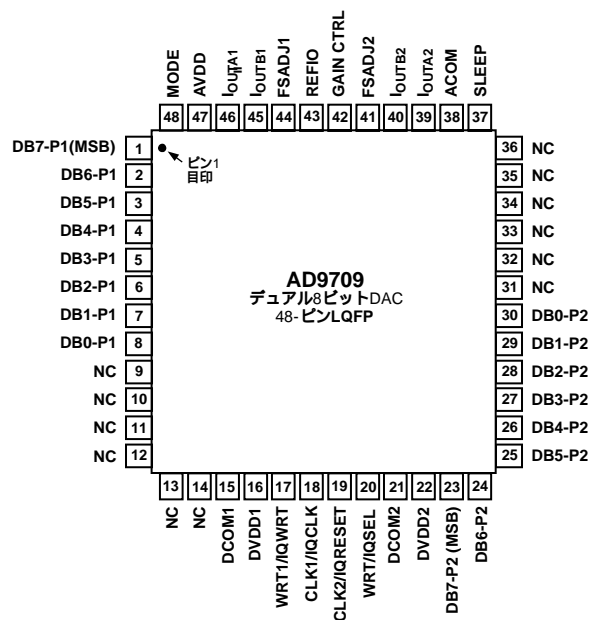
ESD (静電放電) の影響を受けやすいデバイスです。4000Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることがあります。本製品には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電を受けたデバイスには回復不可能な損傷が発生することがあります。このため、性能低下や機能喪失を回避するために、適切なESD予防措置をとるようお奨めします。



ピン機能説明

ピン番号	名前	説明
1 ~ 8	PORT1	データ・ビットDB7-P1 ~ DB0-P1
9 ~ 14、31 ~ 36	NC	接続なし
15、21	DCOM1、DCOM2	デジタル・コモン
16、22	DVDD1、DVDD2	デジタル電源電圧
17	WRT1/IQWRT	PORT1に対する入力書き込み信号 (インターリーブ・モードではIQWRT)
18	CLK1/IQCLK	DAC1に対するクロック入力 (インターリーブ・モードではIQCLK)
19	CLK2/IQRESET	DAC2に対するクロック入力 (インターリーブ・モードではIQRESET)
20	WRT2/IQSEL	PORT2に対する入力書き込み信号 (インターリーブ・モードではIQSEL)
23 ~ 30	PORT2	データ・ビットDB7-P2 ~ DB0-P2
37	SLEEP	パワーダウン制御入力
38	ACOM	アナログ・コモン
39、40	I _{OUTA2} 、I _{OUTB2}	“PORT2” の差動DAC電流出力
41	FSADJ2	DAC2に対するフルスケール電流出力調整
42	GAINCTRL	マスター/スレーブ抵抗制御モード
43	REFIO	リファレンス入/出力
44	FSADJ1	DAC1に対するフルスケール電流出力調整
45、46	I _{OUTB1} 、I _{OUTA1}	“PORT1” の差動DAC電流出力
47	AVDD	アナログ電源電圧
48	MODE	モード選択 (1=デュアルポート、0=インターリーブ)

ピン配置



AD9709

仕様の定義

直線性誤差(積分非直線性またはINL)

直線性誤差は、ゼロとフルスケールを結ぶ直線により決定される理論出力と、実際のアナログ出力との最大誤差として定義されます。

微分非直線性(DNL)

DNLは、デジタル入力コードでの1LSBの変化に対応するアナログ値の変化の測定値で、フルスケールで正規化したものです。

単調性

デジタル入力が増加したとき、出力が増加または不変の場合、D/Aコンバータが単調性を持つといえます。

オフセット誤差

出力電流と理論ゼロとの差をオフセット誤差と呼びます。I_{OUTA1}に対しては、全入力ビットが“0”の場合、理論では0mA出力になります。I_{OUTB}に対しては、全入力ビットが“1”の場合、理論では0mA出力になります。

ゲイン誤差

理論出力スパンと実際の出力スパンの差をいいます。実際の出力スパンは、全入力ビットが“1”に設定されたときの出力から全入力ビットが“0”に設定されたときの出力を減算したときの差として定義されます。

出力適合範囲

電流出力型DACの出力における許容電圧範囲。最大適合値を超えて動作させると、出力段の飽和またはブレイクダウンにより非直線性能が発生することがあります。

温度ドリフト

温度ドリフトは、周辺温度値(+25)からT_{MIN}またはT_{MAX}温度値での最大変化として規定されます。オフセットとゲイン・ドリフトの場合、ドリフトは1当たりのフルスケール範囲(FSR)に対するppm値で表されます。リファレンス・ドリフトの場合は、ドリフトは1当たりのppm値で表されます。

電源除去比

電源が公称値から最小規定電圧値または最大規定電圧値へ変化したときの、フルスケール出力の最大変化をいいます。

セトリング・タイム

出力が最終値の規定誤差範囲内に到達するまでに要する時間で、出力変化の開始から測定します。

グリッチ・インパルス

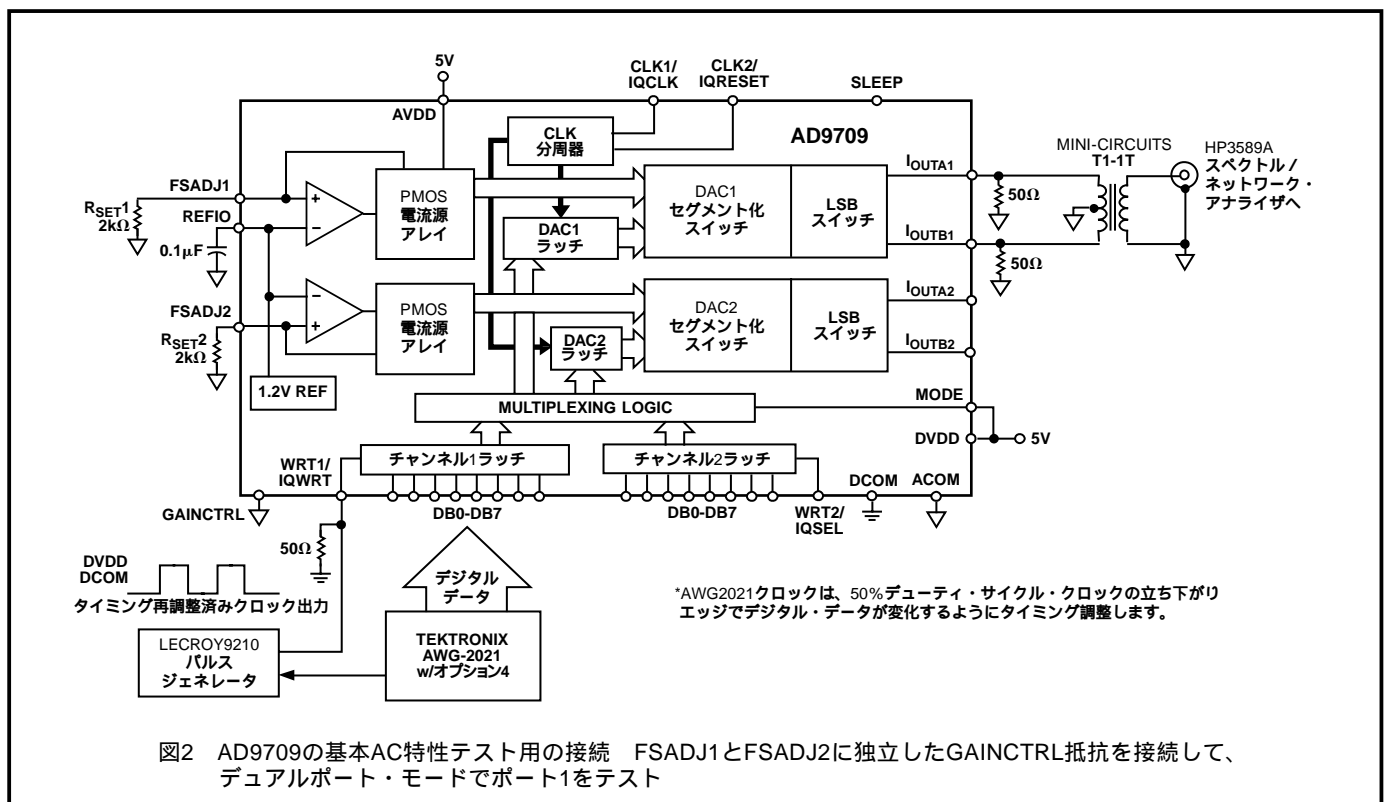
望ましくない出力過渡電圧を発生させるDAC内での非対称スイッチング時間をい、グリッチ・インパルスにより数量化されたもの。グリッチ内の正味面積を表す単位pV-sを使って規定します。

スプリアスフリー・ダイナミックレンジ

出力信号のrms振幅値と規定帯域内のピーク・スプリアス信号との差をい、dB値で表します。

合計高調波歪み(THD)

THDは、入力信号測定値(rms値)と最初の6種類の高調波成分のrms値の和との比をい、パーセント値またはデシベル値(dB)で表されます。



代表的な特性曲線

(特に指定のない限り、 $AVDD = 5V$ 、 $DVDD = 3.3V$ 、 $I_{OUTFS} = 20mA$ 、ダブル終端負荷、差動出力、 $T_A = 25$ 、ナイキスト周波数までのSFDR)

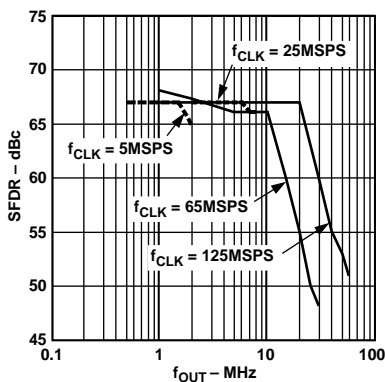


図3 SFDR 対 f_{OUT} @0dBFS

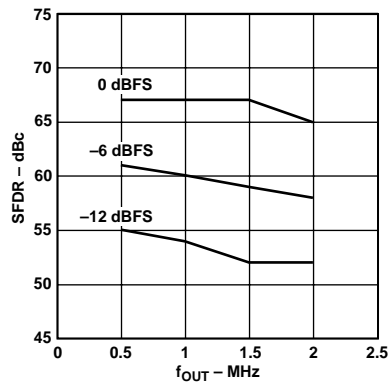


図4 SFDR 対 f_{OUT} @5MSPS

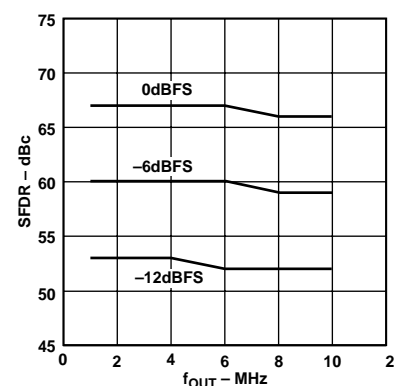


図5 SFDR 対 f_{OUT} @25MSPS

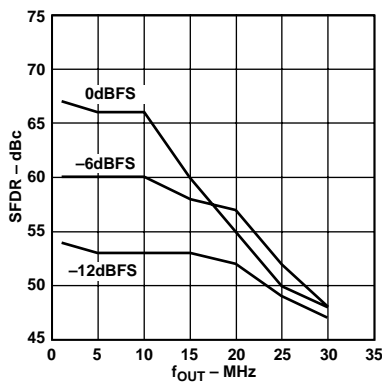


図6 SFDR 対 f_{OUT} @65MSPS

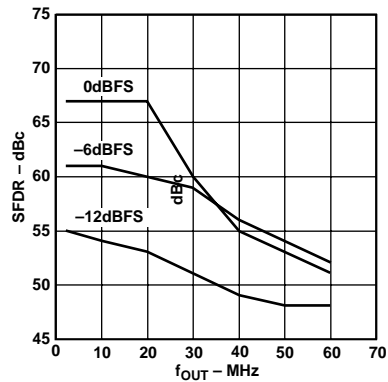


図7 SFDR 対 f_{OUT} @125MSPS

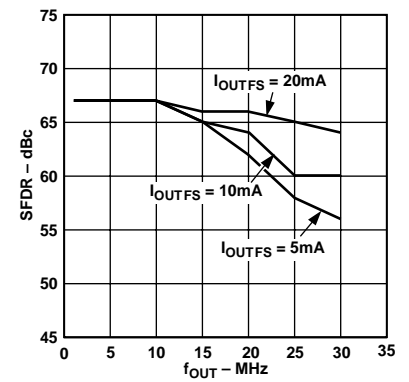


図8 SFDR 対 f_{OUT} および I_{OUTFS} @65MSPS @0dBFS

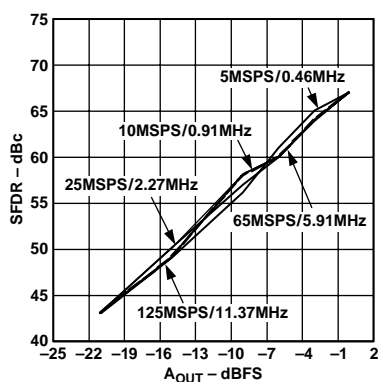


図9 シングル・トーンにおける SFDR 対 A_{OUT}

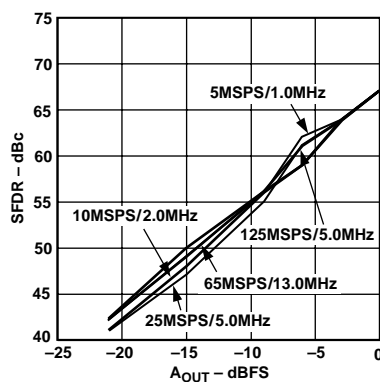


図10 シングル・トーンにおける SFDR 対 A_{OUT} @ $f_{OUT} = f_{CLK}/5$

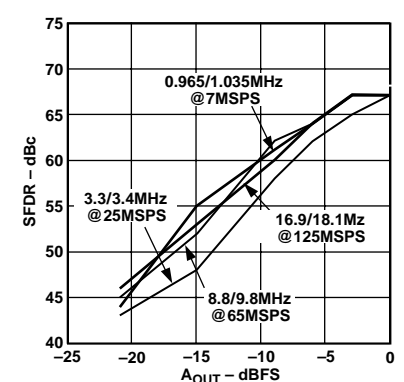


図11 デュアル・トーンにおける SFDR 対 A_{OUT} @ $f_{OUT} = f_{CLK}/7$

AD9709

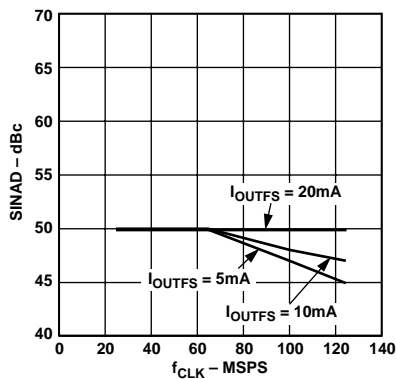


図12 SINAD 対 f_{CLK} および I_{OUTFS}
@ $f_{OUT} = 5\text{MHz}$ かつ 0dBFS

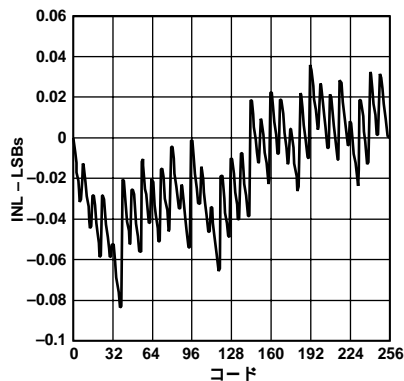


図13 DNLの代表値

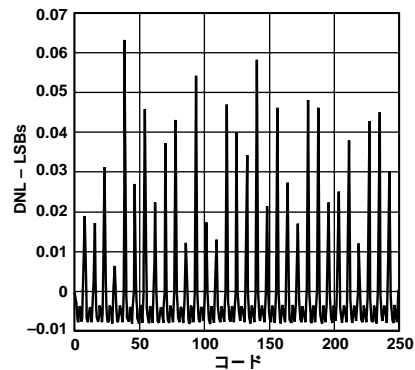


図14 DNLの代表値

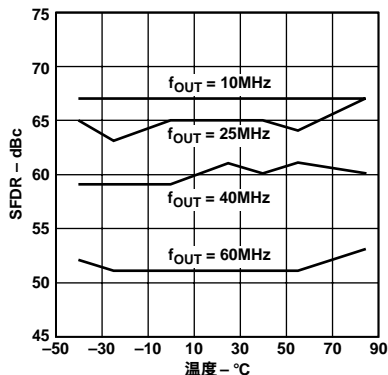


図15 SFDR 対 温度
@ $f_{CLK} = 125\text{MSPS}$ 、 0dBFS

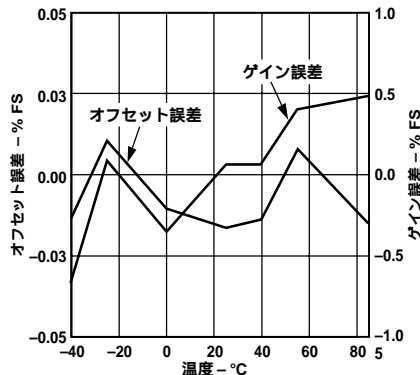


図16 ゲイン誤差およびオフセット
誤差 対 温度 @ $f_{CLK} = 125\text{MSPS}$

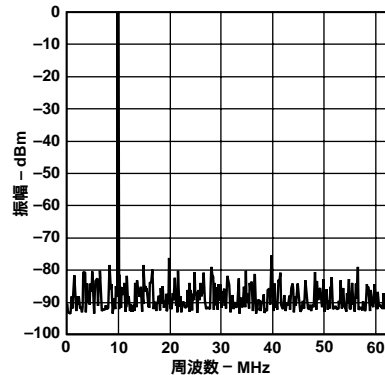


図17 シングル・トーンにおける
SFDR @ $f_{CLK} = 125\text{MSPS}$

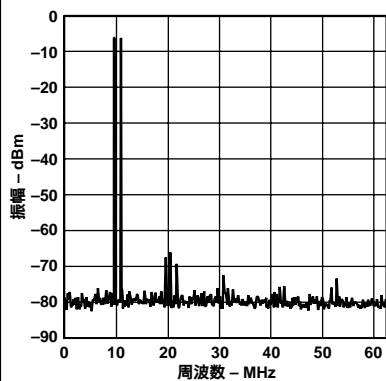


図18 デュアル・トーンにおける
SFDR @ $f_{CLK} = 125\text{MSPS}$

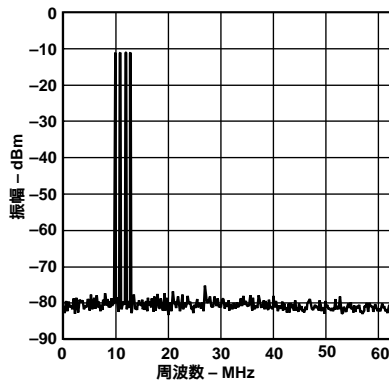


図19 4トーンにおける
SFDR @ $f_{CLK} = 125\text{MSPS}$

機能説明

図20に、簡便化したAD9709のブロック図を示します。AD9709は2個のDACで構成されており、各々には専用の独立したデジタル制御ロジックとフルスケール出力電流制御機能があります。各DACは最大20mAのフルスケール電流 (I_{OUTFS}) を供給できるPMOS電流源アレイで構成されています。アレイは、上位5ビット (MSB) を構成する31個の等しい電流に分割されています。次の3ビットすなわち下位ビットは、7個の等しい電流源 (値はMSB電流源の1/8) で構成されています。R-2Rのラダー回路ではなく、電流源で下位ビットを構成しているため、多周波信号または低振幅信号のダイナミック特性が改善され、DACの高出力インピーダンス (100k 以上) 維持に役立っています。

これらのすべての電流源がPMOS差動電流スイッチを経由して、2つの出力ノード (I_{OUTA} または I_{OUTB}) のいずれかに接続されます。これらのスイッチは、劇的に歪み性能を改善する新しいアーキテクチャに基づいています。この新しいスイッチ・アーキテクチャは種々のタイミング誤差を減少させ、差動電流スイッチの入力に対してマッチした相補駆動信号を出力します。

AD9709のアナログ部とデジタル部は、動作電圧範囲3 ~ +5.5Vの独立した電源入力 (AVDDとDVDD) を持っています。最大125MSPSのクロック・レートで動作可能なデジタル部は、エッジ・トリガー・ラッチとセグメント・デコーディング・ロジック回路で構成されています。アナログ部には、PMOS電流源、対応する差動スイッチ、1.20Vのバンドギャップ・リファレンス、リファレンス・コントロール・アンプが含まれています。

各DACのフルスケール出力電流はリファレンス制御アンプによりレギュレーションされ、フルスケール調整ピン (FSADJ) に接続された外部抵抗 R_{SET} を使って2 ~ 20mAの範囲で設定できます。外部抵抗はリファレンス制御アンプとリファレンス V_{REFIO} と組み合わせて、基準電流 I_{REF} を設定します。この基準電流は、適切なスケール・ファクタを使ってセグメント化電流源に設定されます。フルスケール電流 I_{OUTFS} は、 I_{REF} 値の32倍になります。

リファレンスの動作

AD9709は1.20Vのバンドギャップ・リファレンスを内蔵しており、このリファレンスは容易にディスエーブルにでき、代わりに外部リファレンスを接続できます。内部 / 外部のリファレンス選択に応じて、REFIOは入力または出力として機能します。内部リファレンスを使用するときは、REFIOピンとACOMの間に0.1 μ Fのコンデンサを接続して単純にデカップリングするだけで済みます。内部リファレンスは、REFIOに出力されます。REFIOに出力される電圧を回路内で使用する場合は、100nA未満の入力バイアス電流を持つ外付けバッファアンプを使用してください。内部リファレンスの使用例を図21に示します。図22に示すように、外部リファレンスをREFIOに接続できます。この外部リファレンスとしては、精度とドリフト性能を強化するための固定リファレンス、またはゲイン制御用の可変リファレンスを接続できます。内部リファレンスがディスエーブルにされて、REFIOの比較的高い入力インピーダンスにより外部リファレンスの負荷が最小になっているため、0.1 μ Fの補償コンデンサが不要であることに注意してください。

GAINCTRLモード

AD9709では、FSADJ1とFSADJ2にそれぞれ R_{SET} 抵抗を個別に接続することにより、各チャンネルのゲインを独立して設定できます。1本の R_{SET} 抵抗を使って両チャンネルのゲインを同時に設定できる柔軟性も備えており、システム・コストを削減できます。GAINCTRLをローにすると (AGNDに接続) 2本の抵抗を使用するチャンネル・ゲインの独立した制御モードがイネーブルになります。このモードでは R_{SET} 抵抗をFSADJ1とFSADJ2に個別に接続します。GAINCTRLをハイにすると (AVDDに接続) 1本の抵抗を使用するマスター / スレーブ・チャンネル・ゲイン制御モードがイネーブルになります。このモードでは、1本の R_{SET} 抵抗をFSADJ1に接続して、FSADJ2の抵抗を取り外すことができます。

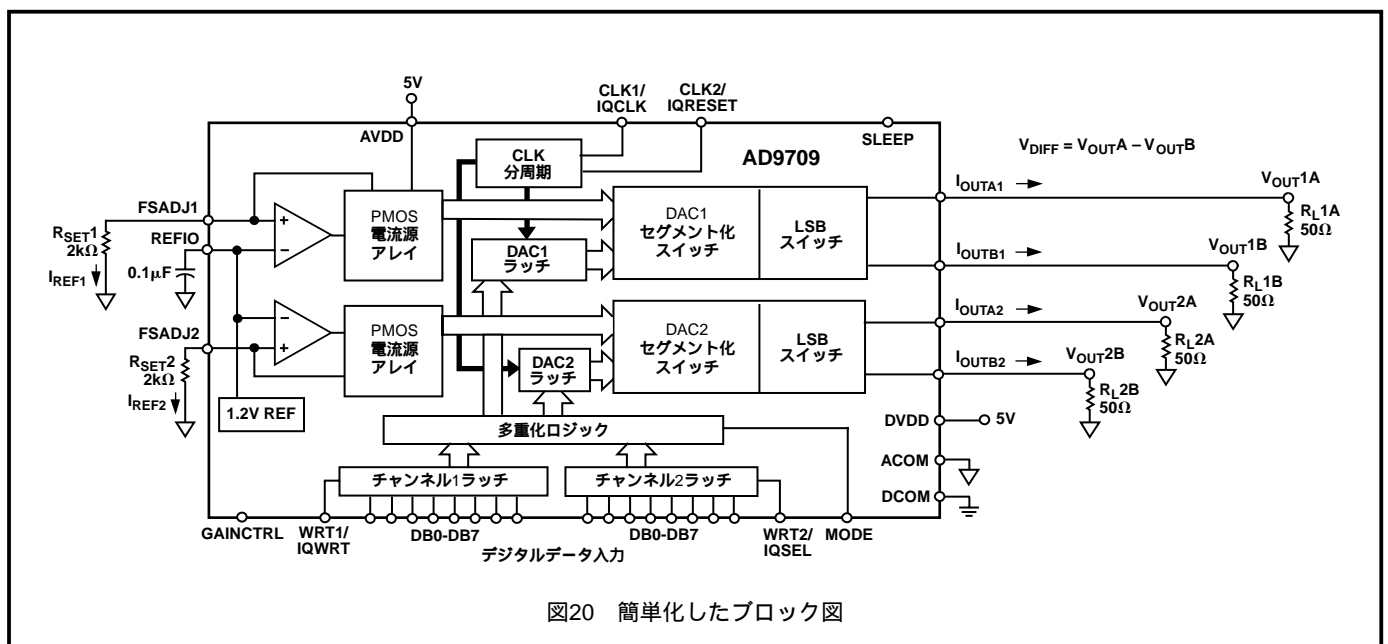


図20 簡便化したブロック図

AD9709

リファレンス制御アンプ

AD9709の両DACは、DACのフルスケール出力電流 I_{OUTFS} をレギュレーションするときに使う内部コントロール・アンプも内蔵しています。コントロール・アンプは、式4に示すように、 V_{REFIO} と外部抵抗 R_{SET} の比により電流出力 I_{REF} が決定されるように、V/Iコンバータとして構成されます(図21)。式3に示すように、 I_{REF} は適切なスケール・ファクタを使ってセグメント化電流源にコピーされて、 I_{OUTFS} を設定します。コン

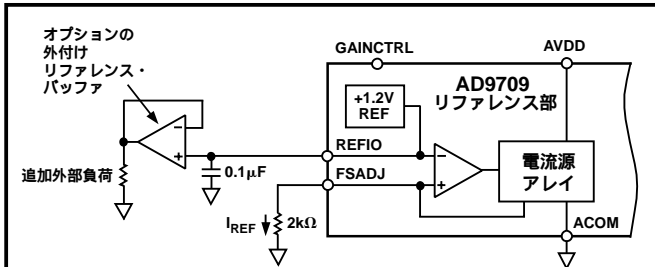


図21 内部リファレンスの構成

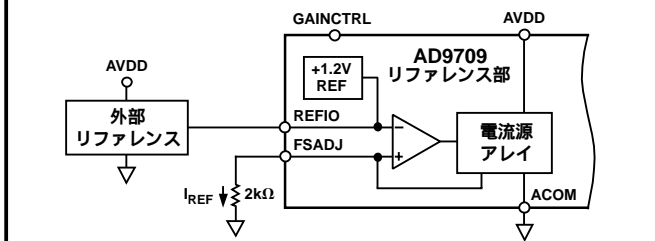


図22 外部リファレンスの構成

トロール・アンプは、 I_{REF} を62.5 ~ 625 μ Aに設定することにより、 $I_{OUTFS} = 2 \sim 20$ mAの広い調整範囲(10:1)を可能にします。 I_{OUTFS} の広い調整範囲は、幾つかのアプリケーションの利点になります。1つ目の利点は、消費電力は I_{OUTFS} に比例するので、AD9709の消費電力に直接関係してきます(消費電力の項を参照)。2つ目の利点は、システム・ゲインの制御目的に役立つ、20dBの調整に関係します。リファレンス・コントロール・アンプの小信号帯域幅は約500kHzであり、低周波小信号増幅アプリケーションに使用できます。

DAC伝達関数

AD9709の両DACは相補電流出力 I_{OUTA} と I_{OUTB} を持っています。全ビットがハイ(DAC CODE = 1023)のとき、 I_{OUTA} はフルスケール電流出力に近い I_{OUTFS} を出力し、このとき相補出力の I_{OUTB} は出力電流ゼロになります。 I_{OUTA} と I_{OUTB} の電流出力は入力コードと I_{OUTFS} の関数であり、次式で表されます。

$$I_{OUTA} = (\text{DAC CODE}/256) \times I_{OUTFS} \quad (1)$$

$$I_{OUTB} = (255 - \text{DAC CODE})/256 \times I_{OUTFS} \quad (2)$$

ここで、DACコード = 0 ~ 255 (10進数)

前述のように、 I_{OUTFS} は基準電流 I_{REF} の関数であり、 I_{REF} は通常リファレンス V_{REFIO} と外部抵抗 R_{SET} により設定され、次のように表すことができます。

$$I_{OUTFS} = 32 \times I_{REF} \quad (3)$$

ここで、

$$I_{REF} = V_{REFIO}/R_{SET} \quad (4)$$

2つの電流出力は、通常、直接またはトランスを経由して抵抗負荷を駆動します。DC結合が必要な場合は、 I_{OUTA} と I_{OUTB} を直接マッチする抵抗負荷 R_{LOAD} に接続します。これらの R_{LOAD} はアナログ・コモンACOMに接続されています。50 または75 のケーブルを両端終端している場合は、 R_{LOAD} は I_{OUTA} または I_{OUTB} から見た等価負荷抵抗を表すことに注意してください。 I_{OUTA} ノードと I_{OUTB} ノードのシングル・エンド電圧出力は次のように表されます。

$$V_{OUTA} = I_{OUTA} \times R_{LOAD} \quad (5)$$

$$V_{OUTB} = I_{OUTB} \times R_{LOAD} \quad (6)$$

規定の歪みと直線性能を維持するためには、 V_{OUTA} と V_{OUTB} のフルスケール値が規定された出力適合範囲を超えないように注意する必要があります。

$$V_{DIFF} = (I_{OUTA} - I_{OUTB}) \times R_{LOAD} \quad (7)$$

I_{OUTA} 、 I_{OUTB} 、 I_{REF} に値を代入すると、 V_{DIFF} は次のように表されます。

$$V_{DIFF} = \{(2 \times \text{DAC CODE} - 255)/256\} \times (32 \times R_{LOAD}/R_{SET}) \times V_{REFIO} \quad (8)$$

最後の2式は、AD9709を差動で動作させるときの利点を表しています。まず、差動動作はノイズ、歪み、DCオフセットのような I_{OUTA} と I_{OUTB} に対応するコモン・モード誤差原因を相殺できます。2つ目に、コード依存の差動電流とその後段の電圧 V_{DIFF} がシングル・エンド電圧出力値(V_{OUTA} または V_{OUTB})の2倍となり、2倍の信号電力を負荷に供給できます。

シングル・エンド出力(V_{OUTA} と V_{OUTB})またはAD9709の差動出力(V_{DIFF})に対するゲイン・ドリフト温度性能は、 R_{LOAD} と R_{SET} が式8に示すように比例関係にあるため、両抵抗に対して温度トラッキング抵抗を選択することにより改善できることに注意してください。

アナログ出力

AD9709の各DACには2本の相補電流出力 I_{OUTA} と I_{OUTB} が用意されており、シングル・エンドまたは差動動作に構成できます。 I_{OUTA} と I_{OUTB} は負荷抵抗 R_{LOAD} を使って相補シングル・エンド電圧出力 V_{OUTA} と V_{OUTB} に変換できます(DAC伝達関数の項の式5~8)。 V_{OUTA} と V_{OUTB} の間の差動電圧 V_{DIFF} も、トランスまたは差動アンプ構成を使ってシングル・エンド電圧に変換できます。AD9709のAC性能は、 I_{OUTA} と I_{OUTB} での電圧振幅を ± 0.5 Vに制限した差動トランス結合出力を使用した場合に最適であり、これで仕様が規定されています。シングル・エンド・ユニポーラ出力が必要な場合は、 I_{OUTA} の方を使用してください。

AD9709の歪み性能とノイズ性能は、差動動作により改善できます。 I_{OUTA} と I_{OUTB} のコモン・モード誤差の原因は、トランスまたは差動アンプのコモン・モード除去比により大幅に削減されます。これらのコモン・モード誤差原因には偶数次の歪み項とノイズが含まれています。再生波形の周波数成分が多く、かつ(または)その振幅が小さいほど、歪み性能の改善効果が大きくなります。これは、あらゆる動的なコモン・モード歪みメカニズム、デジタル信号の混入、ノイズの一次的な相殺に起因します。

トランスを使って差動からシングル・エンドへ変換すると、2倍の再生

信号電力を負荷に供給することもできます(ソース終端がない場合)。 I_{OUTA} と I_{OUTB} の出力電流は相補であるため、差動で処理された場合には加算されます。適切に選択したトランスを使うことにより、AD9709が必要な電力と電圧レベルをあらゆる負荷に供給できます。

I_{OUTA} と I_{OUTB} の出力インピーダンスは、PMOSスイッチおよび100k (typ)と5pFの並列接続の、等価な並列の組み合わせにより決定されます。PMOSデバイスの性質上出力電圧(V_{OUTA} と V_{OUTB})にも少し依存します。I/Vオペアンプ構成を使って I_{OUTA} および(または) I_{OUTB} を仮想グラウンドに維持すると、最適なDC直線性を得られます。AD9709のINL/DNL仕様は、 I_{OUTA} をオペアンプを使って仮想グラウンドに維持して測定していることに注意してください。

I_{OUTA} と I_{OUTB} は、最適な性能を得るために、正/負の電圧適合範囲に従う必要があります。負の出力適合範囲 - 1.0Vは、CMOSプロセスのブレーク・ダウン限界値により設定されます。この最大値を超えて動作させると、出力段でブレーク・ダウンが発生して、AD9709の信頼性に影響が及びます。

正の出力適合範囲は、フルスケール出力電流 I_{OUTFS} の影響を少し受けます。 $I_{OUTFS} = 20\text{mA}$ に対する公称値の1.25Vから、 $I_{OUTFS} = 2\text{mA}$ に対する値の1.00Vまで少し低下します。シングル・エンド出力または差動出力に対する最適歪み性能は、 I_{OUTA} と I_{OUTB} における最大フルスケール信号が0.5Vを超えないときに得られます。出力適合範囲を超えるAD9709の出力(V_{OUTA} および(または) V_{OUTB})が必要なアプリケーションに対しては、 R_{LOAD} の大きさを適切に調整する必要があります。この適合範囲を超える動作は、AD9709の直線性性能に悪影響を与えて、歪み性能の低下をもたらします。

デジタル入力

AD9709のデジタル入力は、独立した2つのチャンネルで構成されています。デュアルポート・モードの場合は、各DACは専用の8ビット・データ・ポート、WRTライン、CLKラインを持ちます。インターリーブ・タイミング・モードでは、後述のインターリーブ・モード・タイミングの項で説明するように、デジタル・コントロール・ピンの機能が変更されます。8ビットの平行データ入力は自然2進コード処理を採用しており、DB7が最上位ビット(MSB)でDB0が最下位ビット(LSB)です。全データ・ビットがロジック“1”のとき、 I_{OUTA} にフルスケール出力電流が得られます。 I_{OUTB} は相補出力を与え、フルスケール電流が入力コードの関数としてこれら2本の出力に分割されて出力されます。デジタル・インターフェースは、エッジ・トリガー型のマスター・スレーブ・ラッチを使って構成されています。両DAC出力は、デュアル・モードまたはインターリーブモードの選択に応じて、クロックの各立ち上がりエッジ、または1つおきの立ち上がりエッジで更新されます。両DAC出力は、125MSPSまでのクロック・レートに対応する設計です。クロックは、規定のラッチ・パルス幅を満たす任意のデューティ・サイクルで動作できます。セットアップ・タイムとホールド・タイムは、規定の最小時間を満たしている限り、クロック・サイクル内で変更できます。ただし、これらのエッジ変化の位置がデジタル信号の混入と歪み性能に影響を与えます。最適性能は、入力データが50%デューティ・サイクル・クロックの立ち下がりエッジで変化するとき得られます。

DACのタイミング

AD9709は、デュアルとインターリーブという2つのタイミング・モードで動作できます。図25に、インターリーブ・タイミング・モードにおけるラッ

チ・アーキテクチャのブロック図を示します。

デュアルポート・モードのタイミング

MODEピンをロジック“1”にすると、AD9709はデュアルポート・モードで動作します。AD9709は、個別な2つのDACとして動作します。各DACは、完全に独立したデジタル入力ラインとコントロール・ラインを持ちます。

AD9709はダブル・バッファ化されたデータ・パスを内蔵しています。データは、チャンネル入力ラッチを介してデバイスに入力されます。このデータは、各信号パス内にあるDACラッチに転送されます。データがDACラッチにロードされると、アナログ出力が新しい値に設定されます。

全体としては、WRTラインがチャンネル入力ラッチを制御し、CLKラインがDACラッチを制御します。両ラッチ・グループは、それぞれの制御信号の立ち上がりエッジで更新されます。

CLKの立ち上がりエッジは、WRTの立ち上がりエッジに一致するか、またはその前に発生する必要があります。CLKの立ち上がりエッジがWRTの立ち上がりエッジの後で発生する場合は、WRTの立ち上がりエッジからCLKの立ち上がりエッジに向かう最小遅延は2nsに保持する必要があります。

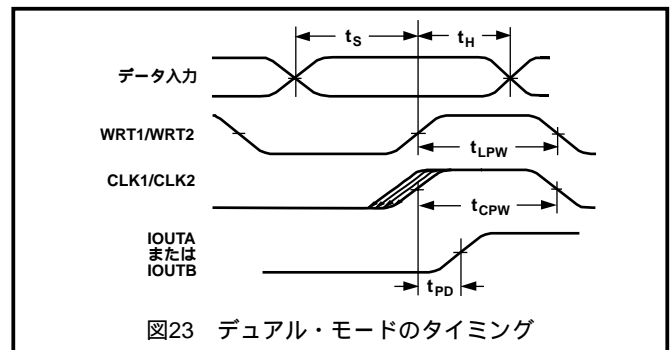


図23 デュアル・モードのタイミング

図23と図24に、デュアルポート・モードのタイミング特性を示します。

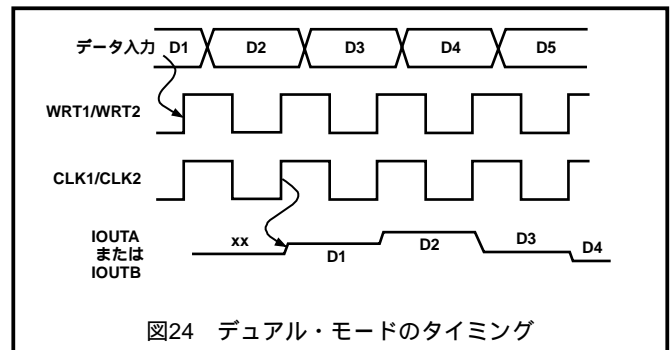


図24 デュアル・モードのタイミング

インターリーブ・モードのタイミング

MODEピンをロジック“0”にすると、AD9709はインターリーブ・モードで動作します。WRT1はIQWRTとして、CLK1はIQCLKとして、それぞれ機能します。WRT2はIQSELとして、CLK2はIQRESETとして、それぞれ機能します。

データは、IQWRTの立ち上がりエッジでデバイスに入力されます。IQSELのロジック・レベルが、チャンネル・ラッチ1 (IQSEL = 1) またはチャンネル・ラッチ2 (IQSEL = 0)へのデータの向きを制御します(注:正常動作のためには、IQSELの状態を変えるのは、IQWRTとIQCLKがローのときにのみしてください)。

AD9709

IQRESETがハイのときは、IQCLKはディスエーブルにされます。IQRESETがローになると、IQCLKの次の立ち上がりエッジで、両DACラッチがそれぞれの入力データで更新されます。インターリーブ・モードでは、IQCLKは内部で2分周されます。最初の立ち上がりエッジの後、両DACラッチはIQCLKの1つおきの立ち上がりエッジで更新されます。この方法では、IQRESETを使用して、DACへのデータの受け渡しを同期化できます。デュアルポート・モードの場合と同様に、IQCLKはIQWRTに一致して、またはその前に発生する必要があります。

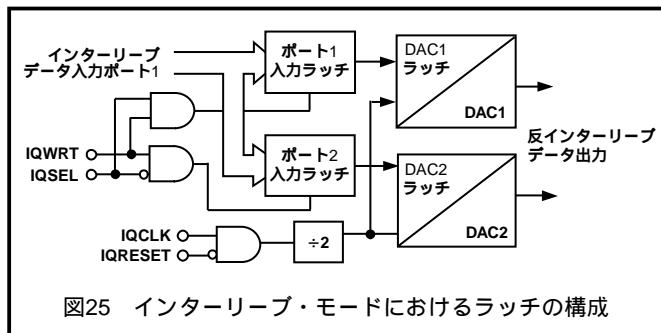


図25 インターリーブ・モードにおけるラッチの構成

図26と図27に、インターリーブ・モードのタイミング特性を示します。

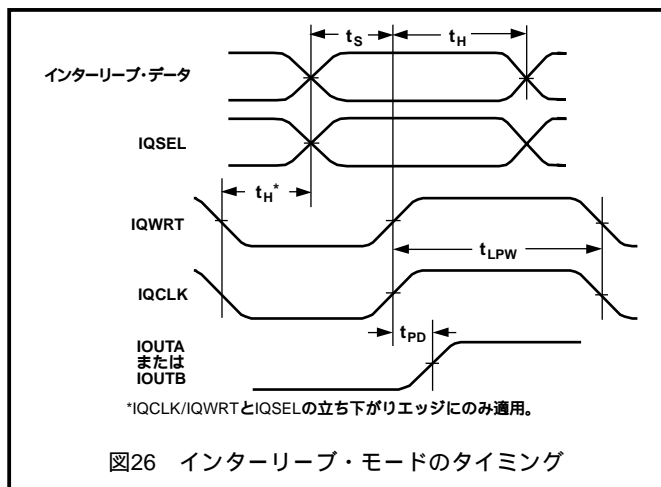


図26 インターリーブ・モードのタイミング

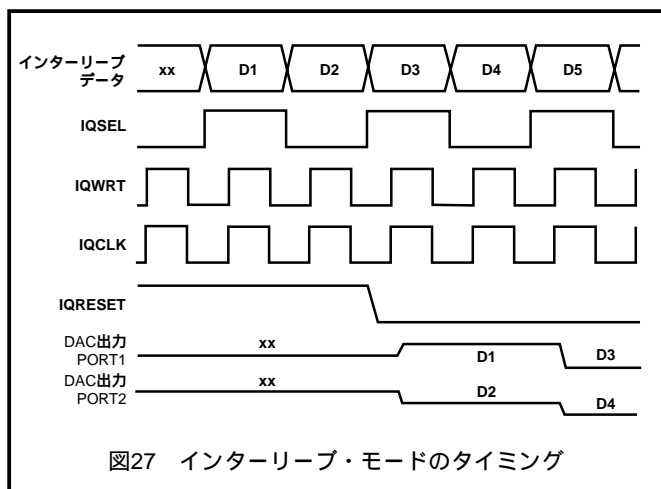


図27 インターリーブ・モードのタイミング

デジタル入力は、CMOS互換のロジック・スレシールド $V_{THRESHOLD}$ であり、デジタル正電源 (DVDD) の約1/2、すなわち

$$V_{THRESHOLD} = DVDD/2 (20\%) \text{ です。}$$

AD9709の内部デジタル回路はデジタル電源範囲3~5.5Vで動作できます。そのため、TTLドライバの最大ハイレベル電圧 $V_{OH(MAX)}$ に対応できるようにDVDDが設定されている場合には、デジタル入力はTTLレベルに対応できます。3~3.3VのDVDDは、大部分のTTLロジック・ファミリーとの互換性を保証します。図28に、データ入力とクロック入力のデジタル入力の等価回路を示します。スリープ・モード入力も同様ですが、アクティブ・プルダウン回路を内蔵している点が異なり、この入力を開放のままにしても、AD9709のイネーブルが維持されます。

AD9709は最大125MSPSまでの更新が可能のため、最適性能を得るためには、クロック信号とデータ入力信号の品質が重要です。AD9709を小さいロジック振幅と対応するデジタル電源 (DVDD) で動作させると、データに対するデジタル・ノイズの混入を小さくできます。デジタル・データ・インターフェース回路のドライバは、AD9709の最小セットアップ・タイムとホールド・タイムや最小 / 最大入力ロジック・レベル・スレシールドの条件を満たすように設定してください。

デジタル信号パスは最短にして、伝搬遅延のミスマッチが発生しないように配線してください。AD9709のデジタル入力とドライバ出力の間に小さい抵抗 (20~100 Ω) を挿入すると、データ・ノイズの悪影響を与えるデジタル入力でのオーバーシュートとリングングを減少させる効果があります。長い配線と高速データ更新レートに対しては、適切な終端抵抗を持つストリップ・ライン技術を使用して、“クリーン”なデジタル入力を維持する必要があります。

外部クロック・ドライバ回路は、最小 / 最大ロジック・レベルを満たし、ジッターが少ない高速エッジを持つクロック入力を、AD9709に出力

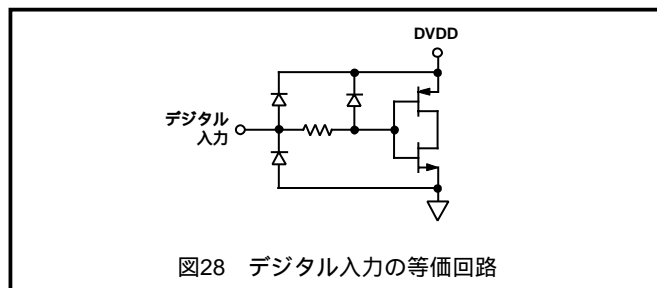
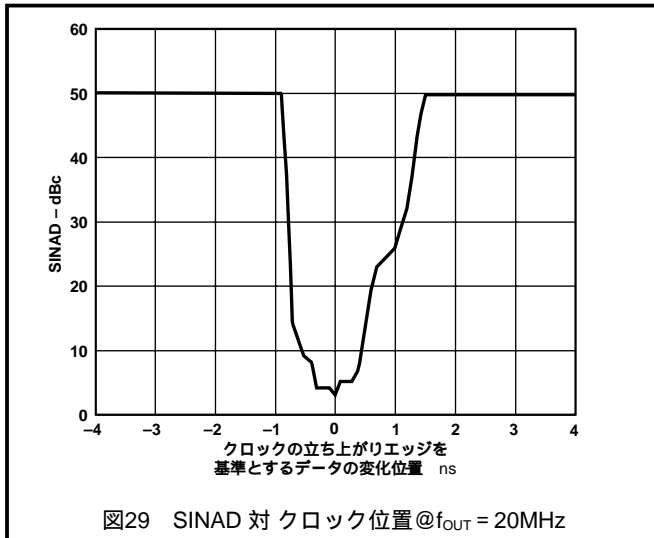


図28 デジタル入力の等価回路

する必要があります。高速なクロック・エッジは、再生波形での位相ノイズになるジッターを抑える効果があります。このため、クロック入力は、アプリケーションに適合する最高速のロジック・ファミリーで駆動する必要があります。

クロック入力はサイン波で駆動することもできます。このサイン波はデジタル・スレシールド $(DVDD/2)$ を中心にして、最小 / 最大ロジック・スレシールドを満たす必要があります。通常、この方法では位相ノイズが少し低下し、それは高いサンプリング・レートと高い出力周波数で顕著な傾向です。また、高いサンプリング・レートでは、デジタル・ロジック・スレシールドで20%の変動があることを考慮する必要があります。これは、実効クロック・デューティ・サイクルに影響を与え、その結果、所要データ・セットアップ・タイムとホールド・タイムを短くしてしまうためです。



入力クロックとデータのタイミング関係

DAC内では、S/N比はクロック・エッジの位置と入力データ変化の位置の関係に依存します。AD9709は立ち上がりエッジでトリガーされるため、データ変化がこのエッジに近いとき、S/N比に影響が及びます。一般に、データ変化を立ち上がりエッジの直後に発生させることが目標となります。これはサンプル・レートが増加するほど重要になります。図29に、S/N比とクロック位置の関係を示します。

スリープ・モード動作

AD9709は、電流をターンオフして、規定の電源範囲3.0~5.5Vと温度範囲で出力電源電流を8.5mA以下にする、パワーダウン機能を内蔵しています。SLEEPピンにロジック・レベル“1”を入力してこのモードを設定します。SLEEPピンのロジック・スレシヨルドは、 $0.5 \times AVDD$ です。このデジタル入力にはアクティブ・プルダウン回路が内蔵されておりこの入力を開放のままにしても、AD9709のイネーブル状態を維持できます。AD9709は50nsより短い時間でパワーダウンし、約5 μ sでパワーアップします。

消費電力

AD9709の消費電力 P_D は、(1)電源電圧 $AVDD$ と $DVDD$ 、(2)フルスケール電流出力 I_{OUTFS} 、(3)更新レート f_{CLK} 、(4)再生デジタル入力波形などにより決定されます。消費電力は、アナログ電源電流 I_{AVDD} とデジタル電源電流 I_{DVDD} に直接比例します。 I_{AVDD} は I_{OUTFS} に直接比例しますが(図30)、 f_{CLK} には無関係です。

逆に、 I_{DVDD} はデジタル入力波形 f_{CLK} とデジタル電源 $DVDD$ に決定されます。図31と図32に、 I_{DVDD} をフルスケールサイン波出力比(f_{OUT}/f_{CLK})の関数として、さまざまな更新レートに対して、それぞれ $DVDD = 5V$ と $DVDD = 3V$ について示します。 $DVDD$ を5Vから3Vへ下げたときに、 I_{DVDD} が1/2以下になることに注意してください。

AD9709の応用

出力の構成

以下の項では、代表的な幾つかのAD9709出力構成について説明します。特に注記がない限り、 I_{OUTFS} は公称20mAに設定します。最適なダイナミック特性が必要なアプリケーションに対しては、差動出力構成を推奨します。差動出力構成は、RFTランスまたは差動オペアンプにより構成されます。トランス構成は最適な高周波性能を

提供するため、AC結合が可能なすべてのアプリケーションに対して推奨されます。差動オペアンプ構成は、DC結合、バイポーラ出力、選択したオペアンプの帯域内での信号ゲイン変更および(または)レベル・シフトを必要とするアプリケーションに適しています。

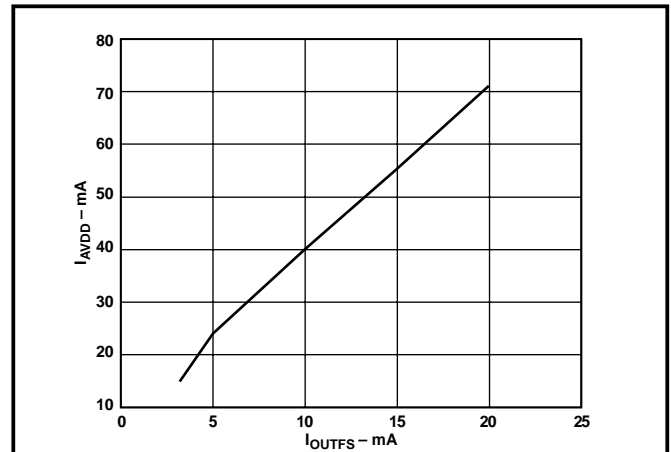


図30 I_{AVDD} 対 I_{OUTFS}

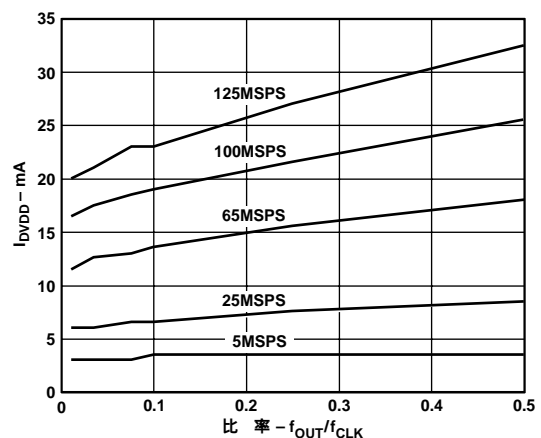


図31 I_{DVDD} 対 比率 @ $DVDD = 5V$

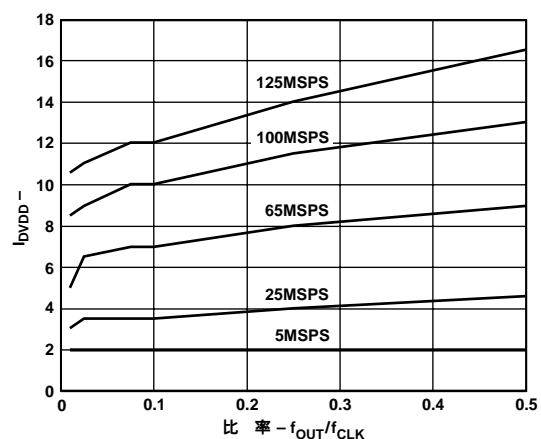


図32 I_{DVDD} 対 比率 @ $DVDD = 3V$

AD9709

シングル・エンド出力は、ユニポーラ電圧出力が必要なアプリケーションに適しています。I_{OUTA}および(または)I_{OUTB}を適切な値の負荷抵抗R_{LOAD}に接続すると、ACOMを基準とする正のユニポーラ電圧が得られます。この構成は、DC結合のグラウンド・リファレンス出力電圧が必要な単電源システムに適しています。代わりに、アンプをI/Vコンバータに構成して、I_{OUTA}またはI_{OUTB}を負のユニポーラ電圧に変換することもできます。この構成では、I_{OUTA}またはI_{OUTB}が仮想グラウンドに維持されるため、最善のDC直線性が得られます。I_{OUTA}の方がI_{OUTB}よりやや優れた性能を実現することに注意してください。

トランスを使う差動結合

RFTランスを使って、差動からシングル・エンド信号への変換が行えます(図33)。差動結合のトランス出力は、スペクトル成分をトランスの通過帯域に持つ出力信号に対して最適な歪み性能を提供します。Mini-Circuits T1-1TなどのRFTランスは、広い周波数範囲で優れたコモン・モード歪み除去比(偶数次高調波)とノイズ除去比を提供します。また電気的な絶縁を実現し、2倍の電力を負荷に供給できます。インピーダンスの整合には、異なったインピーダンス比を持つトランスを使用できます。トランスはAC結合でのみ使用することに注意してください。

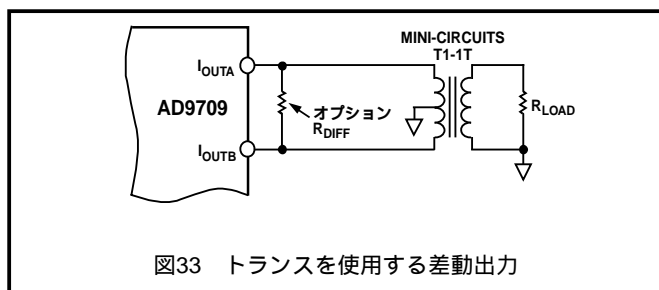


図33 トランスを使用する差動出力

トランスの1次側のセンター・タップをACOMに接続して、I_{OUTA}とI_{OUTB}に必要なDC電流パスを用意する必要があります。I_{OUTA}とI_{OUTB}に出力される相補電圧(V_{OUTA}とV_{OUTB})の振幅はACOMを中心として対称であり、AD9709の規定出力適合範囲内に維持する必要があります。差動抵抗R_{DIFF}は、トランス出力が受動再生フィルタまたはケーブルを経由して負荷R_{LOAD}に接続されるアプリケーションで挿入できます。R_{DIFF}はトランスのインピーダンス比により決定され、適切なソース終端を提供してVSWRを低くします。信号電力の約半分がR_{DIFF}で消費されることに注意してください。

オペアンプを使用する差動構成

オペアンプを使用して、差動からシングル・エンドへの変換を行うことができます(図34)。AD9709には、25Ωの等しい2本の負荷抵抗R_{LOAD}が接続されます。I_{OUTA}とI_{OUTB}により発生される差動電圧が差動オペアンプ構成を通してシングル・エンド信号に変換されます。オプションのコンデンサをI_{OUTA}とI_{OUTB}の間に接続して実数極のローパス・フィルタを構成できます。DACの高スルーレート出力によってオペアンプ入力が過負荷になることを防止するため、このコンデンサの追加により、オペアンプの歪み性能も改善されます。この構成のコモン・モード除去比は、通常、2本の抵抗値のマッチングの程度により決定されます。この回路では、AD8047を使用する差動オペアンプ回路が幾らかの信号ゲインを追加するように構成され

ています。オペアンプの出力が約±1.0Vなので、両電源で動作する必要があります。AD9709の差動性能を維持でき、かつ他のシステム・レベルの目標(コストや消費電力)を満たせる高速アンプを選択してください。この回路を最適化するときは、オペアンプの差動ゲイン、ゲイン設定抵抗値、フルスケール出力振幅能力を考慮する必要があります。

図35に示す差動回路は、単電源システムで必要なレベル・シフト機能を提供します。このケースでは、AD9709とオペアンプに対する正のアナログ電源AVDDを使って、AD9709の差動出力を電源の中央に(AVDD/2)レベル・シフトします。AD8041がこのアプリケーションのオペアンプに適しています。

シングル・エンドのバッファなし電圧出力

両端を終端した50Ωケーブルには、20mAの公称フルスケール電流I_{OUTFS}が等しい25ΩのR_{LOAD}を流れるため、約0~+0.5Vのユニポーラ出力範囲が得られます。このように構成されたAD9709を図36に示します。このケースでは、R_{LOAD}はI_{OUTA}またはI_{OUTB}から見た等しい負荷抵抗を表しています。使用しない出力(I_{OUTA}またはI_{OUTB})は直接に、またはマッチングしたR_{LOAD}を経由してACOMに接続できます。正の適合範囲に適合する限り、I_{OUTFS}とR_{LOAD}の間の異なる値を選択できます。このモードでもう1つ注意する点として、本データシートのアナログ出力の項で説明した積分非直線性(INL)があります。最適なINL性能のためには、バッファ付きのシングル・エンド電圧出力構成を推奨します。

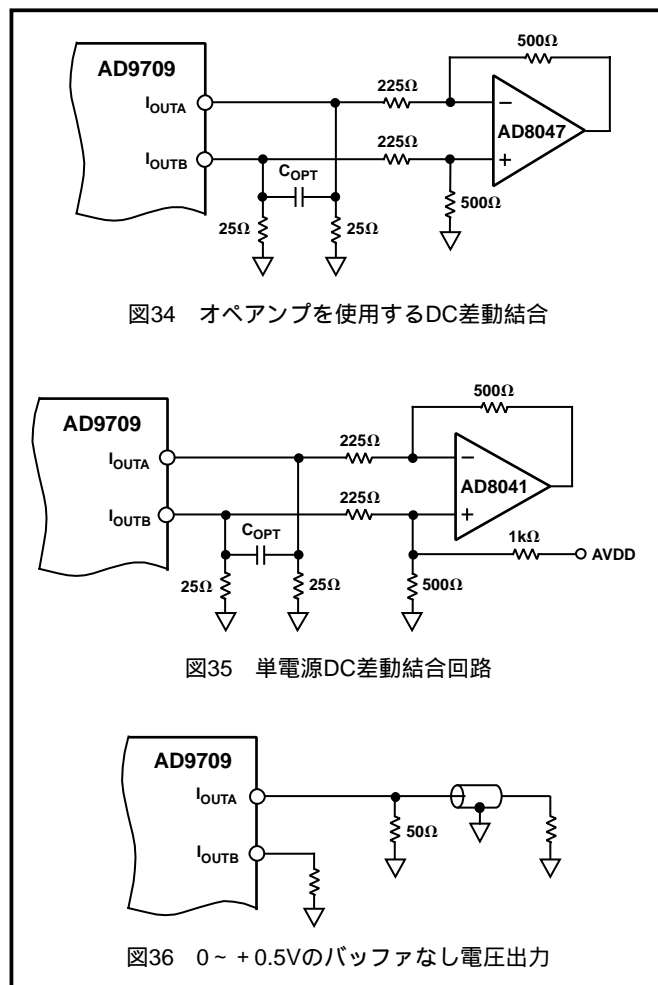


図36 0~+0.5Vのバッファなし電圧出力

バッファ付きシングル・エンド電圧出力構成

図37に、バッファ付きシングル・エンド出力構成を示します。この構成では、オペアンプU1がAD9709出力電流のI/V変換を行います。U1は I_{OUTA} (または I_{OUTB}) を仮想グラウンドに維持するため、アナログ出力の項で説明したように、DACのINL性能に対する非直線性出力インピーダンスの影響を最小に抑えます。このシングル・エンド構成により最善のDC直線性性能が得られますが、高いDAC更新レートでのAC歪み性能は、U1のスルーレートにより制限されます。U1は負のユニポーラ出力電圧を与え、フルスケール出力電圧は R_{FB} と I_{OUTFS} の積で得られます。 I_{OUTFS} および(または) R_{FB} をスケールリングすることにより、このフルスケール出力をU1の電圧出力振幅能力内に設定してください。U1がシンクする必要のある信号電流が結果的に小さくなるため、AC歪み性能の改善は、 I_{OUTFS} の減少により得られます。

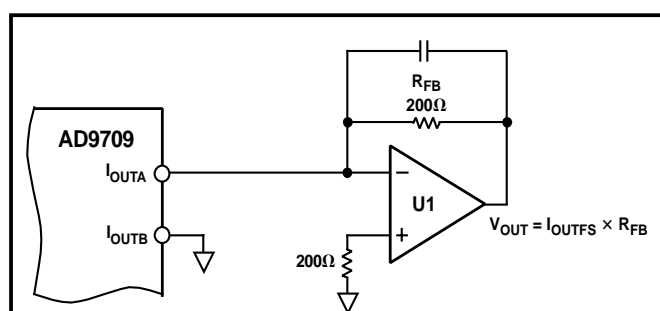


図37 バッファ付きユニポーラ電圧出力

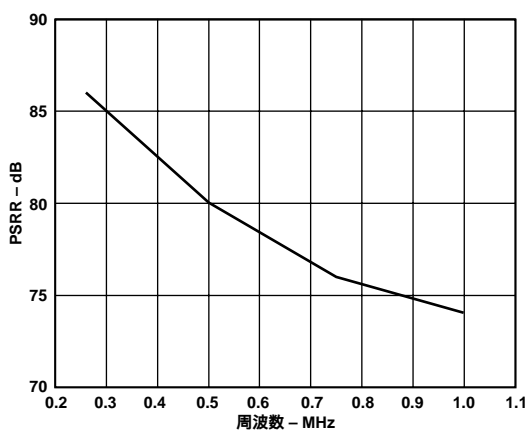


図38 AVDD電源変動除去比

電源とグラウンドについての考慮事項、電源変動除去比

ほとんどのアプリケーションでは、理想的ではない動作条件で、高速かつ高性能が求められます。これらの回路では、プリント回路ボードの設計と製作が、回路設計そのものと同じくらい重要です。最適性能を保証するためには、適切なRF技術を使って、デバイスの選択、配置、配線、電源バイパス、接地を行う必要があります。

システム性能に測定可能な影響を与える要因の1つとして、DAC出力でのDC変動、アナログ / デジタルのDC電源配線 (AVDD、DVDD) に重畳されたACノイズの除去能力があります。これは、電源変動除去比と呼ばれます。電源のDC変動に対しては、DACの変換性能は直接ゲイン誤差に対応し、このゲイン誤差はDACのフルスケール電流 I_{OUTFS} に関係しています。DC電源上のACノイズは、スイッチング電源を使用しているアプリケーションでは一般的な問題です。一般に、スイッチング電源ノイズは、数10kHz ~ 数MHzのスペ

クトルを持ちます。この周波数範囲におけるAD9709のAVDD電源のPSRRと周波数の関係を図38に示します。

図38の単位は、(出力電流A) / (入力電圧V) であることに注意してください。アナログ電源上のノイズは、内部スイッチを変調することなので、出力電流を変調するのと同じ効果があります。DC電源上の電圧ノイズは、 I_{OUT} に対して非線形なカタチで加算されます。これらのスイッチは相対的にサイズが異なるため、PSRRはコードに非常に依存します。これにより、低周波電源ノイズを高い周波数にシフトさせるミキシング効果が発生します。いずれかの差動DAC出力に対する最悪時のPSRRは、フルスケール電流がその出力に流れるときに発生します。そのため、図38に示すPSRR計測値は、最悪時の条件を表しています。この最悪時の条件では、デジタル入力はスタティックのままで、20mAのフルスケール出力電流が測定を行っているDACに出力されます。

アナログ電源上の電源ノイズの影響を説明するための一例を挙げます。スイッチング周波数250kHzのスイッチングレギュレータが10mVrmsのノイズを発生している場合を考えます。分かりやすくするために高調波を無視して、この全ノイズが250kHzを中心としているものと仮定します。この不要なノイズがDACのフルスケール電流 I_{OUTFS} に重畳されて電流ノイズに出力される大きさを計算するためには、250kHzでの図38を使ってPSRRのdB値を決定する必要があります。与えられた R_{LOAD} に対してPSRRを計算するためには、PSRRの単位をA/VからV/Vに変換して、 $20 \times \log(R_{LOAD})$ のスケール関数を使って図38のカーブを調整する必要があります。例えば、 $R_{LOAD} = 50$ の場合、PSRRは34dBだけ減ります(すなわち、図38で85dBである250kHzでのDACのPSRRは、51dB V_{OUT}/V_{IN} になります)。

適切な接地とデカップリングは、高速な高分解能システムでは第一に実施すべきことです。AD9709は、アナログ電源ピン、デジタル電源ピン、グラウンド・ピンが分離しており、システム内のアナログ・グラウンド電流とデジタル・グラウンド電流の管理が最適化されています。一般に、アナログ電源AVDDは、アナログ・コモンACOMに対して、チップのできるだけ近い場所でデカップリングする必要があります。同様に、デジタル電源DVDDはDCOMに対して、チップのできるだけ近い場所でデカップリングする必要があります。

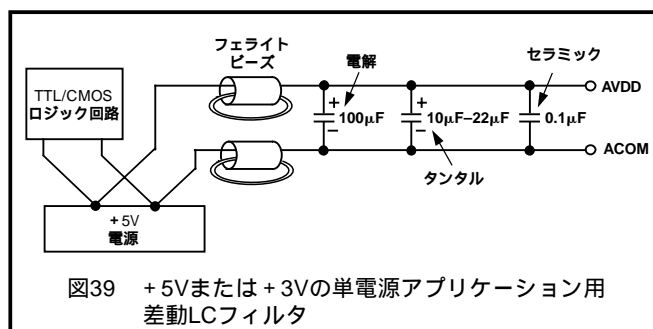


図39 +5Vまたは+3Vの単電源アプリケーション用差動LCフィルタ

アナログ電源とデジタル電源に対して+5Vまたは+3Vの単電源を必要とするアプリケーションに対しては、図39に示す回路を使ってノイズのないアナログ電源を発生できます。この回路は、電源ラインとリターン・ラインを別々に持つ差動LCフィルタで構成されています。低周波ノイズは、ESRの小さい電解タンタル・コンデンサにより減衰させることができます。

AD9709

アプリケーション

AD9709の直交振幅変調への応用

QAMは、デジタル通信システムで広く採用されているデジタル変調方式の1つです。この変調技術は、FDMシステムや拡散スペクトル(CDMA)ベースのシステムで使用されています。QAM信号は、振幅(AM変調)と位相(PM変調)の両方が変調されたキャリア周波数です。90度の位相差を持つ同一周波数の2つのキャリアを独立に変調して発生できます。この2つの変調により、同相(I)キャリア成分と直交(Q)キャリア成分(同相成分に対して90度位相シフト)が発生します。これらのI成分とQ成分が加算されて、指定されたキャリア周波数のQAM信号が生成されます。

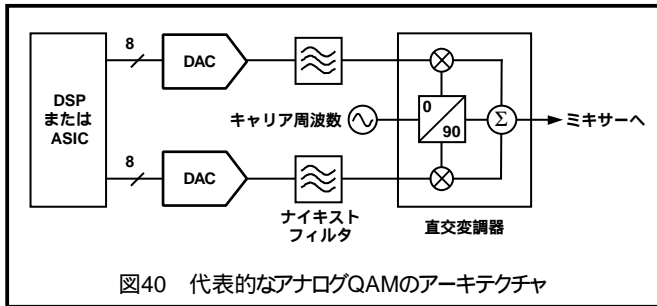


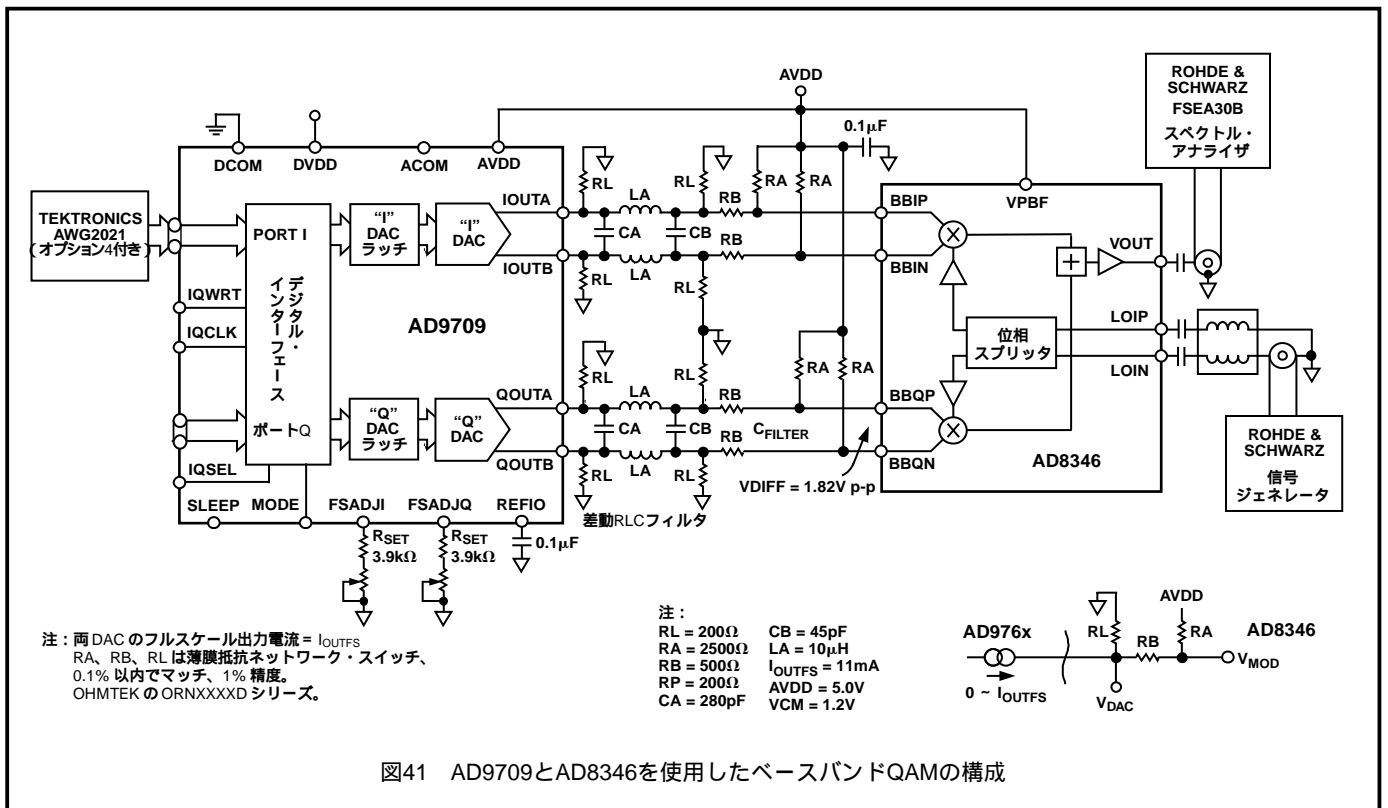
図40 代表的なアナログQAMのアーキテクチャ

QAM変調器の一般的な構成を図40に示します。変調はアナログ領域で行われ、2つのDACを使ってベースバンドのI成分とQ成分をそれぞれ発生させます。各成分をナイキストフィルタに通して、直交ミキサに入力します。マッチング用ナイキストフィルタにより、各成分のスペクトル包絡線を整形し帯域制限して、シンボル間の干渉を最小にします。DACは、通常QAMシンボルレートまたはその整数倍(DACの前にインターポレータフィルタを使用する場合)で更新されます。インターポレータフィルタを使用すると、アナログフィルタが簡素化され実現が容易になります。このフィルタは、2つのベースバ

ンド・チャンネル間のゲインと位相のミスマッチを大きくする主要な原因になっています。直交ミキサはI成分とQ成分を同相キャリア周波数と直交位相キャリア周波数で変調して、2つの出力を加算してQAM信号を発生します。

この構成では、IチャンネルとQチャンネルの間で正しいゲインと位相を維持することが困難です。図41に示す回路構成は、IチャンネルとQチャンネル間のマッチングと温度安定性の改善に役立ち、同時に、AD8346直交変調器を使用するアップコンバージョンパスも示しています。AD9709は、IDAC、QDAC、ゲインのマッチングと安定性を向上させる共通のリファレンスを提供します。 R_{SET1} と R_{SET2} 間のミスマッチ、各チャンネル実効負荷抵抗および(または)各DAC内の制御アンプの電圧オフセットのミスマッチの原因となる、2つのチャンネル間のゲインのミスマッチを、 R_{CAL} を使って補償できます。両DACの差動電圧出力は、整合ネットワーク経由でそれぞれAD8346の差動入力に接続されます。

IデジタルデータとQデジタルデータは、2つの方法でAD9709に入力できます。デュアルポートモードでは、デジタルI情報が一方の入力ポートを駆動し、同時にデジタルQ情報が他方の入力ポートを駆動します。DACの前には補間フィルタは不要で、シンボルレートはAD9709のCLKピンとWRTピンをシステムクロックが駆動するレートに等しくなります。インターリーブモードでは、I情報とQ情報が交互のデジタルワードとしてポートのデジタル入力ストリームに含まれています。IQSELとIQRESETを使うと、AD9709をIデータストリームとQデータストリームに同期させられます。AD9709の内部タイミングにより、選択されたIデータとQデータが該当するDAC出力に受け渡されます。インターリーブモードでは、AD9709の前に補間フィルタを使用しない場合、シンボルレートはデジタルデータストリームおよびAD9709のIQWRTピンとIQCLKピンを駆動するシステムクロックの1/2になります。



注：両DACのフルスケール出力電流 = I_{OUTFS}
 RA, RB, RLは薄膜抵抗ネットワーク・スイッチ、
 0.1%以内でマッチ、1%精度。
 OHMTEKのORNXXXXDシリーズ。

注：
 RL = 200Ω CB = 45pF
 RA = 2500Ω LA = 10μH
 RB = 500Ω I_{OUTFS} = 11mA
 RP = 200Ω AVDD = 5.0V
 CA = 280pF VCM = 1.2V

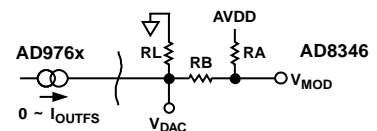


図41 AD9709とAD8346を使用したベースバンドQAMの構成

CDMA

キャリア・ディビジョン・マルチプル・アクセス (CDMA) は空中送 / 受信方式であり、送信パス内の信号は疑似ランダム・デジタル・コード (拡散コード) で変調されます。この変調の目的は送信信号を広いスペクトル範囲に分散させることです。DMT波形と同様に、複数の加入者が含まれているCDMA波形は、ピーク値と平均値の高い比 (クレスト・ファクタ) を持つという特長があります。このため、送信信号パス内では直線性の優れた部品が必要になります。スペクトル帯域幅は使用するCDMA規格により決められ、動作時に特定の特性を持つ拡散コードを使って実現されます。

送信パス内の歪みにより、定義帯域外への電力の放出が発生することがあります。帯域内送信電力と帯域外送信電力の比は隣接チャンネル電力比 (ACP と呼ばれることもあります)。帯域外へ出力される電力は空中に送信された他の信号と干渉する可能性があるため、規制を受けています。規制当局は送信帯域の外部にスペクトル・マスクを定義し、ACPはこのマスク内に入ることが要求されます。送信パスの歪みにより、ACPがスペクトル・マスクを超える場合は、フィルタリングを行うか、または別の部品を選択し直して、このマスク条件を満たすようにする必要があります。

図42に、図41に対するAD9709/AD8346のアプリケーション回路を示します。この回路は、中心周波数2.4GHzで62.5MHzでサンプリングされる、8MHz帯域幅を持つ広帯域すなわちW-CDMAのテストベクターを再生します。DAC出力でのIF周波数は15.625MHzです。与えられたテストベクターに対するACPRIは、54dB以上と測定されます。

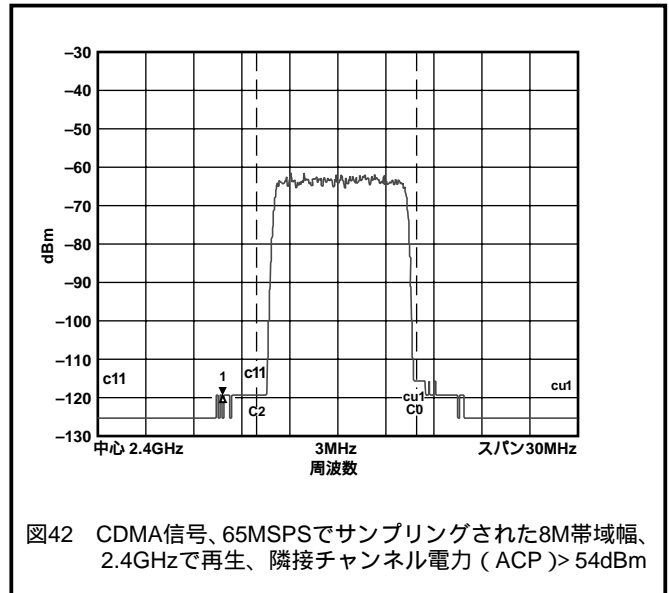


図42 CDMA信号、65MSPSでサンプリングされた8MHz帯域幅、2.4GHzで再生、隣接チャンネル電力 (ACP) > 54dBm

図43に、CDMA 3V IFサブシステムAD6122を使うW-CDMA送信器アプリケーションにおけるAD9709の使用例を示します。AD6122は、W-CDMAの優れた隣接チャンネル電力 (ACP) 条件に必要なとされる、外部ゲイン制御や低歪み特性など機能を備えています。

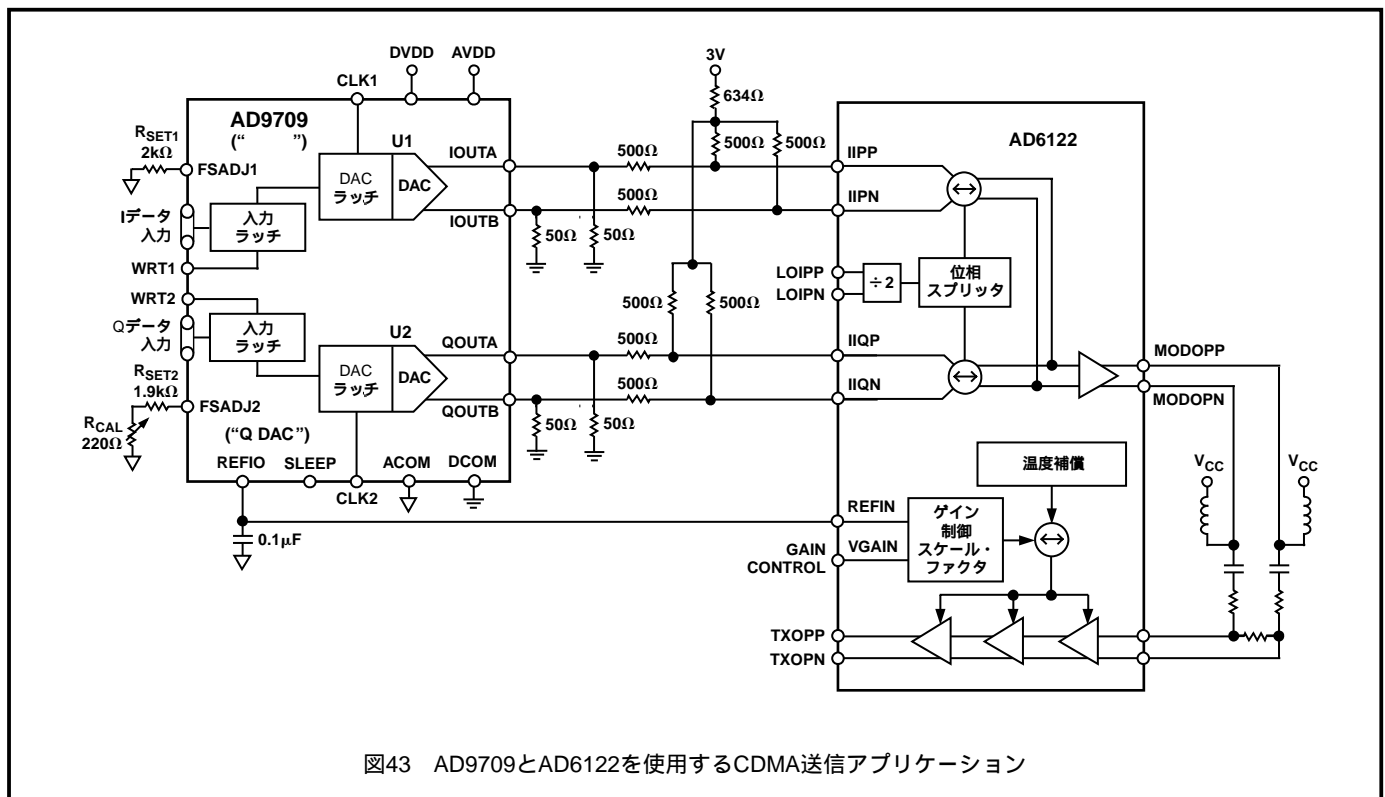
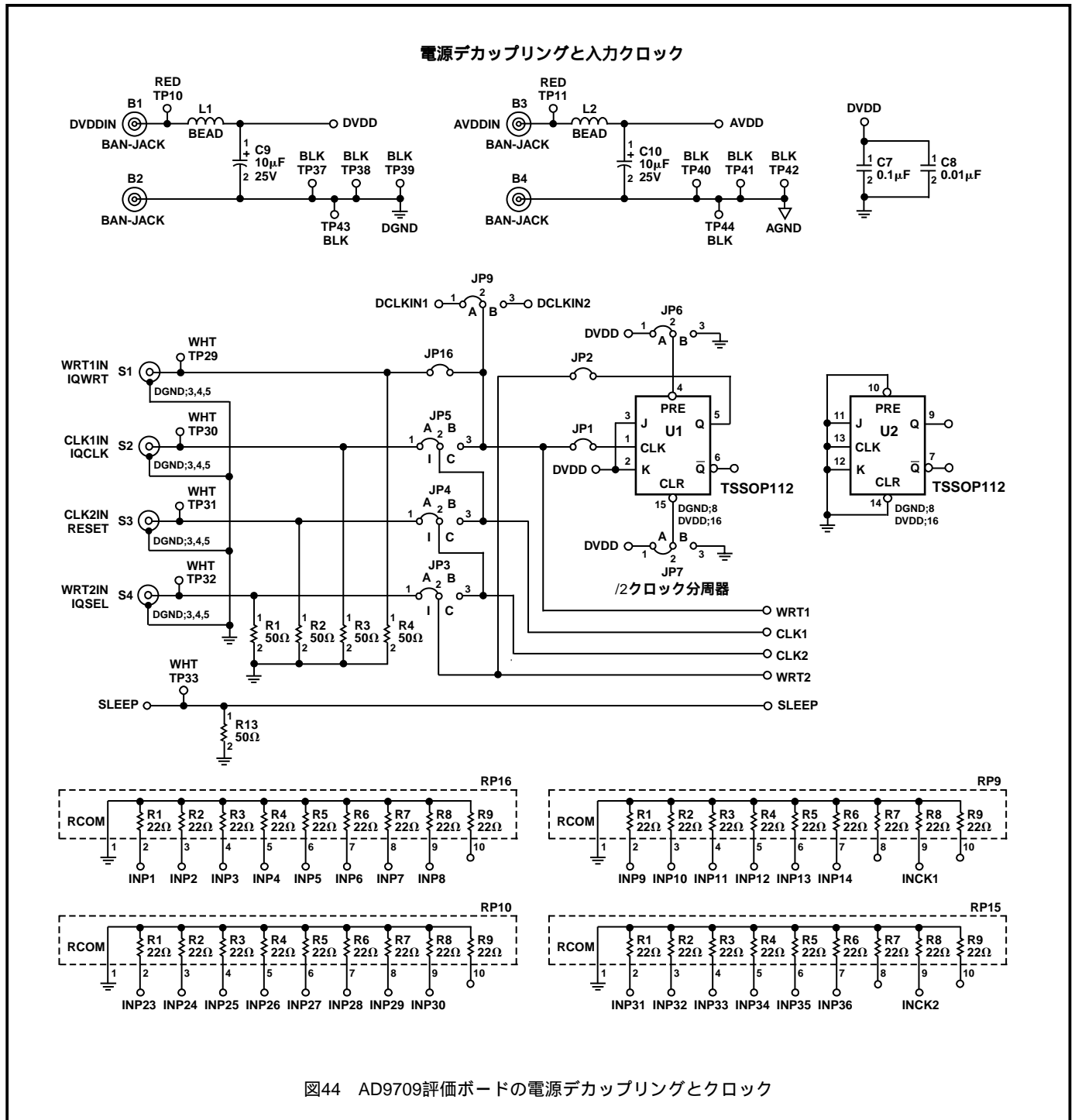


図43 AD9709とAD6122を使用するCDMA送信アプリケーション

AD9709

評価ボード

概要
 AD9709-EBは、8ビットD/AコンバータAD9709の評価ボードです。十分注意して行われたレイアウトと回路設計、プロトタイプ領域の組み合わせにより、高分解能の高速変換を必要とするアプリケーションでのAD9709を容易で効果的に評価可能です。このボードを使うと、AD9709をあらゆる構成で動作できます。出力構成としては、トランス結合出力、抵抗終端出力、反転 / 非反転出力、差動アンブ出力などが可能です。デジタル入力は、さまざまなワード・ジェネレータから直接駆動できる設計になっており、正しい負荷終端を行うための抵抗ネットワーク・オプションがボードに内蔵されています。AD9709を動作させるとき、デジタル電源 (DVDD) = 3V、かつアナログ電源 (AVDD) = 5Vの場合に最適な性能が得られます。



デジタル入力のシグナル・コンデショニング

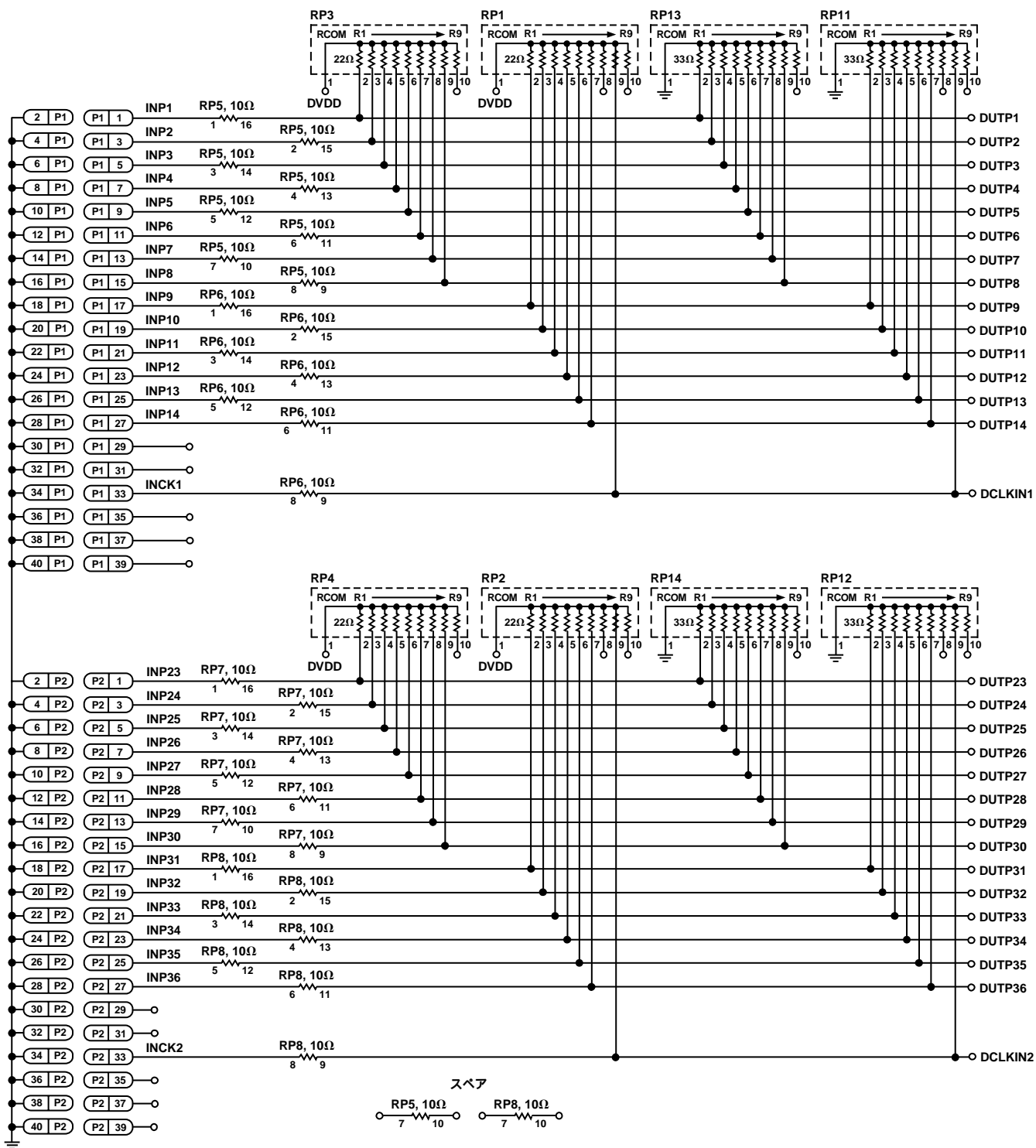


図45 デジタル入力のシグナル・コンデショニング

AD9709

DUTとアナログ出力のシグナル・コンデショニング

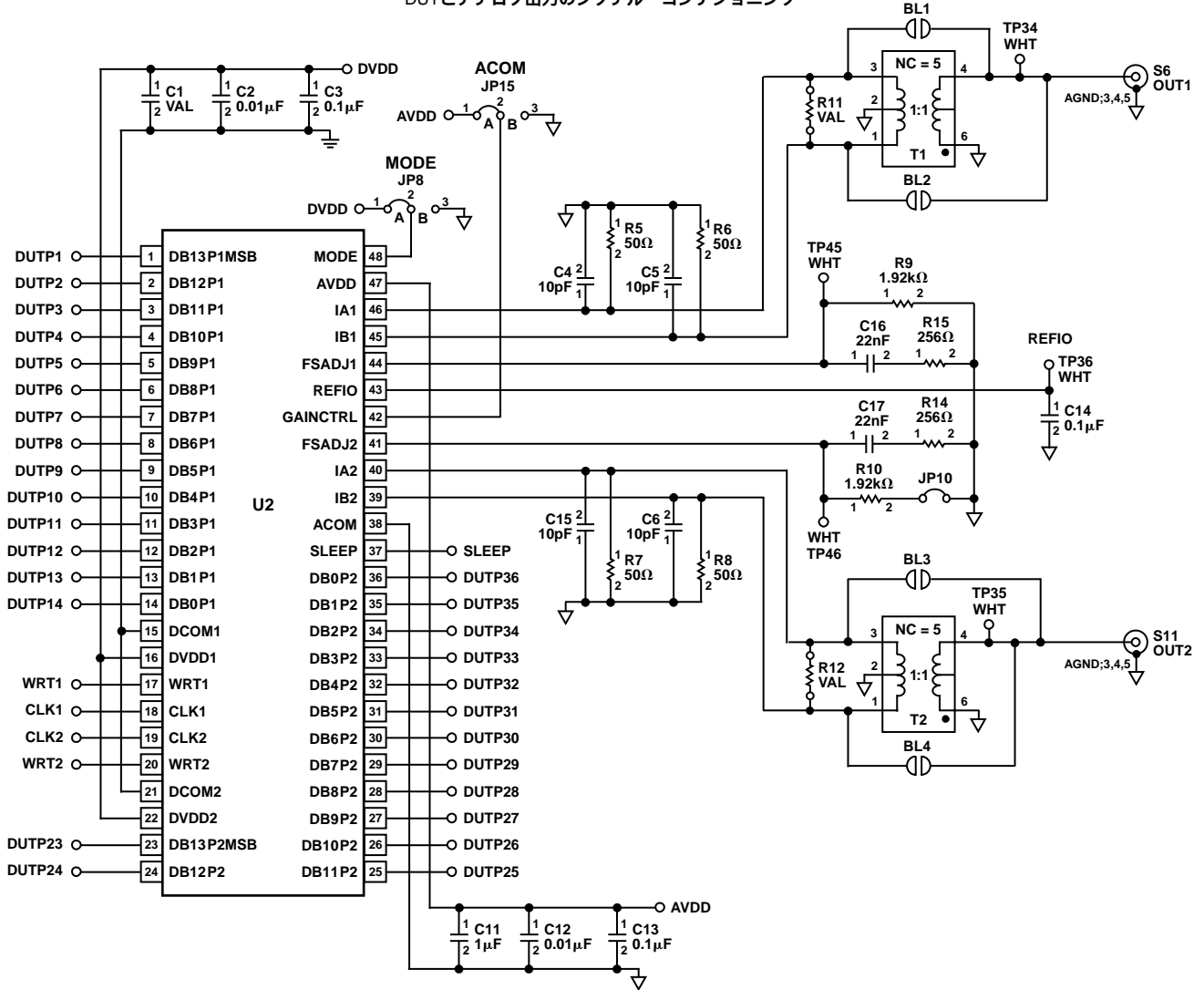


図46 AD9709と出力シグナルのコンデショニング

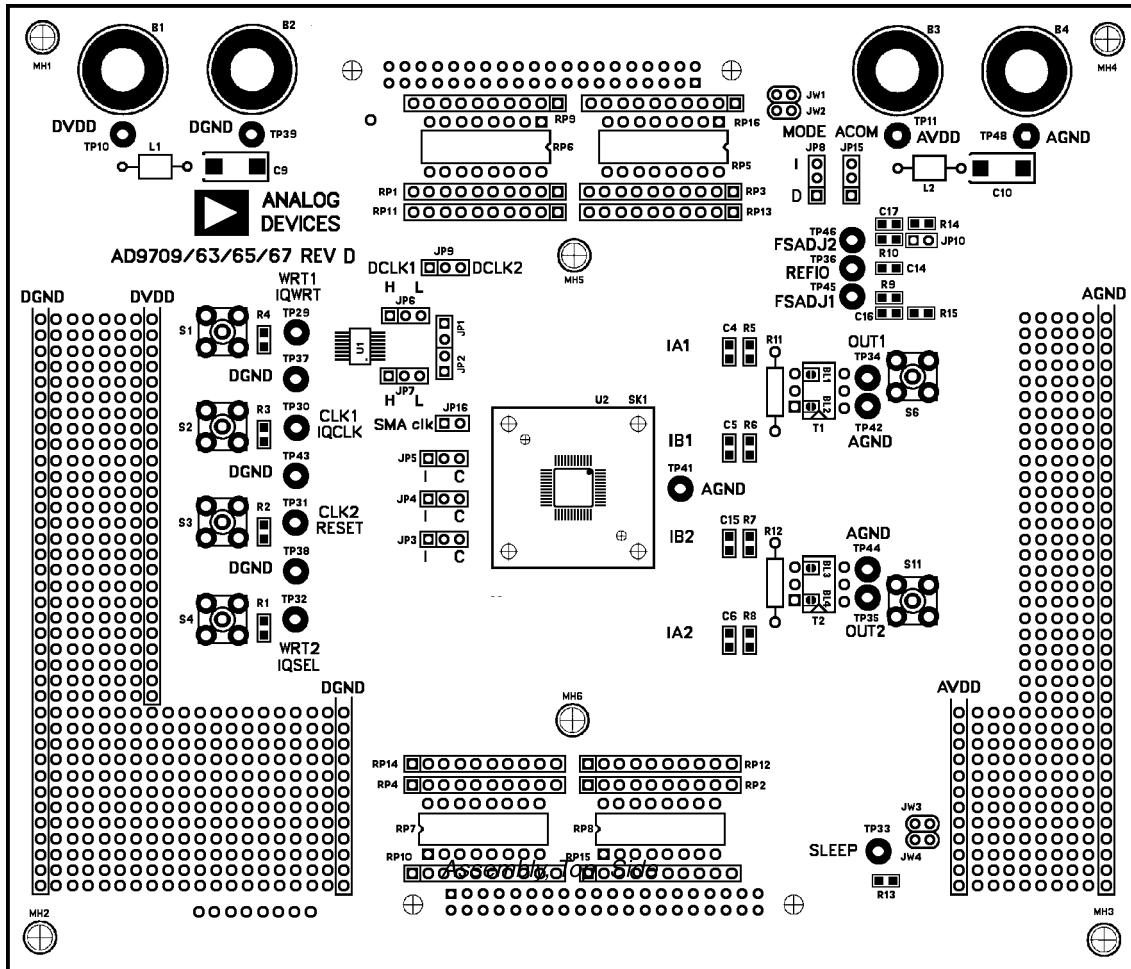


図47 組み立て（アセンブリ）上面

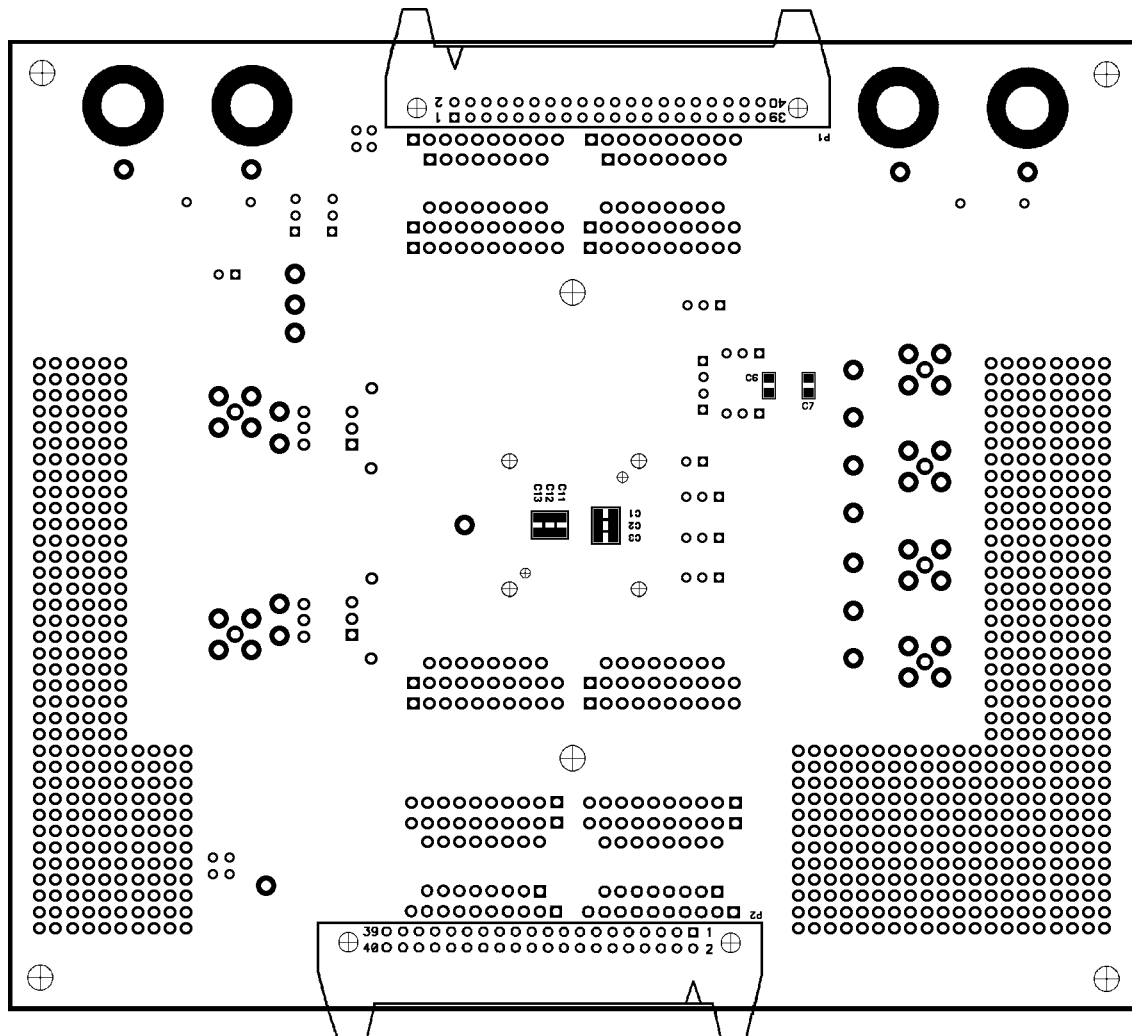


図48 組み立て（アセンブリ）底面

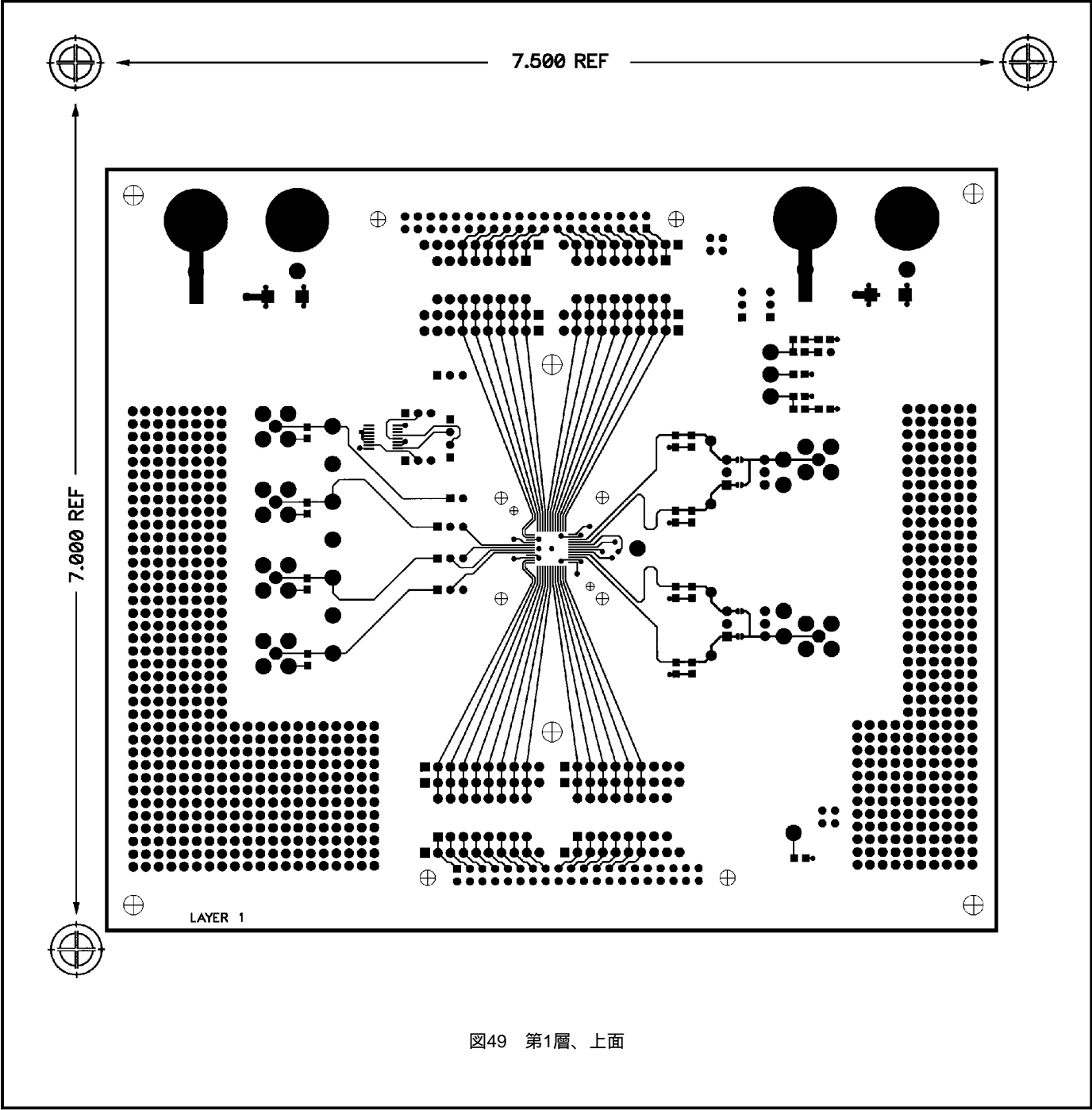


图49 第1層、上面

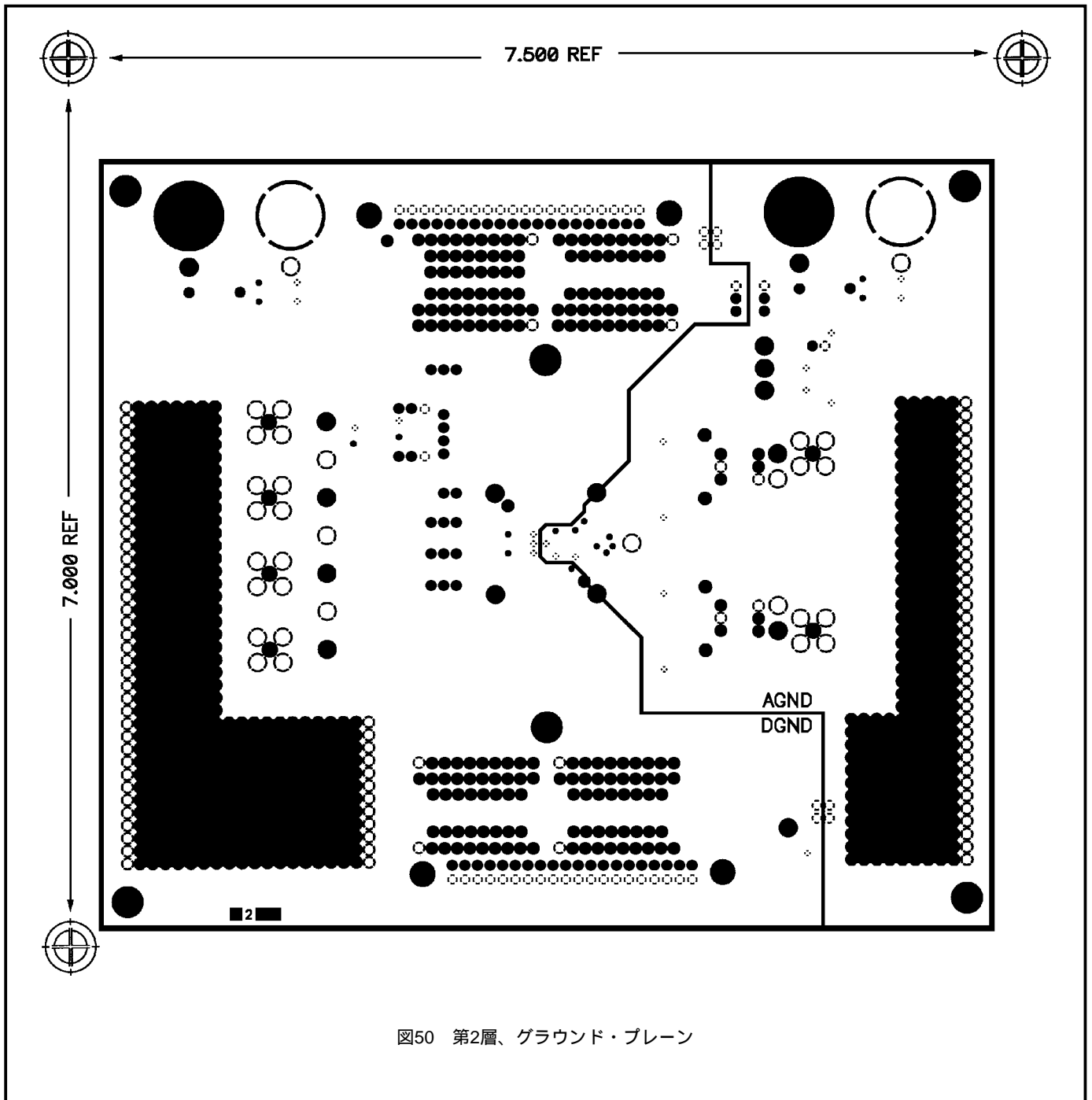


図50 第2層、グラウンド・プレーン

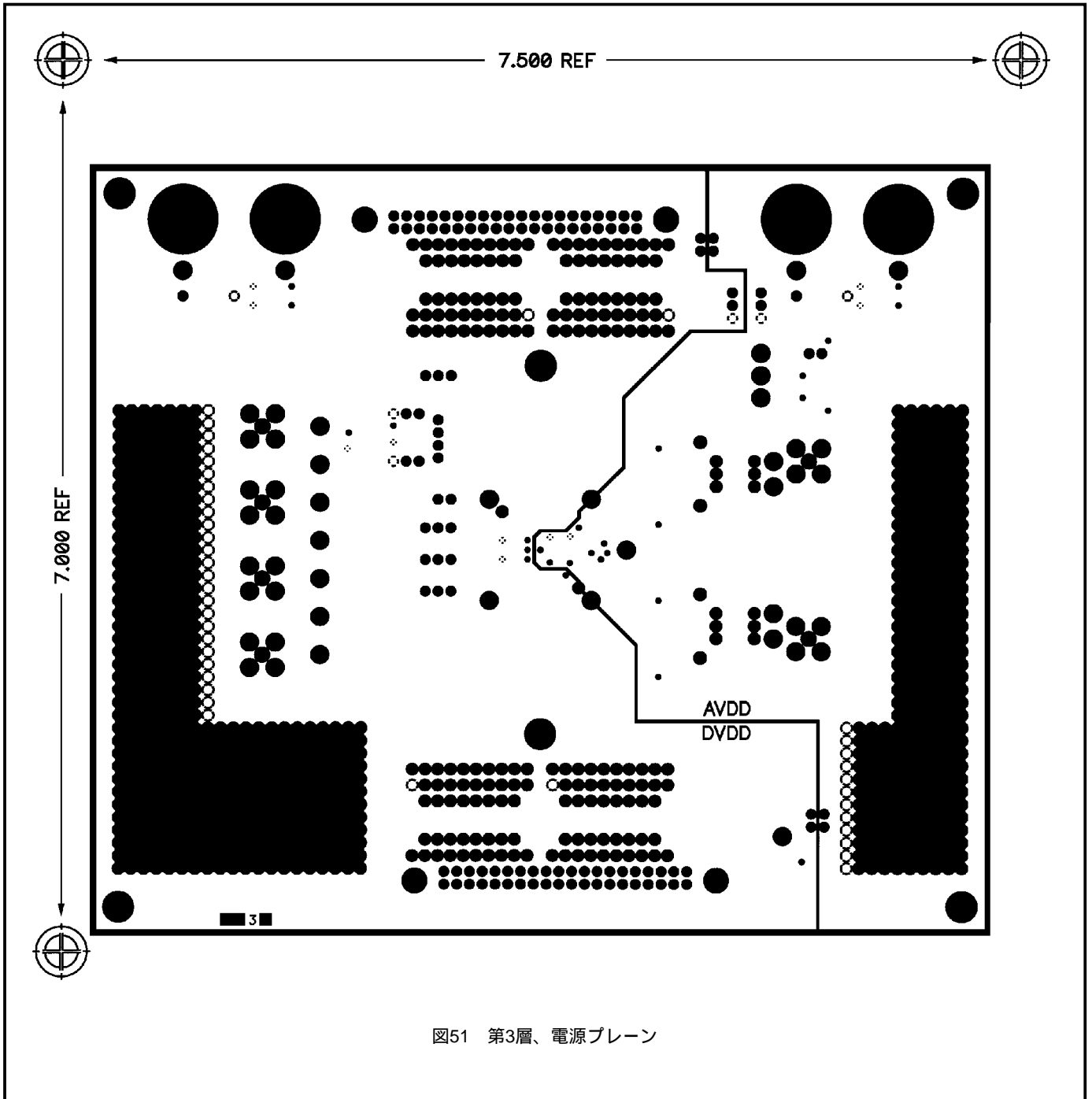


図51 第3層、電源プレーン

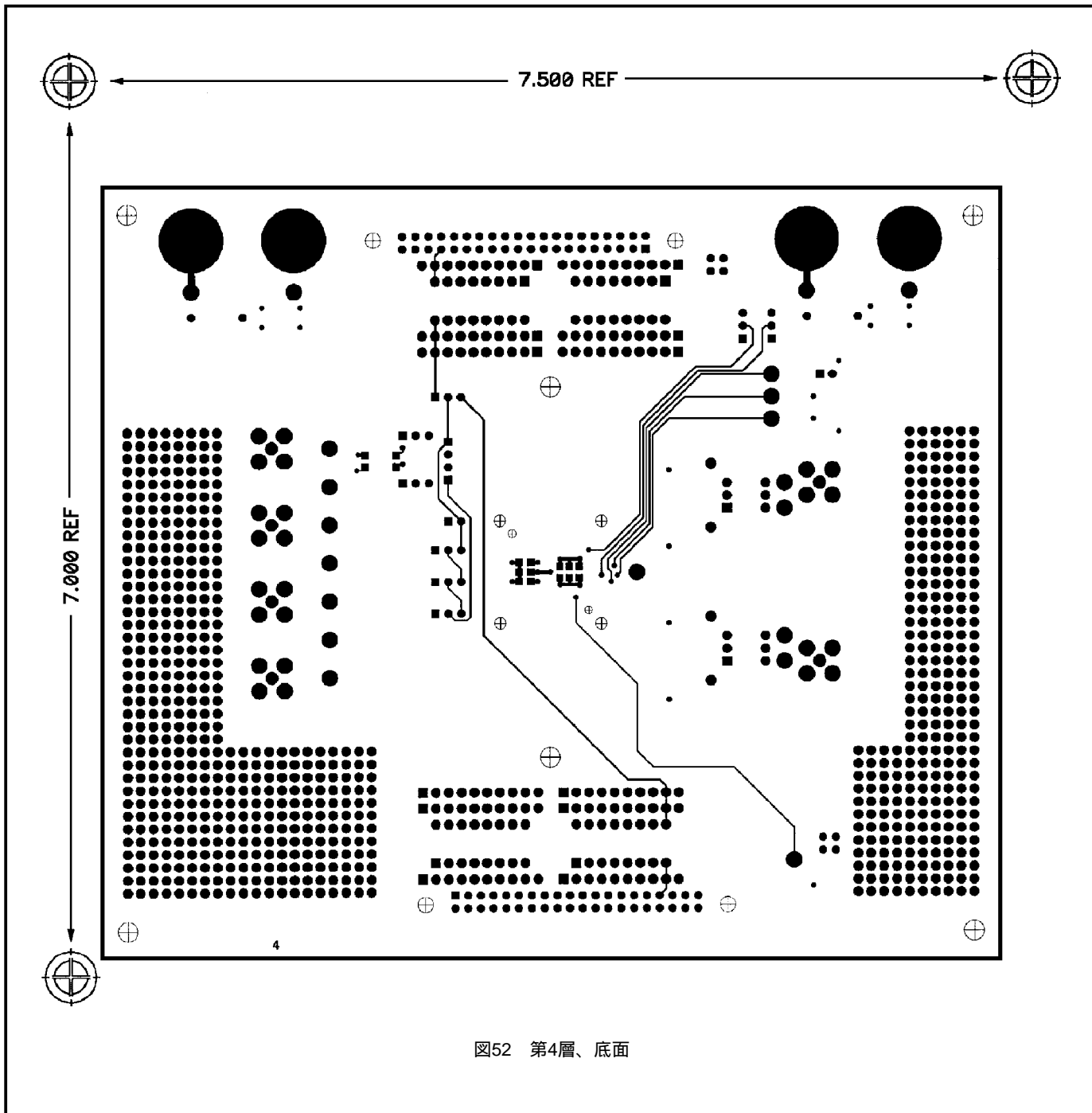


图52 第4層、底面

外形寸法

サイズはインチと (mm) で示します。

48ピン薄型プラスチック・クワッド・フラットパック (LQFP)
(ST-48)